

英飞凌EZ-PD™ PMG1-B1 USB Type-C 降压-升压控制器

单端口

概述

EZ-PD™ PMG1-B1是英飞凌高集成度的双口 USB Type-C型供电 (PD) 解决方案, 集成了升降压控制器。它符合最新的 USB Type-C 和 PD 规范。EZ-PD™ PMG1-B1 在消费路径上为 VBUS NFET 集成了栅极驱动器用于接收源应用。它还包括 VBUS 上的硬件控制保护功能。EZ-PD™ PMG1-B1在集成 PD 解决方案中支持宽输入电压范围 (4V 至 24 V, 可耐受 40 V) 和可编程开关频率 (150 kHz 至 600 kHz)。

EZ-PD™ PMG1-B1是可编程的 USB-PD 解决方案, 带有片上 32 位 Arm® Cortex® -M0 处理器、128 KB 闪存、16 KB RAM 和 32 KB ROM, 其中大部分闪存可供用户应用程序使用。它还包括各种模拟和数字外设, 如 ADC、PWM 和计时器。

应用

- 无绳电动工具充电器
- 无线话筒
- 便携式电子产品

特性

USB-PD

- 支持一个 USB-PD 端口
- 支持最新的 USB-PD 3.1
- 扩展的数据消息传递

Type-C

- 可配置电阻 R_p 和 R_D
- VBUS NFET 栅极驱动器
- 集成 100 mW VCONN 电源和控制

1 个升降压控制器

- 150 kHz 至 600 kHz 开关频率
- 5.5 V 至 24 V 输入, 可耐受 40V
- 3.3 V 至 21.5 V 输出
- 支持可选脉冲跳跃模式 (PSM) 和强制连续电流/导通模式 (FCCM)
- 支持软启动
- 可编程扩频频率调制, 降低 EMI
- 支持电流感应, 实现恒定电流控制

1 个传统/专有充电模块

- 支持苹果充电 2.4 A 和 USB BC 1.2

本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

特性

系统级故障保护

- VBUS 过压保护 (OVP) 和欠压保护 (UVP)
- VBUS 到 CC 短路保护
- VOUT UVP, OVP, 和 OCP
- 通过集成ADC电路和内部温度传感器支持过温保护
- 支持使用外部热敏电阻测量连接器和电路板温度

32位MCU子系统

- 48 MHz Arm® Cortex-M0® 处理器
- 128 KB Flash
- 16-KB SRAM
- 32 KB ROM

外设和 GPIO

- 最多 21 个 GPIO，包括两个过压 GPIO
- 2 个 8位ADC
- 8个 16 位定时器/计数器/PWM (TCPWM)
- 1x 12 位 ADC

通信接口

- 3个SCB (I²C/SPI/UART/LIN)

时钟和振荡器

- 集成振荡器不需要外部时钟

电源

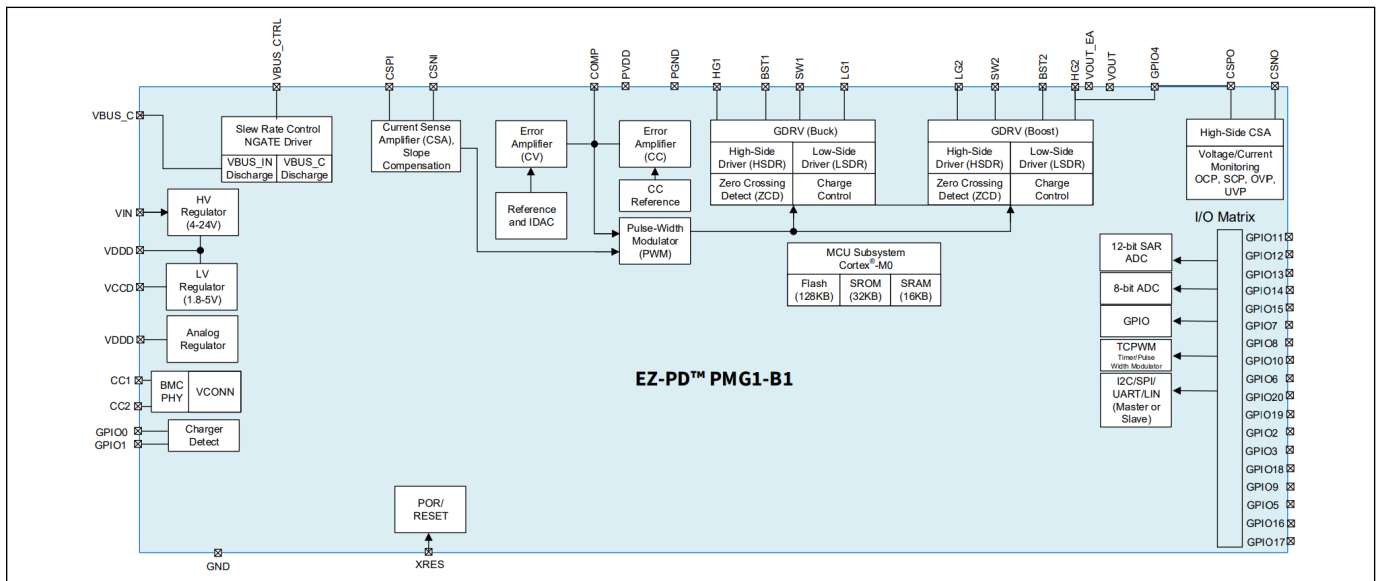
- 4 V 至 24 V 输入 (可耐受 40 V)
- 3.3 V 至 21.5 V 输出
- 集成 LDO，可提供 5 V，75 mA
- 3 V、10 mA 待机稳压器

封装

- 48-引脚 QFN
- 支持环境温度范围 (-40°C 至 +105°C)，工作结温为 125°C

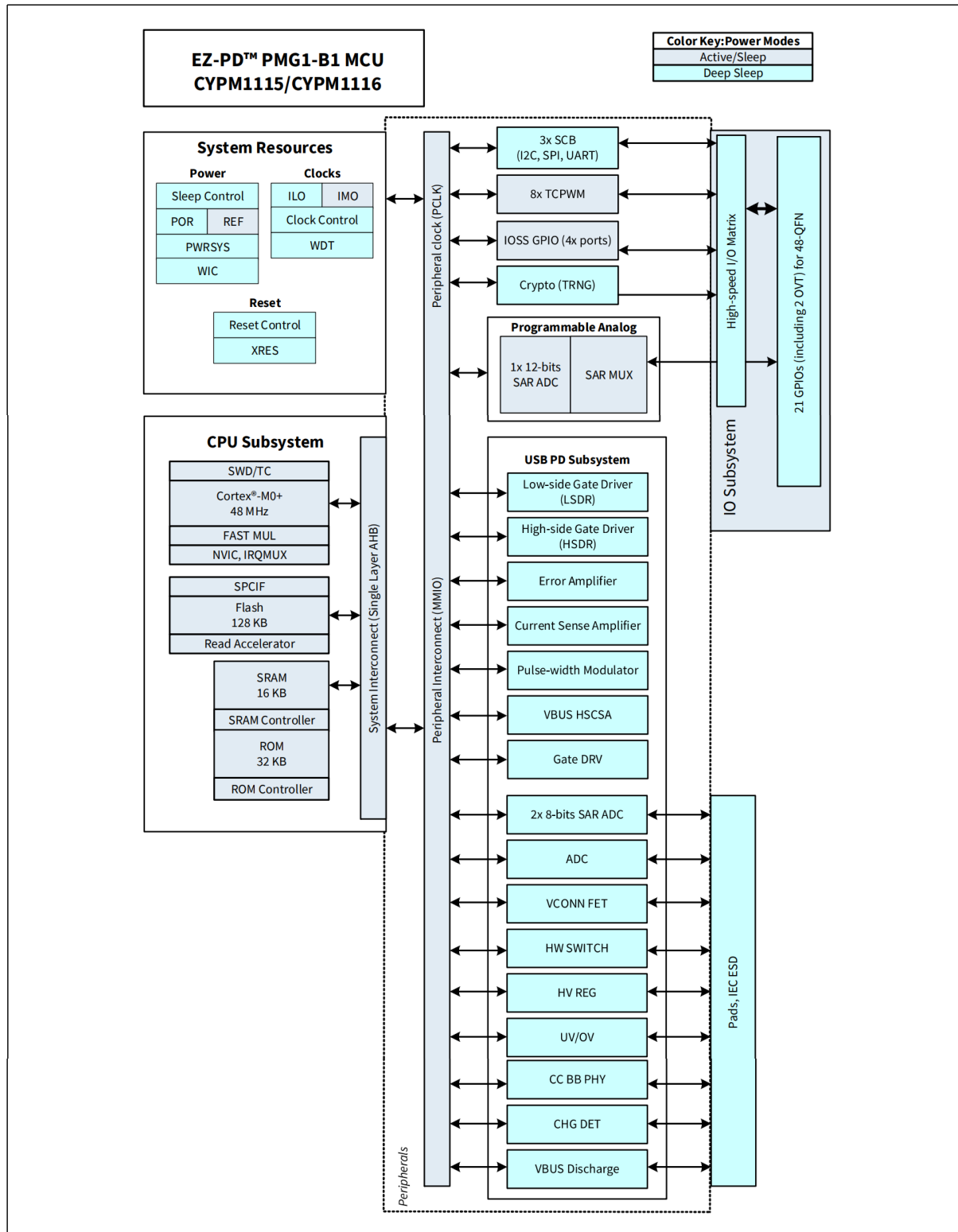
功能框图

功能框图



框图

框图



目录

概述.....	1
应用.....	1
特性.....	1
功能框图.....	3
框图.....	4
目录.....	5
1 功能概述	6
1.1 MCU 子系统.....	6
1.2 USBPD 子系统.....	6
1.3 降压-升压子系统.....	8
1.4 降压-升压控制器工作区域.....	10
1.5 模拟模块.....	12
1.6 集成数字模块.....	12
1.7 I/O 子系统.....	13
1.8 系统资源.....	14
2 电源子系统	15
2.1 VIN 欠压锁定 (UVLO).....	16
2.2 使用外部 VDDD 电源.....	16
2.3 电源模式.....	16
3 引脚列表	17
4 EZ-PD™ PMG1-B1 编程	21
4.1 通过 SWD 接口对设备闪存进行编程.....	21
5 应用	22
6 电气规格	23
6.1 绝对最大额定值.....	23
6.2 器件级规范.....	24
6.3 数字外设.....	27
6.4 系统资源.....	29
7 订购信息	36
7.1 订购代码定义.....	36
8 封装	37
8.1 封装图.....	37
9 缩略语	38
10 文档惯例	39
10.1 测量单位.....	39
修订记录	40

功能概述

1 功能概述

1.1 MCU 子系统

1.1.1 CPU

EZ-PD™ PMG1-B1中的Cortex®-M0是一个32位的MCU，该内核通过扩展的时钟门控来优化低功率操作它通常使用16位指令并可以执行Thumb-2指令子集。它还包括一个能在一个周期内计算出32位结果的硬件乘法器。它包括一个具有32个中断输入的中断控制器（NVIC 模块）和一个可以将处理器从深度睡眠模式唤醒的唤醒中断控制器（WIC）。

1.1.2 闪存 ROM 和 SRAM

EZ-PD™ PMG1-B1器件配备 128 KB 闪存和 32 KB ROM，用于非易失性存储。ROM 存储用于身份验证的库以及 I²C、SPI 等设备驱动程序。闪存可灵活地存储任何客户功能的代码，并支持固件升级，以满足最新的 USB PD 规范和应用需求。

16 KB RAM 在软件控制下用于存储系统变量和参数的临时状态。此外，提供的监控ROM还包含引导和配置子程序。

1.2 USBPD 子系统

该子系统为Type-C USB端口提供接口。该子系统包括：

- USBPD 物理层
- VCONN 开关和 100 mW VCONN 源
- VBUS 上的欠压保护 (UVP)、过压保护 (OVP)
- 输出高端电流检测放大器 (HS CSA)
- VBUS 放电控制
- VBUS NFET 消费端的栅极驱动器
- 用于传统充电的充电器检测模块（例如：BC1.2、Apple 充电等）
- 短路保护 (SCP)
- VBUS 至 CC SCP

1.2.1 USBPD 物理层

USBPD 子系统包含 USBPD 物理层模块和支持电路。USBPD物理层包括一个基于PD3.1 标准对CC通道上的BMC编码数据进行通信的发送器和接收器。所有通信均为半双工。物理层或物理层实现了碰撞避免，最大限度地减少通道上的通信错误。USBPD 模块包含USB Type-C 规范要求的所有终端电阻 (R_p 和 R_d) 及其开关。 R_p 和 R_d 电阻用于实现连接检测、插头方向检测以及 USB 源/吸角色的建立。 R_p 电阻用作电流源。

PMG1-B1设备系列及其随附固件完全符合 USB 电力传输规范 3.1 版。该设备支持 3.3 V 至 21 V 之间所有有效电压的可编程电源 (PPS) 操作。

EZ-PD™ PMG1-B1设备在未连接（待机）状态下支持由硬件控制的 R_p ，以最大限度地降低待机功耗。

EZ-PD™ PMG1-B1设备支持最多可包含 260 字节数据的 USBPD 扩展信息。扩展消息的长度将超过USBPD 2.0 硬件所预期的长度。根据 USBPD 协议规范，符合 USBPD 3.1 版及更高版本的设备兼容设备实现了分块机制；除非源和接收器都确认并协商与更长的消息长度的兼容性，否则消息将限制为修订版 2.0 的大小。

功能概述

1.2.2 VCONN开关

EZ-PD™ PMG1-B1 的内部 LDO 稳压器能够为 USB Type-C 规范中定义的电子标记电缆组件 (EMCA)、VCONN 供电设备 (VPD) 和 VCONN 供电配件 (VPA) 提供 100 mW VCONN 电源。该器件集成了所有电路，包括 VCONN 开关和过流保护。如果 VCONN 电流超过 VCONN OCP 限制，则可以将 EZ-PD™ PMG1-B1 配置为在一定数量的用户可配置重试后关闭 Type-C 端口。端口可以物理断开后重新启用该端口。

1.2.3 VBUS UVP和OVP

VBUS 欠压和过压故障通过内部电阻分压器进行监测。故障阈值和响应时间可由用户配置。如果发生 UVP 或 OVP，EZ-PD™ PMG1-B1 可配置为在用户配置一定次数的重试后关闭 Type-C 端口。物理断开并重新连接后，可以重新启用端口。

1.2.4 VBUS OCP 和 SCP

通过内部 CSA 监控 VOUT 过流和短路故障。与 OVP 和 UVP 类似，OCP 和 SCP 故障阈值和响应时间也是可配置的。在发生 OCP 或 SCP 时，可将 PMG1-B1 配置为关闭降压-升压控制器。

1.2.5 适用于VOUT的 HS-CSA

EZ-PD™ PMG1-B1 器件系列支持使用外部电阻器测量和控制 VOUT 电流 (5 mΩ) 与 VOUT 通路串联。该电阻两端的电压降用于测量平均输出电流。在恒流折返工作模式下，相同的电阻器也用于感应和精确控制输出电流。

1.2.6 VBUS放电控制

该芯片支持高压 (21.5 V) VBUS 放电电路。当检测到设备断开连接、故障或硬重置时，芯片将在 USBPD 规范规定的时间限制内将输出 VBUS 端子放电至 vSafe5V 和/或 vSafe0V。

1.2.7 VBUS NFET 消费端的栅极驱动器

EZ-PD™ PMG1-B1 器件具有集成高压栅极驱动器，用于驱动 VBUS 消费路径上的外部高端 NFET 的栅极。栅极驱动器驱动控制 VBUS_C 和 CSPI 之间连接的负载开关。VBUS_CTRL 是该栅极驱动器的输出。为了关闭外部 NFET，栅极驱动器将 VBUS_CTRL 驱动至低至 0V。要打开外部 NFET，它会将栅极驱动至 VBUS_C + 8 V。有一个可选的慢速开启功能，可减少输出上的高电流尖峰。对于典型的 3 nF 栅极电容，可使用固件配置 2 ms 至 10 ms 的慢速开启时间。

1.2.8 旧式充电检测和支持

EZ-PD™ PMG1-B1 为 USB BC.1.2 实现电池充电器仿真和检测（源和接收器），传统 Apple 充电、Qualcomm 快速充电 2.0/3.0/4.0/5.0 和三星 AFC 协议。

1.2.9 VBUS 到 CC 短路保护

CC 引脚具有集成保护功能，可防止意外短路至高压 VBUS 和 VBAT。EZ-PD™ PMG1-B1 设备可以在其 CC 引脚上处理高达 24 V 的外部电压而不会损坏。如果在 CC 引脚上检测到过压，可以配置为完全关闭 Type-C 端口。一旦检测到的 CC 电压在正常范围内，端口将恢复正常运行。

1.3 降压-升压子系统

EZ-PD™ PMG1-B1 器件中的降压-升压子系统可配置为降压-升压模式、纯降压模式或纯升压模式工作。降压-升压模式需要四个外部开关场效应晶体管，而纯降压和纯升压模式只需要两个场效应管。图 1 显示了降压-升压子系统的主要外部元件和连接。

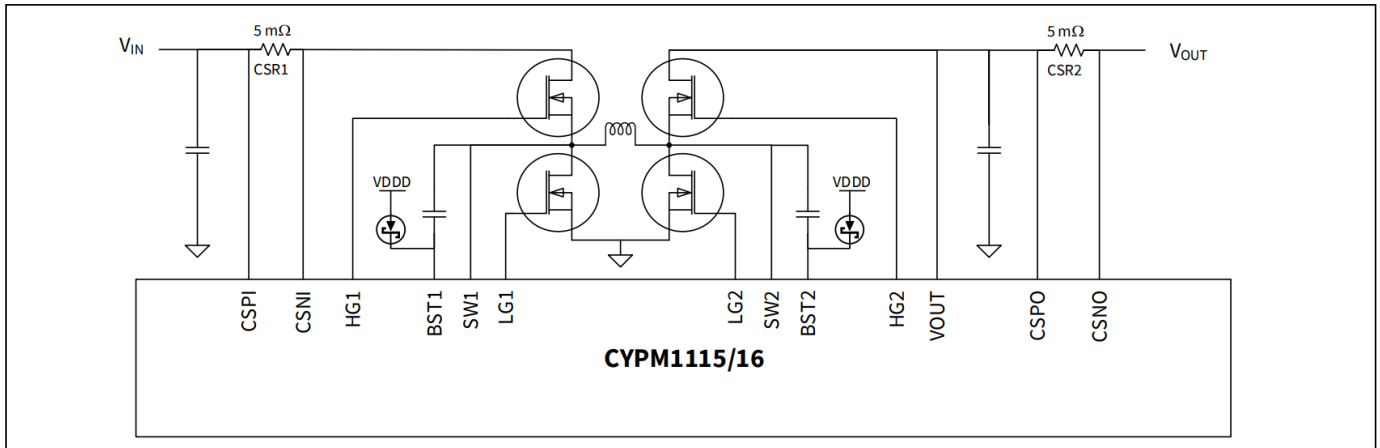


图1 降压-升压电路图显示外部元件

EZ-PD™ PMG1-B1 器件中的降压-升压子系统具有以下主要功能模块：

- 高端（逐周期）CSA
- 高端和低端栅极驱动器
- 脉宽调制器 (PWM)
- 误差放大器 (EA)

1.3.1 高端（逐周期）CSA

EZ-PD™ PMG1-B1 器件的降压-升压控制器可在升压和降压模式下实现峰值电流控制。高压侧电流检测放大器 (CSA) 通过与降压控制场效应晶体管 (FET) 串联的外部电阻 (5 mΩ；参见图 1 的 CSR1) 进行峰值电流检测。该电流检测放大器具有高带宽和非常宽的共模放范围。该电流检测电阻通过引脚 CSPI 和 CSNI 连接到 CSA 模块，如图 1 所示。该模块实现斜率补偿，以避免内部电流环路出现次谐波振荡。除了峰值电流检测外，它还提供一个限流比较器，用于在电流达到可编程的上限阈值时关闭降压-升压转换器。

1.3.2 高端栅极驱动器和低端栅极驱动器 (HG/LG)

EZ-PD™ PMG1-B1的降压-升压控制器提供四个 N 沟道 MOSFET 栅极驱动器：HG1 和 HG2 引脚的两个浮动高端栅极驱动器，以及 LG1 和 LG2 引脚处的两个接地参考低端驱动器。高端栅极驱动器以标称 VGS 5V 来驱动高端外部 FET。高端栅极驱动器具有可编程驱动强度来驱动外部 FET。外部电容器和肖特基二极管组成自举网络，用于收集和存储驱动高端 FET 所需的高压源（HG1 为 $V_{IN} + \sim 5V$ ，HG2 为 $V_{OUT} + \sim 5V$ ）。低侧栅极驱动器使用来自 EZ-PD™ PMG1-B1 内部 LDO 稳压器并存储在 PVDD 和 PGND 之间的电容器中的能量来驱动标称 VGS 为 5V 的低侧外部 FET。低侧栅极驱动器具有可编程驱动强度来驱动外部 FET。除了驱动强度之外，高端栅极驱动器和低端栅极驱动器还具有可编程的死区时间控制选项和零交叉水平。高端栅极驱动器和低端栅极驱动器模块包括过零检测器 (ZCD)，以实现具有二极管仿真的非连续传导模式 (DCM)。

如果 V_{IN} 电压介于 4.5V 和 24V 之间，则开关 FET 的栅极驱动器将在其标称驱动电压水平 (5V) 下运行。

1.3.3 误差放大器 (EA)

EZ-PD™ PMG1-B1的降压-升压控制器包含两个用于输出电压和电流调节的误差放大器。误差放大器是一种跨导型放大器，具有用于电压和电流环路的单个补偿引脚 (COMP) 接地。在电压调节中，输出电压与内部参考电压进行比较，并且 EA 的输出被馈送到 PWM 块。在电流调节时，平均电流由 V_{OUT} 高端电流检测放大器通过外部电阻检测。 V_{OUT} CSA 的输出与误差放大器模块中的内部参考进行比较，并将 EA 输出馈送到 PWM 模块。EZ-PD™ V_{OUT} 固件配置并控制集成可编程误差放大器电路，以实现电源部分所需的 V_{OUT} 电压输出。

1.3.4 脉宽调制器 (PWM)

EZ-PD™ PMG1-B1器件系列的 PWM 块为在峰值电流模式控制下驱动外部 FET 的栅极驱动器生成控制信号。有许多可编程选项可用于最小/最大脉冲宽度、最小/最大周期、频率和脉冲跳跃级别，以优化系统设计。

EZ-PD™ PMG1-B1器件具有两种可通过固件选择的运行模式，以优化效率并减少轻负载条件下的损耗：PSM和FCCM。

1.3.5 脉冲跳跃模式 (PSM)

在脉冲跳跃模式下，控制器通过以正常标称频率开关的“突发”形式工作，并在其中穿插无开关间隔，从而减少开关脉冲的总数，而不会降低有效开关频率。因此，输出电压在开关突发期间增加，而在安静间隔期间降低。此模式可使损失最小，但代价是输出电压纹波较高。在此模式下

EZ-PD™ PMG1-B1器件监控降压或升压同步 FET 两端的电压，以检测电感电流何时达到零；当发生这种情况时，EZ-PD™ PMG1-B1器件会关闭降压或升压同步 FET，以防止输出电容器的反向电流（即二极管仿真模式）。此模式的几个参数可通过固件进行编程，允许用户在轻载效率和输出纹波之间找到自己的平衡。

1.3.6 强制连续传导模式 (FCCM)

在强制连续导通模式 (FCCM) 下，始终保持标称开关频率，电感电流低于零（即反向或从输出到输入）根据需要，在开关周期的一部分时间内，以维持输出电压和电流。这样可将输出电压纹波保持在最低水平，但代价是轻载效率

功能概述

1.4 降压-升压控制器工作区域

输入侧 CSA 的输出与误差放大器的输出进行比较，以确定 PWM 的脉冲宽度。PWM 模块比较输入电压和输出电压，以确定降压、升压和降压-升压区域四个栅极驱动器 (HG1、LG1、HG2、LG2) 的开关时间/周期取决于模块运行的区域以及模式，例如 DCM 或 FCCM。每个区域的进出转换的精确 VIN 与 VOUT 阈值可在固件中调整，包括滞后。

1.4.1 降压区操作 (VIN >> VOUT)

当 VIN 电压明显高于所需的 VOUT 电压时，EZ-PD™ PMG1-B1 器件将在降压区工作。在此区域，升压侧 FET 处于停用状态，升压控制 FET (连接到 LG2) 关闭，升压同步 FET (连接到 HG2) 导通。降压侧 FET 的控制方式为同步整流降压转换器，如图 2 所示。

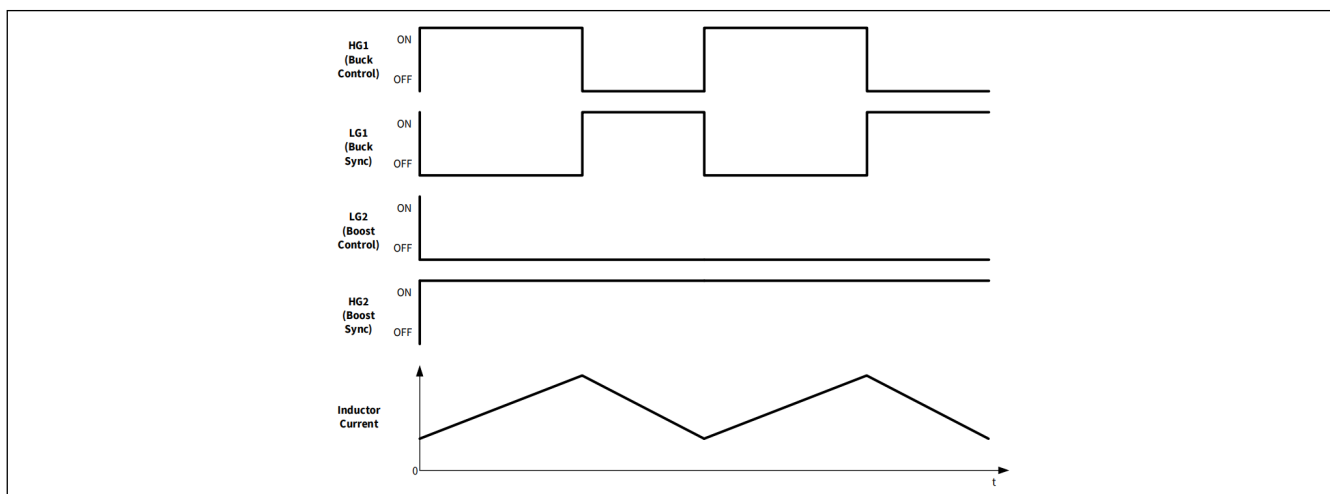


图2 Buck工作波形

1.4.2 升压区域操作 (VIN << VOUT)

当 VIN 电压明显低于所需的 VOUT 电压时，EZ-PD™ PMG1-B1 器件工作在升压区。在此区域，降压侧 FET 处于停用状态，同步 FET 关闭，降压控制 FET 导通。升压侧 FET 的控制方式为带同步整流的升压转换器，如图 3。

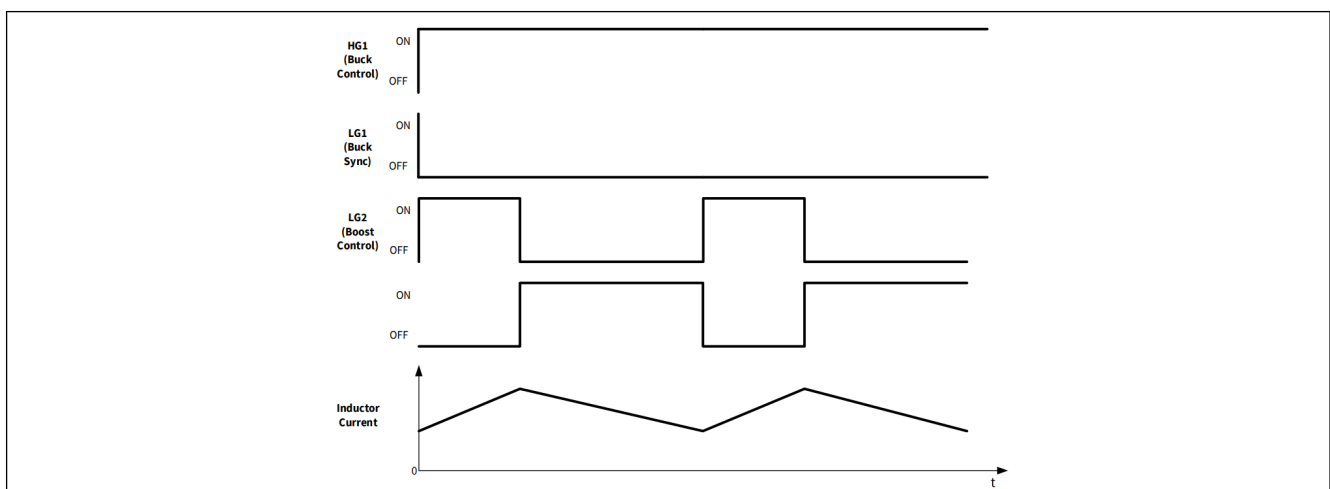


图3 升压工作波形

功能概述

1.4.3 降压-升压区域 1 操作 ($V_{IN} \sim V_{OUT}$)

当 V_{IN} 电压略高于所需的 V_{OUT} 电压时，EZ-PD™ PMG1-B1 器件工作在降压-升压区域 1。在此区域中，升压侧以固定的 20% 占空比（可编程）工作，而降压侧 (LG1 / HG1) 的占空比则通过调制来控制输出电压。所有四个 FET 均在此工作区域内每个周期进行开关操作，如图 4 所示。

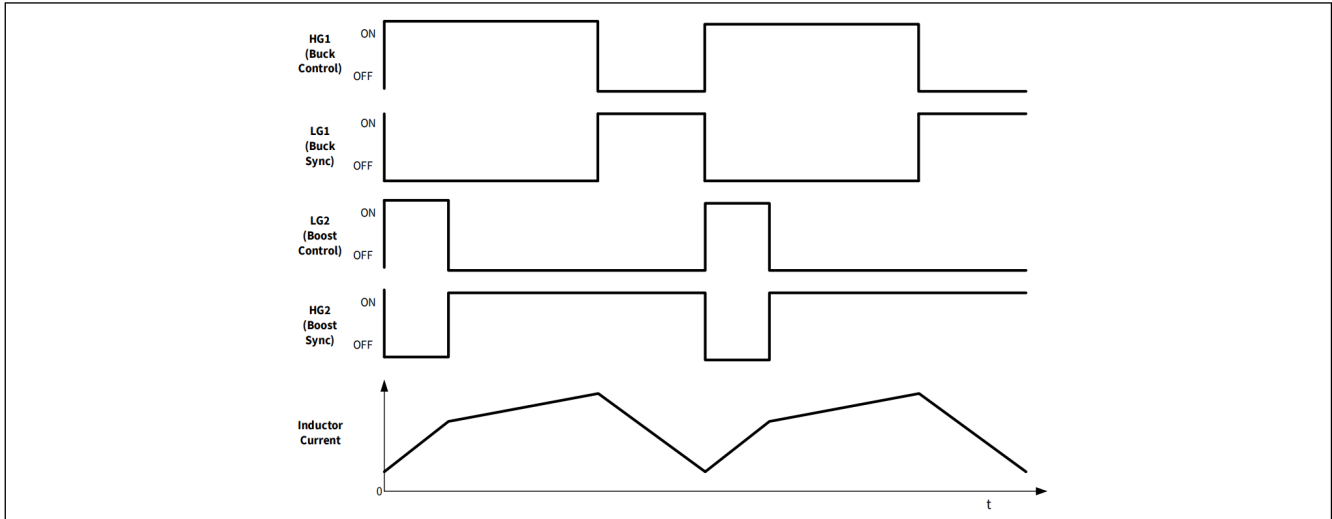


图4 降压-升压区域1 ($V_{IN} \sim V_{OUT}$) 工作波形

1.4.4 降压-升压区域 2 运行 ($V_{IN} \sim < V_{OUT}$)

当 V_{IN} 电压略低于所需的 V_{OUT} 电压时，EZ-PD™ PMG1-B1 器件工作在降压-升压区域 2。在此区域中，降压侧以固定的 80% 占空比（可编程）工作，而升压侧 (LG2) 的占空比则通过调制来控制输出电压。所有四个 FET 均在此工作区域内每个周期进行开关操作，如图 5 所示。

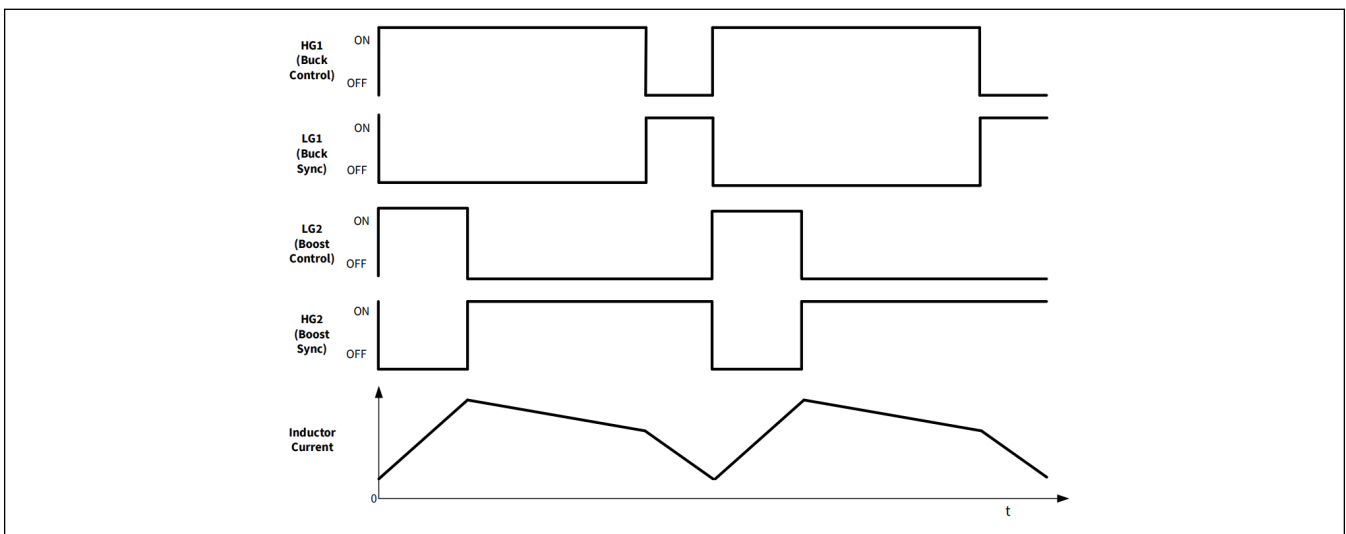


图5 降压-升压区域2 ($V_{IN} \sim < V_{OUT}$) 工作波形

1.4.5 开关频率和扩频

EZ-PD™ PMG1-B1 器件提供 150 kHz 至 600 kHz 之间的可编程开关频率。该控制器支持所有工作模式下工作频率范围内的扩频时钟。扩频对于充电应用来说至关重要，它可以扩展因在宽频谱而不是固定频率上切换而引起的发射，以满足 EMC/EMI 要求，从而降低任何特定频率的峰值能量。开关频率和扩频跨度均可通过固件编程。

1.5 模拟模块

1.5.1 ADC

EZ-PD™ PMG1-B1 器件有两个 8 位 SAR ADC 和一个 12 位 SAR ADC。8 位 SAR ADC 用于芯片中的通用 A/D 转换应用。12 位 SAR ADC 用于电池监测应用。所有 ADC 均可通过片上模拟多路复用器从 GPIO 访问。有关 8 位 ADC 的详细规格，请参见表 25。有关 12 位 ADC 的详细规格，请参见表 26 和表 27。

1.6 集成数字模块

1.6.1 串行通信模块 (SCB)

EZ-PD™ PMG1-B1 器件具有三个 SCB 模块，可配置为 I²C、SPI、UART 或 LIN。这些模块实现了完整的多主从 I²C 接口，并支持多主仲裁。此 I²C 实现符合飞利浦 I²C 规范 v3.0 标准。这些模块的运行速度高达 1 Mbps，并具有灵活的缓冲选项，可减少 CPU 的中断开销和延迟。SCB 模块支持 8 字节深度的 FIFO 用于接收和发送，通过增加 CPU 读取数据的时间，大大减少了由于 CPU 未能按时读取数据而导致的时钟延长。SCB0 的 I²C 端口 I/O 具有过压容限 (OVT) 功能。SCB1-2 的 I²C 端口不具有 OVT 容限功能。

1.6.2 定时器/计数器/脉宽调制器 (TCPWM)

EZ-PD™ PMG1-B1 设备的 TCPWM 模块支持八个定时器或计数器或脉冲宽度调制器。这些计时器可供固件内部使用或在 GPIO 上提供基于 PWM 的功能。

1.7 I/O 子系统

EZ-PD™ PMG1-B1器件拥有21个GPIO，其中包括可用作GPIO的I²C和SWD引脚。GPIO模块实现以下功能：

- 八种输出驱动模式
 - 仅限输入
 - 弱上拉和强下拉
 - 强上拉和弱下拉模式
 - 开漏和强下拉模式
 - 开漏和强上拉模式
 - 强上拉和强下拉模式
 - 已禁用
 - 弱上拉和弱下拉
- 选择输入阈值 (CMOS或LVTTTL)。
- 输入和输出禁用的独立控制
- 保持模式，用于锁存前一状态 (即保持I/O状态处于深度睡眠模式)
- dV/dt相关噪声控制的可选转换速率。
- 一对GPIO上的OVT

在上电和复位期间，各模块被强制为禁用状态，以防止给任何输入供电和/或造成引脚启用时的过电流现象。一个高速I/O矩阵(HSIOM)的复用网络用于复用连接多个信号至一个I/O引脚。固定功能外设的引脚位置也被固定，以降低内部使用的复杂性。数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。

可以通过软件对寄存器进行编程，从而配置每个数字I/O端口的引脚。每个I/O引脚都可以生成一个中断，如果启用的话，每个I/O端口都有一个中断请求 (IRQ) 和中断服务程序 (ISR) 与向量之间关联I/O端口可以在深度休眠模式下保持其状态或保持开启状态。如果通过复位恢复操作，则引脚将进入高阻抗状态。如果通过中断事件恢复操作，则引脚驱动器将保持其状态，直到固件更改其状态为止。断电时，(数据总线上的) I/O不会消耗电流。

功能概述

1.8 系统资源

1.8.1 看门狗计时器 (WDT)

EZ-PD™ PMG1-B1 器件的 WDT 由内部低速振荡器 (ILO) 运行。这允许看门狗在深度睡眠期间运行，并且如果在超时发生之前未得到服务，则会生成看门狗复位。WDR 记录在重置原因寄存器中。

1.8.2 复位

可以通过各种源 (包括软件复位) 对EZ-PD™ PMG1-B1进行复位。复位事件是异步的，并能够确保器件恢复到一个已知状态。复位原因被记录在寄存器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。XRES 引脚是用于断言外部硬件复位的专用引脚。

1.8.3 时钟系统

EZ-PD™ PMG1-B1设备具有完全集成的时钟，无需外部晶体。EZ-PD™ PMG1-B1设备的时钟系统负责为所有需要时钟的子系统 (SCB 和 PD) 提供时钟，并负责在不同时钟源之间切换。

通过分频HFCLK信号可以生成用于数字外设的同步时钟。时钟分频器具有 8 位、16 位和 16 位小数分频能力。16位的分频器能够灵活生成精细的频率值。时钟分频器可以生成使能时钟 (即，N 时钟中的 1，其中 N 为除数) 或大约 50% 占空比时钟 (对于偶数除数，正好为 50%，对于奇数除数，高值和低值相差一个时钟)。

在图6,PERXYZCLK指示不同外设的时钟。

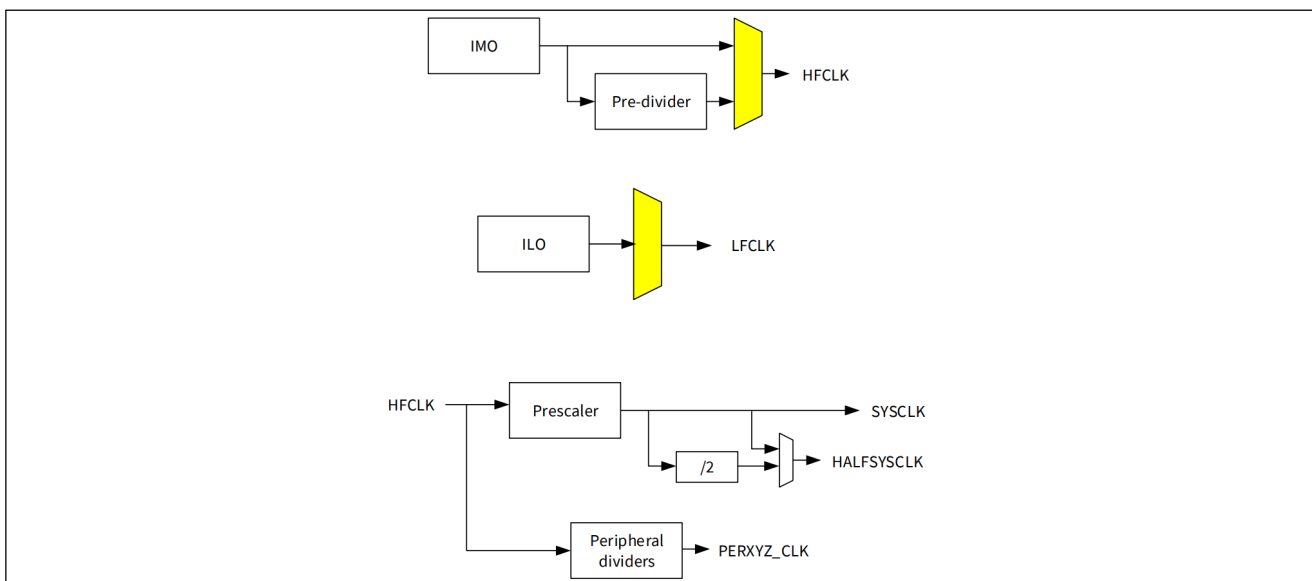


图 6 EZ-PD™ PMG1-B1器件的时钟架构

1.8.4 内部主振荡器 (IMO) 时钟源

IMO 是 EZ-PD™ PMG1-B1 设备的主要内部时钟源。EZ-PD™ PMG1-B1器件的 IMO 默认频率为 48 MHz±2%。

1.8.5 ILO 时钟源

ILO是一个超低功耗但相对不准确的振荡器，主要用于在USB暂停 (深度睡眠) 模式下为外设操作提供时钟。

2 电源子系统

图 7 显示了 EZ-PD™ PMG1-B1 器件的电源子系统架构概览。EZ-PD™ PMG1-B1 器件的电源子系统由 4 至 24 V 的 V_{IN} 电源供电。 V_{DD} 引脚是内部 5 V LDO 的输出，由 V_{IN} 电源输入。当集成电路的输入电源来自 CSNO 时，待机稳压器为 V_{DD} 提供 3 V 电压。 V_{DD} 引脚的电流能力高达 75 mA，包括内部和外部负载（仅适用于 V_{IN} 供电）。EZ-PD™ PMG1-B1 器件有两种不同的电源模式：活动模式和深度睡眠模式，两者之间的转换由电源系统管理。 V_{CCD} 引脚的输出的核心电压（1.8 V）稳压器，连接一个 0.1- μ F 的电容器，以确保稳压器的稳定性。这引脚不支持作为外部负载的电源。

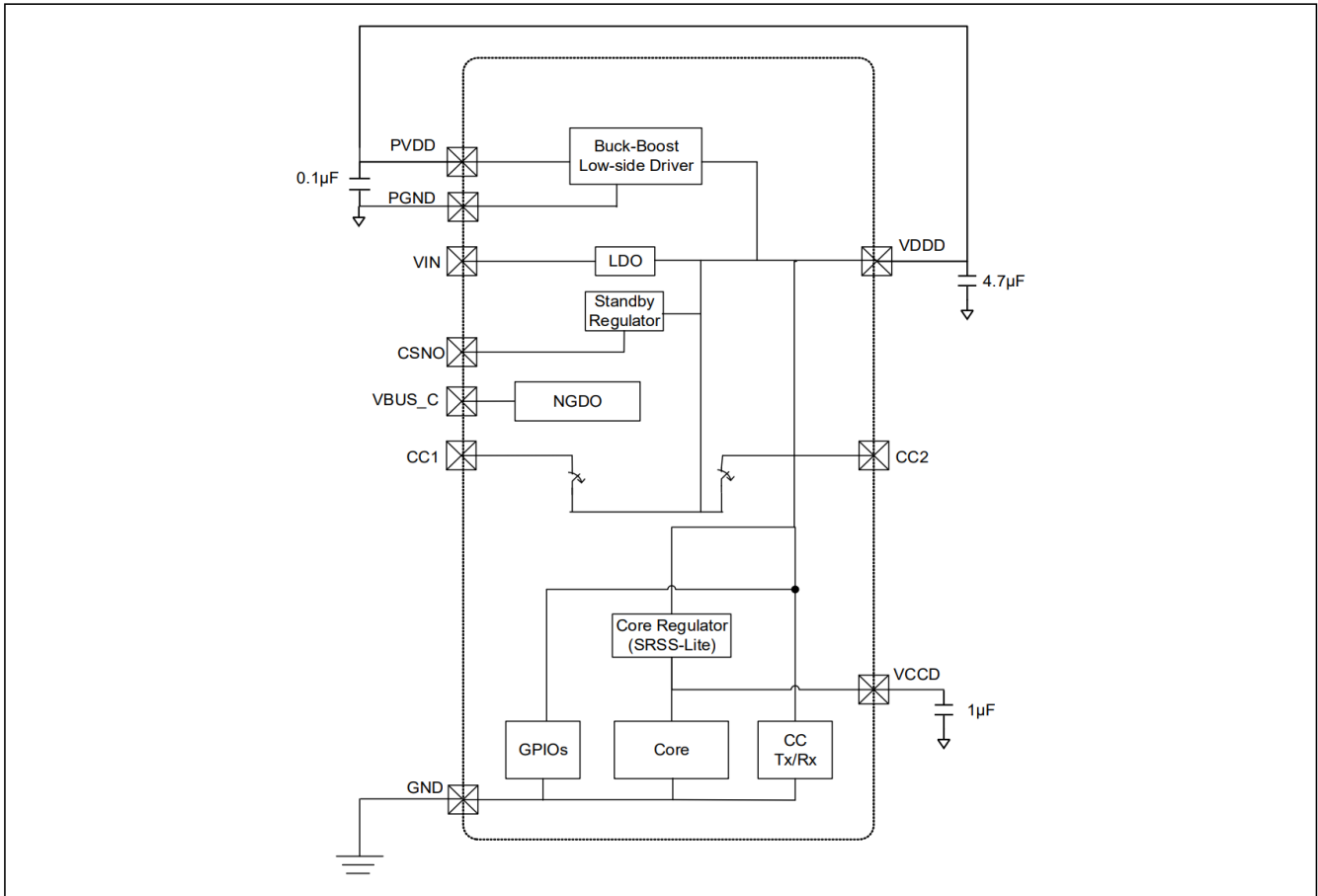


图7 电源系统需求框图^[1]

注释:

1. 建议在布局中将 PGND 和 GND 绑在一起，以获得更好的 EMI 性能。

2.1 VIN欠压锁定(UVLO)

EZ-PD™ PMG1-B1支持 UVLO，允许设备在输入电压低于可靠水平时关闭。它保证设备启动和运行时的可预测行为。

2.2 使用外部 VDDD 电源

默认情况下，EZ-PD™ PMG1-B1设备不支持外部 VDDD。但是，可以使用固件启用外部 VDDD 电源。启用 VDDD 外部强制的前提条件是始终保持 VIN 高于 VDDD。

2.3 电源模式

表 1列出了用户可访问和观察到的设备电源模式。

表 1 电源模式

Mode	Description
RESET	Power is valid and XRES is not asserted. An internal reset source is asserted or Sleep controller is sequencing the system out of reset
ACTIVE	Power is valid and CPU is executing instructions.
SLEEP	Power is valid and CPU is not executing instructions. All logic that is not operating is clock gated to save power.
DEEP SLEEP	Main regulator and most hard-IP are shut off. Deep Sleep regulator powers logic, but only low-frequency clock is available.
XRES	Power is valid and XRES is asserted. Core is powered down.

引脚列表

3 引脚列表

表 2 48-QFN 封装引脚排列

Pin #	Pin name	Absolute minimum (V)	Absolute maximum (V)	Description
1	BST1	-	PVDD+0.5 ^[2,3]	Boosted power supply of the buck high-side gate driver. Bootstrap capacitor node. Connect Schottky diode from VDDD to BST1. Also, connect a bootstrap capacitor from this pin to SW1.
2	HG1	-0.5		Buck high-side gate driver output. Connect to the buck (input) side control (high-side) FET gate. Use a wide trace to minimize inductance of this connection. Absolute min and max are with respect to SW1 pin.
3	SW1	-0.7	35	Negative power rail of the buck high-side gate driver. This is also connected to one input terminal of ZCD of buck low-side gate driver. Connect to the switch node (inductor) on the buck (input) side. Use a short and wide trace to minimize the inductance and resistance of this connection.
4	LG1	-0.5	PVDD+0.5 ^[2]	Buck low-side gate driver output. Connect to the buck (input) side sync (low-side) FET gate. Use a wide trace to minimize inductance of this connection.
5	PGND	-0.3	0.3	Ground of low-side gate driver. This is also connected to one input terminal of ZCD of buck low-side gate driver. Connect directly to the port's board ground plane.
6	PVDD	-	VDDD	Supply of low-side gate driver. Connect to VDDD. Use 1 μF and 0.1 μF bypass capacitors as close to the EZ-PD™ PMG1-B1 IC as possible.
7	LG2	-0.5	PVDD+0.5 ^[2]	Boost low-side gate driver output. Connect to the boost (output) side control (low-side) FET gate. Use a wide trace to minimize inductance of this connection.
8	VOUT	-0.3	24	Output of the buck-boost converter. This is also connected to one input terminal of reverse current protection of boost high-side gate driver. Connect to the boost sync (high-side) FET's drain. Use a dedicated (Kelvin) trace for this connection.
9	SW2			Negative power rail of the boost high-side gate driver. This is also connected to one input terminal of reverse current protection of boost high-side gate driver. Connect to the switch node (inductor) on the boost (output) side. Use a short and wide trace to minimize the inductance and resistance of this connection.
10	HG2	-0.5	PVDD+0.5 ^[2]	Boost high-side gate driver output. Connect to the boost (output) side sync (high-side) FET gate. Use a wide trace to minimize inductance of this connection.
11	BST2	-		Boosted power supply of the boost high-side gate driver. Bootstrap capacitor node. Connect Schottky diode from V _{DDD} to BST2. Also, connect a bootstrap capacitor from this pin to SW2.
12	VBUS_CTRL	-0.5	32	VBUS NFET gate driver output. Connect to the provider NFET's gate.
13	COMP		PVDD+0.5 ^[2]	EA output pin. Connect a compensation network to GND. Contact Infineon for assistance in designing the compensation network.
14	VBUS_C	-0.3	24	Type-C connector VBUS voltage. Connect to the Type-C connector's VBUS pin.
15	VOUT_EA			Input of feedback voltage of EA from converter output
16	CSNO			Negative input of output current sensing amplifier. Connect to negative terminal of the output current sense resistor.
17	CSPO			Positive input of output CSA. Connect to positive terminal of the output current sense resistor.

注释

2. 最大电压不得超过 6 V。
3. 最大绝对电压GND 的电压不得超过 40 V。

引脚列表

表 2 48-QFN 封装引脚排列 (续)

Pin #	Pin name	Absolute minimum (V)	Absolute maximum (V)	Description
18	CC2	-0.5	24	Type-C connector configuration channel 2. Connect directly to the CC2 pin on the port's Type-C connector. Also, connect a 390-pF capacitor to ground.
19	CC1			Type-C connector configuration channel 1. Connect directly to the CC1 pin on the port's Type-C connector. Also, connect a 390-pF capacitor to ground.
22	VDDD	-	6	5-V LDO output. Connect a 1-μF ceramic bypass capacitor to this pin.
40	XRES	-0.5	PVDD+0.5 ^[2]	External reset – active low. Contains a 3.5-kΩ to 8.5-kΩ internal pull-up.
43	GND	-	-	Chip ground. Connect to the exposed pad (EPAD).
44	VDDD		6	5-V LDO output. Connect a 10-μF bypass capacitor to this pin.
45	VCCD		-	1.8-V core LDO output. Connect a 0.1-μF bypass capacitor to ground. Do not connect anything else to this pin.
46	VIN	-0.3	40	4 to 24 V input supply. Connect a ceramic bypass capacitor to GND close to this pin.
47	CSPI			Positive input of input CSA. Connect to the positive terminal of the input current sense resistor. Use a dedicated (Kelvin) connection.
48	CSNI			Negative input of input CSA. Connect to the negative terminal of the input current sense resistor. Use a dedicated (Kelvin) connection.
-	EPAD	-	-	Exposed ground pad. Connect directly to pin 36 and pin 22.

注释

2. 最大电压不得超过 6 V。
3. 最大绝对电压GND 的电压不得超过 40 V。

表 3 GPIO 端口、引脚及其功能

48-QFN		SCB function			Analog	TCPWM			Fault indicator
Pin#	GPIO #	UART	SPI	I2C		ACT#0	ACT#1	ACT#3	
20	DP_GPIO0	-	-	-	-	-	-	-	-
21	DM_GPIO1	-	-	-	-	-	-	-	-
23	GPIO2	-	-	-	-	tcpwm0_line	tcpwm.tr_compare_match[0]:0	tcpwm.tr_in[0]	-
24	GPIO3	-	-	-	-	tcpwm.line[1]:0	tcpwm.tr_compare_match[1]:0	tcpwm.tr_in[1]	-
25	GPIO4	-	-	-	-	tcpwm.line[2]:0	tcpwm.tr_compare_match[2]:0	tcpwm.tr_in[2]	usbpd. fault_gpio0
26	GPIO13	-	-	-	-	tcpwm.line[0]:1	tcpwm.tr_compare_match[0]:1	tcpwm.tr_in[3]	-
27	GPIO14	-	-	-	-	tcpwm.line[1]:1	tcpwm.tr_compare_match[1]:1	tcpwm.tr_in[4]	-
28	GPIO15	-	-	-	-	tcpwm.line[2]:1	tcpwm.tr_compare_match[2]:1	tcpwm.tr_in[5]	-
29	GPIO16	scb[2].uart_cts:0	-	-	-	tcpwm.line[6]:1	tcpwm.tr_compare_match[6]:1	-	-
30	GPIO17	scb[2].uart_rts:0	-	-	sarmux_7	tcpwm.line[5]:1	tcpwm.tr_compare_match[5]:1	-	-
31	GPIO18	scb[2].uart_rx:0	-	-	sarmux_6	tcpwm.line[4]:1	tcpwm.tr_compare_match[4]:1	-	-
32	GPIO19	scb[2].uart_tx:0	-	-	sarmux_5	tcpwm.line[3]:1	tcpwm.tr_compare_match[3]:1	-	-
33	GPIO5	scb[1].uart_rts:0	scb[1].spi_select0:0	-	sarmux_4	tcpwm.line[7]:0	tcpwm.tr_compare_match[7]:0	tcpwm.tr_in[7]	usbpd. fault_gpio1
34	GPIO6	scb[1].uart_rx:0	scb[1].spi_clk:0	scb[1].i2c_scl:0	sarmux_3	tcpwm.line[6]:0	tcpwm.tr_compare_match[6]:0	-	-
35	GPIO7	scb[1].uart_tx:0	scb[1].spi_miso:0	scb[1].i2c_sda:0	sarmux_2	tcpwm.line[5]:0	tcpwm.tr_compare_match[5]:0	-	-
36	GPIO8	scb[0].uart_rts:0	scb[0].spi_select0:0	scb[2].i2c_scl:0	sarmux_1	tcpwm.line[4]:0	tcpwm.tr_compare_match[4]:0	-	-
37	GPIO9	scb[0].uart_cts:0	scb[0].spi_mosi:0	scb[2].i2c_sda:0	sarmux_0	tcpwm.line[3]:0	tcpwm.tr_compare_match[3]:0	-	-
38	GPIO10	scb[1].uart_cts:0	scb[0].spi_miso:0	-	-	-	-	tcpwm.tr_in[6]	-
39	GPIO20	-	-	-	-	tcpwm.line[7]:1	tcpwm.tr_compare_match[7]:1	-	-
41	GPIO11	scb[0].uart_tx:0	scb[1].spi_mosi:0	scb[0].i2c_sda:0	-	-	-	-	-
42	GPIO12	scb[0].uart_rx:0	scb[0].spi_clk:0	scb[0].i2c_scl:0	-	srss.ext_clk:0	-	-	-

引脚列表

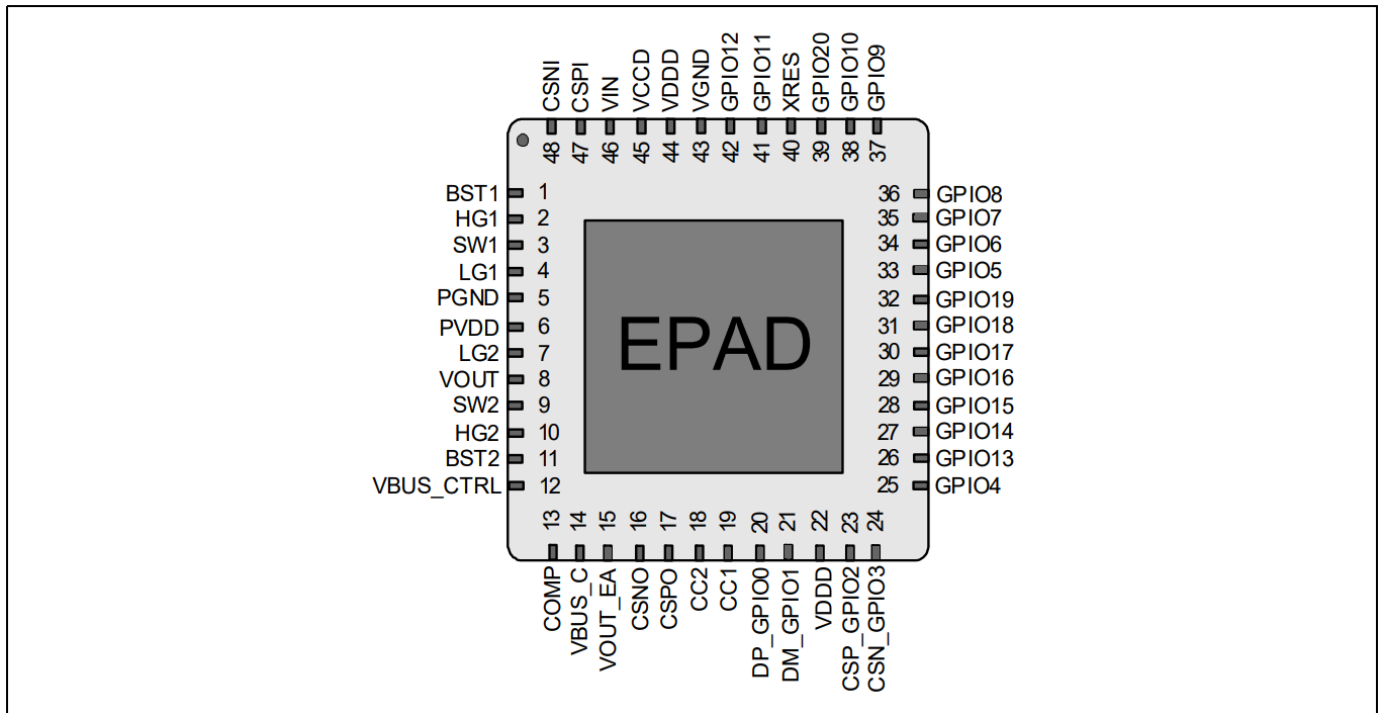


图 8 48-QFN 引脚排列

4 EZ-PD™ PMG1-B1 编程

通过 SWD 接口对设备闪存编程，将应用固件编程到 EZ-PD™ PMG1-B1 设备中。

4.1 通过 SWD 接口对设备闪存进行编程

EZ-PD™ PMG1-B1系列器件可使用 SWD 接口进行编程。英飞凌提供名为**CY8CKIT-005 的编程硬件 MiniProg4套件**，可用于编程闪存以及调试固件。通过从十六进制文件下载信息来编程闪存。

如框图所示（见**图 9**），SWD_DAT 和 SWD_CLK 引脚分别连接到主机编程器的 SWDIO（数据）和 SWDCLK（时钟）引脚。在 SWD 编程期间，可以通过将器件的 VTARG（目标器件电源）连接到 EZ-PD™ PMG1-B1器件的 VDDD 引脚，由主机编程器为器件供电。如果 EZ-PD™ PMG1-B1 器件使用板载电源供电，则可以使用“复位编程”选项进行编程。更多详细信息，请参阅**CCGx (CYPDxxxx) 编程规格**。

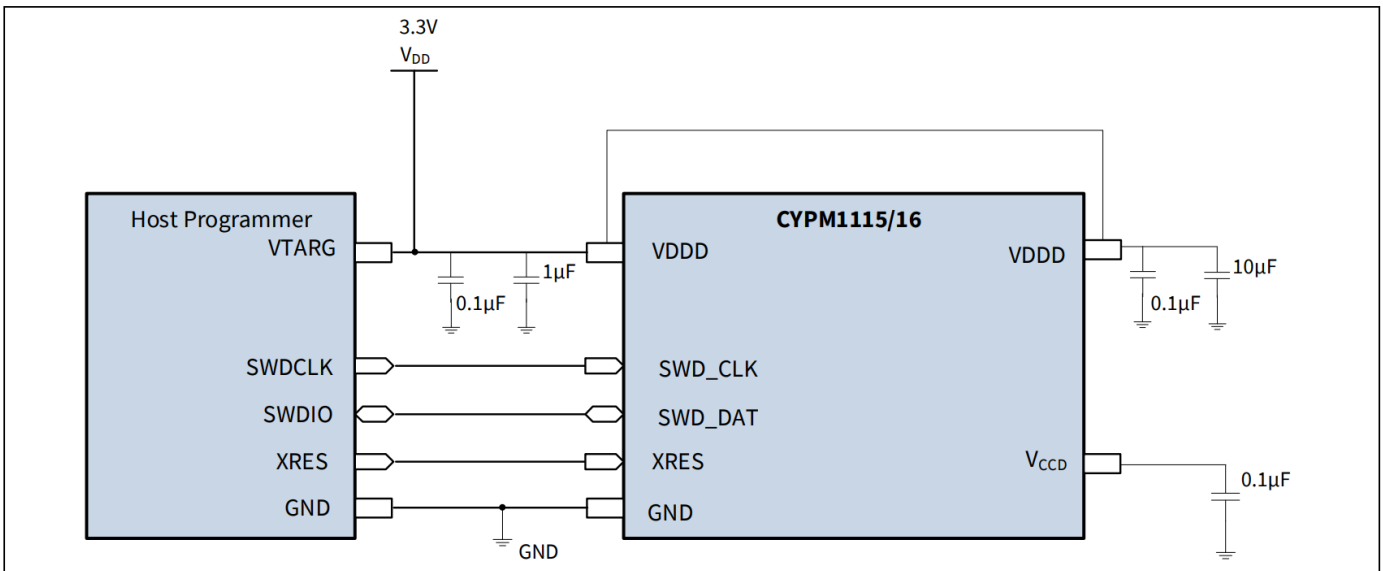


图 9 将编程器连接到CYPM1115/16设备

电气规格

6 电气规格

6.1 绝对最大额定值

表 4 绝对最大额定值^[5]

Parameter	Description	Min	Typ	Max	Unit	Details/conditions	
V _{IN_MAX}	Maximum input supply voltage	-	-	40	V	-	
V _{DDD_MAX}	Maximum supply voltage relative to V _{SS}			6			
V _{5V_MAX}	Maximum supply voltage relative to V _{SS}			24			
V _{BUS_C_MAX}	Max V _{BUS_C} (P0/P1) voltage relative to V _{SS}			V _{DDD} + 0.5			
V _{CC_PIN_ABS}	Max voltage on CC1 and CC2 pins			6			
V _{GPIO_ABS}	Inputs to GPIO	-0.5	-	25	mA	Absolute max, current injected per pin	
V _{GPIO_OVT_ABS}	OVT GPIO voltage	-25		0.5			
I _{GPIO_ABS}	Maximum current per GPIO	-0.5		-	V	All pins	
I _{GPIO_INJECTION}	GPIO injection current, max for V _{IH} > V _{DDD} , and min for V _{IL} < V _{SS}	500					
ESD_HBM	Electrostatic discharge human body model	2000		-	V	Charged device model ESD	
ESD_CDM	Electrostatic discharge charged device model	100					
LU	Pin current for latch-up	-100		125	100	mA	-
T _J	Junction temperature	-40		125	125	°C	-

注释:

- 该演示硬件将不执行标准符合性测试。客户对其最终产品的合规性负责。
- 器件在高于表5中所列出的绝对最大值条件下可能会造成永久性的损害。
长期在绝对最大值的条件下使用可能会影响器件的可靠性。最大存放温度是150°C，符合JEDEC JESD22-A103 — 高温存放使用寿命标准。如果采用的值低于最大绝对值但高于正常值，则器件可能不会正常工作。

电气规格

6.2 器件级规范

除非另有说明，所有规格均适用于 $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$ 和 $T_J \leq 125^{\circ}\text{C}$ 。
除非另有说明，否则这些规范的适用电压范围为 $3.0\text{V} \sim 5.5\text{V}$ 。

6.2.1 直流规格

表5 直流规格 (工作条件)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PWR#1	V_{IN}	Input supply voltage	4.0				
SID.PWR#1A	V_{IN_BB}	Buck-boost operating input supply voltage	4.5		24		
SID.PWR#2	V_{DDD_REG}	VDDD output with V_{IN} 5.5 to 24 V, max load = 75 mA	4.6				
SID.PWR#2A	V_{DDD_BYPASS}	VDDD output with V_{IN} 4.5 to 5.5 V, max load = 75 mA	$V_{IN} - 0.7$	-	5.5	V	-
SID.PWR#3	V_{DDD_MIN}	VDDD output with V_{IN} 4 to 4.5 V, max load = 20 mA	$V_{IN} - 0.2$		-		
SID.PWR#20	VBUS	VBUS_C valid range	3.3		21.5		
SID.PWR#5	V_{CCD}	Regulated output voltage (for core logic)	-	1.8	-		
SID.PWR#16	C_{EFC_VCCD}	External regulator voltage bypass for VCCD	80	100	120	nF	
SID.PWR#17	C_{EXC_VDDD}	Power supply decoupling capacitor for VDDD		10		μF	X5R ceramic
SID.PWR#18	C_{EXV}	Bootstrap supply capacitor (BST1, BST2)		0.1			
SID.PWR#24	I_{DD_ACT}	Supply current at 0.4 MHz switching frequency	-	50	-	mA	$T_A = 25^{\circ}\text{C}$, $V_{IN} = 12\text{V}$. CC IO IN transmit or receive, no I/O sourcing current, No VCONN load current, CPU at 24 MHz, PD port active. Buck-boost converter on, 3-nF gate driver capacitance.

深度睡眠模式

SID_DS1	I_{DD_DS1}	$V_{IN} = 12\text{V}$. CC wakeup on, Type-C not connected, Source mode.	-	80	-	μA	Type-C not attached, CC enabled for wakeup. R_p connection should be enabled for the PD port. $T_A = 25^{\circ}\text{C}$.
SID_DS2	I_{DD_DS2}	$V_{IN} = 12\text{V}$, GPIO wake-up		50			USBPD disabled. Wake-up from GPIO. $T_A = 25^{\circ}\text{C}$. All faults disabled.

电气规格

6.2.2 CPU

表 6 CPU 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#4	F_{CPU}	CPU input frequency	-	-	48	MHz	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$, all V_{DDDD}
SID.PWR#19	$T_{DEEPSLEEP}$	Wake-up from Deep Sleep mode		35	-	μs	
SYS.XRES#5	T_{XRES}	External reset pulse width	5	-	-	μs	-
SYS.FES#1	T_{PWR_RDY}	Power-up to "Ready to Accept I ² C/CC command"	-	5	25	ms	-

6.2.3 GPIO

表 7 GPIO 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions		
SID.GIO#9	V_{IH_CMOS}	Input voltage high threshold	$0.7 \times V_{DDDD}$	-	-	V	CMOS input		
SID.GIO#10	V_{IL_CMOS}	Input voltage low threshold	-		$0.3 \times V_{DDDD}$			$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$	
SID.GIO#11	V_{IH_TTL}	LVTTL input	2.0		-				
SID.GIO#12	V_{IL_TTL}	LVTTL input	-		0.8				
SID.GIO#7	V_{OH_3V}	Output voltage high level	$V_{DDDD} - 0.6$		-		$I_{OH} = -4 \text{ mA}$, $-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$		
SID.GIO#8	V_{OL_3V}	Output voltage low level	-		0.6		$I_{OL} = 10 \text{ mA}$, $-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$		
SID.GIO#2	Rpu	Pull-up resistor when enabled	3.5		5.6		8.5	k Ω	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$
SID.GIO#3	Rpd	Pull-down resistor when enabled	3.5		5.6		8.5		
SID.GIO#4	I_{IL}	Input leakage current (absolute value)	-	-	2	nA	$+25^{\circ}\text{C} T_A$, 3-V V_{DDDD}		
SID.GIO#5	C_{PIN_A}	Max pin capacitance	-	-	22	pF	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$, capacitance on DP, DM pins		
SID.GIO#6	C_{PIN}	Max pin capacitance	-	3	7		$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$, all V_{DDDD} , all other I/Os		
SID.GIO#13	V_{HYSTTL}	Input hysteresis, LVTTL, $V_{DDDD} > 2.7 \text{ V}$	100	-	-	mV	$V_{DDDD} > 2.7 \text{ V}$		
SID.GIO#14	$V_{HYS CMOS}$	Input hysteresis CMOS	$0.1 \times V_{DDDD}$	-	-		-		

表 8 GPIO 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GIO#16	$T_{RISE F}$	Rise time in fast strong mode	2	-	12	ns	$C_{load} = 25 \text{ pF}$, $-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$
SID.GIO#17	$T_{FALL F}$	Fall time in fast strong mode			12		
SID.GIO#18	$T_{RISE S}$	Rise time in slow strong mode			10		
SID.GIO#19	$T_{FALL S}$	Fall time in slow strong mode	10	60			
SID.GIO#20	F_{GPIO_OUT1}	GPIO F_{OUT} ; $3.0 \text{ V} \leq V_{DDDD} \leq 5.5 \text{ V}$. Fast strong mode.	-	-	16	MHz	
SID.GIO#21	F_{GPIO_OUT2}	GPIO F_{OUT} ; $3.0 \text{ V} \leq V_{DDDD} \leq 5.5 \text{ V}$. Slow strong mode.	-	-	7		
SID.GIO#22	F_{GPIO_IN}	GPIO input operating frequency; $3.0 \text{ V} \leq V_{DDDD} \leq 5.5 \text{ V}$.	-	-	16		$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$

电气规格

表 9 GPIO OVT 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GPIO_20VT_GIO#4	GPIO_20VT_I_LU	GPIO_20VT latch up current limits	-140		140	mA	Max / min current in to any input or output, pin-to-pin, pin-to-supply
SID.GPIO_20VT_GIO#5	GPIO_20VT_RPU	GPIO_20VT pull-up resistor value	3.5		8.5	kΩ	-40°C ≤ T _A ≤ +105°C, all V _{DDD}
SID.GPIO_20VT_GIO#6	GPIO_20VT_RPD	GPIO_20VT pull-down resistor value			8.5		
SID.GPIO_20VT_GIO#16	GPIO_20VT_IIL	GPIO_20VT input leakage current (absolute value)	-		2	nA	+25°C T _A , 3-V V _{DDD}
SID.GPIO_20VT_GIO#17	GPIO_20VT_CPIN	GPIO_20VT pin capacitance			10	pF	-40°C ≤ T _A ≤ +105°C, all V _{DDD}
SID.GPIO_20VT_GIO#33	GPIO_20VT_Voh	GPIO_20VT output voltage high level	V _{DDD} -0.6	-	-	V	I _{OH} = -4 mA
SID.GPIO_20VT_GIO#36	GPIO_20VT_Vol	GPIO_20VT output voltage low level	-		0.6		I _{OL} = 8 mA
SID.GPIO_20VT_GIO#41	GPIO_20VT_Vih_LVTTL	GPIO_20VT LVTTTL input	2		-		-40°C ≤ T _A ≤ +105°C, all V _{DDD}
SID.GPIO_20VT_GIO#42	GPIO_20VT_Vil_LVTTL	GPIO_20VT LVTTTL input	-		0.8		
SID.GPIO_20VT_GIO#43	GPIO_20VT_Vhysttl	GPIO_20VT input hysteresis LVTTTL	100		-	mV	
SID.GPIO_20VT_GIO#45	GPIO_20VT_ITOT_GPIO	GPIO_20VT maximum total sink pin current to ground	-		95	mA	V (GPIO_20VT pin) > V _{DDD}

表 10 GPIO OVT交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GPIO_20VT_70	GPIO_20VT_TriseF	GPIO_20VT rise time in fast strong mode	1		15	ns	All V _{DDD} , C _{load} = 25 pF
SID.GPIO_20VT_71	GPIO_20VT_TfallF	GPIO_20VT fall time in fast strong mode					
SID.GPIO_20VT_GIO#46	GPIO_20VT_TriseS	GPIO_20VT rise time in slow strong mode	10		70		
SID.GPIO_20VT_GIO#47	GPIO_20VT_TfallS	GPIO_20VT fall time in slow strong mode					
SID.GPIO_20VT_GIO#48	GPIO_20VT_FGPIO_OUT1	GPIO_20VT GPIO Fout; 3V ≤ V _{DDD} ≤ 5.5 V. Fast strong mode.	-		33	MHz	
SID.GPIO_20VT_GIO#50	GPIO_20VT_FGPIO_OUT3	GPIO_20VT GPIO Fout; 3V ≤ V _{DDD} ≤ 5.5V. Slow strong mode.					
SID.GPIO_20VT_GIO#52	GPIO_20VT_FGPIO_IN	GPIO_20VT GPIO input operating frequency; 3V ≤ V _{DDD} ≤ 5.5 V					

电气规格

6.2.4 XRES

表11 XRES直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.XRES#1	V_{IH_XRES}	Input voltage high threshold on XRES pin	$0.7 \times V_{DDD}$	-	-	V	CMOS input
SID.XRES#2	V_{IL_XRES}	Input voltage low threshold on XRES pin	-		$0.3 \times V_{DDD}$		
SID.XRES#3	C_{IN_XRES}	Input capacitance on XRES pin			7	pF	
SID.XRES#4	$V_{HYSXRES}$	Input voltage hysteresis on XRES pin			$0.05 \times V_{DDD}$	-	mV

6.3 数字外设

下列规范适用于定时器模式下的定时器/计数器/PWM外设。

6.3.1 GPIO引脚的脉冲宽度调制 (PWM)

表 12 PWM 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.TCPWM.1	$TCPWM_{FREQ}$	Operating frequency	-	-	F_c	MHz	$F_c \max = CLK_SYS$
SID.TCPWM.3	T_{PWMEXT}	Output trigger pulse width	$2/F_c$		ns	-	Minimum possible width of overflow, underflow, and CC (counter equals compare value) outputs
SID.TCPWM.4	T_{CRES}	Resolution of counter	$1/F_c$				Minimum time between successive counts
SID.TCPWM.5	PWM_{RES}	PWM resolution					Minimum pulse width of PWM output

6.3.2 I²C

表13 固定I²C交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID153	F_{I2C1}	Bit rate	-	-	1	Mbps	-

6.3.3 UART

表14 固定UART交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID162	F_{UART}	Bit rate	-	-	1	Mbps	-

电气规格

6.3.4 SPI

表 15 固定SPI 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID166	F _{SPI}	SPI operating frequency (master; 6X oversampling)	-	-	8	MHz	-

表16 SPI主设备模式的固定交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID167	T _{DMO}	MOSI valid after SClk driving edge	-	-	15	ns	-
SID168	T _{DSI}	MISO valid before SClk capturing edge	20	-	-		Full clock, late MISO sampling
SID169	T _{HMO}	Previous MOSI data hold time	0	-	-		Referred to slave capturing edge

表 17 SPI从设备模式的固定交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID170	T _{DMI}	MOSI valid before Sclck capturing edge	40	-	-	ns	-
SID171	T _{DSO}	MISO valid after Sclck driving edge	-	-	48 + (3 × T _{CPU})		T _{CPU} = 1/F _{CPU}
SID171A	T _{DSO_EXT}	MISO valid after Sclck driving edge in ext clk mode	-	-	48		-
SID172	T _{HSO}	Previous MISO data hold time	0	-	-		-
SID172A	T _{SSELSCK}	SSEL valid to first SCK valid edge	100	-	-		-

6.3.5 存储器

表 18 Flash 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.MEM#2	FLASH_WRITE	Row (block) write time (Erase and program)	-	-	20	ms	-40°C ≤ T _A ≤ +85°C, all V _{DDD}
SID.MEM#1	FLASH_ERASE	Row erase time			15.5		
SID.MEM#5	FLASH_ROW_PGM	Row program time after erase			7		
SID178	T _{BULKERASE}	Bulk erase time (32 KB)			35		
SID180	T _{DEVPROG}	Total device program time	-	-	7.5	s	-
SID.MEM#6	FLASH_ENPB	Flash write endurance	100k	-	-	cycles	25°C ≤ T _A ≤ 55°C, all V _{DDD}
SID182	F _{RET1}	Flash retention, T _A ≤ 55°C, 100K P/E cycles	20	-	-	years	-
SID182A	F _{RET2}	Flash retention, T _A ≤ 85°C, 10K P/E cycles	10				

电气规格

6.4 系统资源

6.4.1 欠压情况下的上电复位 (POR)

表 19 非精确上电复位 (IPOR)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID185	V _{RISEIPOR}	Power-on reset (POR) rising trip voltage	0.80	-	1.50	V	-40°C ≤ T _A ≤ +105°C, all V _{DDD}
SID186	V _{FALLIPOR}	POR falling trip voltage	0.70		1.4		

表 20 精确 POR

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID190	V _{FALLPPOR}	Brown-out detect (BOD) trip voltage in Active/Sleep modes	1.48	-	1.62	V	-40°C ≤ T _A ≤ +105°C, all V _{DDD}
SID192	V _{FALLDPSLP}	BOD trip voltage in Deep Sleep mode	1.1		1.5		

6.4.2 SWD 接口

表 21 SWD接口规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions		
SID.SWD#1	F _{SWDCLK1}	3.0 V ≤ V _{DDIO} ≤ 5.5 V	-	-	14	MHz	-		
SID.SWD#2	T _{SWDI_SETUP}	T = 1/f SWDCLK	0.25 × T		-	ns		-	
SID.SWD#3	T _{SWDI_HOLD}								
SID.SWD#4	T _{SWDO_VALID}				-				0.50 × T
SID.SWD#5	T _{SWDO_HOLD}				1				-

6.4.3 内部主振荡器

表 22 IMO 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#13	F _{IMOTOL}	Frequency variation at 48 MHz (trimmed)	-	-	±2	%	3.0 V ≤ V _{DDD} < 5.5 V, -40°C ≤ T _A ≤ 105°C
SID226	T _{STARTIMO}	IMO start-up time			7	μs	-40°C ≤ T _A ≤ +105°C, all V _{DDD}
SID.CLK#1	F _{IMO}	IMO frequency			24	48	

6.4.4 内部低速振荡器

表 23 ILO 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID234	T _{STARTILO1}	ILO start-up time	-	-	2	ms	-40°C ≤ T _A ≤ +105°C, all V _{DDD}
SID238	T _{ILODUTY}	ILO duty cycle	40	50	60	%	
SID.CLK#5	F _{ILO}	ILO frequency	20	40	80	kHz	-

电气规格

6.4.5 PD

表 24 PD直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.DC.cc_shvt.1	vSwing	Transmitter output high voltage	1.05	-	1.2	V	-
SID.DC.cc_shvt.2	vSwing_low	Transmitter output low voltage	-		0.075		
SID.DC.cc_shvt.3	zDriver	Transmitter output impedance	33		75	W	
SID.DC.cc_shvt.4	zBmcRx	Receiver input impedance	10			MΩ	
SID.DC.cc_shvt.5	Idac_std	Source current for USB standard advertisement	64		96	μA	
SID.DC.cc_shvt.6	Idac_1p5a	Source current for 1.5A at 5 V advertisement	166		194		
SID.DC.cc_shvt.7	Idac_3a	Source current for 3A at 5 V advertisement	304		356		
SID.DC.cc_shvt.8	Rd	Pull down termination resistance when acting as UFP (upstream facing port)	4.59		5.61	kΩ	
SID.DC.cc_shvt.10	zOPEN	CC impedance to ground when disabled	108				
SID.DC.cc_shvt.11	DFP_default_0p2	CC voltages on DFP side-standard USB	0.15		0.25	V	
SID.DC.cc_shvt.12	DFP_1.5A_0p4	CC voltages on DFP side-1.5A	0.35		0.45		
SID.DC.cc_shvt.13	DFP_3A_0p8	CC voltages on DFP side-3A	0.75		0.85		
SID.DC.cc_shvt.14	DFP_3A_2p6	CC voltages on DFP side-3A	2.45		2.75		
SID.DC.cc_shvt.15	UFP_default_0p66	CC voltages on UFP side-standard USB	0.61		0.7		
SID.DC.cc_shvt.16	UFP_1.5A_1p23	CC voltages on UFP side-1.5A	1.16		1.31		
SID.DC.cc_shvt.17	Vattach_ds	Deep Sleep attach threshold	0.3		0.6		
SID.DC.cc_shvt.18	Rattach_ds	Deep Sleep pull-up resistor	10		50	kΩ	
SID.DC.cc_shvt.19	VTX_step	TX drive voltage step size	80		120	mV	

6.4.6 模数转换器

表25 ADC直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.ADC.1	Resolution	ADC resolution	-	8	-	Bits	-
SID.ADC.2	INL	Integral non-linearity	-1.5	-	1.5	LSB	Reference voltage generated from bandgap.
SID.ADC.3	DNL	Differential non-linearity	-2.5		2.5		Reference voltage generated from V _{DD} .
SID.ADC.4	Gain Error	Gain error	-1.5		1.5		Reference voltage generated from bandgap.
SID.ADC.5	VREF_ADC1	Reference voltage of ADC	V _{DD} min		V _{DD} max	V	Reference voltage generated from V _{DD} .
SID.ADC.6	VREF_ADC2		1.96	2.0	2.04		Reference voltage generated from Deep Sleep reference.

电气规格

表 26 12 位 SAR ADC 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions	
SID.ADC12.DC.2	A_RES_1	Resolution	-	-	12	bits	IMO/HFCLK at 48 MHz	
SID.ADC12.DC.3	A_CHNLS_S	Number of channels - single ended			8		8 full speed	
SID.ADC12.DC.4	A-CHNKS_D	Number of channels - differential			4		Differential inputs use adjacent I/O.	
SID.ADC12.DC.5	A-MONO	Monotonicity			-		Yes	
SID.ADC12.DC.6	A_GAINERR	Gain error			±0.1	%	With external reference.	
SID.ADC12.DC.7	A_OFFSET	Input offset voltage			2	mV	Measured with 1 V reference.	
SID.ADC12.DC.8	A_ISAR	Current consumption			1	mA	-	
SID.ADC12.DC.9	A_VINS	Input voltage range - single ended			V _{SS}	V _{DD}		V
SID.ADC12.DC.10	A_VIND	Input voltage range - differential						
SID.ADC12.DC.11	A_INRES	Input resistance			-	2.2		kΩ
SID.ADC12.DC.12	A_INCAP	Input capacitance				10		pF

表 27 12 位 SAR ADC 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions	
SID.ADC12.AC.1	A_PSRR	Power supply rejection ratio	70	-	-	dB	-	
SID.ADC12.AC.2	A_CMRR	Common mode rejection ratio	66					Measured at 1 V.
SID.ADC12.AC.3	A_SAMP_1	Sample rate with external reference bypass cap.	-		1	MSPS	-	
SID.ADC12.AC.4	A_SAMP_2	Sample rate with no bypass cap. Reference = V _{DD} .			500	KSPS		
SID.ADC12.AC.5	A_SAMP_3	Sample rate with no bypass cap. Internal reference.			100			
SID.ADC12.AC.6	A_SNR	Signal-to-noise and distortion ratio (SINAD)	65		-	-	dB	F _{in} = 10 kHz
SID.ADC12.AC.7	A_BW	Input bandwidth without aliasing	-		A _{samp} /2	kHz	-	
SID.ADC12.AC.8	A_INL	Integral non linearity. V _{DD} = 1.71 to 5.5, 1 Msps	-1.7		2	LSB	V _{ref} = 1 to V _{DD}	
SID.ADC12.AC.9	A_INL	Integral non linearity. V _{DD} = 1.71 to 3.6, 1 Msps	-1.5		1.7		V _{ref} = 1.71 to V _{DD}	
SID.ADC12.AC.10	A_INL	Integral non linearity. V _{DD} = 1.71 to 5.5, 500 kSPS					V _{ref} = 1 to V _{DD}	

电气规格

6.4.7 HS CSA

表 28 HS CSA 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.HSCSA.1	Csa_Acc1	CSA accuracy 5 mV < Vsense < 10 mV	-15	-	15	%	Active mode
SID.HSCSA.2	Csa_Acc2	CSA accuracy 10 mV < Vsense < 15 mV	-10		10		
SID.HSCSA.3	Csa_Acc3	CSA accuracy 15 mV < Vsense < 25 mV	-5		5		
SID.HSCSA.4	Csa_Acc4	CSA accuracy 25 mV < Vsense	-3		3		
SID.HSCSA.7	Csa_SCP_Acc1	CSA SCP at 6A with 5-mΩ sense resistor	-10		10		
SID.HSCSA.8	Csa_SCP_Acc2	CSA SCP at 10A with 5-mΩ sense resistor					
SID.HSCSA.9	Csa_OCP_1A	CSA OCP at 1A with 5-mΩ sense resistor	104	130	156		
SID.HSCSA.10	Csa_OCP_5A	CSA OCP for 5A with 5-mΩ sense resistor	123		137		

表 29 HS CSA 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.HSCSA.AC.1	T _{SCP_GATE}	Delay from SCP threshold trip to external NFET power gate turn off	-	3.5	-	μs	1 nF NFET gate
SID.HSCSA.AC.2	T _{SCP_GATE_1}	Delay from SCP threshold trip to external NFET power gate turn off		8			3 nF NFET gate

6.4.8 UV/OV

表 30 UV/OV 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.UVOV.1	VTHOV1	Overvoltage threshold accuracy, 4 to 11 V	-3	-	3	%	Active mode
SID.UVOV.2	VTHOV2	Overvoltage threshold accuracy, 11 to 21.5 V	-3.2		3.2		
SID.UVOV.3	VTHUV1	Undervoltage threshold accuracy, 3 to 3.3V	-4		4		
SID.UVOV.4	VTHUV2	Undervoltage threshold accuracy, 3.3 to 4.0 V	-3.5		3.5		
SID.UVOV.5	VTHUV3	Undervoltage threshold accuracy, 4.0 to 21.5 V	-3		3		

电气规格

6.4.9 VCONN开关

表 31 VCONN 开关直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.VCONN.1	VCONN_OUT	VCONN output voltage with 20 mA load current	4.5	-	5.5	V	-
DC.VCONN.2	I _{LEAK}	Connector side pin leakage current	-		10	μA	
DC.VCONN.3	I _{OCP}	VCONN overcurrent protection threshold	22.5		30	42.5	

表 32 VCONN 开关交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
AC.VCONN.1	T _{ON}	VCONN switch turn-on time	-	-	600	μs	-
AC.VCONN.2	T _{OFF}	VCONN switch turn-off time			10		

6.4.10 V_{BUS}

表 33 V_{BUS} 放电规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.VBUS.DISC.1	R1	20-V NMOS ON resistance for DS = 1	500	-	2000	Ω	Measured at 0.5 V.
SID.VBUS.DISC.2	R2	20-V NMOS ON resistance for DS = 2	250		1000		
SID.VBUS.DISC.3	R4	20-V NMOS ON resistance for DS = 4	125		500		
SID.VBUS.DISC.4	R8	20-V NMOS ON resistance for DS = 8	62.5		250		
SID.VBUS.DISC.5	R16	20-V NMOS ON resistance for DS = 16	31.25		125		
SID.VBUS.DISC.6	Vbus_stop_error	Error percentage of final VBUS value from setting	-		10	%	When VBUS is discharged to 5 V.

6.4.11 电压调节

表 34 电压调节直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.DC.VR.1	VOUT	CSNO output voltage range	3.3	-	21.5	V	-
SID.DC.VR.2	VR	CSNO voltage regulation accuracy	-	±3	±5	%	
SID.DC.VR.3	VIN_UVLO	VIN supply below which chip will get reset	1.7	-	3.0	V	

表 35 电压调节器规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.VREG.1	T _{START}	Total startup time for the regulator supply outputs	-	-	200	μs	-

电气规格

6.4.12 VBUS栅极驱动器

表 36 VBUS 栅极驱动器直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GD.1	GD_VGS	Gate to source overdrive during ON condition	4.5	5	10	V	NFET driver is ON
SID.GD.2	GD_RPD	Resistance when pull-down enabled	-	-	2	kΩ	Applicable on VBUS_CTRL to turn off external NFET.
SID.GD.5	GD_drv	Programmable typical gate current	0.3		9.75	μA	

表 37 VBUS 栅极驱动器交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GD.3	T _{ON}	VBUS_CTRL low to high (1V to VBUS + 1 V) with 3 nF external capacitance	2	5	10	ms	CSNO = 5 V
SID.GD.4	T _{OFF}	VBUS_CTRL high to low (90% to 10%) with 3 nF external capacitance	-	7	-	μs	CSNO = 21.5 V

6.4.13 PWM 控制器

表 38 降压-升压 PWM 控制器规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
PWM.1	F _{SW}	Switching frequency	150	-	600	kHz	-
PWM.2	FSS	Spread spectrum frequency dithering span		10		%	
PWM.3	Ratio_buck_BB	Buck to buck boost ratio		1.16		V/V	
PWM.4	Ratio_boost_BB	Boost to buck boost ratio		0.84			

6.4.14 NFET栅极驱动器

表 39 降压-升压 NFET 栅极驱动器规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions		
DR.1	R_HS_PU	Top-side gate driver on-resistance-gate pull-up	-	2	-	Ω	-		
DR.2	R_HS_PD	Top-side gate driver on-resistance-gate pull-down		1.5					
DR.3	R_LS_PU	Bottom-side gate driver on-resistance-gate pull-up		2					
DR.4	R_LS_PD	Bottom-side gate driver on-resistance-gate pull-down		1.5					
DR.5	Dead_HS	Dead time before high-side rising edge		-		30		-	ns
DR.6	Dead_LS	Dead time before low-side rising edge				30			
DR.7	Tr_HS	Top-side gate driver rise time				25			
DR.8	Tf_HS	Top-side gate driver fall time				20			
DR.9	Tr_LS	Bottom-side gate driver rise time				25			
DR.10	Tf_LS	Bottom-side gate driver fall time				20			

电气规格

6.4.15 LS-SCP

表 40 LS-SCP 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.LSSCP.DC.1	SCP_6A	Short circuit current detect @ 6A	5.4	6	6.6	A	Using differential inputs (CSP_GPIO2, CSN_GPIO3)
SID.LSSCP.DC.1A	SCP_6A_SE	Short circuit current detect @ 6A	4.5	6	7.5		Using single ended inputs (CSP_GPIO2) and internal ground
SID.LSSCP.DC.2	SCP_10A	Short circuit current detect @10A	9	10	11		Using differential inputs (CSP_GPIO2, CSN_GPIO3)
SID.LSSCP.DC.2A	SCP_10A_SE	Short circuit current detect @10A	7.5	10	12.5		Using single ended inputs (CSP_GPIO2) and internal ground

6.4.16 热

表 41 热规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.OTP.1	OTP	Thermal shutdown	120	125	130	°C	-

订购信息

7 订购信息

表 42 列出了 EZ-PD™ PMG1-B1 器件编号和特性。

表 42 EZ-PD™ PMG1-B1 订购信息

MPN	Termination resistor	Role	Switching frequency	Package type
CYPM1115-48LQXI	R_P, R_D	Sink and DRP power sourcing will be supported	150 to 600 kHz	48-pin QFN
CYPM1116-48LQXI	R_P, R_D, R_{D-DB}			

7.1 订购代码定义

器件编号的格式为CYPM1ABC-DEFGHIJ，其中各字段的定义如下所示。

表 43 EZ-PD™ PMG1-B1 订购代码定义

Field	Description	Values	Meaning
CY	CYPRESS prefix	CY	Company ID
PM	Marketing code	PM	PM = Power Delivery MCU family
1	MCU family generation	1	Product family generation
A	Family	0	S0
		1	S1, B1
		2	S2
		3	S3
B	PD Ports	1	1-PD port
		2	2-PD port
C	Application specific	5	R_P, R_D (no dead battery support)
		6	R_P, R_D, R_{D-DB} (dead battery support)
DE	Pin	XX	Number of pins in the package
FG	Package code	LQ	QFN
		BZ	BGA
		FN	CSP
H	Lead free	X	Lead: X = Pb-free
I	Temperature range	I	Industrial
J	Only for T&R	T	Tape and reel

封装

8 封装

表 44 封装特性

Parameter	Description	Conditions	Min	Typ	Max	Unit
T_J	Operating junction temperature		-40	25	125	°C
T_{JA}	Package θ_{JA}	-	-	-	18.81	°C/W
T_{JC}	Package θ_{JC}				10.1	

8.1 封装图

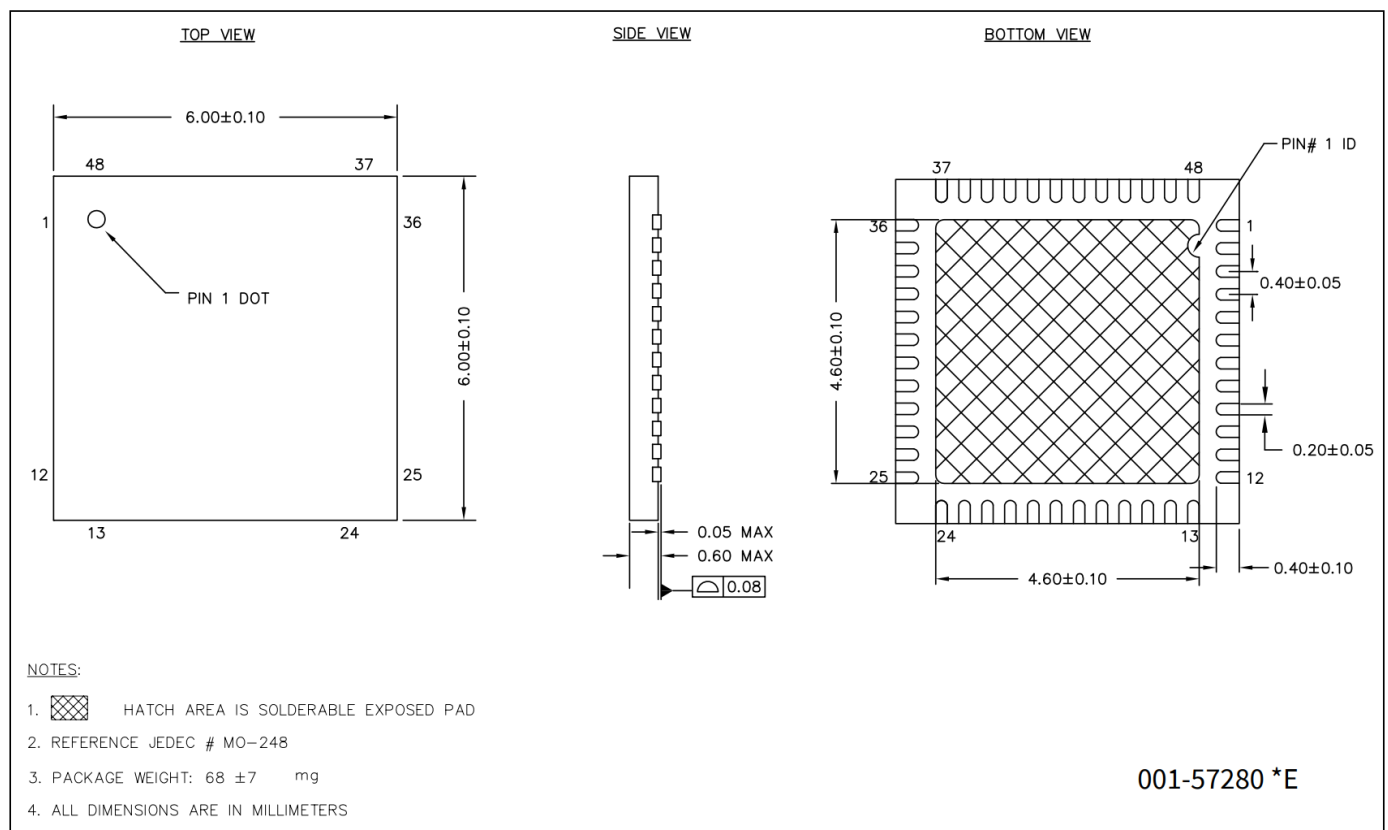


图 11 48-QFN 封装外形

缩略语

9 缩略语

表 45 本文档中使用的缩略语

Acronym	Description
ADC	analog-to-digital converter
AFC	Samsung adaptive fast charging
Arm®	advanced RISC machine, a CPU architecture
CPU	central processing unit
CSA	current sense amplifier
DAC	digital-to-analog converter
FCCM	forced continuous current/conduction mode
GPIO	general-purpose input/output
HSDR	high-side driver
I ² C, or IIC	inter-integrated circuit, a communications protocol
IDAC	current DAC
I/O	input/output, see also GPIO
LSDR	low-side driver
MCU	microcontroller unit
OCP	overcurrent protection
OVP	overvoltage protection
PD	power delivery
POR	power-on reset
PSoC™	programmable system-on-chip
PSM	pulse skipping mode
PWM	pulse-width modulator
RAM	random-access memory
SPI	serial peripheral interface, a communications protocol
SRAM	static random access memory
TCPWM	timer/counter/PWM
Type-C	a new standard with a slimmer USB connector and a reversible cable, capable of sourcing up to 100 W of power
UART	universal asynchronous transmitter receiver, a communications protocol
UFP	upstream facing port
UVP	undervoltage protection
USB	universal serial bus
UVLO	under-voltage lockout
VPA	VCONN powered accessories
ZCD	zero crossing detector

10 文档惯例

10.1 测量单位

表 46 测量单位

Symbol	Unit of measure
°C	degrees Celsius
Hz	hertz
KB	1024 bytes
kHz	kilohertz
kΩ	kilo ohm
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
Msp	megasamples per second
μA	microampere
μF	microfarad
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
mΩ	milliohm
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
Ω	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second

修订记录

修订记录

Document revision	Date	Description of changes
*D	2022-12-19	Publish to web.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。

版本 2026-04-20

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com