

# EZ-PD™ PMG1-S1 第1世代パワーデリバリー MCU

## EZ-PD™ PMG1 ファミリの概要

EZ-PD™ PMG1 (第1世代パワーデリバリー MCU) は、高電圧の USB-C パワーデリバリー (PD) マイクロコントローラー (MCU) のファミリーです。これらのチップには、Arm® Cortex®-M0/M0+ CPU, USB-C PD コントローラー, およびアナログとデジタルペリフェラルが搭載されます。EZ-PD™ PMG1 は、高電圧 USB-C PD ポートとの間で電力を供給/消費し、マイクロコントローラーを活用して追加の制御機能を提供する組み込みシステムを対象としています。Figure 1 に、EZ-PD™ PMG1 ファミリのセグメンテーションを示します。

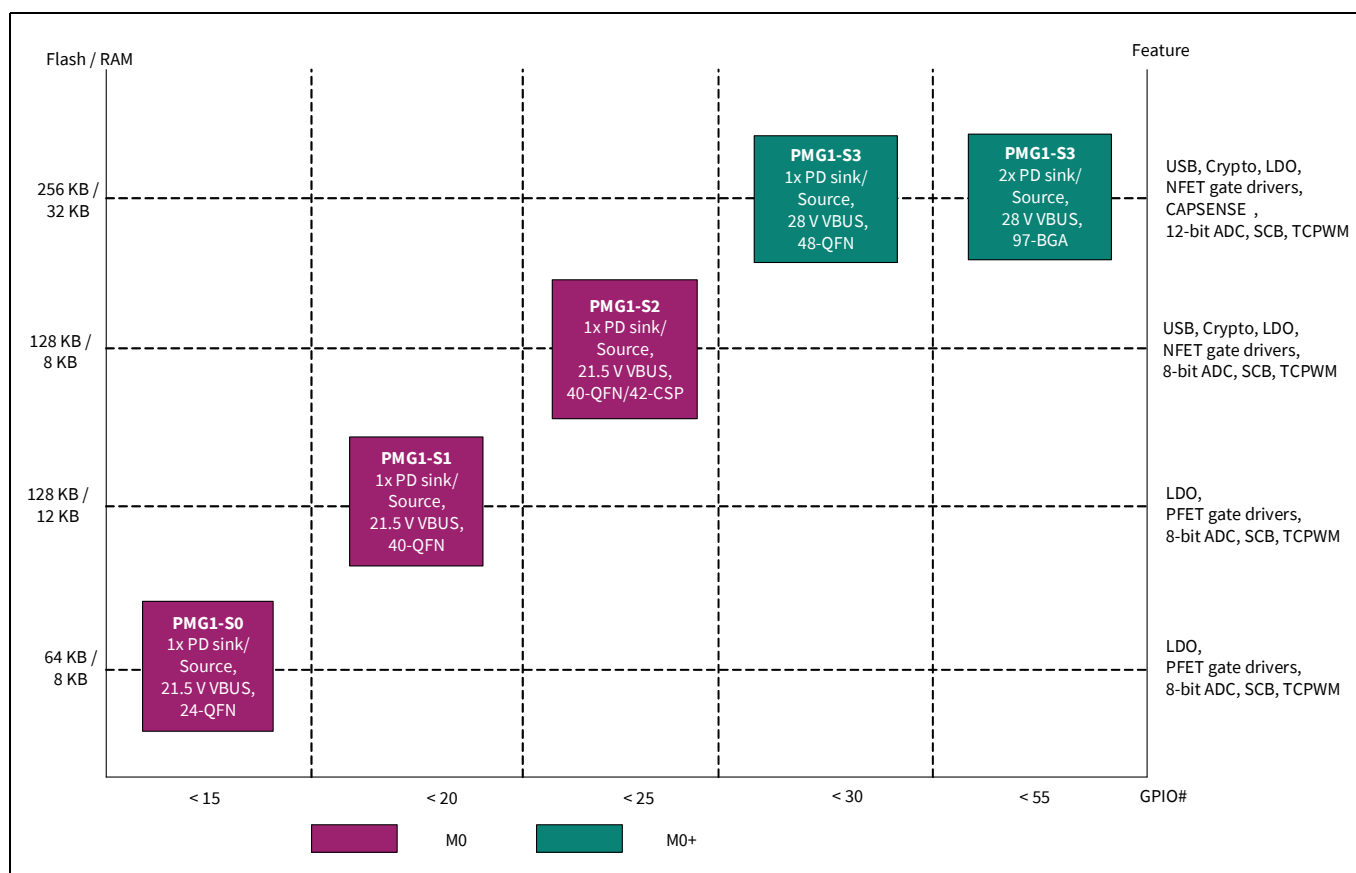


Figure 1 PMG1 ファミリー セグメンテーション

## EZ-PD™ PMG1 ファミリの概要

Table 1 に、EZ-PD™ PMG1 ファミリのさまざまな MCU の機能の比較を示します。

**Table 1 EZ-PD™ PMG1 ファミリのさまざまな MCU の機能の比較**

サブシステム または範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3
CPU および メモリ サブ システム	コア	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	最大周波数 (MHz)	48	48	48	48
	フラッシュ (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
パワー デリ バリー	パワー デリバリー ポート	1	1	1	48 ピン QFN の場 合は 1 ポート 97 ボール VFBGA の場合は 2 ポート
	ロール	DRP	DRP	DRP	DRP
	MOSFET ゲート ドライバ	1x PFET	2x PFET	2x NFET	柔軟な 2x NFET
	フォールト保護	VBUS OVP, UVP, および OCP。 SCP (ソース コン フィギュレー ションのみ)	VBUS OVP, UVP, および OCP。 SCP および RCP (ソース コン フィギュレー ションのみ)	VBUS OVP, UVP, および OCP	VBUS OVP, および OCP。 SCP および RCP (ソース コンフィ ギュレーションのみ)
USB	Billboard クラス をサポートする 統合された フル スピード USB 2.0 デバイス	無	無	有	有
電圧範囲	電源電圧 (V)	VDDD (2.7 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.75 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.7 ~ 5.5) VBUS (4 ~ 21.5)	VSYS (2.8 ~ 5.5) VBUS (4 ~ 28)
	IO (V)	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5	1.71 ~ 5.5
デジタル	SCB (I <sup>2</sup> C/UART/SPI と して設定可能)	2	4	4	48 ピン QFN の場 合は 7 (そのうち 5 だけ を SPI および UART として設定 可能)  97 ボール VFBGA の場合は 8
	TCPWM ブロック (タイマー, カウ ンター またはパ ルス幅変調器と して設定可能)	4	2	4	8
	ハードウェア 認証ブロック (暗号)	無	無	有 (AES-128/192/25 6, SHA1, SHA2-224, SHA2-256, PRNG, CRC)	有 (AES-128, SHA2-256, TRNG, ベクトルユニット )

## EZ-PD™ PMG1 ファミリの概要

**Table 1** EZ-PD™ PMG1 ファミリのさまざまな MCU の機能の比較 (continued)

サブシステム または範囲	項目	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3
アナログ	ADC	2x 8 ビット SAR	1x 8 ビット SAR	2x 8 ビット SAR	2x 8 ビット SAR 1x 12 ビット SAR
	内蔵温度センサー	有	有	有	有
ダイレクトメモリアクセス (DMA)	DMA	無	無	無	有
GPIO	I/O の最大数	12 (10+2 フェイルセーフ)	17 (15+2 フェイルセーフ)	20 (18+2 フェイルセーフ)	48 ピン QFN の場合は 26 (24+2 フェイルセーフ) 97 ボール VFBGA の場合は 50 (48+2 フェイルセーフ)
充電規格	充電ソース	BC 1.2, AC, AFC, および QC 3.0	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC, AFC および QC 3.0
	充電シンク	BC 1.2, AC, および QC 2.0	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC, および QC 2.0
ESD 保護	ESD 保護	有 (人体モデルとデバイス帯電モデル)	有 (人体モデルとデバイス帯電モデル)	有 (人体モデルとデバイス帯電モデル)	有 (人体モデルとデバイス帯電モデル)
パッケージ	パッケージオプション	24-QFN (4×4 mm, 0.6 mm ピッチ)	40-QFN (6×6 mm, 0.6 mm ピッチ)	40-QFN (6×6 mm, 0.6 mm ピッチ) / 42-CSP (2.63×3.18 mm, 0.55 mm ピッチ)	48-QFN (6×6 mm, 0.6 mm ピッチ) / 97-BGA (6×6 mm, 0.5 mm および 1.0 mm ピッチ)

本書の残りの部分では、EZ-PD™ PMG1-S1 デバイスについて詳しく説明します。

## EZ-PD™ PMG1-S1 の概要

EZ-PD™ PMG1-S1 は、32 ビット、48 MHz の Arm® Cortex®-M0 プロセッサ (128KB フラッシュメモリ搭載)、すべての終端抵抗 ( $R_P$ ,  $R_D$ , デッドバッテリー  $R_D$ ) を備えた完全な Type-C USB PD トランシーバを搭載しています。アップストリームフェイシングポート (UFP)、ダウンストリームフェイシングポート (DFP)、およびデュアルロールパワー (DRP) アプリケーションで使用できます。これは 40 ピン QFN パッケージで提供されます。

## 特長

- 32 ビット MCU サブシステム
  - 48 MHz Arm® Cortex®-M0 MCU
  - 128 KB フラッシュ
  - 12 KB SRAM
  - 16K SROM からフラッシュスペースを解放 (8 KB のブート SROM と 8 KB のユーザー SROM)
- Type-C/USB PD ブロック
  - 最新の USB PD 3.0 仕様に対応
  - 高速ロール スワップ (FRS)
  - 拡張データ メッセージング (EDM)
  - ダウンストリーム向けポート (DFP)<sup>[1]</sup> ロール抵抗 ( $R_P$ ) 用の統合電流ソース
    - 500/900 mA
    - 1.5A
    - 3A
  - UFP<sup>[2]</sup> ロールのための内蔵  $R_D$  抵抗
  - EMCA ケーブルへの電源供給のための内蔵 VCONN FET
  - 内蔵されたデッド バッテリー終端抵抗
  - Type-C コネクタにおけるVBUSピンとの不慮の短絡故障から保護するためにCCピンに内蔵された高電圧保護機能
- レガシー充電 (ソースとシンク)
  - BCv1.2
  - Apple
- マルチプレクサ
  - USB 2.0 high speed (HS) データ用の統合 USB 2.0 アナログ マルチプレクサ
  - 代替モード用の統合 SBU アナログ マルチプレクサ (DisplayPort)
- 統合 VBUS ロード スイッチ コントローラー
  - VBUS プロバイダパスで最大 20 V をサポート
  - プロバイダパスで外部 VBUS PFET を駆動するための 24 V を許容するスルーレート制御ゲートドライバ
  - コンシューマパスで外部 VBUS PFET を駆動するための、24 V を許容するゲートドライバ
  - 設定可能なハードウェア制御の VBUS 過電圧保護 (OVP)、低電圧保護 (UVP)、過電流保護 (OCP)、短絡保護 (SCP)、および逆電流保護 (RCP)
  - 5 mΩ 直列抵抗を通過する電流を測定できる VBUS ハイサイド電流検出アンプ
  - FRS 要求に応答して、コンシューマ PFET をオフにし、プロバイダ PFET をオン
- LDO
  - デッド バッテリー モード動作に最大 21.5 V で動作する統合高電圧 LDO
- インターフェース
  - USB PD プロトコルが必要とする応答時間要件を満たす統合された 2 個のタイマー / カウンター
  - 再設定可能な I<sup>2</sup>C, SPI, または UART 機能を備えた、4 個のランタイムシリアル通信ブロック (SCB)

### 注:

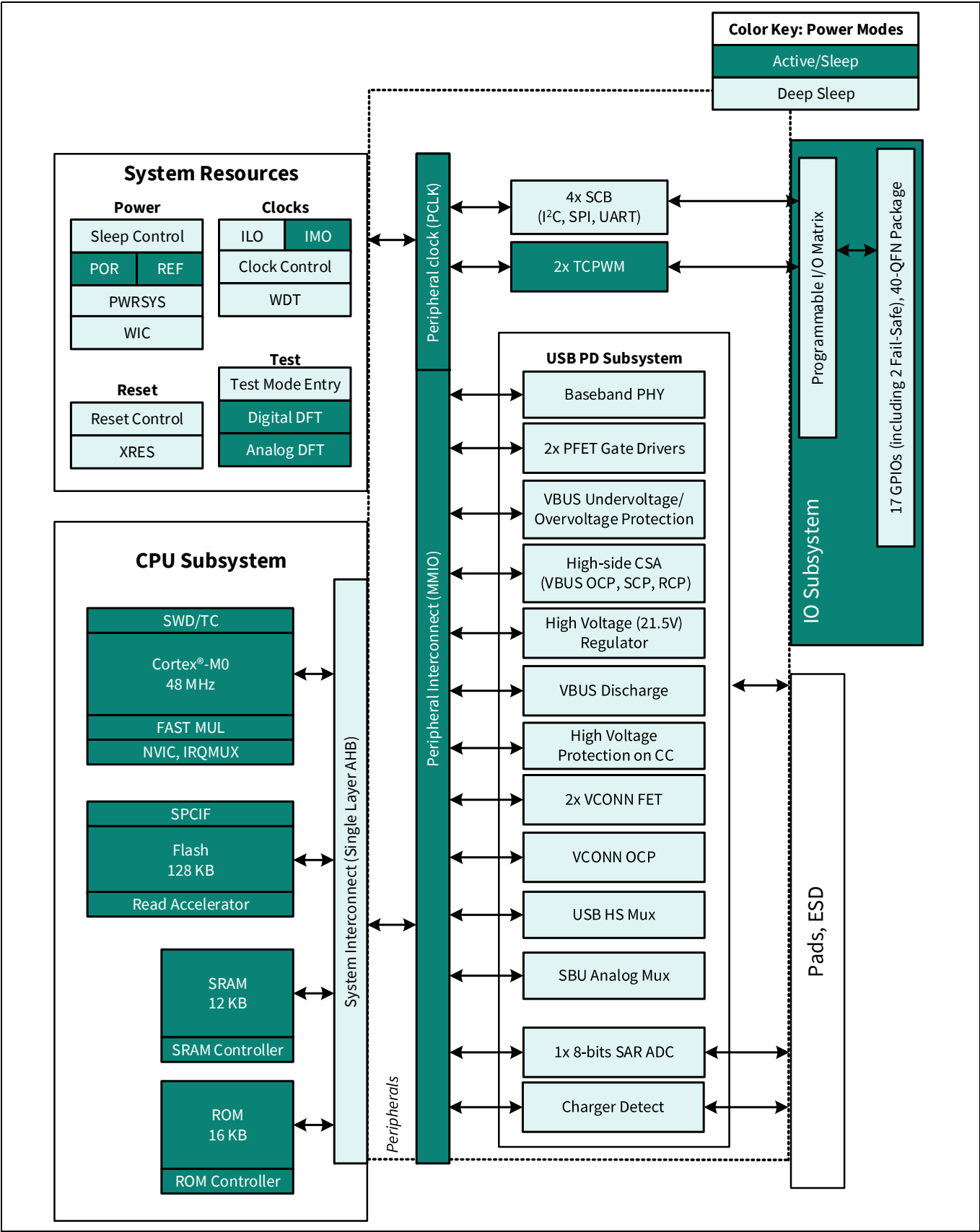
1. DFP はパワー ソースを意味します。
2. UFP はパワー シンクを意味します。

## 特長

- クロックおよび発振器
  - 内蔵発振器により外部クロックが不要
- 電源
  - V<sub>SYS</sub> (2.75 V ~ 5.5 V)
  - V<sub>BUS</sub> (4 V ~ 21.5 V)
- フェイルセーフ
  - SCB0 からの I<sup>2</sup>C ピンはフェイルセーフピン
- パッケージ
  - 6.0 mm×6.0 mm, 0.6 mm, 40 ピン QFN
  - 産業用温度範囲 (-40°C ~ +85°C) に対応
- ソフトウェアツール
  - ModusToolbox™

ブロック図

ブロック図



## 目次

## 目次

<b>EZ-PD™ PMG1 ファミリの概要</b> .....	<b>1</b>
<b>EZ-PD™ PMG1-S1 の概要</b> .....	<b>4</b>
特長 .....	4
ブロック図 .....	6
目次 .....	7
<b>1 開発サポート</b> .....	<b>9</b>
1.1 ドキュメント .....	9
1.2 オンライン .....	9
1.3 ツール .....	9
1.4 ModusToolbox™ IDE および EZ-PD™ PMG1 SDK.....	9
<b>2 機能概要</b> .....	<b>10</b>
2.1 CPU および サブシステム (SS) .....	10
2.1.1 CPU.....	10
2.1.2 フラッシュ .....	10
2.1.3 SRAM .....	10
2.1.4 SROM .....	10
2.2 USB PD サブシステム .....	10
2.2.1 USB PD 物理層 .....	10
2.2.2 VCONN FET.....	10
2.2.3 8 ビット SAR ADC .....	10
2.2.4 USB 2.0 MUX .....	11
2.2.5 USB MUX .....	11
2.2.6 ロードスイッチコントローラー .....	11
2.2.7 充電検出 .....	12
2.2.8 高電圧耐性 SBU および CC ライン .....	12
2.2.9 CSA .....	12
2.2.10 スルーレート制御可能なゲートドライバ .....	12
2.3 固定機能デジタル .....	13
2.3.1 タイマー / カウンター / PWM ブロック (TCPWM).....	13
2.3.2 SCB .....	13
2.3.3 GPIO インターフェース .....	13
2.3.4 フェイルセーフ GPIO .....	13
<b>3 電源システム概要</b> .....	<b>14</b>
<b>4 ピン配置</b> .....	<b>15</b>
<b>5 アプリケーション図</b> .....	<b>18</b>
<b>6 電氣的仕様</b> .....	<b>20</b>
6.1 絶対最大定格 .....	20
6.2 ピンベースの絶対最大定格 .....	21
6.3 デバイスレベルの仕様 .....	22
6.3.1 DC 仕様 .....	22
6.3.2 CPU .....	23
6.3.3 GPIO .....	23
6.4 デジタル ペリフェラル .....	25
6.4.1 GPIO ピン用のパルス幅変調 (PWM) .....	25
6.4.2 I2C .....	25
6.4.3 UART .....	25
6.4.4 SPI .....	25
6.4.5 メモリ .....	26
6.5 システム リソース .....	27
6.5.1 パワーオンリセット (POR) および電圧低下リセット (BOR).....	27
6.5.2 SWD インターフェース .....	27
6.5.3 内部主発振器 .....	27
6.5.4 内部低速発振器 .....	28

## 目次

6.5.5 PD .....	28
6.5.6 アナログ - デジタル変換器 .....	29
6.5.7 充電器検出 .....	29
6.5.8 VSYS スイッチ .....	29
6.5.9 CSA .....	30
6.5.10 VBUS UV/OV .....	31
6.5.11 コンシューマ側 PFET ゲートドライバ .....	31
6.5.12 プロバイダ側 PFET ゲートドライバ .....	32
6.5.13 プロバイダ側 PFET RCP .....	34
6.5.14 SBU MUX.....	35
6.5.15 USB 2.0 MUX.....	37
6.5.16 VCONN スイッチ .....	38
6.5.17 VBUS .....	38
<b>7 注文情報 .....</b>	<b>39</b>
7.1 注文コードの定義 .....	39
<b>8 パッケージ .....</b>	<b>40</b>
<b>9 略語 .....</b>	<b>41</b>
<b>10 本書の表記法 .....</b>	<b>44</b>
10.1 測定単位 .....	44
改訂履歴.....	45
免責事項.....	46



## 1 開発サポート

EZ-PD™ PMG1 ファミリーには、開発プロセスを支援する豊富なドキュメント、開発ツールおよびオンラインリソースが用意されています。詳細については、[USB-C 高電圧マイクロコントローラ](#) ウェブページをご覧ください。

### 1.1 ドキュメント

EZ-PD™ PMG1 ファミリーをサポートするドキュメント一式により、ユーザーは疑問点に対する答えを素早く見つけられます。重要なドキュメントのいくつかをここにリストアップします。

**ModusToolbox™ tool package user guide:** ModusToolbox™ (MTB) の使用に関する段階を追った手引書です。ソフトウェアユーザーガイドには、MTB によるビルドプロセスの詳細、MTB ソフトウェアを用いたソース制御の使い方などが記載されています。

**コンポーネント データシート:** EZ-PD™ PMG1 の柔軟性によって、デバイスが量産に入ってから長い期間の後でも新しいペリフェラル (コンポーネント) を作成できます。コンポーネント データシートには、機能説明、API ドキュメント、推奨サンプルコード、AC/DC 仕様を含む、特定のコンポーネントの選択および使用に必要な情報がすべて記載されています。

**アプリケーション ノート:** 入門のアプリケーション ノートとハードウェア設計ガイドラインが含まれます。

**テクニカル リファレンス マニュアル:** テクニカル リファレンス マニュアル (TRM) には、すべての PMG1 レジスタの詳細な説明など、PMG1 デバイスを使用する際に必要な技術的詳細がすべて記載されています。TRM は [USB-C 高電圧マイクロコントローラ](#) ウェブページの「Documentation」セクションにあります。

### 1.2 オンライン

印刷された資料のほかに、[EZ-PD™ PMG1 MCU forums](#) によって 24 時間 365 日、世界中の他のユーザーや EZ-PD™ PMG1 の専門家と連絡がとれます。

### 1.3 ツール

業界標準のコア、プログラミング、およびデバッグ インターフェースを備えた EZ-PD™ PMG1 MCU ファミリーは、開発ツールエコシステムの一部です。

革新的で使いやすい ModusToolbox™ 用 Eclipse IDE、サポートされるサードパーティーのコンパイラ、プログラマ、デバッガ、および開発キットの最新情報については、Web サイト [ModusToolbox™ software](#) をご覧ください。

### 1.4 ModusToolbox™ IDE および EZ-PD™ PMG1 SDK

ModusToolbox™ は、ModusToolbox™ IDE と EZ-PD™ PMG1 SDK を含む、Windows, macOS, および Linux プラットフォーム上の Eclipse ベースの開発環境です。ModusToolbox™ IDE は、アプリケーションを構築するために、いくつかのデバイス リソース、ミドルウェア、およびファームウェアを組み合わせます。

ModusToolbox™ を使用すると、デバイス リソースとミドルウェア ライブラリの有効化と設定、C/C++/ アセンブリのソースコードの記述、デバイスのプログラムとデバッグができます。

PMG1 SDK は、EZ-PD™ PMG1 MCU 用のソフトウェア開発キットです。この SDK を使用すると、デバイス リソースの複雑な仕組みを理解する必要がなく、サポート対象デバイス用のファームウェアを容易に開発できます。

ModusToolbox™ の使用方法の詳細については、[AN232553 - Getting started with EZ-PD™ PMG1 MCU on ModusToolbox™ software](#) アプリケーションノートと ModusToolbox™ ソフトウェアに統合されたドキュメントおよびヘルプを参照してください。

## 2 機能概要

### 2.1 CPU およびメモリサブシステム (SS)

#### 2.1.1 CPU

EZ-PD™ PMG1-S1 MCU の中核は、最大 48 MHz で動作する 32 ビット Cortex®-M0 CPU コアです。広範なクロックゲーティングに対応した低消費電力動作に最適化されています。

CPU にはシリアルワイヤデバッグ (SWD) インターフェースも備えています。EZ-PD™ PMG1-S1 に使用するデバッグコンフィギュレーションには、4 つのブレークポイント (アドレス) コンパレータと 2 つのウォッチポイント (データ) コンパレータがあります。

#### 2.1.2 フラッシュ

EZ-PD™ PMG1-S1 デバイスは、128 KB フラッシュ モジュールを持っています。

#### 2.1.3 SRAM

EZ-PD™ PMG1-S1 は、12 KB SRAM に対応します。

#### 2.1.4 SROM

フラッシュ スペースを解放するための 16K SROM (8 KB のブート SROM と 8 KB のユーザー SROM)。

### 2.2 USB PD サブシステム

このサブシステムは、USB Type-C ポートへのインターフェースを提供します。

#### 2.2.1 USB PD 物理層

USB-PD サブシステムは、USB-PD 物理層ブロックとサポート回路で構成されています。物理層は、PD 3.1 仕様に基づいて CC を介して BMC 符号化されたデータを通信するトランスミッタとレシーバから成ります。すべての通信は半二重です。物理層 (PHY) は、チャネル上の通信エラーを最小限に抑えるために衝突回避を実行します。両方のシステムがより長いメッセージ長をサポートしていることが判明しない限り、メッセージはリビジョン 2.0 のサイズに制限されるメカニズムが実装されています。

#### 2.2.2 VCONN FET

EZ-PD™ PMG1-S1 には、CC1 ピンまたは CC2 ピンに電力を供給するための 2 つの VCONN FET が内蔵されています。これらの VCONN FET を介して EMCA ケーブルに電力供給するための電源入力 VCONN\_Source ピンがあります。これらの FET は、EMCA ケーブルの CC1/2 ピンの有効 VCONN 電圧範囲 (4.85 V ~ 5.5 V) において、ポートあたり 1.5W の電力を供給できます。常に VCONN FET のうち 1 つだけがオンになります。

#### 2.2.3 8 ビット SAR ADC

USB PD サブシステムには、1 個の 8 ビット 125 ksps 逐次比較レジスタ アナログ - デジタル変換器 (SAR ADC) があります。その ADC は 8 ビット DAC とコンパレータを含みます。DAC 出力はコンパレータの非反転入力となります。コンパレータの反転入力、4 入力マルチプレクサからのものです。マルチプレクサの 4 本の入力、aMUX\_a または aMUX\_b ラインのペア、バンドギャップ電圧 (vbg)、またはダイオード接続の BJT NPN デバイスに電流を供給することによって生成される電圧です。

## 機能概要

## 2.2.4 USB 2.0 MUX

USB HS MUX には、CC (Type-C プラグ) の向きに基づいて、システムの DP および DM のラインを Type-C の上部または下部のポートにルーティングするための 2x2 クロスバー スイッチが含まれています。未使用の DPLUS および DMINUS の上部または下部のラインは、UART (デバッグ) ポートに接続できます。UART の最大動作周波数は 1 Mbps である必要があります。

USB 2.0 MUX には、USB BC1.2 および Apple の終端抵抗を検出するための充電器検出 / エミュレーションも含まれています。充電器検出ブロックは、Figure 2 に示すように、システムから DP および DM に接続されます。

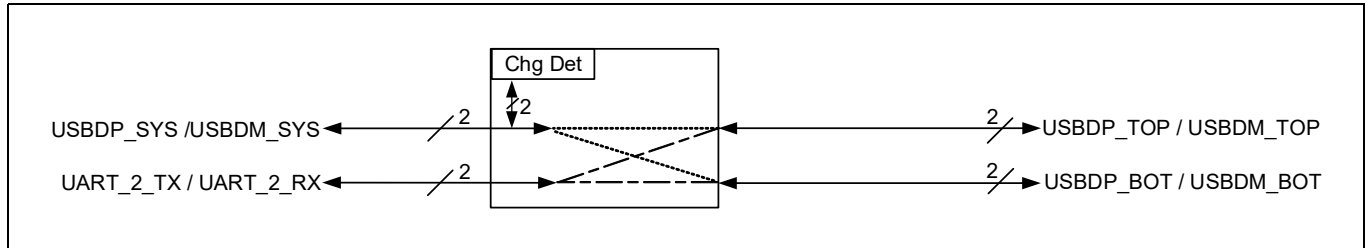


Figure 2 DP/DM スイッチ ブロック図

## 2.2.5 SBU MUX

EZ-PD™ PMG1-S1 には、Figure 3 に示すように、DisplayPort Alternate モードと Type-C 方向の選択を可能にする SBU 4x2 MUX が統合されています。Type-C に面した SBU ピンは、偶発的な高電圧 VBUS への短絡から保護されています。

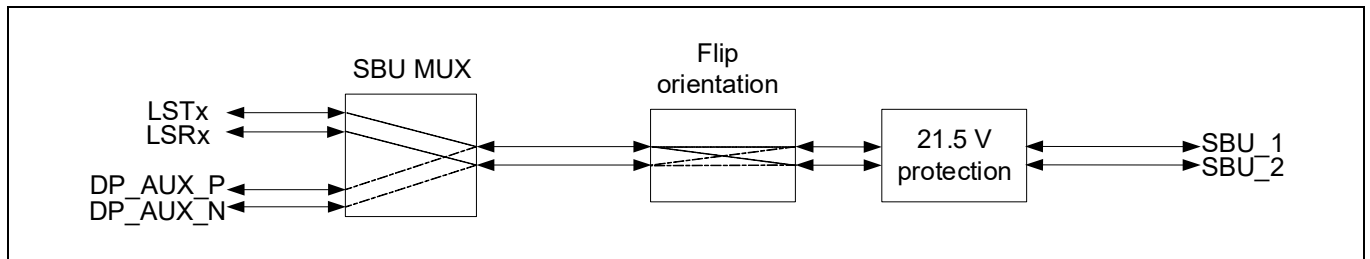


Figure 3 SBU クロスバースイッチの内部ブロック図

## 2.2.6 ロードスイッチコントローラー

PMG1-S1 は、以下の機能を備えたロードスイッチコントローラーを内蔵しています。

**VBUS の過電圧および低電圧保護**

このチップは、VBUS 電源用の低電圧 / 過電圧 (UVOV) 検出回路を実装しています。UV と OV の両方のしきい値はプログラム可能です。

**VBUS 逆電流保護**

PMG1-S1 は、10  $\mu$ s を超える逆電流を検知する逆電流保護 (RCP) 回路を内蔵しており、このような事象を検出するとゲートを自動的にシャットダウンすることでシステムを保護します。

**VBUS 放電**

PMG1-S1 は、高電圧 VBUS 放電回路を内蔵しています。ケーブルの取り外しを検出すると、チップは残留電荷を放電し、フローティング状態の VBUS を vSafe0V に戻します。

**VBUS レギュレータ**

PMG1-S1 は、VSYN と VBUS の 2 つの電源で動作できます。動作電源電圧を生成するためのレギュレータ (最大 21.5 V に対応) を内蔵しています。VSYN は常に VBUS よりも優先されます。VSYN が供給されていない場合、レギュレータは VBUS からチップに電力を供給します。

## 機能概要

**VBUS PFET 用ゲートドライバ**

VBUS プロバイダおよびコンシューマパス上の外付け PFET を駆動するためのゲートドライバを 2 つ内蔵しています。VBUS\_P\_CTRL ゲートドライバはアクティブプルアップを備えているため、High, Low, または High-Z を駆動できます。VBUS\_C\_CTRL ゲートドライバは Low または High-Z のみを駆動できるため、外部プルアップが必要です。これらのピンは VBUS 電圧耐性を備えています。ロードスイッチコントローラは、VBUS プロバイダパスで最大 20 V をサポートします。

**2.2.7 充電検出**

EZ-PD™ PMG1-S1 は、USB BC.1.2 と Apple 充電のために、バッテリー充電のエミュレーションと検出を統合します。

**2.2.8 高電圧耐性 SBU および CC ライン**

このチップは、高電圧耐性 SBU および CC ラインに対応しています。コネクタで VBUS に SBU/CC が短絡している場合、これらのラインは内部で保護されます。

**2.2.9 CSA**

EZ-PD™ PMG1-S1 MCU チップには、プロバイダパス上の 5 mΩ 外付け抵抗を通過する約 100 mA の電流を検出できるハイサイド電流検出アンプが組み込まれています。これは、電流負荷を監視し、Type-C ポートのシンクに VBUS を供給しているときに OCP や SCP などのシステム障害を検出するために使用されます。これにより、PD コントローラはプロバイダ FET をシャットダウンしてデバイスを保護できます。

**2.2.10 スルーレート制御可能なゲートドライバ**

EZ-PD™ PMG1-S1 には、プログラム可能なスルーレート制御可能なゲートドライバがあり、接続イベント中の突入電流を制限するのに役立ちます。

## 2.3 固定機能デジタル

### 2.3.1 タイマー / カウンター / PWM ブロック (TCPWM)

EZ-PD™ PMG1-S1 には 2 個の TCPWM ブロックがあります。タイマー / カウンター / PWM ブロックは、周期長をユーザーがプログラム可能な 16 ビットカウンタで構成されています。イベント (I/O イベントなど) 発生時のカウント値を記録するキャプチャレジスタ、カウンタのカウントが周期レジスタと等しいときにカウンタを停止または自動リロードするために使用される周期レジスタ、および PWM デューティサイクル出力として使用される比較値信号を生成する比較レジスタがあります。各 TCPWM カウンタには、開始、停止、カウント、リロード、およびキャプチャの入力があります。PWM モードでは、キル (kill) 入力を使用して出力を事前に決定された状態に強制できます。例えば、モータ駆動システムで過電流状態が示され、FET を駆動する PWM をソフトウェアによる介入なしに直ちに止める必要があるときに、キル入力を使用されます。

### 2.3.2 SCB

PMG1-S1 には、I2C, SPI, または UART に設定可能な 4 つの SCB ブロックがあります。これらのブロックは、マルチマスターアービトラーションが可能な完全なマルチマスターおよびスレーブ I2C インターフェースを実装しています。

I2C モード : I2C は、標準の Philips I2C 仕様 v3.0 と互換性があります。これらのブロックは最大 1 Mbps の速度で動作し、CPU の割込みオーバーヘッドとレイテンシを削減するための柔軟なバッファリングオプションを備えています。SCB ブロックは、受信 (RX) および送信 (TX) 用に 8 段 FIFO をサポートしており、CPU がデータを読み取る時間を延長することで、CPU が時間通りにデータを読み出せないことによって発生するクロックストレッチの必要性を大幅に削減します。データスループットは I2C にとってそれほど重要ではありません。

UART モード : これは最大 1 Mbps の速度で動作するフル機能の UART です。さらに、共通の RX および TX ラインを介して接続された周辺機器のアドレス指定を可能にする 9 ビットマルチプロセッサモードをサポートしています。パリティエラー、ブレーク検出、およびフレームエラーなどの一般的な UART 機能をサポートしています。

SPI モード : SPI モードは、Motorola SPI の完全なサポートに加え、TI SSP (基本的には SPI コーデックの同期に使用されるスタートパルスを追加)、および National Microwire (SPI の半二重形式) の各種規格をサポートしています。SPI ブロックは FIFO も利用できます。

### 2.3.3 GPIO インターフェース

PMG1-S1 には、GPIO として使用可能な SCB ピンおよび SWD ピンを含む最大 17 本の GPIO があります。GPIO ブロックは以下を実装します。

- 8 つの駆動強度モード (強プッシュプル, 抵抗プルアップ/プルダウン, 弱 (抵抗) プルアップ/プルダウン, オープンドレイン / オープンソース, 入力のみ, および無効)
- 入力閾値選択 (CMOS または LVTTTL)
- 入力と出力の無効を個別に制御
- 前の状態をラッチするための保持モード (ディープスリープモードで I/O 状態を維持するために使用)
- dV/dt 関連ノイズ制御用の選択可能なスルーレート

### 2.3.4 フェイルセーフ GPIO

EZ-PD™ PMG1-S1 には、フェイルセーフ GPIO である 2 つのピン (16 と 17) があります。これらは P5.0 と P5.1 で、SCB0 の I<sup>2</sup>C ピンです。フェイルセーフ機能により、VBUS/VSYS 電源が存在しない場合、I<sup>2</sup>C ラインの動作によるこれらのピンの論理 High レベルが MCU にバックパワーを供給しないことが保証されます。したがって、PMG1-S1 が I<sup>2</sup>C システムの残りの部分から独立して電力を供給される必要がある場合、SCB0 を外部コントローラとの通信に使用できます。



## 電源システム概要

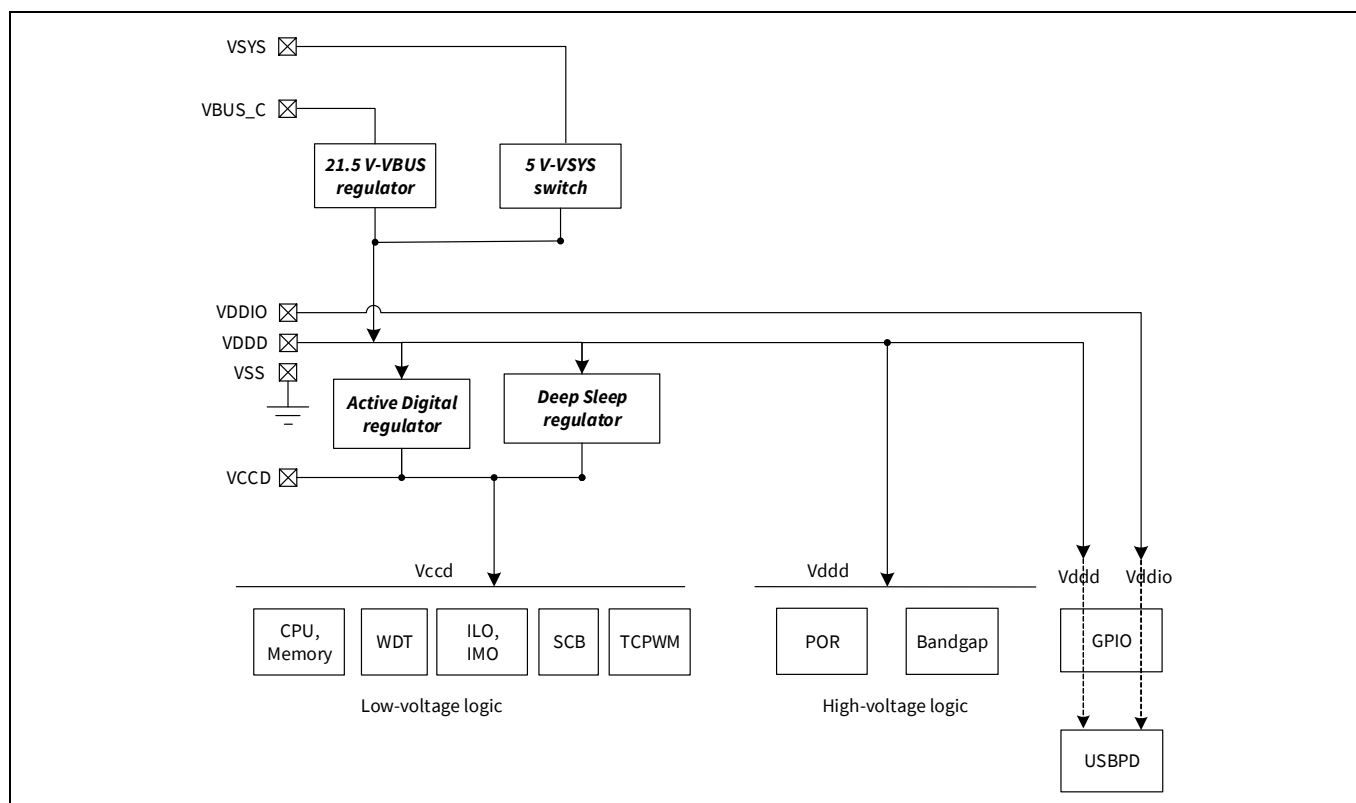
### 3 電源システム概要

Figure 4 に、EZ-PD™ PMG1-S1 の電源システムの概要を示します。EZ-PD™ PMG1-S1 は、VBUS (4 V ~ 21.5 V) または VSYS (2.75 V ~ 5.5 V) の外部電源から動作できます。VBUS 電源電圧は LDO によってチップ内で安定化されます。アクティブおよびディープスリープの異なる 2 つの電力モードがあり、これらのモード間の遷移は電力システムによって管理されます。VDDIO は、ほとんどの GPIO の電源です。VDDD は VDDIO に短絡できます。

コア (1.8 V) レギュレータの出力である VCCD ピンは、レギュレータの安定性のみを目的として、1  $\mu$ F のコンデンサを接続するために引き出されています。VCCD ピンは電源としてサポートされていません。

**Table 2 EZ-PD™ PMG1-S1 電力モード**

モード	説明
リセット	電源が有効および XRES はアサートされていない。内部リセット ソースはアサートされたか、またはスリープ コントローラーがシステムをリセット状態から起動している
アクティブ	電源が有効および CPU が命令を実行している
ディープスリープ	主レギュレータおよびほとんどのブロックがオフにされる。ディープスリープレギュレータがロジックに電源を供給するが、低速クロックのみ利用可能



**Figure 4 EZ-PD™ PMG1-S1 電力システム**

## ピン配置

### 4

**Table 3** CYPM1111-40LQXIピン配置

グループ	40ピン QFN	ピン名	代替機能 (HSIOM_PORT_SEL)								説明
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1	DS #2	DS #3	
GPIO	2	P1.0			scb1_uart_rx		swd_clk		scb1_spi_select		GPIO, SCB1, シリアルワイヤデバッグクロック
	3	P1.1	ext_clk_0		scb1_uart_tx	tcpwm0_overflow			scb1_spi_mosi	scb1_i2c_sda	GPIO, TCPWM0, SCB1, 外部クロック接続
	4	P1.2	tcpwm0_line	tcpwm0_compare_match	scb1_uart_cts				scb1_spi_miso	scb1_i2c_scl	GPIO, TCPWM0, SCB1
	5	P1.3			scb1_uart_rts	tcpwm1_overflow			scb1_spi_clk		GPIO, TCPWM1, SCB1
	6	P1.4	tcpwm1_line	tcpwm1_compare_match			swd_data				GPIO, TCPWM1, シリアルワイヤデバッグデータ
	13	P2.0			scb3_uart_cts			scb3_spi_select		scb3_i2c_scl	GPIO, SCB3
	14	P2.1			scb3_uart_rts			scb3_spi_mosi		scb3_i2c_sda	GPIO, SCB3
	15	P2.2			scb0_uart_cts			scb0_spi_select			GPIO, SCB0
	18	P3.0			scb0_uart_rx		usbpd_hpd	scb0_spi_clk			GPIO, SCB0, DisplayPort Alt モードのホットプラグ検出
	20	P3.1			scb2_uart_cts				scb2_spi_select	scb2_i2c_sda	GPIO, SCB2
	21	P3.2			scb2_uart_rts				scb2_spi_mosi	scb2_i2c_scl	GPIO, SCB2
	29	P4.0	ext_clk_1		scb2_uart_tx				scb2_spi_miso		GPIO, SCB2, 外部クロック接続
	30	P4.1			scb2_uart_rx				scb2_spi_clk		GPIO, SCB2
	16	P5.0			scb0_uart_rts		swd_data(alt)	scb0_spi_mosi		scb0_i2c_sda	GPIO, SCB0, シリアルワイヤデバッグデータ (代替)
	17	P5.1			scb0_uart_tx		swd_clk(alt)	scb0_spi_miso		scb0_i2c_scl	GPIO, SCB0, シリアルワイヤデバッグクロック (代替)
リセット	10	XRES									MCUへのリセット入力
MUX/ スイッチ	34	SBU_2									GPIO, DisplayPort用Type-C補助信号 - コネクタ側
	35	SBU_1									GPIO, DisplayPort用Type-C補助信号 - コネクタ側
	36	AUX_P									GPIO, DisplayPort用Type-C補助信号 - システム側
	37	AUX_N									GPIO, DisplayPort用Type-C補助信号 - システム側
	38	P0.0/LSTX			scb3_uart_tx			scb3_spi_miso			GPIO, SCB3
	39	P0.1/LSRX			scb3_uart_rx			scb3_spi_clk			GPIO, SCB3

Table 3 CYPM1111-40LQXIピン配置 (continued)

グループ	40ピン QFN	ピン名	代替機能 (HSIOM_PORT_SEL)								説明
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1	DS #2	DS #3	
USB FS	23	USBDP_SYS									ホスト/デバイスのUSB 2.0 DPラインへの接続
	24	USBDM_SYS									ホスト/デバイスのUSB 2.0 DMラインへの接続
	25	USBDM_BOT									Type-C D-最下部ピンへの接続。トレースの長さは2インチ未満にしてください
	26	USBDP_BOT									Type-C D+最下部ピンへの接続。トレースの長さは2インチ未満にしてください
	27	USBDM_TOP									Type-C D-最上部ピンへの接続。トレースの長さは2インチ未満にしてください
	28	USBDP_TOP									Type-C D+最上部ピンへの接続。トレースの長さは2インチ未満にしてください
USB PD Type-C	9	CC1									Type-C CC1ピンに接続します。390pFのコンデンサをGNDに接続してノイズをフィルタリング
	7	CC2									Type-C CC2ピンに接続します。390pFのコンデンサをGNDに接続してノイズをフィルタリング
VBUS OCP/SCP/RCP	1	CSP									電流検出の正の入力ピン。
	40	CSN									電流検出の負の入力ピン
VBUS PFET 制御	11	VBUS_P_CTL RL									プロバイダ側 PFETを有効/無効にするスルーレート制御出力ピン 0: パス ON、High Z: パス OFF
	12	VBUS_C_CTL RL									コンシューマ側 PFETを有効/無効にする出力ピン 0: パス ON、High Z: パス OFF
Power	19	VSYS									PD サブシステムおよびシステム リソースに入力 (2.75 V ~ 5.5 V) を供給します。
	22	VBUS									VBUS から 3.3 V レギュレータへの電源入力 (4 V ~ 21.5 V)。このピンは内部プルダウンを使用して VBUS を放電し、過電圧および低電圧状態を監視する機能も備えています。
	8	VCONN_source									EMCAケーブルに電力を供給する4.85 V ~ 5.5 Vの電源入力。低インピーダンススイッチを使用して CC1 または CC2 に接続します。 UFP/シンク専用アプリケーションの場合は該当なし
	31	VDDD									VBUS の出力を 3.3 V レギュレータに接続するか、VSYS スイッチを使用します。キャップを使用して GND にバイパスします。このピンは 2mA の外部負荷を駆動できます。
	32	VDDIO									I/O 用の 1.71 V ~ 5.5 V 電源
	33	VCCD									フィルタコンデンサ用の 1.8V レギュレータ出力。このピンは外部負荷を駆動できません
GND	EPAD	VSS									グラウンド

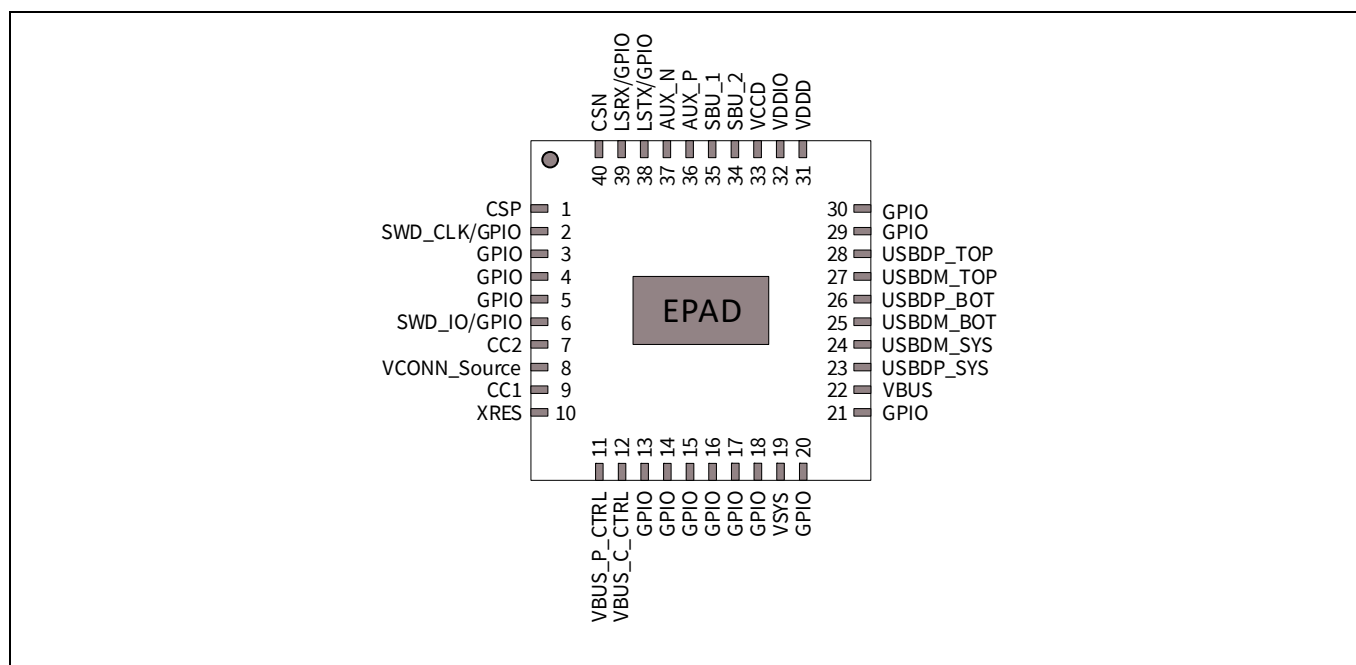


## 電源システム概要

Table 4 に、シリアルインターフェースのさまざまな設定オプションを示します。

**Table 4** SCB およびそれらの機能

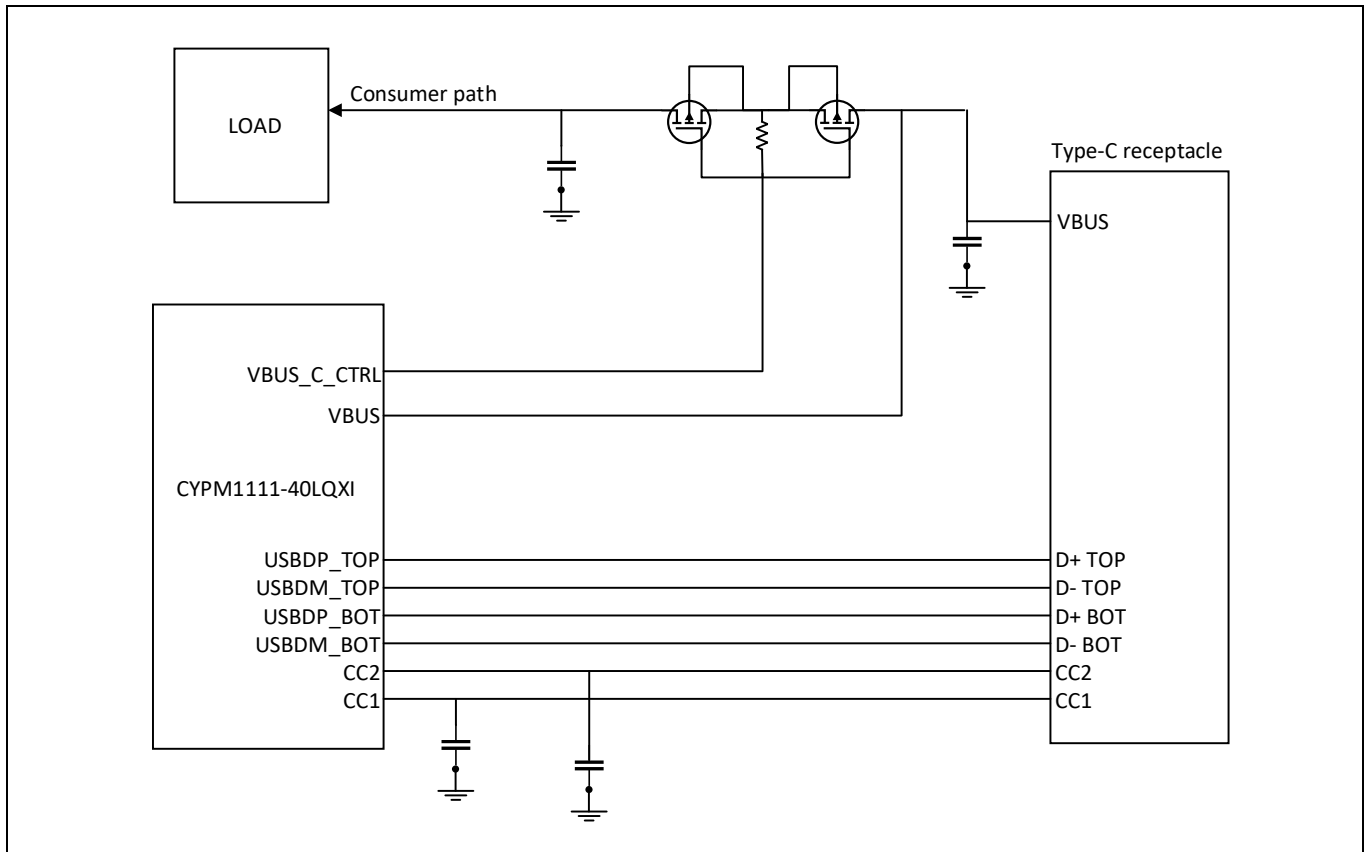
ポート ピン	40 ピン QFN ピン番号	SCB 機能			GPIO 機能
		UART	SPI	I2C	
P5.0	16	UART_0_RTS	SPI_0_MOSI	I2C_0_SDA	GPIO
P5.1	17	UART_0_TX	SPI_0_MISO	I2C_0_SCL	GPIO
P3.0	18	UART_0_RX	SPI_0_CLK	–	GPIO
P2.2	15	UART_0_CTS	SPI_0_SEL	–	GPIO
P1.0	2	UART_1_RX	SPI_1_SEL	–	SWD_CLK/GPIO
P1.1	3	UART_1_TX	SPI_1_MOSI	I2C_1_SDA	GPIO
P1.2	4	UART_1_CTS	SPI_1_MISO	I2C_1_SCL	GPIO
P1.3	5	UART_1_RTS	SPI_1_CLK	–	GPIO
P3.1	20	UART_2_CTS	SPI_2_SEL	I2C_2_SDA	GPIO
P3.2	21	UART_2_RTS	SPI_2_MOSI	I2C_2_SCL	GPIO
P4.0	29	UART_2_TX	SPI_2_MISO	–	GPIO
P4.1	30	UART_2_RX	SPI_2_CLK	–	GPIO
P2.0	13	UART_3_CTS	SPI_3_SEL	I2C_3_SCL	GPIO
P2.1	14	UART_3_RTS	SPI_3_MOSI	I2C_3_SDA	GPIO
P0.0	38	UART_3_TX	SPI_3_MISO	–	GPIO
P0.1	39	UART_3_RX	SPI_3_CLK	–	GPIO



**Figure 5** CYPM1111-40LQXI の 40 ピン QFN ピン配置 (上面図)

## 5 アプリケーション図

Figure 6 に EZ-PD™ PMG1-S1 を使用したシンク アプリケーションを示します。これには 2 つの主要部分として、アプリケーションに電力をシンクする USB Type-C レセプタクルと、出力電力として使用される負荷があります。



**Figure 6** EZ-PD™ PMG1-S1 ベースのシンク アプリケーション図

## アプリケーション図

Figure 7 に EZ-PD™ PMG1-S1 を使用した DRP アプリケーションを示します。このようなアプリケーションでは、Type-C ポートは電力プロバイダおよび電力コンシューマとして使用されます。VBUS を介して電力を供給または消費するための VBUS FET があります。

EZ-PD™ PMG1-S1 の VBUS ピンには、VBUS 上の OVP と UVP を検出できる VBUS 監視回路が組み込まれています。これに加えて、電源とプロバイダ FET 間の 5 mΩ 抵抗は、VBUS の過電流を検出できます。EZ-PD™ PMG1-S1 デバイスには、アクセサリやケーブルに電力を供給する必要があるアプリケーションのために VCONN FET も統合されています。

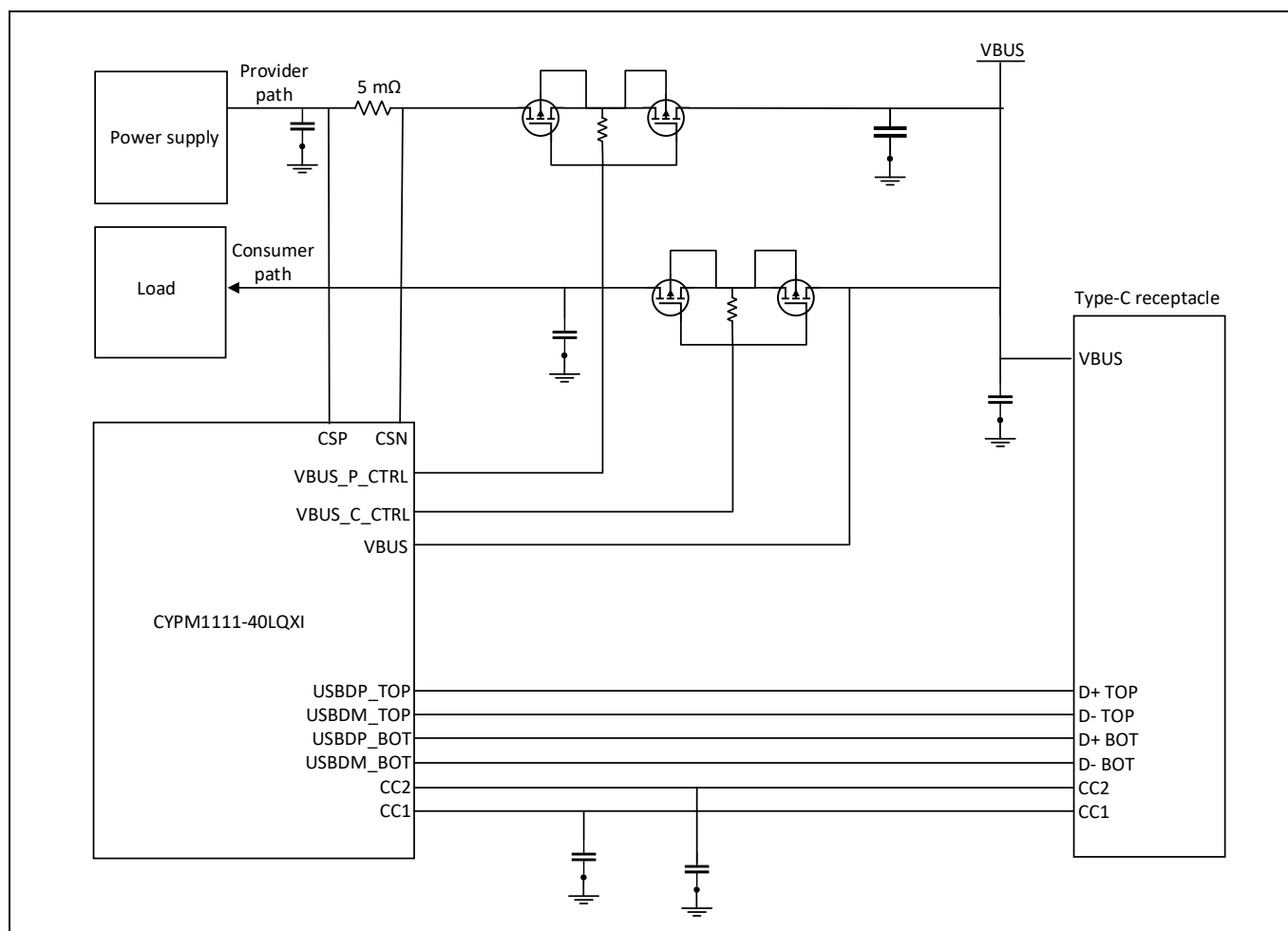


Figure 7 EZ-PD™ PMG1-S1 ベースの DRP アプリケーション図

## 電氣的仕様

## 6 電氣的仕様

## 6.1 絶対最大定格

Table 5 絶対最大定格<sup>[3]</sup>

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
V <sub>SYS_MAX</sub>	V <sub>SS</sub> を基準にした電源電圧	–	–	6	V <sup>[4]</sup>	–
V <sub>CONN_SOURCE_MAX</sub>	V <sub>SS</sub> を基準にした最大電源電圧	–	–	6	V	
V <sub>BUS_MAX</sub>	V <sub>SS</sub> を基準にした最大 V <sub>BUS</sub> 電圧	–	–	24	V	
V <sub>DDIO_MAX</sub>	V <sub>SS</sub> を基準にした最大電源電圧	–	–	V <sub>DDD</sub>	V	
V <sub>GPIO_ABS</sub>	GPIO, DP/DM MUX への入力 (USBDP/DM_SYS, USBDP/DM_TOP/BOT/SBU_1/SBU_2)	–0.5 <sup>[5]</sup>	–	V <sub>DDIO</sub> + 0.5	V	–
I <sub>GPIO_ABS</sub>	GPIO ごとの最大電流	–25	–	25	mA	–
I <sub>GPIO_INJECTION</sub>	GPIO 注入電流, V <sub>IH</sub> > V <sub>DDD</sub> の場合は Max, V <sub>IL</sub> < V <sub>SS</sub> の場合は Min	–0.5	–	0.5	mA	絶対最大値, ピンごとの注 入された電流
ESD_HBM	静電気放電 (人体モデル) (ESD-HBM)	2200	–	–	V	–
ESD_HBM_SBU	SBU1, SBU2 ピン用静電気放電 (人 体モデル)	1100	–	–	V	SBU1 ピンと SBU2 ピンに のみ適用
ESD_CDM	静電気放電 (デバイス帯電モデル) (ESD-CDM)	500	–	–	V	–
LU	ラッチ アップ時のピン電流	–200	–	200	mA	–
V <sub>CC_PIN_ABS</sub>	CC1 と CC2 ピンの最大電圧	–	–	24	V	–
V <sub>SBU_PIN_ABS</sub>	SBU1 と SBU2 ピンの最大電圧	–	–	24	V	–
V <sub>GPIO_FAILSAFE_ABS</sub>	フェイルセーフ ピン (16, 17) 電圧	–0.5	–	6	V	–

## 注:

- Table 5 に記載されている絶対最大条件を超えて使用すると、デバイスに恒久的なダメージを与える可能性があります。長時間にわたって絶対最大条件下に置くと、デバイスの信頼性に影響する可能性があります。最大保管温度は JEDEC 標準「JESD22-A103、High Temperature Storage Life」に準拠した 150°C です。絶対最大条件以下で使用している場合でも、標準的な動作条件を超えると、デバイスが仕様に従って動作しない可能性があります。
- 特に指定がない限り、すべての電圧はグラウンドを基準にしています。
- システムでは、負のスパイクがここで指定された最小電圧を超える場合は、ショットキー ダイオードを追加して負のスパイクをクランプすることを推奨します。

## 電氣的仕様

## 6.2 ピンベースの絶対最大定格

Table 6 ピンベースの絶対最大定格

No.	ピン (40-QFN)	名称	絶対最小値 (V)	絶対最大値 (V)	備考
1	2	P1.0	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
2	3	P1.1	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
3	4	P1.2	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
4	5	P1.3	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
5	6	P1.4	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
6	13	P2.0	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
7	14	P2.1	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
8	15	P2.2	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
9	16	P5.0	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
10	17	P5.1	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
11	18	P3.0	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
12	20	P3.1	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
13	21	P3.2	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
14	29	P4.0	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
15	30	P4.1	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
16	38	P0.0	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
17	39	P0.1	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
18	9	CC1	-0.5	24	-
19	7	CC2	-0.5	24	-
20	23	USBDP_SYS	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
21	24	USBDM_SYS	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
22	25	USBDM_BOT	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
23	26	USBDP_BOT	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
24	27	USBDM_TOP	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
25	28	USBDP_TOP	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
26	11	VBUS_P_CTRL	-0.5	24	これは出力専用ピンです
27	12	VBUS_C_CTRL	-0.5	24	これは出力専用ピンです
28	34	SBU_2	-0.5	24	-
29	35	SBU_1	-0.5	24	-
30	36	AUX_P	-0.5	6	-
31	37	AUX_N	-0.5	6	-
32	1	CSP	-0.5	6	-
33	40	CSN	-0.5	6	-
34	10	XRES	-0.5	6	最大電圧は VDDIO + 0.5 を越えられません
35	8	VCONN_Source	-0.5	6	-
36	19	VSYS	-0.5	6	-
37	22	VBUS	-	24	-
38	31	VDDD	-	6	これは出力専用ピンです
39	32	VDDIO	-	VDDD	-
40	33	VCCD	-0.5	1.95	これは出力専用ピンです
41	EPAD	VSS	-	-	-

## 電氣的仕様

## 6.3 デバイスレベルの仕様

特記のない限り、すべての仕様は  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$  および  $T_J \leq 100^{\circ}\text{C}$  の条件で有効です。仕様は、特に注記した場合を除いて、3.0V ~ 5.5V において有効です。

## 6.3.1 DC 仕様

Table 7 DC 仕様 (動作条件)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.PWR#23	$V_{\text{SYS}}$	$V_{\text{SYS}}$ 有効範囲	2.75	–	5.5	V	UFP アプリケーション
SID.PWR#23_A	$V_{\text{SYS}}$	$V_{\text{SYS}}$ 有効範囲	3	–	5.5	V	DFP/DRP アプリケーション
SID.PWR#22	$V_{\text{BUS}}$	$V_{\text{BUS}}$ 有効範囲	4	–	21.5	V	–
SID.PWR#1	$V_{\text{DDD}}$	$V_{\text{SYS}}$ 電源時の安定化出力電圧 (外部から駆動しない)	$V_{\text{SYS}} - 0.05$	–	$V_{\text{SYS}}$	V	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C } T_A$
SID.PWR#1_A	$V_{\text{DDD}}$	$V_{\text{BUS}}$ 電源時の安定化出力電圧 (外部から駆動しない)	3	–	3.65	V	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C } T_A$
SID.PWR#26	$V_{\text{conn\_source}}$	$V_{\text{conn}}$ 用電源	4.85	–	5.5	V	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C } T_A$
SID.PWR#13	$V_{\text{DDIO}}$	IO 用電源	$V_{\text{DDD}}$	–	$V_{\text{DDD}}$	V	$-40^{\circ}\text{C} \sim +85^{\circ}\text{C } T_A$
SID.PWR#24	$V_{\text{CCD}}$	安定化出力電圧 (コアロジック用)	–	1.8	–	V	–
SID.PWR#15	$C_{\text{EFC}}$	$V_{\text{CCD}}$ 用のレギュレータバイパス コンデンサ	80	100	120	nF	X5R セラミック
SID.PWR#16	$C_{\text{EXC}}$	$V_{\text{DDD}}$ 用のレギュレータバイパス コンデンサ	–	1	–	$\mu\text{F}$	

アクティブモード,  $V_{\text{SYS}} = 2.7\text{ V} \sim 5.5\text{ V}$ 。Typ 値は  $V_{\text{DDD}} = 3.3\text{ V}$  で測定

SID.PWR#4	$I_{\text{DD12}}$	供給電流	–	10	–	mA	$T_A = 25^{\circ}\text{C}$ , CC I/O 送信 / 受信, I/O ソース電流なし, CPU 速度 24 MHz, PD ポートがアクティブ
-----------	-------------------	------	---	----	---	----	---------------------------------------------------------------------------------------

ディープスリープモード,  $V_{\text{SYS}} = 2.75\text{ V} \sim 3.6\text{ V}$

SID34	$I_{\text{DD29}}$	$V_{\text{SYS}} = 2.7 \sim 3.6\text{ V}$ , I <sup>2</sup> C, ウェイクアップおよび WDT がオン	–	150	–	$\mu\text{A}$	$V_{\text{SYS}} = 3.3\text{ V}$ , $T_A = 25^{\circ}\text{C}$ ,
SID_DS1	$I_{\text{DD\_DS1}}$	$V_{\text{SYS}} = 3.3\text{ V}$ , CC ウェイクアップがオン, Type-C が未接続	–	150	–	$\mu\text{A}$	電源ソース = $V_{\text{SYS}}$ , Type-C が未接続, CC ウェイクアップが有効, $R_P$ と $R_D$ は CPU による 70 ms 間隔で接続。PD ポートでは $R_{D1}$ , $R_d$ 接続を有効にする必要があります。
SID_DS3	$I_{\text{DD\_DS2}}$	$V_{\text{SYS}} = 3.3\text{ V}$ , CC ウェイクアップがオン, ADC/CSA/UVOV がオンの状態で DP/DM, SBU がオン	–	500	–	$\mu\text{A}$	$I_{\text{DD\_DS1}} + \text{DP/DM, CC SBU がオン, ADC/CSA/UVOV がオン}$

## XRES 電流

SID307	$I_{\text{DD\_XR}}$	XRES がアサート時の供給電流	–	50	–	$\mu\text{A}$	電源ソース = $V_{\text{SYS}} = 3.3\text{ V}$ , Type-C が未接続, $T_A = 25^{\circ}\text{C}$
--------	---------------------	------------------	---	----	---	---------------	-----------------------------------------------------------------------------------

## 電氣的仕様

## 6.3.2 CPU

Table 8 CPU 仕様 (特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CLK#4	$F_{CPU}$	CPU 入力周波数	–	–	48	MHz	すべての $V_{DD}$ , –40°C ~ +85°C $T_A$
SID.PWR#21	$T_{DEEPSLEEP}$	ディープスリープモードからの復帰時間	–	35	–	μs	特性評価で保証
SYS.XRES#5	$T_{XRES}$	外部リセットパルス幅	5	–	–	μs	
SYS.FES#1	$T_{PWR\_RDY}$	電源投入から「I <sup>2</sup> C/CC コマンドが受信できる」までの時間	–	5	25	ms	

## 6.3.3 GPIO

Table 9 GPIO の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GIO#37	$V_{IH\_CMOS}$	入力電圧 HIGH 閾値	$0.7 \times V_{DDIO}$	–	–	V	CMOS 入力
SID.GIO#38	$V_{IL\_CMOS}$	入力電圧 LOW 閾値	–	–	$0.3 \times V_{DDIO}$	V	CMOS 入力
SID.GIO#39	$V_{IH\_VDDIO2.7-}$	LVTTL 入力, $V_{DDIO} < 2.7V$	$0.7 \times V_{DDIO}$	–	–	V	–
SID.GIO#40	$V_{IL\_VDDIO2.7-}$	LVTTL 入力, $V_{DDIO} < 2.7V$	–	–	$0.3 \times V_{DDIO}$	V	–
SID.GIO#41	$V_{IH\_VDDIO2.7+}$	LVTTL 入力, $V_{DDIO} \geq 2.7V$	2.0	–	–	V	–
SID.GIO#42	$V_{IL\_VDDIO2.7+}$	LVTTL 入力, $V_{DDIO} \geq 2.7V$	–	–	0.8	V	–
SID.GIO#33	$V_{OH}$	出力 HIGH 電圧	$V_{DDIO} - 0.6$	–	–	V	3 V $V_{DDIO}$ で $I_{OH} = -4$ mA
SID.GIO#34	$V_{OH}$	出力 HIGH 電圧	$V_{DDIO} - 0.5$	–	–	V	1.8 V $V_{DDIO}$ で $I_{OH} = -1$ mA
SID.GIO#35	$V_{OL}$	出力 LOW 電圧	–	–	0.6	V	1.8 V $V_{DDIO}$ で $I_{OL} = 4$ mA
SID.GIO#35A	$V_{OL\_I2C\_2}$	出力 LOW 電圧			0.4	V	$I_{OL} = 3$ mA, $V_{DDIO} > 2$ V
SID.GIO#35B	$V_{OL\_I2C\_3}$	出力 LOW 電圧			0.6 <sup>[6]</sup>	V	$I_{OL} = 6$ mA, $V_{DDIO} > 1.71$ V
SID.GIO#35C	$V_{OL1\_20mA}$	出力 LOW 電圧			0.4	V	$I_{OL} = 20$ mA, $V_{DDIO} > 3.0$ V, フェイルセーフピンにのみ適用可能
SID.GIO#36	$V_{OL}$	出力 LOW 電圧	–	–	0.6	V	3 V $V_{DDIO}$ で $I_{OL} = 10$ mA
SID.GIO#5	$R_{pu}$	有効時プルアップ抵抗	3.5	5.6	8.5	kΩ	+25°C $T_A$ , すべての $V_{DDIO}$
SID.GIO#6	$R_{pd}$	有効時プルダウン抵抗	3.5	5.6	8.5	kΩ	+25°C $T_A$ , すべての $V_{DDIO}$
SID.GIO#16	$I_{IL}$	入力リーク電流 (絶対値)	–	–	2	nA	+25°C $T_A$ , 3 V $V_{DDIO}$
SID.GIO#17	$C_{PIN}$	ピン最大負荷容量	–	3	7	pF	–40°C ~ +85°C $T_A$ , すべての $V_{DDIO}$ , すべてのパッケージ, すべての IO
SID.GIO#43	$V_{HYSTTL}$	入力ヒステリシス, LVTTL	15	40	–	mV	$V_{DDIO} > 2.7$ V。特性評価で保証

## 電氣的仕様

**Table 9** GPIO の DC 仕様 (continued)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.GIO#44	$V_{HYSCMOS}$	入力ヒステリシス CMOS	$0.05 \times V_{DDIO}$	–	–	mV	$V_{DDIO} < 4.5 V$
SID.GIO#44A	$V_{HYSCMOS55}$	入力ヒステリシス CMOS	200	–	–	mV	$V_{DDIO} > 4.5 V$

**Table 10** GPIO の AC 仕様

(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID70	$T_{RISEF}$	高速ストロングモードでの立ち上がり時間	2	–	12	ns	$3.3 V V_{DDIO}, C_{load} = 25 pF$
SID71	$T_{FALLF}$	高速ストロングモードでの立ち下り時間	2	–	12	ns	$3.3 V V_{DDIO}, C_{load} = 25 pF$
SID.GIO#46	$T_{RISES}$	低速ストロングモードでの立ち上がり時間	10	–	60	ns	$3.3 V V_{DDIO}, C_{load} = 25 pF$
SID.GIO#47	$T_{FALLS}$	低速ストロングモードでの立ち下り時間	10	–	60	ns	$3.3 V V_{DDIO}, C_{load} = 25 pF$
SID.GIO#48	$F_{GPIO\_OUT1}$	GPIO $F_{OUT}$ ; $3.3 V \leq V_{DDIO} \leq 5.5 V$ 。 高速ストロングモード	–	–	16	MHz	90/10%, 25 pF 負荷
SID.GIO#49	$F_{GPIO\_OUT2}$	GPIO $F_{OUT}$ ; $1.71 V \leq V_{DDIO} \leq 3.3 V$ 。 高速ストロングモード	–	–	16	MHz	90/10%, 25 pF 負荷
SID.GIO#50	$F_{GPIO\_OUT3}$	GPIO $F_{OUT}$ ; $3.3 V \leq V_{DDIO} \leq 5.5 V$ 。 低速ストロングモード	–	–	7	MHz	90/10%, 25 pF 負荷
SID.GIO#51	$F_{GPIO\_OUT4}$	GPIO $F_{OUT}$ ; $1.71 V \leq V_{DDIO} \leq 3.3 V$ 。 低速ストロングモード	–	–	3.5	MHz	90/10%, 25 pF 負荷
SID.GIO#52	$F_{GPIO\_IN}$	GPIO 入力動作周波数; $1.71 V \leq V_{DDIO} \leq 5.5 V$	–	–	16	MHz	90/10% $V_{IO}$

**Table 11** XRES の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
SID.XRES#1	$V_{IH}$	入力電圧 HIGH 閾値	$0.7 \times V_{DDIO}$	–	–	V	CMOS 入力
SID.XRES#2	$V_{IL}$	入力電圧 LOW 閾値	–	–	$0.3 \times V_{DDIO}$	V	CMOS 入力
SID.XRES#3	$C_{IN}$	入力静電容量	–	–	7	pF	–
SID.XRES#4	$V_{HYSXRES}$	入力電圧ヒステリシス	–	$0.05 \times V_{DDIO}$	–	mV	特性評価で保証

## 注:

6. 400 kHz でバスの全負荷を駆動するためには、 $0.6 V V_{OL}$  で 6 mA の  $I_{OL}$  が必要です。この仕様を満たさないデバイスは引き続き機能しますが、400 kHz および 400 pF では機能しません。



## 電氣的仕様

## 6.4 デジタル ペリフェラル

## 6.4.1 GPIO ピン用のパルス幅変調 (PWM)

次の仕様は、タイマー モードでのタイマー / カウンター / PWM ペリフェラルに適用されます。

**Table 12** PWM の AC 仕様  
(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.TCPWM.3	T <sub>CPWMFREQ</sub>	動作周波数	–	–	F <sub>C</sub>	MHz	F <sub>C</sub> max = CLK_SYS。 Max = 48 MHz
SID.TCPWM.4	T <sub>PWMENEXT</sub>	入力トリガ パルス幅	2/F <sub>C</sub>	–	–	ns	すべてのトリガ イベント
SID.TCPWM.5	T <sub>PWMEXT</sub>	出力トリガ パルス幅	2/F <sub>C</sub>	–	–	ns	オーバーフロー, アンダーフ ロー, および CC ( カウンター = 比較値 ) 出力の最小幅
SID.TCPWM.5A	T <sub>CRES</sub>	カウンターの分解能	1/F <sub>C</sub>	–	–	ns	逐次カウント同士間の最小 時間
SID.TCPWM.5B	PWM <sub>RES</sub>	PWM 分解能	1/F <sub>C</sub>	–	–	ns	PWM 出力の最小パルス幅
SID.TCPWM.5C	Q <sub>RES</sub>	直交位相入力分解能	1/F <sub>C</sub>	–	–	ns	直交位相入力同士間の最小 パルス幅

6.4.2 I<sup>2</sup>C

**Table 13** 固定 I<sup>2</sup>C の AC 仕様  
(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID153	F <sub>I2C1</sub>	ビット レート	–	–	1	Mbps	–

## 6.4.3 UART

**Table 14** 固定 UART の AC 仕様  
(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID162	F <sub>UART</sub>	ビット レート	–	–	1	Mbps	–

## 6.4.4 SPI

**Table 15** 固定 SPI の AC 仕様  
(特性評価で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID166	F <sub>SPI</sub>	SPI 動作周波数 ( マスタ ; 6 倍 オーバーサンプリング )	–	–	8	MHz	–

## 電氣的仕様

**Table 16** 固定 SPI マスタ モード の AC 仕様

( 特性評価で保証 )

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID167	T <sub>DMO</sub>	SClock 駆動エッジ後の MOSI 有効時間	–	–	15	ns	–
SID168	T <sub>DSI</sub>	SClock 取得エッジ前の MISO 有効時間	20	–	–	ns	フルクロック, MISO の遅いサンプリング
SID169	T <sub>HMO</sub>	直前の MOSI データ ホールド時間	0	–	–	ns	スレーブ取得エッジを基準にする

**Table 17** 固定 SPI スレーブ モード の AC 仕様

( 特性評価で保証 )

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID170	T <sub>DMI</sub>	Sclock 取得エッジ前の MOSI 有効時間	40	–	–	ns	–
SID171	T <sub>DSO</sub>	Sclock 駆動エッジ後の MISO 有効時間	–	–	48 + (3 × T <sub>SCB</sub> )	ns	T <sub>SCB</sub> = T <sub>CPU</sub>
SID171A	T <sub>DSO_EXT</sub>	外部クロック モードでの Sclock 駆動エッジ後の MISO 有効時間	–	–	48	ns	–
SID172	T <sub>HSO</sub>	直前の MISO データ ホールド時間	0	–	–	ns	–
SID172A	T <sub>SSELSCK</sub>	SSEL 有効から最初の SCK 有効エッジまでの時間	100	–	–	ns	–

**6.4.5 メモリ****Table 18** フラッシュの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.MEM#4	T <sub>ROW_WRITE</sub>	行 ( ブロック ) 書き込み時間 ( 消去 + プログラム )	–	–	20	ms	–40°C ~ 85°C, すべての V <sub>DDD</sub>
SID.MEM#3	T <sub>ROW_ERASE</sub>	行消去時間	–	–	13	ms	–40°C ~ 85°C, すべての V <sub>DDD</sub>
SID.MEM#8	T <sub>ROWPROGRAM</sub>	消去後の行プログラム時間	–	–	7	ms	25°C ~ 55°C, すべての V <sub>DDD</sub>
SID178	T <sub>BULKERASE</sub>	バルク消去時間 (128 KB)	–	–	35	ms	設計で保証
SID180	T <sub>DEVPROG</sub>	総デバイス プログラム時間	–	–	25	s	設計で保証
SID.MEM#6	F <sub>ENPB</sub>	フラッシュ アクセス可能回数	100K	–	–	サイクル	–
SID182	F <sub>RET1</sub>	フラッシュ データ保持期間, T <sub>A</sub> ≤ 55°C, 10 万回の P/E サイクル	20	–	–	年	25°C ~ 55°C, すべての V <sub>DDD</sub>
SID182A	F <sub>RET2</sub>	フラッシュ データ保持期間, T <sub>A</sub> ≤ 85°C, 1 万回の P/E サイクル	10	–	–	年	–
SID182B	F <sub>RET3</sub>	フラッシュ データ保持期間, T <sub>A</sub> ≤ 85°C, 1 万回の P/E サイクル	3	–	–	年	–

## 電氣的仕様

## 6.5 システム リソース

## 6.5.1 パワーオンリセット (POR) および電圧低下リセット (BOR)

Table 19 パワーオンリセット (POR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID185	V <sub>RISEIPOR</sub>	立ち上りトリップ電圧	0.8	–	1.5	V	特性評価で保証
SID186	V <sub>FALLIPOR</sub>	立ち下りトリップ電圧	0.7	–	1.4	V	

Table 20 電圧低下リセット (BOR)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID190	V <sub>FALLPPOR</sub>	アクティブ / スリープ モードでの電圧低下検出 (BOD) トリップ電圧	1.48	–	1.62	V	特性評価で保証
SID192	V <sub>FALLDPSLP</sub>	ディープスリープモードでの BOD トリップ電圧	1.1	–	1.5	V	

## 6.5.2 SWD インターフェース

Table 21 SWD インターフェース仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.SWD#1	F_SWDCCLK1	$3.3V \leq V_{DDIO} \leq 5.5V$	–	–	14	MHz	SWDCLK ≤ 1/3 CPU クロック周波数
SID.SWD#2	F_SWDCCLK2	$1.8V \leq V_{DDIO} \leq 3.3V$	–	–	7	MHz	SWDCLK ≤ 1/3 CPU クロック周波数
SID.SWD#3	T_SWDI_SETUP	$T = 1/f \text{ SWDCLK}$	$0.25 \times T$	–	–	ns	特性評価で保証
SID.SWD#4	T_SWDI_HOLD	$T = 1/f \text{ SWDCLK}$	$0.25 \times T$	–	–	ns	
SID.SWD#5	T_SWDO_VALID	$T = 1/f \text{ SWDCLK}$	–	–	$0.50 \times T$	ns	
SID.SWD#6	T_SWDO_HOLD	$T = 1/f \text{ SWDCLK}$	1	–	–	ns	

## 6.5.3 内部主発振器

Table 22 IMO の AC 仕様

(設計で保証)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.CLK#13	F <sub>IMOTOL</sub>	48 MHz での周波数誤差 (トリム済み)	–2	–	+2	%	$2.7V \leq V_{DD} < 5.5V$ , $-25^{\circ}C \leq T_A \leq 85^{\circ}C$
SID226	T <sub>STARTIMO</sub>	IMO 起動時間	–	–	7	μs	–
SID.CLK#1	F <sub>IMO</sub>	IMO 周波数	–	48	–	MHz	$-40^{\circ}C \sim +85^{\circ}C$ $T_A$ , すべての $V_{DD}$

## 電氣的仕様

## 6.5.4 内部低速発振器

Table 23 ILO の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID234	T <sub>STARTILO1</sub>	I <sub>LO</sub> 起動時間	–	–	2	ms	特性評価で保証
SID238	T <sub>ILODUTY</sub>	I <sub>LO</sub> デューティ比	40	50	60	%	
SID.CLK#5	F <sub>ILO</sub>	I <sub>LO</sub> 周波数	20	40	80	kHz	–

## 6.5.5 PD

Table 24 PD の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.DC.cc_shvt.1	vSwing	トランスミッタ出力 HIGH 電圧	1.05	–	1.2	V	–
SID.DC.cc_shvt.2	vSwing_low	トランスミッタ出力 LOW 電圧		–	0.075	V	–
SID.DC.cc_shvt.3	zDriver	トランスミッタ出力インピーダンス	33	–	75	Ω	–
SID.DC.cc_shvt.4	zBmcRx	レシーバ入力インピーダンス	10	–		M Ω	設計で保証
SID.DC.cc_shvt.5	Idac_std	USB 標準アダプタイズメントのソース電流	64	–	96	μA	–
SID.DC.cc_shvt.6	Idac_1p5a	5V アダプタイズメント, 1.5 A でのソース電流	165.6	–	194.4	μA	–
SID.DC.cc_shvt.7	Idac_3a	5V アダプタイズメント, 3 A でのソース電流	303.6	–	356.4	μA	–
SID.DC.cc_shvt.8	R <sub>D</sub>	UFP (アップストリームポート) として機能する場合のプルダウン終端抵抗	4.59	–	5.61	k Ω	–
SID.DC.cc_shvt.9	Rd_db	UFP として機能する場合のデッド バッテリー付きプルダウン終端抵抗	4.08	–	6.12	k Ω	–
SID.DC.cc_shvt.10	zOPEN	無効時のグラウンドへの CC インピーダンス	108	–		k Ω	–
SID.DC.cc_shvt.11	DFP_default_0p2	DFP 側の CC 電圧 - 標準 USB	0.15	–	0.25	V	–
SID.DC.cc_shvt.12	DFP_1.5A_0p4	DFP 側の CC 電圧 - 1.5A	0.35	–	0.45	V	–
SID.DC.cc_shvt.13	DFP_3A_0p8	DFP 側の CC 電圧 - 3A	0.75	–	0.85	V	–
SID.DC.cc_shvt.14	DFP_3A_2p6	DFP 側の CC 電圧 - 3A	2.45	–	2.75	V	–
SID.DC.cc_shvt.15	UFP_default_0p66	UFP 側の CC 電圧 - 標準 USB	0.61	–	0.7	V	–
SID.DC.cc_shvt.16	UFP_1.5A_1p23	UFP 側の CC 電圧 - 1.5A	1.16	–	1.31	V	–
SID.DC.cc_shvt.17	Vattach_ds	ディープスリープのアタッチ閾値	0.3	–	0.6	%	–
SID.DC.cc_shvt.18	Rattach_ds	ディープスリープのプルアップ抵抗	10	–	50	k Ω	–
SID.DC.cc_shvt.30	FS_0p53	高速スワップ検出の電圧閾値	0.49	–	0.58	V	–

## 電氣的仕様

## 6.5.6 アナログ - デジタル変換器

Table 25 ADC の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.ADC.1	Resolution	ADC 分解能	–	8	–	ビット	8 ビット有効
SID.ADC.2	INL	積分非直線性	–1.5	–	1.5	LSB	–
SID.ADC.3	DNL	微分非直線性	–2.5	–	2.5	LSB	–
SID.ADC.4	Gain Error	利得誤差	–1.5	–	1.5	LSB	–
SID.ADC.5	VREF_ADC1	ADC のリファレンス電圧	$V_{DDmin}$	–	$V_{DDmax}$	V	$V_{DD}$ から生成されたリファレンス電圧
SID.ADC.6	VREF_ADC2	ADC のリファレンス電圧	1.96	2.0	2.04	V	ディープスリープリファレンスから生成されたリファレンス電圧

## 6.5.7 充電器検出

Table 26 充電器検出の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DC.CHGDET.1	VDAT_REF	充電器検出モードでのデータ検出電圧	250	–	400	mV	–
DC.CHGDET.2	VDM_SRC	充電器検出モードでの Dn 電圧ソース	500	–	700	mV	–
DC.CHGDET.3	VDP_SRC	充電器検出モードでの Dp 電圧ソース	500	–	700	mV	–
DC.CHGDET.4	IDM_SINK	充電器検出モードでの Dn シンク電流	25	–	175	μA	–
DC.CHGDET.5	IDP_SINK	充電器検出モードでの Dp シンク電流	25	–	175	μA	–
DC.CHGDET.6	IDP_SRC	データコンタクト検出の電流ソース	7	–	13	μA	–
DC.CHGDET.32	RDM_UP	Dp/Dm プルアップ抵抗	0.9	–	1.575	kΩ	–
DC.CHGDET.31	RDM_DWN	Dp/Dm プルダウン抵抗	14.25	–	24.8	kΩ	–
DC.CHGDET.29	RDAT_LKG	Dp/Dm 上のデータラインのリーク	300	–	500	kΩ	–
DC.CHGDET.34	VSETH	論理閾値	1.26	–	1.54	V	–
DC.pmg1s1.dpdm.14	RDCP_DAT	DP と DN 間の専用充電ポート抵抗	–	–	40	Ω	–

6.5.8  $V_{SYS}$  スイッチTable 27  $V_{SYS}$  スイッチの仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.DC.VDDDSW.1	Res_sw	電源入力から出力電源 $V_{DD}$ までの抵抗	–	–	1.5	Ω	$V_{DD}$ で 5 mA ~ 10 mA の負荷電流で測定

## 電氣的仕様

## 6.5.9 CSA

Table 28 CSA の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DC.csa_scp.42	SCP_6A	短絡電流検出 @ 6A	–	±10	–	%	–
DC.csa_scp.43	SCP_10A	短絡電流検出 @10A	–	±10	–	%	–
OP.csa_scp.11	Rsense	外付け検出抵抗	–	5	–	mΩ	1% 精度
DC.csa_scp.44	locp_1A	Rsense = 5 mΩ, 1A での OCP トリップ閾値	–	130 ±20%	–	%	コントラクト値の 130% に設定された 1A PD コントラクト OCP, またはユーザーがプログラム可能
	locp_1A	Rsense = 10 mΩ, 1A での OCP トリップ閾値	–	130 ±10%	–	%	コントラクト値の 130% に設定された 1A PD コントラクト OCP, またはユーザーがプログラム可能
DC.csa_scp.45	locp_5A	Rsense = 5/10 mΩ, 2A, 3A, 4A, および 5A コントラクトでの OCP トリップ閾値	–	130 ±10%	–	%	コントラクト値の 130% に設定された 2A, 3A, 4A, 5A PD コントラクト OCP, またはユーザーがプログラム可能
DC.rcp_scp.7a	I_csainn_lk	RCP および CSA ブロックがオフの場合の CSP ピン入力リーク電流	–	–	10	μA	プロバイダ V <sub>BUS</sub> = 5 V
DC.rcp_scp.6a	I_csainp_lk	RCP および CSA ブロックがオフの場合の CSN ピン入力リーク電流	–	–	80	μA	プロバイダ V <sub>BUS</sub> = 5 V
DC.sys.1	I_CSP_RCP_ON_CSA_OFF	RCP ブロックがオン、SCP がオフの場合の CSP ピン電流	–	–	20	μA	プロバイダ V <sub>BUS</sub> = 5 V
DC.sys.2	I_CSN_RCP_ON_CSA_OFF	RCP ブロックがオン、SCP がオフの場合の CSN ピン電流	–	–	100	μA	プロバイダ V <sub>BUS</sub> = 5 V
DC.sys.3	I_CSP_CSA_ON	RCP ブロックがオフ、SCP がオンの場合の CSP ピン電流	–	–	30	μA	プロバイダ V <sub>BUS</sub> = 5 V
DC.sys.4	I_CSN_CSA_ON	RCP ブロックがオフ、SCP がオンの場合の CSN ピン電流	–	–	100	μA	プロバイダ V <sub>BUS</sub> = 5 V
DC.sys.5	I_CSP_RCP_ON_CSA_ON	RCP ブロックがオン、SCP がオンの場合の CSP ピン電流	–	–	50	μA	プロバイダ V <sub>BUS</sub> = 5 V。設計で保証
DC.sys.6	I_CSP_RCP_ON_CAS_ON	RCP ブロックがオン、SCP がオンの場合の CSN ピン電流	–	–	120	μA	プロバイダ V <sub>BUS</sub> = 5 V。設計で保証

## 電氣的仕様

6.5.10  $V_{BUS}$  UV/OVTable 29  $V_{BUS}$  UV/OV 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.UVOV.1	$V_{THUVOV1}$	バンドギャップリファレンスを使用したアクティブモードでの電圧閾値精度	-	$\pm 3$	-	%	-
SID.UVOV.2	$V_{THUVOV2}$	ディープスリープリファレンスを使用したディープスリープモードでの電圧閾値精度	-	$\pm 5$	-	%	-
SID.COMP_ACC	COMP_ACC	4 シグマでのコンパレータ入力オフセット	-15	-	15	mV	-

## 6.5.11 コンシューマ側 PFET ゲート ドライバ

Table 30 コンシューマ側 PFET ゲート ドライバの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.DC.PGDO.1	Rpd	「pull_dn」が有効な場合の抵抗	-	-	5	k $\Omega$	-
DC.pgdo_pd_isnk.12	iout_0	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 1$ で $iref\_out$ を通過するシンク電流	-	2	-	$\mu A$	-
DC.pgdo_pd_isnk.13	iout_1	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 2$ で $iref\_out$ を通過するシンク電流	-	4	-	$\mu A$	-
DC.pgdo_pd_isnk.14	iout_2	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 4$ で $iref\_out$ を通過するシンク電流	-	8	-	$\mu A$	-
DC.pgdo_pd_isnk.15	iout_3	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 8$ で $iref\_out$ を通過するシンク電流	-	16	-	$\mu A$	-
DC.pgdo_pd_isnk.16	iout_4	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 16$ で $iref\_out$ を通過するシンク電流	-	32	-	$\mu A$	-
DC.pgdo_pd_isnk.17	iout_5	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 32$ で $iref\_out$ を通過するシンク電流	-	63	-	$\mu A$	-
DC.pgdo_pd_isnk.18	iout_6	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 64$ で $iref\_out$ を通過するシンク電流	-	126	-	$\mu A$	-
DC.pgdo_pd_isnk.19	iout_7	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 128$ で $iref\_out$ を通過するシンク電流	-	252	-	$\mu A$	-
DC.pgdo_pd_isnk.20	iout_8	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 256$ で $iref\_out$ を通過するシンク電流	-	504	-	$\mu A$	-
DC.pgdo_pd_isnk.21	iout_9	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 512$ で $iref\_out$ を通過するシンク電流	-	1008	-	$\mu A$	-
DC.pgdo_pd_isnk.22	iout_10	$iref\_ctrl\_lv < 11 \geq LOW$ および $iref\_ctrl\_lv < 10:0 \geq 1024$ で $iref\_out$ を通過するシンク電流	-	2016	-	$\mu A$	-



## 電氣的仕様

**Table 31** コンシューマ側 PFET ゲート ドライバの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.ac.pgdo.2	Tr_discharge	出力ノードの放電速度	-	-	5	V/μs	設計で保証
SID.ac.pgdo.sys_1	Tsoft_on	ソフト スタートのコンシューマ FET ターンオン遅延	-	5	-	ms	-

**6.5.12** プロバイダ側 PFET ゲート ドライバ**Table 32** プロバイダ側 PFET ゲート ドライバの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DC.pgdo_pu_1	Rpd	USBPD_PGDO_PD_ISNK_CFG レジスタの「STRONG_EN=1」フィールドで、最強のプルダウン強度を使用して有効にした場合のプルダウン抵抗	-	-	2	kΩ	-
DC.pgdo_pu.2	Rpu	プルアップ抵抗	-	1	2	kΩ	-
DC.pgdo_pd_isnk.1	Rpd_0	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 1	-	6830	-	Ω	-
DC.pgdo_pd_isnk.2	Rpd_1	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 2	-	3760	-	Ω	-
DC.pgdo_pd_isnk.3	Rpd_2	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 4	-	1900	-	Ω	-
DC.pgdo_pd_isnk.4	Rpd_3	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 8	-	1000	-	Ω	-
DC.pgdo_pd_isnk.5	Rpd_4	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 16	-	660	-	Ω	-
DC.pgdo_pd_isnk.6	Rpd_5	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 32	-	1700	-	Ω	-
DC.pgdo_pd_isnk.7	Rpd_6	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 64	-	900	-	Ω	-
DC.pgdo_pd_isnk.8	Rpd_7	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 128	-	630	-	Ω	-



## 電氣的仕様

**Table 32** プロバイダ側 PFET ゲートドライバの DC 仕様 (continued)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DC.pgdo_pd_isnk.9	Rpd_8	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 256	–	560	–	Ω	–
DC.pgdo_pd_isnk.10	Rpd_9	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 512	–	530	–	Ω	–
DC.pgdo_pd_isnk.11	Rpd_10	グラウンドに接続した iref_out の抵抗値, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH および iref_ctrl_lv < 10:0 ≥ 1024	–	520	–	Ω	–

**Table 33** プロバイダ側 PFET ゲートドライバの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
AC.pgdo_pu.1	Tpu	プルアップ遅延	–	10	35	μs	4 nF コンデンサと 50 kΩ 抵抗のプルアップ負荷
AC.pgdo_pu.2	Tpd	プルダウン遅延	–	–	2	μs	–
AC.pgdo_pu.3	SRpu	出力立ち上り波形の 20% から 80% までで測定した出力スループレート	–	–	8	V/μs	Cload = 4 nF, Vout = 0 V ~ 24 V, 50 kΩ の外付けプルアップ抵抗
AC.pgdo_pu.4	SRpd	出力立ち下り波形の 80% から 20% までで測定した出力スループレート	–	–	8	V/μs	Cload = 4 nF, Vout = 24 V ~ 0 V, 50 kΩ の外付けプルアップ抵抗
AC.pgdo.sys_1	Tsoft_on	ソフトスタートのプロバイダ FET ターンオン遅延	–	5	–	ms	–

## 電氣的仕様

## 6.5.13 プロバイダ側 PFET RCP

Table 34 プロバイダ側 PFET RCP の DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DC.RCP.44	Vcsa_rcp	RCP 状態が検出された CSP と CSN 間の外付け Rsense の両端の電圧 (CSN は Vcsa_rcp の分 CSP より高い)	–	2	6	mV	–
DC.RCP.45	Vcomp_rcp	RCP 状態が検出された V <sub>BUS</sub> ピンと CSN ピン間の電圧	20	–	130	mV	–
DC.RCP.46	Vbus_max_det	RCP 状態が検出された、プロバイダ FET がオン (ソース) 中の CSN ピンの電圧 (この閾値はユーザーがプログラム可能)	5.55	5.75	5.95	V	この仕様は、5V プロバイダの V <sub>BUS</sub> 電圧用。より高い電圧の場合、ファームウェアは V <sub>BUS</sub> コントラクト電圧に基づいてこの閾値を変更

Table 35 プロバイダ側 PFET RCP, SCP の AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
AC.RCP_SYS.1	Toff_scp	プロバイダ PFET を通過する短絡電流検出後のプロバイダ PFET スイッチング オフ時間	–	10	–	μs	プロバイダ FET は、50 kΩ のゲート プルアップ抵抗と合計 4 nF のゲートコンデンサでオフになる。
AC.RCP_SYS.1	Toff_rcp	プロバイダ PFET を通過する逆電流検出後のプロバイダ PFET スイッチング オフ時間	–	10	–	μs	プロバイダ FET は、50 kΩ のゲート プルアップ抵抗と合計 4 nF のゲートコンデンサでオフになる。
AC.RCP_SYS.2	Ton	ターンオン PFET RCP 状態が除去されるまでの回復時間	–	55	80	μs	–

## 電氣的仕様

**Table 36**  $V_{BUS}$  プロバイダの遷移仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
AC.tr.1	Ton	プロバイダ FET の $V_{BUS}$ LOW から HIGH まで (10% から 90%) の時間	-	5	-	ms	0 から 5 V までの遷移、システムレベル、50 k $\Omega$ のゲートプルアップ抵抗と合計 4 nF のゲートコンデンサの外部 PFET
AC.tr.2	FR_Ton	FR スワップ中の $V_{BUS}$ LOW から HIGH まで (10% から 90%) の時間	-	50	150	$\mu$ s	0 から 5 V までの遷移、システムレベル、50 k $\Omega$ のゲートプルアップ抵抗と合計 4 nF のゲートコンデンサの外部 PFET
AC.tr.3	Toff	内蔵アクティブプルアップ抵抗を使用した場合の $V_{BUS\_P\_CTRL}$ HIGH から LOW まで (90% から 10%) の時間	-	11	-	$\mu$ s	5 から 0 V までの遷移、システムレベル、50 k $\Omega$ のゲートプルアップ抵抗と合計 4 nF のゲートコンデンサの外部 PFET

**6.5.14 SBU MUX****Table 37** SBU MUXのDC仕様

仕様ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
DC.pmg1s1.20sbu.1	Ron1	AUXP/N から SBU1/2スイッチまでのオン抵抗 @3.3 V 入力	-	4	7	$\Omega$	-
DC.pmg1s1.20sbu.2	Ron2	AUXP/N から SBU1/2スイッチまでのオン抵抗 @1 V 入力	-	3	5	$\Omega$	-
DC.pmg1s1.20sbu.3	lsb	ブロックリーク電流 (VPUMP + VDDD + VCCD)	-	-	15	$\mu$ A	-
DC.pmg1s1.20sbu.15	icc	スイッチが完全にオンのときに ICC をブロック	-	15	125	$\mu$ A	-
DC.pmg1s1.20sbu.16	OVP_threshold	VDDIOを超える過電圧保護検出しきい値	200	-	1200	mV	-
DC.pmg1s1.20sbu.17	lsx_ron_3p3	LSTX/LSRX から SBU1/2スイッチまでのオン抵抗 @3.3 V 入力	-	8.5	17	$\Omega$	-
DC.pmg1s1.20sbu.18	lsx_ron_1	LSTX/LSRX から SBU1/2スイッチまでのオン抵抗 @1 V 入力	-	5.5	11	$\Omega$	-
DC.pmg1s1.20sbu.19	aux_ron_flat_fs	AUX_P/NからSBU1/2スイッチまでのスイッチオンフラット抵抗 (0~3.3 V)	-	-	2.5	$\Omega$	-
DC.pmg1s1.20sbu.20	aux_ron_flat_hs	AUX_P/N から SBU1/2スイッチまでのスイッチオンフラット抵抗 (0~1 V)	-	-	0.5	$\Omega$	-
DC.pmg1s1.20sbu.21	lsx_ron_flat_fs	LSTX/LSRX から SBU1/2スイッチまでのスイッチオンフラット抵抗 (0~3.3 V)	-	-	5	$\Omega$	-
DC.pmg1s1.20sbu.22	lsx_ron_flat_hs	LSTX/LSRX から SBU1/2スイッチまでのスイッチオンフラット抵抗 (0~1 V)	-	-	0.5	$\Omega$	-

## 電氣的仕様

Table 38 SBU MUXのAC仕様

仕様ID	パラメーター	説明	Min	Typ	Max	単位	詳細/条件
AC.pmg1s1.20sbu.1	Con	スイッチオン時の静電容量	-	-	120	pF	設計で保証
AC.pmg1s1.20sbu.2	Coff	スイッチオフ時の静電容量 コネクタ側	-	-	80	pF	設計で保証
AC.pmg1s1.20sbu.3	Off_isolation	F = 1 MHzでのスイッチ絶縁	-50	-	-	dB	設計で保証
AC.pmg1s1.20sbu.4	TON	SBUスイッチのターンオン時間	-	-	200	μs	設計で保証
AC.pmg1s1.20sbu.5	TOFF	SBUスイッチのターンオフ時間	-	-	400	μs	設計で保証
AC.pmg1s1.20sbu.3_aux	Off_isolation_AC_aux	F = 1 MHz でのスイッチ絶縁、AUX ピンから SBU ピンまで	-50	-	-	dB	設計で保証
AC.pmg1s1.20sbu.6	Off_isolation_tran_dB	sbu1 のカップリング、2 は 50 Ωに終端、スイッチオフ、LSTX/LSRX で 1 MHz レールツーレールトグル	-40	-	-	dB	設計で保証
AC.pmg1s1.20sbu.6_aux	Off_isolation_tran_dB_aux	sbu1 のカップリング、2 は 50 Ωに終端、スイッチオフ、AUX_P/AUX_N で 1 MHz レールツーレールトグル	-30	-	-	dB	設計で保証
AC.pmg1s1.20sbu.7	X_talk_AC	データがLSTX/RXから転送される場合 F = 1 MHz, SBU1/2 から SBU2/1 へのスイッチのクロストーク	-50	-	-	dB	設計で保証
AC.pmg1s1.20sbu.7_aux	X_talk_AC_aux	データが AUXP/AUXNから転送される場合 F = 1 MHz, SBU1/2 から SBU2/1 でのスイッチのクロストーク	-50	-	-	dB	設計で保証
AC.pmg1s1.20sbu.8	X_talk_tran_dB	SBU2 (1) のカップリング LSX から SBU1 (2) にデータを転送する場合 SBU1 (2) のレールツーレール データ、SBU2 (1) のスタティック信号	-30	-	-	dB	設計で保証
AC.pmg1s1.20sbu.8_aux	X_talk_tran_dB_aux	SBU2 (1) のカップリング AUX から SBU1 (2) にデータを転送する場合 SBU1 (2) のレールツーレール データ、SBU2 (1) のスタティック信号	-30	-	-	dB	設計で保証

## 電氣的仕様

## 6.5.15 USB 2.0 MUX

Table 39 USB 2.0 MUX の DC 仕様

(充電器検出ブロックは、スイッチを介して USBDP\_TOP, USBDM\_TOP, USBDP\_BOT, および USBDM\_BOT から切断されます)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DC.pmg1s1.dpdm.1	RON_HS	SYS ラインの DP/DM オン抵抗 (0 ~ 0.5 V) - HS モード	-	-	8	Ω	-
DC.pmg1s1.dpdm.2	RON_FS	SYS ラインの DP/DM オン抵抗 (0 ~ 3.3 V) - FS モード	-	-	12	Ω	-
DC.pmg1s1.dpdm.5	Con_FS	6 MHz でのオン容量 - FS モード	-	-	50	pF	設計で保証
DC.pmg1s1.dpdm.6	Con_HS	240 MHz でのオン容量 - HS モード	-	-	10	pF	設計で保証
DC.pmg1s1.dpdm.9	ileak_pin	DP/DM コネクタ側とホスト側のピンリーク電流	-	-	1	μA	-
DC.pmg1s1.dpdm.11	RON_FLAT_HS	HS モードでの DP/DM オンフラット抵抗 (0 ~ 0.4 V)	-	-	0.5	Ω	設計で保証
DC.pmg1s1.dpdm.12	RON_FLAT_FS	FS モードでの DP/DM オンフラット抵抗 (0 ~ 3.3 V)	-	-	4	Ω	設計で保証

Table 40 USB 2.0 MUX の AC 仕様

(充電器検出ブロックは、スイッチを介して USBDP\_TOP, USBDM\_TOP, USBDP\_BOT, および USBDM\_BOT から切断されます)

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
AC.pmg1s1.dpdm.1	BW_3dB_HS	3db 帯域幅	700	-	-	MHz	設計で保証
AC.pmg1s1.dpdm.2	BW_3dB_FS	3db 帯域幅	100	-	-	MHz	設計で保証
AC.pmg1s1.dpdm.5	T <sub>ON</sub>	DP/DM スイッチ ターンオン時間	-	-	200	μs	-
AC.pmg1s1.dpdm.6	T <sub>OFF</sub>	DP/DM スイッチ ターンオフ時間	-	-	0.4	μs	設計で保証
AC.pmg1s1.dpdm.7	T <sub>ON_VPUMP</sub>	DP/DM チャージポンプ起動時間	-	-	200	μs	特性評価で保証
AC.pmg1s1.dpdm.8	Off_isolation_HS	HS でのオフアイソレーション	-20	-	-	dB	設計で保証
AC.pmg1s1.dpdm.9	Off_isolation_FS	FS でのオフアイソレーション	-50	-	-	dB	設計で保証
AC.pmg1s1.dpdm.10	X_talk	F=12 MHz での FS から HS への切り替えのクロストーク	-50	-	-	dB	設計で保証

## 電氣的仕様

## 6.5.16 VCONN スイッチ

Table 41 VCONN スイッチの DC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
DC.pmg1s1.20VCONN.1	Ron	VCONN_Source = 5V, 負荷電流 215 mA でのオン抵抗	–	0.7	1.3	Ω	–
DC.pmg1s1.20VCONN.9	I <sub>OCP</sub>	CC1/CC2 の過電流検出範囲	550	–	–	mA	–
DC.pmg1s1.20VCONN.10	OVP_threshold	V <sub>DD</sub> または VCONN_Source のいずれか高い方を超える, CC1, CC2 過電圧保護検出閾値	200	–	1200	mV	–
DC.pmg1s1.20VCONN.11	OVP_hysteresis	過電圧検出ヒステリシス	50	–	200	mV	設計で保証
DC.pmg1s1.20VCONN.12	OCP_hysteresis	過電流検出ヒステリシス	20	–	60	mA	–
DC.pmg1s1.20VCONN.14	OVP_threshold_on	CC1 または CC2 スイッチが有効である場合の CC1/2 の VCONN_Source を超える過電圧検出閾値。同じ閾値が逆電流保護回路をトリガ	200	–	700	mV	–

Table 42 VCONN スイッチの AC 仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
AC.pmg1s1.20VCONN.1	T <sub>ON</sub>	VCONN スイッチ ターンオン時間	–	–	200	μs	–
AC.pmg1s1.20VCONN.2	T <sub>OFF</sub>	VCONN スイッチ ターンオフ時間	–	–	3	μs	設計で保証

6.5.17 V<sub>BUS</sub>Table 43 V<sub>BUS</sub> 放電仕様

仕様 ID	パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SID.VBUS.DISC.1	Ron1	20V NMOS オン抵抗 (dischg_ds<0> = 1; dischg_ds<4:1> = 0 の場合)	1500	–	3000	Ω	–
SID.VBUS.DISC.2	Ron2	20V NMOS オン抵抗 (dischg_ds<1:0> = 1; dischg_ds<4:2> = 0 の場合)	750	–	1500	Ω	–
SID.VBUS.DISC.3	Ron3	20V NMOS オン抵抗 (dischg_ds<2:0> = 1; dischg_ds<4:3> = 0 の場合)	500	–	1000	Ω	–
SID.VBUS.DISC.4	Ron4	20V NMOS オン抵抗 (dischg_ds<3:0> = 1; dischg_ds<4> = 0 の場合)	375	–	750	Ω	–
SID.VBUS.DISC.5	Ron5	20V NMOS オン抵抗 (dischg_ds<4:0> = 1 の場合)	300	–	600	Ω	–

## 注文情報

## 7 注文情報

Table 44 に、EZ-PD™ PMG1-S1 の製品番号と機能を一覧表示します。

**Table 44** EZ-PD™ PMG1-S1 注文情報

製品	アプリケーション	Type-C ポート	終端抵抗 : $R_{D-DB}$	ロール	パッケージ	Si ID
CYPM1111-40LQXI CYPM1111-40LQXIT	DRP アプリケーション	1	$R_P^{[7]}, R_D^{[8]}, R_{D-DB}^{[9]}$	DRP	40 ピン QFN	0x2A20

## 7.1 注文コードの定義

製品番号は CYPM1ABC-DEFGHIJ の形式であり、フィールドは以下のように定義されています。

**Table 45** 注文コードの定義

フィールド	説明	値	意味
CY	サイプレス (an Infineon company) の接頭辞	CY	会社 ID
PM	マーケティング コード	PM	PM = パワーデリバリー MCU ファミリ
1	MCU ファミリ世代	1	製品ファミリ世代
A	ファミリ	0	S0
		1	S1
		2	S2
		3	S3
B	PD ポート	1	1-PD ポート
		2	2-PD ポート
C	アプリケーション特有	X	アプリケーション特有
DE	ピン	XX	パッケージのピン数
FG	パッケージ コード	LQ	QFN
		BZ	BGA
		FN	CSP
H	鉛フリー	X	鉛 : X = 鉛フリー
I	温度範囲	I	産業用
J	T&R のみ	T	テープ & リール

## 注:

7. 終端抵抗はソースを意味します。
8. 終端抵抗はアクセサリまたはシンクを意味します。
9. 終端抵抗はデッド バッテリ終端を意味します。





## 略語

## 9 略語

Table 49 本書で使用される略語

略語	説明
AC	Apple charging (アップル充電)
ACT	active mode (アクティブモード)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
AES	advanced encryption standard (高度暗号化標準)
AFC	adaptive fast charging (アダプティブ急速充電)
API	application programming interface (アプリケーションプログラミングインターフェース)
Arm®	advanced RISC machine (高度な RISC マシン): CPU アーキテクチャの一種
BC	battery charging (バッテリー充電)
BMC	bi-phase mark coding (2相マークコーディング)
BOD	brown-out detect (電圧低下検出)
CC	configuration channel (コンフィギュレーションチャンネル)
BOD	Brown out Detect (電圧低下検出)
CPU	central processing unit (中央演算処理装置)
CRC	cyclic redundancy check (巡回冗長検査): エラーチェックプロトコルの一種
CS	current sense (電流検出)
CSA	current sense amplifier (電流検出アンプ)
DFP	downstream facing port (ダウンストリームポート)
DP	DisplayPort (ディスプレイポート): Video Electronics Standards Association によって策定されるデジタルディスプレイインターフェース規格
DIO	digital input/output (デジタル入出力): アナログなし、デジタル機能のみを持つ GPIO。GPIO を参照してください。
DMA	direct memory access (ダイレクトメモリアクセス)
DRP	dual role power (デュアルロールパワー)
DS	deep sleep mode (ディープスリープモード)
EEPROM	electrically erasable programmable read-only memory (電氣的消去書き込み可能読み出し専用メモリ)
EMCA	electronically marked cable assembly (電子的マーク付きケーブルアセンブリ): 定格電流などのケーブル特性を Type-C ポートに報告する IC を内蔵した USB ケーブル
EMI	electromagnetic interference (電磁干渉)
ESD	electrostatic discharge (静電気放電)
FPB	flash patch and breakpoint (フラッシュパッチおよびブレイクポイント)
FRS	fast role swap (高速ロールスワップ)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
IC	integrated circuit (集積回路)
IDE	integrated development environment (統合開発環境)

## 略語

**Table 49** 本書で使用される略語 (continued)

略語	説明
I <sup>2</sup> C ( 別名 : IIC )	Inter-Integrated Circuit ( インター インテグレートド サーキット ): 通信プロトコルの一種
ILO	internal low-speed oscillator ( 内部低速発振器 )。IMO を参照してください。
IMO	internal main oscillator ( 内部主発振器 )。ILO を参照してください。
I/O	input/output ( 入出力 )。GPIO を参照してください。
LVD	low-voltage detect ( 低電圧検出 )
LVTTL	low-voltage transistor-transistor logic ( 低電圧トランジスタ - トランジスタ ロジック )
MCU	microcontroller unit ( マイクロコントローラー ユニット )
NC	no connect ( 未接続 )
NMI	nonmaskable interrupt ( マスク不可割込み )
NVIC	nested vectored interrupt controller ( ネスト型ベクタ割込みコントローラー )
OCP	overcurrent protection ( 過電流保護 )
opamp	operational amplifier ( オペアンプ , 演算増幅器 )
OVP	overvoltage protection ( 過電圧保護 )
OVT	overvoltage tolerant ( 過電圧許容 )
PCB	printed circuit board ( プリント回路基板 )
PD	power delivery ( パワー デリバリー )
PGA	programmable gain amplifier ( プログラマブル ゲイン アンプ )
PHY	physical layer ( 物理層 )
POR	power-on reset ( パワーオン リセット )
PRES	precise power-on reset ( 高精度パワーオン リセット )
PRNG	pseudo random number generation ( 疑似乱数生成期 )
PWM	pulse-width modulator ( パルス幅変調器 )
RAM	random-access memory ( ランダム アクセス メモリ )
RCP	reverse current protection ( 逆電流保護 ): ソース コンフィギュレーションでのみサポート
RISC	reduced-instruction-set computing ( 縮小命令セット コンピューティング )
RMS	root-mean-square ( 二乗平均平方根 )
RTC	real-time clock ( リアルタイム クロック )
RX	receive ( 受信 )
SAR	successive approximation register ( 逐次比較レジスタ )
SBU	sideband use ( サイドバンド使用 )
SCB	serial communication block ( シリアル通信ブロック )
SCL	I <sup>2</sup> C serial clock ( I <sup>2</sup> C シリアル クロック )
SCP	short circuit protection ( 短絡保護 ): ソース コンフィギュレーションでのみサポート
SDA	I <sup>2</sup> C serial data ( I <sup>2</sup> C シリアル データ )
S/H	sample and hold ( サンプル / ホールド )
SHA	secure hash algorithm ( セキュア ハッシュ アルゴリズム )

## 略語

**Table 49** 本書で使用される略語 (continued)

略語	説明
SPI	Serial Peripheral Interface ( シリアル ペリフェラル インターフェース ): 通信プロトコルの一種
SRAM	static random access memory ( スタティック ランダム アクセス メモリ )
SWD	serial wire debug ( シリアル ワイヤ デバッグ ): テスト プロトコルの一種
TCPWM	timer counter pulse-width modulator ( タイマー / カウンター / パルス幅変調器 )
TX	transmit ( 送信 )
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供することが可能
UART	Universal Asynchronous Transmitter Receiver ( 汎用非同期トランスミッタ レシーバ ): 通信プロトコルの一種
UFP	upstream facing port ( アップストリーム ポート )
USB	Universal Serial Bus ( ユニバーサル シリアル バス )
USBIO	USB input/output ( USB 入出力 ): USB ポートへの接続に使用される EZ-PD™ PMG1-S1 ピン
UVP	undervoltage protection ( 低電圧保護 )
XRES	external reset I/O pin ( 外部リセット I/O ピン )

本書の表記法

## 10 本書の表記法

### 10.1 測定単位

Table 50 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msps	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
mΩ	ミリオーム
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル毎秒
V	ボルト

改訂履歴

改訂履歴

版数	発行日	変更内容
**	2021-12-09	これは英語版 002-31597 Rev. *B を翻訳した日本語版 002-34373 Rev. ** です。
*A	2022-09-29	これは英語版 002-31597 Rev. *C を翻訳した日本語版 002-34373 Rev. *A です。
*B	2024-02-16	これは英語版 002-31597 Rev. *E を翻訳した日本語版 002-34373 Rev. *B です。
*C	2025-10-07	これは英語版 002-31597 Rev. *G を翻訳した日本語版 002-34373 Rev. *C です。

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2025-10-07**

**Published by**

**Infineon Technologies AG**

**81726 Munich, Germany**

**© 2025 Infineon Technologies AG.**

**All Rights Reserved.**

**Do you have a question about this document?**

**Email:**

[erratum@infineon.com](mailto:erratum@infineon.com)

**Document reference**

**002-34373 Rev. \*C**

## 重要事項：注意事項

本文書の全ての日本語情報は、英文で提供されている情報の参考訳です。英文版と和文版に齟齬がある場合は常に英文版の内容が優先します。

製品（サンプルも含みます。また、ハードウェア、ソフトウェアまたはその両方で構成される製品も含みます。以下同じです。）の販売、提供または引渡しは、インフィニオンテクノロジーズ AG およびその関連会社（以下まとめて「インフィニオン」といいます）、お客様とインフィニオンによって締結された基本契約その他の書面により合意された条件、そのような条件がない場合はインフィニオンの適用ある販売条件に従います。お客様の一般的な取引条件またはインフィニオンの販売条件と乖離した条件は、インフィニオンが書面で明示的に同意した場合に限り、インフィニオンを拘束するものとします。

疑義を避けるため、インフィニオンは、第三者の権利を侵害していないことの保証、および特定の使用/目的に対する適合性または商品性の保証などの黙示的保証を負いません。

インフィニオンは、サンプル、アプリケーション、もしくはお客様による製品の具体的な使用方法、または本書面に記載された例や標準値に関するいかなる情報についても責任を負いません。

本書面に記載されているデータは、技術的資格を有する熟練したお客様のご担当者をお客様の特定用途に対する製品の適合性を評価し、意図された用途および顧客の特定用途において本書面に含まれるすべての関連技術データを検証する責任を負います。お客様は、意図されたアプリケーションの機能性および安全性を適切に設計、プログラミング、テストし、その使用に関連する法令を遵守してください。

インフィニオンの明示的な承認がない限り、製品は、製品の故障またはその使用による結果が人身傷害につながると合理的に予想されるいかなる用途にも使用しないでください。ただし、上記は、インフィニオンが明示的に設計し、販売した使用分野でお客様が製品を使用することを妨げるものではありません。

インフィニオンは、適用される法律、例えばドイツ著作権法 (UrhG) 第 44b 条に従って、そのコンテンツを商業的なテキストおよびデータのマイニング (TDM) のために使用する権利を明示的に留保します。

製品にセキュリティ機能が含まれている場合、いかなるコンピューティング・デバイスも絶対に安全であることはあり得ないため、製品にセキュリティ対策が施されているにもかかわらず、インフィニオンは、製品に侵入、データの盗難もしくは損失、またはその他の侵害（「セキュリティ侵害」といいます）がないことを保証せず、インフィニオンは、セキュリティ侵害に起因するいかなる責任も負わないものとします。本書面がソフトウェアを含んでいるまたはソフトウェアに言及している場合：

ソフトウェアは、米国、ドイツ、および世界各国の知的財産権法および条約に基づきインフィニオンが所有しています。インフィニオンはすべての権利を留保し、無断複製、複製および転写を禁じます。お客様はソフトウェアに同梱されたソフトウェア使用許諾契約に従ってのみソフトウェアを使用できます。

ソフトウェア使用許諾契約が適用されない場合、インフィニオンはここに、ソフトウェアの知的所有権に基づき、(a) ソースコード形式で提供されたソフトウェアについて、インフィニオンのハードウェア製品と共に使用する目的のためにのみソフトウェアを修正および複製するための、そして (b) インフィニオンのハードウェア製品上での使用目的に限り、ソフトウェアをバイナリコード形式でエンドユーザーに外部配布するための、個人的、非排他的、譲渡不能なライセンス（サブライセンス不可）をお客様に付与します。それ以外のソフトウェアの使用、複製、変更、翻訳またはコンパイルは禁止されています。製品、技術、納品条件、および価格に関する詳細については、最寄りのインフィニオンオフィスに連絡するか、<https://www.infineon.com> にアクセスしてください。