

# 英飞凌EZ-PD™ PMG1-S1 第一代电力输送 MCU

## EZ-PD™ PMG1系列概述

EZ-PD™ PMG1 (第一代供电 MCU) 是一系列的高电压 USB-C 供电 (PD) 微控制器 (MCU)。这些芯片拥有一个 Arm® Cortex®-M0/M0+ CPU、USB-C PD控制器以及模拟和数字外设。EZ-PD™ PMG1 ，并利用微控制器提供额外的控制能力。图1展示了 EZ-PD™ PMG1 系列的细分。

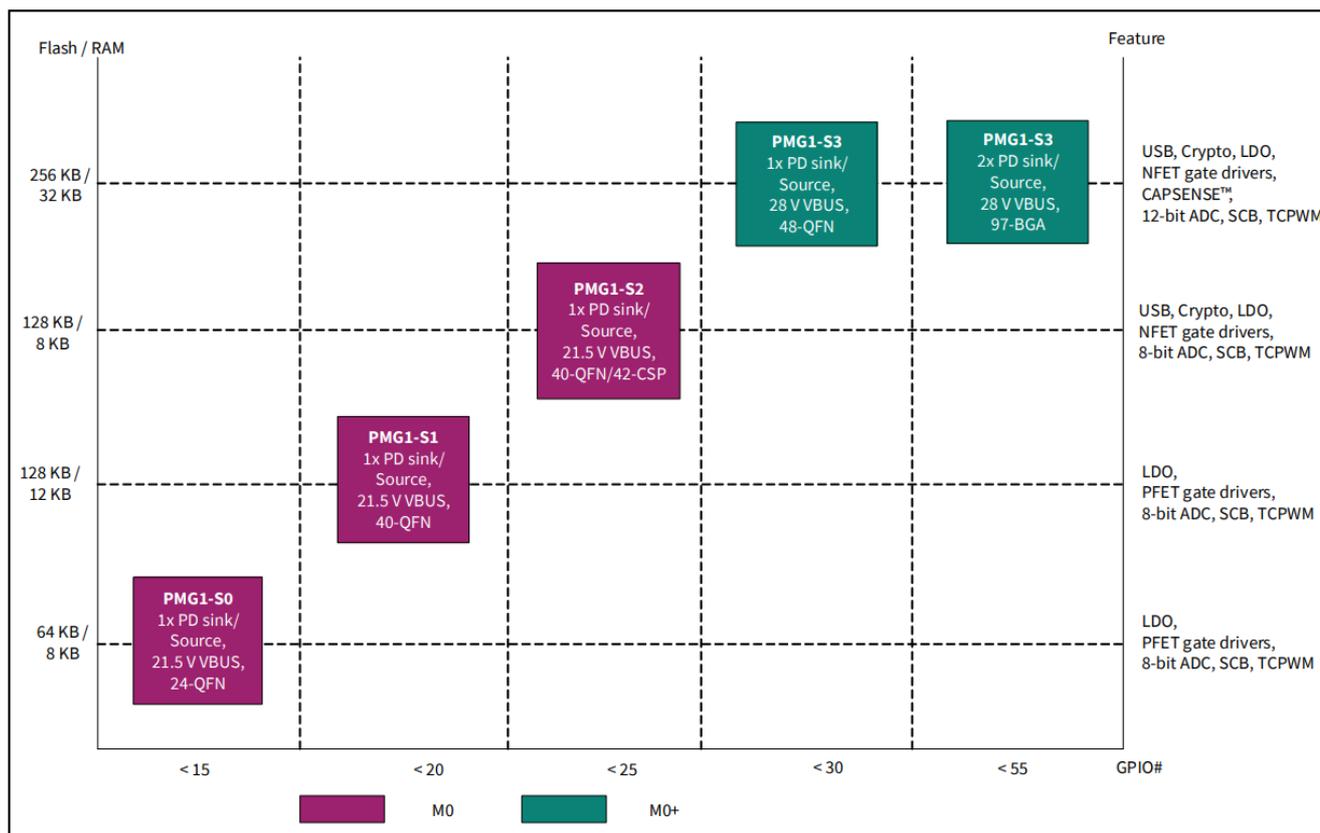


图1 PMG1系列细分情况

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 [infineon.com](http://infineon.com) 参考最新的英文版本（控制文档）。

## EZ-PD™ PMG1系列概述

表1显示了EZ-PD™ PMG1系列中不同MCU的性能对比。

**表1 EZ-PD™ PMG1系列中不同MCU的性能对比。**

Subsystem or range	Item	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3
CPU and memory subsystem	Core	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0	Arm® Cortex®-M0+
	Max. freq (MHz)	48	48	48	48
	Flash (KB)	64	128	128	256
	SRAM (KB)	8	12	8	32
Power delivery	Power delivery ports	1	1	1	1 port for 48-pin QFN 2 ports for 97-ball VFBGA
	Role	DRP	DRP	DRP	DRP
	MOSFET gate drivers	2x PFET	2x PFET	2x NFET	Flexible 2x NFET
	Fault protections	VBUS OVP, UVP, and OCP; SCP (for source configuration only)	VBUS OVP, UVP, and OCP; SCP and RCP (for source configuration only)	VBUS OVP, UVP, and OCP	VBUS OVP, UVP, and OCP; SCP and RCP (for source configuration only)
USB	Integrated full speed USB 2.0 device with Billboard class support	No	No	Yes	Yes
Voltage range	Supply (V)	VDDD (2.7–5.5) VBUS (4–21.5)	VSYS (2.75–5.5) VBUS (4–21.5)	VSYS (2.7–5.5) VBUS (4–21.5)	VSYS (2.8–5.5) VBUS (4–28)
	IO (V)	1.71–5.5	1.71–5.5	1.71–5.5	1.71–5.5
Digital	SCB (configurable as I <sup>2</sup> C/UART/SPI)	2	4	4	7 for 48-pin QFN (out of which only 5 can be configured as SPI and UART) 8 for 97-ball VFBGA
	TCPWM block (configurable as timer, counter or pulse width modulator)	4	2	4	8
	Hardware authentication block (Crypto)	No	No	Yes (AES-128/192/256, SHA1, SHA2-224, SHA2-256, PRNG, CRC)	Yes (AES-128, SHA2-256, TRNG, vector unit)
Analog	ADC	2x 8-bit SAR	1x 8-bit SAR	2x 8-bit SAR	2x 8-bit SAR 1x 12-bit SAR
	On-chip temperature sensor	Yes	Yes	Yes	Yes
Direct memory access (DMA)	DMA	No	No	No	Yes

## EZ-PD™ PMG1系列概述

表1 EZ-PD™ PMG1系列不同MCU特性比较 (续)

Subsystem or range	Item	PMG1-S0	PMG1-S1	PMG1-S2	PMG1-S3
GPIO	Max # of I/Os	12 (10+2 fail-safe)	17 (15+2 fail-safe)	20 (18+2 fail-safe)	26 (24+2 fail-safe) for 48-pin QFN
					50 (48+2 fail-safe) for 97-ball VFBGA
Charging standard	Charging source	BC 1.2, AC, AFC, and QC 3.0	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC, AFC, and QC 3.0
	Charging sink	BC 1.2, AC, and QC 2.0	BC 1.2, AC	BC 1.2, AC	BC 1.2, AC, and QC 2.0
ESD protection	ESD protection	Yes (Human body model and charged device model)	Yes (Human body model and charged device model)	Yes (Human body model and charged device model)	Yes (Human body model and charged device model)
Packages	Package options	24-QFN (4 × 4 mm, 0.6 mm pitch)	40-QFN (6 × 6 mm, 0.6 mm pitch)	40-QFN (6 × 6 mm, 0.6 mm pitch) / 42-CSP (2.63 × 3.18 mm, 0.55 mm pitch)	48-QFN (6 × 6 mm, 0.6 mm pitch) / 97-BGA (6 × 6 mm, 0.5 mm and 1.0 mm pitch)

本文档的其余部分详细介绍了有关EZ-PD™ PMG1-S1器件的内容。

## EZ-PD™ PMG1-S1概述

EZ-PD™ PMG1-S1 集成32位、48 MHz Arm® Cortex® -M0 处理器和 128 KB 闪存，以及完整的 Type-C USB PD 收发器，并集成所有终端电阻  $R_p$ 、 $R_D$ 和电池电量耗尽保护电阻  $R_D$ 。它可用于上行端口 (UFP)、下行端口 (DFP) 和双角色电源 (DRP) 应用。它采用 40 引脚 QFN 封装。

## 特性

### • 32位MCU子系统

- 48 MHz Arm® Cortex-M0® 处理器
- 128 KB Flash
- 12 KB SRAM
- 16K SROM 释放闪存空间 (8 KB 启动 SROM 和 8 KB 用户 SROM)

### • Type-C/PD模块

- 支持最新的USB PD 3.0规范
- 快速角色交换 (FRS)
- 扩展的数据消息传递
- 用于下行端口 (DFP)<sup>[1]</sup> 功能 ( $R_p$ )集成电流发送源。
  - 500/900 mA
  - 1.5 A
  - 3A
- 用于UFP<sup>[2]</sup> 功能的集成  $R_D$  电阻
- 为EMCA线缆供电的集成VCONN FET
- 集成无电电池终端电阻
- CC和SBU引脚上集成高电压保护，以防止Type-C连接器VBUS引脚上发生意外短路

### • 传统充电 (发送源和接收源)

- BCv1.2
- 苹果

### • 复用器

- 集成 USB2.0 模拟 MUX，用于 USB 2.0 高速 (HS) 数据
- 用于替代模式 (DisplayPort) 的集成 SBU 模拟 MUX

### • 集成VBUS负载开关控制器

- 在VBUS发送程序路径上支持高达20 V的电压
- 由转换速率控制的栅极驱动器，可承受24 V的电压，用于驱动发送程序路径上的外部VBUS PFET
- 栅极驱动器，可承受24 V的电压，用于驱动接收程序路径上的外部VBUS PFET
- 可配置的硬件控制VBUS过压保护 (OVP)、欠压保护 (UVP)、过电流保护 (OCP)、短路保护 (SCP) 和反向电流保护 (RCP)
- VBUS高端电流感应放大器，能够测量 5-mΩ 串联电阻上的电流
- 响应FRS请求时，关闭接收PFET并打开发送PFET

### • LDO

- 集成高电压LDO可在电压高达21.5 V的条件下工作，用于无电电池模式操作

### • 接口

- 两个集成定时器和计数器，从而符合USB-PD协议所要求的响应时间
- 四个串行通信模块 (SCB)，可对这些模块进行重新配置，使其具有 I<sup>2</sup>C, SPI, 或 UART 功能

### 注释：

1. DFP指的是电源发送源。
2. UFP指的是电源接收源。

## 特性

- **时钟和振荡器**

- 集成振荡器不需要外部时钟

- **功率产品**

- V<sub>SYS</sub> (2.75 V–5.5 V)
- V<sub>BUS</sub> (4 V–21.5 V)

- **故障安全**

- SCB0的I<sup>2</sup>C 引脚是故障安全引脚

- **封装**

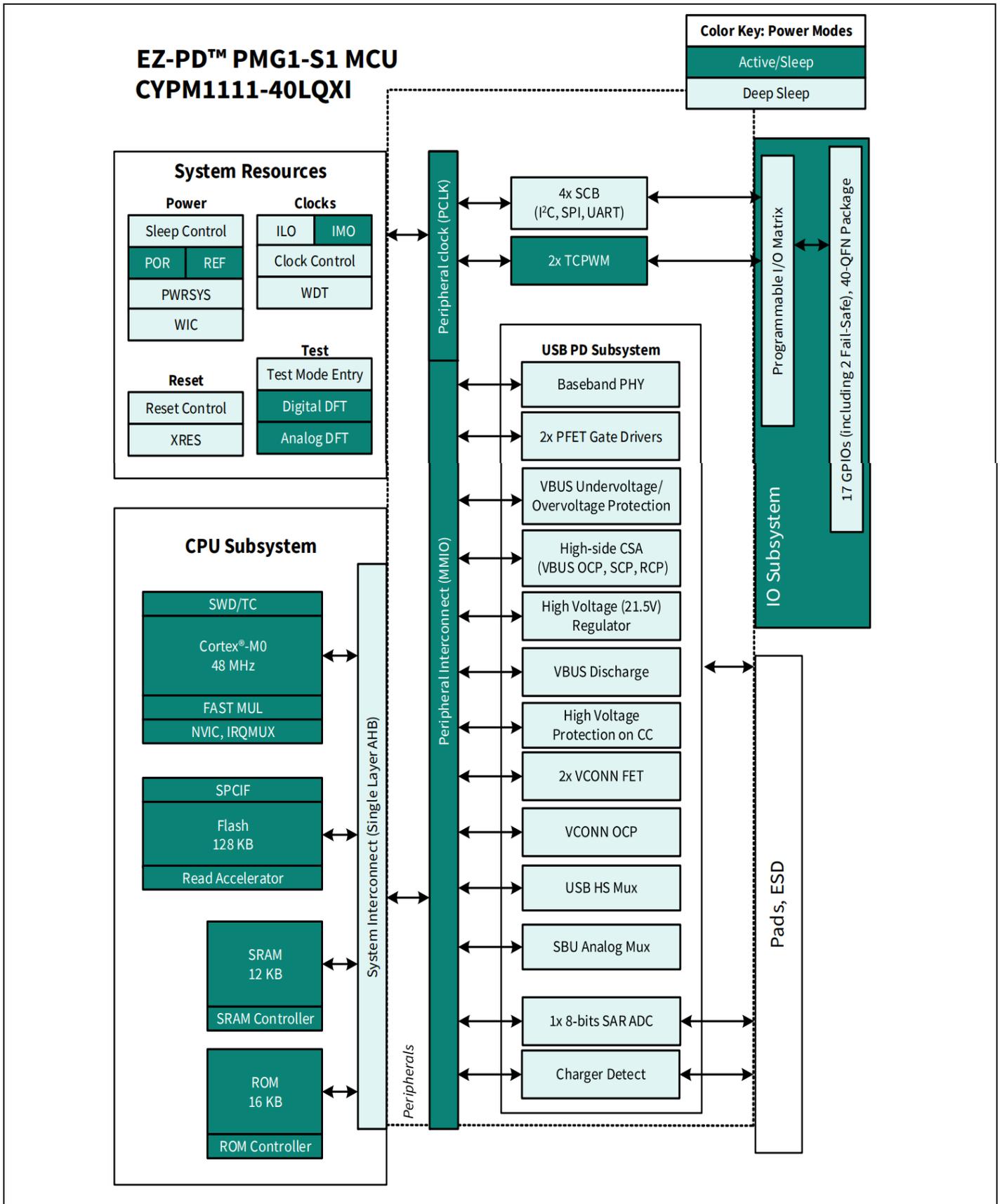
- 6.0 mm × 6.0 mm, 0.6 mm, 40-pin QFN
- 支持工业级温度范围 (-40 °C到+85 °C)

- **软件工具**

- ModusToolbox™

框图

框图



## 目录

## 目录

<b>EZ-PD™ PMG1系列概述</b> .....	<b>1</b>
<b>EZ-PD™ PMG1-S1概述</b> .....	<b>4</b>
特性 .....	4
框图 .....	6
目录 .....	7
<b>1 开发支持</b> .....	<b>9</b>
1.1 文档 .....	9
1.2 在线支持 .....	9
1.3 工具 .....	9
1.4 ModusToolbox™ IDE与EZ-PD™ PMG1 SDK .....	9
<b>2 功能概述</b> .....	<b>10</b>
2.1 CPU和存储器子系统 .....	10
2.1.1 CPU .....	10
2.1.2 Flash .....	10
2.1.3 SRAM .....	10
2.1.4 SROM .....	10
2.2 USB PD子系统 .....	10
2.2.1 USB PD 物理层 .....	10
2.2.2 VCONN FET .....	10
2.2.3 8位 SAR ADC .....	10
2.2.4 USB 2.0 复用器 .....	11
2.2.5 SBU 复用器 .....	11
2.2.6 负载开关控制器 .....	11
2.2.7 充电器检测 .....	12
2.2.8 耐高压 SBU 和 CC 线路 .....	12
2.2.9 CSA .....	12
2.2.10 转换速率可控制的栅极驱动器 .....	12
2.3 固定功能数字模块 .....	13
2.3.1 定时器/计数器/PWM模块 .....	13
2.3.2 SCB .....	13
2.3.3 GPIO接口 .....	13
2.3.4 故障安全 GPIO .....	13
<b>3 电源系统概述</b> .....	<b>14</b>
<b>4 引脚布局</b> .....	<b>15</b>
<b>5 应用程序框图</b> .....	<b>19</b>
<b>6 电气规格参数</b> .....	<b>21</b>
6.1 绝对最大额定值 .....	21
6.2 基于引脚的绝对最大额定值 .....	22
6.3 器件级规范 .....	23
6.3.1 直流规范 .....	23
6.3.2 CPU .....	24
6.3.3 GPIO .....	24
6.4 数字外设 .....	27
6.4.1 GPIO引脚的脉冲宽度调制(PWM) .....	27
6.4.2 I2C .....	27
6.4.3 UART .....	27
6.4.4 SPI .....	27
6.4.5 存储器 .....	28
6.5 系统资源 .....	29
6.5.1 欠压情况下的上电复位 (POR) .....	29
6.5.2 SWD 接口 .....	29

## 目录

6.5.3 内部主振荡器.....	29
6.5.4 内部低速振荡器.....	29
6.5.5 PD.....	30
6.5.6 ADC.....	31
6.5.7 充电器检测.....	31
6.5.8 VSYS 开关.....	31
6.5.9 CSA.....	32
6.5.10 VBUS UV/OV.....	33
6.5.11 接收端PFET栅极驱动器.....	33
6.5.12 发送端PFET栅极驱动器.....	34
6.5.13 发送端PFET RCP.....	36
6.5.14 SBU 复用器.....	37
6.5.15 USB 2.0复用器.....	39
6.5.16 VCONN开关.....	40
6.5.17 VBUS.....	41
<b>7 订购信息.....</b>	<b>42</b>
7.1 订购代码定义.....	42
<b>8 封装.....</b>	<b>43</b>
<b>9 缩略语.....</b>	<b>44</b>
<b>10 文档惯例.....</b>	<b>47</b>
10.1 计量单位.....	47
<b>修订记录.....</b>	<b>48</b>

## 1 开发支持

EZ-PD™ PMG1 系列拥有丰富的文档、开发工具和在线资源，可为您的开发流程提供帮助。访问[USB-C 高压微控制器](#)。

### 1.1 文档

通过为EZ-PD™ PMG1系列提供说明的文档集，您可以快速找到问题的答案。本节列出了一些关键文档。

**ModusToolbox™工具包用户指南：** ModusToolbox™ (MTB) 的分步使用指南。本软件用户指南详细介绍了MTB的构建流程、如何在MTB中使用源代码控制等等。

**组件数据手册：** EZ-PD™ PMG1 的灵活性使其即使在设备投入生产后很长时间内也能创建新的外设（组件）。组件数据手册提供了选择和使用特定组件所需的所有信息，包括功能描述、API 文档、示例代码和 AC/DC 规格。

**应用笔记：** 包括入门应用笔记和硬件设计指南。

**技术参考手册：** 技术参考手册 (TRM) 包含使用 EZ-PD™ PMG1 设备所需的所有技术细节，包括所有 EZ-PD™ PMG1 寄存器的完整描述。TRM 可在“[USB-C 高压微控制器](#)”的文档部分获取。

### 1.2 在线支持

除了印刷版文档外，您还可以随时通过 [EZ-PD™ PMG1 MCU 论坛](#) 与世界各地的 EZ-PD™ PMG1 用户和专家取得联系。

### 1.3 工具

EZ-PD™ PMG1 MCU 系列具备工业标准的内核、编程和调试接口，它是开发工具体系的一个组成部分。

访问[ModusToolbox™软件](#) 了解有关革命性的、易于使用的 ModusToolbox™ 的 Eclipse IDE 的最新信息，以及支持的第三方编译器、编程器、调试器和开发套件。

### 1.4 ModusToolbox™ IDE与EZ-PD™ PMG1 SDK

ModusToolbox™ 是 Windows、macOS 和 Linux 平台上基于 Eclipse 的开发环境，包括 ModusToolbox™ IDE 和 EZ-PD™ PMG1 SDK。ModusToolbox™ IDE 将多个器件资源、中介软件和固件整合在一起，以构建应用程序。通过使用 ModusToolbox™，您可以启用和配置器件资源和中介软件库、编写 C/C++/汇编源代码，并且可以编程和调试器件。

PMG1 SDK 是 EZ-PD™ PMG1 MCU 的软件开发工具包。通过 SDK，您可以更加轻松地地为受支持的器件开发固件，而无需了解器件资源的复杂性。

有关使用 ModusToolbox™ 更多详细信息，请参阅[获取开始和 EZ-PD™ PMG1 MCU 在 ModusToolbox™ 软件应用说明以及集成到 ModusToolbox™ 中的文档和帮助](#)。

## 2 功能概述

### 2.1 CPU和存储器子系统

#### 2.1.1 CPU

EZ-PD™ PMG1-S1 MCU 的核心是运行速度高达 48 MHz 的 32 位 Cortex-M0 CPU 内核。它针对低功耗操作进行了优化，具有广泛的时钟门控。

CPU 还包括一个串行线调试 (SWD) 接口。PMG1-S1 的调试配置具有四个断点 (地址) 比较器和两个观察点 (数据) 比较器。

#### 2.1.2 Flash

EZ-PD™ PMG1-S1 设备具有 128 KB 闪存模块。

#### 2.1.3 SRAM

PMG1-S1 支持 12 KB SRAM 存储器。

#### 2.1.4 SROM

16K SROM 释放闪存空间 (8 KB 启动 SROM 和 8 KB 用户 SROM)。

### 2.2 USB PD 子系统

该子系统为 Type-C USB 端口提供接口。

#### 2.2.1 USB PD 物理层

USB-PD 子系统由 USB-PD 物理层模块和配套电路组成。该物理层包含一个符合 PD 3.1 标准对 CC 通道上的 BMC 编码数据进行通信的发送器和接收器。所有通信都是半双工的。物理层 (PHY) 实施冲突避免，从而最小化通道上的通信错误。机制的实现使得消息被限制为修订版 2.0 的大小，除非发现两个系统都支持更长的消息长度。

#### 2.2.2 VCONN FET

PMG1-S1 共有两个集成 VCONN FET，用于为 CC1 或 CC2 引脚供电。此外，还提供了一个电源输入 VCONN\_Source 引脚，用于通过这些 VCONN FET 为 EMCA 线缆供电。这些 FET 可以在 4.85V 至 5.5V 的有效 VCONN 范围内为每个端口提供 1.5W 的功耗，并且通过 CC1/2 引脚给 EMCA 线缆供电。在任何给定时间内，只会开启两个 VCONN FET 中的一个。

#### 2.2.3 8位 SAR ADC

USB-PD 子系统包含一个速率为 125 ksp/s 的 8 位逐次逼近寄存器模数转换器 (SAR ADC)。ADC 具有一个 8 位 DAC 和一个比较器。DAC 输出作为比较器的正输入。比较器的负输入来自一个 4 输入复用器。多路复用器的四个输入是一对 aMUX\_a 或 aMUX\_b 线、带隙电压 (vbg) 或由二极管连接的 BJT NPN 器件产生的电流电压

## 功能概述

## 2.2.4 USB 2.0 复用器

USB HS复用器包含一个2×2交叉开关，可根据CC (Type-C插头) 方向将系统DP和DM线路由到Type-C顶部或底部端口。未使用的DPLUS和DMINUS顶部或底部线可以连接到UART (调试) 端口。UART的最大工作频率必须为1 Mbps。

USB 2.0 MUX还包含充电器检测/仿真功能，用于检测USB BC1.2和Apple终端。充电器检测模块连接到系统的DP和DM，如图2所示。

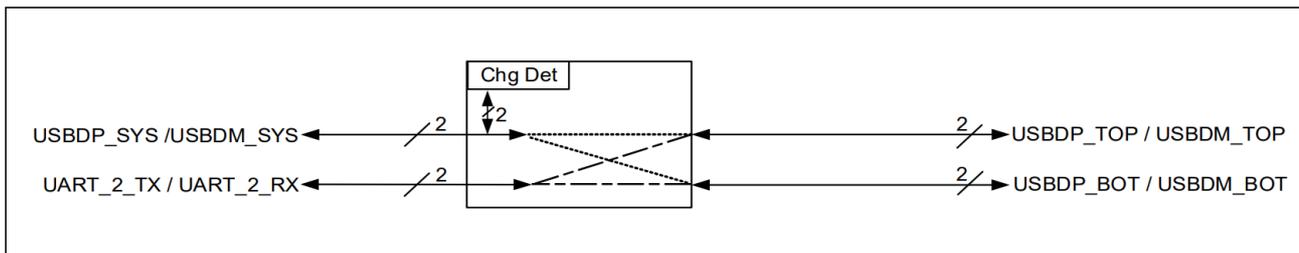


图2 DP/DM开关框图

## 2.2.5 SBU复用器

EZ-PD™ PMG1-S1 集成 SBU 4x2 MUX，可在 DisplayPort 备用模式和 Type-C 方向之间进行选择，如图3所示。Type-C 朝向的 SBU 引脚受到保护，可防止意外短路至高压VBUS。

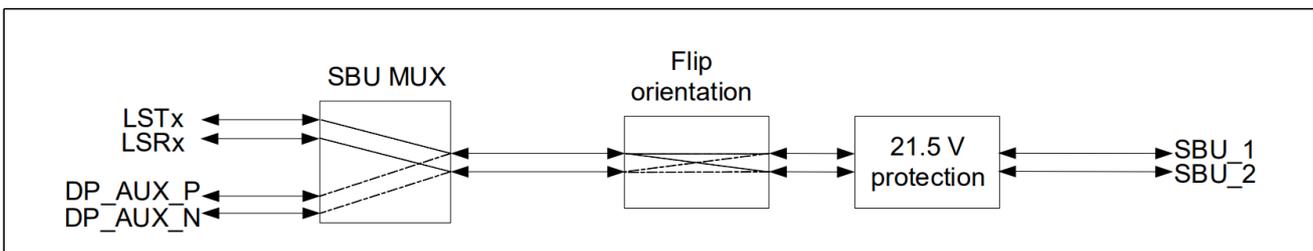


图3 SBU交叉开关内部框图

## 2.2.6 负载开关控制器

PMG1-S1具有一个集成负载开关控制器，其功能如下。

### VBUS上的过压和欠压保护

该芯片为VBUS电源实现一个欠压/过压 (UVOV) 检测电路。UV和OV的阈值均为可编程的值。

### 反向电流保护

PMG1-S1集成了反向电流保护 (RCP) 电路，该电路能够检测持续时间超过10 μs的反向电流，并通过在检测到此类事件时自动关闭栅极来保护系统。

### VBUS放电

PMG1-S1具有一个集成高电压VBUS放电电路。检测到拔线事件后，该芯片会释放残留电荷，并使浮动的VBUS回到vSafe0V

### VBUS调节器

可通过两个电源 (VSY和VBUS) 给PMG1-S1供电。其集成了一个用于获取工作电源电压的调节器 (可支持高达21.5 V的电压)。VSY始终优先于VBUS。在没有VSY的情况下，VBUS将通过调节器给芯片供电。

## 功能概述

### VBUS PFET 的栅极驱动器

它具有两个集成栅极驱动器，用于驱动 VBUS 提供者和接受者路径上的外部 PFET。VBUS\_P\_CTRL 栅极驱动器具有一个有效上拉电阻，因此可以实现驱动为高电平、低电平或高阻抗状态等操作。VBUS\_C\_CTRL 栅极驱动器只能进行驱动为低电平或高阻抗状态的操作，因此要求安装一个外部上拉电阻。这些引脚是 VBUS 的耐电压引脚。负载开关控制器在 VBUS 发送程序路径上支持高达 20 V 的电压。

### 2.2.7 充电器检测

EZ-PD™ PMG1-S1 集成了 USB BC.1.2 的电池充电器仿真和检测和 Apple 充电。

### 2.2.8 耐高压 SBU 和 CC 线路

该芯片支持耐受高电压的 SBU 和 CC 线。在 SBU/CC 通过连接器与 VBUS 短路的情况下，这些线路将在内部受到保护。

### 2.2.9 CSA

EZ-PD™ PMG1-S1 MCU 芯片集成高端电流检测放大器，能够检测供电路径中 5mΩ 外部电阻上的 100 mA 量级电流。该放大器用于监测电流负载，并在 Type-C 端口将 VBUS 拉至受电端时检测 OCP 和 SCP 等系统故障，以便 PD 控制器能够关闭供电端 FET 来保护设备。

### 2.2.10 转换速率可控制的栅极驱动器

EZ-PD™ PMG1-S1 具有一个可编程、转换速率可控制的栅极驱动器，用于限制连接事件期间的涌入电流。

## 2.3 固定功能数字模块

### 2.3.1 定时器/计数器/PWM模块

PMG1-S1共有两个TCPWM模块。定时器/计数器/PWM模块包含一个用户可编程周期长度的16位计数器。另外，还有一个捕获寄存器，用于记录事件发生(可能是I/O事件)时的计数值；一个周期寄存器，用于停止或自动重新加载计数器(如果计数值与周期寄存器的值相等)和一个比较寄存器，用于生成比较值信号，以作为PWM占空比输出使用。每个TCPWM计数器都有启动、停止、计数、重新加载和捕获输入。在PWM模式，它还提供一个用于强制输出进入预定义状态的停止(Kill)输入。例如，在马达驱动系统中，当出现过电流状态时，需要立即通过它来关闭驱动FET的PWM，而没有时间等待软件干预。

### 2.3.2 SCB

PMG1-S1具有四个SCB模块，可以将这些模块配置为I2C、SPI或UART。这些模块可以实现完整的多主设备和从设备I2C接口。这些接口具有多主设备仲裁功能。

**I2C 模式：**I2C 兼容标准飞利浦 I2C 规范 v3.0。这些模块的运行速度高达 1 Mbps，并具有灵活的缓冲选项，可减少 CPU 的中断开销和延迟。SCB 模块支持 8 个深度 FIFO 用于接收 (RX) 和发送 (TX)，通过增加 CPU 读取数据的时间，大大减少了因 CPU 未能按时读取数据而导致的时钟延长。数据吞吐量并非 I2C 的关键考虑因素。

**UART 模式：**这是一个功能齐全的 UART，工作速度高达 1 Mbps。此外，它还支持 9 位多处理器模式，允许通过共用 RX 和 TX 线路对连接的外设进行寻址。支持奇偶校验错误、间断检测和帧错误等常见 UART 功能。

**SPI模式：**SPI模式支持全Motorola SPI、TI SSP(基本上添加了一个用于同步SPI编解码器的启动脉冲)和National Microwire(SPI的半双工形式)。该SPI模块可以使用FIFO。

### 2.3.3 GPIO接口

PMG1-S1具有多达17个GPIO，其中包含SCB和SWD引脚，可以将这些引脚作为GPIO使用。

GPIO模块实现以下功能：

- 支持以下八种强驱动模式：强推拉、电阻上拉和下拉、弱(电阻)上拉和下拉、开漏及开源、仅输入以及禁用。
- 选择输入阈值(CMOS或LVTTTL)。
- 输入和输出禁用的独立控制
- 保持模式，用于锁存前一状态(即保持I/O状态处于深度睡眠模式)
- dV/dt相关噪声控制的可选转换速率。

### 2.3.4 故障安全GPIO

EZ-PD™ PMG1-S1有两个引脚(16和17)是故障安全GPIO。它们是P5.0和P5.1，是SCB0的I<sup>2</sup>C引脚。故障安全功能可确保在VBUS/VSYS断电的情况下，由于I<sup>2</sup>C线路活动导致这些引脚上的逻辑高电平不会对MCU造成反向供电。因此，当PMG1-S1需要独立于I<sup>2</sup>C系统的其他部分供电时，SCB0可用于与外部控制器通信。

### 3 电源系统概述

图 4 概述了 EZ-PD™ PMG1-S1 电源系统。EZ-PD™ PMG1-S1 可采用两种外部电源供电：VBUS（4 V 至 21.5 V）或 VSYS（2.75 V 至 5.5 V）。VBUS 电源由芯片内部的 LDO 稳压。它有两种不同的电源模式：活动模式和深度睡眠模式，两者之间的转换由电源系统管理。VDDIO 是大多数 GPIO 的电源。VDDD 可以短接至 VDDIO。VCCD 引脚是核心（1.8 V）稳压器的输出，引出连接 1  $\mu$ F 电容，仅用于稳压器稳定性。VCCD 引脚不支持用作电源。

表 2 EZ-PD™ PMG1-S1 电源模式

Mode	Description
RESET	Power is valid and XRES is not asserted. An internal reset source is asserted or Sleep Controller is sequencing the system out of reset.
ACTIVE	Power is valid and CPU is executing instructions.
DEEP SLEEP	Main regulator and most blocks are shut off. Deep Sleep regulator powers logic, but only the low-frequency clock is available.

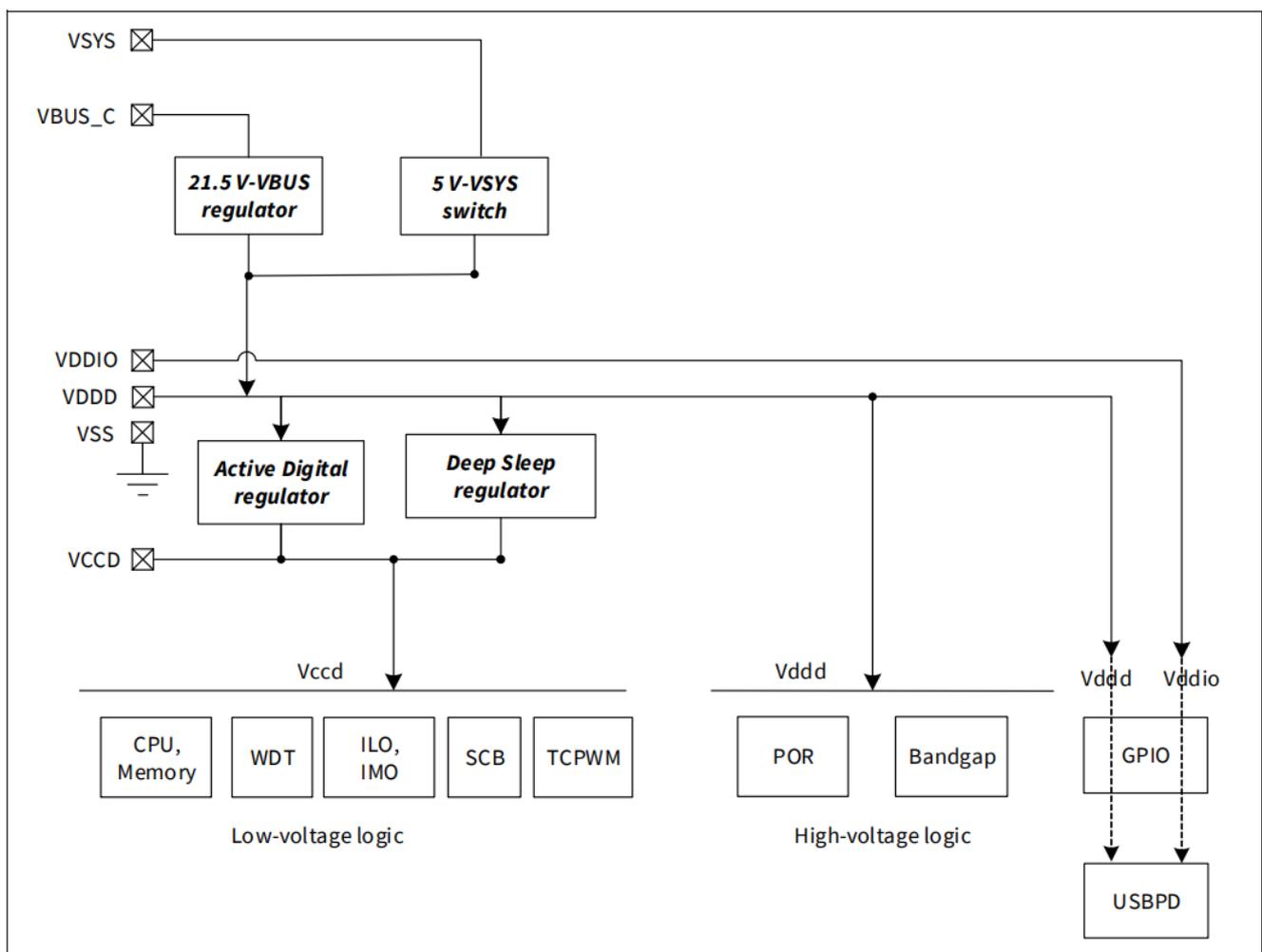


图4 EZ-PD™ PMG1-S1电源系统

## 4 引脚布局

### 4

表3 CYPM1111-40LQXI的引脚分布

Group	40-pin QFN	Pin name	Alternate functions (HSIOM_PORT_SEL)							Description	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1	DS #2		DS #3
GPIO	2	P1.0			scb1_uart_rx		swd_clk		scb1_spi_select		GPIO, SCB1, serial wire debug clock
	3	P1.1	ext_clk_0		scb1_uart_tx	tcpwm0_overflow			scb1_spi_mosi	scb1_i2c_sda	GPIO, TCPWM0, SCB1, external clock connection
	4	P1.2	tcpwm0_line	tcpwm0_compare_match	scb1_uart_cts				scb1_spi_miso	scb1_i2c_scl	GPIO, TCPWM0, SCB1
	5	P1.3			scb1_uart_rts	tcpwm1_overflow			scb1_spi_clk		GPIO, TCPWM1, SCB1
	6	P1.4	tcpwm1_line	tcpwm1_compare_match			swd_data				GPIO, TCPWM1, serial wire debug data
	13	P2.0			scb3_uart_cts			scb3_spi_select		scb3_i2c_scl	GPIO, SCB3
	14	P2.1			scb3_uart_rts			scb3_spi_mosi		scb3_i2c_sda	GPIO, SCB3
	15	P2.2			scb0_uart_cts			scb0_spi_select			GPIO, SCB0
	18	P3.0			scb0_uart_rx		usbpd_hpd	scb0_spi_clk			GPIO, SCB0, Hot Plug Detect for DisplayPort Alt mode
	20	P3.1			scb2_uart_cts				scb2_spi_select	scb2_i2c_sda	GPIO, SCB2
	21	P3.2			scb2_uart_rts				scb2_spi_mosi	scb2_i2c_scl	GPIO, SCB2
	29	P4.0	ext_clk_1		scb2_uart_tx				scb2_spi_miso		GPIO, SCB2, external clock connection
	30	P4.1			scb2_uart_rx				scb2_spi_clk		GPIO, SCB2
	16	P5.0			scb0_uart_rts		swd_data(alt)	scb0_spi_mosi		scb0_i2c_sda	GPIO, SCB0, serial wire debug data (alternate)
17	P5.1			scb0_uart_tx		swd_clk(alt)	scb0_spi_miso		scb0_i2c_scl	GPIO, SCB0, serial wire debug clock (alternate)	
Reset	10	XRES									Reset input to the MCU
MUXes/ switches	34	SBU_2									Type-C auxiliary signal for DisplayPort – connector side
	35	SBU_1									Type-C auxiliary signal for DisplayPort – connector side
	36	AUX_P									Type-C auxiliary signal for DisplayPort – system side
	37	AUX_N									Type-C auxiliary signal for DisplayPort – system side
	38	P0.0/LSTX			scb3_uart_tx			scb3_spi_miso			GPIO, SCB3
	39	P0.1/LSRX			scb3_uart_rx			scb3_spi_clk			GPIO, SCB3

表 3 CYPM1111-40LQXI 的引脚排列 (续)

Group	40-pin QFN	Pin name	Alternate functions (HSIOM_PORT_SEL)							Description	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1	DS #2		DS #3
USB FS	23	USBDP_SYS									Connection to USB 2.0 DP line of the host/device
	24	USBDM_SYS									Connection to USB 2.0 DM line of the host/device
	25	USBDM_BOT									Connection to Type-C D- bottom pin. Keep trace length less than 2 inch
	26	USBDP_BOT									Connection to Type-C D+ bottom pin. Keep trace length less than 2 inch
	27	USBDM_TOP									Connection to Type-C D- top pin. Keep trace length less than 2 inch
	28	USBDP_TOP									Connection to Type-C D+ top pin. Keep trace length less than 2 inch
USB PD Type-C	9	CC1									Connect to Type-C CC1 pin. Filter noise with 390-pF capacitor to GND
	7	CC2									Connect to Type-C CC2 pin. Filter noise with 390-pF capacitor to GND
VBUS OCP/SCP /RCP	1	CSP									Current Sense Positive input pin.
	40	CSN									Current Sense Negative input pin
VBUS PFET control	11	VBUS_P_CTRL									Slew Rate controlled output pin for enable/disable Provider side PFET 0: Path ON, High Z: Path OFF
	12	VBUS_C_CTRL									Output pin to enable/disable Consumer side PFET 0: Path ON, High Z: Path OFF

表 3 CYPM1111-40LQXI 的引脚排列 (续)

Group	40-pin QFN	Pin name	Alternate functions (HSIOM_PORT_SEL)							Description	
			ACT #0	ACT #1	ACT #2	ACT #3	DS #0	DS #1	DS #2		DS #3
Power	19	VSYS									Supply input (2.75 V–5.5 V) for PD subsystem and System resources.
	22	VBUS									Supply input (4 V–21.5 V) for VBUS to 3.3-V regulator. This pin also discharges VBUS using internal pull-down and also has monitors for overvoltage and undervoltage conditions.
	8	VCONN_source									4.85-V to 5.5-V supply input to power EMCA cables. Connected to CC1 or CC2 using low impedance switches. NA for UFP/Sink only applications
	31	VDDD									Output of VBUS to 3.3-V regulator or connected to VSYS using switch. Bypass with cap to gnd. This pin can drive 2-mA external load.
	32	VDDIO									1.71 V–5.5 V supply for I/Os
	33	VCCD									1.8-V regulator output for filter capacitor. This pin cannot drive external load
GND	EPAD	VSS									Ground

## 引脚布局

表4为串行接口提供了各种配置选项。

表4 SCB及其功能

Port	40-pin QFN	SCB function			GPIO functionality
Pin	Pin number	UART	SPI	I2C	
P5.0	16	UART_0_RTS	SPI_0_MOSI	I2C_0_SDA	GPIO
P5.1	17	UART_0_TX	SPI_0_MISO	I2C_0_SCL	GPIO
P3.0	18	UART_0_RX	SPI_0_CLK	–	GPIO
P2.2	15	UART_0_CTS	SPI_0_SEL	–	GPIO
P1.0	2	UART_1_RX	SPI_1_SEL	–	SWD_CLK/GPIO
P1.1	3	UART_1_TX	SPI_1_MOSI	I2C_1_SDA	GPIO
P1.2	4	UART_1_CTS	SPI_1_MISO	I2C_1_SCL	GPIO
P1.3	5	UART_1_RTS	SPI_1_CLK	–	GPIO
P3.1	20	UART_2_CTS	SPI_2_SEL	I2C_2_SDA	GPIO
P3.2	21	UART_2_RTS	SPI_2_MOSI	I2C_2_SCL	GPIO
P4.0	29	UART_2_TX	SPI_2_MISO	–	GPIO
P4.1	30	UART_2_RX	SPI_2_CLK	–	GPIO
P2.0	13	UART_3_CTS	SPI_3_SEL	I2C_3_SCL	GPIO
P2.1	14	UART_3_RTS	SPI_3_MOSI	I2C_3_SDA	GPIO
P0.0	38	UART_3_TX	SPI_3_MISO	–	GPIO
P0.1	39	UART_3_RX	SPI_3_CLK	–	GPIO

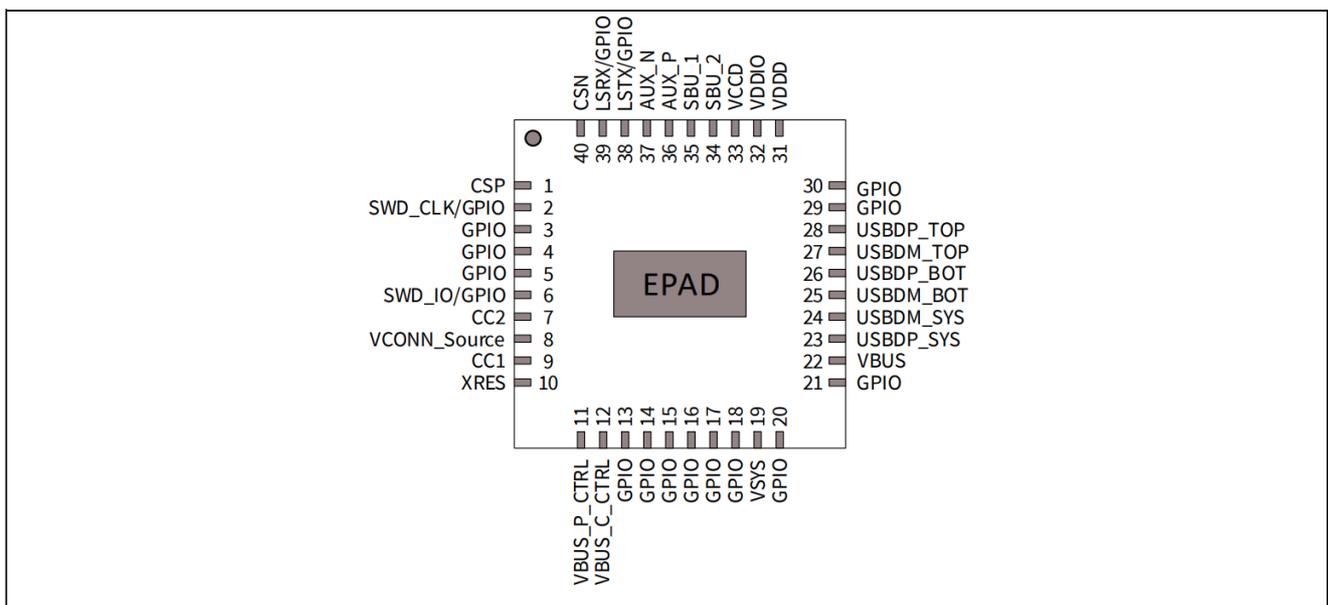


图5 CYPM1111-40LQXI的40-QFN引脚映射 (顶视图)

## 5 应用程序框图

图6所示为使用 EZ-PD™ PMG1-S1 的受电应用。它主要包含两个部分：一个用于向应用供电的 USB Type-C 插座，以及一个用作输出电源的负载。

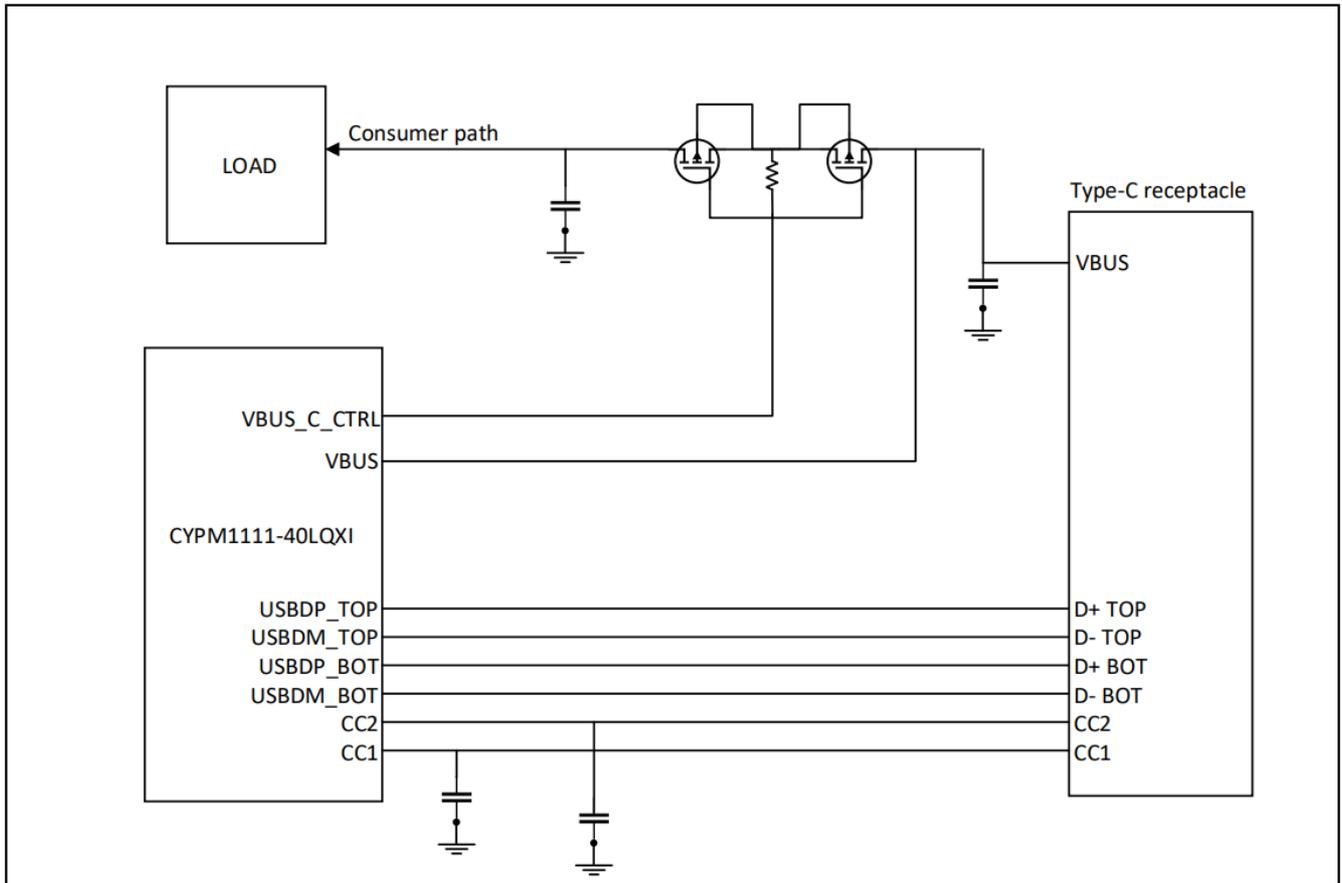


图6 EZ-PD™ PMG1-S1型接收器应用图

## 应用程序框图

图7 图示为使用 EZ-PD™ PMG1-S1 的 DRP 应用。在此类应用中，Type-C 端口既用作电源提供者，又用作电源消费者。VBUS FET 用于通过 VBUS 提供或消耗电源。

EZ-PD™ PMG1-S1 的 VBUS 引脚内置 VBUS 监控电路，可检测 VBUS 上的 OVP 和 UVP。此外，电源和供电 FET 之间的 5 mΩ 电阻可检测 VBUS 上的过流。EZ-PD™ PMG1-S1 器件还集成了 VCONN FET，适用于需要为配件和电缆供电的应用。

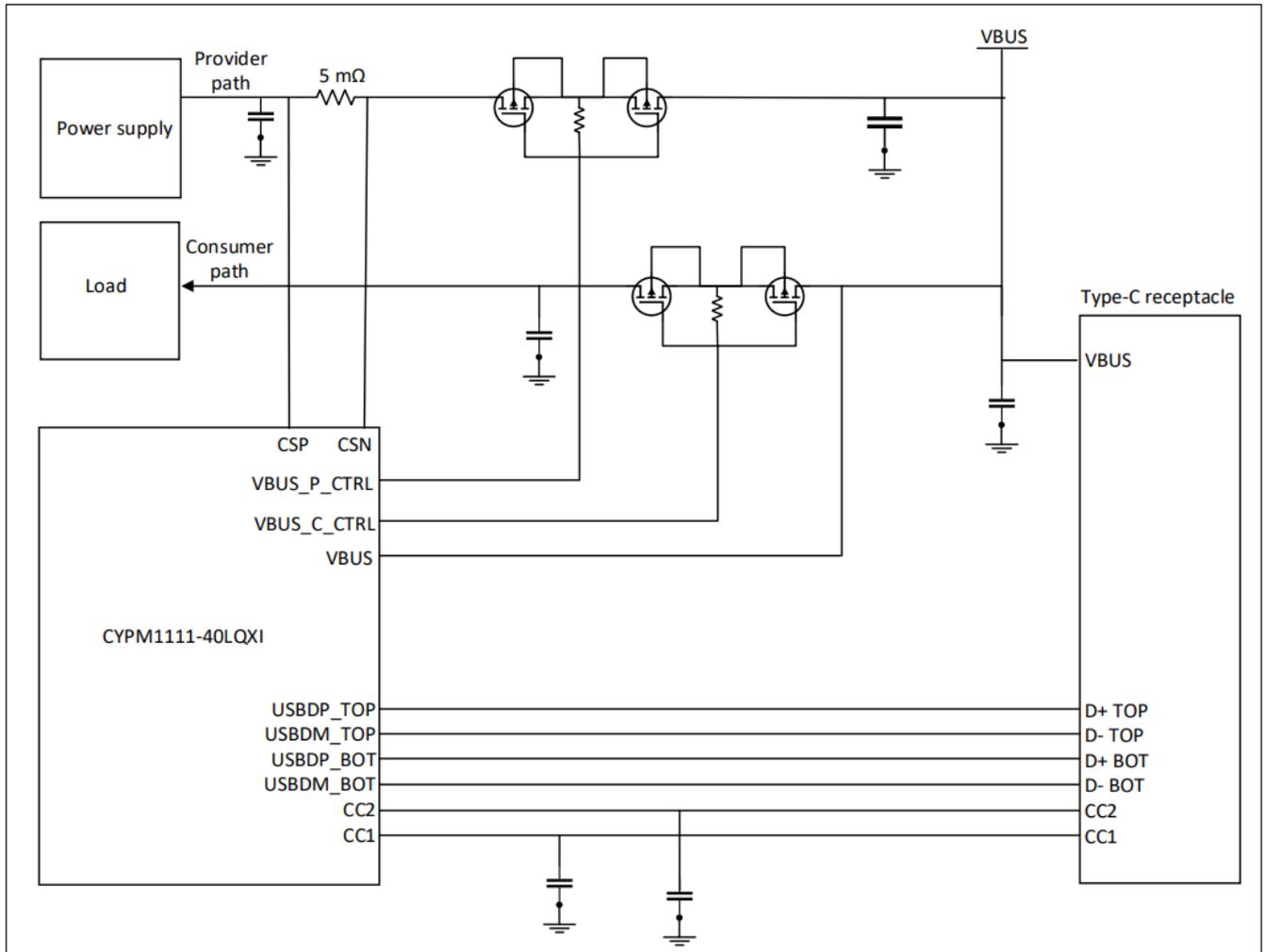


图7 EZ-PD™ 基于PMG1-S1的DRP应用图

## 6 电气规格参数

### 6.1 绝对最大额定值

表 5 绝对最大额定值<sup>[3]</sup>

Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
V <sub>SYS_MAX</sub>	Supply relative to V <sub>SS</sub>	–	–	6	V <sup>[4]</sup>	–
V <sub>CONN_SOURCE_MAX</sub>	Max supply voltage relative to V <sub>SS</sub>	–	–	6	V	
V <sub>BUS_MAX</sub>	Max V <sub>BUS</sub> voltage relative to V <sub>SS</sub>	–	–	24	V	
V <sub>DDIO_MAX</sub>	Max supply voltage relative to V <sub>SS</sub>	–	–	V <sub>DDD</sub>	V	
V <sub>GPIO_ABS</sub>	Inputs to GPIO, DP/DM MUX (USBDP/DM_SYS, USBDP/DM_TOP/BOT/SBU_1/SBU_2)	–0.5 <sup>[5]</sup>	–	V <sub>DDIO</sub> + 0.5	V	
I <sub>GPIO_ABS</sub>	Maximum current per GPIO	–25	–	25	mA	–
I <sub>GPIO_INJECTION</sub>	GPIO injection current, Max for V <sub>IH</sub> > V <sub>DDD</sub> , and Min for V <sub>IL</sub> < V <sub>SS</sub>	–0.5	–	0.5	mA	Absolute max, current injected per pin
ESD_HBM	Electrostatic discharge human body model (ESD-HBM)	2200	–	–	V	–
ESD_HBM_SBU	Electrostatic discharge human body model for SBU1, SBU2 pins	1100	–	–	V	Only applicable to SBU1 and SBU2 pins
ESD_CDM	Electrostatic discharge charged device model (ESD-CDM)	500	–	–	V	–
LU	Pin current for latch-up	–200	–	200	mA	–
V <sub>CC_PIN_ABS</sub>	Max voltage on CC1 and CC2 pins	–	–	24	V	–
V <sub>SBU_PIN_ABS</sub>	Max voltage on SBU1 and SBU2 pins	–	–	24	V	–
V <sub>GPIO_FAILSAFE_ABS</sub>	Fail-Safe pins (16, 17) voltage	–0.5	–	6	V	–

#### 注释：

- 表 5 列出了绝对最大条件之上的使用可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性。最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103 高温存储寿命。在绝对最大条件以下但高于正常工作条件的情况下使用时，器件可能无法按规格运行。
- 除非另有说明，否则所有电压均为对地电压。
- 在一个系统中，如果负尖峰超过此处指定的最小电压，建议添加肖特基二极管来钳位负尖峰。

## 电气规格参数

## 6.2 基于引脚的绝对最大额定值

表 6 基于引脚的绝对最大额定值

S. No	Pin (40-QFN)	Name	Absolute minimum (V)	Absolute maximum (V)	Remarks
1	2	P1.0	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
2	3	P1.1	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
3	4	P1.2	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
4	5	P1.3	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
5	6	P1.4	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
6	13	P2.0	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
7	14	P2.1	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
8	15	P2.2	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
9	16	P5.0	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
10	17	P5.1	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
11	18	P3.0	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
12	20	P3.1	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
13	21	P3.2	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
14	29	P4.0	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
15	30	P4.1	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
16	38	P0.0	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
17	39	P0.1	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
18	9	CC1	-0.5	24	-
19	7	CC2	-0.5	24	-
20	23	USBDP_SYS	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
21	24	USBDM_SYS	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
22	25	USBDM_BOT	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
23	26	USBDP_BOT	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
24	27	USBDM_TOP	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
25	28	USBDP_TOP	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
26	11	VBUS_P_CTRL	-0.5	24	This is an output only pin
27	12	VBUS_C_CTRL	-0.5	24	This is an output only pin
28	34	SBU_2	-0.5	24	-
29	35	SBU_1	-0.5	24	-
30	36	AUX_P	-0.5	6	-
31	37	AUX_N	-0.5	6	-
32	1	CSP	-0.5	6	-
33	40	CSN	-0.5	6	-
34	10	XRES	-0.5	6	Maximum voltage cannot exceed VDDIO + 0.5
35	8	VCONN_Source	-0.5	6	-
36	19	VSYS	-0.5	6	-
37	22	VBUS	-	24	-
38	31	VDDD	-	6	This is an output only pin
39	32	VDDIO	-	VDDD	-
40	33	VCCD	-0.5	1.95	This is an output only pin
41	EPAD	VSS	-	-	-

## 电气规格参数

## 6.3 器件级规范

除非另有说明，所有规格均适用于  $-40^{\circ}\text{C} \leq T_A \leq 85^{\circ}\text{C}$  和  $T_J \leq 100^{\circ}\text{C}$ 。除非另有说明，否则这些规范的适用电压范围为 3.0V ~ 5.5V。

## 6.3.1 直流规范

表7 直流规范 (工作条件)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PWR#23	V <sub>SYS</sub>	V <sub>SYS</sub> valid range	2.75	-	5.5	V	UFP applications
SID.PWR#23_A	V <sub>SYS</sub>	V <sub>SYS</sub> valid range	3	-	5.5	V	DFP/DRP applications
SID.PWR#22	V <sub>BUS</sub>	V <sub>BUS</sub> valid range	4	-	21.5	V	-
SID.PWR#1	V <sub>DDD</sub>	Regulated output voltage when V <sub>SYS</sub> powered (not to be driven externally)	V <sub>SYS</sub> - 0.05	-	V <sub>SYS</sub>	V	-40°C to +85°C T <sub>A</sub>
SID.PWR#1_A	V <sub>DDD</sub>	Regulated output voltage when V <sub>BUS</sub> powered (not to be driven externally)	3	-	3.65	V	-40°C to +85°C T <sub>A</sub>
SID.PWR#26	V <sub>conn_source</sub>	Power supply for V <sub>conn</sub>	4.85	-	5.5	V	-40°C to +85°C T <sub>A</sub>
SID.PWR#13	V <sub>DDIO</sub>	Supply voltage for IO	V <sub>DDD</sub>	-	V <sub>DDD</sub>	V	-40°C to +85°C T <sub>A</sub>
SID.PWR#24	V <sub>CCD</sub>	Regulated output voltage (for Core Logic)	-	1.8	-	V	-
SID.PWR#15	C <sub>EFC</sub>	Regulator bypass capacitor for V <sub>CCD</sub>	80	100	120	nF	X5R ceramic
SID.PWR#16	C <sub>EXC</sub>	Regulator bypass capacitor for V <sub>DDD</sub>	-	1	-	μF	

在活动模式下，V<sub>SYS</sub> = 2.7 V ~ 5.5 V. 典型值的测量条件为：V<sub>DDD</sub> = 3.3 V

SID.PWR#4	I <sub>DD12</sub>	Supply current	-	10	-	mA	T <sub>A</sub> = 25°C, CC I/O IN Transmit or Receive, no I/O sourcing current, CPU at 24 MHz, PD port active
-----------	-------------------	----------------	---	----	---	----	--

深度睡眠模式，V<sub>SYS</sub> = 2.75 V ~ 3.6 V

SID34	I <sub>DD29</sub>	V <sub>SYS</sub> = 2.7 to 3.6 V, I <sup>2</sup> C, wakeup and WDT on.	-	150	-	μA	V <sub>SYS</sub> = 3.3 V, T <sub>A</sub> = 25°C,
SID_DS1	I <sub>DD_DS1</sub>	V <sub>SYS</sub> = 3.3 V, CC wakeup on, Type-C not connected.	-	150	-	μA	Power source = V <sub>SYS</sub> , Type-C not attached, CC enabled for wakeup, R <sub>p</sub> and R <sub>d</sub> connected at 70-ms intervals by CPU. R <sub>p</sub> , R <sub>d</sub> connection should be enabled for PD port.
SID_DS3	I <sub>DD_DS2</sub>	V <sub>SYS</sub> = 3.3 V, CC wakeup on, DP/DM, SBU ON with ADC/CSA/UVOV ON	-	500	-	μA	ID <sub>DD_DS1</sub> + DP/DM, CC SBU ON, ADC/CSA/UVOV ON

## XRES电流

SID307	I <sub>DD_XR</sub>	Supply current while XRES asserted	-	50	-	μA	Power Source = V <sub>SYS</sub> = 3.3 V, Type-C not attached, T <sub>A</sub> = 25°C
--------	--------------------	------------------------------------	---	----	---	----	---

## 电气规格参数

## 6.3.2 CPU

表8 CPU规范 (由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#4	$F_{CPU}$	CPU input frequency	-	-	48	MHz	All $V_{DD}$ , $-40^{\circ}\text{C}$ to $+85^{\circ}\text{C}$ $T_A$
SID.PWR#21	$T_{DEEPSLEEP}$	Wakeup from Deep Sleep mode	-	35	-	$\mu\text{s}$	Guaranteed by characterization
SID.XRES#5	$T_{XRES}$	External reset pulse width	5	-	-	$\mu\text{s}$	
SYS.FES#1	$T_{PWR\_RDY}$	Power-up to "Ready to accept I <sup>2</sup> C/CC command"	-	5	25	ms	

## 6.3.3 GPIO

表9 GPIO 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GIO#37	$V_{IH\_CMOS}$	Input voltage HIGH threshold	$0.7 \times V_{DDIO}$	-	-	V	CMOS input
SID.GIO#38	$V_{IL\_CMOS}$	Input voltage LOW threshold	-	-	$0.3 \times V_{DDIO}$	V	CMOS input
SID.GIO#39	$V_{IH\_VDDIO2.7-}$	LVTTL input, $V_{DDIO} < 2.7\text{ V}$	$0.7 \times V_{DDIO}$	-	-	V	-
SID.GIO#40	$V_{IL\_VDDIO2.7-}$	LVTTL input, $V_{DDIO} < 2.7\text{ V}$	-	-	$0.3 \times V_{DDIO}$	V	-
SID.GIO#41	$V_{IH\_VDDIO2.7+}$	LVTTL input, $V_{DDIO} \geq 2.7\text{ V}$	2.0	-	-	V	-
SID.GIO#42	$V_{IL\_VDDIO2.7+}$	LVTTL input, $V_{DDIO} \geq 2.7\text{ V}$	-	-	0.8	V	-
SID.GIO#33	$V_{OH}$	Output voltage HIGH level	$V_{DDIO} - 0.6$	-	-	V	$I_{OH} = -4\text{ mA}$ at $3\text{ V } V_{DDIO}$
SID.GIO#34	$V_{OH}$	Output voltage HIGH level	$V_{DDIO} - 0.5$	-	-	V	$I_{OH} = -1\text{ mA}$ at $1.8\text{ V } V_{DDIO}$
SID.GIO#35	$V_{OL}$	Output voltage LOW level	-	-	0.6	V	$I_{OL} = 4\text{ mA}$ at $1.8\text{ V } V_{DDIO}$
SID.GIO#35A	$V_{OL\_I2C\_2}$	Output low voltage			0.4	V	$I_{OL} = 3\text{ mA}$ , $V_{DDIO} > 2\text{ V}$
SID.GIO#35B	$V_{OL\_I2C\_3}$	Output low voltage			0.6 <sup>[6]</sup>	V	$I_{OL} = 6\text{ mA}$ , $V_{DDIO} > 1.71\text{ V}$
SID.GIO#35C	$V_{OL1\_20mA}$	Output low voltage			0.4	V	$I_{OL} = 20\text{ mA}$ , $V_{DDIO} > 3.0\text{ V}$ , Applicable for fail-safe pins only
SID.GIO#36	$V_{OL}$	Output voltage LOW level	-	-	0.6	V	$I_{OL} = 10\text{ mA}$ at $3\text{-V } V_{DDIO}$
SID.GIO#5	R <sub>pu</sub>	Pull-up resistor when enabled	3.5	5.6	8.5	k $\Omega$	$+25^{\circ}\text{C } T_A$ , All $V_{DDIO}$
SID.GIO#6	R <sub>pd</sub>	Pull-down resistor when enabled	3.5	5.6	8.5	k $\Omega$	$+25^{\circ}\text{C } T_A$ , All $V_{DDIO}$
SID.GIO#16	$I_{IL}$	Input leakage current (absolute value)	-	-	2	nA	$+25^{\circ}\text{C } T_A$ , $3\text{ V } V_{DDIO}$
SID.GIO#17	$C_{PIN}$	Max pin capacitance	-	3	7	pF	$-40^{\circ}\text{C}$ to $+85^{\circ}\text{C } T_A$ , all $V_{DDIO}$ , all package, all IOs

## 电气规格参数

表 9 GPIO 直流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GIO#43	V <sub>HYSTTL</sub>	Input hysteresis, LVTTTL	15	40	–	mV	V <sub>DDIO</sub> > 2.7 V. Guaranteed by characterization.
SID.GIO#44	V <sub>HYS CMOS</sub>	Input hysteresis CMOS	0.05 × V <sub>DDIO</sub>	–	–	mV	V <sub>DDIO</sub> < 4.5 V
SID.GIO#44A	V <sub>HYS CMOS55</sub>	Input hysteresis CMOS	200	–	–	mV	V <sub>DDIO</sub> > 4.5 V

表 10 GPIO 交流电规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID70	T <sub>RISE F</sub>	Rise time in Fast Strong mode	2	–	12	ns	3.3 V V <sub>DDIO</sub> , C <sub>load</sub> = 25 pF
SID71	T <sub>FALL F</sub>	Fall time in Fast Strong mode	2	–	12	ns	3.3 V V <sub>DDIO</sub> , C <sub>load</sub> = 25 pF
SID.GIO#46	T <sub>RISE S</sub>	Rise time in Slow Strong mode	10	–	60	ns	3.3 V V <sub>DDIO</sub> , C <sub>load</sub> = 25 pF
SID.GIO#47	T <sub>FALL S</sub>	Fall time in Slow Strong mode	10	–	60	ns	3.3 V V <sub>DDIO</sub> , C <sub>load</sub> = 25 pF
SID.GIO#48	F <sub>GPIO_OUT1</sub>	GPIO F <sub>OUT</sub> ; 3.3 V ≤ V <sub>DDIO</sub> ≤ 5.5 V. Fast Strong mode.	–	–	16	MHz	90/10%, 25-pF load
SID.GIO#49	F <sub>GPIO_OUT2</sub>	GPIO F <sub>OUT</sub> ; 1.71 V ≤ V <sub>DDIO</sub> ≤ 3.3 V. Fast Strong mode.	–	–	16	MHz	90/10%, 25-pF load
SID.GIO#50	F <sub>GPIO_OUT3</sub>	GPIO F <sub>OUT</sub> ; 3.3 V ≤ V <sub>DDIO</sub> ≤ 5.5 V. Slow Strong mode.	–	–	7	MHz	90/10%, 25-pF load
SID.GIO#51	F <sub>GPIO_OUT4</sub>	GPIO F <sub>OUT</sub> ; 1.71 V ≤ V <sub>DDIO</sub> ≤ 3.3 V. Slow Strong mode.	–	–	3.5	MHz	90/10%, 25-pF load
SID.GIO#52	F <sub>GPIO_IN</sub>	GPIO input operating frequency; 1.71 V ≤ V <sub>DDIO</sub> ≤ 5.5 V.	–	–	16	MHz	90/10% V <sub>IO</sub>

表 11 XRES 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.XRES#1	V <sub>IH</sub>	Input voltage HIGH threshold	0.7 × V <sub>DDIO</sub>	–	–	V	CMOS input
SID.XRES#2	V <sub>IL</sub>	Input voltage LOW threshold	–	–	0.3 × V <sub>DDIO</sub>	V	CMOS input

## 注:

6. 为了以 400 kHz 驱动满总线负载, 在 0.6 V V<sub>OL</sub> 时需要 6 mA I<sub>OL</sub>。不符合此规格的器件仍可工作, 但在 400 kHz 和 400 pF 下无法工作。

## 电气规格参数

表 11 XRES DC 规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.XRES#3	$C_{IN}$	Input capacitance	-	-	7	pF	-
SID.XRES#4	$V_{HYSXRES}$	Input voltage hysteresis	-	$0.05 \times V_{DDIO}$	-	mV	Guaranteed by characterization

## 电气规格参数

## 6.4 数字外设

## 6.4.1 GPIO引脚的脉冲宽度调制 (PWM)

下列规范适用于定时器模式下的定时器/计数器/PWM外设。

表 12 PWM 交流规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.TCPWM.3	$T_{CPWMFREQ}$	Operating frequency	–	–	Fc	MHz	Fc max = CLK_SYS. Maximum = 48 MHz.
SID.TCPWM.4	$T_{PWMENEXT}$	Input trigger pulse width	2/Fc	–	–	ns	For all trigger events
SID.TCPWM.5	$T_{PWMEXT}$	Output trigger pulse width	2/Fc	–	–	ns	Minimum possible width of Overflow, Underflow, and CC (Counter equals Compare value) outputs
SID.TCPWM.5A	$T_{CRES}$	Resolution of counter	1/Fc	–	–	ns	Minimum time between successive counts
SID.TCPWM.5B	$PWM_{RES}$	PWM resolution	1/Fc	–	–	ns	Minimum pulse width of PWM output
SID.TCPWM.5C	$Q_{RES}$	Quadrature inputs resolution	1/Fc	–	–	ns	Minimum pulse width between quadrature-phase inputs

6.4.2 I<sup>2</sup>C表 13 固定I<sup>2</sup>C交流规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID153	$F_{I2C1}$	Bit rate	–	–	1	Mbps	–

## 6.4.3 UART

表 14 固定UART交流规范

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID162	$F_{UART}$	Bit rate	–	–	1	Mbps	–

## 6.4.4 SPI

表 15 固定SPI 交流规格

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID166	$F_{SPI}$	SPI operating frequency (Master; 6x oversampling)	–	–	8	MHz	–

## 电气规格参数

表16 SPI主设备模式的固定交流规范

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID167	T <sub>DMO</sub>	MOSI valid after SClk driving edge	-	-	15	ns	-
SID168	T <sub>DSI</sub>	MISO valid before SClk capturing edge	20	-	-	ns	Full clock, late MISO sampling
SID169	T <sub>HMO</sub>	Previous MOSI data hold time	0	-	-	ns	Referred to slave capturing edge

表17 SPI从设备模式的固定交流规范

(由特性保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID170	T <sub>DMI</sub>	MOSI valid before Sclck capturing edge	40	-	-	ns	-
SID171	T <sub>DSO</sub>	MISO valid after Sclck driving edge	-	-	48 + (3 × T <sub>SCB</sub> )	ns	T <sub>SCB</sub> = T <sub>CPU</sub>
SID171A	T <sub>DSO_EXT</sub>	MISO valid after Sclck driving edge in Ext Clk mode	-	-	48	ns	-
SID172	T <sub>HSO</sub>	Previous MISO data hold time	0	-	-	ns	-
SID172A	T <sub>SSELSCK</sub>	SSEL valid to first SCK Valid edge	100	-	-	ns	-

## 6.4.5 存储器

表18 Flash AC 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.MEM#4	T <sub>ROW_WRITE</sub>	Row (Block) write time (erase and program)	-	-	20	ms	-40°C to 85°C, All V <sub>DD</sub>
SID.MEM#3	T <sub>ROW_ERASE</sub>	Row erase time	-	-	13	ms	-40°C to 85°C, All V <sub>DD</sub>
SID.MEM#8	T <sub>ROWPROGRAM</sub>	Row program time after erase	-	-	7	ms	25°C to 55°C, All V <sub>DD</sub>
SID178	T <sub>BULKERASE</sub>	Bulk erase time (128 KB)	-	-	35	ms	Guaranteed by design
SID180	T <sub>DEVPROG</sub>	Total device program time	-	-	25	s	Guaranteed by design
SID.MEM#6	F <sub>ENPB</sub>	Flash endurance	100K	-	-	cycles	-
SID182	F <sub>RET1</sub>	Flash retention, T <sub>A</sub> ≤ 55°C, 100K P/E cycles	20	-	-	years	25°C to 55°C, All V <sub>DD</sub>
SID182A	F <sub>RET2</sub>	Flash retention, T <sub>A</sub> ≤ 85°C, 10K P/E cycles	10	-	-	years	-
SID182B	F <sub>RET3</sub>	Flash retention, T <sub>A</sub> ≤ 85°C, 10K P/E cycles	3	-	-	years	-

## 电气规格参数

## 6.5 系统资源

## 6.5.1 欠压情况下的上电复位 (POR)

表 19 上电复位 (POR)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID185	V <sub>RISEIPOR</sub>	Rising trip voltage	0.8	-	1.5	V	Guaranteed by characterization
SID186	V <sub>FALLIPOR</sub>	Falling trip voltage	0.7	-	1.4	V	

表 20 掉电复位 (BOR)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID190	V <sub>FALLPPOR</sub>	Brownout detect (BOD) trip voltage in active/sleep modes	1.48	-	1.62	V	Guaranteed by characterization
SID192	V <sub>FALLDPSLP</sub>	BOD trip voltage in Deep Sleep mode	1.1	-	1.5	V	

## 6.5.2 SWD接口

表 21 SWD接口规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.SWD#1	F_SWDCLK1	$3.3\text{ V} \leq V_{DDIO} \leq 5.5\text{ V}$	-	-	14	MHz	SWDCLK $\leq$ 1/3 CPU clock frequency
SID.SWD#2	F_SWDCLK2	$1.8\text{ V} \leq V_{DDIO} \leq 3.3\text{ V}$	-	-	7	MHz	SWDCLK $\leq$ 1/3 CPU clock frequency
SID.SWD#3	T_SWDI_SETUP	$T = 1/f$ SWDCLK	$0.25 \times T$	-	-	ns	Guaranteed by characterization
SID.SWD#4	T_SWDI_HOLD	$T = 1/f$ SWDCLK	$0.25 \times T$	-	-	ns	
SID.SWD#5	T_SWDO_VALID	$T = 1/f$ SWDCLK	-	-	$0.50 \times T$	ns	
SID.SWD#6	T_SWDO_HOLD	$T = 1/f$ SWDCLK	1	-	-	ns	

## 6.5.3 内部主振荡器

表 22 IMO AC 规格

(由设计保证)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#13	F <sub>IMOTOL</sub>	Frequency variation at 48 MHz (trimmed)	-2	-	+2	%	$2.7\text{ V} \leq V_{DD} < 5.5\text{ V}$ , $-25^\circ\text{C} \leq T_A \leq 85^\circ\text{C}$
SID226	T <sub>STARTIMO</sub>	IMO start-up time	-	-	7	$\mu\text{s}$	-
SID.CLK#1	F <sub>IMO</sub>	IMO frequency	-	48	-	MHz	$-40^\circ\text{C}$ to $+85^\circ\text{C}$ T <sub>A</sub> , All V <sub>DD</sub>

## 6.5.4 内部低速振荡器

表 23 ILO AC 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID234	T <sub>STARTILO1</sub>	I <sub>LO</sub> start-up time	-	-	2	ms	Guaranteed by characterization
SID238	T <sub>ILODUTY</sub>	I <sub>LO</sub> duty cycle	40	50	60	%	
SID.CLK#5	F <sub>ILO</sub>	I <sub>LO</sub> frequency	20	40	80	kHz	-

电气规格参数

## 6.5.5 PD

表 24 PD直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID.DC.cc_shvt.1	vSwing	Transmitter output high voltage	1.05	-	1.2	V	-
SID.DC.cc_shvt.2	vSwing_low	Transmitter output low voltage		-	0.075	V	-
SID.DC.cc_shvt.3	zDriver	Transmitter output impedance	33	-	75	Ω	-
SID.DC.cc_shvt.4	zBmcRx	Receiver input impedance	10	-		MΩ	Guaranteed by design
SID.DC.cc_shvt.5	Idac_std	Source current for USB standard advertisement	64	-	96	μA	-
SID.DC.cc_shvt.6	Idac_1p5a	Source current for 1.5A at 5 V advertisement	165.6	-	194.4	μA	-
SID.DC.cc_shvt.7	Idac_3a	Source current for 3A at 5 V advertisement	303.6	-	356.4	μA	-
SID.DC.cc_shvt.8	R <sub>D</sub>	Pull down termination resistance when acting as UFP (upstream facing port)	4.59	-	5.61	kΩ	-
SID.DC.cc_shvt.9	Rd_db	Pull down termination resistance when acting as UFP, with dead battery	4.08	-	6.12	kΩ	-
SID.DC.cc_shvt.10	zOPEN	CC impedance to ground when disabled	108	-		kΩ	-
SID.DC.cc_shvt.11	DFP_default_0p2	CC voltages on DFP side-Standard USB	0.15	-	0.25	V	-
SID.DC.cc_shvt.12	DFP_1.5A_0p4	CC voltages on DFP side-1.5A	0.35	-	0.45	V	-
SID.DC.cc_shvt.13	DFP_3A_0p8	CC voltages on DFP side-3A	0.75	-	0.85	V	-
SID.DC.cc_shvt.14	DFP_3A_2p6	CC voltages on DFP side-3A	2.45	-	2.75	V	-
SID.DC.cc_shvt.15	UFP_default_0p66	CC voltages on UFP side-Standard USB	0.61	-	0.7	V	-
SID.DC.cc_shvt.16	UFP_1.5A_1p23	CC voltages on UFP side-1.5A	1.16	-	1.31	V	-
SID.DC.cc_shvt.17	Vattach_ds	Deep sleep attach threshold	0.3	-	0.6	%	-
SID.DC.cc_shvt.18	Rattach_ds	Deep sleep pull-up resistor	10	-	50	kΩ	-
SID.DC.cc_shvt.30	FS_0p53	Voltage threshold for fast swap detect	0.49	-	0.58	V	-

## 电气规格参数

## 6.5.6 ADC

表25 ADC直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.ADC.1	Resolution	ADC resolution	–	8	–	Bits	Valid for 8 bits
SID.ADC.2	INL	Integral nonlinearity	–1.5	–	1.5	LSB	–
SID.ADC.3	DNL	Differential nonlinearity	–2.5	–	2.5	LSB	–
SID.ADC.4	Gain Error	Gain error	–1.5	–	1.5	LSB	–
SID.ADC.5	VREF_ADC1	Reference voltage of ADC	$V_{DDmin}$	–	$V_{DDmax}$	V	Reference voltage generated from $V_{DD}$
SID.ADC.6	VREF_ADC2	Reference voltage of ADC	1.96	2.0	2.04	V	Reference voltage generated from deep sleep reference

## 6.5.7 充电器检测

表26 充电器检测直流规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.CHGDET.1	VDAT_REF	Data detect voltage in charger detect mode	250	–	400	mV	–
DC.CHGDET.2	VDM_SRC	Dn voltage source in charger detect mode	500	–	700	mV	–
DC.CHGDET.3	VDP_SRC	Dp voltage source in charger detect mode	500	–	700	mV	–
DC.CHGDET.4	IDM_SINK	Dn sink current in charger detect mode	25	–	175	$\mu$ A	–
DC.CHGDET.5	IDP_SINK	Dp sink current in charger detect mode	25	–	175	$\mu$ A	–
DC.CHGDET.6	IDP_SRC	Data contact detect current source	7	–	13	$\mu$ A	–
DC.CHGDET.32	RDM_UP	Dp/Dm pull-up resistance	0.9	–	1.575	k $\Omega$	–
DC.CHGDET.31	RDM_DWN	Dp/Dm pull-down resistance	14.25	–	24.8	k $\Omega$	–
DC.CHGDET.29	RDAT_LKG	Data line leakage on Dp/Dm	300	–	500	k $\Omega$	–
DC.CHGDET.34	VSETH	Logic Threshold	1.26	–	1.54	V	–
DC.pmg1s1.dpdm.14	RDCP_DAT	Dedicated charging port resistance across DP and DN	–	–	40	$\Omega$	–

6.5.8  $V_{sys}$  开关表 27  $V_{sys}$  开关规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.DC.VDDDSW.1	Res_sw	Resistance from supply input to output supply $V_{DD}$	–	–	1.5	$\Omega$	Measured with a load current of 5 mA to 10 mA on $V_{DD}$ .

## 电气规格参数

## 6.5.9 CSA

表 28 CSA直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.csa_scp.42	SCP_6A	Short circuit current detect @ 6A	-	±10	-	%	-
DC.csa_scp.43	SCP_10A	Short circuit current detect @10A	-	±10	-	%	-
OP.csa_scp.11	Rsense	External sense register	-	5	-	mΩ	1% accuracy
DC.csa_scp.44	locp_1A	OCP Trip threshold for 1A with Rsense = 5 mΩ	-	130 ±20%	-	%	1A PD contracts OCP set at 130% of contract value or user programmable
	locp_1A	OCP Trip threshold for 1A with Rsense = 10 mΩ	-	130 ±10%	-	%	1A PD contracts OCP set at 130% of contract value or user programmable
DC.csa_scp.45	locp_5A	OCP Trip threshold for 2A, 3A, 4A and 5A contracts with Rsense = 5/10 mΩ	-	130 ±10%	-	%	2A, 3A, 4A, and 5A PD contracts OCP set at 130% of contract value OR user programmable
DC.rcp_scp.7a	I_csainn_lk	CSP pin input leakage when RCP and CSA blocks are OFF	-	-	10	μA	For provider V <sub>BUS</sub> = 5 V
DC.rcp_scp.6a	I_csainp_lk	CSN pin input leakage when RCP and CSA blocks are OFF	-	-	80	μA	For provider V <sub>BUS</sub> = 5 V
DC.sys.1	I_CSP_RCP_ON_CSA_OFF	CSP pin current when RCP block is ON and SCP is OFF	-	-	20	μA	For provider V <sub>BUS</sub> = 5 V
DC.sys.2	I_CSN_RCP_ON_CSA_OFF	CSN pin current when RCP block is ON and SCP is OFF	-	-	100	μA	For provider V <sub>BUS</sub> = 5 V
DC.sys.3	I_CSP_CSA_ON	CSP pin current when RCP block is OFF and SCP is ON	-	-	30	μA	For provider V <sub>BUS</sub> = 5 V
DC.sys.4	I_CSN_CSA_ON	CSN pin current when RCP block is OFF and SCP is ON	-	-	100	μA	For provider V <sub>BUS</sub> = 5 V
DC.sys.5	I_CSP_RCP_ON_CSA_ON	CSP pin current when RCP block is ON and SCP is ON	-	-	50	μA	For provider V <sub>BUS</sub> = 5 V Guaranteed by design
DC.sys.6	I_CSP_RCP_ON_CAS_ON	CSN pin current when RCP block is ON and SCP is ON	-	-	120	μA	For provider V <sub>BUS</sub> = 5 V Guaranteed by design

## 电气规格参数

### 6.5.10 $V_{BUS}$ UV/OV

表 29  $V_{BUS}$  UV/OV 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.UVOV.1	VTHUVOV1	Voltage threshold accuracy in active mode using bandgap reference	-	±3	-	%	-
SID.UVOV.2	VTHUVOV2	Voltage threshold accuracy in deep sleep mode using deep sleep reference	-	±5	-	%	-
SID.COMP_ACC	COMP_ACC	Comparator input offset at 4 sigma	-15	-	15	mV	-

### 6.5.11 接收端PFET栅极驱动器

表 30 接收端PFET栅极驱动器直流规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.DC.PGDO.1	Rpd	Resistance when “pull_dn” enabled	-	-	5	kΩ	-
DC.pgdo_pd_isnk.12	iout_0	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 1	-	2	-	μA	-
DC.pgdo_pd_isnk.13	iout_1	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 2	-	4	-	μA	-
DC.pgdo_pd_isnk.14	iout_2	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 4	-	8	-	μA	-
DC.pgdo_pd_isnk.15	iout_3	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 8	-	16	-	μA	-
DC.pgdo_pd_isnk.16	iout_4	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 16	-	32	-	μA	-
DC.pgdo_pd_isnk.17	iout_5	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 32	-	63	-	μA	-
DC.pgdo_pd_isnk.18	iout_6	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 64	-	126	-	μA	-
DC.pgdo_pd_isnk.19	iout_7	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 128	-	252	-	μA	-
DC.pgdo_pd_isnk.20	iout_8	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 256	-	504	-	μA	-

电气规格参数

表 30 接收端 PFET 栅极驱动器直流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.pgdo_pd_isnk.21	iout_9	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 512	-	1008	-	μA	-
DC.pgdo_pd_isnk.22	iout_10	Sink current through iref_out at iref_ctrl_lv < 11 ≥ LOW and iref_ctrl_lv < 10:0 ≥ 1024	-	2016	-	μA	-

表 31 接收端 PFET 栅极驱动器交流规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.ac.pgdo.2	Tr_discharge	Discharge Rate of output node	-	-	5	V/μs	Guaranteed by design
SID.ac.pgdo.sys_1	Tsoft_on	Consumer FET turn-ON delay for soft start	-	5	-	ms	-

### 6.5.12 发送端 PFET 栅极驱动器

表 32 发送端 PFET 栅极驱动器直流规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.pgdo_pu_1	Rpd	Pull-down resistance when enabled using strongest pull-down strength, using the “STRONG_EN=1” field in the USBPD_PGDO_PD_ISNK_CFG register	-	-	2	kΩ	-
DC.pgdo_pu.2	Rpu	Pull-up resistance	-	1	2	kΩ	-
DC.pgdo_pd_isnk.1	Rpd_0	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 1	-	6830	-	Ω	-
DC.pgdo_pd_isnk.2	Rpd_1	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 2	-	3760	-	Ω	-
DC.pgdo_pd_isnk.3	Rpd_2	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 4	-	1900	-	Ω	-
DC.pgdo_pd_isnk.4	Rpd_3	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 8	-	1000	-	Ω	-
DC.pgdo_pd_isnk.5	Rpd_4	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 16	-	660	-	Ω	-
DC.pgdo_pd_isnk.6	Rpd_5	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 32	-	1700	-	Ω	-

## 电气规格参数

表 32 发送端 PFET 栅极驱动器直流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
DC.pgdo_pd_isnk.7	Rpd_6	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 64	-	900	-	Ω	-
DC.pgdo_pd_isnk.8	Rpd_7	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 128	-	630	-	Ω	-
DC.pgdo_pd_isnk.9	Rpd_8	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 256	-	560	-	Ω	-
DC.pgdo_pd_isnk.10	Rpd_9	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 512	-	530	-	Ω	-
DC.pgdo_pd_isnk.11	Rpd_10	Resistance of iref_out to ground, en_lv = HIGH, iref_ctrl_lv < 11 ≥ HIGH and iref_ctrl_lv < 10:0 ≥ 1024	-	520	-	Ω	-

表 33 发送端 PFET 栅极驱动器交流规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
AC.pgdo_pu.1	Tpu	Pull-up delay	-	10	35	μs	For pull-up load of 4-nF capacitor and 50-kΩ resistor
AC.pgdo_pu.2	Tpd	Pull-down delay	-	-	2	μs	-
AC.pgdo_pu.3	SRpu	Output slew rate measured from 20% to 80% of output rising waveform.	-	-	8	V/μs	Clod = 4 nF, Vout = 0V to 24 V, external pull-up of 50 kΩ
AC.pgdo_pu.4	SRpd	Output slew rate measured from 80% to 20% of output falling waveform.	-	-	8	V/μs	Clod = 4 nF, Vout = 24 V to 0 V, external pull-up of 50 kΩ
AC.pgdo.sys_1	Tsoft_on	Provider FET turn-ON delay for soft start	-	5	-	ms	-

## 电气规格参数

## 6.5.13 发送端PFET RCP

表34 发送端PFET RCP直流规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.RCP.44	Vcsa_rcp	Voltage across external Rsense between CSP/CSN for which RCP condition detected (CSN higher than CSP by Vcsa_rcp)	-	2	6	mV	-
DC.RCP.45	Vcomp_rcp	Voltage across V <sub>BUS</sub> and CSN pins for which RCP condition is detected	20	-	130	mV	-
DC.RCP.46	Vbus_max_det	Voltage on CSN pin during provider FET ON (source) for which RCP condition is detected (this threshold is user program- mable)	5.55	5.75	5.95	V	This spec is for 5 V provider V <sub>BUS</sub> voltage. For higher voltages, firmware changes this threshold based on V <sub>BUS</sub> contract voltage.

表35 发送端PFET RCP、SCP交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
AC.RCP_SYS.1	Toff_scp	Provider PFET switching off after short circuit current detect through provider PFET	-	10	-	μs	Provider FET turns off with gate pull-up of 50 kΩ and total gate cap of 4 nF.
AC.RCP_SYS.1	Toff_rcp	Provider PFET switching off after reverse current detect through provider PFET	-	10	-	μs	Provider FET turns off with gate pull-up of 50 kΩ and total gate cap of 4 nF.
AC.RCP_SYS.2	Ton	Recovery time to turn-ON PFET RCP condition is removed	-	55	80	μs	-

## 电气规格参数

表 36 V<sub>BUS</sub>发送端转换规范

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
AC.tr.1	Ton	V <sub>BUS</sub> Low to High (10% to 90%) for provider FET	–	5	–	ms	0 to 5 V transition, system-level with external PFET with gate pull-up of 50 kΩ and total gate cap of 4 nF.
AC.tr.2	FR_Ton	V <sub>BUS</sub> Low to High (10% to 90%) during FR swap	–	50	150	μs	0 to 5 V transition, system-level with external PFET with gate pull-up of 50 kΩ and total gate cap of 4 nF.
AC.tr.3	Toff	V <sub>BUS</sub> _P_CTRL High to Low (90% to 10%) using internal active pull-up	–	11	–	μs	5 to 0 V transition, system-level with external PFET with gate pull-up of 50 kΩ and total gate cap of 4 nF.

## 6.5.14 SBU复用器

表 37 SBU MUX直流参数

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.pmg1s1.20sbu.1	Ron1	On resistance of AUXP/N to SBU1/2 switch @ 3.3 V input	–	4	7	Ω	–
DC.pmg1s1.20sbu.2	Ron2	On resistance of AUXP/N to SBU1/2 switch @ 1 V input	–	3	5	Ω	–
DC.pmg1s1.20sbu.3	lsb	Block leakage current (VPUMP + VDDD + VCCD)	–	–	15	μA	–
DC.pmg1s1.20sbu.15	icc	Block ICC when switch fully ON	–	15	125	μA	–
DC.pmg1s1.20sbu.16	OVP_threshold	Overvoltage protection detection threshold above VDDIO	200	–	1200	mV	–
DC.pmg1s1.20sbu.17	lsx_ron_3p3	On resistance of LSTX/LSRX to SBU1/2 switch @ 3.3 V input	–	8.5	17	Ω	–
DC.pmg1s1.20sbu.18	lsx_ron_1	On resistance of LSTX/LSRX to SBU1/2 switch @ 1 V input	–	5.5	11	Ω	–
DC.pmg1s1.20sbu.19	aux_ron_flat_fs	Switch On flat resistance of AUX_P/N to SBU1/2 switch (from 0 to 3.3 V)	–	–	2.5	Ω	–
DC.pmg1s1.20sbu.20	aux_ron_flat_hs	Switch On flat resistance of AUX_P/N to SBU1/2 switch (from 0 to 1 V)	–	–	0.5	Ω	–

电气规格参数

表 37 SBU MUX 直流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
DC.pmg1s1.20sbu.21	lsx_ron_flat_fs	Switch On flat resistance of LSTX/LSRX to SBU1/2 switch (from 0 to 3.3 V)	-	-	5	Ω	-
DC.pmg1s1.20sbu.22	lsx_ron_flat_hs	Switch On flat resistance of LSTX/LSRX to SBU1/2 switch (from 0 to 1 V)	-	-	0.5	Ω	-

表 38 SBU MUX 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
AC.pmg1s1.20sbu.1	Con	Switch ON capacitance	-	-	120	pF	Guaranteed by design
AC.pmg1s1.20sbu.2	Coff	Switch OFF capacitance Connector side	-	-	80	pF	Guaranteed by design
AC.pmg1s1.20sbu.3	Off_isolation	Switch isolation at F = 1 MHz	-50	-	-	dB	Guaranteed by design
AC.pmg1s1.20sbu.4	TON	SBU switch turn-ON time	-	-	200	μs	Guaranteed by design
AC.pmg1s1.20sbu.5	TOFF	SBU switch turn-OFF time	-	-	400	μs	Guaranteed by design
AC.pmg1s1.20sbu.3_aux	Off_isolation_AC_aux	Switch isolation at F = 1 MHz, from AUX to SBU pins	-50	-	-	dB	Guaranteed by design
AC.pmg1s1.20sbu.6	Off_isolation_tran_dB	Coupling on sbu1, 2 terminated to 50 Ω, switch-OFF, 1-MHz rail-to-rail toggling on LSTX/LSRX	-40	-	-	dB	Guaranteed by design
AC.pmg1s1.20sbu.6_aux	Off_isolation_tran_dB_aux	Coupling on sbu1, 2 terminated to 50 Ω, switch-OFF, 1-MHz rail-to-rail toggling on AUX_P/AUX_N	-30	-	-	dB	Guaranteed by design
AC.pmg1s1.20sbu.7	X_talk_AC	Cross talk of Switch at F = 1 MHz, SBU1/2 to SBU2/1 when is data transferred from LSTX/RX	-50	-	-	dB	Guaranteed by design
AC.pmg1s1.20sbu.7_aux	X_talk_AC_aux	Cross talk of Switch at F = 1 MHz, SBU1/2 to SBU2/1 when is data transferred from AUXP/AUXN	-50	-	-	dB	Guaranteed by design

电气规格参数

表 38 SBU MUX 交流规范 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
AC.pmg1s1.20sbu.8	X_talk_tran_dB	Coupling on SBU2 (1) when data is transferred from LSX to SBU1 (2) Rail-to-rail data on SBU1 (2), static signal on SBU2 (1)	-30	-	-	dB	Guaranteed by design
AC.pmg1s1.20sbu.8_aux	X_talk_tran_dB_aux	Coupling on SBU2 (1) when data is transferred from AUX to SBU1 (2) rail-to-rail data on SBU1(2), static signal on SBU2(1)	-30	-	-	dB	Guaranteed by design

### 6.5.15 USB 2.0 复用器

表 39 USB 2.0 MUX 直流规格

(通过开关使充电器检测模块与USBDP\_TOP、USBDM\_TOP、USBDP\_BOT和USBDM\_BOT断链)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.pmg1s1.dpdm.1	RON_HS	DP/DM on resistance for SYS lines (0 to 0.5 V) - HS mode	-	-	8	Ω	-
DC.pmg1s1.dpdm.2	RON_FS	DP/DM on resistance for SYS lines (0 to 3.3 V) - FS mode	-	-	12	Ω	-
DC.pmg1s1.dpdm.5	Con_FS	Switch on capacitance at 6 MHz - FS mode	-	-	50	pF	Guaranteed by design
DC.pmg1s1.dpdm.6	Con_HS	Switch on capacitance at 240 MHz - HS mode	-	-	10	pF	Guaranteed by design
DC.pmg1s1.dpdm.9	ileak_pin	Pin leakage at DP/DM connector side and host side	-	-	1	μA	-
DC.pmg1s1.dpdm.11	RON_FLAT_HS	DP/DM on flat resistance in HS mode (0 to 0.4 V)	-	-	0.5	Ω	Guaranteed by design
DC.pmg1s1.dpdm.12	RON_FLAT_FS	DP/DM on flat resistance in FS mode (0 to 3.3 V)	-	-	4	Ω	Guaranteed by design

## 电气规格参数

表 40 USB 2.0 MUX 交流规格

(通过开关使充电器检测模块与USBDP\_TOP、USBDM\_TOP、USBDP\_BOT和USBDM\_BOT断链)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
AC.pmg1s1.dpdm.1	BW_3dB_HS	3-db bandwidth	700	–	–	MHz	Guaranteed by design
AC.pmg1s1.dpdm.2	BW_3dB_FS	3-db bandwidth	100	–	–	MHz	Guaranteed by design
AC.pmg1s1.dpdm.5	T <sub>ON</sub>	DP/DM switch turn-on time	–	–	200	μs	–
AC.pmg1s1.dpdm.6	T <sub>OFF</sub>	DP/DM switch turn-off time	–	–	0.4	μs	Guaranteed by design
AC.pmg1s1.dpdm.7	T <sub>ON_VPUMP</sub>	DP/DM charge pump startup time	–	–	200	μs	Guaranteed by characterization
AC.pmg1s1.dpdm.8	Off_isolation_HS	Switch-off isolation for HS	–20	–	–	dB	Guaranteed by design
AC.pmg1s1.dpdm.9	Off_isolation_FS	Switch-off isolation for FS	–50	–	–	dB	Guaranteed by design
AC.pmg1s1.dpdm.10	X_talk	Cross talk of switch From FS to HS at F=12 MHz	–50	–	–	dB	Guaranteed by design

## 6.5.16 VCONN开关

表 41 VCONN 开关直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
DC.pmg1s1.20VCONN.1	R <sub>on</sub>	Switch ON resistance at VCONN_Source = 5 V with 215-mA load current	–	0.7	1.3	Ω	–
DC.pmg1s1.20VCONN.9	I <sub>OCP</sub>	Overcurrent detection range for CC1/CC2	550	–	–	mA	–
DC.pmg1s1.20VCONN.10	OVP_threshold	CC1, CC2 overvoltage protection detection threshold above V <sub>DDP</sub> or VCONN_Source, whichever is higher	200	–	1200	mV	–
DC.pmg1s1.20VCONN.11	OVP_hysteresis	Overvoltage detection hysteresis	50	–	200	mV	Guaranteed by design

## 电气规格参数

表 41 VCONN 开关直流规格 (续)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.pmg1s1.20VCONN.12	OCP_hysteresis	Overcurrent detection hysteresis	20	-	60	mA	-
DC.pmg1s1.20VCONN.14	OVP_threshold_on	Overvoltage detection threshold above VCONN_Source of CC1/2, with CC1 or CC2 switch enabled. Same threshold triggers reverse current protection circuit	200	-	700	mV	-

表 42 VCONN 开关交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
AC.pmg1s1.20VCONN.1	T <sub>ON</sub>	VCONN switch turn-on time	-	-	200	μs	-
AC.pmg1s1.20VCONN.2	T <sub>OFF</sub>	VCONN switch turn-off time	-	-	3	μs	Guaranteed by design

6.5.17 V<sub>BUS</sub>表 43 V<sub>BUS</sub> 放电规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.VBUS.DISC.1	Ron1	20 V NMOS ON resistance (with dischg_ds<0> = 1; dischg_ds<4:1> = 0)	1500	-	3000	Ω	-
SID.VBUS.DISC.2	Ron2	20 V NMOS ON resistance (with dischg_ds<1:0> = 1; dischg_ds<4:2> = 0)	750	-	1500	Ω	-
SID.VBUS.DISC.3	Ron3	20 V NMOS ON resistance (with dischg_ds<2:0> = 1; dischg_ds<4:3> = 0)	500	-	1000	Ω	-
SID.VBUS.DISC.4	Ron4	20 V NMOS ON resistance (with dischg_ds<3:0> = 1; dischg_ds<4> = 0)	375	-	750	Ω	-
SID.VBUS.DISC.5	Ron5	20 V NMOS ON resistance (with dischg_ds<4:0> = 1)	300	-	600	Ω	-

订购信息

## 7 订购信息

表 44 列出了 EZ-PD™ PMG1-S1 器件编号和特性。

**表 44 EZ-PD™ PMG1-S1 订购信息**

Product	Application	Type-C ports	Termination resistor: $R_{D-DB}$	Role	Package	Si ID
CYPM1111-40LQXI	DRP applications	1	$R_P^{[7]}$ , $R_D^{[8]}$ , $R_{D-DB}^{[9]}$	DRP	40-pin QFN	0x2A20
CYPM1111-40LQXIT						

### 7.1 订购代码定义

器件编号的格式为CYPM1ABC-DEFGHIJ，其中各字段的定义如下所示。

**表 45 订购代码定义**

Field	Description	Values	Meaning
CY	Cypress (an Infineon company) prefix	CY	Company ID
PM	Marketing code	PM	PM = Power Delivery MCU family
1	MCU Family generation	1	Product family generation
A	Family	0	S0
		1	S1
		2	S2
		3	S3
B	PD ports	1	1-PD port
		2	2-PD port
C	Application specific	X	Application specific
DE	Pin	XX	Number of pins in the package
FG	Package code	LQ	QFN
		BZ	BGA
		FN	CSP
H	Lead-free	X	Lead: X = Pb-free
I	Temperature range	I	Industrial
J	Only for T&R	T	Tape and reel

#### 注释:

7. 表示一个发送源的终端电阻。
8. 表示一个配件或接收源的终端电阻。
9. 表示一个无电电池终端的终端电阻。

封装

## 8 封装

表 46 封装特性

Parameter	Description	Conditions	Min	Typ	Max	Unit
$T_A$	Operating ambient temperature	Industrial	-40	25	85	°C
$T_J$	Operating junction temperature	Industrial	-40	25	100	°C
$T_{JA}$	Package $\theta_{JA}$ (40-pin QFN)	-	-	-	19.3	°C/W
$T_{JC}$	Package $\theta_{JC}$ (40-pin QFN)	-	-	-	13.6	°C/W

表 47 回流焊峰值温度

Package	Maximum peak temperature	Maximum time within 5°C of peak temperature
40-pin QFN	260°C	30 seconds

表 48 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
40-pin QFN	MSL 3

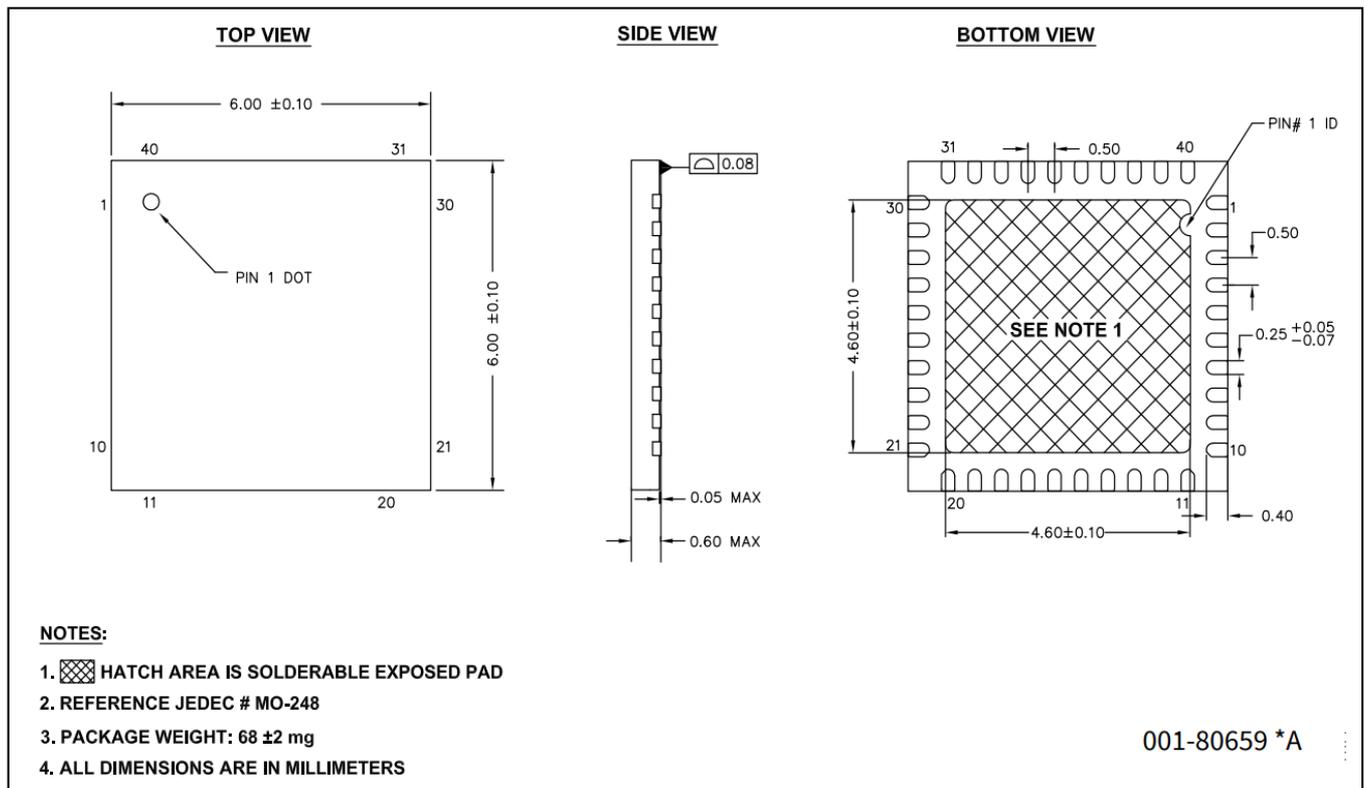


图8 40-QFN (6 × 6 × 0.6 mm), LR40A/LQ40A 4.6 × 4.6 E-PAD (Sawn)封装外形, (PG-VQFN-40)

缩略语

## 9 缩略语

表49 本文中使用的缩略语

Acronym	Description
AC	Apple charging
ACT	active mode
ADC	analog-to-digital converter
AES	advanced encryption standard
AFC	adaptive fast charging
API	application programming interface
Arm®	advanced RISC machine, a CPU architecture
BC	battery charging
BMC	bi-phase mark coding
BOD	brown-out detect
CC	configuration channel
CPU	central processing unit
CRC	cyclic redundancy check, an error-checking protocol
CS	current sense
CSA	current sense amplifier
DFP	downstream facing port
DP	DisplayPort, digital display interface developed by Video Electronics Standards Association
DIO	digital input/output, GPIO with only digital capabilities, no analog. See GPIO.
DMA	direct memory access
DRP	dual role power
DS	deep sleep mode
EEPROM	electrically erasable programmable read-only memory
EMCA	a USB cable that includes an IC that reports cable characteristics (e.g., current rating) to the Type-C ports
EMI	electromagnetic interference
ESD	electrostatic discharge
FPB	flash patch and breakpoint
FRS	fast role swap
FS	full-speed
GPIO	general-purpose input/output
IC	integrated circuit
IDE	integrated development environment
I <sup>2</sup> C, or IIC	Inter-Integrated Circuit, a communications protocol
ILO	internal low-speed oscillator, see also IMO
IMO	internal main oscillator, see also ILO
I/O	input/output, see also GPIO

缩略语

表 49 本文件中使用的缩略语 (续)

Acronym	Description
LVD	low-voltage detect
LVTTL	low-voltage transistor-transistor logic
MCU	microcontroller unit
NC	no connect
NMI	nonmaskable interrupt
NVIC	nested vectored interrupt controller
OCP	overcurrent protection
opamp	operational amplifier
OVP	overvoltage protection
PCB	printed circuit board
PD	power delivery
PGA	programmable gain amplifier
PHY	physical layer
POR	power-on reset
PRES	precise power-on reset
PRNG	pseudo random number generation
PWM	pulse-width modulator
QC	quick charge
RAM	random-access memory
RCP	reverse current protection, supported in Source Configuration only
RISC	reduced-instruction-set computing
RMS	root-mean-square
RTC	real-time clock
RX	receive
SAR	successive approximation register
SBU	sideband use
SCB	serial communication block
SCL	I <sup>2</sup> C serial clock
SCP	short circuit protection, supported in Source Configuration only
SDA	I <sup>2</sup> C serial data
S/H	sample and hold
SHA	secure hash algorithm
SPI	Serial Peripheral Interface, a communications protocol
SRAM	static random access memory
SWD	serial wire debug, a test protocol
TCPWM	timer counter pulse-width modulator
TX	transmit

---

缩略语

表 49 本文件中使用的缩略语 (续)

Acronym	Description
Type-C	a new standard with a slimmer USB connector and a reversible cable, capable of sourcing up to 100 W of power
UART	Universal Asynchronous Transmitter Receiver, a communications protocol
UFP	upstream facing port
USB	Universal Serial Bus
USBIO	USB input/output, EZ-PD™ PMG1-S1 pins used to connect to a USB port
UVP	undervoltage protection
XRES	external reset I/O pin

文档惯例

## 10 文档惯例

### 10.1 计量单位

表 50 计量单位

Symbol	Unit of measure
°C	degree celsius
Hz	hertz
KB	1024 bytes
kHz	kilohertz
kΩ	kiloohm
Mbps	megabits per second
MHz	megahertz
MΩ	megaohm
Msp/s	megasamples per second
μA	microampere
μF	microfarad
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
mΩ	milliohm
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
Ω	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second
V	volt

## 修订记录

## 修订记录

Document revision	Date	Description of change
*E	2023-07-12	Updated <b>Figure 8</b> title: Added the package name. Publish to web.
*F	2024-09-02	Updated document title. Updated <b>EZ-PD™ PMG1 family general description, EZ-PD™ PMG1-S1 general description, Features, and Block diagram.</b> Updated <b>Development support.</b> Updated <b>Functional overview.</b> Updated <b>Power system overview.</b> Updated <b>Table 1, Table 3, Table 6, Table 7, Table 8, Table 9, Table 10, Table 18, Table 19, Table 20, Table 22, Table 25, Table 34, Table 38, Table 39, and Table 49.</b> Updated <b>Figure 3, Figure 6, and Figure 7.</b>
*G	2025-01-23	Updated web metadata.



## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

## 重要通知

版本 2025-12-24

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

Do you have a question about this  
document?

Email:

[erratum@infineon.com](mailto:erratum@infineon.com)

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。