

# 英飞凌EZ-PD™ CCG7DC 双口 USB-C 供电和 DC-DC 控制器

## 概述

EZ-PD™ CCG7DC 是英飞凌高集成度的双口 USB Type-C 型供电 (PD) 解决方案, 集成了升降压控制器。它符合最新的 USB Type-C 和 PD 规范, 适用于多端口消费类充电应用。EZ-PD™ CCG7DC 提供的集成不仅减少了 BOM, 而且还提供了一个封装优化的解决方案, 以支持更高的功率密度设计。EZ-PD™ CCG7DC 在提供路径上为 VBUS NFET 集成了栅极驱动器。它还包括 VBUS 上的硬件控制保护功能。EZ-PD™ CCG7DC 支持宽输入电压范围 (4 V 至 24 V, 公差为 40 V) 和可编程开关频率 (150 kHz 至 600 kHz) 的集成式 PD 解决方案。

EZ-PD™ CCG7DC 是可编程的 USBPD 解决方案, 带有片上 32 位 Arm® Cortex® -M0 处理器、128 KB 闪存、16 KB RAM 和 32 KB ROM, 其中大部分闪存可供用户应用程序使用。它还包括各种模拟和数字外设, 如 ADC、PWM 和计时器。包含模拟和数字外设的完全可编程 MCU 允许实现自定义系统管理功能, 例如功率限制、负载共享、温度监控和故障记录。

## 应用

- 点烟器适配器 (CLA)
- 多端口 AC-DC 充电器和适配器
- 多端口消费者充电应用

## 特性

- USB-PD
  - 支持两个 USB PD 端口
  - 支持最新的 USB-PD 3.2, 包括可编程电源 (PPS) 模式
  - 扩展的数据消息传递
- Type-C
  - 可配置电阻 RP 和 RD
  - VBUS NFET 栅极驱动器
  - 集成 100 mW VCONN 电源和控制
- 2 个升降压控制器
  - 150 kHz 至 600 kHz 开关频率
  - 5.5 V 至 24 V 输入, 可耐受 40V
  - 3.3 V 至 21.5 V 输出
  - PPS 的电压阶跃为 20 mV, 电流阶跃为 50 mA
  - 支持可选脉冲跳跃模式 (PSM) 和强制连续电流/导通模式 (FCCM)
  - 支持软启动
  - 可编程扩频频率调制, 降低 EMI
  - 两个端口的可编程相移可进一步降低电磁干扰
- 2 个传统/专有充电模块
  - 支持 QC4+、QC4.0、Samsung AFC、Apple 2.4A 和 BC v1.2 充电协议
- 集成电压 (VBUS) 调节和电流感应放大器 (CSA)
  - 集成分流稳压器功能, 用于 VBUS 控制
  - 恒流或恒压模式
  - 支持电流感应, 实现恒定电流控制

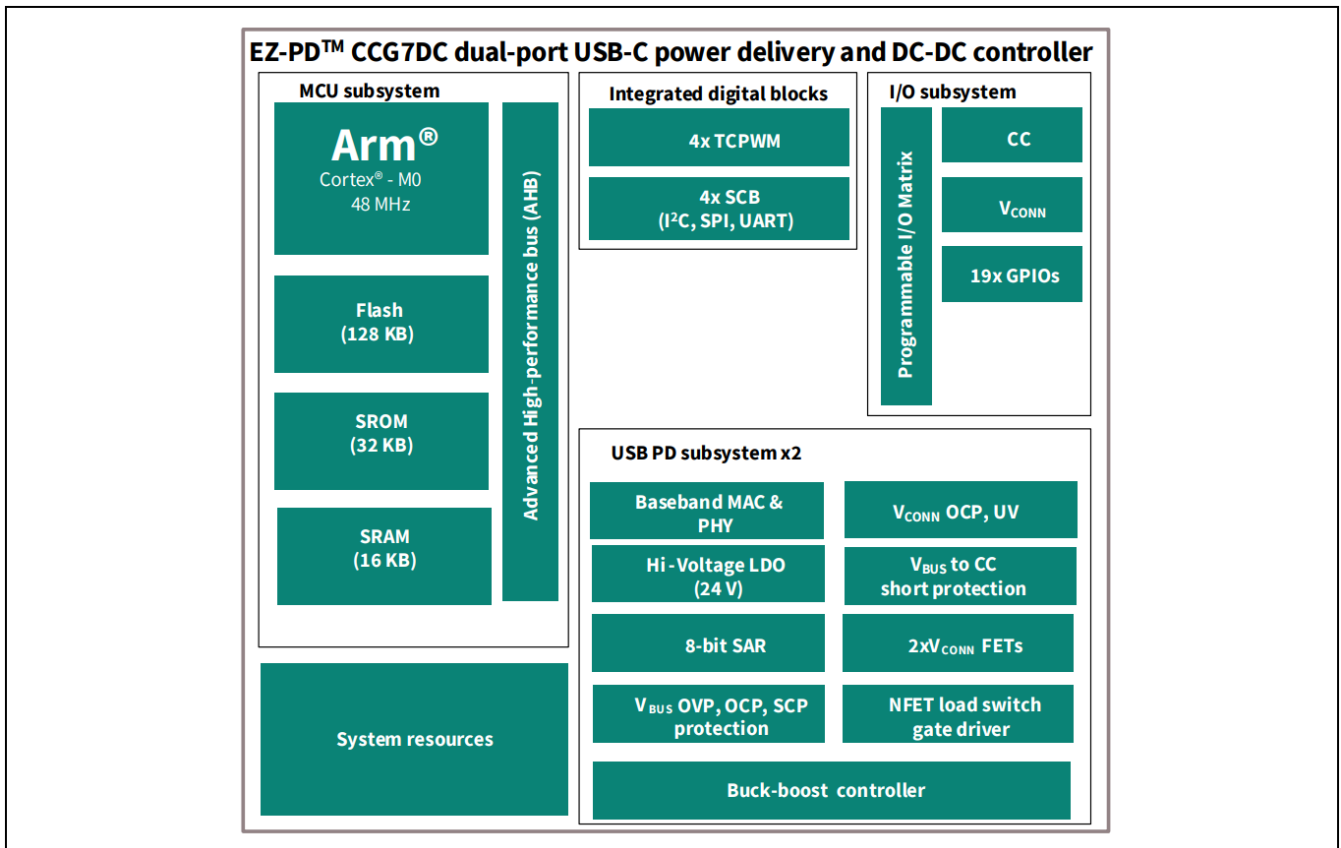
本数据手册的原文使用英文撰写。为方便起见, 英飞凌提供了译文; 由于翻译过程中可能使用了自动化工具, 英飞凌不保证译文的准确性。为确认准确性, 请务必访问 [infineon.com](http://infineon.com) 参考最新的英文版本 (控制文档)。

## 特性

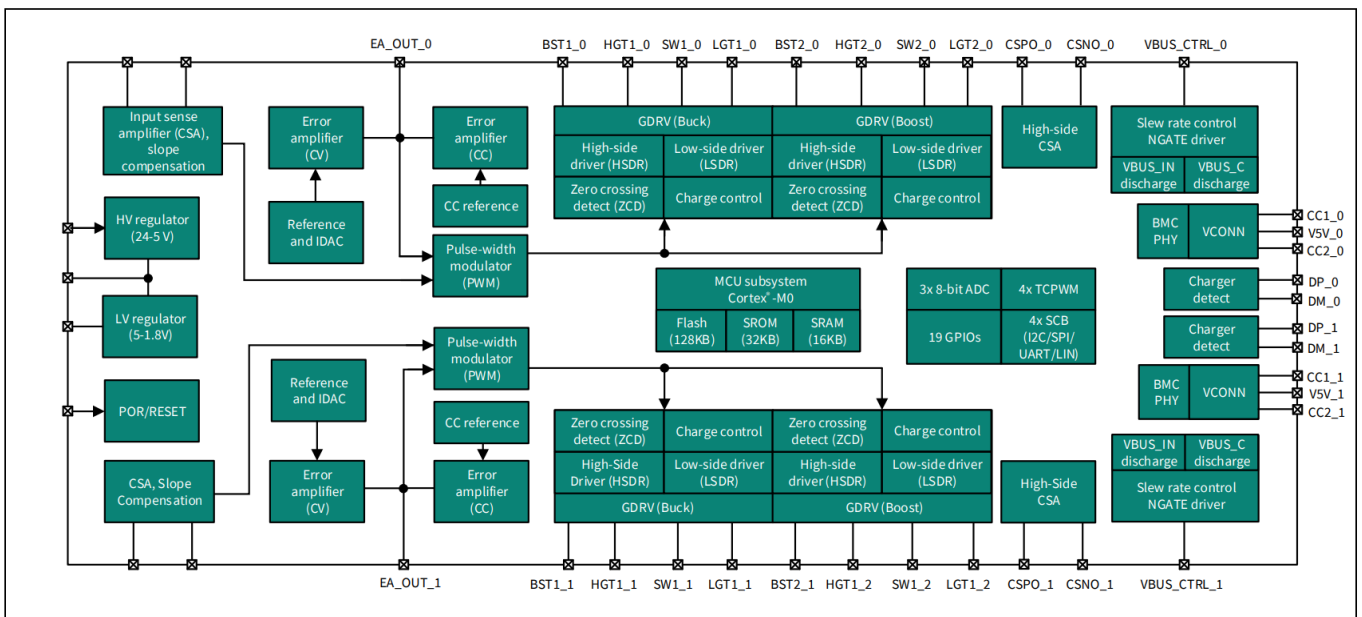
- 系统级故障保护
  - 片上VBUS过压保护 (OVP)、过流保护 (OCP)、欠压保护 (UVP)
  - VBUS 到 CC 短路保护
  - 欠压锁定(UVLO)
  - 通过集成ADC电路和内部温度传感器支持过温保护
  - 支持使用外部热敏电阻测量连接器和电路板温度
- 32位MCU子系统
  - 48 MHz Arm® Cortex-M0® 处理器
  - 128 KB Flash
  - 16-KB SRAM
  - 32 KB ROM
- 外设和 GPIO
  - 19 个 GPIO
  - 两个过压 GPIO
  - 3 个 8位ADC
  - 4个 16 位定时器/计数器/PWM (TCPWM)
- 通信接口
  - 4个 SCB (I<sup>2</sup>C/SPI/UART)
- 时钟和振荡器
  - 集成振荡器不需要外部时钟
- 电源
  - 4 V 至 24 V 输入 (可耐受 40 V)
  - 3.3 V 至 21.5 V 输出
  - 集成 LDO, 可提供 5 V @ 150 mA
- 封装
  - 68 引脚 QFN (8 mm × 8 mm) 封装, 扩展工业温度范围为 -40°C 至 +105°C

## 逻辑框图

## 逻辑框图



## 功能框图



## 目录

概述.....	1
应用.....	1
特性.....	1
逻辑框图.....	3
功能框图 .....	3
目录.....	4
<b>1 功能概述 .....</b>	<b>6</b>
1.1 MCU 子系统.....	6
1.1.1 CPU.....	6
1.1.2 闪存ROM和SRAM .....	6
1.2 USB PD 子系统 .....	6
1.2.1 USB PD 物理层.....	6
1.2.2 VCONN 开关 .....	7
1.2.3 VBUS UVP 和 OVP.....	7
1.2.4 VBUS OCP 和 SCP.....	7
1.2.5 适用于 VBUS的HS-CSA .....	7
1.2.6 VBUS 放电控制.....	7
1.2.7 VBUS NFET 开关管的栅极驱动器 .....	7
1.2.8 旧式充电检测和支持 .....	7
1.2.9 VBUS 到 CC 短路保护.....	7
1.3 降压-升压子系统.....	8
1.3.1 高端（逐周期）CSA .....	8
1.3.2 高端栅极驱动器和低端栅极驱动器 (HG/LG).....	8
1.3.3 误差放大器 (EA) .....	9
1.3.4 脉宽调制器 (PWM) .....	9
1.3.5 脉冲跳跃模式 (PSM) .....	9
1.3.6 强制连续传导模式 (FCCM) .....	9
1.4 降压-升压控制器工作区域.....	9
1.4.1 降压区操作 (VIN >> VBUS) .....	10
1.4.2 升压区域操作 (VIN << VBUS) .....	10
1.4.3 降压-升压区域 1 操作 (VIN ~> VBUS) .....	11
1.4.4 降压-升压区域 2 运行 (VIN ~< VBUS) .....	11
1.4.5 开关频率和扩频.....	12
1.5 模拟模块.....	12
1.5.1 ADC .....	12
1.6 集成数字模块.....	12
1.6.1 串行通信模块 (SCB).....	12
1.6.2 定时器/计数器/脉宽调制器 (TCPWM) .....	12
1.7 I/O 子系统 .....	13
1.8 系统资源.....	14
1.8.1 看门狗定时器 (WDT) .....	14
1.8.2 复位.....	14
1.8.3 时钟系统.....	14
1.8.4 内部主振荡器 (IMO) 时钟源 .....	14
1.8.5 ILO 时钟源.....	14
<b>2 电源子系统 .....</b>	<b>15</b>
2.1 VIN 欠压锁定 (UVLO).....	16
2.2 使用外部 VDDD 电源.....	16
2.3 电源模式.....	16
<b>3 引脚信息.....</b>	<b>17</b>
<b>4 EZ-PD™ CCG7DC 编程和引导加载.....</b>	<b>23</b>

## 目录

4.1 通过SWD接口对设备闪存进行编程 .....	23
4.2 使用引导加载程序更新应用程序固件 .....	24
4.2.1 通过CC接口更新应用程序固件 .....	24
4.2.2 通过 I2C 接口更新应用程序固件 .....	24
4.2.3 通过LIN接口更新应用程序固件 .....	25
<b>5 应用 .....</b>	<b>26</b>
<b>6 电气规格 .....</b>	<b>29</b>
6.1 绝对最大额定值 .....	29
6.2 器件级规格 .....	32
6.2.1 直流规格 .....	32
6.2.2 CPU .....	33
6.2.3 GPIO .....	33
6.2.4 XRES .....	36
6.3 数字外设 .....	37
6.3.1 GPIO引脚的脉冲宽度调制 (PWM) .....	37
6.3.2 I <sup>2</sup> C .....	37
6.3.3 UART .....	37
6.3.4 SPI .....	37
6.3.5 存储器 .....	38
6.4 系统资源 .....	39
6.4.1 欠压情况下的上电复位 (POR) .....	39
6.4.2 SWD 接口 .....	39
6.4.3 内部主振荡器 .....	39
6.4.4 内部低速振荡器 .....	39
6.4.5 PD .....	40
6.4.6 模数转换器 .....	41
6.4.7 HS CSA .....	41
6.4.8 UV/OV .....	42
6.4.9 VCONN 开关 .....	42
6.4.10 V <sub>BUS</sub> .....	43
6.4.11 电压调节 .....	43
6.4.12 VBUS 栅极驱动器 .....	43
<b>7 订购信息 .....</b>	<b>46</b>
7.1 订购代码定义 .....	46
<b>8 封装 .....</b>	<b>47</b>
<b>9 封装图 .....</b>	<b>48</b>
<b>10 缩略语 .....</b>	<b>49</b>
<b>11 文档惯例 .....</b>	<b>50</b>
<b>修订记录 .....</b>	<b>51</b>

## 1 功能概述

### 1.1 MCU 子系统

#### 1.1.1 CPU

EZ-PD™ CCG7DC 中的Cortex®-M0是一个32位的MCU，该内核通过扩展的时钟门控来优化低功率操作它通常使用16位指令并可以执行Thumb-2指令子集。它还包括一个能在一个周期内计算出32位结果的硬件乘法器。它包括一个具有32个中断输入的中断控制器（NVIC 模块）和一个可以将处理器从深度睡眠模式唤醒的唤醒中断控制器（WIC）。

#### 1.1.2 闪存 ROM 和 SRAM

EZ-PD™ CCG7DC 器件配备 128 KB 闪存和 32 KB ROM，用于非易失性存储。ROM 存储用于身份验证的库以及 I<sup>2</sup>C、SPI 等设备驱动程序。这样可以为用户应用程序节省闪存空间。闪存可灵活地存储任何客户功能的代码，并支持固件升级，以满足最新的 USB PD 规范和应用需求。

16 KB RAM 在软件控制下用于存储系统变量和参数的临时状态。此外，提供的监控ROM还包含引导和配置子程序。

### 1.2 USB PD 子系统

该子系统为Type-C USB端口提供接口。该子系统包括：

- USB PD 物理层
- VCONN开关
- VBUS 上的欠压 (UVP)、过压 (OVP)
- 用于 VBUS 的输出高压侧 CSA (HS CSA)
- VBUS放电控制
- VBUS NFET 开关管的栅极驱动器
- 用于传统充电的充电器检测块
- VBUS至CC短路保护

#### 1.2.1 USB PD 物理层

USB PD 子系统包含 USB PD 物理层模块和支持电路。USB-PD物理层包括一个基于PD对CC通道上的BMC编码数据进行通信的发送器和接收器。

3.2 标准。所有通信均为半双工。物理层 (PHY) 实施冲突避免，从而最小化通道上的通信错误。

USBPD 模块包含 USB Type-C 规范要求的所有终端电阻 ( $R_p$  和  $R_d$ ) 及其开关。 $R_p$  和  $R_d$  电阻用于实现连接检测、插头方向检测以及 USB 源/吸角色的建立。 $R_p$  电阻用作电流源。

EZ-PD™ CCG7DC设备系列完全符合 USB 电力传输规范 3.2和2.0 版。该设备支持 3.3 V 至 21 V 之间所有有效电压的可编程电源 (PPS) 操作。

EZ-PD™ CCG7DC设备在未连接（待机）状态下支持由硬件控制的  $R_p$ ，以最大限度地降低待机功耗。

EZ-PD™ CCG7DC设备支持最多可包含 260 字节数据的 USB PD 扩展信息。扩展消息的长度将超过USB-PD 2.0 硬件所预期的长度。根据 USB-PD 协议规范，USB-PD 3.2兼容设备实现了分块机制；除非源和接收器都确认并协商与更长的消息长度的兼容性，否则消息将限制为修订版 2.0 的大小。

## 1.2.2 VCONN开关

EZ-PD™ CCG7DC的内部 LDO 稳压器能够为 USB Type-C 规范中定义的电子标记电缆组件 (EMCA)、VCONN 供电设备 (VPD) 和 VCONN 供电配件提供 100 mW VCONN 电源。该器件集成了所有电路，包括 VCONN 开关和过流保护。如果 VCONN 电流超过 VCONN OCP 限制，则可以将 EZ-PD™ CCG7DC 配置为在一定数量的用户可配置重试后关闭 Type-C 端口。物理断开后可以重新启用该端口。

## 1.2.3 VBUS UVP和OVP

VBUS 欠压和过压故障通过内部电阻分压器进行监控。故障阈值和响应时间可由用户配置。请参阅[EZ-PD™ 配置实用程序](#)获取更多详情。如果发生 UVP 或 OVP，EZ-PD™ CCG7DC 可配置为在用户可配置的重试次数后关闭 Type-C 端口。物理断开后，端口可以重新启用。

## 1.2.4 VBUS OCP 和 SCP

VBUS 过流和短路故障通过内部 CSA 进行监控。与 OVP 和 UVP 类似，OCP 和 SCP 故障阈值和响应时间也是可配置的。详情请参阅[EZ-PD™ 配置实用程序](#)。如果发生 OCP 或 SCP，EZ-PD™ CCG7DC 可配置为在用户配置一定次数的重试后关闭 Type-C 端口。物理断开后，端口可以重新启用。

## 1.2.5 适用于VBUS的HS-CSA

EZ-PD™ CCG7DC 器件系列支持使用与 VBUS 路径串联的外部电阻器 (5 mΩ) 来测量和控制 VBUS 电流。该电阻两端的电压降用于测量平均输出电流。在 PPS 电流折返工作模式下，相同的电阻器也用于感应和精确控制输出电流。

## 1.2.6 VBUS放电控制

该芯片支持高压 (21.5 V) VBUS 放电电路。当检测到设备断开连接、故障或硬重置时，芯片将在 USBPD 规范规定的时间限制内将输出 VBUS 端子放电至 vSafe5V 和/或 vSafe0V。

## 1.2.7 VBUS NFET 开关管的栅极驱动器

EZ-PD™ CCG7DC 器件具有集成高压栅极驱动器，用于驱动 VBUS 提供路径上的外部高端 NFET 的栅极。栅极驱动器驱动控制 CSNO 和 VBUS\_C 之间连接的负载开关。VBUS\_CTRL 是该栅极驱动器的输出。为了关闭外部 NFET，栅极驱动器将 VBUS\_IN 驱动至低。要打开外部 NFET，它会将栅极驱动至 VBUS\_IN + 8 V。有一个可选的慢速开启功能，旨在避免突然的浪涌电流。对于典型的 3 nF 栅极电容，可使用固件配置 2 ms 至 10 ms 的慢速开启时间。

## 1.2.8 旧式充电检测和支持

芯片为 USB BC.1.2 实现电池充电器仿真和检测（源和接收器），传统的苹果充电、高通快速充电 2.0/3.0、三星 AFC 协议和几个即将推出的专有充电协议。

## 1.2.9 VBUS 到 CC 短路保护

EZ-PD™ CCG7DC CC 引脚具有集成保护功能，可防止意外短路至高压 VBUS。EZ-PD™ CCG7DC 设备可以在其 CC 引脚上处理高达 24 V 的外部电压而不会损坏。如果在 CC 引脚上检测到过压，EZ-PD™ CCG7DC 可以配置为完全关闭 Type-C 端口。一旦检测到的 CC 电压在正常范围内，端口将恢复正常运行。

### 1.3 降压-升压子系统

EZ-PD™ CCG7DC器件中的降压-升压子系统可配置为降压-升压模式、纯降压模式或纯升压模式工作。降压-升压模式需要四个外部开关 FET，而纯降压和纯升压模式只需要两个 FET。当 EZ-PD™ CCG7DC 设备的端口用于多端口 AC/DC 设计，仅降压模式非常有用。图 1 展示了降压-升压子系统的主要外部元件和连接。

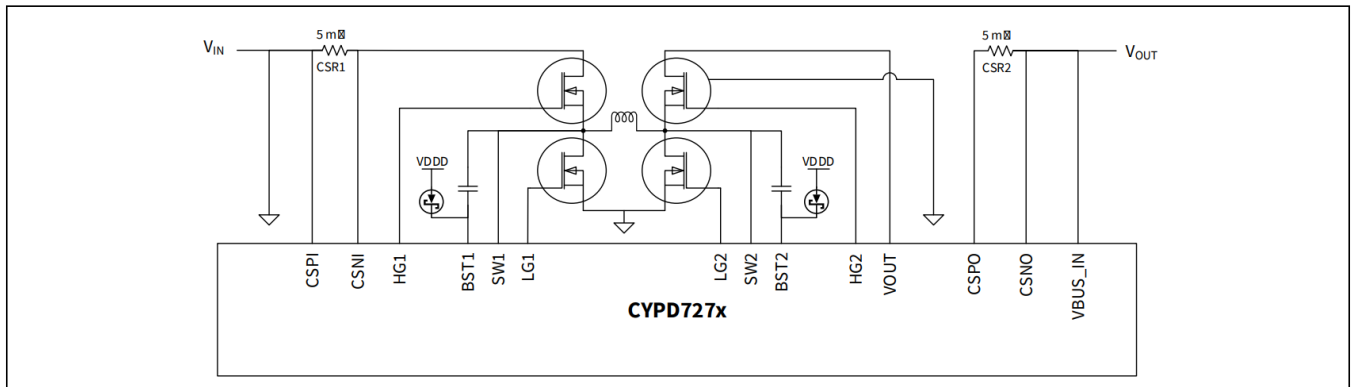


图1 降压-升压电路图，显示外部元件

EZ-PD™ CCG7DC器件中的降压-升压子系统具有以下主要功能模块：

- 高端（逐周期）CSA
- 高端和低端栅极驱动器
- 脉宽调制器 (PWM)
- 误差放大器 (EA)

#### 1.3.1 高端（逐周期）CSA

EZ-PD™ CCG7DC器件的降压-升压控制器可在升压和降压模式下实现峰值电流控制。高压侧电流检测放大器 (CSA) 通过与降压控制场效应晶体管 (FET) 串联的外部电阻 (5 mΩ；参见图 1 的 CSR1) 进行峰值电流检测。该电流检测放大器具有高带宽和非常宽的共模放大器。该电流检测电阻通过引脚 CSPI 和 CSNI 连接到 CSA 模块，如图 1 所示。该模块实现斜率补偿，以避免内部电流环路出现次谐波振荡。除了峰值电流检测外，它还提供一个限流比较器，用于在电流达到可编程的上限值时关闭降压-升压转换器。

#### 1.3.2 高端栅极驱动器和低端栅极驱动器 (HG/LG)

EZ-PD™ CCG7DC的降压-升压控制器提供四个 N 沟道 MOSFET 栅极驱动器：HG1 和 HG2 引脚的两个浮动高端栅极驱动器，以及 LG1 和 LG2 引脚处的两个接地参考低端驱动器。高端栅极驱动器以标称 VGS 5V 来驱动高端外部 FET。高端栅极驱动器具有可编程驱动强度来驱动外部 FET。外部电容器和肖特基二极管组成自举网络，用于收集和存储驱动高端 FET 所需的高压源（HG1 为  $V_{IN} + \sim 5V$ ，HG2 为  $V_{BUS} + \sim 5V$ ）。

低侧栅极驱动器使用来自 EZ-PD™ CCG7DC 内部 LDO 稳压器并存储在 PVDD 和 PGND 之间的电容器中的能量来驱动标称 VGS 为 5V 的低侧外部 FET。低侧栅极驱动器具有可编程驱动强度来驱动外部 FET。

## 功能概述

除了驱动强度之外，高端栅极驱动器和低端栅极驱动器还具有可编程的死区时间控制选项和高端栅极驱动器和低端栅极驱动器模块包括过零检测器 (ZCD)，以实现具有二极管仿真的非连续传导模式 (DCM)。

如果 VIN 电压介于 5.5 V 和 24 V 之间，则开关 FET 的栅极驱动器将在其标称驱动电压水平 (5 V) 下运行。

### 1.3.3 误差放大器 (EA)

EZ-PD™ CCG7DC 的降压-升压控制器包含两个用于输出电压和电流调节的误差放大器。误差放大器是一种跨导型放大器，具有用于电压和电流环路的单个补偿引脚 (COMP) 接地。在电压调节中，输出电压与内部参考电压进行比较，并且 EA 的输出被馈送到 PWM 块。在电流调节时，平均电流由 VBUS 高端电流检测放大器通过外部电阻检测。VBUS CSA 的输出与误差放大器模块中的内部参考进行比较，并将 EA 输出馈送到 PWM 模块。EZ-PD™ CCG7DC 器件通过 Type-C 端口与对等汇流设备协商符合 USB-PD 规范的电源交付合同，进而通过集成的可编程误差放大器电路控制 EA 输出，以实现所需的 VBUS 电压输出。

### 1.3.4 脉宽调制器 (PWM)

EZ-PD™ CCG7DC 器件系列的 PWM 块为在峰值电流模式控制下驱动外部 FET 的栅极驱动器生成控制信号。有许多可编程选项可用于最小/最大脉冲宽度、最小/最大周期、频率和脉冲跳跃级别，以优化系统设计。

EZ-PD™ CCG7DC 器件具有两种可通过固件选择的运行模式，以优化效率并减少轻负载条件下的损耗：PSM 和 FCCM。在负载从几瓦到 100 瓦不等的充电器应用中，这一点至关重要。

### 1.3.5 脉冲跳跃模式 (PSM)

在脉冲跳跃模式下，控制器通过以正常标称频率开关的“突发”形式工作，并在其中穿插无开关间隔，从而减少开关脉冲的总数，而不会降低有效开关频率。因此，输出电压在开关突发期间增加，而在安静间隔期间降低。此模式可使损失最小，但代价是输出电压纹波较高。在此模式下 EZ-PD™ CCG7DC 器件监控降压或升压同步 FET 两端的电压，以检测电感电流何时达到零；当发生这种情况时，EZ-PD™ CCG7DC 器件会关闭降压或升压同步 FET，以防止输出电容器的反向电流（即二极管仿真模式）。此模式的几个参数可通过固件进行编程，允许用户在轻载效率和输出纹波之间找到自己的平衡。

### 1.3.6 强制连续传导模式 (FCCM)

在强制连续导通模式 (FCCM) 下，始终保持标称开关频率，电感电流低于零（即反向或从输出到输入）根据需要，在开关周期的一部分时间内，以维持输出电压和电流。这样可以将输出电压纹波保持在最低水平，但代价是轻载效率。

## 1.4 降压-升压控制器工作区域

CSA 的输出与误差放大器的输出进行比较，以确定 PWM 的脉冲宽度。PWM 模块比较输入电压和输出电压，以确定降压、升压和降压-升压区域四个栅极驱动器 (HG1、LG1、HG2、LG2) 的开关时间/周期取决于模块运行的区域以及模式，例如 DCM 或 FCCM。每个区域的进出转换的精确 VIN 与 VOUT 阈值可在固件中调整，包括滞后。

### 1.4.1 降压区操作 ( $V_{IN} \gg V_{BUS}$ )

当  $V_{IN}$  电压明显高于所需的  $V_{BUS}$  电压时，EZ-PD™ CCG7DC 器件将在降压区工作。在此区域，升压侧 FET 处于停用状态，升压控制 FET（连接到 LG2）关闭，升压同步 FET（连接到 HG2）导通。降压侧 FET 的控制方式为同步整流降压转换器，如图 2 所示。根据应用和要求，该器件可配置为始终只在降压模式下运行，只使用两个 FET。

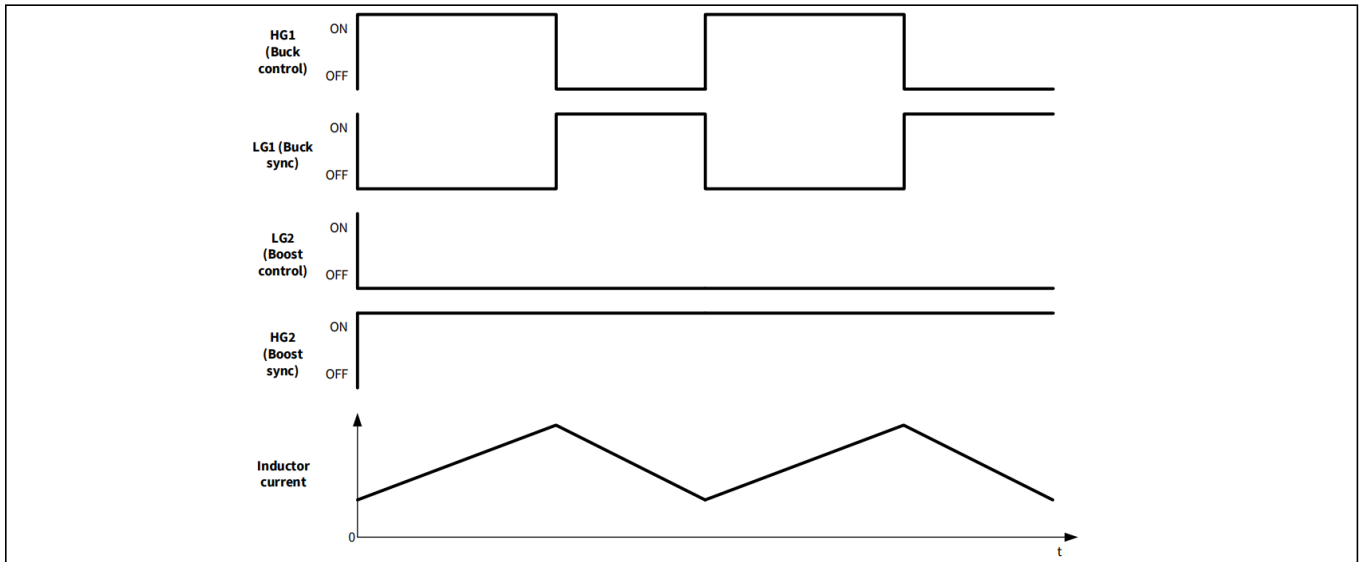


图2 Buck工作波形

### 1.4.2 升压区域操作 ( $V_{IN} \ll V_{BUS}$ )

当  $V_{IN}$  电压明显低于所需的  $V_{BUS}$  电压时，EZ-PD™ CCG7DC 器件将在升压区工作。在此区域，降压侧 FET 处于停用状态，同步 FET 关闭和降压控制 FET 导通。升压侧 FET 的控制方式为同步整流降压转换器，如图 3 所示。

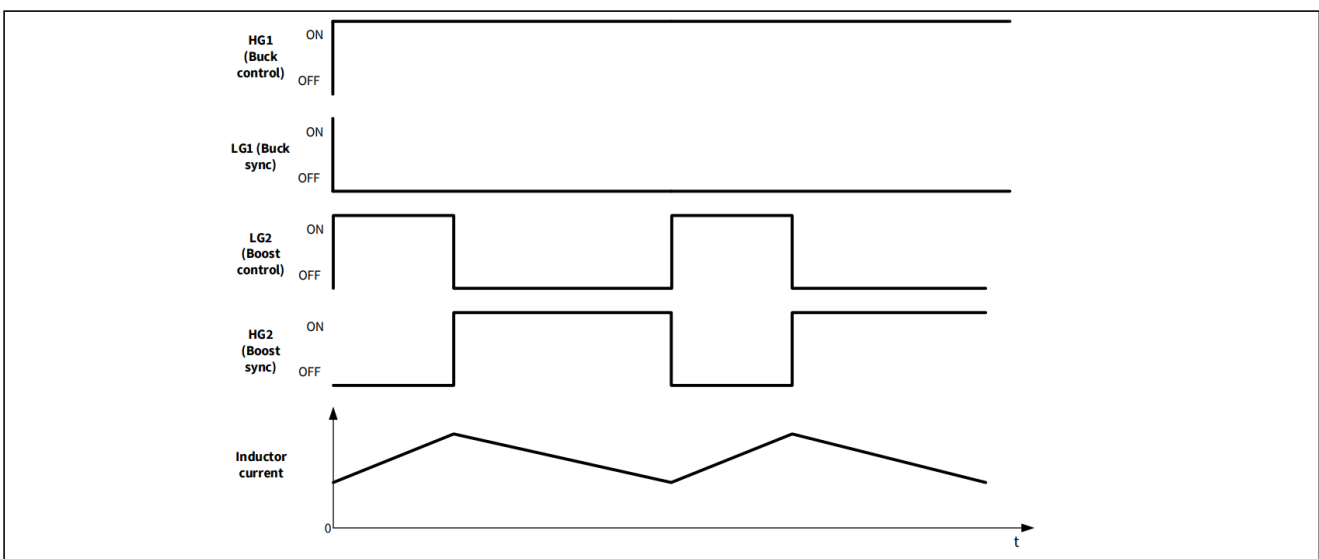


图3 升压工作波形

### 1.4.3 降压-升压区域 1 操作 (VIN ~> VBUS)

当 VIN 电压略高于所需的 VBUS 电压时，EZ-PD™ CCG7DC 器件工作在降压-升压区域 1。在此区域中，升压侧 FET (LG2) 以固定的 20% 占空比（可编程）工作，而降压侧 (LG1 / HG1) 的占空比则通过调制来控制输出电压。所有四个 FET 均在此工作区域内每个周期进行开关操作，如图 4 所示。

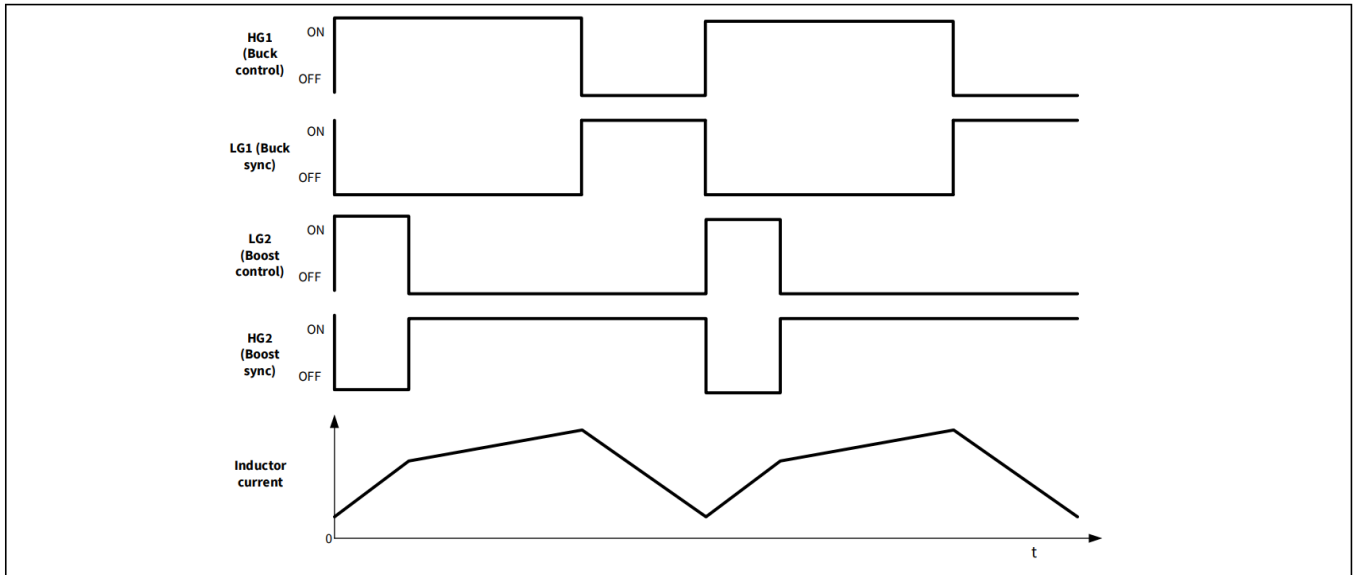


图4 降压-升压区域1 (VIN ~> VBUS) 工作波形

### 1.4.4 降压-升压区域 2 运行 (VIN ~< VBUS)

当 VIN 电压略低于所需的 VBUS 电压时，EZ-PD™ CCG7DC 器件工作在降压-升压区域 2。在此区域中，降压侧 (HG1) 以固定的 80% 占空比（可编程）工作，而升压侧 (LG2) 的占空比则通过调制来控制输出电压。所有四个 FET 均在此工作区域内每个周期进行开关操作，如图 5 所示。

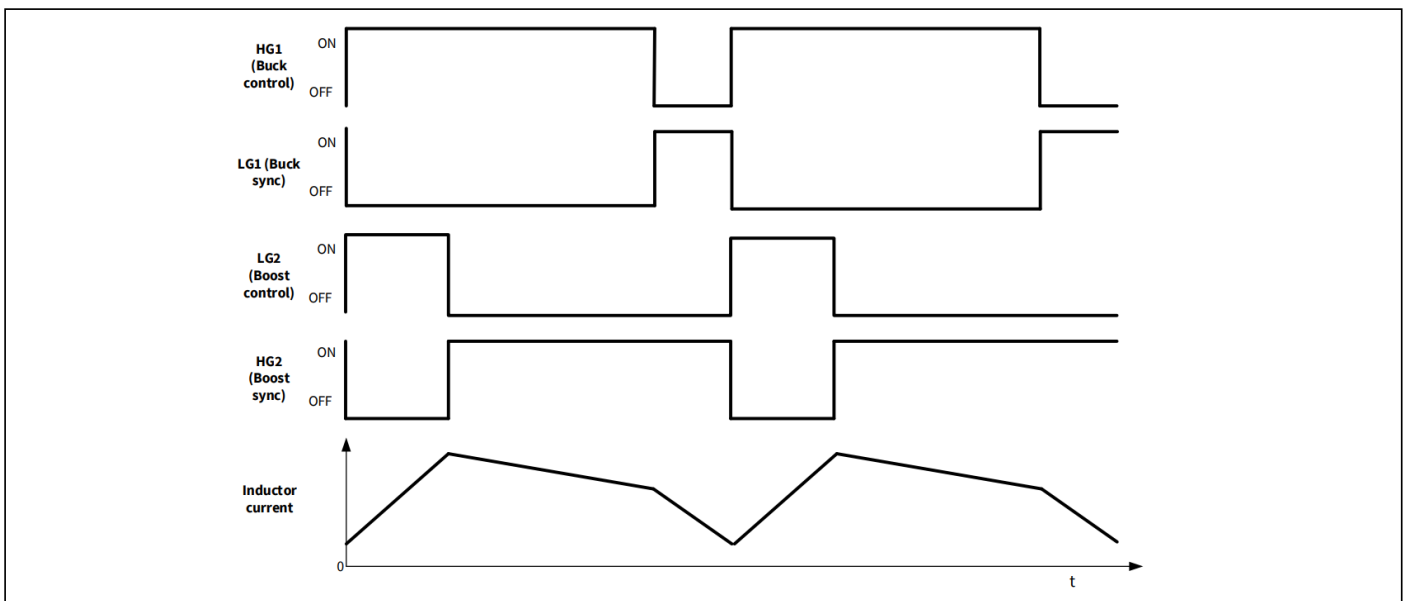


图5 降压-升压区域2 (VIN ~< VBUS) 工作波形

### 1.4.5 开关频率和扩频

EZ-PD™ CCG7DC 器件提供 150 kHz 至 600 kHz 之间的可编程开关频率。该控制器支持所有工作模式下工作频率范围内的扩频时钟。扩频对于充电应用来说至关重要，它可以扩展因在宽频谱而不是固定频率上切换而引起的发射，以满足 EMC/EMI 要求，从而降低任何特定频率的峰值能量。开关频率和扩频跨度均可通过固件编程。

## 1.5 模拟模块

### 1.5.1 ADC

EZ-PD™ CCG7DC 器件内置三个 8 位 SAR ADC，可用于通用 AD 转换应用。这些 ADC 可通过片上模拟多路复用器从 GPIO 访问。参见表 27 有关 ADC 的详细规格。

## 1.6 集成数字模块

### 1.6.1 串行通信模块 (SCB)

EZ-PD™ CCG7DC 器件有四个 SCB 块，可配置为 I<sup>2</sup>C、SPI 或 UART。这些块实现了完整的多主和从 I<sup>2</sup>C 接口，能够进行多主仲裁。I<sup>2</sup>C 兼容标准飞利浦 I<sup>2</sup>C 规范 v3.0。这些块的运行速度高达 1 Mbps，并具有灵活的缓冲选项，可减少 CPU 的中断开销和延迟。SCB 块支持用于接收和发送的 8 字节深度 FIFO，通过增加 CPU 读取数据的时间，大大减少了因 CPU 不能及时读取数据而导致的时钟拉伸。SCB0 的 I<sup>2</sup>C 端口 I/O 为过电压容限 (OVT)。SCB1-3 的 I<sup>2</sup>C 端口不符合 OVT 标准。

### 1.6.2 定时器/计数器/脉宽调制器 (TCPWM)

EZ-PD™ CCG7DC 设备的 TCPWM 模块支持四个定时器或计数器或脉冲宽度调制器。这些计时器可供固件内部使用或在 GPIO 上提供基于 PWM 的功能。

## 1.7 I/O 子系统

EZ-PD™ CCG7DC 器件有 19 个 GPIO，包括也可用作 GPIO 的 I2C 和 SWD 引脚。GPIO 模块实现以下功能：

- 八种驱动模式：
  - 仅限输入
  - 弱上拉和强下拉
  - 强上拉和弱下拉模式
  - 开漏和强下拉模式
  - 开漏和强上拉模式
  - 强上拉和强下拉模式
  - 已禁用
  - 弱上拉和弱下拉
- 选择输入阈值 (CMOS 或 LVTTTL)。
- 输入和输出禁用的独立控制
- 保持模式，用于锁存前一状态 (即保持 I/O 状态处于深度睡眠模式)
- dV/dt 相关噪声控制的可选转换速率。
- 一对 GPIO 上的 OVT

在上电和复位期间，各模块被强制为禁用状态，以防止给任何输入供电和/或造成引脚启用时的过电流现象。一个高速 I/O 矩阵 (HSIOM) 的复用网络用于复用连接多个信号至一个 I/O 引脚。固定功能外设的引脚位置也被固定，以降低内部使用的复杂性。数据输出寄存器和引脚状态寄存器分别用于保存引脚上需要驱动的值和引脚的状态。可以通过软件对寄存器进行编程，从而配置每个数字 I/O 端口的引脚。

每个 I/O 引脚都可以生成一个中断，如果启用的话，每个 I/O 端口都有一个中断请求 (IRQ) 和中断服务程序 (ISR) 与向量之间关联

I/O 端口可以在深度休眠模式下保持其状态或保持开启状态。如果通过复位恢复操作，则引脚将进入高阻抗状态。如果通过中断事件恢复操作，则引脚驱动器将保持其状态，直到固件更改其状态为止。断电时，(数据总线上的) I/O 不会消耗电流。

## 1.8 系统资源

### 1.8.1 看门狗计时器 (WDT)

EZ-PD™ CCG7DC 设备有一个由内部低速振荡器 (ILO) 运行的看门狗定时器。这允许看门狗在深度睡眠期间运行，并且如果在超时发生之前未得到服务，则会生成看门狗复位。看门狗复位被记录在复位原因寄存器中。

### 1.8.2 复位

可以通过各种源 (包括软件复位) 对 EZ-PD™ CCG7DC 进行复位。复位事件是异步的，并确保器件恢复到一个已知状态。复位原因被记录在器内，该寄存器的内容在复位过程中保持不变，允许用户通过软件确定复位原因。XRES 引脚是用于外部硬件复位的专用引脚。

### 1.8.3 时钟系统

EZ-PD™ CCG7DC 设备具有完全集成的时钟，无需外部晶体。EZ-PD™ CCG7DC 设备的时钟系统负责为所有需要时钟的子系统 (SCB 和 PD) 提供时钟，并负责在不同时钟源之间切换。

通过分频 HFCLK 信号可以生成用于数字外设的同步时钟。时钟分频器具有 8 位、16 位和 16 位小数分频能力。16 位的分频器能够灵活生成精细的频率值。时钟分频器可以生成使能时钟 (即，N 时钟中的 1，其中 N 为除数) 或大约 50% 占空比时钟 (对于偶数除数，正好为 50%，对于奇数除数，高值和低值相差一个时钟)。

在图 6, PERXYZCLK 指示不同外设的时钟。

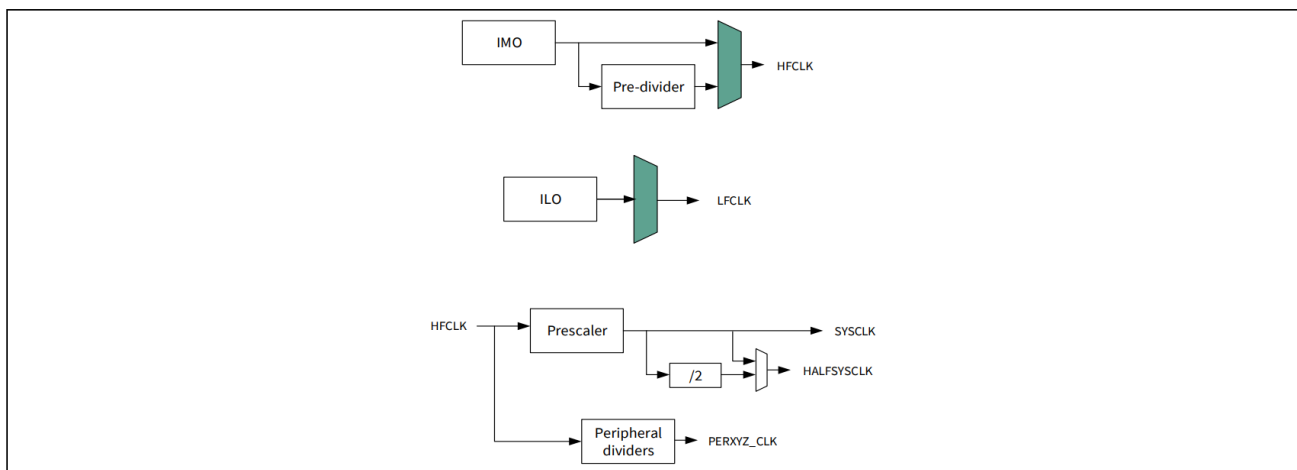


图 6 EZ-PD™ CCG7DC 器件的时钟架构

### 1.8.4 内部主振荡器 (IMO) 时钟源

内部主振荡器是 EZ-PD™ CCG7DC 器件内部时钟的主要来源。EZ-PD™ CCG7DC 器件的 IMO 默认频率为 48 MHz + 2%。

### 1.8.5 ILO 时钟源

ILO 是一个低速但相对不准确的振荡器，主要用于在 USB 暂停 (深度睡眠) 模式下为外设操作提供时钟。



## 2.1 VIN欠压锁定(UVLO)

EZ-PD™ CCG7DC 支持 UVLO，允许设备在输入电压低于可靠水平时关闭。它保证设备启动和运行时的可预测行为。

## 2.2 使用外部 VDDD 电源

默认情况下，EZ-PD™ CCG7DC 设备不支持外部 VDDD。但是，可以使用固件启用外部 VDDD 电源。启用 VDDD 外部强制的前提条件是始终保持 VIN 高于 VDDD，EZ-PD™ CCG7DC 器件 VDDD 引脚上的外部负载绝不能高于内部 VDDD LDO 的规定负载能力。

## 2.3 电源模式

表 1 列出了用户可访问和观察到的设备电源模式。

表 1 电源模式

Mode	Description
RESET	Power is valid and XRES is not asserted. An internal reset source is asserted or sleep controller is sequencing the system out of reset.
ACTIVE	Power is valid and CPU is executing instructions.
SLEEP	Power is valid and CPU is not executing instructions. All logic that is not operating is clock gated to save power.
DEEPSLEEP	Main regulator and most hard-IP are shut off. Deepsleep regulator powers logic, but only low-frequency clock is available.
XRES	Power is valid and XRES is asserted. Core is powered down.

### 3 引脚信息

表 2 EZ-PD™ CCG7DC 引脚分布表

Pin#	Pin name	GPIO port	Description
1	SW1_0		Negative power rail of port 0 buck high-side gate driver. This is also connected to one input terminal of zero current detection of buck low-side gate driver. Connect to the switch node (inductor) on the buck (input) side. Use a short and wide trace to minimize the inductance and resistance of this connection.
2	LG1_0		Buck low-side gate driver output of port 0. Connect to the buck (input) side sync (low-side) FET gate. Use a wide trace to minimize inductance of this connection.
3	PGND_0		Ground of low-side gate driver of port 0. This is also connected to one input terminal of ZCD of buck low-side gate driver. Connect directly to port 0's board ground plane.
4	PVDD_0		Supply of low-side gate driver of port 0. Connect to VDDD. Use 1- $\mu$ F and 0.1- $\mu$ F bypass capacitors as close to the EZ-PD™ CCG7DC IC as possible.
5	LG2_0		Boost low-side gate driver output of port 0. Connect to the boost (output) side control (low-side) FET gate. Use a wide trace to minimize inductance of this connection.
6	VOUT_0		Output of the buck-boost converter of port 0. This is also connected to one input terminal of reverse current protection of boost high-side gate driver. Connect to the boost sync (high-side) FET's drain. Use a dedicated (Kelvin) trace for this connection.
7	SW2_0		Negative power rail of port 0 boost high-side gate driver. This is also connected to one input terminal of reverse current protection of boost high-side gate driver. Connect to the switch node (inductor) on the boost (output) side. Use a short and wide trace to minimize the inductance and resistance of this connection.
8	HG2_0		Boost high-side gate driver output of port 0. Connect to the boost (output) side sync (high-side) FET gate. Use a wide trace to minimize inductance of this connection.
9	BST2_0		Boosted power supply of port 0 boost high-side gate driver. Bootstrap capacitor node. Connect Schottky diode from VDDD to BST2_0. Also, connect a bootstrap capacitor from this pin to SW2_0.
10	COMP_0		EA output pin of port 0. Connect a compensation network to GND. Contact Infineon for assistance in designing the compensation network.
11	CSPO_0		Positive input of output CSA of port 0. Connect to positive terminal of the output current sense resistor.
12	CSNO_0		Negative input of output CSA of port 0. Connect to negative terminal of the output current sense resistor.
13	VBUS_IN_0		Input of feedback voltage of EA of port 0. Connect to the VBUS node between the output current sense resistor and the VBUS Provider NFET.
14	VBUS_C_0		Type-C connector VBUS voltage of port 0. Connect to the Type-C connector's VBUS pin.

## 引脚信息

表 2 EZ-PD™ CCG7DC 引脚分布表 (续)

Pin#	Pin name	GPIO port	Description
15	CC1_0	–	Type-C connector configuration channel 1 of port 0. Connect directly to the CC1 pin on the port's Type-C connector. Also connect a 390-pF capacitor to ground.
16	CC2_0	–	Type-C connector configuration channel 2 of port 0. Connect directly to the CC2 pin on the port's Type-C connector. Also connect a 390-pF capacitor to ground.
17	VBUS_CTRL_0		VBUS NFET gate driver output of port 0. Connect to the provider NFET's gate.
18	CSN_0_GPIO0	P0.0	GPIO
19	CSP_0_GPIO1	P0.1	
20	GPIO2	P0.2	
21	GPIO3	P0.3	
22	GPIO4	P0.4	
23	DP_0_GPIO5	P1.0	USB D+ of port 0/GPIO: D+ for implementing BC 1.2, AFC, QC or Apple Charging. EZ-PD™ CCG7DC does not support USB data transmission on this pin.
24	DM_0_GPIO6	P1.1	USB D- of port 0/GPIO: D- for implementing BC 1.2, AFC, QC or Apple Charging. EZ-PD™ CCG7DC does not support USB data transmission on this pin.
25	VDDD	–	5-V LDO output. Connect a 1-μF ceramic bypass capacitor to this pin. Also, connect this pin directly to pin 63.
26	DM_1_GPIO7	P1.2	USB D- of port 1/GPIO: D- for implementing BC 1.2, AFC, QC or Apple Charging. EZ-PD™ CCG7DC does not support USB data transmission on this pin.
27	DP_1_GPIO8	P1.3	USB D+ of port 1/ GPIO: D+ for implementing BC 1.2, AFC, QC or Apple Charging. EZ-PD™ CCG7DC does not support USB data transmission on this pin.
28	XRES	–	External reset – active low. Contains a 3.5 kΩ to 8.5 kΩ internal pull-up.
29	GPIO9	P2.0	GPIO
30	GPIO10	P2.1	
31	GPIO11	P1.4	
32	CSP_1_GPIO12	P1.5	
33	CSN_1_GPIO13	P1.6	
34	GND		Chip ground. Connect directly to the exposed pad (EPAD) and to pin 64.
35	VBUS_CTRL_1		VBUS NFET gate driver output of port 1. Connect to the provider NFET's gate.
36	CC2_1	–	Type-C connector configuration channel 2 of port 1. Connect directly to the CC2 pin on the port's Type-C connector. Also connect a 390-pF capacitor to ground.
37	CC1_1		Type-C connector configuration channel 1 of port 1. Connect directly to the CC1 pin on the port's Type-C connector. Also connect a 390-pF capacitor to ground.

## 引脚信息

表 2 EZ-PD™ CCG7DC 引脚分布表 (续)

Pin#	Pin name	GPIO port	Description
38	VBUS_C_1		Type-C connector BUS voltage of port 1. Connect to the Type-C connector's VBUS pin.
39	VBUS_IN_1		Input of feedback voltage of EA of port 1. Connect to the VBUS node between the output current sense resistor and the VBUS provider NFET.
40	CSNO_1		Negative input of output CSA of port 1. Connect to negative terminal of the output current sense resistor.
41	CSPO_1		Positive input of output CSA of port 1. Connect to positive terminal of the output current sense resistor.
42	COMP_1		EA output pin of port 1. Connect a compensation network to GND. Contact Infineon for assistance in designing the compensation network.
43	BST2_1		Boosted power supply of port 1 boost high-side gate driver. Connect Schottky diode from VDDD to BST2_1. Bootstrap capacitor node. Also, connect a bootstrap capacitor from this pin to SW2_1.
44	HG2_1		Boost high-side gate driver output of port 1. Connect to the boost (output) side sync (high-side) FET gate. Use a wide trace to minimize inductance of this connection.
45	SW2_1		Negative power rail of port 1 boost high-side gate driver. This is also connected to one input terminal of reverse current protection of boost high-side gate driver. Connect to the switch node (inductor) on the boost (output) side. Use a short and wide trace to minimize the inductance and resistance of this connection.
46	VOUT_1		Output of the buck-boost converter of port 1. This is also connected to one input terminal of reverse current protection of boost high-side gate driver. Connect to the boost sync (high-side) FET's drain. Use a dedicated (Kelvin) trace for this connection.
47	LG2_1		Boost low-side gate driver output of port 1. Connect to the boost (output) side control (low-side) FET gate. Use a wide trace to minimize inductance of this connection.
48	PVDD_1		Supply of low-side gate driver of port 1. Connect to VDDD. Use a 1 $\mu$ F and 0.1 $\mu$ F bypass capacitors as close to the EZ-PD™ CCG7DC device as possible.
49	PGND_1		Ground of low-side gate driver of port 1. This is also connected to one input terminal of zero current detection of buck low-side gate driver. Connect directly to Port 0's board ground plane.
50	LG1_1		Buck low-side gate driver output of port 1. Connect to the buck (input) side sync (low-side) FET gate. Use a wide trace to minimize inductance of this connection.
51	SW1_1		Negative power rail of port 1 buck high-side gate driver. This is also connected to one input terminal of zero current detection of buck low-side gate driver. Connect to the switch node (inductor) on the buck (input) side. Use a short and wide trace to minimize the inductance and resistance of this connection.
52	HG1_1		Buck high-side gate driver output of port 1. Connect to the buck (input) side control (high-side) FET gate. Use a wide trace to minimize inductance of this connection.

## 引脚信息

表 2 EZ-PD™ CCG7DC 引脚分布表 (续)

Pin#	Pin name	GPIO port	Description
53	BST1_1	-	Boosted power supply of port 1 buck high-side gate driver. Connect Schottky diode from VDDD to BST1_1. Bootstrap capacitor node.
54	CSNI_1		Negative input of input CSA of port 1. Connect to the negative terminal of the input current sense resistor. Use a dedicated (Kelvin) connection.
55	CSPI_1		Positive input of input CSA of port 1. Connect to the positive terminal of the input current sense resistor. Use a dedicated (Kelvin) connection.
56	GPIO14/SWD_DAT	P3.0	GPIO/SWD programming and debug data signal
57	GPIO15/SWD_CLK	P3.1	GPIO/SWD programming and debug clock signal
58	GPIO16	P3.2	GPIO
59	GPIO17	P3.3	
60	GPIO18	P3.4	
61	VIN	-	
62	VCCD		1.8-V core LDO output. Connect a 0.1-μF bypass capacitor to ground. Do not connect anything else to this pin.
63	VDDD		5-V LDO output. Connect to pin 25. Also connect a 10-μF bypass capacitor to this pin.
64	GND		Chip ground. Connect to the EPAD and to pin 34.
65	CSPI_0		Positive input of input CSA of port 0. Connect to the positive terminal of the input current sense resistor. Use a dedicated (Kelvin) connection.
66	CSNI_0		Negative input of input CSA of port 0. Connect to the negative terminal of the input current sense resistor. Use a dedicated (Kelvin) connection.
67	BST1_0	-	Boosted power supply of port 0 buck high-side gate driver. Bootstrap capacitor node. Connect Schottky diode from VDDD to BST1_0. Also, connect a bootstrap capacitor from this pin to SW1_0.
68	HG1_0		Buck high-side gate driver output of port 0. Connect to the buck (input) side control (high-side) FET gate. Use a wide trace to minimize inductance of this connection.
	EPAD		Exposed ground pad. Connect directly to pins 34 and 64.

表 3 GPIO 引脚及其功能

68 QFN		SCB function			Analog	TCPWM		Fault Protection
Pin	GPIO#	UART	SPI	I2C		ACT #0	ACT#1	
18	CSN_0_GPIO0	scb[1].uart_cts:0	scb[1].spi_select0:0	-	amuxbus_a/b	tcpwm.line[1]:0	tcpwm.tr_compare_match[1]:0	-
19	CSP_0_GPIO1	scb[2].uart_rts:0	scb[2].spi_miso:0	-	amuxbus_a/b	tcpwm.line[0]:0	tcpwm.tr_compare_match[0]:0	-
20	GPIO2	scb[2].uart_cts:0	scb[2].spi_mosi:0	-	amuxbus_a/b	-	-	usbpd[0].fault_gpio0
21	GPIO3	scb[2].uart_rx:0	scb[2].spi_clk:0	scb[2].i2c_scl:0	amuxbus_a/b	tcpwm.line[0]:2	-	-
22	GPIO4	scb[2].uart_tx:0	scb[2].spi_select0:0	scb[2].i2c_sda:0	amuxbus_a/b	tcpwm.line[1]:2	-	-
23	DP_0_GPIO5	scb[0].uart_cts:0	scb[0].spi_mosi:0	-	amuxbus_a/b	tcpwm.line[2]:2	-	-
24	DM_0_GPIO6	scb[0].uart_rts:0	scb[0].spi_select0:0	-	amuxbus_a/b	tcpwm.line[3]:2	-	-
26	DM_1_GPIO7	-	-	-	amuxbus_a/b	-	-	usbpd[1].fault_gpio1
27	DP_1_GPIO8	-	-	-	amuxbus_a/b	-	-	usbpd[0].fault_gpio1
29	GPIO9	scb[0].uart_tx:0	scb[0].spi_miso:0	scb[0].i2c_sda:0	amuxbus_a/b	-	-	-
30	GPIO10	scb[0].uart_rx:0	scb[0].spi_clk:0	scb[0].i2c_scl:0	amuxbus_a/b	-	-	-
31	GPIO11	scb[1].uart_tx:0	scb[1].spi_mosi:0	scb[1].i2c_sda:0	amuxbus_a/b	tcpwm.line[2]:0	-	usbpd[1].fault_gpio0
32	CSP_1_GPIO12	scb[1].uart_rx:0	scb[1].spi_clk:0	scb[1].i2c_scl:0	amuxbus_a/b	tcpwm.line[3]:0	tcpwm.tr_compare_match[3]:0	-
33	CSN_1_GPIO13	scb[1].uart_rts:0	scb[1].spi_miso:0	-	amuxbus_a/b	--	tcpwm.tr_compare_match[2]:0	-
56	GPIO14	scb[3].uart_tx:0	scb[3].spi_miso:0	scb[3].i2c_sda:0	amuxbus_a/b	tcpwm.line[0]:1	tcpwm.tr_compare_match[0]:1	-
57	GPIO15	scb[3].uart_rx:0	scb[3].spi_clk:0	scb[3].i2c_scl:0	amuxbus_a/b	tcpwm.line[1]:1	tcpwm.tr_compare_match[1]:1	-
58	GPIO16	scb[3].uart_cts:0	scb[3].spi_mosi:0	-	amuxbus_a/b	tcpwm.line[2]:1	tcpwm.tr_compare_match[2]:1	-
59	GPIO17	scb[3].uart_rts:0	scb[3].spi_select0:0	-	amuxbus_a/b	tcpwm.line[3]:1	tcpwm.tr_compare_match[3]:1	-
60	GPIO18	-	-	-	amuxbus_a/b	-	-	-

## 引脚信息

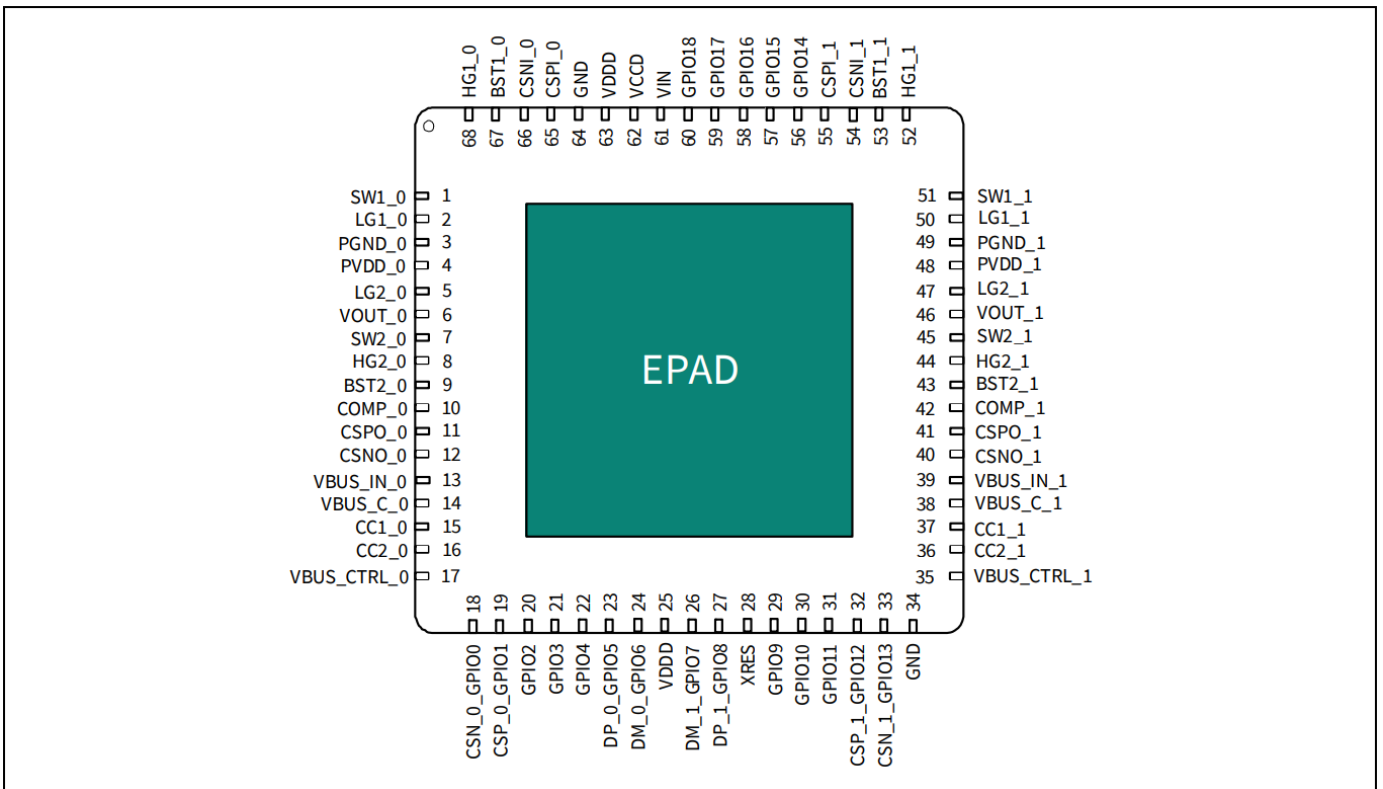


图 8 EZ-PD™ CCG7DC 68引脚 QFN 分布

## 4 EZ-PD™ CCG7DC 编程和引导加载

有两种方法可以将应用程序固件编程到 EZ-PD™ CCG7DC 设备中：

1. 通过 SWD 接口对设备闪存进行编程
2. 通过特定接口（CC、I2C）更新应用程序固件

一般来说，EZ-PD™ CCG7DC 器件仅在开发过程中或终端产品制造过程中通过 SWD 接口进行编程。终端产品制造完成后，EZ-PD™ CCG7DC 器件的应用固件可通过相应的引导加载器接口进行更新。英飞凌强烈建议在量产前使用 [EZ-PD™ 配置实用程序](#) 关闭通过 CC 或 I2C 接口更新 EZ-PD™ CCG7DC 闪存中的应用固件。这样可以防止在现场通过 CC 接口更新未经授权的固件。如果您希望保留通过 CC/I2C 接口进行应用固件更新的功能，以便在生产后进行现场固件更新，请联系 [英飞凌销售](#)，了解进一步的指导原则。

### 4.1 通过 SWD 接口对设备闪存进行编程

EZ-PD™ CCG7DC 系列器件可使用 SWD 接口进行编程。英飞凌提供编程套件 ([CY8CKIT-002 MiniProg3 套件](#)) 称为 MiniProg3 和 ([CY8CKIT-005 MiniProg4 套件](#)) MiniProg4 可用于编程闪存以及调试固件。闪存的编程是通过从十六进制文件下载信息进行的。该 [十六进制文件](#) 是在 [PSOC™ Creator 软件](#) 中构建固件项目时生成的二进制文件。点击 [此处](#) 了解更多关于如何使用 MiniProg3 编程器的信息。点击 [此处](#) 了解更多关于如何使用 MiniProg4 编程器的信息。市面上有许多第三方编程器支持在制造环境中进行大规模编程。

如图 9 所示，SWD\_DAT 和 SWD\_CLK 引脚分别连接到主机编程器的 SWDIO（数据）和 SWDCLK（时钟）引脚。在 SWD 编程期间，可以通过将器件的 VTARG（目标器件电源）连接到 EZ-PD™ CCG7DC 器件的 VDDD 引脚，由主机编程器为器件供电。如果 EZ-PD™ CCG7DC 器件使用板载电源供电，则可以使用“复位编程”选项进行编程。更多详细信息，请参阅 CCG7XXX 编程规格。

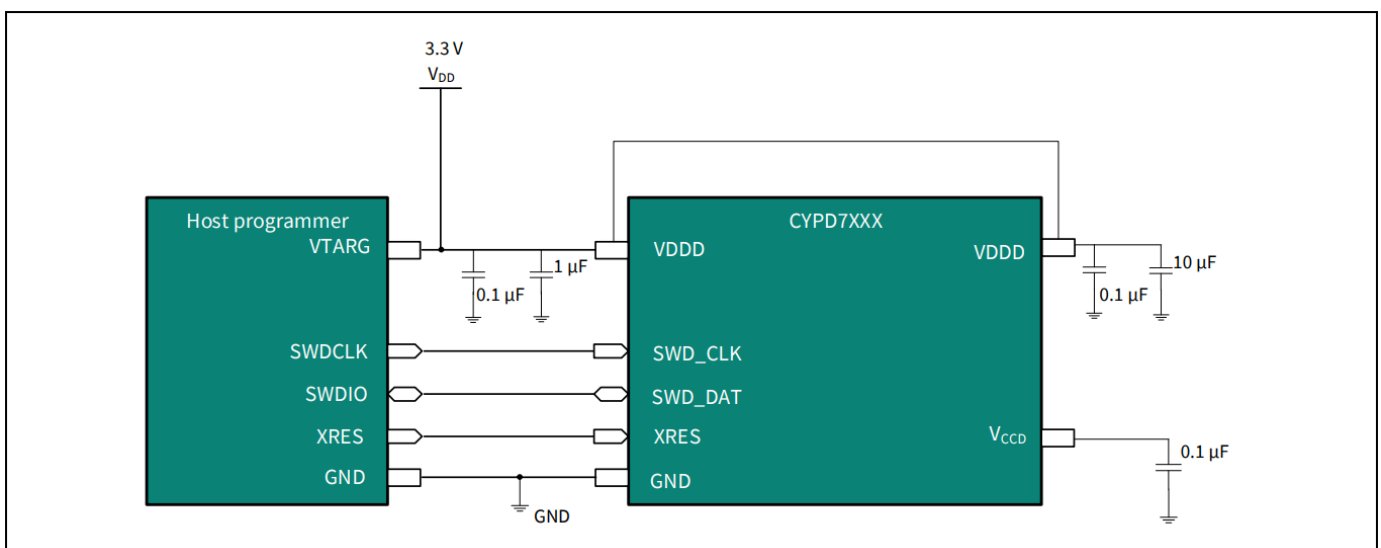


图 9 将编程器连接到 CYPD7XXX 设备

## 4.2 使用引导加载程序更新应用程序固件

EZ-PD™ CCG7DC 有两种引导加载程序可供选择：

- CC 和 I2C 引导加载程序 - 该引导加载程序的 GPIO 4 引脚 22 设置为强驱动低电平，以驱动用于 VBAT 至 GND 短路保护的 FET。引导加载程序中的 VBUS\_CTRL 引脚被配置为控制提供商 FET。引导加载程序适用于带或不带提供商 FET 的设计
- LIN 引导加载程序 - EZ-PD™ CCG7DC 器件出厂时已编程 CC 和 I2C 引导加载程序

### 4.2.1 通过 CC 接口 更新应用程序固件

对于通过 CC 接口引导 EZ-PD™ CCG7DC 应用程序，CY4532 EVK 或 CCProg PAT：USB-C 电源适配器编程器和测试仪用于通过 CC 线路以英飞凌特定供应商定义消息 (VDM) 的形式发送编程和配置数据。CY4532 EVK 的电源板或 PAT 测试仪一端连接到包含 EZ-PD™ CCG7DC 器件的系统，另一端连接到运行 EZ-PD™ 配置实用程序的 Windows PC，如图 10 所示，以引导加载 EZ-PD™ CCG7DC 器件。

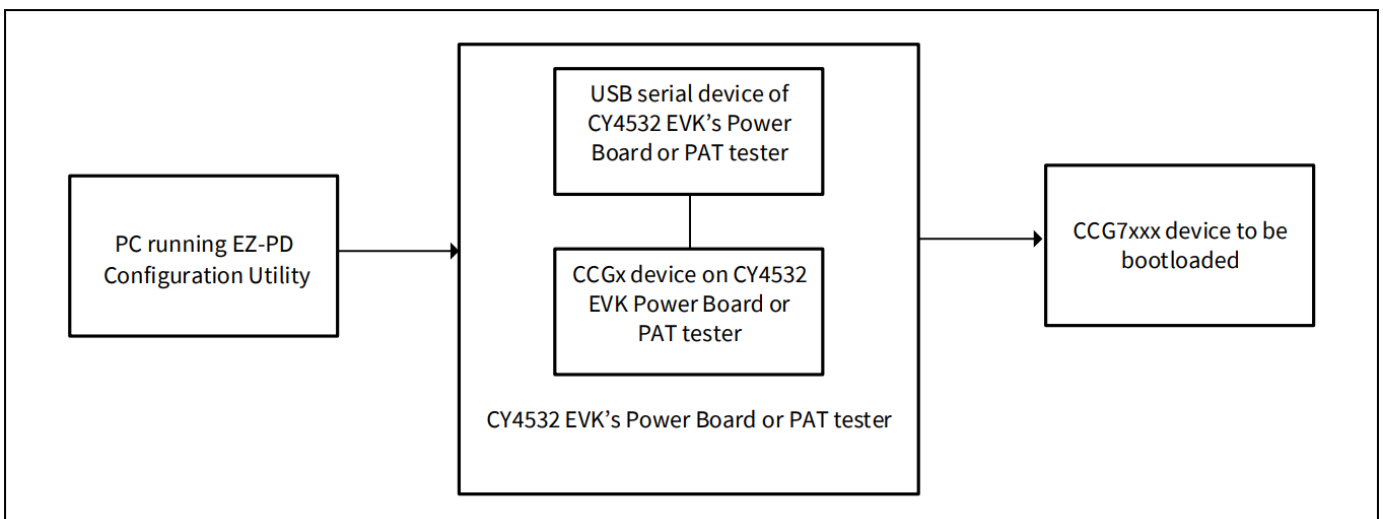


图 10 通过 CC 接口更新应用程序固件

CC 接口上的应用固件 (FW) 更新功能用于开发和制造过程。英飞凌强烈建议客户在批量生产前使用 EZ-PD™ 配置实用程序关闭通过 CC 接口更新 EZ-PD™ CCG7DC 闪存中固件的应用 FW 更新。这可以防止在现场通过 CC 接口更新未经授权的固件。请参阅知识库文章 KBA230192，了解如何在 EZ-PD™ 配置实用程序中进行配置。如果您希望保留通过 CC 接口进行应用固件更新的功能，以便进行现场固件更新的后期制作，请联系英飞凌支持部门，获取有关如何使用经过验证的 CC 引导加载器的进一步指导。

### 4.2.2 通过 I2C 接口 更新应用程序固件

默认引导加载程序支持 CC 和 I2C 接口。对于通过 I2C 接口引导加载 EZ-PD™ CCG7DC 应用，任何主机处理器都可以执行传统的引导命令。有关主机处理器实施的更多详情，请联系英飞凌支持。主处理器与 EZ-PD™ CCG7DC 之间通过 I2C 接口启动加载的连接如图 11 所示。

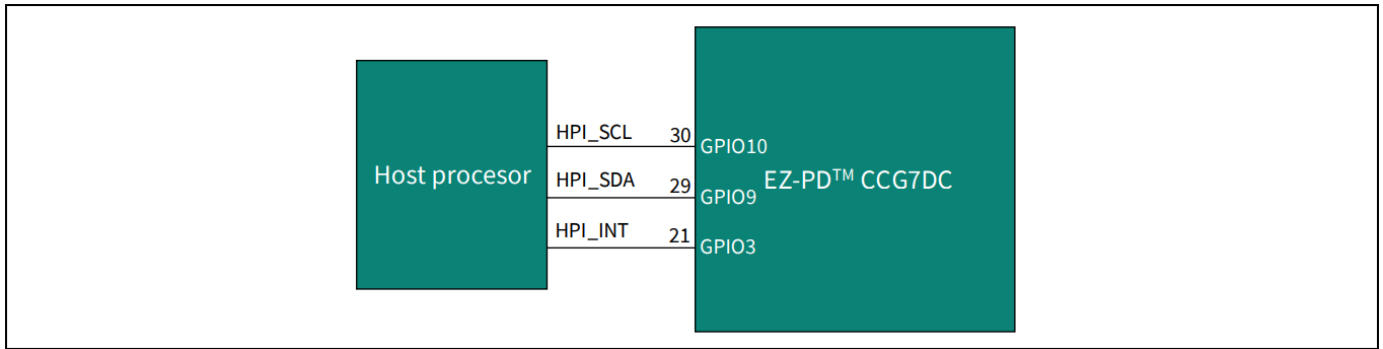


图 11 通过 I2C 接口更新应用固件的 GPIO 映射

### 4.2.3 通过 LIN 接口 更新应用程序固件

基于 LIN 的引导加载程序使用 HPI 支持通过 LIN 接口进行固件和配置更新。无论底层通信协议（CC/I2C/LIN）如何，所有引导加载器接口的命令序列都是相同的。LIN 引导加载器将支持通过 UDS 协议发出的标准诊断命令，从而实现与汽车 LIN 网络的轻松集成，帮助客户缩短设计周期。LIN 引导加载程序的默认波特率为 19200。LIN 收发器与 EZ-PD™ CCG7DC 之间通过 LIN 接口进行引导加载的连接如图 12 所示。

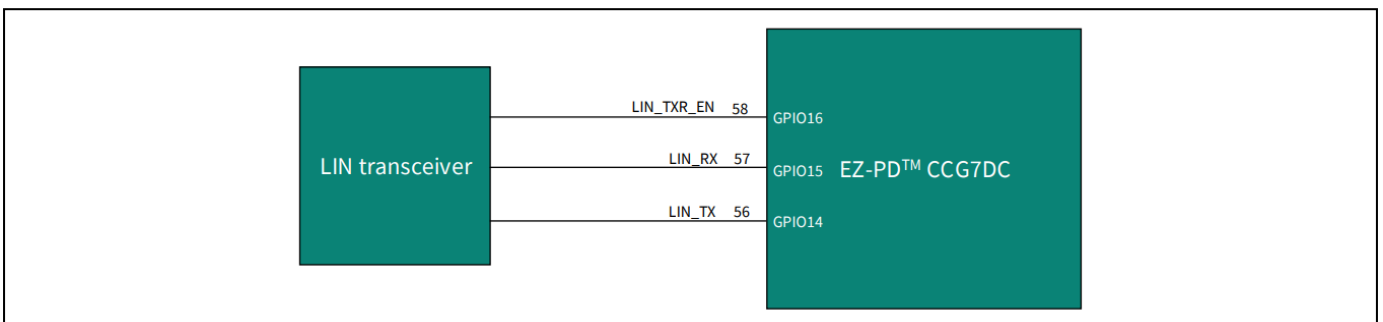


图 12 通过 LIN 接口更新应用固件的 GPIO 映射

## 5 应用

图 14 展示了使用 EZ-PD™ CCG7DC 的多端口点烟器适配器 (CLA) 应用框图。CLA 由汽车电池供电，用于为手机/平板电脑/笔记本电脑充电。在此应用中，EZ-PD™ CCG7DC 始终处于 DFP 角色，支持设备充电。它与所连接的设备协商功率，并使用集成的降压-升压控制器提供所需的电压和电流。

Type-C 插座的 DP/DM 线连接到 EZ-PD™ CCG7DC，以支持传统充电协议，如 QC3.0、Samsung AFC、Apple 2.4A 充电、BC v1.2 等。当没有负载连接到 USB Type-C 端口时，EZ-PD™ CCG7DC 保持待机模式，而不会打开降压-升压控制器。

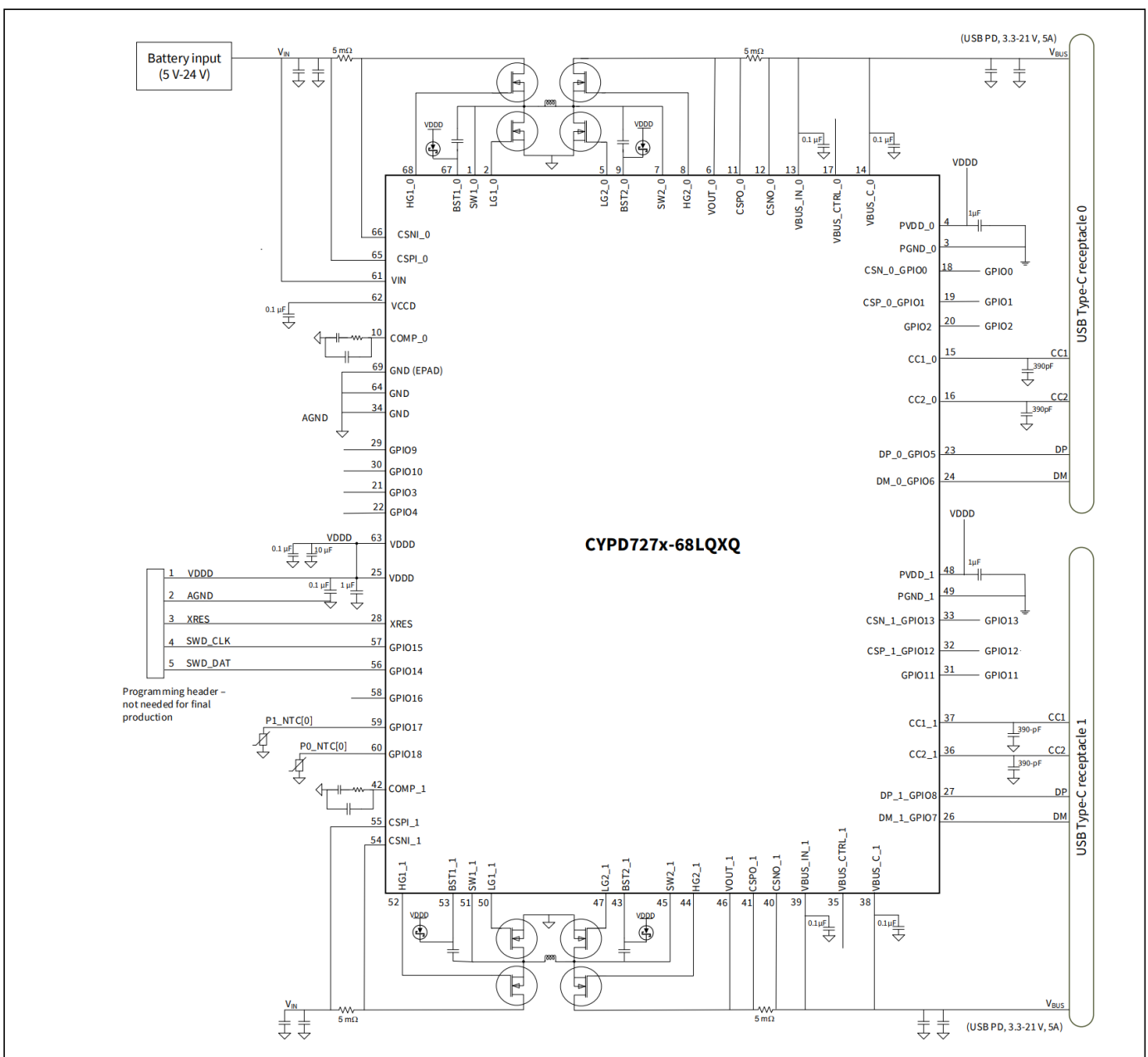


图 13 EZ-PD™ CCG7DC CLA 应用图

## 应用

表 4 应用图的 CLA GPIO 引脚映射在 图 14

Pin #	Pin name	Function	GPIO	CLA
18	GPIO0	General purpose IO, available for system level function	P0.0	GPIO
19	GPIO1		P0.1	
20	GPIO2		P0.2	
21	GPIO3		P0.3	
22	GPIO4		P0.4	
23	DP_0_GPIO5	Port 0: USB DP of Type-C port. Supports BC 1.2, QC, Apple Charging and AFC.	P1.0	P0_DP
24	DM_0_GPIO6		P1.1	P0_DM
26	DM_1_GPIO7	Port 1: USB DM of Type-C port. Supports BC 1.2, QC, Apple Charging and AFC.	P1.2	P1_DM
27	DP_1_GPIO8		P1.3	P1_DP
29	GPIO9	General purpose IO, available for system level function	P2.0	GPIO
30	GPIO10		P2.1	
31	GPIO11		P1.4	
32	GPIO12		P1.5	
33	GPIO13		P1.6	
56	GPIO14	Connect to the host programmer's SWDIO (data) for programming the EZ-PD™ CCG7DC device	P3.0	
57	GPIO15	Connect to the host programmer's SWDCLK (clock) for programming the EZ-PD™ CCG7DC chip enable pin	P3.1	CHIP_EN
58	GPIO16	GPIO, available for system level function	P3.2	GPIO
59	GPIO17	Port 1: Thermistor	P3.3	P1_NTC[0]
60	GPIO18	Port 0: Thermistor	P3.4	P0_NTC[0]

图 15 展示了使用 EZ-PD™ CCG7DC 的双 Type-C 端口 AC/DC 电源适配器应用框图。在此应用中，EZ-PD™ CCG7DC 始终处于 DFP 角色，支持设备充电。它与所连接的设备协商功率，并使用集成的降压控制器提供所需的电压和电流。通过动态控制光耦合器的反馈，可以优化效率，从而达到以下目的

## 应用

将降压输入电压调节到最接近的输出电压。该应用程序可配置为支持传统充电协议 - BC1.2 DCP、Qualcomm QC2.0/3.0、苹果充电和三星 AFC。

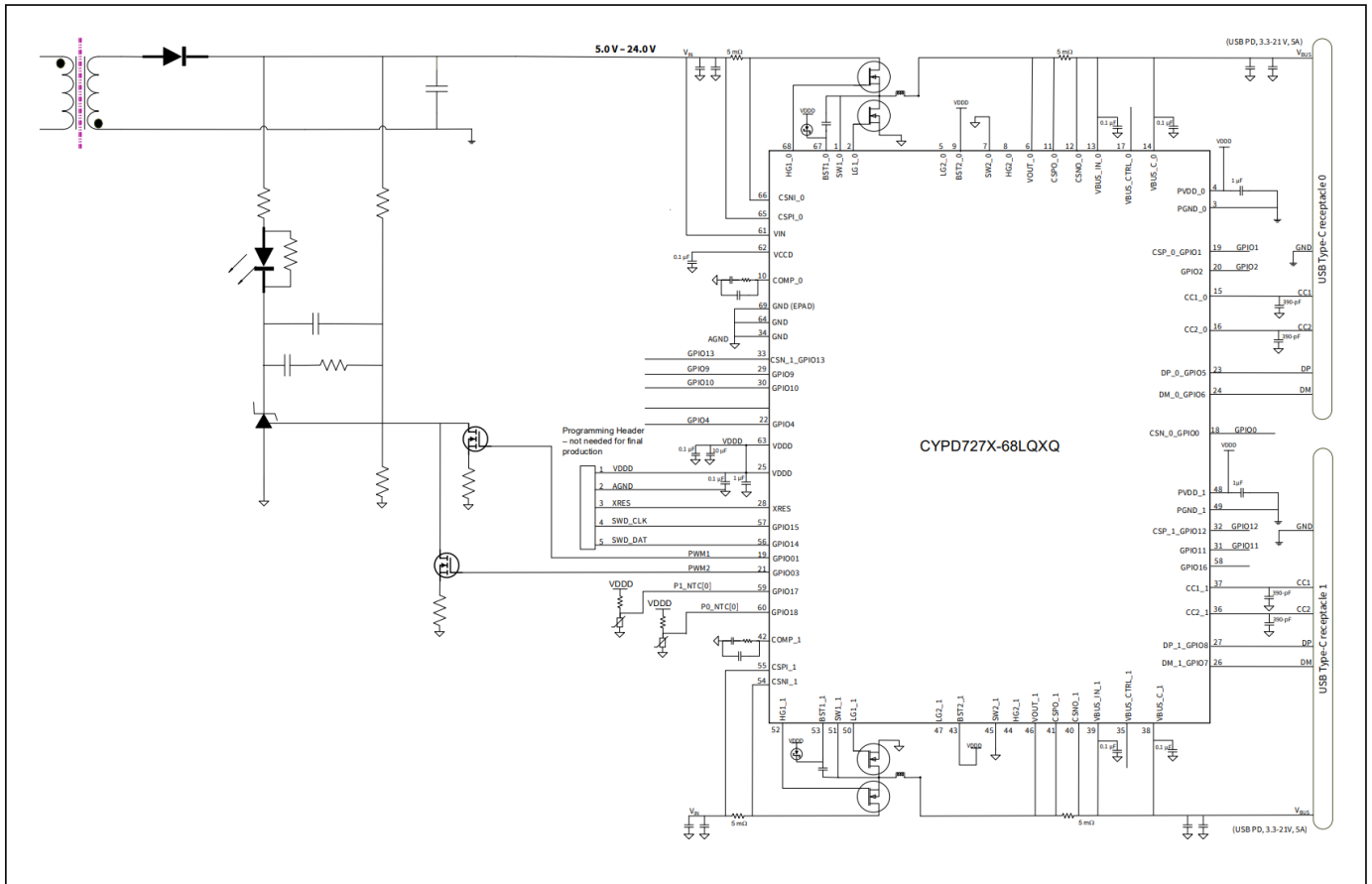


图 14 EZ-PD™ CCG7DC 多端口 AC-DC 适配器应用示意图

## 6 电气规格

### 6.1 绝对最大额定值

超过最大额定值可能缩短器件的使用寿命。用户指南尚未经过测试。

表 5 绝对最大额定值<sup>[1]</sup>

Parameter	Description	Min	Typ	Max	Unit	Details/conditions
VIN_MAJ	Maximum input supply voltage	–	–	40	V	–
VDDD_MAJ	Maximum supply voltage relative to VSS			6		
V5V_MAJ	Maximum supply voltage relative to VSS					
VBUS_C_MAJ	Max $V_{\text{BUS\_C}}$ (P0/P1) voltage relative to Vss			24		
VCC_PIN_ABS	Max voltage on CC1 and CC2 pins					
VGPIO_ABS	Inputs to GPIO	–0.5		VDDD + 0.5		
VGPIO_OVT_ABS	OVT GPIO Voltage	–0.5		6		
IGPIO_ABS	Maximum current per GPIO	–25		25	mA	
IGPIO_INJECTION	GPIO injection current, max for $V_{\text{IH}} > V_{\text{DDD}}$ , and Min for $V_{\text{IL}} < V_{\text{SS}}$	–0.5		0.5		Absolute max, current injected per pin
ESD_HBM	Electrostatic discharge human body model (ESD HBM)	–		2000	V	All pins
ESD_CDM	Electrostatic discharge charged device model (ESD CDM)			500		Charged device model ESD
LU	Pin current for latch-up	–100		100	mA	–
TJ	Junction temperature	–40		125	°C	

#### 注释:

- 表 5 列出了绝对最大条件之上的使用可能会对器件造成永久性损坏。长时间暴露于绝对最大条件下可能会影响器件的可靠性.最高存储温度为 150°C，符合 JEDEC 标准 JESD22-A103 高温存储寿命.在绝对最大条件以下但高于正常工作条件的情况下使用时，器件可能无法按规格运行。

## 电气规格

表 6 基于引脚的绝对最大额定值

Pin#	Pin name	Absolute minimum (V)	Absolute maximum (V)
1	SW1_0	-0.7	35
2	LG1_0 <sup>[2]</sup>	-0.5	PVDD + 0.5
3	PGND_0	-0.3	0.3
4	PVDD_0		VDDD
5	LG2_0 <sup>[2]</sup>	-0.5	PVDD + 0.5
6	VOUT_0	-0.3	24
7	SW2_0		24
8	HG2_0 (wrt SW2_0) <sup>[2]</sup>	-0.5	PVDD + 0.5
9	BST2_0 (wrt SW2_0) <sup>[2]</sup>		
10	COMP_0 <sup>[2]</sup>	-0.5	
11	CSPO_0	-0.3	24
12	CSNO_0		
13	VBUS_IN_0		
14	VBUS_C_0		
15	CC1_0	-0.5	
16	CC2_0		
17	VBUS_CTRL_0		32
18	CSN_0_GPIO0 <sup>[2]</sup>		PVDD + 0.5
19	CSP_0_GPIO1 <sup>[2]</sup>		
20	GPIO2 <sup>[2]</sup>		
21	GPIO3 <sup>[2]</sup>		
22	GPIO4 <sup>[2]</sup>		
23	DP_0_GPIO5 <sup>[2]</sup>		
24	DM_0_GPIO6 <sup>[2]</sup>		
25	VDDD	-	6
26	DM_1_GPIO7 <sup>[2]</sup>	-0.5	PVDD + 0.5
27	DP_1_GPIO8 <sup>[2]</sup>		
28	XRES <sup>[2]</sup>		
29	GPIO9 <sup>[2]</sup>		
30	GPIO10 <sup>[2]</sup>		
31	GPIO11 <sup>[2]</sup>		
32	CSP_1_GPIO12 <sup>[2]</sup>		
33	CSN_1_GPIO13 <sup>[2]</sup>		
34	GND	-	-

## 笔记

2. 最大电压不能超过 6 V。
3. 最大绝对电压GND 的电压不得超过 40 V。

## 电气规格

表 6 基于引脚的绝对最大额定值 (续)

Pin#	Pin name	Absolute minimum (V)	Absolute maximum (V)	
35	VBUS_CTRL_1	-0.5	32	
36	CC2_1		24	
37	CC1_1			
38	VBUS_C_1		-0.3	
39	VBUS_IN_1			
40	CSNO_1			
41	CSPO_1			
42	COMP_1 <sup>[2]</sup>	-0.5	PVDD + 0.5	
43	BST2_1 <sup>[2]</sup> (wrt SW2_1)			
44	HG2_1 <sup>[2]</sup> (wrt SW2_1)	-0.5		
45	SW2_1	-0.3	24	
46	VOUT_1	-0.3	24	
47	LG2_1 <sup>[2]</sup>	-0.5	PVDD + 0.5	
48	PVDD_1		VDDD	
49	PGND_1	-0.3	0.3	
50	LG1_1 <sup>[2]</sup>	-0.5	PVDD + 0.5	
51	SW1_1	-0.7	35	
52	HG1_1 <sup>[2,3]</sup> (wrt SW1_1)	-0.5	PVDD + 0.5	
53	BST1_1 <sup>[2,3]</sup> (wrt SW1_1)			
54	CSNI_1	-0.3	40	
55	CSPI_1		40	
56	GPIO14/SWD_DAT <sup>[2]</sup>	-0.5	PVDD + 0.5	
57	GPIO15/SWD_CLK <sup>[2]</sup>			
58	GPIO16 <sup>[2]</sup>			
59	GPIO17 <sup>[2]</sup>			
60	GPIO18 <sup>[2]</sup>			
61	VIN	-0.3	40	
62	VCCD	-	-	
63	VDDD		6	
64	GND		-	
65	CSPI_0	-0.3	40	
66	CSNI_0			
67	BST1_0 <sup>[2,3]</sup> (wrt SW1_0)	-	PVDD + 0.5	
68	HG1_0 <sup>[2,3]</sup> (wrt SW1_0)	-0.5		
	EPAD	-	-	

## 注释:

2. 最大电压不能超过 6 V。
3. 最大绝对电压GND 的电压不得超过 40 V。

## 电气规格

## 6.2 器件级规格

除非另有说明，所有规格均适用于  $-40^{\circ}\text{C} \leq T_A \leq 105^{\circ}\text{C}$  和  $T_J \leq 125^{\circ}\text{C}$ 。  
除非另有说明，否则这些规范的适用电压范围为 3.0V ~ 5.5 V。

## 6.2.1 直流规格

表7 直流规格 (工作条件)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.PWR#1	VIN	Input supply voltage	4.0	-	24	V	-
SID.PWR#1A	VIN_BB	Buck Boost Operating input supply voltage	5.5		24		
SID.PWR#2	VDDD_REG	VDDD output with VIN 5.5 V to 24 V, Max load = 150 mA	4.6		5.5		
SID.PWR#3	VDDD_MIN	VDDD output with VIN 4 V to 5.5 V, Max load = 20mA	$V_{IN} - 0.2$		-		
SID.PWR#20	VBUS	VBUS_C_0/1 valid range	3.3		21.5		
SID.PWR#5	VCCD	Regulated output voltage (for Core Logic)	-	1.8	-		
SID.PWR#16	CEFC_VCCD	External regulator voltage bypass for VCCD	80	100	120	nF	X5R ceramic
SID.PWR#17	CEXC_VDDD	Power Supply decoupling capacitor for VDDD	-	10	-	μF	
SID.PWR#18	CEXV	Bootstrap supply capacitor (BST1_0, BST1_1, BST2_0, BST2_1)	-	0.1	-		
SID.PWR#24	IDD_ACT	Supply current at 0.4 MHz switching frequency	-	85	-	mA	TA = 25°C, VIN = 12 V. CC IO in transmit or receive, no I/O sourcing current, no VCONN load current, CPU at 24 MHz, two PD ports active. Buck-boost converter ON, 3-nF gate driver capacitance.

## 深度睡眠模式

SID_DS1	IDD_DS1	VIN = 12 V. CC wakeup on, Type-C not connected	-	110	-	μA	Type-C not attached, CC enabled for wakeup. Rp connection should be enabled for both PD ports. TA = 25°C. All faults disabled.
SID_DS2	IDD_DS2	VIN = 12 V	-	50	-		USB-PD disabled. Wake-up from GPIO. TA = 25°C.
SID_DS3	IDD_DS3	VIN = 12 V. CC wakeup on, Type-C not connected	-	450	-	μA	Type-C not attached, CC enabled for wakeup. Rp connection should be enabled for both PD ports. TA = 25°C. All faults disabled except VBAT-GND.

## 电气规格

## 6.2.2 CPU

表 8 CPU 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#4	$F_{CPU}$	CPU input frequency	–	–	48	MHz	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$ , All $V_{DD}$
SID.PWR#19	$T_{DEEPSLEEP}$	Wakeup from deepsleep mode		35	–	$\mu\text{s}$	–
SYS.XRES#5	$T_{XRES}$	External reset pulse width	5	–			

## 6.2.3 GPIO

表9 GPIO 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GIO#9	$V_{IH\_CMOS}$	Input voltage HIGH threshold	$0.7 \times V_{DD}$	–	–	V	CMOS input  $I_{OH} = -4 \text{ mA}$ , $-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$  $I_{OL} = 10 \text{ mA}$ , $-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$
SID.GIO#10	$V_{IL\_CMOS}$	Input voltage LOW threshold	–		$0.3 \times V_{DD}$		
SID.GIO#7	$V_{OH\_3V}$	Output voltage HIGH level	$V_{DD} - 0.6$		–		
SID.GIO#8	$V_{OL\_3V}$	Output voltage LOW level	–		0.6		
SID.GIO#2	Rpu	Pull-up resistor when enabled	3.5	5.6	8.5	$\text{k}\Omega$	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$
SID.GIO#3	Rpd	Pull-down resistor when enabled					
SID.GIO#4	$I_{IL}$	Input leakage current (absolute value)	–	–	2	nA	$+25^{\circ}\text{C} T_A$ , $3\text{-}V_{DD}$
SID.GIO#5	$C_{PIN\_A}$	Max pin capacitance			22	pF	$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$ , Capacitance on DP, DM pins
SID.GIO#6	$C_{PIN}$			3	7		$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$ , All $V_{DD}$ , all other I/Os
SID.GIO#11	$V_{IH\_TTL}$	LVTTL input	2.0	–	–	V	$-40^{\circ}\text{C} \text{ to } +105^{\circ}\text{C} T_A$
SID.GIO#12	$V_{IL\_TTL}$		–		0.8		
SID.GIO#13	$V_{HYSTTL}$	Input hysteresis, LVTTL, $V_{DD} > 2.7 \text{ V}$	100	–	–	mV	$V_{DD} > 2.7 \text{ V}$
SID.GIO#14	$V_{HYSCMOS}$	Input hysteresis CMOS	$0.1 \times V_{DD}$				–

## 电气规格

表 10 GPIO交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GIO#16	$T_{RISEF}$	Rise time in fast strong mode	2	-	12	ns	$C_{load} = 25 \text{ pF}$ , $-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$
SID.GIO#17	$T_{FALLF}$	Fall time in fast strong mode					
SID.GIO#18	$T_{RISES}$	Rise time in slow strong mode	10		60		
SID.GIO#19	$T_{FALLS}$	Fall time in slow strong mode					
SID.GIO#20	$F_{GPIO\_OUT1}$	GPIO $F_{OUT}$ ; $3.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ , fast strong mode	-		16	MHz	
SID.GIO#21	$F_{GPIO\_OUT2}$	GPIO $F_{OUT}$ ; $3.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ , slow strong mode.			7		
SID.GIO#22	$F_{GPIO\_IN}$	GPIO input operating frequency; $3.0 \text{ V} \leq V_{DD} \leq 5.5 \text{ V}$ .			16		$-40^{\circ}\text{C} \leq T_A \leq +105^{\circ}\text{C}$

表 11 GPIO OVT 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID.GPIO_20VT_GIO#4	GPIO_20VT_I_LU	GPIO_20VT latch up current limits	-140		140	mA	Max / Min current in to any input or output, pin-to-pin, pin-to-supply
SID.GPIO_20VT_GIO#5	GPIO_20VT_RPU	GPIO_20VT Pull-up resistor value	3.5		8.5	kΩ	-40°C ≤ T <sub>A</sub> ≤ +105°C, All V <sub>DDD</sub>
SID.GPIO_20VT_GIO#6	GPIO_20VT_RPD	GPIO_20VT Pull-down resistor value					
SID.GPIO_20VT_GIO#16	GPIO_20VT_IIL	GPIO_20VT Input leakage current (absolute value)	-		2	nA	+25°C T <sub>A</sub> , 3-V V <sub>DDD</sub>
SID.GPIO_20VT_GIO#17	GPIO_20VT_CPIN	GPIO_20VT pin capacitance			10	pF	-40°C ≤ T <sub>A</sub> ≤ +105°C, All V <sub>DDD</sub>
SID.GPIO_20VT_GIO#33	GPIO_20VT_Voh	GPIO_20VT Output voltage high level.	V <sub>DDD</sub> - 0.6		-	V	I <sub>OH</sub> = -4 mA
SID.GPIO_20VT_GIO#36	GPIO_20VT_Vol	GPIO_20VT Output Voltage low level.	-		0.6		I <sub>OL</sub> = 8 mA
SID.GPIO_20VT_GIO#41	GPIO_20VT_Vih_LVTTL	GPIO_20VT LVTTL input	2		-		-40°C ≤ T <sub>A</sub> ≤ +105°C, All V <sub>DDD</sub>
SID.GPIO_20VT_GIO#42	GPIO_20VT_Vil_LVTTL	GPIO_20VT LVTTL input	-		0.8		
SID.GPIO_20VT_GIO#43	GPIO_20VT_Vhysttl	GPIO_20VT Input hysteresis LVTTL	100		-	mV	-40°C ≤ T <sub>A</sub> ≤ +105°C, All V <sub>DDD</sub>
SID.GPIO_20VT_GIO#45	GPIO_20VT_ITOT_GPIO	GPIO_20VT Maximum total sink pin current to ground	-		95	mA	V (GPIO_20VT pin) > V <sub>DDD</sub>

## 电气规格

表 12 GPIO OVT交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID.GPIO_20VT_70	GPIO_20VT_TriseF	GPIO_20VT rise time in fast strong mode	1	–	15	ns	All $V_{DD}$ , $C_{load} = 25 \text{ pF}$
SID.GPIO_20VT_71	GPIO_20VT_TfallF	GPIO_20VT fall time in fast strong mode					
SID.GPIO_20VT_GIO#46	GPIO_20VT_TriseS	GPIO_20VT rise time in slow strong mode	10		70		
SID.GPIO_20VT_GIO#47	GPIO_20VT_Tfalls	GPIO_20VT fall time in slow strong mode					
SID.GPIO_20VT_GIO#48	GPIO_20VT_FGPIO_OUT1	GPIO_20VT GPIO Fout; $3\text{V} \leq V_{DD} \leq 5.5\text{V}$ . Fast strong mode.	–		33	MHz	All $V_{DD}$
SID.GPIO_20VT_GIO#50	GPIO_20VT_FGPIO_OUT3	GPIO_20VT GPIO Fout; $3\text{V} \leq V_{DD} \leq 5.5\text{V}$ . Slow strong mode.			7		
SID.GPIO_20VT_GIO#52	GPIO_20VT_FGPIO_IN	GPIO_20VT GPIO input operating frequency; $3\text{V} \leq V_{DD} \leq 5.5\text{V}$			8		

## 6.2.4 XRES

表 13 XRES 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/ conditions
SID.XRES#1	$V_{IH\_XRES}$	Input voltage HIGH threshold on XRES pin	$0.7 \times V_{DD}$	–	–	V	CMOS input
SID.XRES#2	$V_{IL\_XRES}$	Input voltage LOW threshold on XRES pin	–		$0.3 \times V_{DD}$		
SID.XRES#3	$C_{IN\_XRES}$	Input capacitance on XRES pin			7	pF	–
SID.XRES#4	$V_{HYSXRES}$	Input voltage hysteresis on XRES pin		$0.05 \times V_{DD}$	–	mV	

## 电气规格

### 6.3 数字外设

下列规范适用于定时器模式下的定时器/计数器/PWM外设。

#### 6.3.1 GPIO引脚的脉冲宽度调制 (PWM)

表 14 PWM 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.TCPWM.1	TCPWM <sub>FREQ</sub>	Operating frequency	-	-	Fc	MHz	Fc max = CLK_SYS
SID.TCPWM.3	T <sub>PWMEXT</sub>	Output trigger pulse width	2/Fc		-	ns	Minimum possible width of overflow, underflow, and CC (counter equals compare value) outputs
SID.TCPWM.4	T <sub>CRES</sub>	Resolution of counter	1/Fc				Minimum time between successive counts
SID.TCPWM.5	PWM <sub>RES</sub>	PWM resolution					Minimum pulse width of PWM output

#### 6.3.2 I<sup>2</sup>C

表15 固定I<sup>2</sup>C交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID153	F <sub>I2C1</sub>	Bit rate	-	-	1	Mbps	-

#### 6.3.3 UART

表16 固定UART交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID162	F <sub>UART</sub>	Bit rate	-	-	1	Mbps	-

#### 6.3.4 SPI

表 17 固定SPI 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID166	F <sub>SPI</sub>	SPI operating frequency (Master; 6X oversampling)	-	-	8	MHz	-

## 电气规格

表 18 SPI从设备模式的固定交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID170	T <sub>DMI</sub>	MOSI valid before Scklock capturing edge	40	–	–	ns	–
SID171	T <sub>DSO</sub>	MISO valid after Scklock driving edge	–		48 + (3 × T <sub>CPU</sub> )		T <sub>CPU</sub> = 1/F <sub>CPU</sub>
SID171A	T <sub>DSO_EXT</sub>	MISO valid after Scklock driving edge in Ext Clk mode			48		–
SID172	T <sub>HSD</sub>	Previous MISO data hold time	0		–		
SID172A	T <sub>SSELSCK</sub>	SSEL valid to first SCK valid edge	100				

表 19 SPI主设备模式的固定交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID167	T <sub>DMD</sub>	MOSI valid after SCKlock driving edge	–	–	15	ns	–
SID168	T <sub>DSI</sub>	MISO valid before SCKlock capturing edge	20		–		Full clock, late MISO sampling
SID169	T <sub>HMD</sub>	Previous MOSI data hold time	0				Referred to slave capturing edge

## 6.3.5 存储器

表 20 Flash 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.MEM#2	FLASH_WRITE	Row (block) write time (erase and program)	–	–	20	ms	–40°C ≤ T <sub>A</sub> ≤ +85°C, All V <sub>DD</sub>
SID.MEM#1	FLASH_ERASE	Row erase time			15.5		
SID.MEM#5	FLASH_ROW_PGM	Row program time after erase			7		
SID178	T <sub>BULKERASE</sub>	Bulk erase time (32 KB)			35		–
SID180	T <sub>DEVPROG</sub>	Total device program time			7.5	s	
SID.MEM#6	FLASH_ENPB	Flash write endurance	100k		–	cycles	25°C ≤ T <sub>A</sub> ≤ 55°C, All V <sub>DD</sub>
SID182	F <sub>RET1</sub>	Flash retention, T <sub>A</sub> ≤ 55°C, 100K P/E cycles	20			years	–
SID182A	F <sub>RET2</sub>	Flash retention, T <sub>A</sub> ≤ 85°C, 10K P/E cycles	10				

## 电气规格

## 6.4 系统资源

## 6.4.1 欠压情况下的上电复位 (POR)

表 21 非精确上电复位 (IPOR)

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID185	V <sub>RISEIPOR</sub>	POR Rising trip voltage	0.80	-	1.50	V	-40°C ≤ T <sub>A</sub> ≤ +105°C, All V <sub>DD</sub> .
SID186	V <sub>FALLIPOR</sub>	POR Falling trip voltage	0.70		1.4		

表 22 精确 POR

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID190	V <sub>FALLPPOR</sub>	Brown-out detect (BOD) trip voltage in Active/Sleep modes	1.48	-	1.62	V	-40°C ≤ T <sub>A</sub> ≤ +105°C, All V <sub>DD</sub> .
SID192	V <sub>FALLDPSLP</sub>	BOD trip voltage in deepsleep mode	1.1		1.5		

## 6.4.2 SWD 接口

表 23 SWD 接口规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.SWD#1	F_SWDCCLK1	3.0 V ≤ V <sub>DDIO</sub> ≤ 5.5 V	-	-	14	MHz	-
SID.SWD#2	T_SWDI_SETUP	T = 1/f SWDCCLK	0.25 × T		-	ns	
SID.SWD#3	T_SWDI_HOLD		-		0.50 × T		
SID.SWD#4	T_SWDO_VALID		-		-		
SID.SWD#5	T_SWDO_HOLD		1		-		

## 6.4.3 内部主振荡器

表 24 IMO 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.CLK#13	F <sub>IMOTOL</sub>	Frequency variation at 48 MHz (trimmed)	-	-	±2	%	3.0 V ≤ V <sub>DD</sub> < 5.5 V. -40°C ≤ T <sub>A</sub> ≤ 105°C.
SID226	T <sub>STARTIMO</sub>	IMO start-up time			7	μs	-40°C ≤ T <sub>A</sub> ≤ +105°C,
SID.CLK#1	F <sub>IMO</sub>	IMO frequency			24	48	MHz

## 6.4.4 内部低速振荡器

表 25 ILO 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID234	T <sub>STARTILO1</sub>	ILO start-up time	-	-	2	ms	-40°C ≤ T <sub>A</sub> ≤ +105°C, All V <sub>DD</sub> .
SID238	T <sub>ILODUTY</sub>	ILO duty cycle	40	50	60	%	
SID.CLK#5	F <sub>ILO</sub>	ILO frequency	20	40	80	kHz	-

## 电气规格

## 6.4.5 PD

表 26 PD直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.DC.cc_shvt.1	vSwing	Transmitter output high voltage	1.05	-	1.2	V	-
SID.DC.cc_shvt.2	vSwing_low	Transmitter output low voltage	-		0.075		
SID.DC.cc_shvt.3	zDriver	Transmitter output impedance	33		75	Ω	
SID.DC.cc_shvt.4	zBmcRx	Receiver input impedance	10		-	MΩ	
SID.DC.cc_shvt.5	Idac_std	Source current for USB standard advertisement	64		96	μA	
SID.DC.cc_shvt.6	Idac_1p5a	Source current for 1.5 A at 5 V advertisement	166		194		
SID.DC.cc_shvt.7	Idac_3a	Source current for 3 A at 5 V advertisement	304		356		
SID.DC.cc_shvt.8	Rd	Pull down termination resistance when acting as UFP (upstream facing port)	4.59		5.61	kΩ	
SID.DC.cc_shvt.10	zOPEN	CC impedance to ground when disabled	108		-		
SID.DC.cc_shvt.11	DFP_default_0p2	CC voltages on DFP side-standard USB	0.15		0.25	V	
SID.DC.cc_shvt.12	DFP_1.5A_0p4	CC voltages on DFP side-1.5 A	0.35		0.45		
SID.DC.cc_shvt.13	DFP_3A_0p8	CC voltages on DFP side-3 A	0.75		0.85		
SID.DC.cc_shvt.14	DFP_3A_2p6	CC voltages on DFP side-3 A	2.45		2.75	V	
SID.DC.cc_shvt.15	UFP_default_0p66	CC voltages on UFP side-standard USB	0.61		0.7		
SID.DC.cc_shvt.16	UFP_1.5A_1p23	CC voltages on UFP side-1.5 A	1.16		1.31		
SID.DC.cc_shvt.17	Vattach_ds	Deepsleep attach threshold	0.3		0.6	%	
SID.DC.cc_shvt.18	Rattach_ds	Deepsleep pull-up resistor	10		50	kΩ	
SID.DC.cc_shvt.19	VTX_step	TX Drive voltage step size	80		120	mV	

## 电气规格

## 6.4.6 模数转换器

表27 ADC直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.ADC.1	Resolution	ADC resolution	-	8	-	Bits	-
SID.ADC.2	INL	Integral non-linearity	-1.5	-	1.5	LSB	Reference voltage generated from bandgap
SID.ADC.3	DNL	Differential non-linearity	-2.5	-	2.5		Reference voltage generated from $V_{DD}$
SID.ADC.4	Gain Error	Gain error	-1.5	-	1.5		Reference voltage generated from bandgap
SID.ADC.5	VREF_ADC1	Reference voltage of ADC	$V_{DDmin}$	-	$V_{DDmax}$	V	Reference voltage generated from $V_{DD}$
SID.ADC.6	VREF_ADC2	Reference voltage of ADC	1.96	2.0	2.04		Reference voltage generated from deepsleep reference

## 6.4.7 HS CSA

表28 HS CSA 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.HSCSA.1	Csa_Acc1	CSA accuracy $5\text{ mV} < V_{\text{sense}} < 10\text{ mV}$	-15	-	15	%	Active mode
SID.HSCSA.2	Csa_Acc2	CSA accuracy $10\text{ mV} < V_{\text{sense}} < 15\text{ mV}$	-10	-	10		
SID.HSCSA.3	Csa_Acc3	CSA accuracy $15\text{ mV} < V_{\text{sense}} < 25\text{ mV}$	-5	-	5		
SID.HSCSA.4	Csa_Acc4	CSA accuracy $25\text{ mV} < V_{\text{sense}}$	-3	-	3		
SID.HSCSA.7	Csa_SCP_Acc1	CSA SCP at 6 A with 5-m $\Omega$ sense resistor	-10	-	10		
SID.HSCSA.8	Csa_SCP_Acc2	CSA SCP at 10 A with 5-m $\Omega$ sense resistor	-10	-	10		
SID.HSCSA.9	Csa_OCP_1A	CSA OCP at 1 A with 5-m $\Omega$ sense resistor	104	130	156		
SID.HSCSA.10	Csa_OCP_5A	CSA OCP for 5 A with 5-m $\Omega$ sense resistor	123	130	137		

表29 HS CSA 交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.HSCSA.AC.1	$T_{\text{SCP\_GATE}}$	Delay from SCP threshold trip to external NFET power gate turn off	-	3.5	-	$\mu\text{s}$	1-nF NFET gate
SID.HSCSA.AC.2	$T_{\text{SCP\_GATE\_1}}$	Delay from SCP threshold trip to external NFET power gate turn off	-	8	-		3-nF NFET gate

## 6.4.8 UV/OV

表 30 UV/OV 规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.UVOV.1	VTHOV1	Overvoltage threshold Accuracy, 4 V to 11 V	-3	-	3	%	Active mode
SID.UVOV.2	VTHOV2	Overvoltage threshold Accuracy, 11 V to 21.5 V	-3.2		3.2		
SID.UVOV.3	VTHUV1	Undervoltage threshold Accuracy, 3 V to 3.3 V	-4		4		
SID.UVOV.4	VTHUV2	Undervoltage threshold Accuracy, 3.3 V to 4.0 V	-3.5		3.5		
SID.UVOV.5	VTHUV3	Undervoltage threshold Accuracy, 4.0 V to 21.5 V	-3		3		

## 6.4.9 VCONN开关

表 31 VCONN 开关直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DC.VCONN.1	VCONN_OUT	VCONN output voltage with 20 mA load current	4.5	-	5.5	V	-
DC.VCONN.2	I <sub>LEAK</sub>	Connector side pin leakage current	-		10	μA	
DC.VCONN.3	I <sub>OC</sub>	VCONN over-current protection threshold	22.5	30	42.5	mA	

表 32 VCONN 开关交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
AC.VCONN.1	T <sub>ON</sub>	VCONN switch turn-on time	-	-	600	μs	-
AC.VCONN.2	T <sub>OFF</sub>	VCONN switch turn-off time			10		

## 电气规格

6.4.10  $V_{BUS}$ 表 33  $V_{BUS}$  放电规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.VBUS.DISC.1	R1	20-V NMOS ON resistance for DS = 1	500	–	2000	$\Omega$	Measured at 0.5 V
SID.VBUS.DISC.2	R2	20-V NMOS ON resistance for DS = 2	250		1000		
SID.VBUS.DISC.3	R4	20-V NMOS ON resistance for DS = 4	125		500		
SID.VBUS.DISC.4	R8	20-V NMOS ON resistance for DS = 8	62.5		250		
SID.VBUS.DISC.5	R16	20-V NMOS ON resistance for DS = 16	31.25		125		
SID.VBUS.DISC.6	Vbus_stop_error	Error percentage of final VBUS value from setting	–		10	%	

## 6.4.11 电压调节

表 34 电压调节直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.DC.VR.1	VOUT	VBUS_IN output voltage range	3.3	–	21.5	V	–
SID.DC.VR.2	VR	VBUS_IN voltage regulation accuracy	–	$\pm 3$	$\pm 5$	%	
SID.DC.VR.3	VIN_UVLO	VIN Supply below which chip will get reset	1.7	–	3.0	V	

表 35 电压调节器交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.VREG.1	$T_{START}$	Total startup time for the regulator supply outputs	–	–	200	$\mu s$	–

## 6.4.12 VBUS 栅极驱动器

表 36 VBUS 栅极驱动器直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GD.1	GD_VGS	Gate to source overdrive during ON condition	4.5	5	10	V	NFET driver is ON
SID.GD.2	GD_RPD	Resistance when pull-down enabled	–	–	2	$k\Omega$	Applicable on VBUS_CTRL to turn off external NFET
SID.GD.5	GD_drv	Programmable typical gate current	0.3		9.75	$\mu A$	–

## 电气规格

表 37 VBUS 栅极驱动器交流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.GD.3	T <sub>ON</sub>	VBUS_CTRL LOW to HIGH (1 V to VBUS + 1 V) with 3-nF external capacitance	2	5	10	ms	V <sub>BUS_IN</sub> = 5 V
SID.GD.4	T <sub>OFF</sub>	VBUS_CTRL HIGH to LOW (90% to 10%) with 3-nF external capacitance	-	7	-	μs	V <sub>BUS_IN</sub> = 21.5 V

## 6.4.12.1 PWM 控制器

表 38 降压-升压 PWM 控制器规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
PWM.1	F <sub>SW</sub>	Switching frequency	150	-	600	kHz	-
PWM.2	FSS	Spread spectrum frequency dithering span	-	10	-	%	-
PWM.3	Ratio_Buck_BB	Buck to buck boost ratio	-	1.16	-	-	-
PWM.4	Ratio_Boost_BB	Boost to buck boost ratio	-	0.84	-	-	-

## 6.4.12.2 NFET 栅极驱动器

表 39 降压-升压 NFET 栅极驱动器规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
DR.1	R_HS_PU	Top-side gate driver on-resistance - Gate pull-up	-	2	-	Ω	-
DR.2	R_HS_PD	Top-side gate driver on-resistance - Gate pull-down	-	1.5	-	Ω	-
DR.3	R_LS_PU	Bottom-side gate driver on-resistance - Gate pull-up	-	2	-	Ω	-
DR.4	R_LS_PD	Bottom-side gate driver on-resistance - Gate pull-down	-	1.5	-	Ω	-
DR.5	Dead_HS	Dead time before high-side rising edge	-	30	-	ns	-
DR.6	Dead_LS	Dead time before low-side rising edge	-	30	-	ns	-
DR.7	Tr_HS	Top-side gate driver rise time	-	25	-	ns	-
DR.8	Tf_HS	Top-side gate driver fall time	-	20	-	ns	-
DR.9	Tr_LS	Bottom-side gate driver rise time	-	25	-	ns	-
DR.10	Tf_LS	Bottom-side gate driver fall time	-	20	-	ns	-

## 电气规格

## 6.4.12.3 LS-SCP

表 40 LS-SCP 直流规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.LSSCP.DC.1	SCP_6A	Short circuit current detect @ 6A	5.4	6	6.6	A	Using differential inputs (CSN_1_GPIO12, CSP_1_GPIO13 or CSP_0_GPIO0, CSN_0_GPIO1)
SID.LSSCP.DC.1A	SCP_6A_SE	Short circuit current detect @ 6A	4.5	6	7.5		Using single ended inputs (CSP_1_GPIO13 or CSP_0_GPIO0) and internal ground
SID.LSSCP.DC.2	SCP_10A	Short circuit current detect @10A	9	10	11		Using differential inputs (CSN_1_GPIO12, CSP_1_GPIO13 or CSP_0_GPIO0, CSN_0_GPIO1)
SID.LSSCP.DC.2A	SCP_10A_SE	Short circuit current detect @10A	7.5	10	12.5		Using single ended inputs (CSP_1_GPIO13 or CSP_0_GPIO0) and internal ground

## 6.4.12.4 热规格

表 41 热规格

Spec ID	Parameter	Description	Min	Typ	Max	Unit	Details/conditions
SID.OTP.1	OTP	Thermal shutdown	120	125	130	°C	-

订购信息

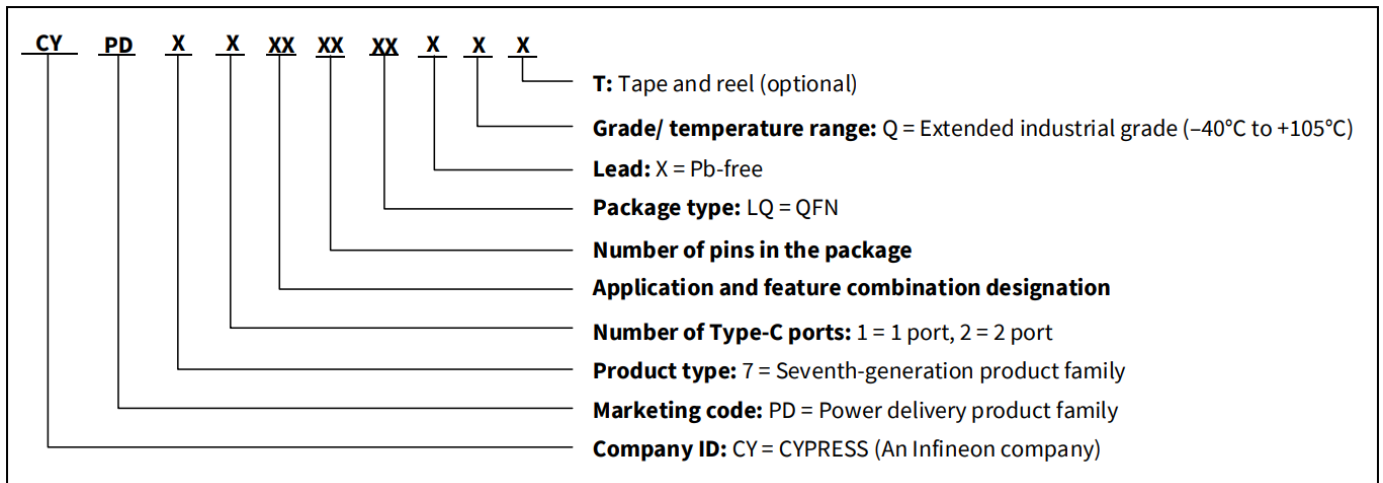
## 7 订购信息

表 42 列出了 EZ-PD™ CCG7DC 器件编号和特性。

表 42 EZ-PD™ CCG7DC 订购信息

Product	Application	Bootloader	Termination resistor	Role	Switching frequency	Package type
CYPD7271-68LQXQ CYPD7271-68LQXQT	Dual-port USB-C PD AC-DC power adapter/ cigarette lighter adapter (CLA)	PSoC™ Creator based Bootloader	R <sub>P</sub>	DFP (Power source only)	150 kHz to 600 kHz	68-pin QFN
CYPD7272-68LQXQ CYPD7272-68LQXQT	Dual-port USB-C PD AC-DC power adapter/ cigarette lighter adapter (CLA)  Multi-port AC-DC charger and adapter	ModusToolbox™ based Bootloader				

### 7.1 订购代码定义



封装

## 8 封装

表 43 封装特性

Parameter	Description	Conditions	Min	Typ	Max	Unit
T <sub>J</sub>	Operating junction temperature	–	–40	25	125	°C
T <sub>JA</sub>	Package $\theta_{JA}$		–	–	14.8	°C/W
T <sub>JB</sub>	Package $\theta_{JB}$				4.3	
T <sub>JC</sub>	Package $\theta_{JC}$				12.9	

表 44 回流焊峰值温度

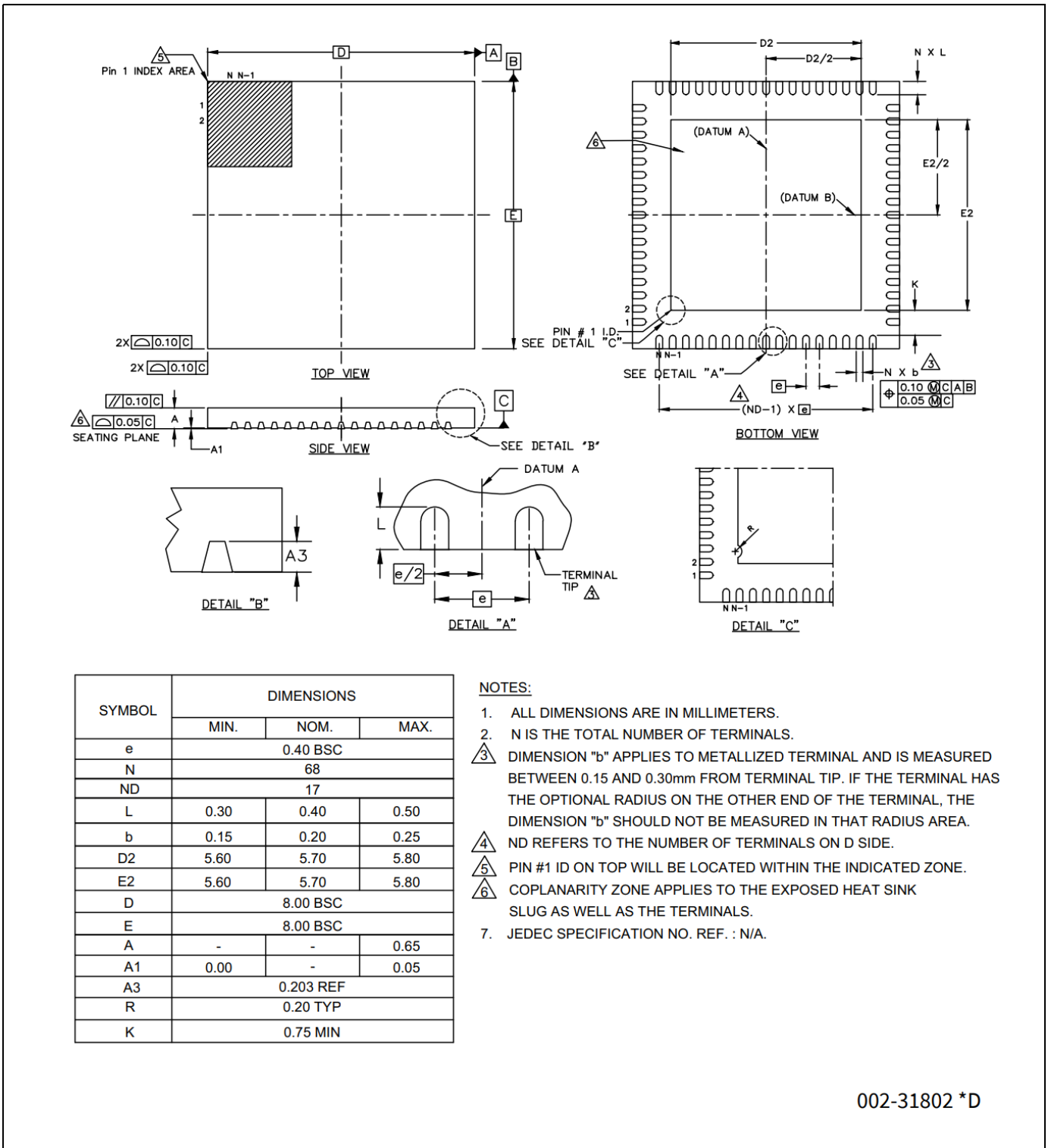
Package	Maximum peak temperature	Maximum time within 5°C of peak temperature
68-pin QFN	260°C	30 seconds

表 45 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

Package	MSL
68-pin QFN	MSL 3

封装图

## 9 封装图



002-31802 \*D

图 15 68 引线 QFN ( 8 × 8 × 0.65 毫米) LD68B 5.7 × 5.7 毫米 E-Pad (锯齿形) 封装外形 (PG-VQFN-68-800), 002-31802

缩略语

## 10 缩略语

表46 本文档中使用的缩略语

Acronym	Description
ADC	analog-to-digital converter
AFC	Samsung adaptive fast charging
Arm®	advanced RISC machine, a CPU architecture
CPU	central processing unit
CSA	current sense amplifier
DAC	digital-to-analog converter
FCCM	forced continuous current/conduction mode
GPIO	general-purpose input/output
HSDR	high-side driver
I <sup>2</sup> C, or IIC	inter-integrated circuit, a communications protocol
IDAC	current DAC
I/O	input/output, see also GPIO
LSDR	low-side driver
MCU	microcontroller unit
OCP	overcurrent protection
OVP	overvoltage protection
PD	power delivery
POR	power-on reset
PSoC™	Programmable system-on-chip
PSM	pulse skipping mode
PWM	pulse-width modulator
RAM	random-access memory
SPI	serial peripheral interface, a communications protocol
SRAM	static random access memory
TCPWM	timer/counter/PWM
Type-C	a new standard with a slimmer USB connector and a reversible cable, capable of sourcing up to 100 W of power
UART	universal asynchronous transmitter receiver, a communications protocol
UFP	upstream facing port
UVP	undervoltage protection
USB	universal Serial Bus
UVLO	under-voltage lockout
ZCD	zero crossing detector

文档惯例

## 11 文档惯例

### 11.1 测量单位

表 47 测量单位

Symbol	Unit of measure
°C	degrees Celsius
Hz	hertz
KB	1024 bytes
kHz	kilohertz
kΩ	kilo ohm
Mbps	megabits per second
MHz	megahertz
MΩ	mega-ohm
Msps	megasamples per second
μA	microampere
μF	microfarad
μs	microsecond
μV	microvolt
μW	microwatt
mA	milliampere
mΩ	milliohm
ms	millisecond
mV	millivolt
nA	nanoampere
ns	nanosecond
W	ohm
pF	picofarad
ppm	parts per million
ps	picosecond
s	second
sps	samples per second

## 修订记录

## 修订记录

Document revision	Date	Description of changes
*C	2022-10-19	Post to external web.
*D	2023-01-16	Updated <b>Electrical specifications</b> : Updated <b>Device-level specifications</b> : Updated <b>CPU</b> : Updated <b>Table 8</b> . Updated <b>Ordering information</b> : Updated <b>Table 42</b> (Updated part numbers). Updated to new template. Completing Sunset Review.
*E	2023-07-10	Updated Document Title to read as “CYPD7271, CYPD7272, EZ-PD™ CCG7DC dual-port USB-C power delivery and DC-DC controller”. Updated <b>Applications</b> : Updated description. Updated <b>Applications</b> : Updated <b>Figure 13</b> . Updated <b>Figure 14</b> . Removed table “Multi-port AC-DC adapter GPIO pin mapping for application diagram in Figure 11”. Updated <b>Ordering information</b> : Updated <b>Table 42</b> (Updated part numbers). Updated <b>Package diagram</b> : spec 002-31802 – Changed revision from *C to *D.
*F	2025-31-01	Updated the USB-PD version number to 3.2 in the document Added <b>Table 3</b> Added the <b>Application firmware update using bootloader</b> section



## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

## 重要通知

**Infineon Technologies AG** 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。

版本 2026-04-20

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

Do you have a question about this  
document?

Email:

[erratum@infineon.com](mailto:erratum@infineon.com)