

USB PD および同期整流コントローラー搭載 EZ-PD™ PAG2S-PS

概要説明

EZ-PD™ PAG2S-PS CYPAS213 は、USB Power Delivery コントローラーと同期整流器を統合した二次側コントローラーです。EZ-PD™ PAG2S-PS は USB-C 電源アダプタを対象として、USB Power Delivery, Qualcomm Quick Charge, およびその他の標準充電プロトコルを備えた高効率 AC-DC フライバック設計によく適合します。EZ-PD™ PAG2S-PS は、USB Power Delivery 拡張電力範囲 (EPR) モードもサポートしています。

アプリケーション

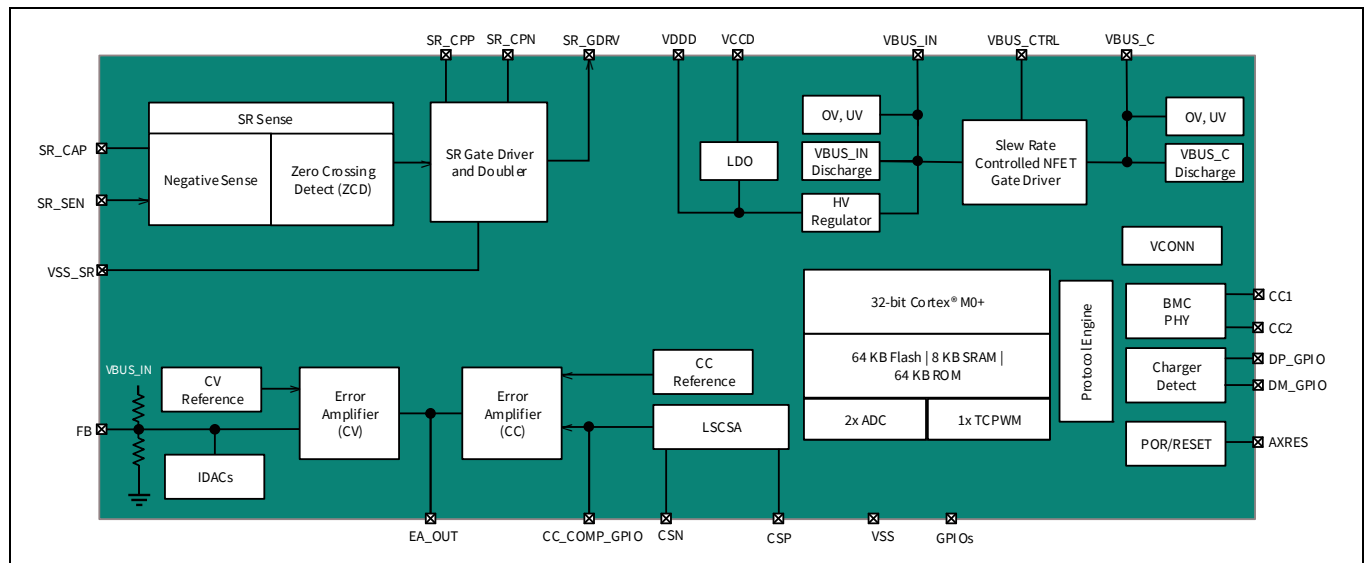
- USB-C 充電器とアダプタ
- EPR 対応の USB-C 充電器とアダプタ
- USB PD とレガシー充電の両方をサポートする電源アダプタ

特長

- 二次側同期整流 (SR) コントローラーと充電ポート コントローラーを搭載。SR コントローラーのターンオン伝播遅延は 40 ns (Typ)、ターンオフ伝播遅延は 25 ns (Typ)
- 擬似共振 (QR)、臨界導通モード (CrCM)、不連続導通モード (DCM)、および連続導通モード (CCM) での同期整流に対応し、最大 300 kHz のスイッチング周波数をサポート
- SR ドライバーは標準 MOSFET と論理レベル MOSFET の両方に対応
- SR ドライバーは、SR ゲート ドライバーの誤ったターンオンを回避するために、一次側ターンオンと共振発振を区別可能
- USB PD 3.1 準拠であり、最大 28V VBUS の EPR に対応
- プログラマブル電源 (PPS) を含む USB PD 2.0 と PD 3.0, QC 5.0, QC4+, QC 4.0, QC 3.0, QC 2.0, Samsung AFC, Apple Charging, および Battery Charging (BC) v1.2 の充電プロトコルをサポート
- ローサイド電流検出アンプ (LSCSA), 2xVBUS 放電 FET, ロードスイッチを駆動する NFET ゲート ドライバーと EMCA ケーブルをサポートする VCONN FET を内蔵
- 設定可能な VBUS 過電圧保護 (OVP), 低電圧保護 (UVP), 過電流保護 (OCP), 短絡保護 (SCP), およびシステム過熱保護 (OTP)
- VBUS-CC 短絡保護, CC, VBUS, DP/DM ライン上の静電気放電 (ESD) 保護, および DP/DM ライン上の過電圧保護
- 64 KB フラッシュ, 8 KB SRAM, および 64 KB ROM を備えた 32 ビット Cortex® M0+ を搭載
- ジャンクション温度範囲が -40°C ~ +150°C の 24 ピン SOIC および 32 ピン QFN パッケージ

機能ブロック図

機能ブロック図



目次

目次

概要説明.....	1
アプリケーション	1
特長	1
機能ブロック図.....	2
目次	3
1 アプリケーション概要	4
2 ピン配置	5
2.1 ピン機能	5
2.2 ピン説明	9
2.2.1 SR_GDRV, SR_VSS, SR_SEN, SR_CPP, SR_CPN, SR_CAP	9
2.2.2 FB、EA_OUT, CC_COMP_GPIOx	9
2.2.3 VBUS_IN, VDDD, VCCD	9
2.2.4 VBUS_C, VBUS_CTRL	9
2.2.5 CSP, CSN	9
2.2.6 CC1, CC2	10
2.2.7 DP_GPIOx, DM_GPIOx	10
2.2.8 GPIOx, XRES	10
3 機能説明	11
3.1 動作モード - SR	11
3.1.1 SR_SENのネガティブ センスの誤検出	14
3.2 故障保護	15
3.2.1 VBUSのOVP, UVP, OCP, SCP	15
3.2.2 OTP	15
3.2.3 ESD, CCのOVP, DP/DMのOVP	15
3.3 電力モード	15
3.4 MCU サブシステム	15
4 電氣的仕様	16
4.1 絶対最大定格	16
4.2 デバイス レベルの仕様	16
4.3 機能ブロック仕様	18
5 注文情報	25
5.1 注文コードの定義	25
6 パッケージ	26
7 略語	29
8 本書の表記法	31
8.1 測定単位	31
改訂履歴.....	32
免責事項.....	33

1 アプリケーション概要

Figure 1 に、一次側制御の同期フライバックシステムを実装した電源アダプタのアプリケーション図を示します。このシステムでは、EZ-PD™ PAG2S-PS は内部誤差アンプ (EA) を利用し、二次側からフィードバックを受け取って、オプトカプラのような絶縁バリアを介して一次側コントローラーに渡します。一次側コントローラーは、標準的なフライバックコントローラーが使用できます。このトポロジでは、EZ-PD™ PAG2S-PS は二次側整流、充電プロトコル制御、および故障保護という 3 つの主要な機能を備えています。

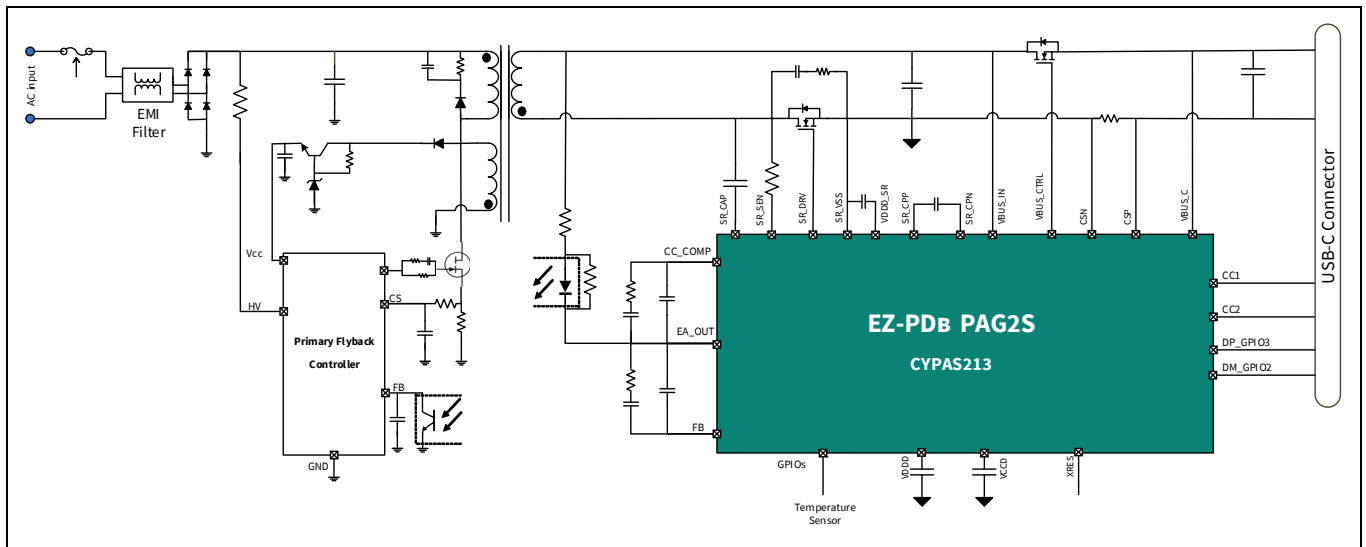


Figure 1 一次側フライバック制御付き USB PD アダプタ

ピン配置

2 ピン配置

2.1 ピン機能

Table 1 32 ピン QFN のピン説明

ピン番号	ピン名	ピン説明
1	VCCD	1.8V のコア電源電圧 LDO 出力
2	VDDD	3.0V ~ 5.5V の内部 LDO 出力
3	VSS	グランド
4	VDDD_SR	同期整流器ドライバー用 V_{DDD} 電源
5	SR_CPN	同期整流用ダブル コンデンサの負端子
6	SR_CPP	同期整流用ダブル コンデンサの正端子
7	VSS_SR	同期整流器ドライバー用グランド
8	SR_GDRV	同期整流器の NFET ゲート ドライバー
9	SR_SEN	同期整流器の NFET ドレイン端子センシング
10	SR_CAP	高速ゼロ クロッシング検出 (ZCD) 用同期整流器の NFET 高周波センシング入力
11	DNU	未使用
12	GPIO0	GPIO
13	GPIO1	
14	DM_GPIO2	USB D-/GPIO/SWD_DAT
15	DP_GPIO3	USB D+/GPIO/SWD_CLK
16	GPIO4	未接続
17	XRES	外部リセット入力
18	GPIO5	GPIO
19	GPIO6	GPIO/TCPWM
20	GPIO7	GPIO
21	CC2	パワー デリバリー通信チャネル 2
22	CC1	パワー デリバリー通信チャネル 1
23	CSN	ローサイド電流検出アンプの負入力
24	CSP	ローサイド電流検出アンプの正入力
25	VBUS_C	USB Type-C VBUS モニター入力
26	VBUS_CTRL	ロードスイッチ NFET ゲート制御
27	EA_OUT	誤差アンプ出力
28	FB	誤差アンプフィードバック
29	CC_COMP_GPIO8	定電流モードでの補正コンデンサ /GPIO/TCPWM 用のピン
30	CC_COMP_GPIO9	
31	VSS	グランド
32	VBUS_IN	レギュレータ用の 3.3V ~ 30V 電源入力

ピン配置

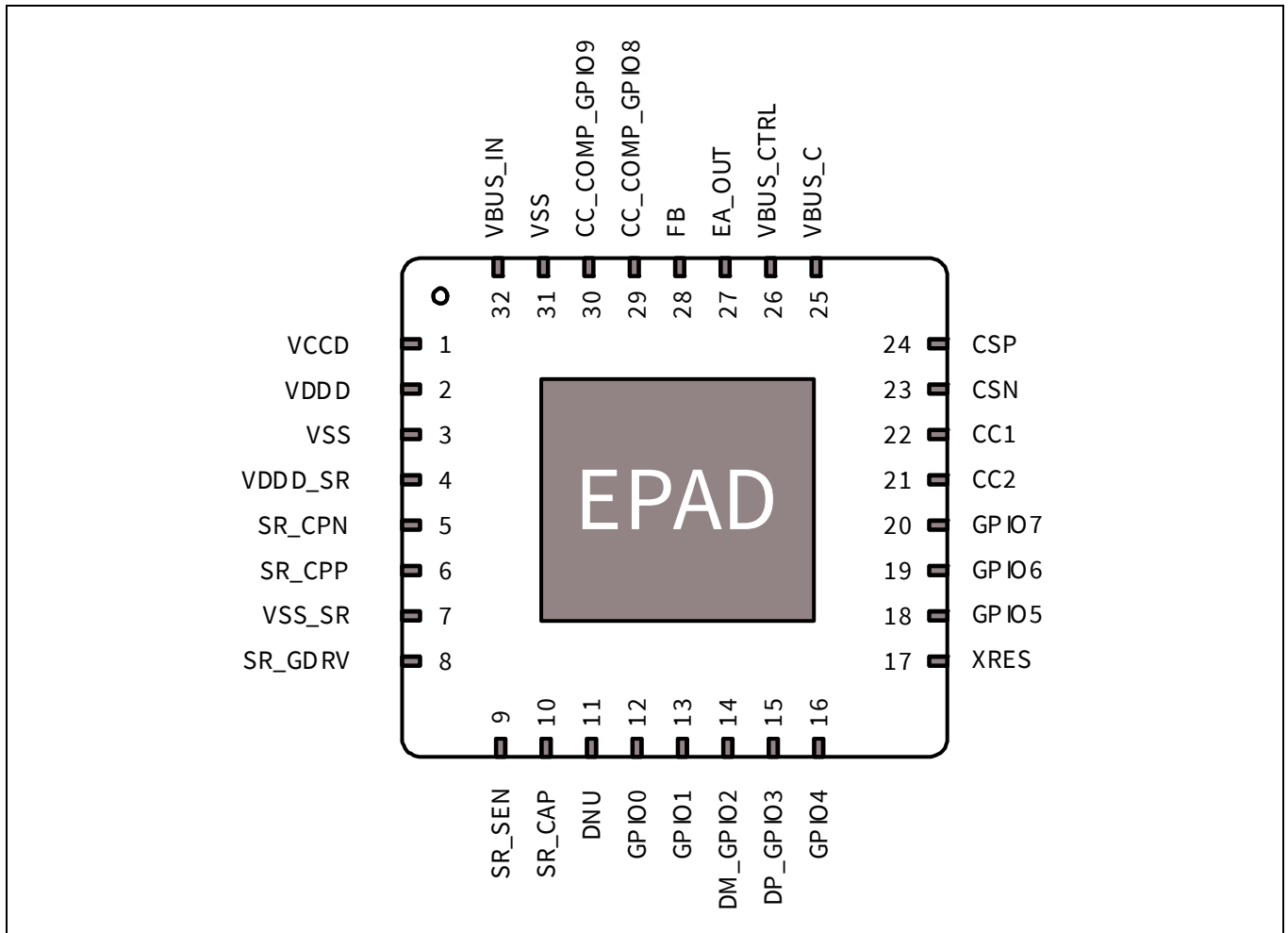


Figure 2 32 ピン QFN のピン配置

ピン配置

Table 2 24 ピン SOIC のピン説明

ピン番号	ピン名	ピン説明
1	CC_COMP_GPIO0	補正ピン /GPIO/TCPWM
2	VBUS_IN	レギュレータ用電源入力
3	VCCD	1.8V のコア電源電圧 LDO 出力
4	VDDD	3.0V ~ 5.5V の内部 LDO 出力
5	VSS	グランド
6	VDDD_SR	同期整流器ドライバー用 V _{DDD} 電源
7	SR_CPN	同期整流用ダブル コンデンサの負端子
8	SR_CPP	同期整流用ダブル コンデンサの正端子
9	VSS_SR	同期整流器ドライバー用グランド
10	SR_GDRV	同期整流器の NFET ゲート ドライバー
11	SR_SEN	同期整流器の NFET ドレイン端子センシング
12	SR_CAP	高速ゼロ クロッシング検出 (ZCD) 用同期整流器の NFET 高周波センシング入力
13	DM_GPIO1	USB D-/GPIO/SWD_DAT
14	DP_GPIO2	USB D+/GPIO/SWD_CLK
15	GPIO3	外部リセット入力 /GPIO
16	CC2	パワー デリバリー通信チャネル 2
17	CC1	パワー デリバリー通信チャネル 1
18	CSN	ローサイド電流検出アンプの負入力
19	CSP	ローサイド電流検出アンプの正入力
20	VBUS_C	USB Type-C VBUS モニター入力
21	VBUS_CTRL	ロードスイッチ NFET ゲート制御
22	EA_OUT	誤差アンプ出力
23	FB	誤差アンプフィードバック
24	CC_COMP_GPIO4	補正ピン /GPIO

ピン配置

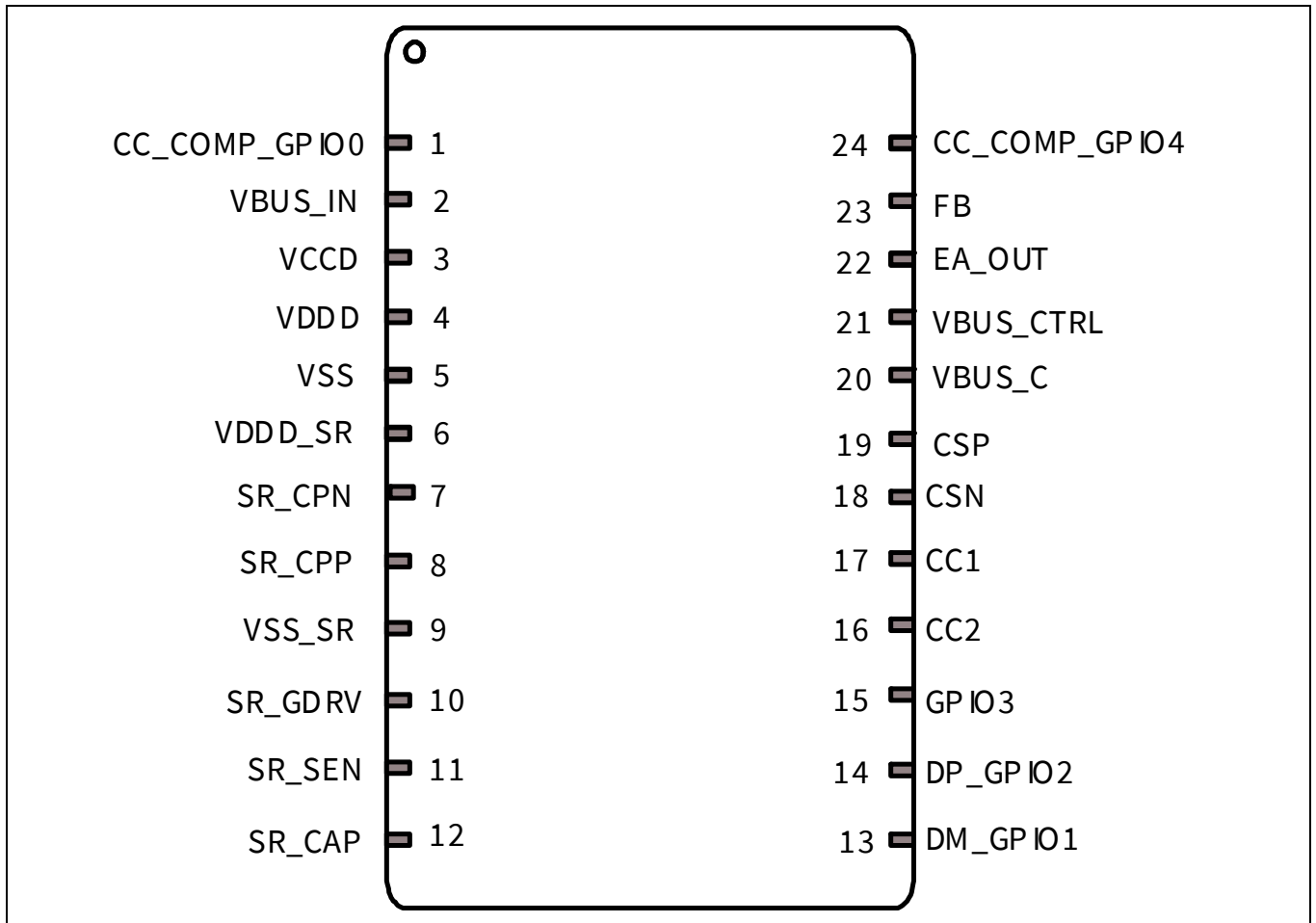


Figure 3 24 ピン SOIC のピン配置

2.2 ピン説明

2.2.1 SR_GDRV, SR_VSS, SR_SEN, SR_CPP, SR_CPN, SR_CAP

EZ-PD™ PAG2S-PS は、同期整流器の NFET の両端の電圧を検出し、最適な効率のためにゲートドライバを適切に制御します。標準 NFET と論理レベル NFET の両方をサポートします。このデバイスは、QR/CrCM、バレースイッチング、不連続導通モード (DCM)、および連続導通モード (CCM) での同期整流に対応します。SR センスブロックは、ネガティブセンス検出とゼロクロッシング検出 (ZCD) をサポートします。CCM モードでは、10pF コンデンサを介して SR_DRAIN を SR_CAP に接続することにより、SR_DRAIN ピンの電圧が 0V を超えた時点を迅速に検出できます。

ゲートドライバ (SR_GDRV) は内部 V_{DDP} で動作するか、または V_{DDP} の 2 倍の電圧に駆動して、外部 NFET の RDS-On 抵抗を低下させることができます。 V_{DDP} の倍増を実現するために、SR_CPP ピンと SR_CPN ピンに接続されたダブルコンデンサを備えた内部ダブル回路を使用します。SR FET のソース端子は、SR_VSS ピンに接続する必要があります。SR ブロックはアダプティブ電圧ダブルを実装します。その電圧ダブル機能は、SR_GDRV のパルス幅と設定可能なファームウェアパラメータに基づいてオンザフライで有効または無効にできます。外部 NFET のドレインノードの電圧は、抵抗分圧器を使用して SR_SEN を介して検出されます。

2.2.2 FB, EA_OUT, CC_COMP_GPIOx

EZ-PD™ PAG2S-PS は、定電圧動作モードと定電流動作モードの両方で二次側出力の検出とフィードバックを行う 2 個の誤差アンプブロックを内蔵しています。誤差アンプの出力は、外部オプโตカプラを流れる電流の調整に使用できます。誤差アンプの負入力フィードバック (FB) ピンであり、正入力内部電圧リファレンスです。FB ピンの電圧は、所望の VBUS 出力を達成するように内部電流ソース / シンク IDAC を使用して変更できます。アプリケーション図 (Figure 1) に示すように、FB ピンと EA_OUT ピンの間に外部補正ネットワークが必要です。定電流動作モードでは、機能ブロック図に示すように、内部ローサイド電流検出アンプ (LSCSA) の出力が独立した誤差アンプに供給されます。Figure 1 に示すように、定電流モードにおけるレギュレーションには、CC_COMP_GPIOx と EA_OUT の間に外部補正ネットワークが必要です。EZ-PD™ PAG2S-PS の誤差アンプは、USB PD の PPS EPR 仕様で要求されるように、3.3V ~ 28V の定電圧レギュレーションおよび 1A ~ 5A の定電流レギュレーションが可能です。

2.2.3 VBUS_IN, VDDD, VCCD

EZ-PD™ PAG2S-PS は、VBUS_IN レールから電力供給される高電圧レギュレータを内蔵しています。その出力は VDDD レールに電力を供給します。レギュレータの入力範囲は 3.3V ~ 30V です。レギュレータは、EZ-PD™ PAG2S-PS への電流供給を目的とし、外部負荷や IC を駆動するためのものではありません。また EZ-PD™ PAG2S-PS は、負の電圧遷移中に VBUS レースの放電に使用する VBUS_IN レール用に設定可能な内部放電パスを備えています。放電抵抗の強度はファームウェアで設定できます。

安定化された電源 V_{DDP} は、いくつかのアナログブロックに直接電力供給するか、またはコアロジックの大部分に電力を供給する $1.8V_{V_{CCD}}$ にさらに降圧されます。VDDD ピンと VCCD ピンは、レギュレータの安定性を目的として外付けコンデンサに接続するために引き出されるもので、電源として使用されるものではありません。

2.2.4 VBUS_C, VBUS_CTRL

VBUS_C は、Type-C コネクタの電圧を監視するために使用されます。VBUS_C レールには、負の電圧遷移中に VBUS_C レールを放電するための設定可能な内部放電パスがあります。放電抵抗の強度はファームウェアで設定できます。VBUS_IN と VBUS_C の間にロードスイッチが設置されています。EZ-PD™ PAG2S-PS は、ロードスイッチを制御するための NFET ゲートドライバを搭載します。VBUS_CTRL はゲートドライバの出力です。急激な突入電流を回避するためのオプションの低速ターンオン機能があります。

2.2.5 CSP, CSN

EZ-PD™ PAG2S-PS は、負荷電流を監視するローサイド電流検出アンプ (LSCSA) を内蔵しています。CSP は LSCSA の正入力ピンであり、CSN は負入力です。LSCSA の Rsense の推奨値は 5mΩ です。

2.2.6 CC1, CC2

CC1 と CC2 は、USB PD プロトコルの通信チャネルです。EZ-PD™ PAG2S-PS は USB PD トランシーバを内蔵しています。このトランシーバは、USB PD 規格に従って、コンフィギュレーションチャネル (CC) を介してバイフェーズ マークコード (BMC) でエンコードされたデータを通信するトランスミッタ (TX) とレシーバ (RX) で構成されます。すべての通信は半二重です。物理層は、チャネル上の通信エラーを最小限に抑えるために衝突回避を実装しています。このブロックには、USB PD 仕様で要求されるすべての終端抵抗 (Rp) とそれらのスイッチが含まれています。

アクティブ ケーブル アプリケーションに対応するために、EZ-PD™ PAG2S-PS は、CC ラインに電力供給する VCONN FET も内蔵しています。CC1 ピンと CC2 ピンの両方に 390pF の外付けコンデンサが必要です。

2.2.7 DP_GPIOx, DM_GPIOx

DP ラインと DM ラインは、標準の USB D+ および D- ラインです。EZ-PD™ PAG2S-PS は、BC 1.2, Quick Charge, Apple Charging, Samsung AFC などのレガシー充電プロトコルに対応する充電検出ブロックを内蔵しています。このブロックには、これらの充電プロトコルに必要なすべての終端が内蔵されており、外部コンポーネントは必要ありません。システムでレガシー充電が必要ない場合は、DP ラインと DM ラインは標準 GPIO として利用できます。充電検出ブロックは、DP/DM ライン上のインピーダンス検出もサポートします。

2.2.8 GPIOx, XRES

EZ-PD™ PAG2S-PS には複数の GPIO があり、そのうちのいくつかは GPIO 専用であり、残りは他の機能と多重化されています。GPIO は、複数の駆動モードと設定可能な閾値オプションに対応します。電源投入とリセットの間、入力に過電流を与えず、過剰なターンオン電流を発生させないために、GPIO はトライステートにされます。

XRES ピンは内部でプルアップされており、リセットを開始するには外部でプルダウンする必要があります。

3 機能説明

3.1 動作モード - SR

EZ-PD™ PAG2S-PS は、DCM と CCM の両方のモードで同期整流をサポートします。SR センス ブロックは、ネガティブ センス検出とゼロ クロッシング検出 (ZCD) をサポートします。Figure 4, Figure 5, および Figure 6 に、QR / CrCM, バレー スイッチング, および CCM のモードでの SR_GDRV 機能を示します。SR コントローラーのターンオン伝播遅延は 40ns (Typ)、ターンオフ伝播遅延は 25ns (Typ) です。

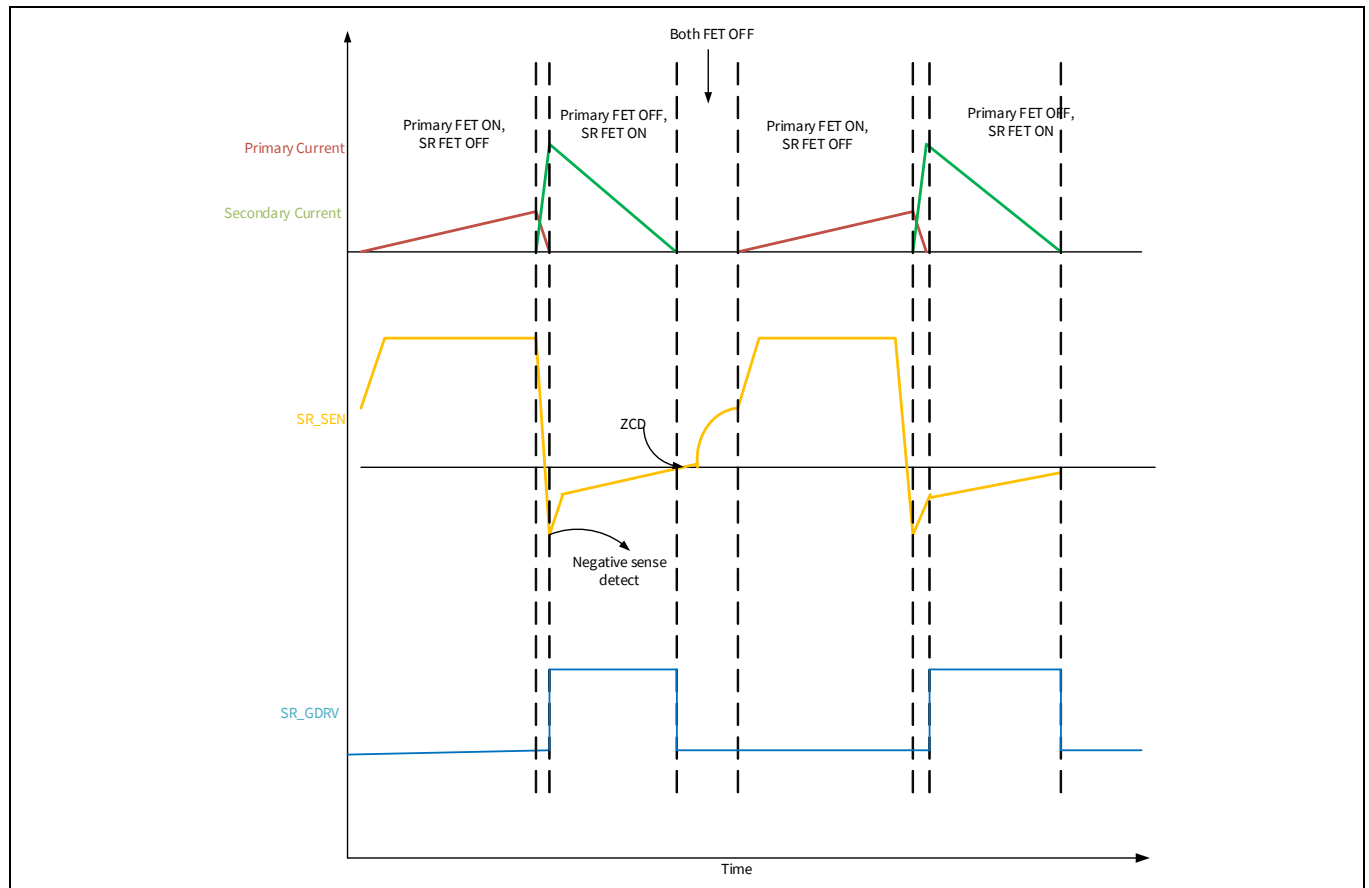


Figure 4 QR/CrCM モードでの SR_SEN および SR_GDRV

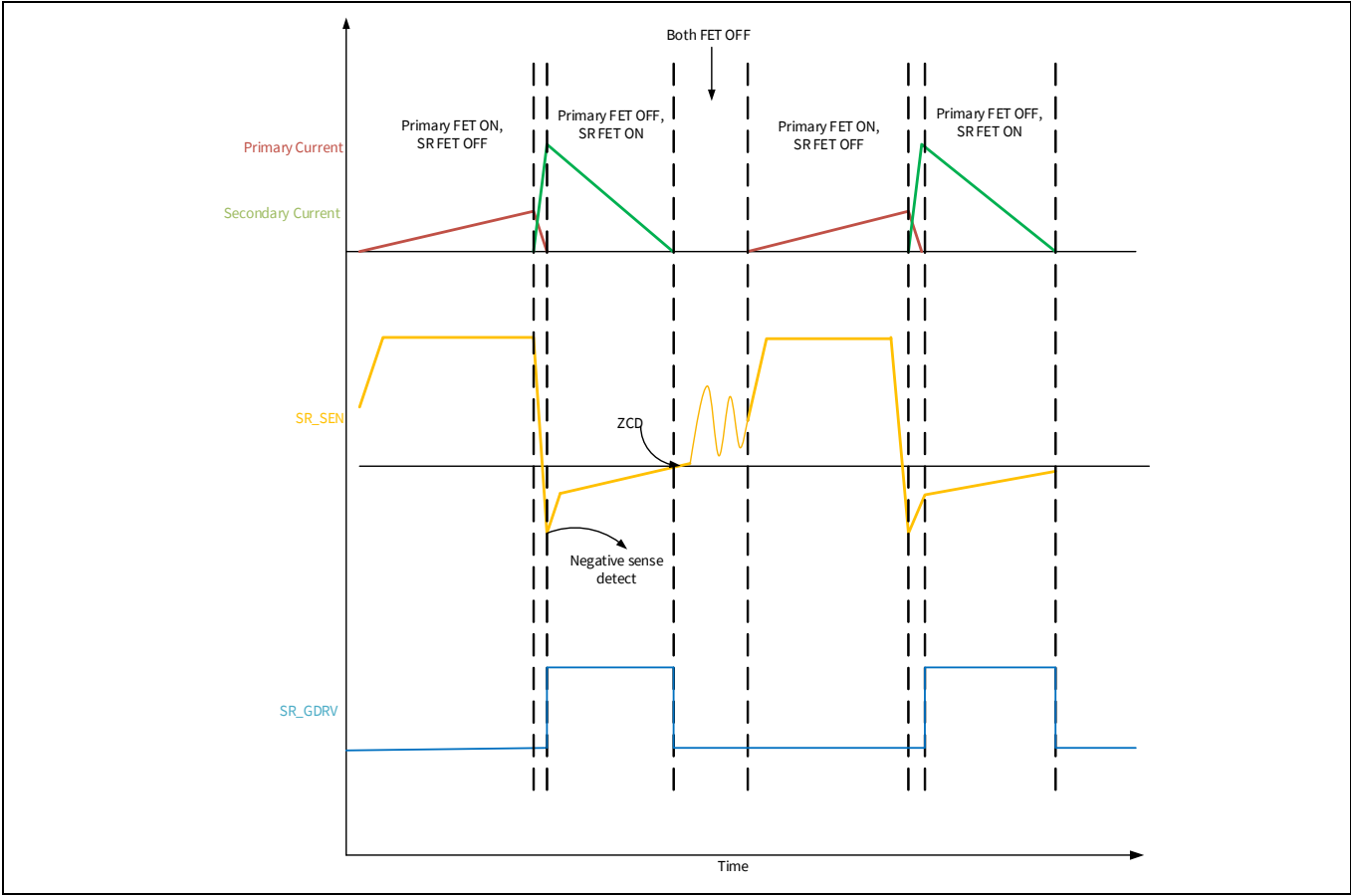


Figure 5 DCM/ バレー スイッチング モードでの SR_SEN および SR_GDRV

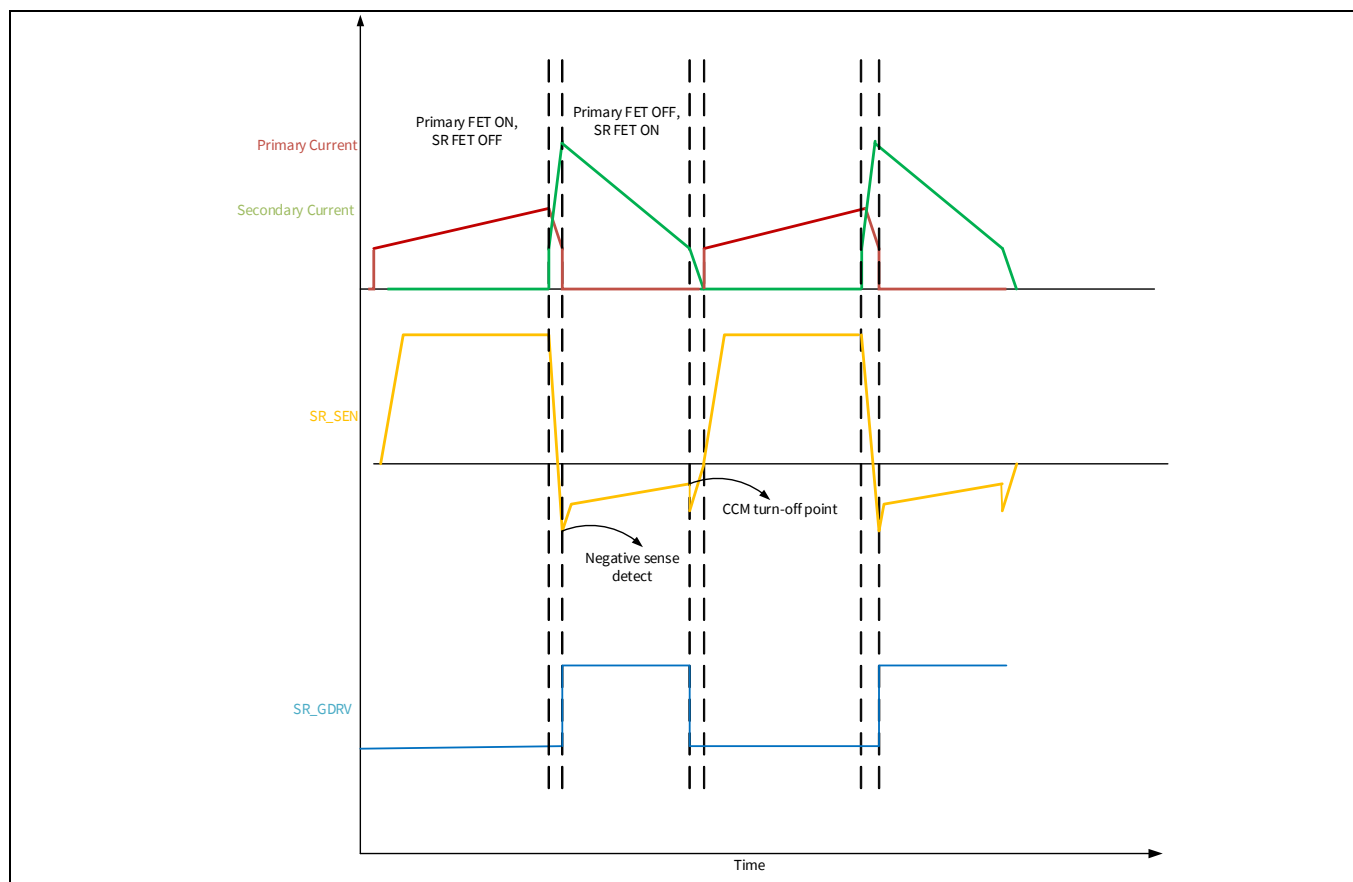


Figure 6 CCM モードでの SR_SEN および SR_GDRV

外部 NFET のドレイン ノードの電圧は、外部抵抗に接続された SR_SEN で検出します。外部抵抗は、SR_SEN ピンの電圧を 34V 未満に制限するために必要です。SR_SEN ピンの外部抵抗は、電源トランスの巻数比に依存します。Table 3 に、さまざまな巻数比に応じた外部抵抗を示します。

Table 3 巻数比と SR_SEN の外部抵抗

一次側対二次側の巻数比	Rext (Ω)
3:1	20k
4:1	20k
5:1	20k
6:1	12k
7:1	12k
8:1	12k
9:1	12k
10:1	12k
11:1	12k
12:1	12k
13:1	12k
14:1	12k
15:1	12k

3.1.1 SR_SEN のネガティブ センスの誤検出

SR センス ブロックは、SR_GRDV をオンにするために監視してネガティブ センスを検出します。しかし、二次側共振中にネガティブ センスを誤検出する可能性があります。これを回避するために、EZ-PD™ PAG2S-PS は独自の電圧秒バランス メカニズムを実装しています。SR ブロックは、SR_SEN 電圧が VBUS レベルと交差すると、その電圧を積分してから、内部リファレンス電圧と比較します。Figure 7 に、SR_SEN の積分電圧が電圧リファレンスと交差した場合にのみネガティブ センスが有効であると見なされることを示します。リファレンス電圧はファームウェアで設定可能であり、システムパラメーターに基づいて必要に応じて変更できます。

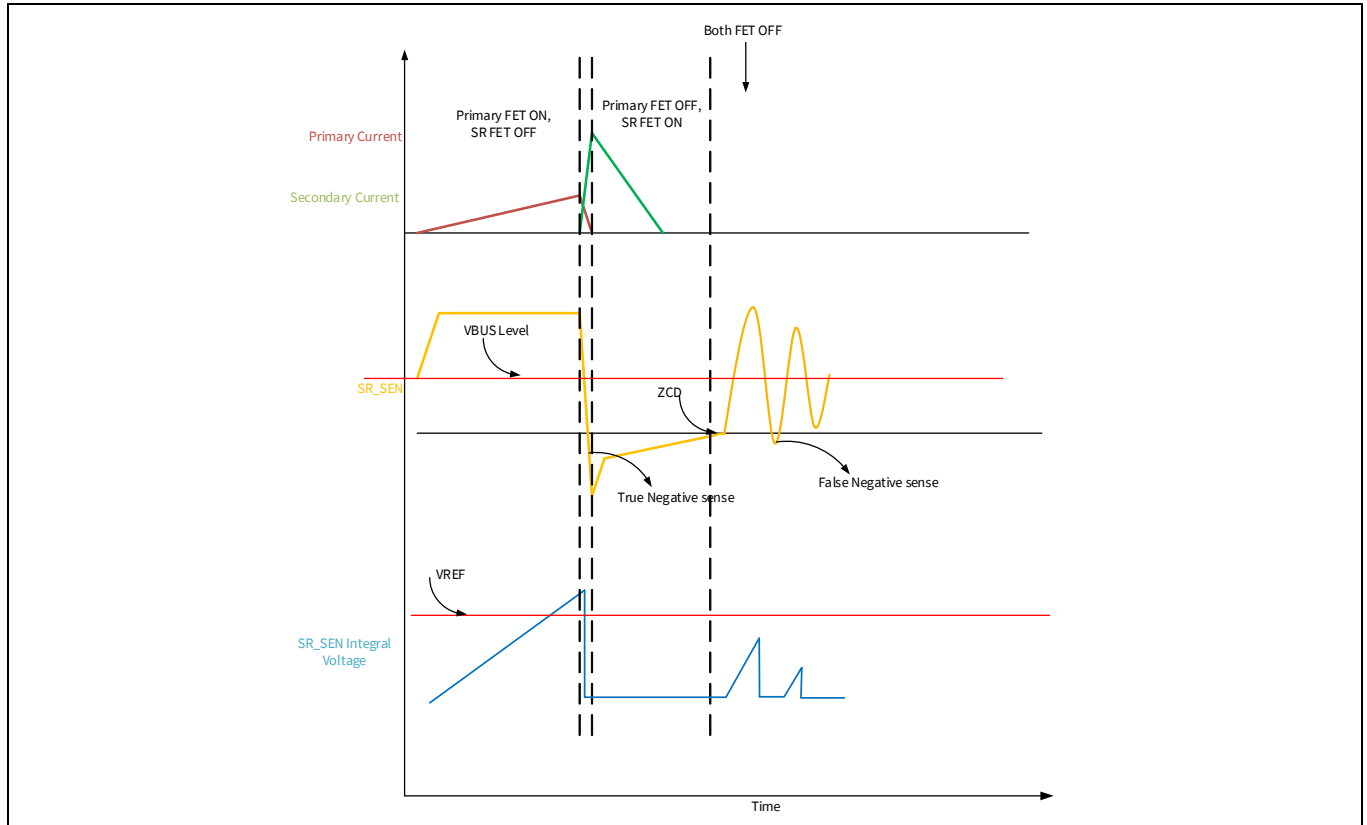


Figure 7 SR_SEN のネガティブ センスの検出

3.2 故障保護

3.2.1 VBUS の OVP, UVP, OCP, SCP

VBUS の低電圧および過電圧の故障は、内部 VBUS_IN/VBUS_C 抵抗分圧器を使用して監視されます。VBUS の過電流および短絡の故障は、内部電流検出アンプを使用して監視されます。故障の閾値と応答メカニズムはファームウェアで設定可能です。

3.2.2 OTP

過熱の監視は、外部サーミスタと内部 ADC を使用して行われます。サーミスタは任意の GPIO に接続できます。EZ-PD™ PAG2S-PS は、汎用のアナログ - デジタル変換に使用される 8 ビット SAR ADC を搭載しています。故障の閾値と応答メカニズムはファームウェアで設定可能です。

3.2.3 ESD, CC の OVP, DP/DM の OVP

EZ-PD™ PAG2S-PS は、すべてのピンに ESD 保護を実装しています。また、高電圧 VBUS_C レールとの不慮の短絡故障から CC ピンを保護でき、DP/DM ピン上の過電圧も防止します。

3.3 電力モード

EZ-PD™ PAG2S-PS は、アクティブ、スリープ、ディープスリープの電力モードに対応します。これらのモード間の遷移は、動作条件に応じてアプリケーションファームウェアによって処理されます。

3.4 MCU サブシステム

EZ-PD™ PAG2S-PS は、64KB フラッシュ、8KB SRAM、および 64KB ROM を備えた 32 ビット Cortex® M0+ を搭載します。また、1 個の TCPWM と 2 個の ADC も搭載しています。

電氣的仕様

4 電氣的仕様

4.1 絶対最大定格

Table 4 絶対最大定格

パラメーター	説明	Min	Typ	Max	単位
V _{BUS_IN_MAX}	最大入力電源電圧	-0.3	-	34	V
V _{DDD_MAX}	V _{DDD} 電源電圧	-		6	
V _{SR_DRAIN_MAX}	SR_SEN ピンの電圧			34	
V _{CC_PIN_ABS}	CC1 ピンと CC2 ピンの電圧				
V _{GPIO_ABS}	GPIO 電圧	-0.5		V _{DDD} + 0.5	mA
I _{GPIO_ABS}	GPIO ごとの電流	-		25	
I _{LU}	ラッチアップ時のピン電流	-100		100	
ESD_HBM	静電気放電 (人体モデル)	-		2000	V
ESD_CDM	静電気放電 (デバイス帯電モデル)			500	

4.2 デバイス レベルの仕様

Table 5 デバイス レベルの仕様

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
メモリ サイズ						
FLASH_SIZE	フラッシュ メモリ サイズ	-	64	-	KB	SONOS フラッシュ サイ ズ (バイト)
SRAM_SIZE	SRAM メモリ サイズ		8			SRAM サイズ (バイト)
SROM_SIZE	SROM メモリ サイズ		64			
シリコン チップの電源						
VDDD_REG	VBUS = 5.5V ~ 30V の場合の VDDD 出力	4.6	5	5.4	V	-
VDDD_MIN	VBUS = 3.15V ~ 5.5V の場合 の VDDD 出力	VBUS - 0.33	-	-		
VBUS_IN	電源入力電圧	3.15	-	30.0		
VCCD	コア ロジック用の出力電圧	-	1.8	-		
VDDWRITE	フラッシュ書き込み動作の 電源電圧	3	-	5.5		
Cefc	VCCD の外部レギュレータ電 圧バイパス	80	100	120	nF	X5R セラミックまたはこ れより良質のもの
Cexc	V _{DDD} 用の電源コンデンサ	4	4.7	-	μF	
Cexv	VBUS_IN 用の電源デカップ リング コンデンサ	-	1			
Cexcpp	SR_CPP ピンと SR_CPN ピン間のコンデンサ	0.1	-			
Igpio_abs	GPIO ごとの電流	-	-	25	mA	絶対最大値

電氣的仕様

Table 5 デバイス レベルの仕様 (continued)

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
Tsleep	スリープモードからの復帰時間	-	0	-	μs	-
Tdeepsleep	ディープスリープモードからの復帰時間		35		mA	-
IDD_A	VBUS_IN からのアクティブ電流 (Type-C 接続)		25.0			VBUS_IN = 11V、 TA = 25 °C、 CC1 / CC2 が Tx または Rx、 CPU が 24MHz、 SR / PWM が 100kHz、 EA / ADC / CSA / UVOV ブロックがオン
IDD_A2	SR モード時の VBUS_IN からの電流 (Type-C 接続)		9.0			VBUS_IN = 28V、 TA = 25 °C、 クロックが 12MHz、 SR が 100kHz、 SR コンデンサ = 3nF、 CC のトグルなし
IDD_A4	低電力 SR モード時の VBUS_IN からの電流 (Type-C 接続)		3			VBUS_IN = 28V、 TA = 25 °C、 ディープスリープ、 SR モード、CC のトグルなし
IDD_DS2_UA	SR モード時の VBUS_IN からのディープスリープ電流 (Type-C 未接続)		400		μA	VBUS_IN = 5V、 TA = 25°C、 Type-C 未接続、 SR モード、DFP モード
L_SEC	二次側インダクタ	3	-		μH	二次側インダクタ

4.3 機能ブロック仕様

Table 6 機能ブロック仕様

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
同期整流器						
VCPP1	VBUS = 3.3V ～ 5.5V の場合の 電圧ダブラの出力電圧	5	-	-	V	-
VCPP2	VBUS = 5.5V ～ 30V の場合の 電圧ダブラの出力電圧	9		11		
TR_SR	同期整流器ゲート ドライバー出力 の立ち上り時間 (1V から VOH - 1V まで)。 CL = 3nF (ダブラ バイパス モードの 場合とそうでない場合)	-		75	ns	
TF_SR1	同期整流器ゲート ドライバー出力 の立ち下り時間 (VOH - 1V から 1V まで)。 CL = 3nF (ダブラ モードの場合)		25	50		
TF_SR2	同期整流器ゲート ドライバー出力 の立ち下り時間 (VOH - 1V から 1V まで)。 CL = 3nF (ダブラ バイパス モードの 場合)		15	30		
VTRIP_NSN_100	二次側スイッチをオンにするための ネガティブ センストリップ電圧	50	100	150	mV	
VTRIP_ZCD	二次側スイッチをオフにするための ネガティブ センストリップ電圧	-8	-5	-3		
VTRIP_ZCDF	高速 ZCD を介して二次側スイッチ をオフにするためのトリップ電圧	0	7	10		
TD_ON	SR_DRAIN が 100mV のときから SR_GDRV が 1V に達するまでの ターンオン伝播遅延	-	40	80	ns	
TD_OFF	SR_DRAIN のステップ変更 (5ns の間 -50mV から +300mV まで) から SR_GDRV 出力が VOH - 1V に達するまでのターンオ フ伝播遅延	-	25	40		
IO_SRC_SNK	出力ピーク電流 (ソースとシンク)	-	1	-	A	

電氣的仕様

Table 6 機能ブロック仕様 (continued)

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
TR_SR1	同期整流器ゲート ドライバー出力の立ち上がり時間 (1V から VOH - 1V まで)。 CL = 3nF (ダブラ モードの場合)	–	–	75	ns	–
TR_SR2	同期整流器ゲート ドライバー出力の立ち上がり時間 (1V から VOH - 1V まで)。 CL = 3nF (ダブラ バイパス モードの場合)	–	–	30	ns	
GPIO						
I_LU	ラッチ アップ電流制限	-100	–	100	mA	–
RPU	プルアップ抵抗値	3.5	5.6	8.5	kΩ	
RPD	プルダウン抵抗値					
IIL	入力リーク電流 (絶対値)	–	–	2	nA	+25°C T _A 、 3V V _{DDD}
CPIN_A	ピン最大負荷容量			22	pF	DP ピンと DM ピンの静電容量
CPIN	ピン最大負荷容量		3	7		
Voh	出力 HIGH 電圧	V _{DDD} - 0.6	–	–	V	Ioh = -4mA
Vol	出力 LOW 電圧	–		0.6		Iol = 10mA
Vih_CMOS	入力電圧 HIGH 閾値	0.7 × V _{DDD}		–		–
Vil_CMOS	入力電圧 LOW 閾値	–		0.3 × V _{DDD}		
Vih_TTL	LVTTL 入力	2		–		
Vil_TTL	LVTTL 入力	–		0.8		
Vhysttl	入力ヒステリシス LVTTL	80		–	mV	–
Vhyscmos	入力ヒステリシス CMOS	0.1 × V _{DDD}				
IDIODE	保護ダイオードを通過して V _{DDD} / V _{SS} に流れる電流	–				
TriseF	高速ストロング モードでの立ち上がり時間	1		15	ns	Cload = 25pF
TfallF	高速ストロング モードでの立ち下り時間			15		
TriseS	低速ストロング モードでの立ち上がり時間	10		70		–
TfallS	低速ストロング モードでの立ち下り時間					

電氣的仕様

Table 6 機能ブロック仕様 (continued)

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
FGPIO_OUT1	GPIO Fout; $2.85V \leq V_{DD} \leq 5.5V$ 、 高速ストロング モード	-	-	28	MHz	-
FGPIO_OUT2	GPIO Fout; $2.85V \leq V_{DD} \leq 5.5V$ 、 低速ストロング モード			6		
FGPIO_IN	GPIO 入力動作周波数; $2.85V \leq V_{DD} \leq 5.5V$			28		

フラッシュ マクロ

FLASH_ERASE	行消去時間	-		15.5	ms	-
FLASH_WRITE	行 (ブロック) 書き込み時間 (消去 + プログラム)			20		
FLASH_DR	フラッシュ データ保持期間	15	-	-	年	25 °C ~ 55 °C、 すべての V _{DDD}
FLASH_ENPB	フラッシュ書き換え可能回数	10 万			回	25 °C ~ 85 °C、 すべての V _{DDD}
FLASH_ENPB1	フラッシュ書き換え可能回数	1 万				25 °C ~ 125 °C、 すべての V _{DDD}
FLASH_ROW_PGM	消去後の行プログラム時間	-		7	ms	-
TBULKERASE	バルク消去時間 (32KB)	-		35		
TDEVPROG	総デバイス プログラム時間	-		7.5	s	
FRET1	フラッシュ データ保持期間、 TA ≤ 55°C、 10 万回の P/E サイクル	15		-	年	
FRET2	フラッシュ データ保持期間、 TA ≤ 85°C、 1 万回の P/E サイクル	10				
FRET3	フラッシュ データ保持期間、 TA ≤ 105°C、 1 万回の P/E サイクル	3				

SWD

F_swclk1	すべての V _{DD}	–	–	14	MHz	–
T_swdi_setup	T = 1/f SWDCLK	0.25 × T		–	ns	
T_swdi_hold				–		
T_swdo_valid		–		0.50 × T		
T_swdo_hold		1		–		

ILO / IMO / POR

FIMO	IMO 周波数	24	36	48	MHz	-
IMO_STL	トリムレジスタ変更時の IMO 整定時間	-	-	200	ns	$25^{\circ}\text{C } T_A$ 、 すべての V_{DD} 、 $48\text{MHz} \geq \text{FIMO} \geq 24\text{MHz}$
FCPU	CPU 入力周波数			48	MHz	-
FILO	ILO 周波数	15	40	80	kHz	

電氣的仕様

Table 6 機能ブロック仕様 (continued)

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
SR_POWER_UP	電源投入時の電源供給スルー レート	–	–	67	V/ms	–
Fimotol	24MHz および 48MHz での周波数変動 (トリム済み)	-2		2	%	
TSTARTIMO	IMO 起動時間	–		7	μs	
TSTARTILO1	ILO 起動時間			2	ms	
EXTCLKFREQ	外部クロック入力周波数			16	MHz	
EXTCLKDUTY	デューティ比。 V _{DD} /2 で測定	45		55	%	
TCLKSWITCH	システム クロック ソースの切り替え時間	3		4	周期	
V _{RISEIPOR}	パワーオンリセット (POR) 立ち上りトリップ電圧	0.72		1.5	V	
V _{FALLIPOR}	パワーオンリセット (POR) 立ち下りトリップ電圧	0.62		1.4		
V _{DD} _BOD	アクティブ / スリープ モードでの電圧低下検出 (BOD) トリップ電圧	2.34		3		
V _{CC} _BOD		1.64		2		
V _{CC} _BOD_DP_SLP		1.1		2		
タイマー						
SYS_TIM_RES	システム タイマー分解能	–	16	–	ビット	–
WDT_RES	ウォッチドッグ タイマー分解能		16		ビット	
TCPWM						
TCPWMFREQ	動作周波数	–	–	Fc	MHz	Fc max = CLK_SYS
TPWMEXT	出力トリガー パルス幅	2/Fc		–	ns	オーバーフロー、アンダーフロー および CC (カウンター = 比較値) 出力の最小幅
TCRES	カウンターの分解能	1/Fc				逐次カウント同士の間の最小時間
PWMRES	PWM 分解能					PWM 出力の最小パルス幅
PD トランシーバ						
vSwing	トランスミッタ出力 HIGH 電圧	1.05	–	1.2	V	–
vSwing_low	トランスミット出力 LOW 電圧	–		0.075		
zDriver	トランスミッタ出力インピーダンス	33		75	Ω	

電氣的仕様

Table 6 機能ブロック仕様 (continued)

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
Idac_std	USB 標準アダプタイズメントの ソース電流	64	-	96	μA	-
Idac_1p5a	5V アダプタイズメント、1.5A での ソース電流	166		194		
Idac_3a	5V アダプタイズメント、3A での ソース電流	304		356		
zOPEN	無効時のグランドへの CC イン ピーダンス	108		-	kΩ	
DFP_default_0p2	標準 USB での DFP 側の CC 電圧	0.15		0.25	V	
DFP_1.5A_0p4	1.5A での DFP 側の CC 電圧	0.35		0.5		
DFP_3A_0p8	3A での DFP 側の CC 電圧	0.75		0.85		
DFP_3A_2p6	3A での DFP 側の CC 電圧	2		2.75		
Vattach_ds	ディープスリープのアタッチ閾値	0.30		0.6	-	
Rattach_ds	ディープスリープのプルアップ 抵抗	10	50	kΩ		

LS-CSA の DC 仕様

Csa_Acc1	CSA 精度 5mV < Vsense < 10mV	-0.75	-	0.75	mV	-
Csa_Acc2	CSA 精度 10mV < Vsense < 15mV					
Csa_Acc3	CSA 精度 15mV < Vsense < 25mV					
Csa_Acc4	CSA 精度 Vsense = 50mV					
SCP_6A	短絡電流検出 @ 6A	5.4	6	6.6	A	
SCP_10A	短絡電流検出 @ 10A	9	10	11		
SCP_20A	短絡電流検出 @ 20A	18	20	22		
OCP Threshold	5mΩ、4A 以上での OCP トリップ 閾値	117	130	143	%	
Av	対応公称ゲイン値 : 40、60	30	-	60	V/V	

LS-CSA の AC 仕様

Tscp_gate	SCP 閾値トリップから外部 NFET パワー ゲート オフまでの遅延時間	-	2.5	-	μs	NFET ゲート容量 = 1nF、VBUS_IN = 28V
Tscp_gate_1			7.5			NFET ゲート容量 = 3nF、VBUS_IN = 28V

電氣的仕様

Table 6 機能ブロック仕様 (continued)

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
UV0V						
VTHOV	過電圧閾値精度 4V ～ 30V	-3	-	3	%	-
VTHUV1	低電圧閾値精度 3V ～ 4V	-4		4		
VTHUV2	低電圧閾値精度 4V ～ 30V	-3		3		
VBUS ゲート ドライバーの DC 仕様						
GD_VGS	オン時のゲート - ソース間オーバードライブ電圧	5	-	10	V	NFET ドライバーがオン
GD_Rpd	「プルダウン」有効時の抵抗	-		2	KΩ	外部 NFET をオフにするために VBUS_CTRL に使用可能
GD_drv	プログラム可能な標準ゲート電流	0.3		9.75	μA	ゲートドライバー出力電流
VBUS ゲート ドライバーの AC 仕様						
Ton	VBUS_CTRL LOW から HIGH まで (1V から VBUS + 1V まで) の時間。 3nF の外付けコンデンサ	2	5	10	ms	VBUS_IN = 5V
Toff	VBUS_CTRL HIGH から LOW まで (90% から 10% まで) の時間。 3nF の外付けコンデンサ	-	7.5	-	μs	VBUS_IN = 28V
VBUS 放電						
R1	VBUS_IN 上の NMOS オン時の抵抗。DS = 1	1000	-	4000	Ω	0.5V で測定
R2	VBUS_IN 上の NMOS オン時の抵抗。DS = 2	500		2000		
R4	VBUS_IN 上の NMOS オン時の抵抗。DS = 4	250		1000		
R8	VBUS_IN 上の NMOS オン時の抵抗。DS = 8	125		500		
R16	VBUS_IN 上の NMOS オン時の抵抗。DS = 16	62.5		250		
R32	VBUS_IN 上の NMOS オン時の抵抗。DS = 32	31.25		150		
Vbus_stop_error	最終 VBUS 値の設定値からの誤差率	-	-	10	%	VBUS が 5V に放電
R1A	VBUS_C 上の NMOS オン時の抵抗。DS = 1	1000		2000	Ω	0.5V で測定
R127A	VBUS_C 上の NMOS オン時の抵抗。DS = 127	6.5		38		

電氣的仕様

Table 6 機能ブロック仕様 (continued)

パラメーター	説明	Min	Typ	Max	単位	詳細 / 条件
電圧安定化の DC 仕様						
VOUT	VBUS_IN 標準出力電圧範囲	3.3	–	28	V	–
VR	VBUS 電圧安定化精度	–	±3	±5	%	
Ika_off	オフ状態のカソード電流		2.2	10	μA	
Ika_on	オプトカプラ アプリケーションのシンク モード時の EA_OUT ピンを流れる電流		–	5	mA	
VBUS レギュレータ仕様						
VOLTAGE_DETECT	VBUS_IN 検出閾値電圧	1.65	2.1	2.4	V	–
Tstart	安定化電源出力の合計起動時間。 4.7μF の負荷容量	–	50	200	μs	
ADC の DC 仕様						
分解能	ADC 分解能	–	8	–	ビット	–
INL	積分非直線性	-2.5	–	2.5	LSB	VDDD から生成されたリファレンス電圧
INL	積分非直線性	-1.5		1.5		バンドギャップから生成されたリファレンス電圧
VREF_ADC1	ADC のリファレンス電圧	VDDD Min		VDDD Max	V	VDDD から生成されたリファレンス電圧
VREF_ADC2		1.96		2		2.04
VCONN スイッチ仕様						
VCONN_OUT	VCONN 最小出力電圧。 VBUS = 5V ~ 30V、負荷電流 = 20mA	4.5	–	–	V	–
Ileak	コネクタ側のピンのリーク電流	–		10	μA	
VCONN スイッチの AC 仕様						
Ton	スイッチ ターンオン時間	–	–	600	μs	–
Toff	スイッチ ターンオフ時間			10		

製品番号	アプリケーション	パッケージタイプ	Si ID	Si Rev
CYPAS213A1-24SXQ	一次側フライバック制御付き USB PD アダプタ	24 ピン SOIC	3B02	A1
CYPAS213A1-24SXQT				
CYPAS213A1-32LQXQ		32 ピン QFN	3B12	
CYPAS213A1-32LQXQT				

5.1 注文コードの定義

CY	PA	S	X	XX	XX	-	XX	XX	X	X	XX	X
<p>T = Tape and reel</p> <p>ES (optional field) = Pre-production engineering samples only. Non orderable.</p> <p>Temperature range: Q = Extended industrial (-40°C to +105°C)</p> <p>X = Pb-free</p> <p>Package type: LQ = QFN; S = SOIC</p> <p>Number of pins in the package</p> <p>Si Rev</p> <p>Application and feature combination designation</p> <p>Product type: 2 = Second-generation product family</p> <p>Product type: S = Secondary side controller</p> <p>Marketing code: PA = Power adapter</p> <p>Company ID: CY = CYPRESS (an Infineon company)</p>												

6 パッケージ

Table 8 パッケージの特性

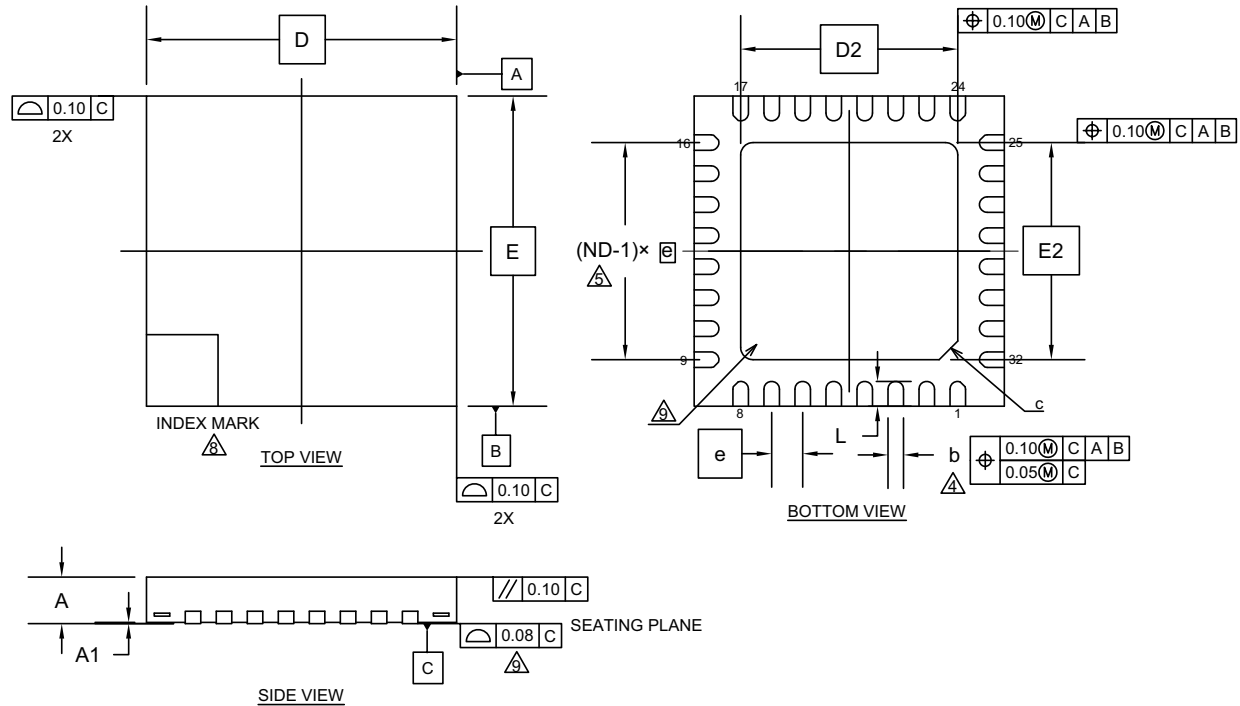
パラメーター	説明	条件	Min	Typ	Max	単位
T_A	動作周囲温度	産業用拡張温度範囲	-40	–	105	°C
T_J	動作ジャンクション温度				150	
T_{JA}	32 ピン QFN のパッケージ θ_{JA}	–	–	23.4	–	°C/W
T_{JA}	24 ピン SOIC のパッケージ θ_{JA}			68.9		
T_{JB}	32 ピン QFN 用パッケージ θ_{JB}			4.85		
T_{JB}	24 ピン SOIC 用パッケージ θ_{JB}			64.1		
T_{JC}	32 ピン QFN 用パッケージ θ_{JC}			27.2		
T_{JC}	24 ピン SOIC 用パッケージ θ_{JC}			35.6		

Table 9 はんだリフロー ピーク温度

パッケージ	最高ピーク温度	ピーク温度の 5°C 以内での最長時間
24 ピン SOIC	260 °C	30 秒
32 ピン QFN		

Table 10 パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

パッケージ	MSL
24 ピン SOIC	MSL3
32 ピン QFN	



SYMBOL	DIMENSIONS		
	MIN.	NOM.	MAX.
A	—	—	0.80
A1	0.00	—	0.05
D	5.00 BSC		
E	5.00 BSC		
b	0.18	0.25	0.30
D2	3.50 BSC		
E2	3.50 BSC		
e	0.50 BSC		
c	0.30 REF		
L	0.35	0.40	0.45

NOTE

- ALL DIMENSIONS ARE IN MILLIMETERS.
- DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
- N IS THE TOTAL NUMBER OF TERMINALS.
- △ DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL. THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
- △ ND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
- MAX. PACKAGE WARPAGE IS 0.05mm.
- MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
- △ PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
- △ BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
- JEDEC SPECIFICATION NO. REF : N/A

002-15160 Rev. **

Figure 8 32 リード QFN ((5.0 × 5.0 × 0.8mm) WNP032 3.5 × 3.5mm E-pad (Sawn)) パッケージ外形図 (PG-VQFN-32)、002-15160

24 Lead (300 Mil) SOIC – S13

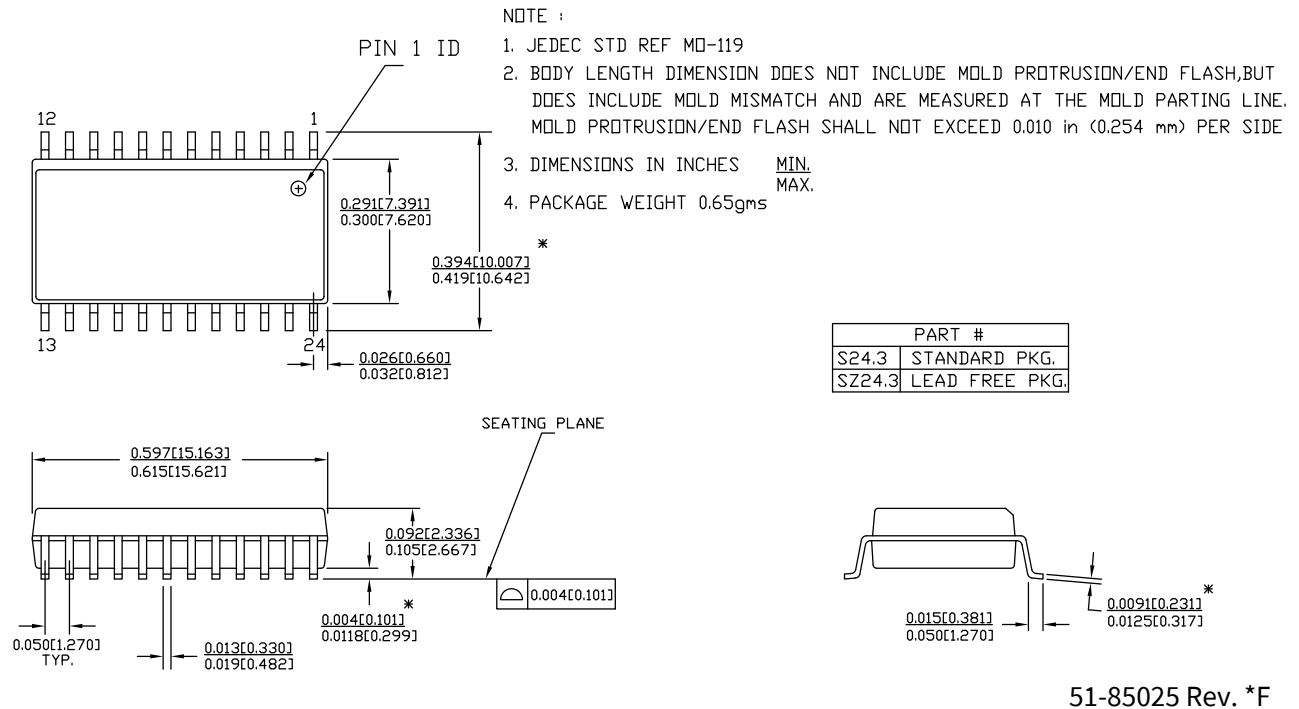


Figure 9 24 リード SOIC (0.615 × 0.300 × 0.0932 インチ) パッケージ外形図 (PG-DSO-24)、51-85025

7 略語

Table 11 本書で使用する略語

略語	説明
ACF	active clamp flyback (アクティブ クランプ フライバック)
ADC	analog-to-digital converter (アナログ - デジタル変換器)
Arm®	advanced RISC machine (高度な RISC マシン): CPU アーキテクチャの一種
BOD	brown out detect (電圧低下検出)
BMC	biphase mark code (バイフェーズ マーク コード)
CC	constant current (定電流)
CCM	continuous conduction mode (連続導通モード)
CPU	central processing unit (中央演算処理装置)
CrCM	critical conduction mode (臨界導通モード)
CS	current sense (電流検出)
CSN	current sense negative (負の電流検出)
CSP	current sense positive (正の電流検出)
DCM	discontinuous conduction mode (不連続導通モード)
DFP	downstream facing port (ダウンストリーム ポート)
DP	data plus (データ プラス)
DM	data minus (データ マイナス)
EA	error amplifier (誤差アンプ)
EMI	electromagnetic interference (電磁干渉)
EPR	extended power range (拡張電力範囲)
ESD	electrostatic discharge (静電気放電)
FB	feedback (フィードバック)
FS	full-speed (フルスピード)
GPIO	general-purpose input/output (汎用入出力)
ILO	internal low-speed oscillator (内部低速発振器)。IMO を参照してください
IMO	internal main oscillator (内部主発振器)。ILO を参照してください
I/O	input/output (入出力)。GPIO を参照してください
LSCSA	low-side current sense amplifier (ローサイド電流検出アンプ)
LVTTL	low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック)
NMOS	N-type metal-oxide-semiconductor (n 型金属酸化膜半導体)
OCP	overcurrent protection (過電流保護)
OVP	overvoltage protection (過電圧保護)
PD	power delivery (パワー デリバリー)
PHY	physical layer (物理層)
POR	power-on reset (パワーオン リセット)
PPS	programmable power supply (プログラマブル電源)
PWM	pulse-width modulator (パルス幅変調器)

略語

Table 11 本書で使用する略語 (continued)

略語	説明
QR	quasi-resonant (擬似共振)
RAM	random-access memory (ランダム アクセス メモリ)
RISC	reduced-instruction-set computing (縮小命令セット コンピューティング)
RMS	root-mean-square (2 乗平均平方根)
RX	receive (受信)
SAR	successive approximation register (逐次比較レジスタ)
SCL	I ² C serial clock (I ² C シリアル クロック)
SDA	I ² C serial data (I ² C シリアル データ)
SPI	serial peripheral interface (シリアル ペリフェラル インターフェース): 通信プロトコルの一種
SR	synchronous rectifier (同期整流器)
SRAM	static random access memory (スタティック ランダム アクセス メモリ)
SWD	serial wire debug (シリアル ワイヤ デバッグ): テスト プロトコルの一種
TX	transmit (送信)
Type-C	薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供することが可能
USB	universal serial bus (ユニバーサル シリアル バス)
WDT	watchdog timer (ウォッチドッグ タイマー)
XRES	external reset I/O pin (外部リセット I/O ピン)
ZCD	zero crossing defect (ゼロ クロッシング検出)
ZVS	zero voltage switching (ゼロ電圧スイッチング)

8 本書の表記法

8.1 測定単位

Table 12 測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
KB	1024 バイト
kHz	キロヘルツ
kΩ	キロオーム
Mbps	メガビット毎秒
MHz	メガヘルツ
MΩ	メガオーム
Msp/s	メガサンプル毎秒
μA	マイクロアンペア
μF	マイクロファラド
μs	マイクロ秒
μV	マイクロボルト
μW	マイクロワット
mA	ミリアンペア
ms	ミリ秒
mV	ミリボルト
nA	ナノアンペア
ns	ナノ秒
Ω	オーム
pF	ピコファラド
ppm	100 万分の 1
ps	ピコ秒
s	秒
sps	サンプル毎秒
V	ボルト

改訂履歴

改訂履歴

版	発行日	変更内容
**	2023-11-30	これは英語版 002-37178 Rev. *B を翻訳した日本語版 002-39074 Rev. ** です。
*A	2024-04-10	これは英語版 002-37178 Rev. *C を翻訳した日本語版 002-39074 Rev. *A です。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

<p>Edition 2024-04-10</p> <p>Published by</p> <p>Infineon Technologies AG</p> <p>81726 Munich, Germany</p> <p>© 2024 Infineon Technologies AG.</p> <p>All Rights Reserved.</p> <p>Do you have a question about this document?</p> <p>Email:</p> <p>erratum@infineon.com</p> <p>Document reference</p> <p>002-39074 Rev. *A</p>	<p>重要事項</p> <p>本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。</p> <p>さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。</p> <p>本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。</p>	<p>警告事項</p> <p>技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。</p> <p>インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。</p>
--	--	--