

USB PD および二次側 ACF コントローラー搭載 EZ-PD™ PAG2S-AC

概要説明

EZ-PD™ PAG2S-AC CYPAS212 は、二次側 PWM コントローラーと USB Power Delivery (USB PD) を統合したコントローラーです。PAG2S-AC は、二次側同期整流器 (SR), パルス幅変調器 (PWM), およびアクティブクランプフライバック (ACF) 制御を搭載しています。PAG2S-AC は USB-C 電源アダプタを対象として、USB PD, Qualcomm Quick Charge, およびその他の標準充電プロトコルを備えた高効率 AC-DC フライバック設計によく適合します。PAG2S-AC CYPAS212 は、USB Power Delivery 拡張電力範囲 (EPR) モードもサポートしています。

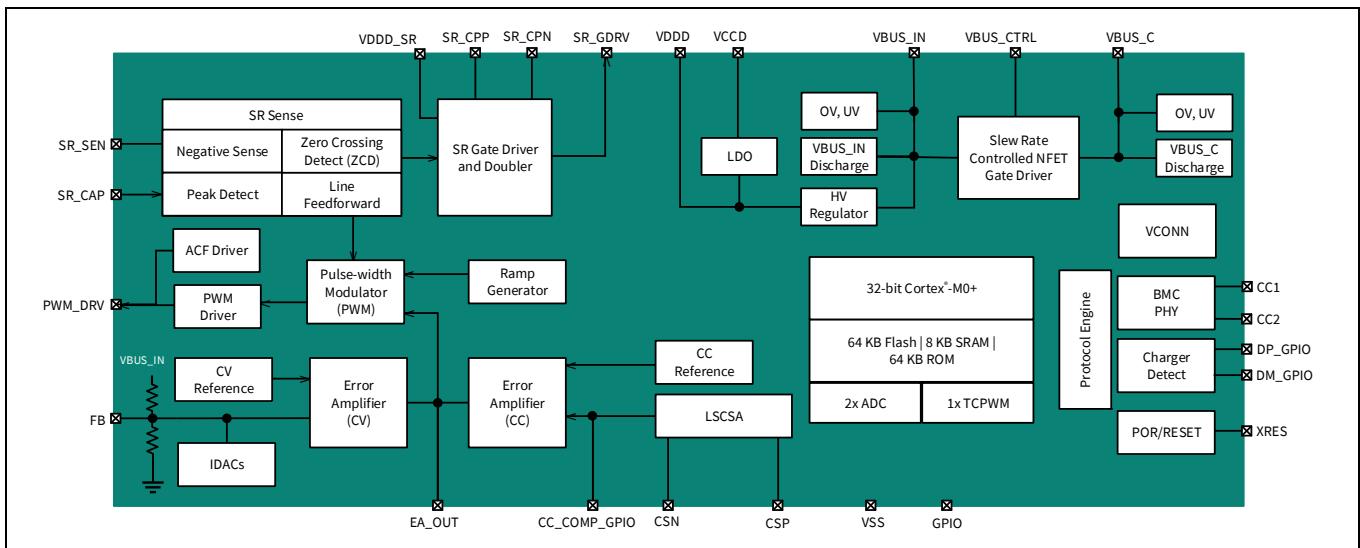
アプリケーション

- USB-C 充電器とアダプタ
- EPR 対応の USB-C 充電器とアダプタ
- USB PD とレガシー充電の両方をサポートする電源アダプタ

特長

- 二次側フライバック コントローラーと充電ポート コントローラーを統合
- 二次側同期整流器 (SR)、ACF サポート付きの PWM 制御を統合
- 臨界導通モード (CrCM), バレースイッチング, 不連続導通モード (DCM), および連続導通モード (CCM) での同期整流に対応し、最大 300 kHz のスイッチング周波数をサポート
- 軽負荷動作用のバースト モードをサポート
- SR ドライバーは標準 MOSFET と論理レベル MOSFET の両方に対応
- USB PD 3.1 準拠であり、最大 28V VBUS の EPR に対応
- プログラマブル電源 (PPS) を含む USB PD 2.0 と PD 3.0, QC 5.0, QC4+, QC 4.0, QC 3.0, QC 2.0, Samsung AFC, Apple Charging, および Battery Charging (BC) v1.2 の充電プロトコルをサポート
- ローサイド電流検出アンプ (LSCSA), 2x VBUS 放電 FET, ロードスイッチを駆動する NFET ゲートドライバーと EMCA ケーブルをサポートする VCONN FET を内蔵
- 構成可能な VBUS 過電圧保護 (OVP), 低電圧保護 (UVP), 過電流保護 (OCP), 短絡保護 (SCP), およびシステム過熱保護 (OTP)
- VBUS-CC 短絡保護, CC, VBUS, DP/DM ライン上の静電気放電 (ESD) 保護, および DP/DM ライン上の過電圧保護
- 64 KB フラッシュ, 8 KB SRAM, および 64 KB ROM を備えた 32 ビット Cortex® M0+ を搭載
- ジャンクション温度範囲が -40°C ~ +150°C の 32 ピン QFN パッケージ

機能ブロック図



目次

| | |
|---|----|
| 概要説明 | 1 |
| アプリケーション | 1 |
| 特長 | 1 |
| 機能ブロック図 | 2 |
| 目次 | 3 |
| 1 アプリケーション概要 | 4 |
| 1.1 二次側フライバック制御付き USB PD アダプタ | 4 |
| 2 ピン配置 | 5 |
| 2.1 ピン機能 | 5 |
| 2.2 ピン説明 | 6 |
| 2.2.1 SR_GDRV, SR_VSS, SR_SEN, SR_CPP, SR_CPN, SR_CAP | 6 |
| 2.2.2 FB, EA_OUT, CC_COMP_GPIOx | 6 |
| 2.2.3 PWM_DRV | 7 |
| 2.2.4 VBUS_IN, VDDD, VCCD | 7 |
| 2.2.5 VBUS_C, VBUS_CTRL | 7 |
| 2.2.6 CSP, CSN | 7 |
| 2.2.7 CC1, CC2 | 7 |
| 2.2.8 DP_GPIOx, DM_GPIOx | 7 |
| 2.2.9 GPIOx\, XRES | 8 |
| 3 機能説明 | 9 |
| 3.1 システム起動 | 9 |
| 3.2 動作モード - SR | 9 |
| 3.3 動作モード - PWM および ACF | 13 |
| 3.4 故障保護 | 15 |
| 3.4.1 VBUSのOVP, UVP, OCP, SCP | 15 |
| 3.4.2 過熱保護 | 15 |
| 3.4.3 ESD, CCのOVP, DP/DMのOVP | 15 |
| 3.5 電力モード | 15 |
| 3.6 MCU サブシステム | 15 |
| 4 電気的仕様 | 16 |
| 4.1 絶対最大定格 | 16 |
| 4.2 デバイスレベルの仕様 | 16 |
| 4.3 機能ブロック仕様 | 18 |
| 5 注文情報 | 25 |
| 5.1 注文コードの定義 | 25 |
| 6 パッケージ | 26 |
| 7 略語 | 28 |
| 8 本書の表記法 | 30 |
| 8.1 測定単位 | 30 |
| 改訂履歴 | 31 |
| 免責事項 | 32 |

1 アプリケーション概要

1.1 二次側フライバック制御付き USB PD アダプタ

Figure1 に、二次側制御の同期フライバックシステムを実装した電源アダプタのアプリケーション図を示します。このシステムでは、EZ-PD™ PAG2S-AC は電圧制御モードでの一次側 MOSFET のパルス幅を変調します。PAG2S-AC は、内部誤差アンプ (EA) とプログラマブルランプジェネレータを使用して PWM のパルス幅を決定します。PWM 信号は、パルスエッジトランジスを介して二次側から一次側に送信されます。このパルストランジスは、ACF 信号の送信にも使用されます。このトポロジでは、PAG2S-AC は ACF 付き二次側 PWM 制御、充電プロトコル制御、および故障保護という 3 つの主要な機能を備えています。以下の例では、EZ-PD™ PAG2P は一次側コントローラー、PAG2S-AC は二次側コントローラーとして使用されます。

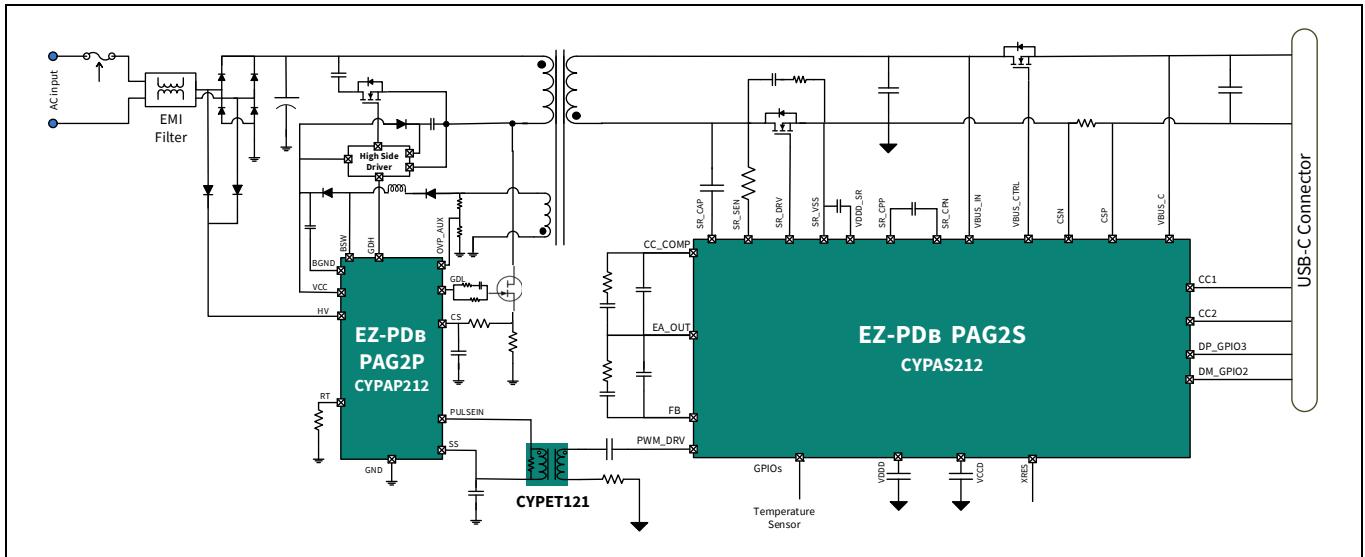


Figure 1 二次側フライバック制御付き USB PD アダプタ

ピン配置

2 ピン配置

2.1 ピン機能

Table 1 32 ピン QFN のピン説明

| ピン番号 | ピン名 | ピン説明 |
|------|---------------|--|
| 1 | VCCD | 1.8V のコア電源電圧 LDO 出力 |
| 2 | VDDD | 3.0V ~ 5.5V の内部 LDO 出力 |
| 3 | VSS | グランド |
| 4 | VDDD_SR | 同期整流器ドライバー用 V_{DDD} 電源 |
| 5 | SR_CPN | 同期整流用ダブルコンデンサの負端子 |
| 6 | SR_CPP | 同期整流用ダブルコンデンサの正端子 |
| 7 | VSS_SR | 同期整流器ドライバー用グランド |
| 8 | SR_GDRV | 同期整流器の NFET ゲート ドライバー |
| 9 | SR_SEN | 同期整流器の NFET ドレイン端子センシング |
| 10 | SR_CAP | 共振周波数が 4MHz を超えた場合の同期整流器の NFET ドレイン端子センシング |
| 11 | PWM_DRV | パルスエッジトランスドライバー |
| 12 | GPIO0 | GPIO |
| 13 | GPIO1 | |
| 14 | DM_GPIO2 | USB D-/GPIO/SWD_DAT |
| 15 | DP_GPIO3 | USB D+/GPIO/SWD_CLK |
| 16 | GPIO4 | 未接続 |
| 17 | XRES | 外部リセット入力 |
| 18 | GPIO5 | GPIO |
| 19 | GPIO6 | GPIO/TCPWM |
| 20 | GPIO7 | GPIO |
| 21 | CC2 | パワー デリバリー通信チャネル 2 |
| 22 | CC1 | パワー デリバリー通信チャネル 1 |
| 23 | CSN | ローサイド電流検出アンプの負入力 |
| 24 | CSP | ローサイド電流検出アンプの正入力 |
| 25 | VBUS_C | USB Type-C VBUS モニター入力 |
| 26 | VBUS_CTRL | ロードスイッチ NFET ゲート制御 |
| 27 | EA_OUT | EA の出力 |
| 28 | FB | EA のフィードバック |
| 29 | CC_COMP_GPIO8 | 定電流モードでの補正コンデンサ /GPIO/TCPWM 用のピン |
| 30 | CC_COMP_GPIO9 | |
| 31 | VSS | グランド |
| 32 | VBUS_IN | レギュレータ用の 3.3V ~ 30V 電源入力 |

ピン配置

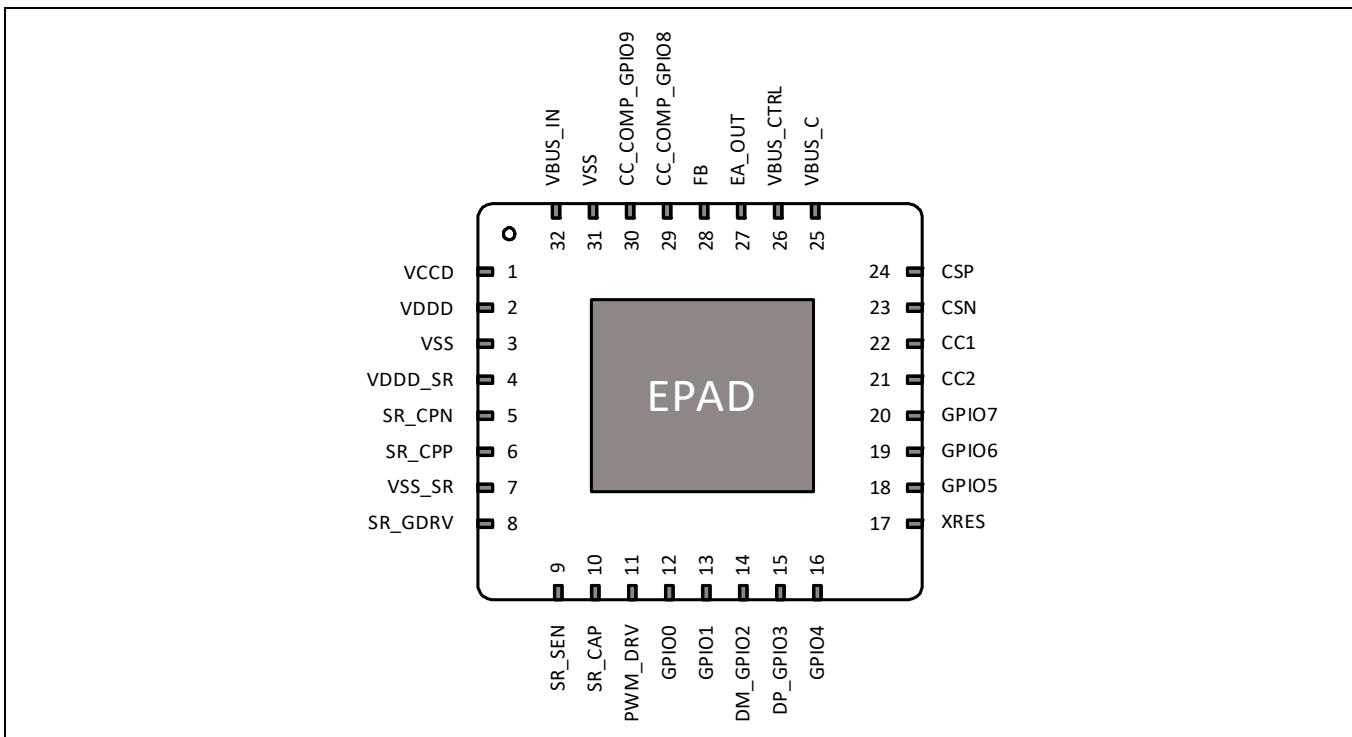


Figure 2 32 ピン QFN のピン配置

2.2 ピン説明

2.2.1 SR_GDRV, SR_VSS, SR_SEN, SR_CPP, SR_CPN, SR_CAP

EZ-PD™ PAG2S-AC は、同期整流器の NFET の両端の電圧を検出し、最適な効率のためにゲートドライバーを適切に制御します。標準 NFET と論理レベル NFET の両方をサポートします。このデバイスは、CrCM、バレースイッチング、不連続導通モード (DCM)、および連続導通モード (CCM) での同期整流に対応します。SR センスブロックは、ネガティブセンス検出とゼロクロッシング検出 (ZCD) をサポートします。SR_DRAIN ピンの共振周波数が 4MHz より大きいソリューションの場合、10pF コンデンサを介して SR_DRAIN ピンを SR_CAP に接続することにより、SR_CAP ピンを介してピーク周波数を検出します。共振周波数が 4MHz 未満の場合、SR_CAP ピンは開放のままにする必要があります。

ゲートドライバー (SR_GDRV) は内部 V_{DDD} で動作するか、または V_{DDD} の 2 倍の電圧に駆動して、外部 NFET の $R_{DS(ON)}$ 抵抗を低下させることができます。 V_{DDD} の倍増を実現するために、SR_CPP ピンと SR_CPN ピンに接続されたダブルコンデンサを備えた内部ダブル回路を使用します。SR FET のソース端子は、SR_VSS ピンに接続する必要があります。外部 NFET のドレインノードの電圧は、抵抗分圧器を使用して SR_SEN を介して検出されます。

2.2.2 FB, EA_OUT, CC_COMP_GPIOx

PAG2S-AC は、定電圧動作モードと定電流動作モードの両方で二次側出力の検出とレギュレーションを行う 2 個の誤差アンプブロックを内蔵しています。誤差アンプの出力は内部アナログ PWM ブロックに供給されます。誤差アンプの負入力はフィードバック (FB) ピンであり、正入力は内部電圧リファレンスです。FB ピンの電圧は、所望の VBUS 出力を達成するように内部電流ソース / シンク IDAC を使用して変更できます。アプリケーション図 (Figure1) に示すように、FB ピンと EA_OUT ピンの間に外部補正ネットワークが必要です。定電流動作モードでは、機能ブロック図に示すように、内部ローサイド電流検出アンプ (LSCSA) の出力が独立した誤差アンプに供給されます。Figure1 に示すように、定電流モードにおけるレギュレーションには、CC_COMP_GPIOx と EA_OUT の間に外部補正ネットワークが必要です。

ピン配置

2.2.3 PWM_DRV

PAG2S-AC は、電圧制御モードで一次側 FET のパルス幅を変調するアナログ PWM ジェネレータをサポートします。ジェネレータはプログラム可能なランプを生成し、それを誤差アンプの出力と比較して PWM パルス幅を決定します。ランプの生成は、内部コンデンサへの電流供給によって行われます。供給電流は、特定の固定電流とフィード フォワード電流のプログラム可能な組み合わせです。PWM 信号は、パルス エッジ トランスを介して二次側から一次側に送信されます。このパルス トランスは、ACF 信号の送信にも使用されます。PAG2S-AC CYPAS212 は、時分割多重化 (TDM) を使用して PWM 信号と ACF 信号を区別します。補完的な一次側コントローラー CYPAP212 は、これらの信号を適宜デコードします。

2.2.4 VBUS_IN, VDDD, VCCD

PAG2S-AC は、VBUS_IN レールから電力供給される高電圧レギュレータを統合します。その出力は VDDD レールに電力を供給します。レギュレータの入力範囲は 3.3V ~ 30V です。レギュレータは、PAG2S-AC への電流供給を目的とし、外部負荷や IC を駆動するためのものではありません。また PAG2S-AC は、VBUS_IN レールの負の電圧遷移中に VBUS レールを放電するための内部設定可能な放電パスも備えています。放電抵抗の強度はファームウェアで設定できます。

安定化された電源 V_{DDD} は、いくつかのアナログ ブロックに直接電力供給するか、またはコア ロジックの大部分に電力を供給する 1.8V V_{CCD} にさらに降圧されます。VDDD ピンと VCCD ピンは、レギュレータの安定性を目的として外付けコンデンサに接続するために引き出されるもので、電源として使用されるものではありません。

2.2.5 VBUS_C, VBUS_CTRL

VBUS_C は、Type-C コネクタの電圧を監視するために使用されます。VBUS_C レールには、負の電圧遷移中に VBUS_C レールを放電するための設定可能な内部放電パスがあります。放電抵抗の強度はファームウェアで設定できます。VBUS_IN と VBUS_C の間にロードスイッチが設置されています。PAG2S-AC は、ロードスイッチを制御するための NFET ゲート ドライバーを搭載します。VBUS_CTRL はゲート ドライバーの出力です。急激な突入電流を回避するためのオプションの低速ターンオン機能があります。

2.2.6 CSP, CSN

PAG2S-AC は、負荷電流を監視する LSCSA を内蔵しています。CSP は LSCSA の正入力ピンであり、CSN は負入力です。LSCSA の Rsense の推奨値は 5mΩ です。

2.2.7 CC1, CC2

CC1 と CC2 は、USB PD プロトコルの通信チャネルです。PAG2S-AC は USB PD トランシーバを内蔵しています。このトランシーバは、USB PD 規格に従って、コンフィギュレーションチャネル (CC) を介してバイフェーズ マーク コード (BMC) でエンコードされたデータを通信するトランスマッタ (TX) とレシーバ (RX) で構成されます。すべての通信は半二重です。物理層は、チャネル上の通信エラーを最小限に抑えるために衝突回避を実装しています。このブロックには、USB PD 仕様で要求されるすべての終端抵抗 (R_p) とそれらのスイッチが含まれています。

アクティブケーブル アプリケーションに対応するために、PAG2S-AC は、CC ラインに電力供給する VCONN FET も内蔵しています。CC1 ピンと CC2 ピンの両方に 390pF の外付けコンデンサが必要です。

2.2.8 DP_GPIOx, DM_GPIOx

DP ラインと DM ラインは、標準の USB D+ および D- ラインです。PAG2S-AC は、BC 1.2, Quick Charge, Apple Charging、Samsung AFC などのレガシー充電プロトコルに対応する充電検出ブロックを内蔵しています。このブロックには、これらの充電プロトコルに必要なすべての終端が内蔵されており、外部コンポーネントは必要ありません。システムでレガシー充電が必要ない場合は、DP ラインと DM ラインは標準 GPIO として利用できます。充電検出ブロックは、DP/DM ライン上のインピーダンス検出もサポートします。

ピン配置

2.2.9 GPIOx, XRES

PAG2S-AC には複数の GPIO があり、そのうちのいくつかは GPIO 専用であり、残りは他の機能と多重化されています。GPIO は、複数の駆動モードと設定可能な閾値オプションに対応します。電源投入とリセットの間、入力に過電流を与えず、過剰なターンオン電流を発生させないために、GPIO はトライステートにされます。

XRES ピンは内部でプルアップされており、リセットを開始するには外部でプルダウンする必要があります。

3 機能説明

3.1 システム起動

電源投入時、一次側スタートアップコントローラーはソフトスタートメカニズムを使用して一次スイッチの制御を開始します。また、二次側出力コンデンサの充電に十分な電流と、EZ-PD™ PAG2S-AC に必要な起動電流を供給します。二次側出力電圧は PAG2S-AC の入力電源となります。VBUS_IN 電圧が 3.3V を超えると、PAG2S-AC フームウェアは起動し、一次側スイッチを制御します。PAG2S-AC の フームウェア起動時間は数ミリ秒程度です。

起動が完了すると、フームウェアは 5V の二次側出力を得るために誤差アンプを設定し、それに応じて PAG2S-AC は PWM パルスを生成します。パルスは PWM_DRV 上に生成され、パルスランプを介して一次側スタートアップコントローラーに送信されます。一次側スタートアップコントローラーは、 PWM パルスを受信すると、これらに内部発振器を同期させ、起動モードから二次側制御モードに切り替えます。二次側制御モードでは、一次側スイッチは PAG2S-AC によって生成された PWM パルスで直接制御されます。

3.2 動作モード - SR

PAG2S-AC は、DCM と CCM の両方のモードで同期整流(SR)をサポートします。SR センスブロックは、ネガティブセンス検出とゼロクロッシング検出(ZCD)をサポートします。Figure3 ~ Figure5 に、CrCM, バレースイッチング、および CCM のモードでの SR_GDRV 機能を示します。SR コントローラーのターンオン伝播遅延は 40ns (Typ)、ターンオフ伝播遅延は 25ns (Typ) です。

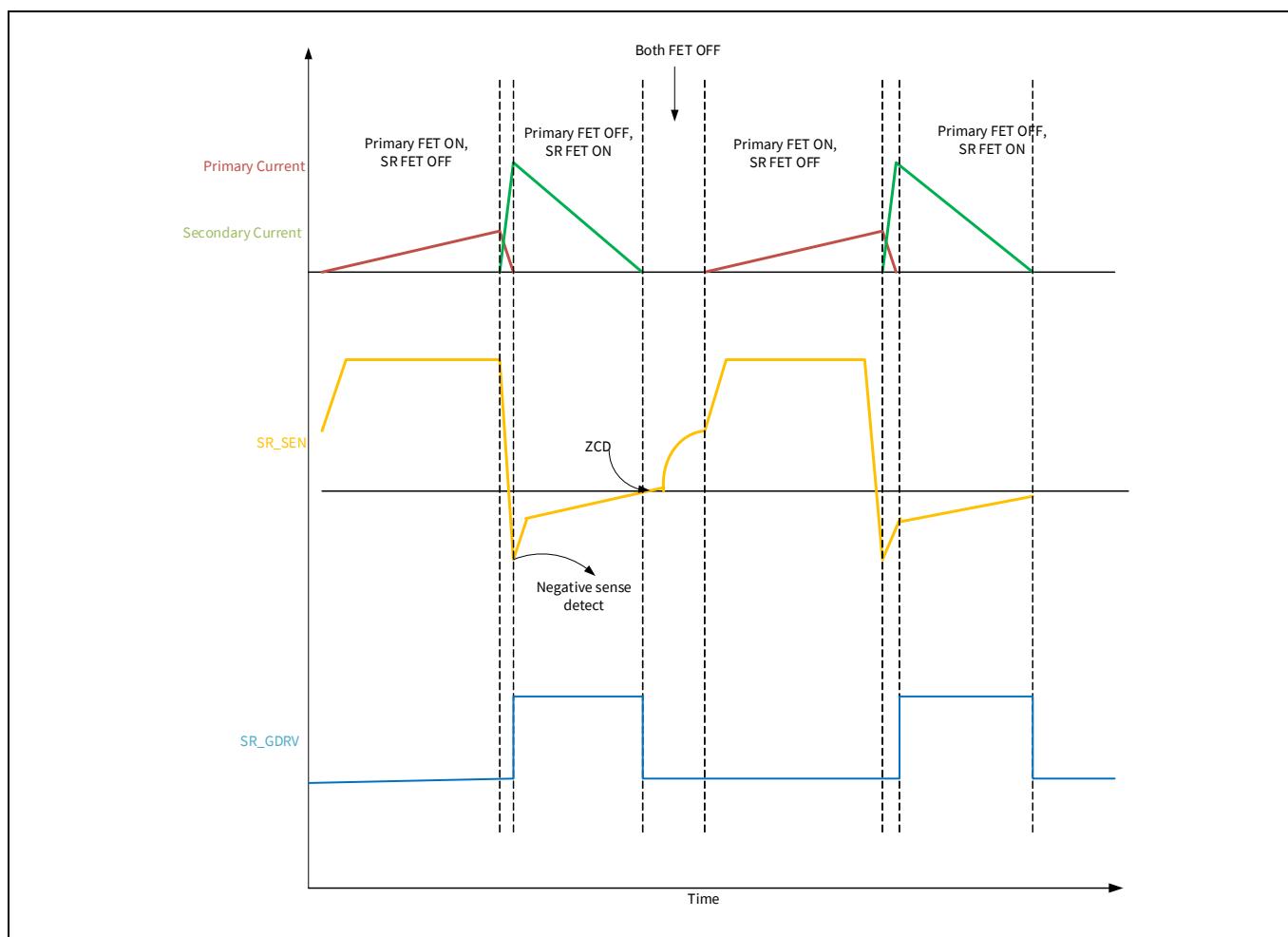


Figure 3 CrCM モードでの SR_SEN および SR_GDRV

機能説明

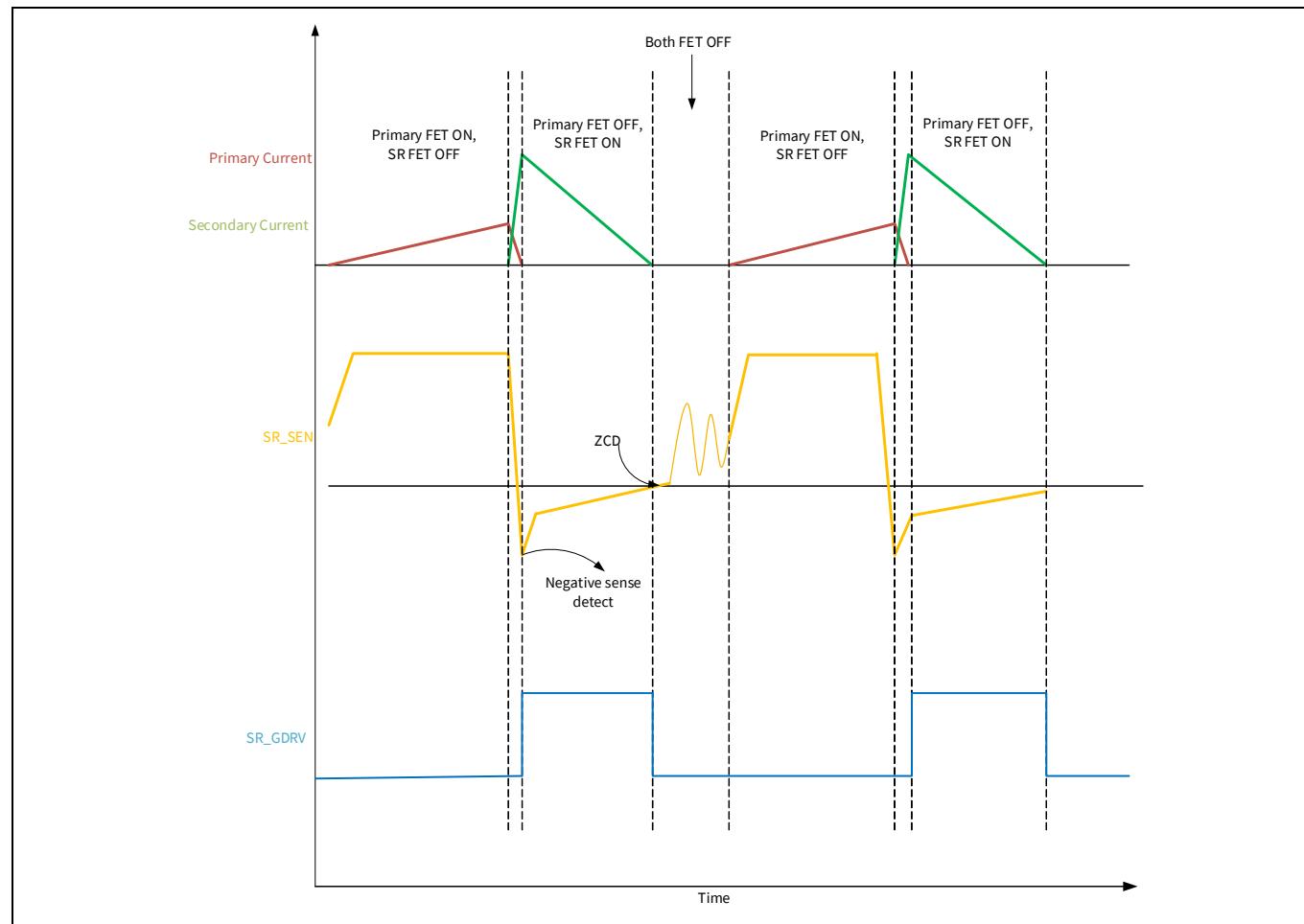


Figure 4 DCM/ バレー スイッチング モードでの SR_SEN および SR_GDRV

機能説明

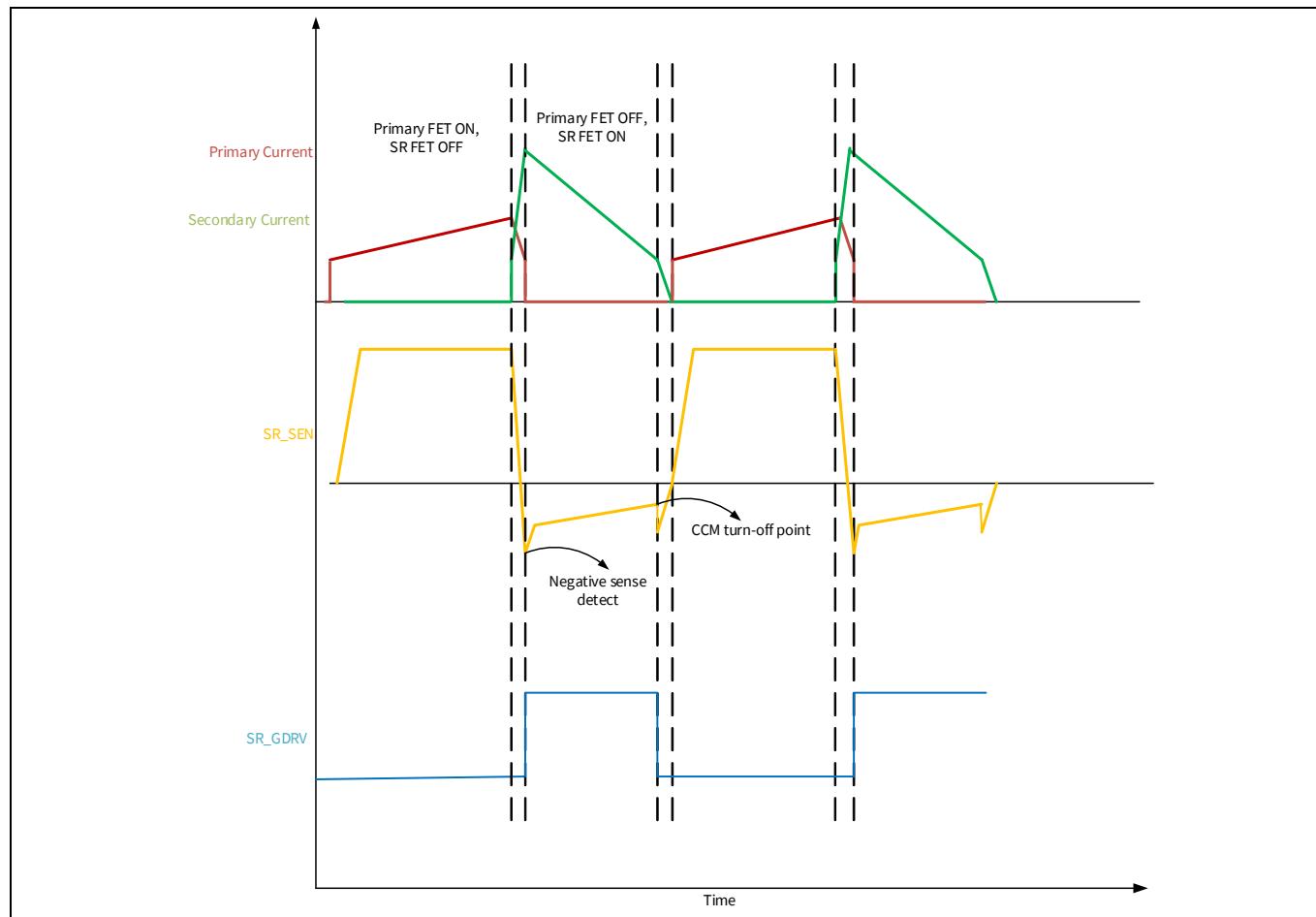


Figure 5 CCM モードでの SR_SEN および SR_GDRV

機能説明

外部 NFET のドレイン ノードの電圧は、外部抵抗に接続された SR_SEN で検出します。外部抵抗は、SR_SEN ピンの電圧を 34V 未満に制限するために必要です。SR_SEN ピンの外部抵抗は、電源トランスの巻数比に依存します。[表 2](#) に、さまざまな巻数比に応じた外部抵抗を示します。

Table 2 巻数比と SR_SEN の外部抵抗

| 一次側対二次側の巻数比 | Rext (Ω) |
|-------------|----------|
| 3:1 | 20k |
| 4:1 | 20k |
| 5:1 | 20k |
| 6:1 | 12k |
| 7:1 | 12k |
| 8:1 | 12k |
| 9:1 | 12k |
| 10:1 | 12k |
| 11:1 | 12k |
| 12:1 | 12k |
| 13:1 | 12k |
| 14:1 | 12k |
| 15:1 | 12k |

3.3 動作モード - PWM および ACF

PAG2S-AC は、CrCM, バレー スイッチング, DCM, CCM, 軽負荷動作作用のバーストモードの複数の動作モードをサポートします。ファームウェアでは、最小 / 最大パルス幅, 周期, およびパルススキップまたはバーストレベルを設定できます。PAG2S-AC は、アクティブクランプフライバック制御もサポートし、PWM 信号の送信前に短期間 ACF 信号を送信します。PAG2P は、ACF 信号を使用してハイサイドゲートドライバーを駆動し、PWM 信号を使用してローサイドゲートドライバーを駆動します。ACF はスナバコンデンサのエネルギーを再利用するため、システム効率が向上します。ACF パルス幅はファームウェアで設定できるため、設計ごとの最適化が可能です。Figure6 と Figure7 に、それぞれ DCM モードと CCM モードでの PWM 機能と ACF 機能を示します。

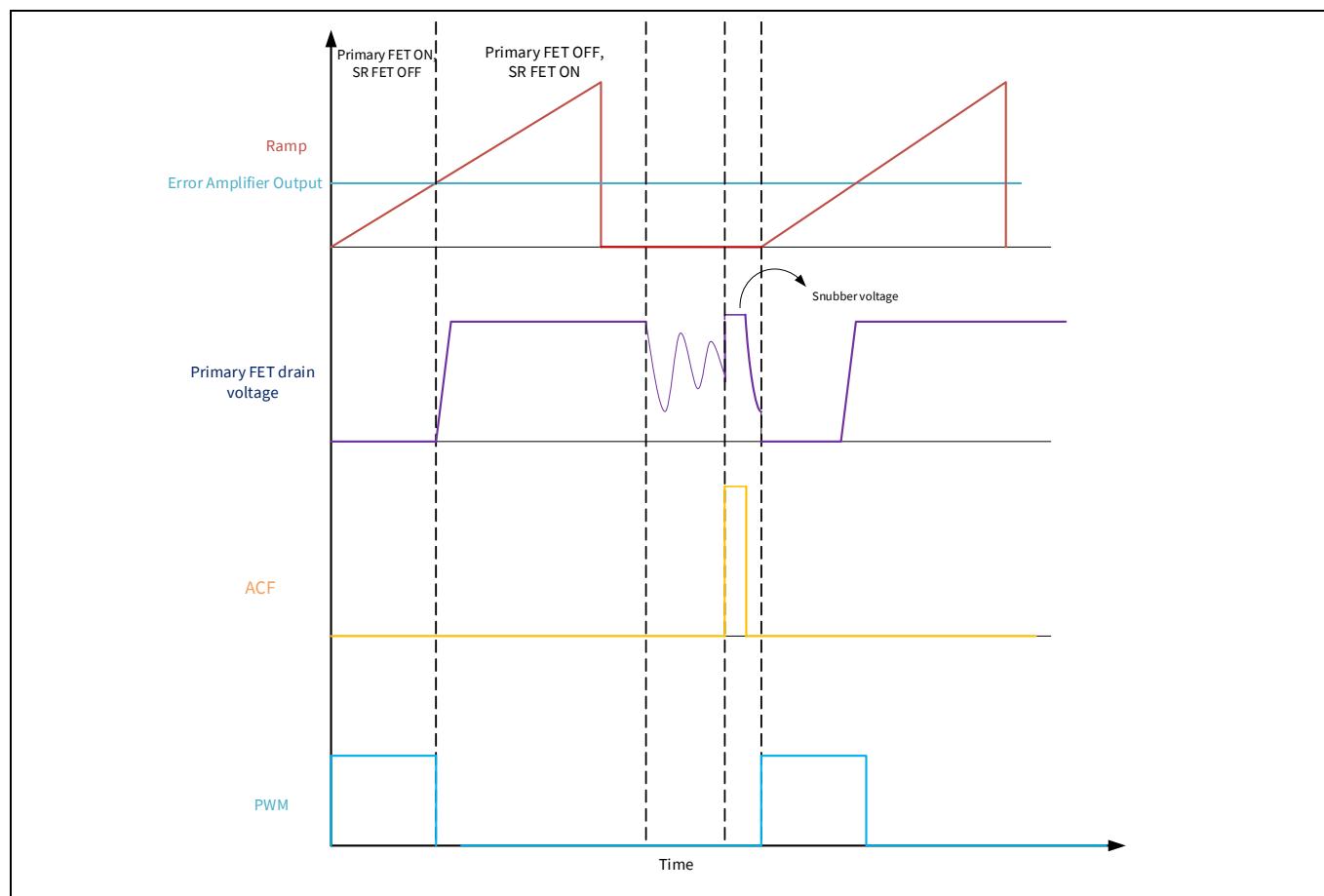


Figure 6 DCM モードでの PWM_ACF

機能説明

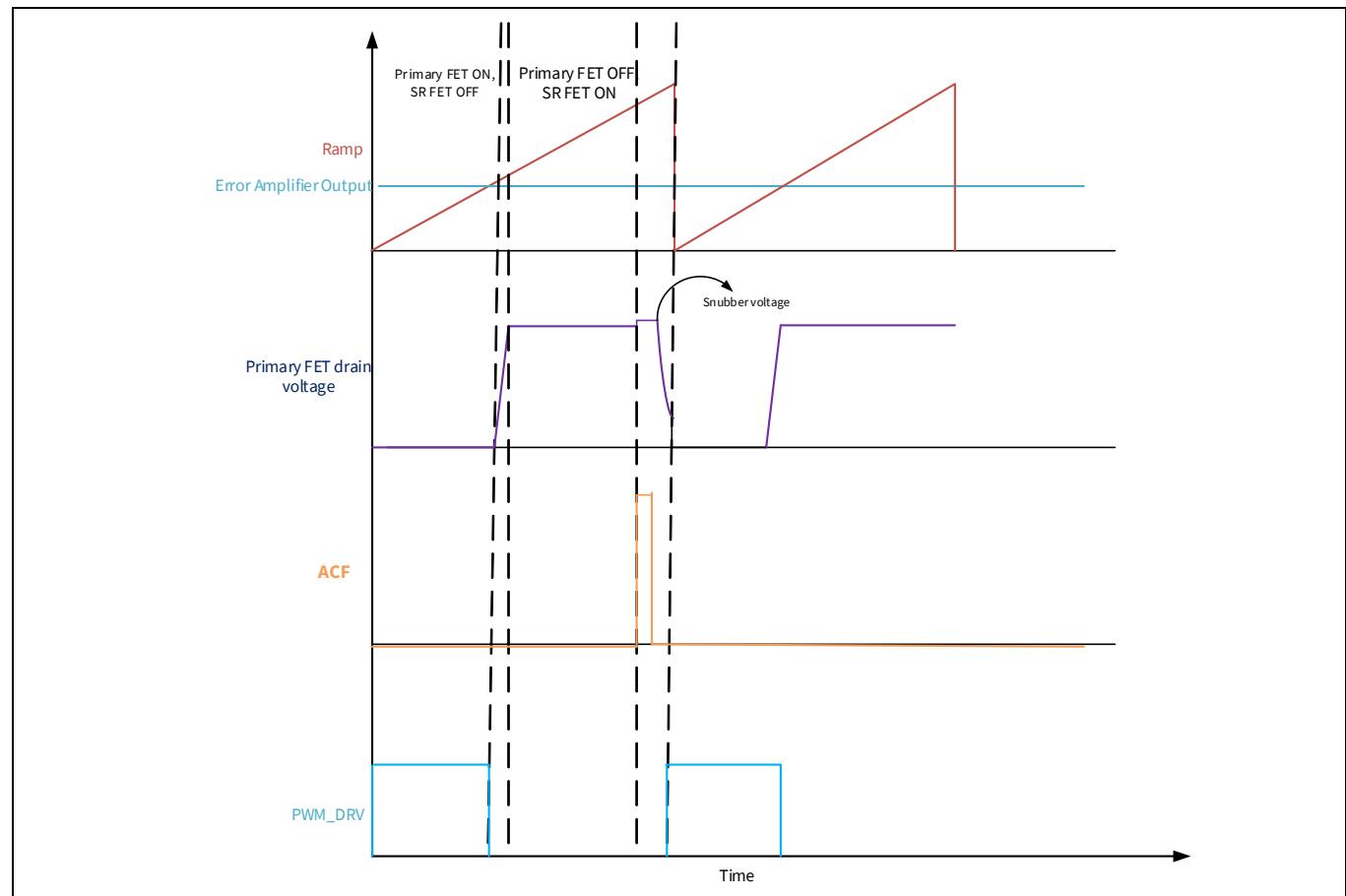


Figure 7 CCM モードでの PWM_ACF

機能説明

アナログ PWM のスマートアルゴリズムにより、出力電力要件に基づいてモード間の自動的な遷移が可能になります。高負荷の場合は CrCM で動作し、中負荷の場合は DCM に遷移し、低電力 / 超低電力の負荷の場合はスキップモードまたはバーストモードに切り替わります (Figure8 を参照してください)。

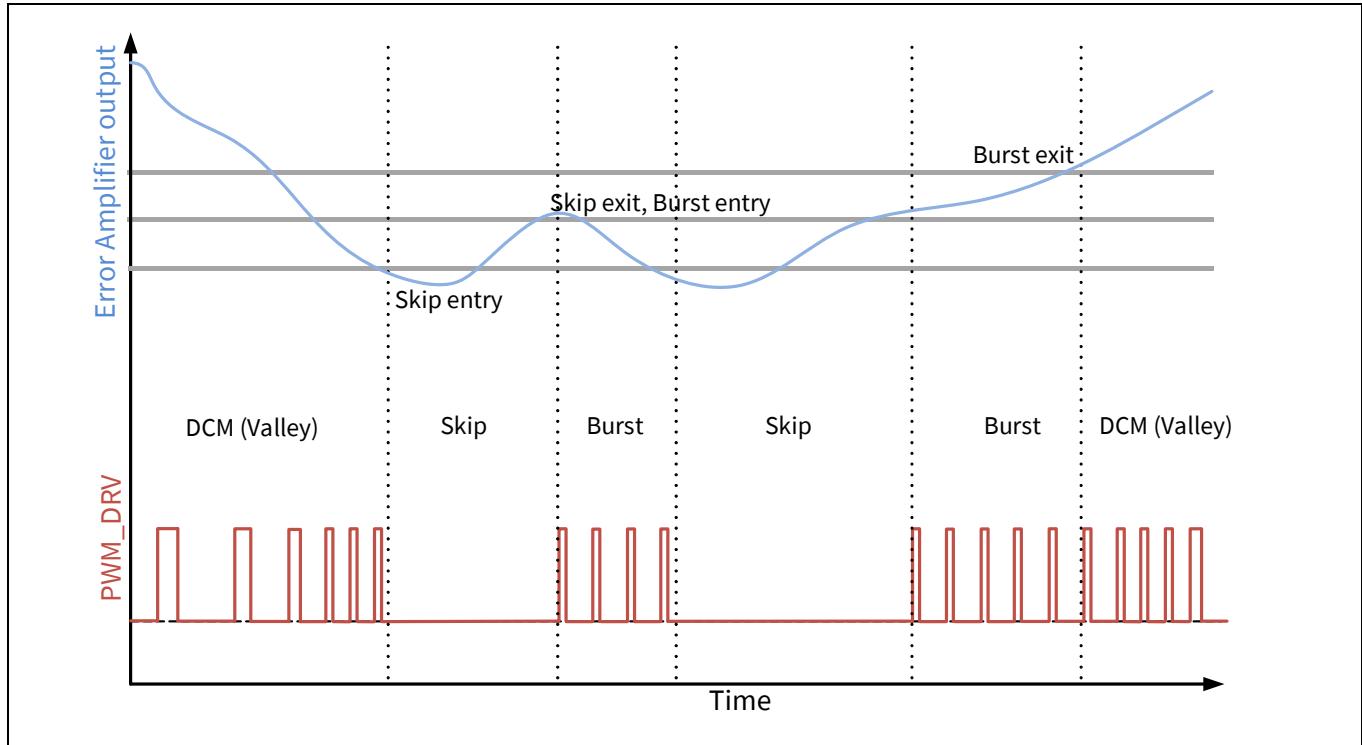


Figure 8 誤差アンプ出力と動作モードの関係

3.4 故障保護

3.4.1 VBUS の OVP, UVP, OCP, SCP

VBUS の低電圧および過電圧の故障は、内部 VBUS_IN/VBUS_C 抵抗分圧器を使用して監視されます。 VBUS の過電流および短絡の故障は、内部電流検出アンプ (CSA) を使用して監視されます。故障の閾値と応答メカニズムはファームウェアで設定可能です。

3.4.2 過熱保護

過熱の監視は、外部サーミスタと内部 ADC を使用して行われます。サーミスタは任意の GPIO に接続できます。PAG2S-AC は、汎用のアナログ - デジタル変換に使用される 8 ビット SAR ADC を搭載しています。故障の閾値と応答メカニズムはファームウェアで設定可能です。

3.4.3 ESD, CC の OVP, DP/DM の OVP

PAG2S-AC は、すべてのピンに ESD 保護を実装しています。また、高電圧 VBUS_C レールとの不慮の短絡故障から CC ピンを保護でき、DP/DM ピン上の過電圧も防止します。

3.5 電力モード

PAG2S-AC は、アクティブ、スリープ、ディープスリープの電力モードに対応します。これらのモード間の遷移は、動作条件に応じてアプリケーションファームウェアによって処理されます。

3.6 MCU サブシステム

PAG2S-AC は 64KB フラッシュ、8KB SRAM、および 64KB ROM を備えた 32 ビット Cortex® M0+ を搭載します。また、1 個の TCPWM と 2 個の ADC も搭載しています。

電気的仕様

4 電気的仕様

4.1 絶対最大定格

Table 3 絶対最大定格

| パラメーター | 説明 | Min | Typ | Max | 単位 |
|----------------------|-------------------|------|-----|-----------------|----|
| $V_{BUS_IN_MAX}$ | 最大入力電源電圧 | -0.3 | - | 34 | V |
| V_{DDD_MAX} | V_{DDD} 電源電圧 | | | 6 | |
| $V_{SR_DRAIN_MAX}$ | SR_SEN ピンの電圧 | - | | 34 | |
| $V_{CC_PIN_ABS}$ | CC1 ピンと CC2 ピンの電圧 | | | | |
| V_{GPIO_ABS} | GPIO 電圧 | -0.5 | | $V_{DDD} + 0.5$ | |
| I_{GPIO_ABS} | GPIO ごとの電流 | - | | 25 | mA |
| I_{LU} | ラッチアップ時のピン電流 | -100 | | 100 | |
| ESD_HBM | 静電気放電 (人体モデル) | | - | 2000 | V |
| ESD_CDM | デバイス帯電モデル ESD | | | 500 | |

4.2 デバイス レベルの仕様

Table 4 デバイス レベルの仕様

| パラメーター | 説明 | Min | Typ | Max | 単位 | 詳細 / 条件 | |
|-----------------------------|---|------------------|-----|------|---------|-----------------------|--|
| メモリ サイズ | | | | | | | |
| FLASH_SIZE | フラッシュメモリ サイズ | - | 64 | - | KB | SONOS フラッシュ サイズ (バイト) | |
| SRAM_SIZE | SRAM メモリ サイズ | | 8 | | | SRAM サイズ (バイト) | |
| SROM_SIZE | SROM メモリ サイズ | | 64 | | | | |
| シリコンチップの電源 | | | | | | | |
| V_{DDD_REG} | $V_{BUS} = 5.5V \sim 30V$ の場合の V_{DDD} 出力 | 4.6 | 5 | 5.4 | V | X5R セラミックまたはこれより良質のもの | |
| V_{DDD_MIN} | $V_{BUS} = 3.15V \sim 5.5V$ の場合の V_{DDD} 出力 | $V_{BUS} - 0.33$ | - | - | | | |
| V_{BUS_IN} | 電源入力電圧 | 3.15 | | 30.0 | | | |
| V_{CCD} | コア ロジック用の出力電圧 | - | 1.8 | - | | | |
| $V_{DDWRITE}$ | フラッシュ書き込み動作用の電源電圧 | 3 | - | 5.5 | | | |
| C_{EFC} | V_{CCD} の外部レギュレータ電圧バイパス | 80 | 100 | 120 | nF | | |
| C_{EXC} | V_{DDD} 用の電源コンデンサ | 4 | 4.7 | - | μF | | |
| C_{EXV} | V_{BUS_IN} 用の電源デカップリング コンデンサ | - | 1 | | | | |
| C_{EXCPP} | SR_CPP ピンと SR_CPN ピン間のコンデンサ | 0.1 | - | | | | |
| I_{GPIO_ABS} | GPIO ごとの電流 | - | | 25 | mA | 絶対最大値 | |

電気的仕様

Table 4 デバイス レベルの仕様 (続き)

| パラメーター | 説明 | Min | Typ | Max | 単位 | 詳細 / 条件 |
|-------------------|--|-----|------|-----|---------------|---|
| T_{SLEEP} | スリープ モードからの復帰時間 | | 0 | | μs | - |
| $T_{DEEPSLEEP}$ | ディープスリープ モードからの復帰時間 | | 35 | | | |
| I_{DD_A} | V_{BUS_IN} からのアクティブ電流 (Type-C 接続) | | 25.0 | | | $V_{BUS_IN} = 11\text{V}$ 、 $T_A = 25^\circ\text{C}$ 、 CC1 / CC2 が Tx または Rx、 CPU が 24MHz、 SR/PWM が 100kHz、 EA/ADC/CSA/UVOV ブロックがオン |
| I_{DD_A1} | PWM モード時の V_{BUS_IN} からの電流 (Type-C 接続) | - | 13.0 | - | mA | $V_{BUS_IN} = 28\text{V}$ 、 $T_A = 25^\circ\text{C}$ 、 クロックが 24MHz、 SR/PWM が 100kHz、 SR コンデンサ = 3nF、 CC のトグルなし |
| I_{DD_A3} | 低電力 PWM モード時の V_{BUS_IN} からの電流 (Type-C 接続) | | 4 | | | $V_{BUS_IN} = 28\text{V}$ 、 $T_A = 25^\circ\text{C}$ 、 クロックが 3MHz、 PWM モード、 CC のトグルなし |
| $I_{DD_DS1_UA}$ | PWM モード時の V_{BUS_IN} からのディープスリープ電流 (Type-C 未接続) | | 350 | | μA | $V_{BUS_IN} = 5\text{V}$ 、 $T_A = 25^\circ\text{C}$ 、 Type-C 未接続、 PWM モード、ダウンストリーム ポート (DFP) モード |
| L_{SEC} | 二次側インダクタ | 3 | - | | μH | 二次側インダクタ |

電気的仕様

4.3 機能ブロック仕様

Table 5 機能ブロック仕様

| パラメーター | 説明 | Min | Typ | Max | 単位 | 詳細 / 条件 |
|---------------|--|-----|-----|-----|----|---------|
| 同期整流器 | | | | | | |
| VCPP1 | $V_{BUS} = 3.3V \sim 5.5V$ の場合の電圧ダブラの出力電圧 | 5 | - | - | V | |
| VCPP2 | $V_{BUS} = 5.5V \sim 30V$ の場合の電圧ダ布拉の出力電圧 | 9 | 11 | - | | |
| TR_SR | 同期整流器ゲートドライバー出力の立ち上り時間 (1V から $V_{OH} - 1V$ まで)。 $C_L = 3nF$ (ダ布拉バイパスモードの場合とそうでない場合) | - | 60 | - | | |
| TF_SR1 | 同期整流器ゲートドライバー出力の立ち下り時間 ($V_{OH} - 1V$ から 1V まで)。 $C_L = 3nF$ (ダ布拉モードの場合) | - | 25 | 50 | ns | |
| TF_SR2 | 同期整流器ゲートドライバー出力の立ち下り時間 ($V_{OH} - 1V$ から 1V まで)。 $C_L = 3nF$ (ダ布拉バイパスモードの場合) | - | 15 | 30 | | |
| VTRIP_NSN_100 | 二次側スイッチをオンにするためのネガティブセンストリップ電圧 | 50 | 100 | 150 | - | |
| VTRIP_ZCD | 二次側スイッチをオフにするためのネガティブセンストリップ電圧 | -8 | -5 | -3 | mV | |
| VTRIP_ZCDF | 高速 ZCD を介して二次側スイッチをオフにするためのトリップ電圧 | 0 | 7 | 10 | | |
| TD_ON | SR_DRAIN が 100mV のときから SR_GDRV が 1V に達するまでのターンオン伝播遅延 | - | 40 | 80 | ns | |
| IO_SRC_SNK | 出力ピーク電流 (ソースとシンク) | - | 1 | - | A | |
| TR_SR1 | 同期整流器ゲートドライバー出力の立ち上り時間 (1V から $V_{OH} - 1V$ まで)。 $C_L = 3nF$ (ダ布拉モードの場合) | - | - | 75 | ns | |
| TR_SR2 | 同期整流器ゲートドライバー出力の立ち上り時間 (1V から $V_{OH} - 1V$ まで)。 $C_L = 3nF$ (ダ布拉バイパスモードの場合) | - | - | 30 | ns | - |

電気的仕様

Table 5 機能ブロック仕様 (続き)

| パラメーター | 説明 | Min | Typ | Max | 単位 | 詳細 / 条件 |
|------------------------|---|------------------------|-----|------------------------|-----|---|
| PWM | | | | | | |
| FSW | スイッチング周波数 | 20 | - | 300 | kHz | - |
| PWM_ON | 制御可能な最小オン時間 | 100 | - | - | ns | - |
| V _{OL_PTDR} | パルスエッジトランスマスドライバーの出力LOW電圧 (I _{Sink} = 8mA) | - | - | 0.5 | V | V _{DDD} = 3V、I _{ol} = 8mA |
| GPIO | | | | | | |
| I _{LU} | ラッチアップ電流制限 | -100 | - | 100 | mA | - |
| RPU | プルアップ抵抗値 | 3.5 | 5.6 | 8.5 | kΩ | |
| RPD | プルダウン抵抗値 | - | - | - | - | - |
| I _{IL} | 入力リーケ電流 (絶対値) | - | - | 2 | nA | +25°C T _A 、3V V _{DDD} |
| C _{PIN_A} | ピン最大負荷容量 | - | - | 22 | pF | DPピンとDMピンの静電容量 |
| C _{PIN} | | - | 3 | 7 | | すべてのV _{DDD} 、その他すべてのGPIO |
| V _{OH} | 出力HIGH電圧 | V _{DDD} - 0.6 | - | - | V | I _{oh} = -4mA |
| V _{OL} | 出力LOW電圧 | - | - | 0.6 | | I _{ol} = 10mA |
| V _{IH_CMOS} | 入力電圧HIGH閾値 | 0.7 × V _{DDD} | - | - | | - |
| V _{IL_CMOS} | 入力電圧LOW閾値 | - | - | 0.3 × V _{DDD} | | - |
| V _{IH_TTL} | LVTTL入力 | 2 | - | - | | - |
| V _{IL_TTL} | LVTTL入力 | - | - | 0.8 | | - |
| V _{HYSTTL} | 入力ヒステリシスLVTTL | 80 | - | - | | - |
| V _{HYSCMOS} | 入力ヒステリシスCMOS | 0.1 × V _{DDD} | - | - | mV | - |
| IDIODE | 保護ダイオードを通ってV _{DDD} / V _{ss} に流れる電流 | - | - | 100 | μA | |
| T _{RISEF} | 高速ストロングモードでの立ち上り時間 | 1 | - | 15 | ns | C _{LOAD} = 25pF |
| T _{FALLF} | 高速ストロングモードでの立ち下り時間 | | - | 15 | | - |
| T _{RISES} | 低速ストロングモードでの立ち上り時間 | 10 | - | 70 | | - |
| T _{FALLS} | 低速ストロングモードでの立ち下り時間 | | - | - | | - |
| F _{GPIO_OUT1} | GPIO F _{OUT} ; 2.85V ≤ V _{DDD} ≤ 5.5V。 高速ストロングモード | - | - | 28 | MHz | - |
| F _{GPIO_OUT2} | GPIO F _{OUT} ; 2.85V ≤ V _{DDD} ≤ 5.5V。 低速ストロングモード | - | - | 6 | | - |
| F _{GPIO_IN} | GPIO入力動作周波数; 2.85V ≤ V _{DDD} ≤ 5.5V。 | - | - | 28 | | - |

電気的仕様

Table 5 機能ブロック仕様(続き)

| パラメーター | 説明 | Min | Typ | Max | 単位 | 詳細 / 条件 |
|-------------------|--|------------|-----|------------|-----|---------------------------------|
| フラッシュマクロ | | | | | | |
| FLASH_ERASE | 行消去時間 | - | | 15.5 | | |
| FLASH_WRITE | 行(ブロック)書き込み時間 (消去 + プログラム) | - | | 20 | ms | - |
| FLASH_DR | フラッシュデータ保持期間 | 15 | | | 年 | 25°C ~ 55°C、すべて の V_{DDD} |
| FLASH_ENPB | フラッシュ書き換え可能回 数 | 10 万 | | | 回 | 25°C ~ 85°C、すべて の V_{DDD} |
| FLASH_ENPB1 | フラッシュ書き換え可能回 数 | 1 万 | | | | 25°C ~ 125°C、すべて の V_{DDD} |
| FLASH_ROW_PGM | 消去後の行プログラム時間 | - | | 7 | ms | |
| T_BULKERASE | バルク消去時間(32KB) | - | | 35 | ms | - |
| T_DEVPROG | 総デバイスプログラム時間 | - | | 7.5 | s | |
| F _{RET1} | フラッシュデータ保持期 間、 $T_A \leq 55^\circ\text{C}$ 、 10 万回の P/E サイクル | 15 | | | | |
| F _{RET2} | フラッシュデータ保持期 間、 $T_A \leq 85^\circ\text{C}$ 、 1 万回の P/E サイクル | 10 | | | 年 | - |
| F _{RET3} | フラッシュデータ保持期 間、 $T_A \leq 105^\circ\text{C}$ 、 1 万回の P/E サイクル | 3 | | | | |
| SWD | | | | | | |
| F_SWDCLK1 | すべての V_{DDD} | - | | 14 | MHz | |
| T_SWDI_SETUP | $T = 1/f_{SWDCLK}$ | 0.25 × T | - | - | ns | - |
| T_SWDI_HOLD | | | | - | | |
| T_SWDO_VALID | | | | 0.50 × T | | |
| T_SWDO_HOLD | | | | - | | |

電気的仕様

Table 5 機能ブロック仕様 (続き)

| パラメーター | 説明 | Min | Typ | Max | 単位 | 詳細 / 条件 |
|------------------------|---------------------------------------|---------|-----|-------|---------------|---|
| ILO / IMO / POR | | | | | | |
| F_{IMO} | IMO 周波数 | 24 | 36 | 48 | MHz | - |
| IMO_STL | トリム レジスタ変更時の IMO 整定時間 | - | - | 200 | ns | $25^{\circ}\text{C } T_A$ 、すべての V_{DDD} 、 $48\text{MHz} \geq F_{IMO} \geq 24\text{MHz}$ |
| F_{CPU} | CPU 入力周波数 | | | 48 | MHz | |
| F_{ILO} | ILO 周波数 | 15 | 40 | 80 | kHz | |
| SR_POWER_UP | 電源投入時の電源供給スルーレート | - | | 67 | V/ms | |
| F_{IMOTOL} | 24MHz と 48MHz での周波数変動 (トリム済み) | -2 | | 2 | % | |
| $T_{STARTIMO}$ | IMO 起動時間 | | | 7 | μs | |
| $T_{STARTILO1}$ | ILO 起動時間 | - | | 2 | ms | |
| EXTCLKFREQ | 外部クロック入力周波数 | | | 16 | MHz | |
| EXTCLKDUTY | デューティ比。 $V_{DD}/2$ で測定 | 45 | | 55 | % | |
| TCLKSWITCH | システム クロック ソースの切り替え時間 | 3 | | 4 | 周期 | |
| $V_{RISEIPOR}$ | パワーオン リセット (POR)立ち上りトリップ電圧 | 0.72 | | 1.5 | | |
| $V_{FALLIPOR}$ | POR 立ち下りトリップ電圧 | 0.62 | | 1.4 | V | |
| VDDD_BOD | アクティブ / スリープ モードでの電圧低下検出 (BOD) トリップ電圧 | 2.34 | | 3 | | |
| VCCD_BOD | | 1.64 | | 2 | | |
| VCCD_BOD_DPSLP | | 1.1 | | 2 | | |
| タイマー | | | | | | |
| SYS_TIM_RES | システム タイマー分解能 | | 16 | | ビット | - |
| WDT_RES | ウォッチドッグ タイマー分解能 | - | 16 | - | | |
| TCPWM | | | | | | |
| TCPWM_FREQ | 動作周波数 | - | | F_c | MHz | $F_c \text{ max} = CLK_{SYS}$ |
| T_{PWMEXT} | 出力トリガー パルス幅 | $2/F_c$ | - | - | ns | オーバーフロー、アンダーフローおよび CC (カウンター = 比較値) 出力の最小幅 |
| T_{CRES} | カウンターの分解能 | $1/F_c$ | | | | 逐次カウント同士間の最小時間 |
| PWM_{RES} | PWM 分解能 | | | | | PWM 出力の最小パルス幅 |

電気的仕様

Table 5 機能ブロック仕様 (続き)

| パラメーター | 説明 | Min | Typ | Max | 単位 | 詳細 / 条件 |
|----------------------|-------------------------------------|-------|-----|-------|-----|---------|
| PD トランシーバ | | | | | | |
| vSwing | トランスマッタ出力 HIGH 電圧 | 1.05 | | 1.2 | V | |
| vSwing_low | トランスマッタ出力 LOW 電圧 | - | | 0.075 | | |
| zDriver | トランスマッタ出力インピーダンス | 33 | | 75 | Ω | |
| Idac_std | USB 標準アドバタイズメントのソース電流 | 64 | | 96 | μA | |
| Idac_1p5a | 5V アドバタイズメント、1.5A でのソース電流 | 166 | | 194 | | |
| Idac_3a | 5V アドバタイズメント、3A でのソース電流 | 304 | - | 356 | μA | - |
| zOPEN | 無効時のグランドへの CC インピーダンス | 108 | | - | kΩ | |
| DFP_default_0p2 | 標準 USB での DFP 側の CC 電圧 | 0.15 | | 0.25 | V | |
| DFP_1.5A_0p4 | 1.5A での DFP 側の CC 電圧 | 0.35 | | 0.5 | | |
| DFP_3A_0p8 | 3A での DFP 側の CC 電圧 | 0.75 | | 0.85 | | |
| DFP_3A_2p6 | 3A での DFP 側の CC 電圧 | 2 | | 2.75 | | |
| Vattach_ds | ディープスリープのアタッチ閾値 | 0.30 | | 0.6 | - | |
| Rattach_ds | ディープスリープのプルアップ抵抗 | 10 | | 50 | kΩ | |
| LSCSA の DC 仕様 | | | | | | |
| Csa_Acc1 | CSA 精度 5mV < Vsense < 10mV | | | | | |
| Csa_Acc2 | CSA 精度 10mV < Vsense < 15mV | -0.75 | - | 0.75 | mV | - |
| Csa_Acc3 | CSA 精度 15mV < Vsense < 25mV | | | | | |
| Csa_Acc4 | CSA 精度 V _{sense} = 50mV | | | | | |
| SCP_6A | 短絡電流検出 @ 6A | 5.4 | 6 | 6.6 | A | |
| SCP_10A | 短絡電流検出 @ 10A | 9 | 10 | 11 | | |
| SCP_20A | 短絡電流検出 @ 20A | 18 | 20 | 22 | | |
| OCP threshold | 5mΩ、4A 以上での OCP トリップ閾値 | 117 | 130 | 143 | % | |
| Av | 対応公称ゲイン値 : 40、60 | 30 | - | 60 | V/V | |

電気的仕様

Table 5 機能ブロック仕様 (続き)

| パラメーター | 説明 | Min | Typ | Max | 単位 | 詳細 / 条件 |
|---|---|------|-----|------|----|---|
| LSCSA の AC 仕様 | | | | | | |
| T _{SCP_GATE} | SCP 閾値トリップから外部 NFET パワーゲート オフまでの遅延時間 | - | 2.5 | - | μs | NFET ゲート容量 = 1nF、V _{BUS_IN} = 28V |
| T _{SCP_GATE_1} | | | 7.5 | | | NFET ゲート容量 = 3nF、V _{BUS_IN} = 28V |
| UVOV | | | | | | |
| V _{THOV} | 過電圧閾値精度 4V ~ 30V | -3 | - | 3 | % | - |
| V _{THUV1} | 低電圧閾値精度 3V ~ 4V | -4 | | 4 | | |
| V _{THUV2} | 低電圧閾値精度 4V ~ 30V | -3 | | 3 | | |
| V_{BUS} ゲート ドライバーの DC 仕様 | | | | | | |
| GD_VGS | オン時のゲート - ソース間オーバードライブ電圧 | 5 | - | 10 | V | NFET ドライバーがオン |
| GD_Rpd | 「プルダウン」 有効時の抵抗 | - | | 2 | KΩ | 外部 NFET をオフにするために V _{BUS_CTRL} に使用可能 |
| GD_drv | プログラム可能な標準ゲート電流 | 0.3 | | 9.75 | μA | ゲート ドライバー出力電流 |
| V_{BUS} ゲート ドライバーの AC 仕様 | | | | | | |
| T _{ON} | V _{BUS_CTRL} LOW から HIGH まで (1V から V _{BUS} + 1V まで) の時間。3nF の外付けコンデンサ | 2 | 5 | 10 | ms | V _{BUS_IN} = 5V |
| T _{OFF} | V _{BUS_CTRL} HIGH から LOW まで (90% から 10% まで) の時間。3nF の外付けコンデンサ | - | 7.5 | - | μs | V _{BUS_IN} = 28V |
| V_{BUS} 放電 | | | | | | |
| R1 | V _{BUS_IN} 上の NMOS オン時の抵抗。DS = 1 | 1000 | - | 4000 | Ω | 0.5V で測定 |
| R2 | V _{BUS_IN} 上の NMOS オン時の抵抗。DS = 2 | 500 | | 2000 | | |
| R4 | V _{BUS_IN} 上の NMOS オン時の抵抗。DS = 4 | 250 | | 1000 | | |
| R8 | V _{BUS_IN} 上の NMOS オン時の抵抗。DS = 8 | 125 | | 500 | | |
| R16 | V _{BUS_IN} 上の NMOS オン時の抵抗。DS = 16 | 62.5 | | 250 | | |

電気的仕様

Table 5 機能ブロック仕様 (続き)

| パラメーター | 説明 | Min | Typ | Max | 単位 | 詳細 / 条件 |
|-----------------|--------------------------------------|-------|-----|------|----------|---------------|
| R32 | V_{BUS_IN} 上の NMOS オン時の抵抗。DS = 32 | 31.25 | | 150 | - | 0.5V で測定 |
| Vbus_stop_error | 最終 VBUS 値の設定値からの誤差率 | - | | 10 | % | VBUS が 5V に放電 |
| R1A | V_{BUS_C} 上の NMOS オン時の抵抗。DS = 1 | 1000 | | 2000 | Ω | |
| R127A | V_{BUS_C} 上の NMOS オン時の抵抗。DS = 127 | 6.5 | | 38 | | 0.5V で測定 |

電圧安定化の DC 仕様

| | | | | | | |
|---------------|------------------------|-----|---------|---------|---------|---|
| V_{OUT} | V_{BUS_IN} 標準出力電圧範囲 | 3.3 | - | 28 | V | - |
| VR | VBUS 電圧安定化精度 | | ± 3 | ± 5 | % | |
| I_{ka_off} | オフ状態のカソード電流 | | 2.2 | 10 | μA | |

VBUS レギュレータ仕様

| | | | | | | |
|----------------|----------------------------------|------|-----|-----|---------|---|
| VOLTAGE_DETECT | V_{BUS_IN} 検出閾値電圧 | 1.65 | 2.1 | 2.4 | V | - |
| T_{START} | 安定化電源出力の合計起動時間。4.7 μF の負荷容量 | - | 50 | 200 | μs | |

ADC の DC 仕様

| | | | | | | |
|-----------|---------------|--------------|------|--------------|-----|---------------------------|
| 分解能 | ADC 分解能 | - | 8 | - | ビット | - |
| INL | 積分非直線性 | -2.5 | - | 2.5 | LSB | V_{DDD} から生成されたリファレンス電圧 |
| INL | 積分非直線性 | -1.5 | - | 1.5 | | バンドギャップから生成されたリファレンス電圧 |
| VREF_ADC1 | ADC のリファレンス電圧 | V_{DDDmin} | - | V_{DDDmax} | V | V_{DDD} から生成されたリファレンス電圧 |
| VREF_ADC2 | | | 1.96 | 2 | | バンドギャップから生成されたリファレンス電圧 |

VCONN スイッチ仕様

| | | | | | | |
|------------|--|-----|---|----|---------|---|
| VCONN_OUT | VCONN 最小出力電圧。VBUS = 5V ~ 30V、負荷電流 = 20mA | 4.5 | - | - | V | - |
| I_{LEAK} | コネクタ側のピンのリーク電流 | - | | 10 | μA | |

VCONN スイッチの AC 仕様

| | | | | | | |
|-----------|--------------|---|---|-----|---------|---|
| T_{ON} | スイッチ ターンオン時間 | - | - | 600 | μs | - |
| T_{OFF} | スイッチ ターンオフ時間 | - | | 10 | | |

注文情報

5 注文情報

Table 6 PAG2S-AC 注文情報

| 製品番号 | アプリケーション | パッケージタイプ | Si ID | Si Rev |
|--------------------|-----------------------------------|-----------|-------|--------|
| CYPAS212A1-32LQXQ | ACF 対応二次側フライバック制御の USB PD アダプタ | 32 ピン QFN | 3B11 | A1 |
| CYPAS212A1-32LQXQT | | | | |

5.1 注文コードの定義

| CY | PA | S | X | XX | XX | - | XX | XX | X | X | XX | X |
|----|----|---|---|----|----|---|----|----|---|---|----|---|
| | | | | | | | | | | | | |

T = Tape and reel
 ES (optional field) = Pre-production engineering samples only.
 Non orderable.
 Temperature range: Q = Extended industrial (-40°C to +105°C)
 X = Pb-free
 Package type: LQ = QFN; S = SOIC
 Number of pins in the package
 Si Rev
 Application and feature combination designation
 Product type: 2 = Second-generation product family
 Product type: S = Secondary-side controller
 Marketing code: PA = Power adapter
 Company ID: CY = CYPRESS (an Infineon company)

パッケージ

6 パッケージ

Table 7 パッケージの特性

| パラメーター | 説明 | 条件 | Min | Typ | Max | 単位 |
|----------|--------------------------------|-----------|-----|------|------|----|
| T_A | 動作周囲温度 | 産業用拡張温度範囲 | -40 | - | 105 | °C |
| T_J | 動作ジャンクション温度 | | | | 150 | |
| T_{JA} | 32 ピン QFN のパッケージ θ_{JA} | - | - | 23.4 | °C/W | |
| T_{JB} | 32 ピン QFN のパッケージ θ_{JB} | | | 4.85 | | |
| T_{JC} | 32 ピン QFN のパッケージ θ_{JC} | | | 27.2 | | |

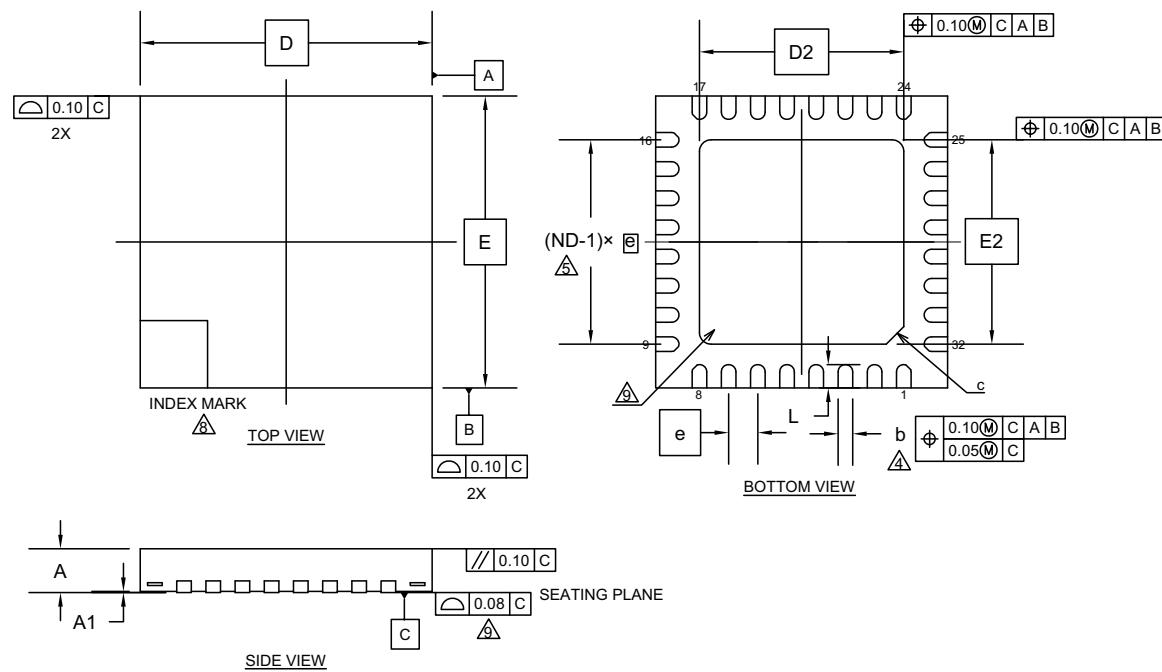
Table 8 はんだリフロー ピーク温度

| パッケージ | 最高ピーク温度 | ピーク温度の 5°C 以内での最長時間 |
|-----------|---------|---------------------|
| 32 ピン QFN | 260°C | 30 秒 |

Table 9 パッケージの湿度感度レベル (MSL)、IPC/JEDEC J-STD-2

| パッケージ | MSL |
|-----------|------|
| 32 ピン QFN | MSL3 |

パッケージ



| SYMBOL | DIMENSIONS | | |
|----------------|------------|------|------|
| | MIN. | NOM. | MAX. |
| A | — | — | 0.80 |
| A ₁ | 0.00 | — | 0.05 |
| D | 5.00 BSC | | |
| E | 5.00 BSC | | |
| b | 0.18 | 0.25 | 0.30 |
| D ₂ | 3.50 BSC | | |
| E ₂ | 3.50 BSC | | |
| e | 0.50 BSC | | |
| c | 0.30 REF | | |
| L | 0.35 | 0.40 | 0.45 |

NOTE

1. ALL DIMENSIONS ARE IN MILLIMETERS.
2. DIMENSIONING AND TOLERANCING CONFORMS TO ASME Y14.5-1994.
3. N IS THE TOTAL NUMBER OF TERMINALS.
4. DIMENSION "b" APPLIES TO METALLIZED TERMINAL AND IS MEASURED BETWEEN 0.15 AND 0.30mm FROM TERMINAL TIP. IF THE TERMINAL HAS THE OPTIONAL RADIUS ON THE OTHER END OF THE TERMINAL, THE DIMENSION "b" SHOULD NOT BE MEASURED IN THAT RADIUS AREA.
5. AND REFER TO THE NUMBER OF TERMINALS ON D OR E SIDE.
6. MAX. PACKAGE WARPAGE IS 0.05mm.
7. MAXIMUM ALLOWABLE BURRS IS 0.076mm IN ALL DIRECTIONS.
8. PIN #1 ID ON TOP WILL BE LOCATED WITHIN INDICATED ZONE.
9. BILATERAL COPLANARITY ZONE APPLIES TO THE EXPOSED HEAT SINK SLUG AS WELL AS THE TERMINALS.
10. JEDEC SPECIFICATION NO. REF : N/A

002-15160 Rev. **

Figure 9 32 リード QFN ((5.0 × 5.0 × 0.8mm) WNP032 3.5 × 3.5mm E-pad (Sawn)) パッケージ外形図
(PG-VQFN-32)、002-15160

略語

7 略語

Table 10 本書で使用する略語

| 略語 | 説明 |
|---------|---|
| ACF | active clamp flyback (アクティブ クランプ フライバック) |
| ADC | analog-to-digital converter (アナログ - デジタル変換器) |
| Arm® | advanced RISC machine (高度な RISC マシン): CPU アーキテクチャの一種 |
| BOD | brown-out detect (電圧低下検出) |
| BMC | biphase mark code (バイフェーズ マーク コード) |
| CC | constant current (定電流) |
| CCM | continuous conduction mode (連続導通モード) |
| CPU | central processing unit (中央演算処理装置) |
| CrCM | critical conduction mode (臨界導通モード) |
| CS | current sense (電流検出) |
| CSA | current sense amplifier (電流検出アンプ) |
| CSN | current sense negative (負の電流検出) |
| CSP | current sense positive (正の電流検出) |
| DCM | discontinuous conduction mode (不連続導通モード) |
| DFP | downstream facing port (ダウンストリーム ポート) |
| DM | data minus (データマイナス) |
| DP | data plus (データプラス) |
| DS | drive strength (駆動強度) |
| EA | error amplifier (誤差アンプ) |
| EMI | electromagnetic interference (電磁干渉) |
| EPR | extended power range (拡張電力範囲) |
| ESD | electrostatic discharge (静電気放電) |
| ESD-HBM | electro static discharge human body model (静電気放電 (人体モデル)) |
| FB | feedback (フィードバック) |
| FS | full-speed (フルスピード) |
| GPIO | general-purpose input/output (汎用入出力) |
| ILO | internal low-speed oscillator (内部低速発振器)。 IMO を参照してください |
| IMO | internal main oscillator (内部主発振器)。 ILO を参照してください |
| I/O | input/output (入出力)。 GPIO を参照してください |
| LDO | low-dropout regulator (低ドロップアウト レギュレータ) |
| LSCSA | low-side current sense amplifier (ローサイド電流検出アンプ) |
| LVTTL | low-voltage transistor-transistor logic (低電圧トランジスタ - トランジスタ ロジック) |
| NFET | N-channel field effect transistor (N チャネル電界効果トランジスタ) |
| NMOS | N-type metal-oxide-semiconductor (n 型金属酸化膜半導体) |
| OCP | overcurrent protection (過電流保護) |
| OVP | overvoltage protection (過電圧保護) |

略語

Table 10 本書で使用する略語 (続き)

| 略語 | 説明 |
|--------|--|
| OTP | over-temperature protection (過熱保護) |
| PD | power delivery (パワーデリバリー) |
| PHY | physical layer (物理層) |
| POR | power-on reset (パワーオン リセット) |
| PPS | programmable power supply (プログラマブル電源) |
| PSM | pulse-skipping mode (パルス スキップ モード) |
| PWM | pulse-width modulator (パルス幅変調器) |
| RAM | random-access memory (ランダム アクセス メモリ) |
| RISC | reduced-instruction-set computing (縮小命令セット コンピューティング) |
| RMS | root-mean-square (2 乗平均平方根) |
| RX | receive (受信) |
| SAR | successive approximation register (逐次比較レジスタ) |
| SCL | I ² C serial clock (I ² C シリアル クロック) |
| SCP | short-circuit protection (短絡保護) |
| SDA | I ² C serial data (I ² C シリアル データ) |
| SPI | Serial Peripheral Interface (シリアル ペリフェラル インターフェース): 通信プロトコルの一種 |
| SR | synchronous rectifier (同期整流器) |
| SRAM | static random access memory (スタティック ランダム アクセス メモリ) |
| SWD | serial wire debug (シリアル ワイヤ デバッグ): テスト プロトコルの一種 |
| SWDCLK | serial wire debug clock (シリアル ワイヤ デバッグ クロック) |
| TCPWM | timer/counter/PWM (タイマー / カウンター / PWM) |
| TX | transmit (送信) |
| Type-C | 薄型 USB コネクタとリバーシブルなケーブルの新規格。最大 100W までの電力を提供可能 |
| USB | universal serial bus (ユニバーサル シリアル バス) |
| USB PD | USB Power Delivery (USB パワーデリバリー) |
| WDT | watchdog timer (ウォッチドッグ タイマー) |
| XRES | external reset I/O pin (外部リセット I/O ピン) |
| ZCD | zero crossing defect (ゼロ クロッシング 検出) |

本書の表記法

8 本書の表記法

8.1 測定単位

Table 11 測定単位

| 記号 | 測定単位 |
|------|-----------|
| °C | 摂氏温度 |
| Hz | ヘルツ |
| KB | 1024 バイト |
| kHz | キロヘルツ |
| kΩ | キロオーム |
| Mbps | メガビット毎秒 |
| MHz | メガヘルツ |
| M? | メガオーム |
| Msps | メガサンプル毎秒 |
| μA | マイクロアンペア |
| μF | マイクロファラド |
| μs | マイクロ秒 |
| μV | マイクロボルト |
| μW | マイクロワット |
| mA | ミリアンペア |
| ms | ミリ秒 |
| mV | ミリボルト |
| nA | ナノアンペア |
| ns | ナノ秒 |
| Ω | オーム |
| pF | ピコファラド |
| ppm | 100 万分の 1 |
| ps | ピコ秒 |
| s | 秒 |
| sps | サンプル毎秒 |
| V | ボルト |

改訂履歴

改訂履歴

| 版 | 発行日 | 変更内容 |
|----|------------|--|
| ** | 2023-11-30 | これは英語版 002-37370 Rev. *B を翻訳した日本語版 002-39078 Rev. ** です。 |

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2023-11-30

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2023 Infineon Technologies AG.
All Rights Reserved.

Do you have a question about this document?

Email:

erratum@infineon.com

Document reference
002-39078 Rev. **

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に關し、インフィニオンテクノロジー（以下、「インフィニオン」）はここに、第三者の知的所有権の侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に關し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。