

请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

### 文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

### 订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

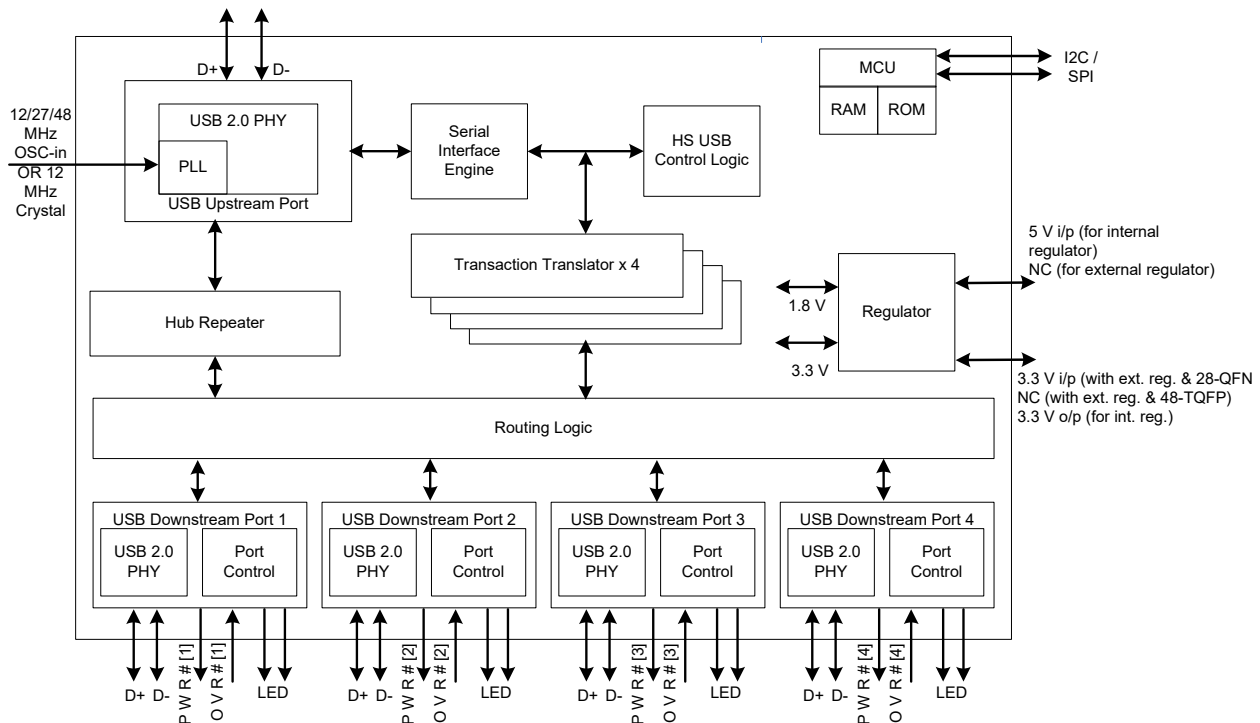
# HX2VL - 极低功耗 USB 2.0 TetraHub™ 控制器

## 特性

- 高性能、低功耗的 USB 2.0 集线器，通过最少的物料清单（BOM）对低功耗设计进行优化。
- USB 2.0 集线控制器
  - 符合 USB 2.0 规范，TID 30000059。
  - 最多支持四个下行端口
  - 下行端口向后兼容 FS（全速）、LS（低速）
  - 多个转换器（TT），每个下行端口配置一个，实现最高性能。
- 极低功耗
  - 支持总线供电和自供电模式
  - 可实现总线供电和自供电模式的自动切换
  - 具有 2KROM 和 64 字节 RAM 的单个微控制器单元（MCU）
  - 最低功耗
- 高度集成的解决方案，可降低 BOM 成本
  - 内部调节器 — 需要 5 V 的单电源供电
  - 提供 3.3 V 的电压连接，供外部调节器使用
  - 集成上行上拉电阻
  - 适用于全部下行端口的集成下拉电阻

- 集成上行 / 下行终端电阻
- 集成端口状态指示灯控制
- 12 MHz +/-500 ppm 外部晶振，支持 600 μW 驱动电平的（集成 PLL）时钟输入和可选的 27/48 MHz 振荡器时钟输入。
- 用于 ESD 恢复的内部掉电检测
- 下行端口管理
  - 支持单独和组合模式的电源管理
  - 过电流检测
  - 每个下行端口均有两个状态指示灯
- 最大可配置性
  - 可通过外部 EEPROM 进行配置 VID 和 PID
  - 端口数、可移动端口 / 不可移动端口均通过 EEPROM 和 I/O 引脚配置进行配置
  - I/O 引脚可配置联动 / 单独模式的电源开关、参考时钟源和电源开关使能引脚的极性
  - 配置选项还可通过屏蔽 ROM 进行选择。
- 包装类型为节省空间的 48 引脚（7 × 7 mm）TQFP 封装和 28 引脚（5 × 5 mm）QFN 封装
- 支持 0 °C 到 +70 °C 的温度范围

## 框图



## 更多有关信息

赛普拉斯网站 <http://www.cypress.com/> 上提供了大量数据，有助您为设计正确选择 HX2VL 器件，并能够快速且有效地将器件融入您的设计中。完整的资源列表，请参考 <http://www.cypress.com/products/hx2vl> 网站上的产品页。

- 概况：USB 产品系列、USB 路线图。
- USB 2.0 集线控制器选型：HX2LP、HX2VL。
- 应用笔记：赛普拉斯提供了大量的 USB 应用笔记，广泛涵盖了从基本到进阶的内容。下面列出的是 HX2VL 入门应用笔记：
  - AN72332 — 使用赛普拉斯 USB 2.0 集线器（HX2VL）的系统设计指南
  - AN69235 — 将 HX2/HX2LP 替换为 HX2VL
- 参考设计：
- CY4608M：多数据传输转换器 HX2VL 极低功耗的 4 端口集线器开发套件
- CY4607M：多数据传输转换器 HX2VL 极低功耗的 4 端口集线器开发套件
- 模型：HX2VL （CY7C65632/34/42）— IBIS。

## HX2VL 开发套件

HX2VL 开发套件电路板是用于演示 HX2VL 器件特性的工具。在进行该设计的初始阶段，开发者可以通过该电路板了解芯片的特性和限制后，才进行整个设计。该开发套件提供了与电路板硬件、PC 应用软件和 EEPROM 配置数据（.iic）文件相关联的文档。

## 目录

简介 .....	4	电源开关使能引脚极性 .....	15
HX2VL 架构 .....	4	端口数配置 .....	15
USB 串行接口引擎 .....	4	不可移动端口配置 .....	15
高速 USB 控制逻辑 .....	4	参考时钟配置 .....	15
集线器中继器 .....	4	<b>最大绝对额定值 .....</b>	<b>16</b>
微控制器 (MCU) .....	4	<b>运行条件 .....</b>	<b>16</b>
数据传输转换器 (TT) .....	4	<b>电气特性 .....</b>	<b>17</b>
端口控制 .....	4	直流电气特性 .....	17
应用 .....	4	交流电气特性 .....	18
功能概述 .....	5	<b>热电阻 .....</b>	<b>18</b>
系统初始化 .....	5	<b>订购信息 .....</b>	<b>19</b>
枚举 .....	5	订购代码定义 .....	19
多数据传输转换器 (Multiple TT) 支持 .....	5	<b>封装图 .....</b>	<b>20</b>
上行端口 .....	5	<b>缩略语 .....</b>	<b>22</b>
下行端口 .....	5	<b>文档常规 .....</b>	<b>22</b>
电源开关 .....	5	测量单位 .....	22
过流检测 .....	5	<b>附录: HX2VL 的芯片勘误表, CY7C65642 产品系列 .....</b>	<b>23</b>
端口指示灯 .....	5	受影响的器件型号 .....	23
稳压器 .....	6	HX2VL 合格状态 .....	23
外部稳压方案 .....	6	HX2VL 勘误表汇总 .....	23
内部稳压方案 .....	6	<b>文档修订记录 .....</b>	<b>24</b>
引脚配置 .....	7	<b>销售、解决方案和法律信息 .....</b>	<b>25</b>
引脚定义 .....	9	全球销售和 design 支持 .....	25
引脚定义 .....	12	产品 .....	25
EEPROM 配置选项 .....	14	PSoC® 解决方案 .....	25
引脚配置选项 .....	15	赛普拉斯开发者社区 .....	25
上电复位 .....	15	技术支持 .....	25
组合 / 单独电源开关模式 .....	15		

## 简介

HX2VL 是赛普拉斯新一代高性能和低功耗的 USB 2.0 集线器系列。HX2VL 集成了上行和下行收发器、USB 串行接口引擎 (SIE)、USB 集线器控制、中继器逻辑和数据传输转换器 (TT) 逻辑。赛普拉斯还为其集成了多种外部组件，如稳压器和上拉 / 下拉电阻等，可减少实现 USB 集线器系统所需的总材料单 (BOM)。

CY7C65642 是 HX2VL 产品系列的一部分，它具有四个下行端口，每个下行端口均配有专用的独立数据传输转换器 (TT)。此器件选项用于需要最多四个下行端口的低功耗但高性能应用。CY7C65642 可提供 48 引脚的 TQFP 和 28 引脚的 QFN 两种封装。

赛普拉斯世界一流的参考设计套件支持全部器件选项，设计套件包括电路板原理图、BOM、Gerber 文件、Orcad 文件以及详尽的设计文档。

## HX2VL 架构

第 1 页上的框图显示的是 HX2VL TetraHub™ 架构。

### USB 串行接口引擎

串行接口引擎允许 HX2VL 与 USB 主机进行通信。串行接口引擎可独立处理下列的 USB 活动，而不需要集线器控制模块。

- 位填充和解除填充
- 校验和生成和检查
- 令牌类型认证
- 地址检查。

### 高速 USB 控制逻辑

“集线器控制”模块可协调枚举、暂停和恢复。它可生成主机访问集线器的状态和控制信号。其中还包括可将集线器和主机同步的帧定时器。它的状态 / 控制寄存器可作为 MCU 固件的接口使用。

### 集线器中继器

集线器中继器可管理以相同速度运行的上行和下行方向端口之间的连接。它支持全速和高速连接。根据 USB 2.0 规范，集线器中继器提供下列功能：

- 建立和断开数据包边界的连接
- 确保有序进入和退出“暂停”状态，包括对远程唤醒进行适当操作。

### 微控制器 (MCU)

HX2VL 具有 2 KROM 和 64 字节 RAM 的微控制器。微控制器有 12 MHz 的时钟，从主机解码 USB 指令并对主机作出响应。它还能处理 GPIO 设置，从而协助客户实现更灵活的操作，并对扩展配置选项 EEPROM 的读取接口进行控制。

### 数据传输转换器 (TT)

数据传输转换器 (TT) 能够转换传输数据的速度。当集线器以高速运行（上行端口连接至高速主机控制器），在连接全速或低速器件时，数据传输转换器 (TT) 可以进行高速拆分数据传输，并将其数据转换为全速或低速数据来传输。下行端口连接的器件的运行速度决定了走线逻辑是否将端口与数据传输转换器 (TT) 或集线器中继器连接起来。当上行主机和下行器件运行速度不同时，数据会通过数据传输转换器 (TT) 进行传输。在其他情况下，数据会通过中继器进行传输。例如，如果全速或低速器件通过集线器连接到高速上行主机上，那么将会通过数据传输转换器 (TT) 来传输数据。如果高速器件通过集线器与高速上行主机连接，那么数据将会通过中继器传输。当集线器连接至全速上行主机控制器时，高速外设无法发挥其最佳功能。这些器件仅能以全速运行。连接至此集线器的全速和低速器件以正常速度运行。

### 端口控制

下行“端口控制”模块可处理连接 / 断开、过流检测以及电源使能和 LED 控制等操作。它还能下行收发器生成控制信号。

## 应用

HX2VL 器件系列的典型应用：

- 扩展坞
- 独立集线器
- 监控集线器
- 多功能打印机
- 数字电视
- 高级端口复制器
- 键盘集线器
- 游戏控制台

## 功能概述

赛普拉斯 CY7C65642 USB 2.0 集线器是低功耗集线器解决方案，可提供最高的传输效率而无需复用下行端口间的数据传输转换器（TT）。CY7C65642 USB 2.0 集线器内置了 1.5 k $\Omega$  在全速运行时用的上行上拉电阻，和全部上行和下行 D+ 和 D- 引脚的下行 15 k $\Omega$  下拉电阻和串联终端电阻。为通过 USB 2.0 规范提供了内置支持，结果是系统成本得以优化。

## 系统初始化

上电时，CY7C65642 可选择从掩膜型 ROM 的默认设置中的枚举，或读取外部 EEPROM 从而获得配置信息。从最基本的层面看，EEPROM 提供了供应商 ID（VID）和产品 ID（PID），以配合客户应用。对于更特定的应用，可指定其他配置选项。如需要更多相关信息，请参考第 14 页上的 EEPROM 配置选项。在将 EEPROM 内容加载为描述符之前，CY7C65642 会对校验和进行验证。

## 枚举

CY7C65642 在 USB 总线预计复位后，使能 D+ 上拉电阻指示其对上行集线器的存在。USB 总线复位后，CY7C65642 处于无地址且未配置状态（配置值被设置为“0”）。在枚举进程中，主机对集线器地址和配置进行设置。集线器配置完成后，可使用集线器的全部功能。

## 多数据传输转换器（Multiple TT）支持

TetraHub 配置成高速系统配置后，进入单数据传输转换（single TT）模式。主机可以随后通过发送“SetInterface”（建立接口）指令将集线器设置为多数据传输转换（multiple TT）模式。在多数据传输转换（multiple TT）模式下，每个全速端口将被独立处理，由此获得全部 12 Mbps 带宽。在单数据传输转换（single TT）模式下，所有主机到全速或低速端口的通信量全被转移至这些端口上。这意味着 12 Mbps 带宽由所有全速和低速端口共享。

## 上行端口

上行端口包括发送器和接收器状态机。发送器和接收器以高速或全速运行，具体取决于当前的集线器配置。当集线器中继器连接为上行方向时，发送器状态机会监控上行方向的端口。该状态机防止集线器下行方向端口上的串音和断开事件传播并（会引起该集线器被禁用或与其他连接器断开）。

## 下行端口

CY7C65642 最多可支持四个下行端口，其中每个端口可在 EEPROM 配置中标记为可用或可移动，请参见第 14 页上的 EEPROM 配置选项。此外，它还可通过引脚短接进行配置，请参见第 15 页上的引脚配置选项。

CY7C65642 的每个端口均具有下行 D+ 和 D- 下拉电阻。在配置集线器前，端口被驱动为单端零，（SE0，D+ 和 D- 均驱动为低）并被设置为未通电状态。集线器配置完成后，不驱动端口，主机可能通过向每个端口发送“SetPortPower”（建立端口电源）指令为每个端口通电。端口通电后，任何连接或断开事件均可以被集线器检测到。端口状态的任何改变将由集线器通过状态更改端点（端点 1）报告给主机。收到连接器件的端口发出的“SetPortReset”（设置端口复位）请求后，集线器进行如下操作：

- 执行相应端口的 USB 复位
- 将端口置于使能状态
- 端口使能后，进行串音检测。

串音包括 EOF2 后端口的非空闲状态。如果在使能端口检测出串音，则禁用该端口。主机发出的“ClearPortEnable”（清除端口使能）请求也可禁用指定端口。

下行端口能通过主机的“SetPortSuspend”（设置端口暂停）请求单独暂停。如果集线器未暂停，该端口的远程唤醒事件将通过集线器状态更改端点的端口更改指示反映至主机。如果集线器已暂停，该端口的远程唤醒事件将转至主机。主机可通过发送“ClearPortSuspend”（清除端口暂停）指令恢复端口。

## 电源开关

CY7C65642 具有用于外部端口电源开关的接口信号。组合和单独（每个端口）配置由引脚短接支持，请参见第 15 页上的引脚配置选项。

枚举后，主机可能通过发送“SetPortPower”（设置端口电源）请求来给每个端口供电。电源开关和过流检测通过连接到外部电源开关器件的各个控制信号（PWR#[n] 和 OVR#[n]）被控制。高/低使能电源开关都被支持，并通过通用 I/O 设置配置极性，请参见第 15 页上的引脚配置选项。

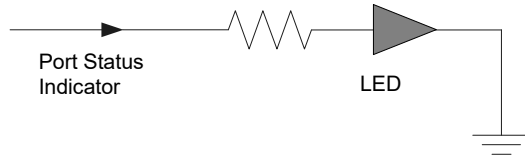
## 过流检测

CY7C65642 系列的 OVR#[n] 引脚与各外部电源开关端口的过流检测指示（输出）信号相连接。检测到过流状况后，集线器将过流状况报告给主机，并禁用 PWR#[n] 向外部电源器件输出。OVR#[n] 的启动时间为 20 ns。从过流检测到取消激活 PWR#[n] 需要 3 到 4 ms 的时间。

## 端口指示灯

USB 2.0 端口指示灯也由 CY7C65642 直接支持。根据规格，集线器的每个下行端口支持一个状态指示灯。下行方向端口指示灯的存在由集线器类别描述符的第 7 位 HubCharacteristics 字段指定。默认 CY7C65642 描述符说明支持端口指示灯。CY7C65642 端口指示灯有两种运行模式：自动和手动。

上电时，CY7C65642 默认为自动模式，端口指示灯的颜色（绿色、琥珀色、关闭）表示 CY7C65642 端口的功能状态。器件暂停时，LED 被关闭。

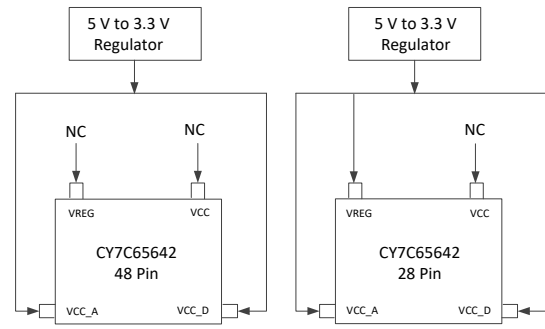


### 稳压器

CY7C65642 需要 3.3 V 电压，以符合内核逻辑和 USB 物理层（PHY）的正常运行。内置的低压差稳压器可将 USB 线缆（Vbus）的 5 V 电压输入转换为 3.3 V 电压源。当输入电压在 4 V 到 5.5 V 范围内时，内部参考电压电路可保证 3.3 V 的电压输出。此稳压器的最大电流负载为 150 mA，有足够容差提供给功耗正常小于 100 mA 的 CY7C65642。内置稳压器的静态电流为 28  $\mu$ A。

### 外部稳压方案

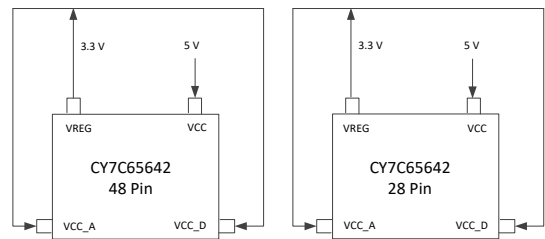
CY7C65642 支持外部稳压和内部稳压方案。当选择外部稳压时，48 引脚封装的 VCC 和 VREG 要为无连接开路。3.3 V 的外部稳压器输出要连接至 VCC\_A 和 VCC\_D 引脚。此连接要在外部（板上）接通。对于 28 引脚封装，外部稳压器的 3.3 V 输出要连接至 VREG、VCC\_A 和 VCC\_D。VCC 引脚要保持为无连接开路。从外部输入的 3.3 V 电压中，内部生成 1.8 V 电压以供芯片内部使用。



External Regulation Scheme

### 内部稳压方案

选择内置内部稳压器时，48 引脚和 28 引脚封装中的 VCC 引脚要连接至 5 V 电压。内置稳压器在内部生成 3.3 V 和 1.8 V 电压以供芯片内部使用。VREG 引脚的输出电压为 3.3 V，该引脚要在外部连接至 VCC\_A 和 VCC\_D。

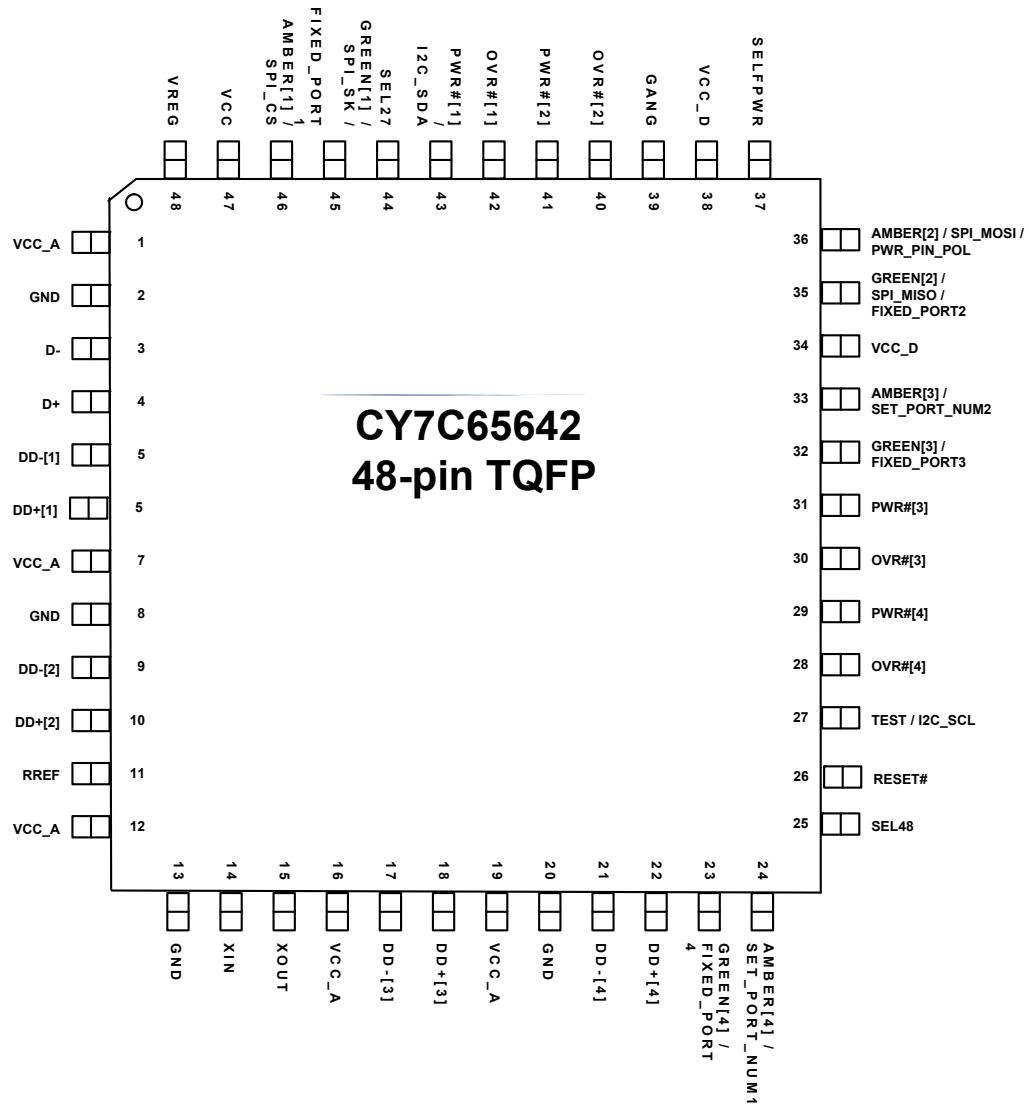


Internal Regulation Scheme



## 引脚配置

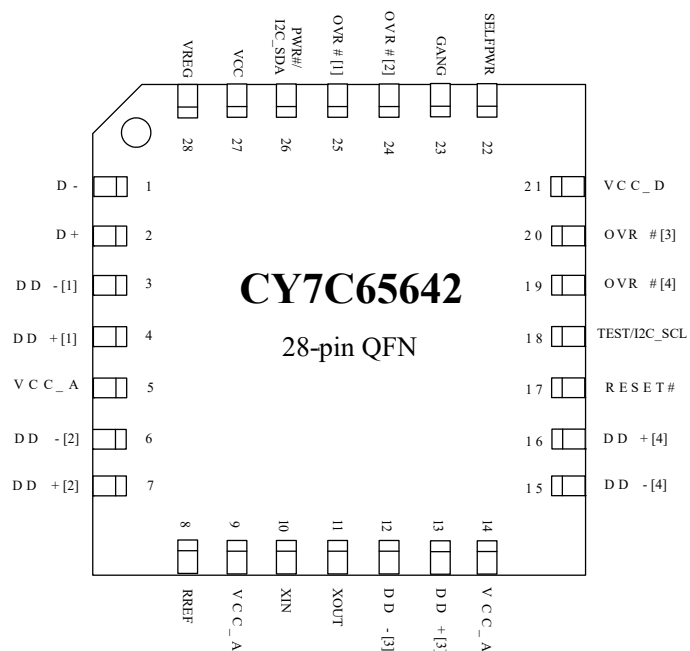
图 1. 48 引脚 TQFP (7 × 7 × 1.4 mm) 引脚分布





引脚配置 (续)

图 2. 28 引脚 QFN (5 × 5 × 0.8 mm) 引脚分布



## 引脚定义

48 引脚 TQFP 封装图

引脚名称	引脚编号	类型 <sup>[1]</sup>	说明
<b>电源和时钟</b>			
VCC_A	1	P	<b>VCC_A</b> 。连接到芯片的 3.3 V 模拟电源。
VCC_A	7	P	<b>VCC_A</b> 。连接到芯片的 3.3 V 模拟电源。
VCC_A	12	P	<b>VCC_A</b> 。连接到芯片的 3.3 V 模拟电源。
VCC_A	16	P	<b>VCC_A</b> 。连接到芯片的 3.3 V 模拟电源。
VCC_A	19	P	<b>VCC_A</b> 。连接到芯片的 3.3 V 模拟电源。
VCC_D	34	P	<b>VCC_D</b> 。连接到芯片的 3.3 V 数字电源。
VCC_D	38	P	<b>VCC_D</b> 。连接到芯片的 3.3 V 数字电源。
VCC	47	P	<b>VCC</b> 。连接到内部调节器的 5 V 输入电源，如使用外部调节器则不连接
VREG	48	P	<b>VREG</b> 。内部调节过程时调节器的输出电压，5 – 3.3 V。使用外部调节器时不连接。
GND	2	P	<b>GND</b> 。通过最短路径接地。
GND	8	P	<b>GND</b> 。通过最短路径接地。
GND	13	P	<b>GND</b> 。通过最短路径接地。
GND	20	P	<b>GND</b> 。通过最短路径接地。
XIN	14	I	12 MHz 的晶振时钟输入，或 12/27/48 MHz 的时钟输入
XOUT	15	O	12 MHz 晶振输出。（使用了外部时钟便不用连接）。
SEL48 / SEL27	25 / 44	I	<b>时钟源选择输入</b> 。 00: 保留 01: 48 MHz 振荡器输入 10: 27 MHz 振荡器输入 11: 12 MHz 晶振或振荡器输入
RESET#	26	I	<b>低电平有效复位</b> 。外部复位输入，默认上拉 10 k $\Omega$ ；当 RESET 被设置为低电平时，全芯片将被复位为初始状态
SELPWR	37	I	<b>自供电</b> 。选择自供电或总线供电的输入。0 为总线供电，1 为自供电。
GANG	39	I/O	<b>GANG</b> 。上电复位后，默认为输入模式。 Gang（组合）模式：输入：1 -> 输出为 0 时是正常运行，为 1 时是暂停。 单独模式：输入：1 -> 输出为 1 时是正常运行，为 0 时是暂停。 请参见第 15 页上的引脚配置选项中的组合 / 单独电源开关模式以了解详细内容。
RREF	11	I/O	必须在 RREF 和地面间连接一个 649 $\Omega$ 的电阻。
<b>系统接口</b>			
测试 I <sup>2</sup> C_SCL	27	I (R <sub>DN</sub> ) I/O (R <sub>DN</sub> )	<b>测试</b> 。0 表示正常运行以及 1 表示芯片将处于测试模式。 <b>I<sup>2</sup>C_SCL</b> 。可以作为 I <sup>2</sup> C 时钟引脚使用以便访问 I <sup>2</sup> C EEPROM。
<b>上行端口</b>			
D-	3	I/O/Z	上行 <b>D-</b> 信号。
D+	4	I/O/Z	上行 <b>D+</b> 信号。

### 注释:

1. 引脚类型: I = 输入, O = 输出, P = 电源 / 接地, Z = 高阻抗, R<sub>DN</sub> = 焊盘内部下拉电阻, R<sub>UP</sub> = 焊盘内部上拉电阻。

## 引脚定义 (续)

48 引脚 TQFP 封装图

引脚名称	引脚编号	类型 <sup>[1]</sup>	说明
<b>下行端口 1</b>			
DD-[1]	5	I/O/Z	下行 D- 信号。
DD+[1]	6	I/O/Z	下行 D+ 信号。
AMBER[1] SPI_CS	46	O (R <sub>DN</sub> ) O (R <sub>DN</sub> )	LED。琥珀色 LED 驱动器输出。支持端口指示灯。 SPI_CS。可作为芯片选择使用以便访问外部 SPI EEPROM。
GREEN[1] <sup>[2]</sup> SPI_SK FIXED_PORT1	45	O (R <sub>DN</sub> ) O (R <sub>DN</sub> ) I (R <sub>DN</sub> )	LED。绿色 LED 驱动器输出。支持端口指示灯。 SPI_SK。可作为 SPI 时钟使用以便访问外部 SPI EEPROM。 FIXED_PORT1。POR (上电复位) 时, 用于将端口 1 设置为不可移动端口。请参考第 15 页上的引脚配置选项。
OVR#[1]	42	I (R <sub>UP</sub> )	过流状态检测输入。低电平有效过流状态检测输入。
PWR#[1] I <sup>2</sup> C_SDA	43	O/Z I/O	电源开关驱动器输出。默认为低电平有效。 I <sup>2</sup> C_SDA。可用作 I <sup>2</sup> C 数据引脚, 连接至 I <sup>2</sup> C EEPROM。
<b>下行端口 2</b>			
DD-[2]	9	I/O/Z	下行 D- 信号。
DD+[2]	10	I/O/Z	下行 D+ 信号。
AMBER[2] SPI_MOSI PWR_PIN_POL	36	O (R <sub>DN</sub> ) O (R <sub>DN</sub> ) I (R <sub>DN</sub> )	LED。琥珀色 LED 驱动器输出。支持端口指示灯。 SPI_MOSI。可用作数据输出访问外部 SPI EEPROM。 PWR_PIN_POL。用于电源开关使能引脚的极性设置。请参考第 15 页上的引脚配置选项。
GREEN[2] <sup>[2]</sup> SPI_MISO FIXED_PORT2	35	O (R <sub>DN</sub> ) I (R <sub>DN</sub> ) I (R <sub>DN</sub> )	LED。绿色 LED 驱动器输出。支持端口指示灯。 SPI_MISO。可作为数据输入使用以便访问外部 SPI EEPROM。 FIXED_PORT2。上电复位时, 用于将端口 2 设置为不可移动端口。请参考第 15 页上的引脚配置选项。
OVR#[2]	40	I (R <sub>UP</sub> )	过流状态检测输入。低电平有效过流状态检测输入。
PWR#[2]	41	O/Z	电源开关驱动器输出。默认为低电平有效
<b>下行端口 3</b>			
DD-[3]	17	I/O/Z	下行 D- 信号。
DD+[3]	18	I/O/Z	下行 D+ 信号。
AMBER[3] SET_PORT_NUM2	33	O (R <sub>DN</sub> ) I (R <sub>DN</sub> )	LED。琥珀色 LED 驱动器输出。支持端口指示灯。 SET_PORT_NUM2。用于与 SET_PORT_NUM1 一同设置端口编号。请参考第 15 页上的引脚配置选项。
GREEN[3] FIXED_PORT3	32	O (R <sub>DN</sub> ) I (R <sub>DN</sub> )	LED。绿色 LED 驱动器输出。支持端口指示灯。 FIXED_PORT3。上电复位时, 用于将端口 3 设置为不可移动端口。请参考第 15 页上的引脚配置选项。
OVR#[3]	30	I (R <sub>UP</sub> )	过流状态检测输入。低电平有效过流状态检测输入。
PWR#[3]	31	O/Z	电源开关驱动器输出。默认为低电平有效。

### 注释:

- 引脚短接 GREEN[1] 和 GREEN[2] 将启用专有功能, 可能会影响 HX2VL 的正常功能。应避免通过引脚短接将端口 1 和 2 配置为不可移动端口。

## 引脚定义（续）

### 48 引脚 TQFP 封装图

引脚名称	引脚编号	类型 <sup>[1]</sup>	说明
<b>下行端口 4</b>			
DD-[4]	21	I/O/Z	下行 D- 信号。
DD+[4]	22	I/O/Z	下行 D+ 信号。
AMBER[4] SET_PORT_NUM1	24	O (R <sub>DN</sub> ) I (R <sub>DN</sub> )	<b>LED</b> 。琥珀色 LED 驱动器输出。支持端口指示灯。 <b>SET_PORT_NUM1</b> 。用于与 SET_PORT_NUM2 一同设置端口编号。请参见 <a href="#">第 15 页上的引脚配置选项</a>
GREEN[4] FIXED_PORT4	23	O (R <sub>DN</sub> ) I (R <sub>DN</sub> )	<b>LED</b> 。绿色 LED 驱动器输出。支持端口指示灯。 <b>FIXED_PORT4</b> 。上电复位时，用于将端口 4 设置为不可移动端口。请参考 <a href="#">第 15 页上的引脚配置选项</a> 。
OVR#[4]	28	I (R <sub>UP</sub> )	<b>过流状态检测输入</b> 。低电平有效过流状态检测输入。
PWR#[4]	29	O/Z	<b>电源开关驱动器输出</b> 。默认为低电平有效。

**注意：**如果各个引脚被设置为逻辑高电平，那么不能将它们作为 LED 指示灯使用。除非有设计另外的电路来支持逻辑高电平。当这些引脚重新配置为输出，经过 60 ms 的上电复位（POR）后会断连。

## 引脚定义

### 28 引脚 QFN 封装

引脚名称	引脚编号	类型 <sup>[3]</sup>	说明
<b>电源和时钟</b>			
VCC_A	5	P	V <sub>CC A</sub> 。连接到芯片的 3.3 V 模拟电源。
VCC_A	9	P	V <sub>CC A</sub> 。连接到芯片的 3.3 V 模拟电源。
VCC_A	14	P	V <sub>CC A</sub> 。连接到芯片的 3.3 V 模拟电源。
VCC_D	21	P	V <sub>CC D</sub> 。连接到芯片的 3.3 V 数字电源。
VCC	27	P	V <sub>CC</sub> 。连接到内部调节器的 5 V 输入电源，如使用外部调节器则不连接
VREG	28	P	V <sub>CC</sub> 。内部调节过程时调节器的输出电压，5 – 3.3 V；使用外部调节器时输入电压为 3.3 V。
XIN	10	I	12 MHz 晶振时钟输入，或 12 MHz 时钟输入
XOUT	11	O	12 MHz 晶振输出。（使用了外部时钟便不用连接）。
RESET#	17	I	低电平有效复位。外部复位输入，默认上拉 10 K 欧姆；当 RESET 设置为低电平时，全芯片将被复位为初始状态
SELPWR	22	I	自供电。选择自供电或总线供电的输入。0 为总线供电，1 为自供电。
GANG	23	I/O	<b>GANG:</b> 上电复位后，默认为输入模式。 Gang（组合）模式：输入：1 -> 输出为 0 表示正常运行，输出为 1 则表示暂停。 单独模式：输入：1 -> 输出为 1 时是正常运行，为 0 时是暂停。 请参见第 15 页上的引脚配置选项中的组合 / 单独电源开关模式以了解详细内容。
RREF	8	I/O	必须在 RREF 和地面之间连接一个 649 Ω 的电阻
<b>系统接口</b>			
测试 I2C_SCL	18	O (R <sub>DN</sub> ) I/O (R <sub>DN</sub> )	测试。0 为正常运行以及 1 为芯片将处于测试模式。 I2C_SCL。I <sup>2</sup> C 时钟引脚。
PWR# <sup>[4]</sup> I2C_SDA	26	I/O	电源开关驱动器输出。默认为低电平有效 I2C_SDA。I <sup>2</sup> C 数据引脚。

#### 注释：

- 引脚类型：I = 输入，O = 输出，P = 电源 / 接地，Z = 高阻抗，R<sub>DN</sub> = 焊盘内部下拉电阻，R<sub>UP</sub> = 焊盘内部上拉电阻。
- PWR#/I2C\_SDA 可用作 PWR# 或 I2C\_SDA，但不可同时用作两者。如果已经连接了 EEPROM，那么引脚将作为 I2C\_SDA 使用，并且不会切换至 PWR# 模式（与 48 引脚 TQFP 封装中相同）。

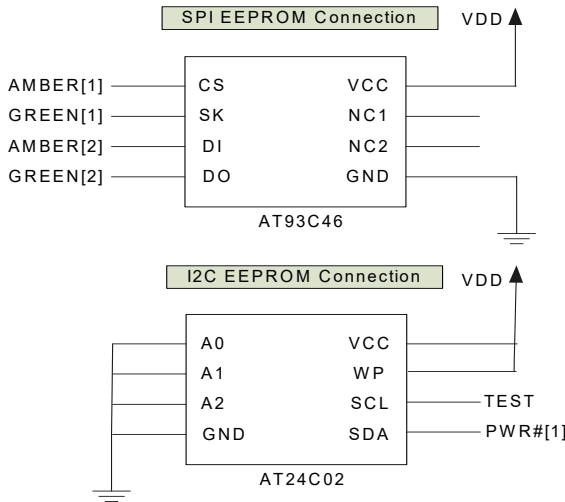
## 引脚定义 (续)

### 28 引脚 QFN 封装

引脚名称	引脚编号	类型 <sup>[3]</sup>	说明
<b>上行端口</b>			
D-	1	I/O/Z	上行 D- 信号。
D+	2	I/O/Z	上行 D+ 信号。
<b>下行端口 1</b>			
DD-[1]	3	I/O/Z	下行 D- 信号。
DD+[1]	4	I/O/Z	下行 D+ 信号。
OVR#[1]	25	I (R <sub>UP</sub> )	过流状态检测输入。低电平有效过流状态检测输入。在组合模式，只有 OVR # [1] (引脚 25) 被启用。OVR # [2] (引脚 24)，OVR # [3] (引脚 20) 和 OVR # [4] (引脚 19) 在组合模式被禁用。
<b>下行端口 2</b>			
DD-[2]	6	I/O/Z	下行 D- 信号。
DD+[2]	7	I/O/Z	下行 D+ 信号。
OVR#[2]	24	I (R <sub>UP</sub> )	过流状态检测输入。低电平有效过流状态检测输入。在组合模式，只有 OVR # [1] (引脚 25) 被启用。OVR # [2] (引脚 24) 在组合模式被禁用。
<b>下行端口 3</b>			
DD-[3]	12	I/O/Z	下行 D- 信号。
DD+[3]	13	I/O/Z	下行 D+ 信号。
OVR#[3]	20	I (R <sub>UP</sub> )	过流状态检测输入。低电平有效过流状态检测输入。在组合模式，只有 OVR # [1] (引脚 25) 被启用。OVR # [3] (引脚 20) 在组合模式被禁用。
<b>下行端口 4</b>			
DD-[4]	15	I/O/Z	下行 D- 信号。
DD+[4]	16	I/O/Z	下行 D+ 信号。
OVR#[4]	19	I (R <sub>UP</sub> )	过流状态检测输入。低电平有效过流状态检测输入。在组合模式，只有 OVR # [1] (引脚 25) 被启用。OVR # [4] (引脚 19) 在组合模式被禁用。
GND	焊盘	P	芯片的接地引脚。它是芯片下方可焊的裸焊盘。请参见第 21 页上的图 4。

## EEPROM 配置选项

使用 CY7C65642 的系统可选择使用默认描述符来配置集线器。否则，它必须为器件配备外部 EEPROM 以获得唯一的 VID 和 PID。CY7C65642 可与 SPI（微细线）EEPROM（如 93C46）或 I<sup>2</sup>C EEPROM（如 24C02）进行通信。EEPROM 连接示例如下：



**注意：**28 引脚 QFN 封装仅支持 I<sup>2</sup>C EEPROM，如 ATMEL/24C02N、SU27 D、MICROCHIP/4LC028 SN0509、SEIKO/S24CS02AVH9。48 引脚 TQFP 封装包括 I<sup>2</sup>C 和 SPI EEPROM 连接选项。在此情况下，用户可同时使用 SPI 或 I<sup>2</sup>C 连接来与 EEPROM 进行通信。除上述系列外，48 引脚封装还支持 ATMEL/AT93C46DN-SH-T。HX2VL 仅可从 SPI EEPROM 读取。因此 EEPROM 的字段编程将仅支持 I<sup>2</sup>C EEPROM。默认 VID 和 PID 为 0x04B4 和 0x6572。

CY7C65642 在上电复位后验证校验和，并在验证后从 EEPROM 中加载配置。为了防止覆盖掉配置，显示 SPI EEPROM 时会禁用 AMBER[1]。

字节	数值
00h	VID_LSB
01h	VID_MSB
02h	PID_LSB
03h	PID_MSB
04h	校验和
05h	保留 — FEh
06h	可移除端口
07h	端口数
08h	最大功率
09h — 0Fh	保留 — FFh
10h	供应商字符串长度
11h–3Fh	供应商字符串（ASCII 代码）
40h	产品字符串长度

字节	数值
41h–6Fh	产品字符串（ASCII 代码）
70 h	序列号长度
71h–80h	序列号字符串

### 字节 0: VID（LSB）

供应商 ID 的最低有效位

### 字节 1: VID（MSB）

供应商 ID 的最高有效位

### 字节 2: PID（LSB）

产品 ID 的最低有效位

### 字节 3: PID（MSB）

产品 ID 的最高有效位

### 字节 4: ChkSum

如果校验和不等于是 VID\_LSB + VID\_MSB + PID\_LSB + PID\_MSB + 1 之和，CY7C65642 将忽略 EEPROM 设置。

### 字节 5: 保留

设置为 FEh

### 字节 6: RemovablePorts（可移动端口）

RemovablePorts[4:1] 位表示附带相应下行端口的器件是可移动（设置为 0）还是不可移动（设置为 1）。位 1 对应端口 1，位 2 对应端口 2，依此类推。默认值为 0（可移动）。在 HubDescriptor 中报告了这些位值：DeviceRemovable（器件可移动）字段。

位 0、5、6、7 的值均设置为 0。

### 字节 7: 端口数

端口数表示下行端口的数目。数值必须为 1 和 4 之间，默认值为 4。

### 字节 8: 最大功率

该值被存储在配置描述符中的 bMax-Power 字段内，它表示电流根据上行集线器的要求以 2 mA 步进逐渐递增。允许范围为 00h（0 mA）到 FAh（500 mA）之间。默认值为 32h（100 mA）

### 字节 9-15: 保留

设置为 FFh（11 为 FEh 除外）

### 字节 16: 供应商字符串长度

供应商字符串的长度

### 字节 17–63: 供应商字符串

ASCII 代码中供应商字符串的值

### 字节 64: 产品字符串长度

产品字符串的长度

### 字节 65–111: 产品字符串

ASCII 代码中产品字符串的值

### 字节 112: 序列号长度

序列号的长度

### 字节 113 起: 序列号字符串

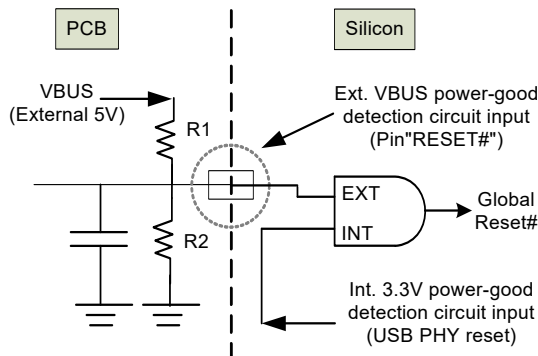
ASCII 代码中的序列号字符串



## 引脚配置选项

### 上电复位

上电复位可由外部复位或内部电路触发。芯片内核电源 ( $3.3\text{ V} \pm 10\%$ ) 发生不稳定电源事件后，将启动内部复位。内部复位会在供电获得良好电压 ( $2.5\text{ V}$  至  $2.8\text{ V}$ ) 后  $2.7\text{ }\mu\text{s} \pm 1.2\%$  释放。外部复位引脚持续感应上行 VBUS 的电压电平 ( $5\text{ V}$ )，如该图所示。如有 USB 插拔或电压下降的事件，将会触发外部复位。复位触发可通过电阻 R1 和 R2 进行配置。赛普拉斯建议应用于外部复位电路的复位时间应大于内部复位时间。



### 组合 / 单独电源开关模式

单个引脚，用于设置单独 / 组合模式和输出暂停标志。这样是为了减少引脚数目。在加电复位后的  $20\text{ }\mu\text{s}$  内将确定是单独或组合模式。它的设置 (setup) 时间为  $1\text{ ns}$ 。复位后的  $50$  至  $60\text{ ms}$ ，该引脚会更改为输出模式。当其全局暂停后，CY7C65642 会输出暂停标志。单独模式需要大于  $100\text{ K}$  的下拉电阻，而组合模式则需要大于  $100\text{ K}$  的上拉电阻。下图显示的是暂停 LED 指示灯的原理图。必须跟从 LED 的极性，否则暂停 (suspend) 电流将超出规格限制 ( $2.5\text{ mA}$ )。

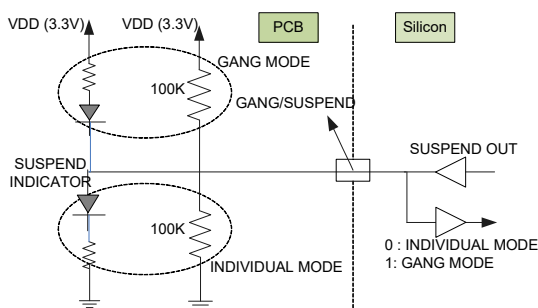


表 1. 48 引脚和 28 引脚封装支持的特性

支持 特性	48 引脚	28 引脚
端口编号配置	有	无
不可移动端口配置	有	无
参考时钟配置	有	无
电源开关使能极性	有	无
LED 指示灯	有	无

### 电源开关使能引脚极性

通过引脚短接 PWR\_PIN\_POL 引脚为 1，可将引脚极性设置为高电平有效；引脚短接 PWR\_PIN\_POL 引脚为 0，可将引脚极性设置为低电平有效。因此，可支持两种电源开关。28 引脚 QFN 封装不支持此项特性。

### 端口数配置

除上述 EEPROM 配置外，2/3/4 端口的集线器配置也支持使用引脚短接的“SET\_PORT\_NUM1”和“SET\_PORT\_NUM2”，如下表所示。28 引脚 QFN 封装不支持引脚短接选项。

SET_PORT_NUM2	SET_PORT_NUM1	端口数量
1	1	1 (端口 1)
1	0	2 (端口 1/2)
0	1	3 (端口 1/2/3)
0	0	4 (全部端口)

### 不可移动端口配置

在嵌入式系统中，可在上电复位前通过引脚将相应的“FIXED\_PORT#”引脚 1~4 短接为高，将始终与系统内部连接的下行端口设置为不可移动 (始终连接) 端口。上电复位时，如果引脚电平被拉高，那么相应端口设置将不可移动。28 引脚 QFN 封装中不支持此项特性。

### 参考时钟配置

集线器可支持可选 27/48 MHz 时钟源。若电路板上有 27/48 MHz 时钟，通过这项特性，系统整合者可去掉外部晶振，从而进一步降低 BOM 成本。此特性可通过下表所示的 GPIO 引脚配置提供。28 引脚 QFN 封装中不支持此项特性。

SEL48	SEL27	时钟源
0	1	48 MHz OSC 输入
1	0	27 MHz OSC 输入
1	1	12 MHz X'tal/OSC 输入

## 最大绝对额定值

超过最大额定值可能会影响器件的使用寿命。这些用户指导未经过测试。

存储温度 .....	-60 °C 至 +100 °C
环境温度 .....	0 °C 至 +70 °C
地面电位的 5 V 供电电压 .....	-0.5 V 至 +6.0 V
地面电位的 3.3 V 供电电压 .....	-0.5 V 至 +3.6 V
开漏输入端引脚的电压 (OVR#1-4、SELPWR、RESET#) .....	-0.5 V 至 +5.5 V
数字 I/O 的 3.3 V 输入电压 .....	-0.5 V 至 +3.6 V
FOSC (振荡器或晶振频率) .....	12 MHz $\pm$ 0.05%

## 运行条件

环境温度 .....	0 °C 至 +70 °C
环境最高结温 .....	0 °C 至 +125 °C
地面电位的 5 V 供电电压 .....	4.75 V 至 +5.25 V
地面电位的 3.3 V 供电电压 .....	3.15 V to +3.6 V
USB 信号引脚的输入电压 .....	0.5 V 至 +3.6 V
开漏输入引脚电压 .....	-0.5 V 至 +5.0 V
48 引脚 TQFP 封装的热特性 .....	78.7 °C/W
28 引脚 QFN 封装的热特性 .....	33.3 °C/W

## 电气特性

### 直流电气特性

参数	说明	条件	最小值	典型值	最大值		单位
					外部调节器	内部调节器	
$P_D$	功率耗散	不包括 USB 信号	—	—	432		mW
$V_{IH}$	输入高电平电压	—	2	—	—		V
$V_{IL}$	输入低电平电压	—	—	—	0.8		V
$I_I$	输入漏电流	全速 / 低速 ( $0 < V_{IN} < V_{CC}$ )	−10	—	+10		μA
		高速模式 ( $0 < V_{IN} < V_{CC}$ )	−5	0	+5		μA
$V_{OH}$	输出高电压	$I_{OH} = 8 \text{ mA}$	2.4	—	—		V
$V_{OL}$	输出低电压	$I_{OL} = 8 \text{ mA}$	—	—	0.4		V
$R_{DN}$	焊盘内部下拉电阻	—	29	59	135		KΩ
$R_{UP}$	焊盘内部上拉电阻	—	80	108	140		KΩ
$C_{IN}$	输入引脚电容	全速 / 低速模式	—	—	20		pF
		高速模式	4	4.5	5		pF
$I_{SUSP}$	暂停电流	—	—	0.786	1.043	1.3	mA
$I_{CC}$	<b>供电电流</b>						
	4 个活动端口	全速主机, 全速器件	—	88.7	103.9	105.4	mA
		高速主机, 高速器件	—	81.9	88.2	89.3	mA
		高速主机, 全速器件	—	88.2	101.2	102.3	mA
	3 个活动端口 [5]	全速主机, 全速器件	—	79.1	91.6	93	mA
		高速主机, 高速器件	—	72.9	78.5	78.6	mA
		高速主机, 全速器件	—	75.9	88.7	88.8	mA
	两个活动端口	全速主机, 全速器件	—	68.1	78.4	78.6	mA
		高速主机, 高速器件	—	61.9	67.6	69.6	mA
		高速主机, 全速器件	—	64.9	75.4	76.1	mA
	一个活动端口	全速主机, 全速器件	—	57.1	66.3	66.7	mA
		高速主机, 高速器件	—	51.9	57.6	59.3	mA
		高速主机, 全速器件	—	54.7	61.1	62.5	mA
	无活动端口 [6]	全速主机	—	42.8	48.9	50.3	mA
		高速主机	—	44.2	49.1	50.6	mA

#### 注释:

5. 器件连接和枚举后的电流测量。
6. 无连接器件。

## 交流电气特性

USB 收发器的低速、全速和高速模式均通过 USB 2.0 认证。

上行 USB 收发器和全部四个下行收发器均通过 USB-IF USB 2.0 电气认证测试。

48 引脚 TQFP 封装可支持使用 I<sup>2</sup>C 或 SPI 与 EEPROM 通信。28 引脚 QFN 封装仅可支持使用 I<sup>2</sup>C 与 EEPROM 通信。

以下表显示的是这两个 EEPROM 接口的交流电特性：

### SPI EEPROM 接口的交流电特性

参数	参数	最小值	典型值	最大值	单位
t <sub>CSS</sub>	CS 设置时间	3.0	—	—	μs
t <sub>CSH</sub>	CS 保持时间	3.0	—	—	
t <sub>SKH</sub>	SK 高电平时间	1.0	—	—	
t <sub>SKL</sub>	SK 低电平时间	2.2	—	—	
t <sub>DIS</sub>	DI 设置时间	1.8	—	—	
t <sub>DIH</sub>	DI 保持时间	2.4	—	—	
t <sub>PD1</sub>	输出延迟时间为 ‘1’	—	—	1.8	
t <sub>PD0</sub>	输出延迟时间为 ‘0’	—	—	1.8	

### I<sup>2</sup>C EEPROM 接口的交流电特性

参数	参数	1.8 V – 5.5 V		2.5 V – 5.5 V		单位
		最小值	最大值	最小值	最大值	
f <sub>SCL</sub>	SCL 时钟频率	0.0	100	0.0	400	KHz
t <sub>LOW</sub>	时钟的低电平周期	4.7	—	1.2	—	μs
t <sub>HIGH</sub>	时钟高周期	4.0	—	0.6	—	μs
t <sub>SU:STA</sub>	启动条件的建立时间	4.7	—	0.6	—	μs
t <sub>SU:STO</sub>	停止条件的建立时间	4.7	—	0.6	—	μs
t <sub>HD:STA</sub>	启动条件的保持时间	4.0	—	0.6	—	μs
t <sub>HD:STO</sub>	停止条件的保持时间	4.0	—	0.6	—	μs
t <sub>SU:DAT</sub>	数据的建立时间	200.0	—	100.0	—	ns
t <sub>HD:DAT</sub>	数据的保持时间	0	—	0	—	ns
t <sub>DH</sub>	数据输出的保持时间	100	—	50	—	ns
t <sub>AA</sub>	时钟输出的时间	0.1	4.5	0.1	—	μs
t <sub>WR</sub>	写周期时间	—	10	—	5	ns

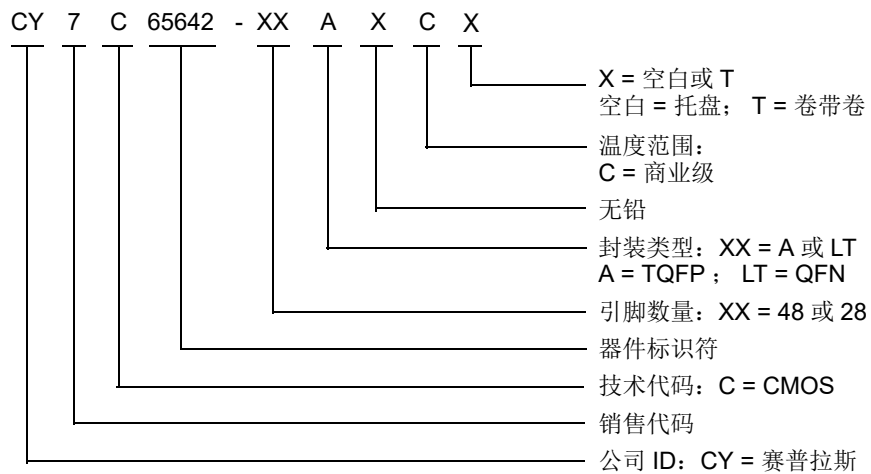
## 热电阻

参数	说明	48 引脚 TQFP 封装	28 引脚 QFN 封装	单位
Θ <sub>JA</sub>	热电阻（结温）	78.7	33.3	°C/W
Θ <sub>JC</sub>	热电阻（壳温）	35.3	18.4	°C/W

## 订购信息

订购代码	封装类型
CY7C65642-48AXC	48 引脚 TQFP - 托盘
CY7C65642-48AXCT	48 引脚 TQFP - 卷带卷
CY7C65642-28LTXC	28 引脚 QFN - 托盘

## 订购代码定义



CY7C65642 的各种封装形式如下:

Technical drawing of a square microchip with pin connections. The top view shows a square chip with pins numbered 1 through 48. Dimensions include a total width of  $9.00 \pm 0.25$  SQ, a central pin spacing of  $7.00 \pm 0.10$  SQ, and a pin pitch of  $0.20 \pm 0.05$ . A side view shows the chip's profile with a seating plane, a maximum height of 1.60, a maximum pin height of 0.20, and a pin angle of  $12^\circ \pm 1^\circ$  (8X). A detail callout "SEE DETAIL A" points to the pin base.

Technical drawing of Detail A, showing a cross-section of a mechanical part. The drawing includes the following dimensions and features:

- STAND-OFF:** 0.05 MIN. to 0.15 MAX.
- Top Surface:** 0° MIN. to 0° MAX.
- Top Fillet:** R. 0.08 MIN. to 0.20 MAX.
- Internal Fillet:** R. 0.08 MIN.
- Bottom Fillet:** R. 0.20 MIN.
- Bottom Surface:** 0-7°
- Bottom Dimension:** 0.60 ± 0.15
- Reference Dimension:** 1.00 REF.
- Gauge Plane:** Indicated by a horizontal line with a dimension of 0.25.

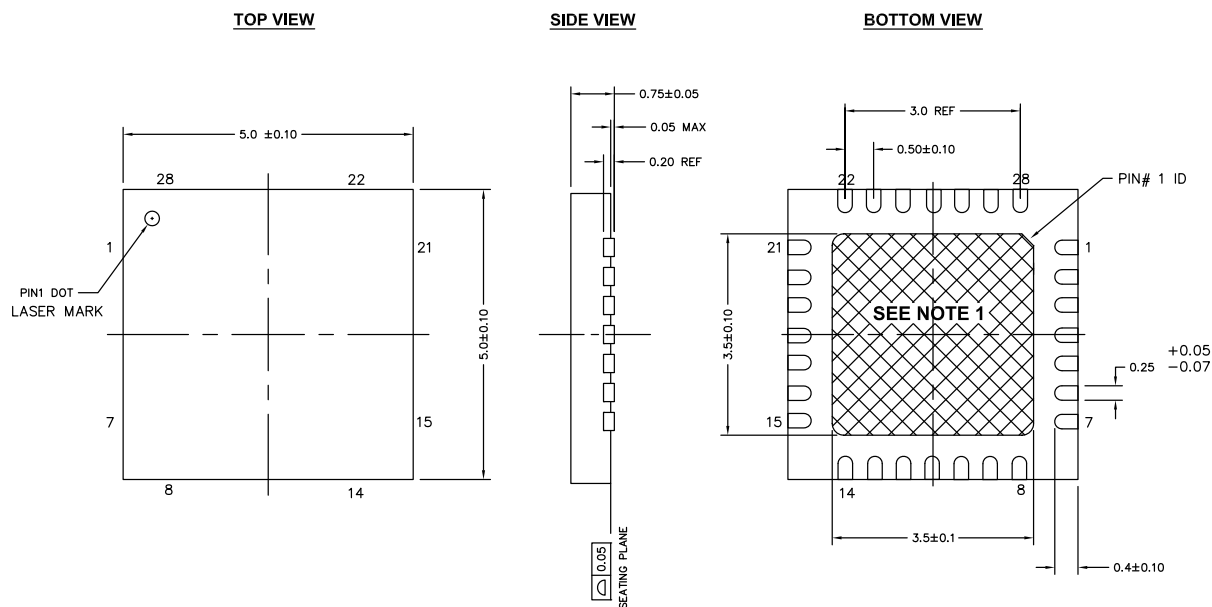
**DETAIL A**

页 20/25


## 封装图 (续)

CY7C65642 的各种封装形式如下:

**图 4. 28 引脚 QFN (5 × 5 × 0.8 mm), LT28A (3.5 × 3.5 E 型焊盘), Sawn 封装外形, 001-64621**



### NOTES:

1.  HATCH AREA IS SOLDERABLE EXPOSED PAD
2. BASED ON REF JEDEC # MO-220
3. PACKAGE WEIGHT: ~0.05gr
4. DIMENSIONS ARE IN MILLIMETERS

001-64621 \*A



## 缩略语

缩略语	说明
AC	交流
ASCII	美国信息交换标准代码
EEPROM	电可擦除可编程只读存储器
EMI	电磁干扰
ESD	静电释放
GPIO	通用输入 / 输出
I/O	输入 / 输出
LED	发光二极管
LSB	最低有效位
MSB	最高有效位
PCB	印刷电路板
PLL	锁相环
POR	上电复位
PSoC®	可编程片上系统™
QFN	四方扁平无引线
RAM	随机存取存储器
ROM	只读存储器
SIE	串行接口引擎
TQFP	薄型四方扁平封装
TT	数据传输转换器
USB	通用串行总线

## 文档常规

### 测量单位

符号	测量单位
°C	摄氏度
kHz	千赫兹
kΩ	千欧姆
MHz	兆赫兹
μA	微安
μs	微秒
μW	微瓦
mA	毫安
mm	毫米
ms	毫秒
mW	毫瓦
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
ppm	百万分率
V	伏特
W	瓦特

## 附录：HX2VL 的芯片勘误表，CY7C65642 产品系列

本节介绍了 HX2VL、CY7C65642 的勘误表。勘误表中包括勘误触发条件、影响范围、可用解决方案和芯片修订适用性。若有任何问题，请联系您本地赛普拉斯销售代表。

### 受影响的器件型号

器件型号	器件特性
CY7C65642	USB 2.0 多数据传输转换器集线器

### HX2VL 合格状态

产品状态：正在生产

### HX2VL 勘误表汇总

该表定义了勘误表对可用的 HX2VL 系列设备的适用性。

项目	器件型号	芯片修订号	解决方法	修复状态
如果在集线器挂起期间发生断开连接并随后发生连接事件，则无法正确识别 USB 设备	CY7C65642	Rev **	如果 USB 设备命令已停止，则从主机 USB 应用程序或驱动程序发出端口重置命令	没有修复计划

#### ■ 问题定义

如果在集线器暂停状态期间断开连接的 DS 设备的连接，并将其重新连接到同一 DS 端口，则 HX2VL 有时在挂起之后无法识别下游（DS）USB 设备。

#### ■ 受影响的参数

无

#### ■ 触发条件

在暂停状态期间，从集线器 DS 设备断开连接，然后重新连接到同一 DS 端口，

#### ■ 影响范围

使用标准的 Microsoft 驱动程序 / 类设备（例如鼠标，键盘，大容量存储设备等）无法观察到此问题。

当 DS 设备发生 STALL 时，标准类驱动程序使用 Port-Reset 命令恢复设备。

#### ■ 解决方法

从主机 USB 应用程序或驱动程序发出端口重置命令

#### ■ 修复状态

没有修复计划

## 文档修订记录

文档标题: CY7C65642、HX2VL - 极低功耗 USB 2.0 TetraHub™ 控制器 文档编号: 001-79058			
版本	ECN	提交日期	变更说明
**	3613431	05/10/2012	本文档版本号为 Rev. **, 译自英文版 001-65659 Rev. *C。
*A	4906982	09/03/2015	本文档版本号为 Rev. *A, 译自英文版 001-65659 Rev. *F。
*B	5435083	09/13/2016	本文档版本号为 Rev. *B, 译自英文版 001-65659 Rev. *G。 更新到新的模板。 完成日落複審。
*C	5782882	06/22/2017	本文档版本号为 Rev. *C, 译自英文版 001-65659 Rev. *J。
*D	6748027	12/09/2019	本文档版本号为 Rev. *D, 译自英文版 001-65659 Rev. *K。

## 销售、解决方案和法律信息

### 全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要寻找离您最近的办事处，请访问[赛普拉斯所在地](#)。

### 产品

Arm® Cortex® 微控制器	<a href="http://cypress.com/arm">cypress.com/arm</a>
汽车级产品	<a href="http://cypress.com/automotive">cypress.com/automotive</a>
时钟与缓冲器	<a href="http://cypress.com/clocks">cypress.com/clocks</a>
接口	<a href="http://cypress.com/interface">cypress.com/interface</a>
物联网	<a href="http://cypress.com/iot">cypress.com/iot</a>
存储器	<a href="http://cypress.com/memory">cypress.com/memory</a>
微控制器	<a href="http://cypress.com/mcu">cypress.com/mcu</a>
PSoC	<a href="http://cypress.com/psoc">cypress.com/psoc</a>
电源管理 IC	<a href="http://cypress.com/pmic">cypress.com/pmic</a>
触摸感应	<a href="http://cypress.com/touch">cypress.com/touch</a>
USB 控制器	<a href="http://cypress.com/usb">cypress.com/usb</a>
无线连接	<a href="http://cypress.com/wireless">cypress.com/wireless</a>

### PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

### 赛普拉斯开发者社区

[社区](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

### 技术支持

[cypress.com/support](http://cypress.com/support)

赛普拉斯半导体公司，2011-2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC (“赛普拉斯”) 的财产。本文件，包括其包含或引用的任何软件或固件 (“软件”)，根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可 (无再许可) (1) 在赛普拉斯特软件著作权项下的下列许可 (一) 对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和 (二) 仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供 (无论直接提供或通过经销商和分销商间接提供)，和 (2) 在被软件 (由赛普拉斯公司提供，且未经修改) 侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。(如果发现此类问题，赛普拉斯会提供勘误表) 赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统 (包括急救设备和手术植入物)、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途 (“非预期用途”)。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 [cypress.com](http://cypress.com) 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。