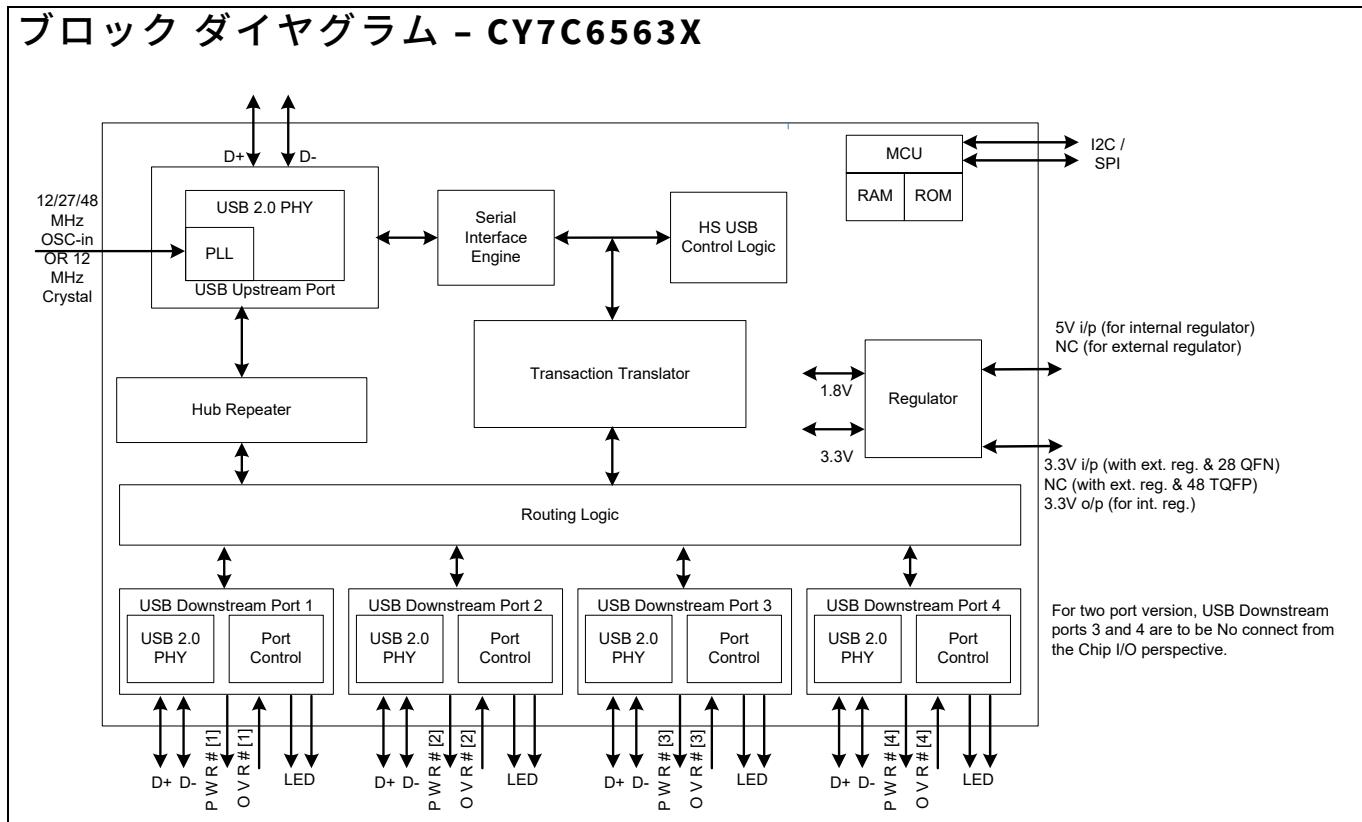


# HX2VL - 超低消費電力 USB 2.0 ハブコントローラー

## 特長

- 最小限の部品表 (BOM) による低コスト設計を実現した高性能、低消費電力 USB 2.0 ハブ
- USB 2.0 ハブコントローラー
  - USB 2.0 仕様に準拠, TID# 30000060
  - 最大 4 つのダウンストリーム ポートをサポート
  - ダウンストリーム ポートは FS, LS と下位互換性あり
  - 低コストの単一トランザクショントランスレータ (TT) 搭載
- 超低消費電力
  - バス給電と自己給電モードをサポート
  - バス給電と自己給電を自動切り替え
  - 2K ROM と 64 バイト RAM による単一 MCU 搭載
  - 最小消費電力
- 高度に統合したソリューションで BOM コスト削減
  - 内部レギュレータ - 単一電源電圧 5V のみが必要
  - 外部レギュレータと 3.3V 接続も提供
  - アップストリーム プルアップ抵抗を内蔵
  - すべてのダウンストリーム ポート用のプルダウン抵抗を内蔵
  - アップストリーム / ダウンストリーム 終端抵抗を内蔵
  - ポートステータス インジケータ コントローラーを内蔵
  - 駆動レベル 600 $\mu$ W の 12MHz +/- 500ppm 外部水晶振動子 (内蔵 PLL 用) 入力クロックで、オプションとして 27/48MHz 振動子クロック入力
  - ESD 回復用の電源障害検知機能を搭載
- ダウンストリーム ポート管理
  - 個別とギャング モードの電源管理をサポート
  - 過電流検出
  - ダウンストリーム ポートごとに 2 つのポートステータス インジケータ搭載
- コンフィギュレーションの多様性
  - VID と PID は外部 EEPROM によりコンフィギュレーション可能
  - ポート数、取り外し可能 / 取り外し不可ポートは、EEPROM および I/O ピン設定によりコンフィギュレーション可能
  - ギャング / 個別モードの電源切り替え、リファレンスクロックソースおよび電源切り替えイネーブル ピンの極性は I/O ピンでコンフィギュレーション可能
  - コンフィギュレーションオプションはマスク ROM を通しても利用可能
- 省スペースの 48 ピン TQFP (7 × 7mm) および 28 ピン QFN (5 × 5mm) パッケージが利用可能
- 温度範囲 0°C ~ 70°C をサポート

## ブロック ダイヤグラム - CY7C6563X



## 目次

## 目次

<b>特長</b> .....	1
<b>ブロック ダイヤグラム - CY7C6563X</b> .....	2
<b>目次</b> .....	3
<b>1 詳細情報</b> .....	5
1.1 HX2VL 開発キット .....	5
<b>2 はじめに</b> .....	6
<b>3 HX2VL アーキテクチャ</b> .....	7
3.1 USBシリアルインターフェース エンジン .....	7
3.2 HS USB 制御ロジック .....	7
3.3 ハブリピータ .....	7
3.4 MCU .....	7
3.5 トランザクショントランスレータ .....	7
3.6 ポート制御 .....	7
<b>4 アプリケーション</b> .....	8
<b>5 機能の概要</b> .....	9
5.1 システムの初期化 .....	9
5.2 エニュメレーション .....	9
5.3 アップストリーム ポート .....	9
5.4 ダウンストリーム ポート .....	9
5.5 電源切り替え .....	10
5.6 過電流検出 .....	10
5.7 ポートインジケータ .....	10
5.8 電源レギュレータ .....	10
5.9 外部レギュレータ使用の場合 .....	11
5.10 内蔵レギュレータ使用の場合 .....	11
<b>6 ピンコンフィギュレーション</b> .....	12
<b>7 ピン機能</b> .....	15
<b>8 ピン機能</b> .....	19
<b>9 EEPROM コンフィギュレーションオプション</b> .....	21
<b>10 ピンコンフィギュレーションオプション</b> .....	24
10.1 パワーオンリセット .....	24
10.2 ギヤング / 個別電源切り替えモード .....	24
10.3 電源切り替えイネーブルピンの極性 .....	25
10.4 ポート番号コンフィギュレーション .....	25
10.5 取り外し不可ポートのコンフィギュレーション .....	25
10.6 リファレンスクロックコンフィギュレーション .....	25
<b>11 絶対最大定格</b> .....	26
<b>12 動作条件</b> .....	27
<b>13 電気的特性</b> .....	28
13.1 DC 電気的特性 .....	28
13.2 AC 電気的特性 .....	30
<b>14 熱抵抗</b> .....	31
<b>15 注文情報</b> .....	32
15.1 注文コードの定義 .....	32
<b>16 パッケージ図</b> .....	33
<b>17 略語</b> .....	35
<b>18 本書の表記法</b> .....	36
18.1 測定単位 .....	36
<b>19 HX2VL, CY7C65632 製品ファミリのシリコンエラッタ</b> .....	37
19.1 影響を受ける製品番号 .....	37
19.2 HX2VL 認定状態 .....	37

## 目次

19.3 HX2VL エラッタのまとめ.....	37
改訂履歴.....	38
免責事項.....	39

## 1 詳細情報

インフィニオンは、[www.infineon.com](http://www.infineon.com) に大量のデータを掲載しており、ユーザーがデザインに適切な HX2VL デバイスを選択し、デバイスをデザインに迅速かつ効果的に統合する手助けをしています。リソースの包括的な一覧については、[HX2VL product page](#) を参照してください。

- **概要 : USB ポートフォリオ**
- USB 2.0 ハブ コントローラー セレクター : [HX2LP](#), [HX2VL](#)
- **アプリケーションノート** : インフィニオンは、基本レベルから高度なレベルまでの様々なトピックに触れる大量の USB アプリケーションノートを提供しています。以下は HX2VL 入門用の推奨アプリケーションノートです。
  - [AN72332 - Guidelines on System Design using Infineon's USB 2.0 Hub \(HX2VL\)](#)
  - [AN69235 - Migrating from HX2/HX2LP to HX2VL](#)
- **参考デザイン :**
  - [CY4608 HX2VL Very Low-Power USB 2.0 Compliant 4-Port Hub Development Kit](#)
  - [CY4607 HX2VL Very Low-Power USB 2.0 Compliant 4-Port Hub Development Kit](#)
- **モデル :** [HX2VL \(CY7C65632/34/42\) - IBIS](#)

### 1.1 HX2VL 開発キット

HX2VL 開発キット基板は、HX2VL デバイス (CY7C65632, CY7C65634) の特長を説明するツールです。完全設計の段階に入る前の最初の設計段階では、この基板により、開発者がチップの特長と制限を十分把握できるようになります。開発キットは、ボードハードウェア, PC アプリケーションソフトウェアにかかる補助ドキュメント、および EEPROM コンフィギュレーションデータ (.iic) ファイルを含みます。

---

はじめに

## 2 はじめに

HX2VL™ は、インフィニオンの高性能で超低消費電力な USB 2.0 ハブ コントローラーの次世代ファミリです。HX2VL は、アップストリームとダウンストリーム トランシーバー, USB シリアルインターフェース エンジン (SIE), USB ハブ制御とリピータロジック、そしてトランザクショントランスレータ (TT) ロジックを内蔵しています。さらに、電圧レギュレータやプルアップ / プルダウン抵抗などの外付け部品も統合しており、USB ハブシステムの実装に必要とされる全体的な部品数の削減を実現します。

CY7C6563X は HX2VL ポートフォリオの一部です。このデバイス オプションは、超低消費電力であるが、最大 4 つのダウンストリーム ポートを必要とする高性能アプリケーションに適します。すべてのダウンストリーム ポートは単一のトランザクショントランスレータを共有します。CY7C6563X は、48 ピン TQFP パッケージと 28 ピン QFN パッケージ オプションで利用可能です。

すべてのデバイス オプションは、インフィニオンの世界レベルの参考デザイン キットによりサポートされています。このキットには、ボード回路図、部品表、ガーバーファイル、Orcad ファイル、および完全な設計資料が含まれています。

### 3 HX2VL アーキテクチャ

2 ページの “[ブロックダイヤグラム - CY7C6563X](#)” には、HX2VL の単一 TT ハブのアーキテクチャを示しています。

#### 3.1 USB シリアルインターフェースエンジン

シリアルインターフェースエンジン (SIE) により、HX2VL は USB ホストと通信できます。SIE はハブ制御ブロックから独立して以下の USB 動作を処理します。

- ・ビットスタッフィングおよびアンスタッフィング
- ・チェックサムの生成と確認
- ・トーカンタイプの識別
- ・アドレスのチェック

#### 3.2 HS USB 制御ロジック

「ハブ制御」ブロックはエニュメレーション、一時停止、および再開を処理します。ホストがハブへアクセスするために、ステータスとコントロール信号を生成します。また、ハブをホストに同期させるフレームタイマーも内蔵しています。MCU のファームウェアへのインターフェースとして機能するステータス / 制御レジスタを備えています。

#### 3.3 ハブリピータ

ハブリピータは、同じ速度で動作している互いに対応したアップストリームとダウンストリーム間の接続性を調整します。フルスピードとハイスピードの接続をサポートします。USB 2.0 仕様では、ハブリピータは以下の機能を備えています。

- ・パケット境界での接続を設定 / 解除
- ・適切なリモートウェイクアップ処理を含む「一時停止」状態への出入りのエントリーを順に処理

#### 3.4 MCU

HX2VL は、2K ROM および 64 バイト RAM を備えた MCU を搭載しています。MCU は 12MHz クロックで動作し、ホストからの USB コマンドをデコードし、ホストに応答します。また MCU は、GPIO 設定を処理してさらなる柔軟性を提供し、拡張コンフィギュレーションオプションを持つ EEPROM からの読み出しを制御します。MCU は、顧客のニーズに応じて工場で製造されている間にプログラム可能です。

#### 3.5 トランザクショントランスレータ

トランザクショントランスレータはある速度から別の速度へとデータを変換します。ハブがハイスピードで動作しており (アップストリームポートがハイスピードホストコントローラーに接続されている)、フルスピードまたはロースピードのデバイスが取り付けられている場合、TT は、ハイスピードのスプリットトランザクションをフルスピードまたはロースピードのトランザクションに変換します。ダウンストリームポートに取り付けているデバイスの動作速度に応じて、ルーティングロジックはポートを TT に接続するか、あるいはハブリピータに接続するかを決めます。アップストリームホストとダウンストリームデバイスが異なる速度で機能している場合、データは TT を経由します。その他すべての場合において、データはリピータを通して転送されます。例えば、フルスピードまたはロースピードのデバイスがハイスピードでホストアップストリームにハブを介して接続される場合、データ転送ルートには TT が含まれます。ハイスピードのデバイスがハブ経由でハイスピードのホストアップストリームに接続している場合、データ転送ルートはリピータを含みます。ハブがフルスピードのホストコントローラーアップストリームに接続されている場合、ハイスピードのペリフェラルはその性能を完全に発揮することはできません。これらのデバイスはフルスピードでのみ動作します。このハブに接続したフルスピードおよびロースピードのデバイスは、その通常の速度で動作します。

#### 3.6 ポート制御

ダウンストリーム「ポート制御」ブロックは、接続 / 切断、過電流検出、並びに電源供給有無と LED 制御を処理します。また、ダウンストリームトランシーバーの制御信号も生成します。

---

## アプリケーション

### 4 アプリケーション

HX2VL デバイスの代表的なアプリケーション：

- ドッキング ステーション
- スタンドアロン ハブ
- モニター ハブ
- 多機能プリンター
- デジタル テレビ
- 高機能ポートレプリケータ
- キーボード ハブ
- ゲーム コンソール

## 機能の概要

# 5 機能の概要

インフィニオン CY7C6563X USB 2.0 ハブは、USB 用の低消費電力のハブソリューションであり、最大の転送効率を実現します。CY7C6563X USB 2.0 ハブは、フルスピード動作用に  $1.5\text{k}\Omega$  アップストリーム プルアップ抵抗を備え、すべてのアップストリームおよびダウンストリーム D+ と D- ピン上にダウンストリーム  $15\text{k}\Omega$  プルダウン抵抗と直列終端抵抗を内蔵しています。このように、USB 2.0 仕様に組込み式サポートを提供して、システム費用を最適化できます。

## 5.1 システムの初期化

電源投入時に、CY7C6563X は、マスク ROM 内のデフォルト設定、または外付け EEPROM からコンフィギュレーション情報を読み出すことによりエニュメレーションされます。最も基本的なレベルでは、この EEPROM はお客様のアプリケーション向けにベンダー ID (VID) と製品 ID (PID) を持っています。さらに専用化したアプリケーションでは、その他のコンフィギュレーションオプションを指定できます。詳細については、21 ページの “[EEPROM コンフィギュレーションオプション](#)” を参照してください。CY7C6563X は、EEPROM の内容をディスクリプタとして読み出す前にチェックサムを確認します。

## 5.2 エニュメレーション

CY7C6563X は D+ でのプルアップ抵抗を有効にし、アップストリーム ハブに対してその存在を示します。その後は、USB バスリセットが予測されます。USB バスリセット後に、CY7C6563X はアドレス指定されず、未設定状態になります (コンフィギュレーション値は「0」に設定)。エニュメレーション過程では、ホストはハブのアドレスとコンフィギュレーションを設定します。ハブのコンフィギュレーションが完了すると、ハブの全機能を利用することができます。

## 5.3 アップストリーム ポート

アップストリーム ポートにはトランスマッターおよびレシーバーステートマシンが含まれます。トランスマッターとレシーバーは、ハブの現行のコンフィギュレーションに応じてハイ スピードおよびフルスピードで動作します。トランスマッターステートマシンはアップストリーム側ポートを監視し、同時にハブリピータはアップストリーム側に接続します。このステートマシンは、このハブのダウンストリーム側ポートに発生したバブルや切断イベントが伝播して、このハブを無効にさせたり、接続されているハブから切断されたりすることを防ぎます。

## 5.4 ダウンストリーム ポート

CY7C6563X は、最大 4 つのダウンストリーム ポートに対応し、EEPROM 設定ではそれぞれのポートが「使用可能」か「取り外し可能」とマークされます。21 ページの “[EEPROM コンフィギュレーションオプション](#)” を参照してください。さらに、ピンストラッピングによってコンフィギュレーションすることも可能です。24 ページの “[ピン コンフィギュレーションオプション](#)” を参照してください。

ダウンストリーム D+ と D- プルダウン抵抗は CY7C6563X の各ポートに内蔵されています。ハブをコンフィギュレーションする前に、ポートは SE0 に駆動され (D+ と D- の両方を LOW に駆動するシングルエンドゼロ)、未給電状態に設定されます。ハブがコンフィギュレーションされると、ポートは駆動せず、ホストは各ポートに SetPortPower コマンドを送信することでポートに電源を供給します。ポートが電源供給されると、接続または切断のイベントはすべてハブが検知します。ポート状態の変化はすべて、ステータス チェンジ エンド ポイント (エンド ポイント 1) を通してハブからホストに報告されます。

デバイスを接続したポートに対して SetPortReset 要求を受信すると、ハブは以下を実行します。

- 該当するポートで USB リセットを実行
- ポートを有効状態に設定
- ポートが有効になった後にバブル検知を有効化

バブルは、EOF2 後のポートでの非アイドル状態から成っています。有効になったポートでバブルが検知されると、そのポートは無効になります。ホストからの ClearPortEnable 要求も、指定したポートを無効にします。

ダウンストリーム ポートは、SetPortSuspend 要求で、ホストによって個別に一時停止できます。ハブが一時停止されていない場合、ポートでのリモートウェイクアップイベントは、ハブステータス チェンジ エンド ポイントのポート変更表示によりホストに反映されます。ハブが一時停止した場合、このポートで

## 機能の概要

のリモートウェイクアップイベントがホストに転送されます。ホストは ClearPortSuspend コマンドを送信することにより、ポートを再開できます。

### 5.5 電源切り替え

CY7C6563X は、外部ポート電源切り替え用のインターフェース信号を持っています。ギャングと個別(ポートごと)コンフィギュレーションの両方がピンストラッピングによってサポートされています。24 ページの “[ピンコンフィギュレーションオプション](#)” を参照してください。

エニュメレーションの後、ホストは各ポートに対して SetPortPower 要求を送信することでそのポートに電源を供給します。電源切り替えと過電流の検出は、外部電源切り替えデバイスに接続されたそれぞれの制御信号 (PWR#[n] と OVR#[n]) によって管理されています。両方の HIGH/LOW イネーブル電源切り替えがサポートされ、極性が GPIO 設定を介してコンフィギュレーションされています。24 ページの “[ピンコンフィギュレーションオプション](#)” を参照してください。

### 5.6 過電流検出

CY7C6563X シリーズの OVR#[n] ピンは、それぞれの外部電源切り替えのポート過電流表示(出力)信号に接続しています。過電流状態を検出した後、ハブは過電流状態をホストに報告し、外部電源デバイスへの PWR#[n] 出力を無効にします。OVR#[n] のセットアップ時間は 20ns です。過電流検出から PWR#[n] のデアサートまでは 3 ~ 4ms を要します。

### 5.7 ポートインジケータ

USB 2.0 ポートインジケータは、CY7C6563X によっても直接サポートされています。仕様に従って、ハブの各ダウンストリームポートは任意的にステータスインジケータをサポートしています。ダウンストリームの対向ポートのインジケータの存在は、ハブクラスディスクリプタの Hub Characteristics フィールドのビット 7 によって指定されます。デフォルトの CY7C6563X ディスクリプタは、ポートインジケータがサポートされていることを指定します。CY7C6563X ポートインジケータは、自動と手動の 2 つの動作モードを持っています。

電源投入時に、CY7C6563X はデフォルトとして自動モードになり、ポートインジケータの色(緑、アンバー、オフ)が CY7C6563X ポートの機能ステータスを示します。デバイスが一時停止すると、LED はオフになります。

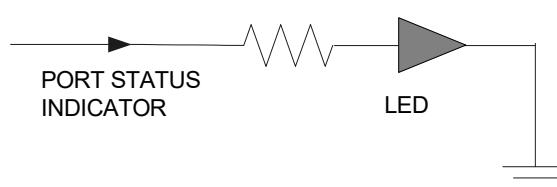


Figure 1 ポートステータスインジケータ LED

### 5.8 電源レギュレータ

CY7C6563X は、内部コアロジックおよび USB 物理レイヤ (PHY) の通常動作に 3.3V のソース電源を必要とします。内蔵の低ドロップ電源レギュレータは、USB ケーブル (Vbus) からの 5V 電源入力を 3.3V ソース電源に変換します。3.3V 電源出力は、入力電圧が 4.75V ~ 5.25V の範囲内にある場合、内部電圧リファレンス回路によって保証されています。レギュレータの最大電流負荷は 150mA です。これにより、CY7C6563X の通常消費電力 (100mA 未満) に許容差を提供します。オンチップレギュレータの静止電流は 28µA です。

## 機能の概要

### 5.9 外部レギュレータ使用の場合

CY7C6563X は、外部レギュレータ使用と内蔵レギュレータ使用の双方をサポートしています。外部レギュレータを選択した場合、48 ピンパッケージでは、VCC と VREG は接続なしの開放状態にします。外部レギュレータ出力 3.3V は VCC\_A と VCC\_D ピンに接続する必要があります。この接続は基板上のチップの外側で行われます。28 ピンパッケージでは、外部レギュレータからの 3.3V 出力は、VREG, VCC\_A, および VCC\_D に接続する必要があります。VCC ピンは接続せずに、開放のままにします。チップの内部使用のために、外部 3.3V 入力から 1.8V がチップ内部で生成されます。

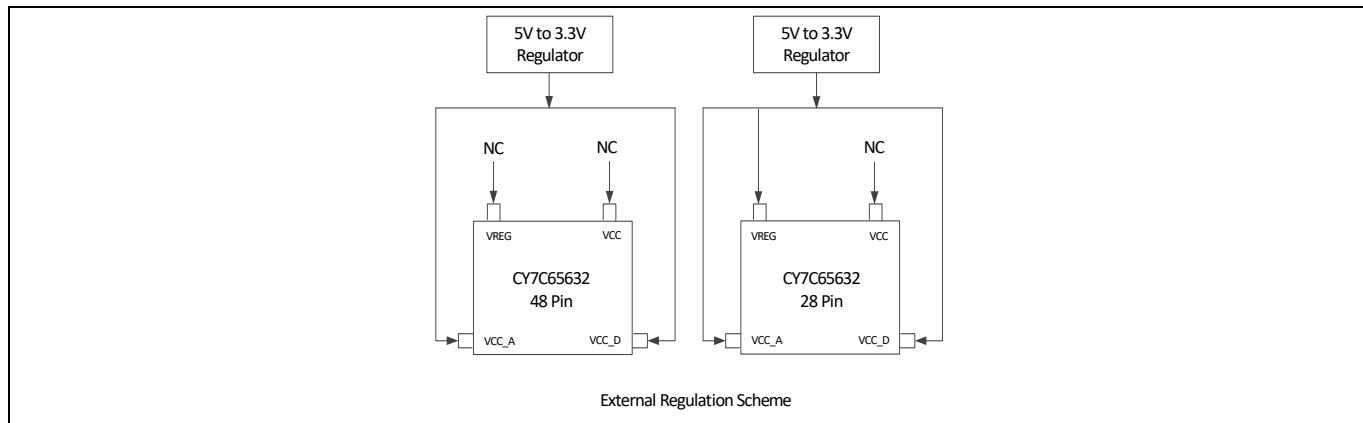


Figure 2 外部レギュレータ使用の場合

### 5.10 内蔵レギュレータ使用の場合

内蔵レギュレータを選択した場合、VCC ピンは 48 ピンと 28 ピンパッケージの両方で 5V に接続する必要があります。内蔵されたレギュレータによりチップの内部使用のために 3.3V と 1.8V を生成します。また、3.3V 出力を VREG ピンで利用可能です。このピンは外部で VCC\_A と VCC\_D に接続する必要があります。

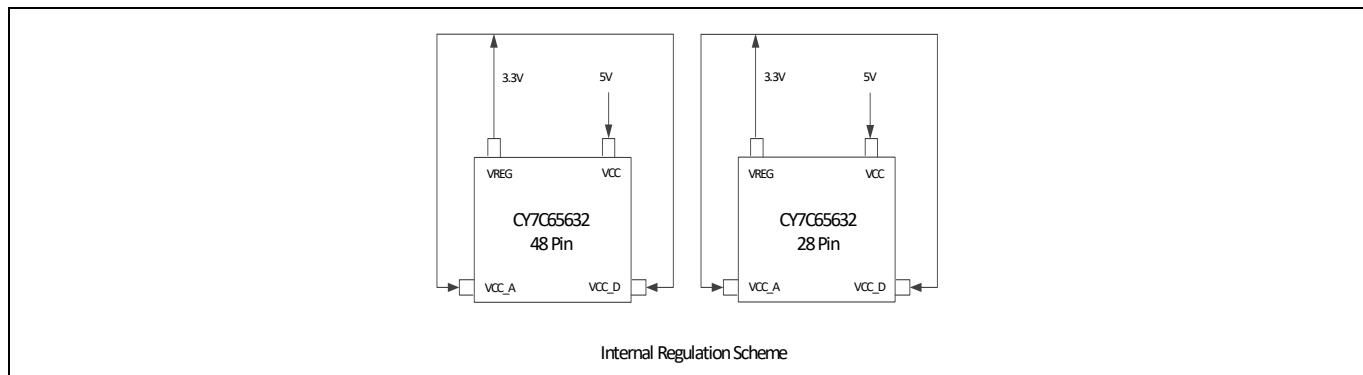


Figure 3 内蔵レギュレータ使用の場合

## 6 ピンコンフィギュレーション

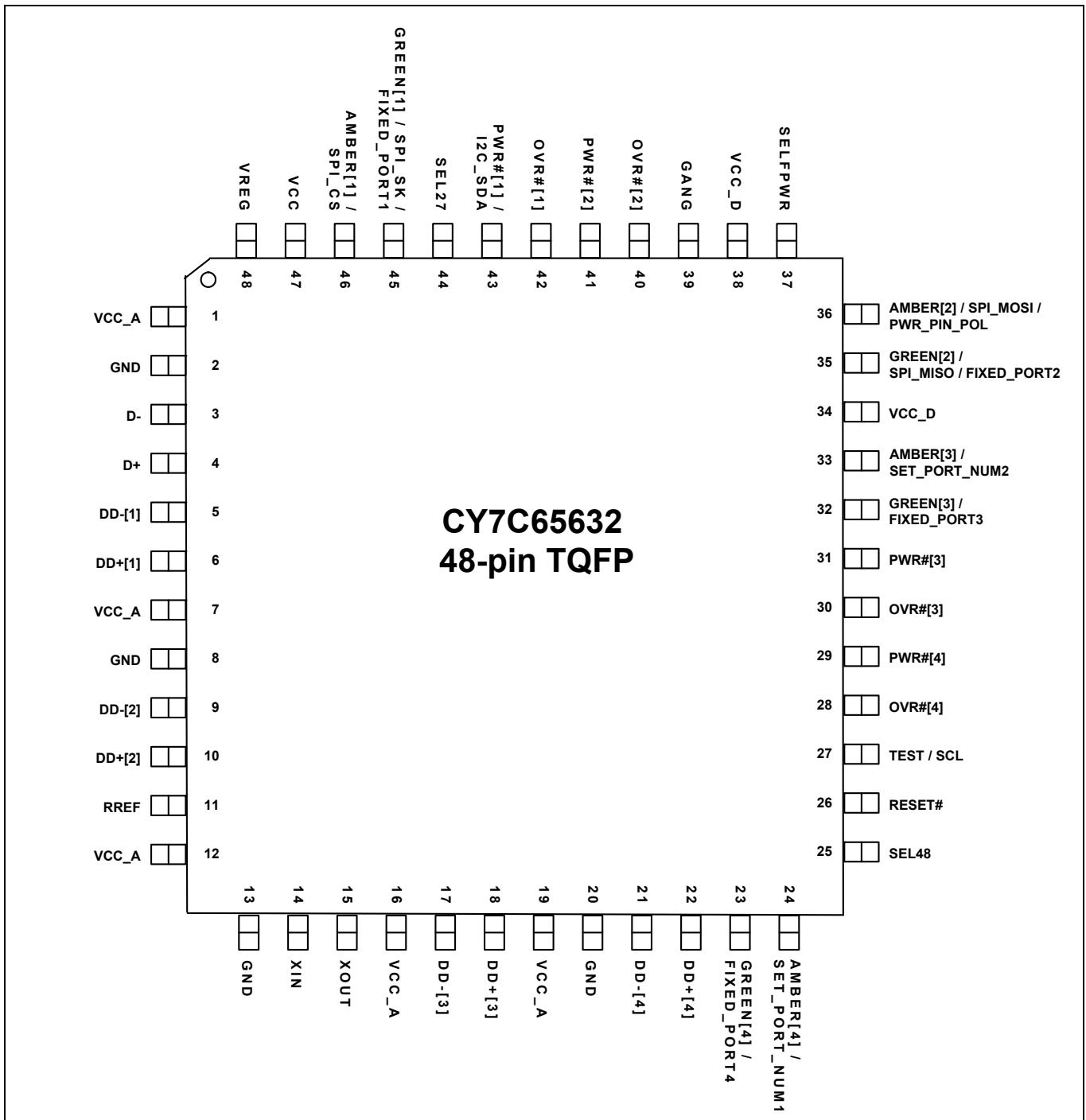


Figure 4 48 ピン TQFP (7 × 7 × 1.4 mm) ピン配置

## ピンコンフィギュレーション

## Two Port

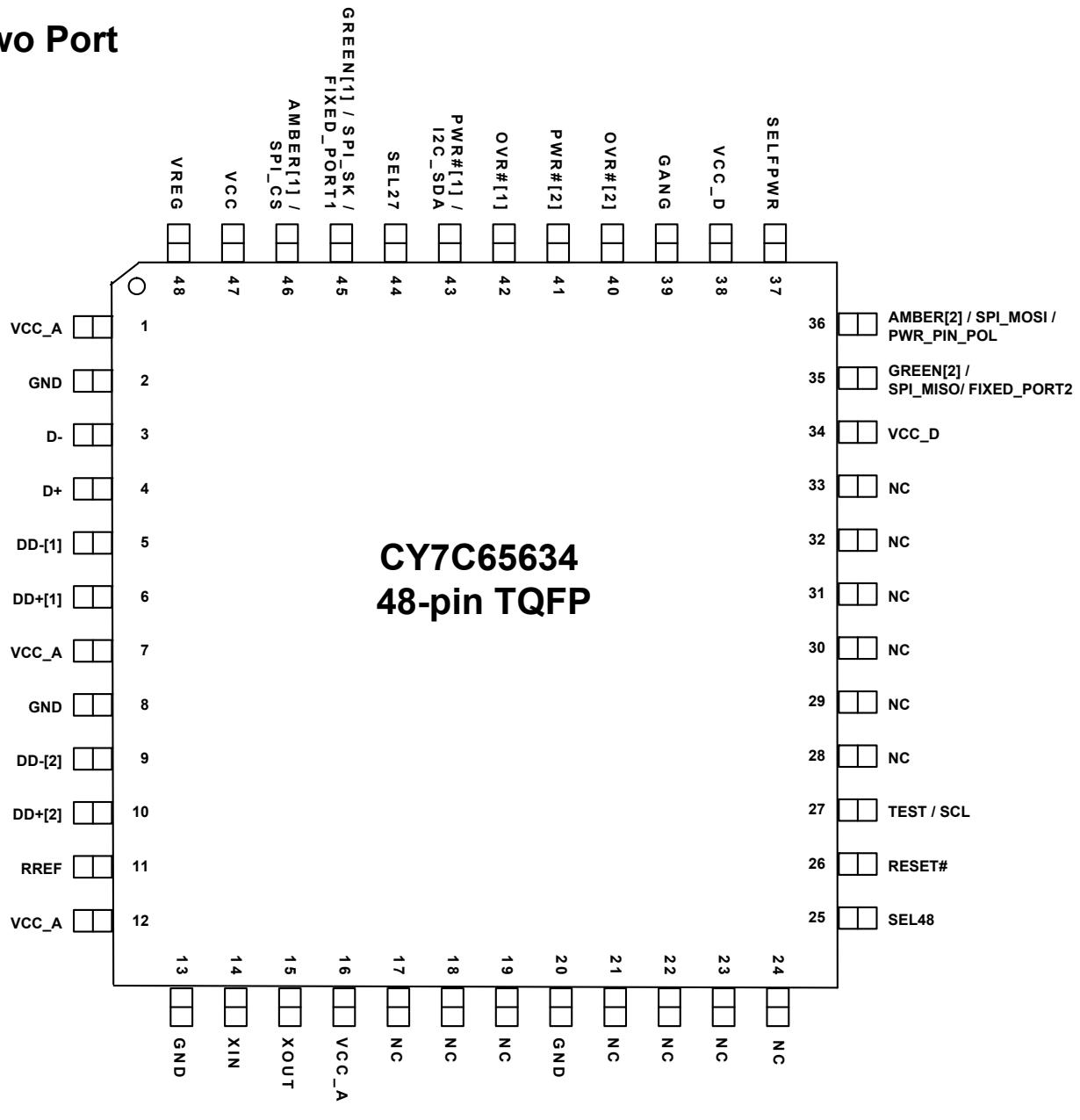


Figure 5 48 ピン TQFP (7 × 7 × 1.4 mm) ピン配置

## ピンコンフィギュレーション

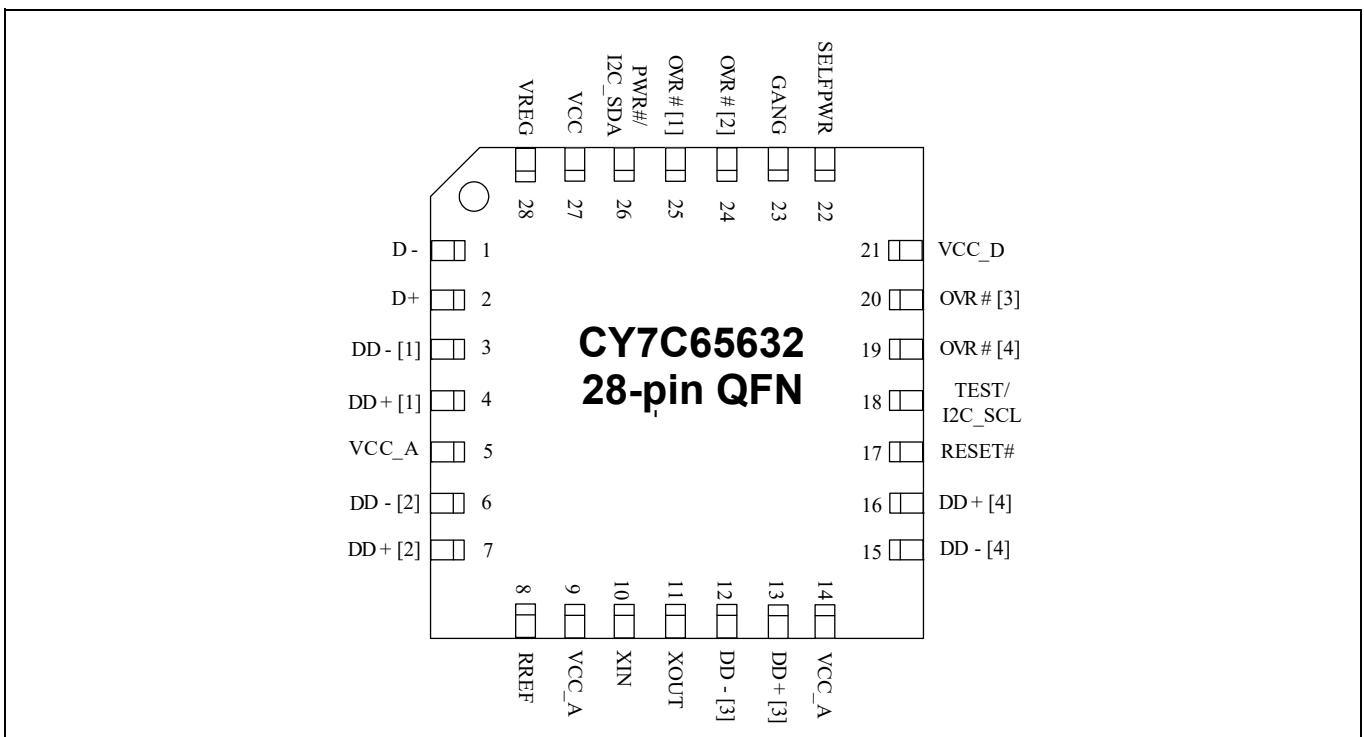


Figure 6 28 ピン QFN (5 × 5 × 0.8 mm) ピン配置

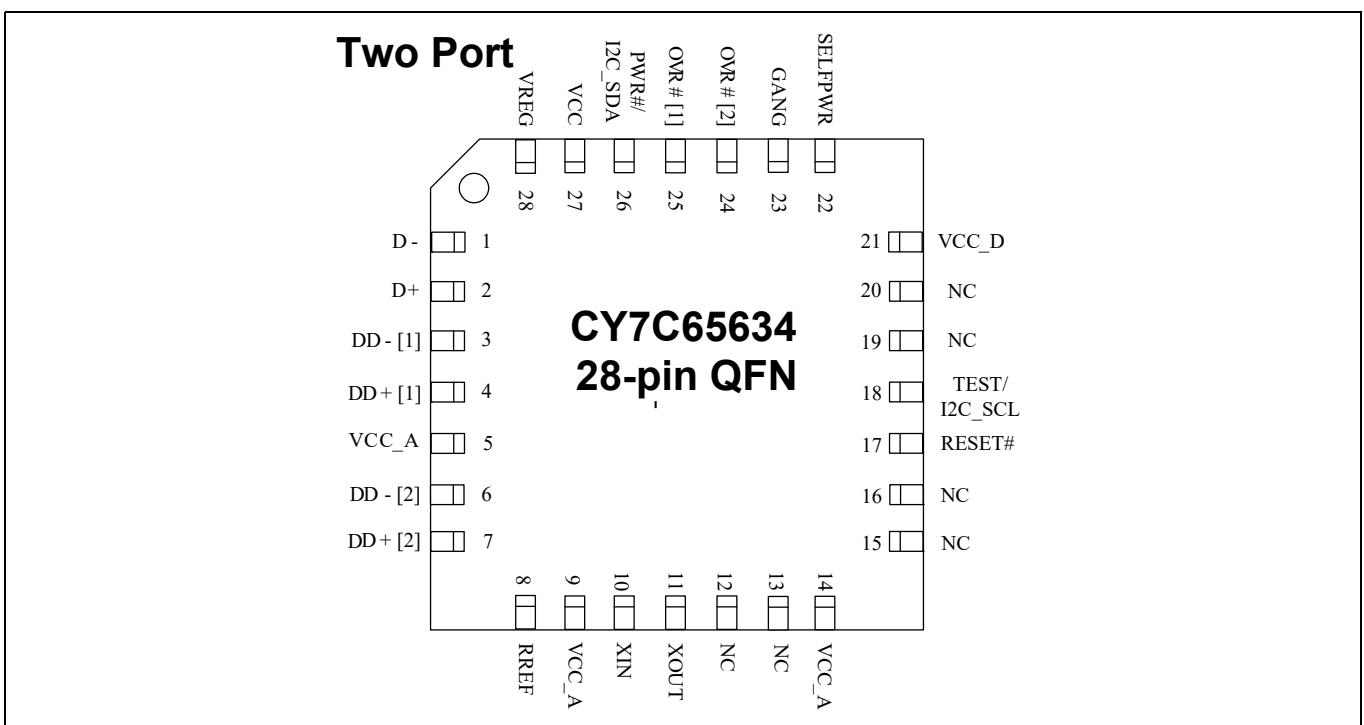


Figure 7 28 ピン QFN (5 × 5 × 0.8 mm) ピン配置

## ピン機能

## 7 ピン機能

Table 1 ピン機能

48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ <sup>[1]</sup>	説明
<b>電源とクロック</b>			
VCC_A	1	P	<b>V<sub>CC_A</sub></b> 。チップへの 3.3V アナログ電源。
VCC_A	7	P	<b>V<sub>CC_A</sub></b> 。チップへの 3.3V アナログ電源。
VCC_A	12	P	<b>V<sub>CC_A</sub></b> 。チップへの 3.3V アナログ電源。
VCC_A	16	P	<b>V<sub>CC_A</sub></b> 。チップへの 3.3V アナログ電源。
VCC_A	19	P	<b>V<sub>CC_A</sub></b> 。チップへの 3.3V アナログ電源 CY7C65634 では未接続。
VCC_D	34	P	<b>V<sub>CC_D</sub></b> 。チップへの 3.3V デジタル電源。
VCC_D	38	P	<b>V<sub>CC_D</sub></b> 。チップへの 3.3V デジタル電源。
VCC	47	P	<b>V<sub>CC</sub></b> 。内部レギュレータへの 5V 入力；外部レギュレータを使用する場合は未接続。
VREG	48	P	<b>V<sub>REG</sub></b> 。内部レギュレータを使用中は 5V から 3.3V レギュレータ出力；外部レギュレータを使用する場合は未接続。
GND	2	P	<b>GND</b> 。できる限り短いパスでグランドに接続。
GND	8	P	<b>GND</b> 。できる限り短いパスでグランドに接続。
GND	13	P	<b>GND</b> 。できる限り短いパスでグランドに接続。
GND	20	P	<b>GND</b> 。できる限り短いパスでグランドに接続。
XIN	14	I	12 MHz 水晶クロック入力、または 12/27/48 MHz クロック入力。
XOUT	15	O	12 MHz 水晶出力。
SEL48/SEL27	25 / 44	I	クロックソースの選択入力 00: 予約済み 01: 48 MHz 振動子入力 10: 27 MHz 振動子入力 11: 12 MHz 水晶または振動子入力
RESET#	26	I	アクティブ LOW リセット。外部リセット入力、デフォルトで 10kΩ HIGH にプルアップ；RESET = Low の場合、チップ全体を初期状態にリセット。
SELFPWR	37	I	自己給電。自己給電 / バス給電選択用の入力。0 の場合はバス給電、1 の場合は自己給電。

## 注

1. ピンタイプ : I = 入力, O = 出力, P = 電源 / グランド, Z = 高インピーダンス, R<sub>DN</sub> = パッド内部プルダウン抵抗, R<sub>UP</sub> = パッド内部プルアップ抵抗。
2. これらのピンの LED インジケータとしての代替機能は、ピンが論理 HIGH にストラップされている場合に利用できません。ただし、60ms のパワー オン リセット (POR) 後にこれらのピンが出力として再コンフィギュレーションされた時に、ピンを論理 HIGH から切断するように独立した回路が設計されている場合はこの限りではありません。

## ピン機能

**Table 1** ピン機能 (continued)

48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ <sup>[1]</sup>	説明
GANG	39	I/O	ギャング。デフォルトはパワーオンリセット後の入力モード。 <u>ギャング モード</u> : 入力が 1 の場合、出力は通常動作では 0, サスPENDでは 1 <u>個別モード</u> : 入力が 0 の場合、出力は通常動作では 1, サスPENDでは 0 詳細は、「ピン コンフィギュレーション オプション」節のギャング / 個別電源切り替えモードを参照。
RREF	11	I/O	649Ω の抵抗を RREF とグランドの間に接続することが必要。
<b>システム インターフェース</b>			
Test	27	I( $R_{DN}$ )	テストが 0 の場合は通常動作, 1 の場合はチップがテストモードに入る。
I2C_SCL		I/O( $R_{DN}$ )	<b>I2C_SCL</b> : I <sup>2</sup> C クロック ピンとして使用し、I <sup>2</sup> C EEPROM にアクセス可能。
<b>アップストリーム ポート</b>			
D-	3	I/O/Z	アップストリーム D- 信号。
D+	4	I/O/Z	アップストリーム D+ 信号。
<b>ダウンストリーム ポート 1</b>			
DD-[1]	5	I/O/Z	ダウンストリーム D- 信号。ポート 1 のダウンストリーム D- 信号。
DD+[1]	6	I/O/Z	ダウンストリーム D+ 信号。ポート 1 のダウンストリーム D+ 信号。
AMBER[1] <sup>[1, 2]</sup>	46	O( $R_{DN}$ )	<b>LED</b> 。アンバー LED 用のドライバ出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。
SPI_CS		O( $R_{DN}$ )	<b>SPI_CS</b> 。チップ選択として使用し、外部 SPI EEPROM にアクセス可能。
GREEN <sup>[1, 2]</sup>	45	O( $R_{DN}$ )	<b>LED</b> 。緑の LED 用のドライバ出力。ポート インジケータ サポート。デフォルトはアクティブ HIGH。
SPI_SK		O( $R_{DN}$ )	<b>SPI_SK</b> 。SPI クロックとして使用し、外部 SPI EEPROM にアクセス可能。
FIXED_PORT1		I( $R_{DN}$ )	<b>FIXED_PORT1</b> 。POR では、ポート 1 を取り外し不可ポートとして設定するために使用。「ピン コンフィギュレーション」節を参照。
OVR#[1]	42	I( $R_{UP}$ )	アクティブ LOW 過電流条件検出入力。ポート 1 の過電流条件検出入力。
PWR#[1]	43	O/Z	電源切り替えドライバ出力。デフォルトはアクティブ LOW。
I2C_SDA		I/O	<b>I2C_SDA</b> 。I <sup>2</sup> C データ ピンとして使用し、I <sup>2</sup> C EEPROM に接続可能。
<b>ダウンストリーム ポート 2</b>			
DD-[2]	9	I/O/Z	ダウンストリーム D- 信号。ポート 2 のダウンストリーム D- 信号。
DD+[2]	10	I/O/Z	ダウンストリーム D+ 信号。ポート 2 のダウンストリーム D+ 信号。

## 注

- ピン タイプ: I = 入力, O = 出力, P = 電源 / グランド, Z = 高インピーダンス,  $R_{DN}$  = パッド 内部 プルダウン 抵抗,  $R_{UP}$  = パッド 内部 プルアップ 抵抗。
- これらのピンの LED インジケータとしての代替機能は、ピンが論理 HIGH にストラップされている場合に利用できません。ただし、60ms のパワーオンリセット (POR) 後にこれらのピンが出力として再コンフィギュレーションされた時に、ピンを論理 HIGH から切断するように独立した回路が設計されている場合はこの限りではありません。

## ピン機能

**Table 1** ピン機能 (continued)

48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ <sup>[1]</sup>	説明
AMBER[2] <sup>[2]</sup>	36	O( $R_{DN}$ )	<b>LED</b> 。アンバー LED 用のドライバ出力。ポートインジケータサポート。デフォルトはアクティブ HIGH。
SPI_MOSI		O( $R_{DN}$ )	<b>SPI_MOSI</b> 。データ出力として使用し、外部 SPI EEPROM にアクセス可能。
PWR_PIN_POL		I( $R_{DN}$ )	<b>PWR_PIN_POL</b> 。電源切り替えイネーブルピンの極性設定に使用。「コンフィギュレーション」節を参照。
GREEN[2] <sup>[2]</sup>	35	O( $R_{DN}$ )	<b>LED</b> 。緑の LED 用のドライバ出力。ポートインジケータサポート。デフォルトはアクティブ HIGH。
SPI_MISO		I( $R_{DN}$ )	<b>SPI_MISO</b> 。データ入力として使用し、外部 SPI EEPROM にアクセス可能。
FIXED_PORT2		I( $R_{DN}$ )	<b>FIXED_PORT2</b> 。POR では、ポート 2 を取り外し不可ポートとして設定するために使用。「コンフィギュレーション」節を参照。
OVR#[2]	40	I( $R_{UP}$ )	アクティブ LOW 過電流条件検出入力。ポート 2 の過電流条件検出入力。
PWR#[2]	41	O/Z	電源切り替えドライバ出力。デフォルトはアクティブ LOW。

## ダウンストリーム ポート 3

DD-[3]	17	I/O/Z	ダウンストリーム D- 信号。CY7C65634 では未接続。
DD+[3]	18	I/O/Z	ダウンストリーム D+ 信号。CY7C65634 では未接続。
AMBER[3] <sup>[2]</sup>	33	O( $R_{DN}$ )	<b>LED</b> 。アンバー LED 用のドライバ出力。ポートインジケータサポート。デフォルトはアクティブ HIGH。
SET_PORT_NUM2		I( $R_{DN}$ )	<b>SET_PORT_NUM2</b> 。SET_PORT_NUM1 とともに、ポート番号の設定に使用。「ピンコンフィギュレーション」節を参照。CY7C65634 では未接続。
GREEN[3] <sup>[2]</sup>	32	O( $R_{DN}$ )	<b>LED</b> 。緑の LED 用のドライバ出力。ポートインジケータサポート。デフォルトはアクティブ HIGH。
FIXED_PORT3		I( $R_{DN}$ )	<b>FIXED_PORT3</b> 。POR では、ポート 3 を取り外し不可ポートとして設定するために使用。「ピンコンフィギュレーション」節を参照。CY7C65634 では未接続。
OVR#[3]	30	I( $R_{UP}$ )	アクティブ LOW 過電流条件検出入力。ポート 3 の過電流条件検出入力。CY7C65634 では未接続。
PWR#[3]	31	O/Z	電源切り替えドライバ出力。デフォルトはアクティブ LOW。CY7C65634 では未接続。

## ダウンストリーム ポート 4

DD-[4]	21	I/O/Z	ダウンストリーム D- 信号。CY7C65634 では未接続。
DD+[4]	22	I/O/Z	ダウンストリーム D+ 信号。CY7C65634 では未接続。

## 注

1. ピンタイプ : I = 入力, O = 出力, P = 電源 / グランド, Z = 高インピーダンス,  $R_{DN}$  = パッド内部プルダウン抵抗,  $R_{UP}$  = パッド内部プルアップ抵抗。
2. これらのピンの LED インジケータとしての代替機能は、ピンが論理 HIGH にストラップされている場合に利用できません。ただし、60ms のパワーオンリセット (POR) 後にこれらのピンが出力として再コンフィギュレーションされた時に、ピンを論理 HIGH から切断するように独立した回路が設計されている場合はこの限りではありません。

## ピン機能

**Table 1** ピン機能 (continued)

48 ピン TQFP パッケージ

ピン名	ピン番号	タイプ <sup>[1]</sup>	説明
AMBER[4] <sup>[2]</sup>	24	O( $R_{DN}$ )	<b>LED</b> 。アンバー LED 用のドライバ出力。ポートインジケータ サポート。デフォルトはアクティブ HIGH。
SET_PORT_NUM1		I( $R_{DN}$ )	<b>SET_PORT_NUM1</b> 。SET_PORT_NUM2 とともに、ポート番号の設定に使用。「コンフィギュレーション」節を参照。CY7C65634 では未接続。
GREEN[4] <sup>[2]</sup>	23	O( $R_{DN}$ )	<b>LED</b> 。緑の LED 用のドライバ出力。ポートインジケータ サポート。デフォルトはアクティブ HIGH。
FIXED_PORT4		I( $R_{DN}$ )	<b>FIXED_PORT4</b> 。POR では、ポート 4 を取り外し不可ポートとして設定するために使用。「コンフィギュレーション」節を参照。CY7C65634 では未接続。
OVR#[4]	28	I( $R_{UP}$ )	アクティブ LOW 過電流条件検出入力。ポート 4 の過電流条件検出入力。CY7C65634 では未接続
PWR#[4]	29	O/Z	電源切り替えドライバ出力。デフォルトはアクティブ LOW。CY7C65634 では未接続

## 注

1. ピンタイプ: I=入力, O=出力, P=電源 / グランド, Z=高インピーダンス,  $R_{DN}$ =パッド内部ブルダウン抵抗,  $R_{UP}$ =パッド内部ブルアップ抵抗。
2. これらのピンの LED インジケータとしての代替機能は、ピンが論理 HIGH にストラップされている場合に利用できません。ただし、60ms のパワーオンリセット (POR) 後にこれらのピンが出力として再コンフィギュレーションされた時に、ピンを論理 HIGH から切断するように独立した回路が設計されている場合はこの限りではありません。

## ピン機能

## 8 ピン機能

Table 2 ピン機能

28 ピン QFN パッケージ

ピン名	ピン番号	タイプ <sup>[3]</sup>	説明
<b>電源とクロック</b>			
VCC_A	5	P	<b>V<sub>CC_A</sub></b> 。チップへの 3.3V アナログ電源。
VCC_A	9	P	<b>V<sub>CC_A</sub></b> 。チップへの 3.3V アナログ電源。
VCC_A	14	P	<b>V<sub>CC_A</sub></b> 。チップへの 3.3V アナログ電源。
VCC_D	21	P	<b>V<sub>CC_D</sub></b> 。チップへの 3.3V デジタル電源。
VCC	27	P	<b>V<sub>CC</sub></b> 。内部レギュレータへの 5V 入力；外部レギュレータを使用する場合は未接続。
VREG	28	P	<b>V<sub>CC</sub></b> 。内部レギュレータを使用中は 5V から 3.3V レギュレータ出力；外部レギュレータを使用する場合は 3.3V 入力。
XIN	10	I	12MHz 水晶クロック入力、または 12MHz クロック入力。
XOUT	11	O	12 MHz 水晶出力。
RESET#	17	I	アクティブ LOW リセット。外部リセット入力、デフォルトで 10 kΩ で HIGH にプルアップ : RESET = LOW の場合、チップ全体を初期状態にリセット。
SELFPWR	22	I	自己給電。自己給電 / バス給電選択用の入力。0 の場合はバス給電、1 の場合は自己給電。
GANG <sup>[4]</sup>	23	I/O	ギャング。デフォルトはパワーオンリセット後の入力モード。 <u>ギャングモード</u> ：入力が 1 の場合、出力は通常動作では 0、サスペンションでは 1。 <u>個別モード</u> ：入力が 0 の場合、出力は通常動作では 1、サスペンションでは 0。 詳細は、「ピンコンフィギュレーションオプション」節のギャング / 個別電源切り替えモードを参照。
RREF	8	I/O	649 Ω の抵抗を RREF とグランドの間に接続することが必要。

## システムインターフェース

Test	18	I(R <sub>DN</sub> )	テストが 0 の場合は通常動作、1 の場合はチップがテストモードに入る。
I2C_SCL		I/O(R <sub>DN</sub> )	<b>I2C_SCL</b> ：I <sup>2</sup> C クロックピン。
PWR# <sup>[5]</sup>	26	I/O	電源切り替えドライバ出力。デフォルトはアクティブ LOW。
I2C_SDA		I/O	<b>I2C_SDA</b> ：I <sup>2</sup> C データピン。

## 注

3. ピンタイプ : I = 入力, O = 出力, P = 電源 / グランド, Z = 高インピーダンス, R<sub>DN</sub> = パッド内部プルダウン抵抗, R<sub>UP</sub> = パッド内部プルアップ抵抗。
4. ギャングモードでは、OVR#1 (ピン 25) のみが有効になります。
5. PWR#/I2C\_SDA は、PWR# または I2C\_SDA のいずれかとして使用できますが、その両方としては使用できません。EEPROM が接続されている場合、ピンは SDA として機能し、(48 ピン TQFP パッケージと違つて) PWR# モードには切り替わりません。

## ピン機能

**Table 2** ピン機能 (continued)

28 ピン QFN パッケージ

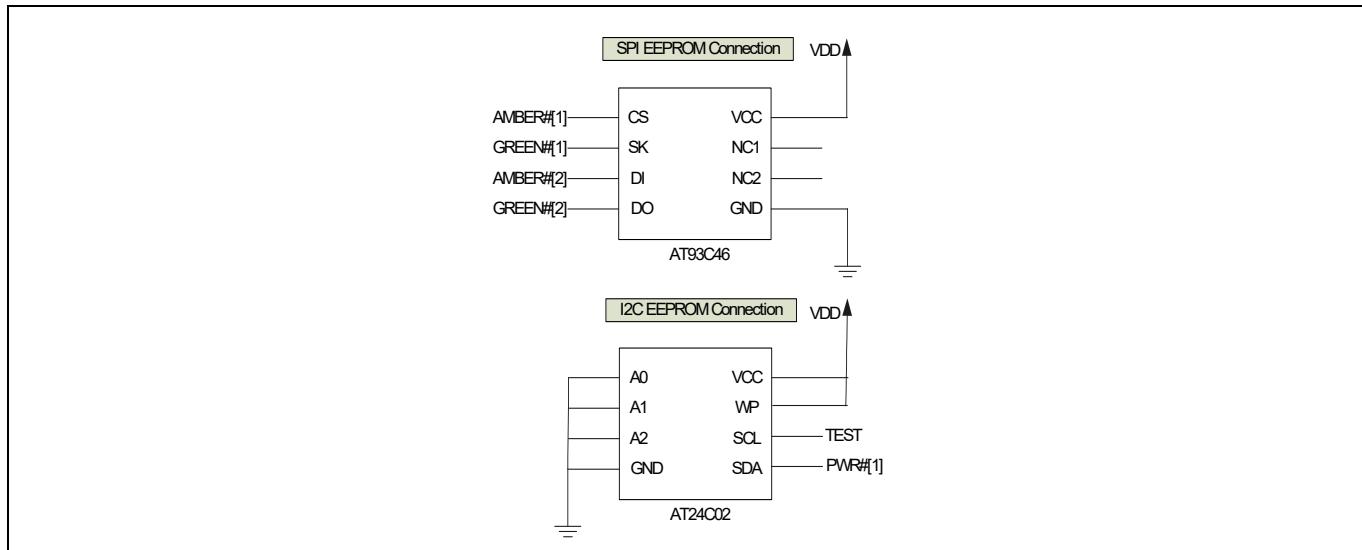
ピン名	ピン番号	タイプ <sup>[3]</sup>	説明
<b>アップストリーム ポート</b>			
D-	1	I/O/Z	アップストリーム D- 信号。
D+	2	I/O/Z	アップストリーム D+ 信号。
<b>ダウンストリーム ポート 1</b>			
DD-[1]	3	I/O/Z	ダウンストリーム D- 信号。
DD+[1]	4	I/O/Z	ダウンストリーム D+ 信号。
OVR#[1]	25	I(R <sub>UP</sub> )	アクティブ LOW 過電流条件検出入力。ポート 1 の過電流条件検出入力。ギヤングモードでは、OVR # [1] (ピン 25) のみが有効になります。ギヤングモードでは、OVR # [2] (ピン 24), OVR # [3] (ピン 20) および OVR # [4] (ピン 19) は無効になります。
<b>ダウンストリーム ポート 2</b>			
DD-[2]	6	I/O/Z	ダウンストリーム D- 信号。
DD+[2]	7	I/O/Z	ダウンストリーム D+ 信号。
OVR#[2]	24	I(R <sub>UP</sub> )	アクティブ LOW 過電流条件検出入力。ポート 2 の過電流条件検出入力。ギヤングモードでは、OVR # [1] (ピン 25) のみが有効になります。ギヤングモードでは、このピン (OVR # [2]) は無効になります。
<b>ダウンストリーム ポート 3</b>			
DD-[3]	12	I/O/Z	ダウンストリーム D- 信号。CY7C65634 では未接続。
DD+[3]	13	I/O/Z	ダウンストリーム D+ 信号。CY7C65634 では未接続。
OVR#[3]	20	I(R <sub>UP</sub> )	過電流条件検出入力。デフォルトはアクティブ LOW。CY7C65634 では未接続。ギヤングモードでは、OVR # [1] (ピン 25) のみが有効になります。ギヤングモードでは、このピン (OVR # [3]) は無効になります。
<b>ダウンストリーム ポート 4</b>			
DD-[4]	15	I/O/Z	ダウンストリーム D- 信号。CY7C65634 では未接続。
DD+[4]	16	I/O/Z	ダウンストリーム D+ 信号。CY7C65634 では未接続。
OVR#[4]	19	I(R <sub>UP</sub> )	過電流条件検出入力。ギヤングモードでは、OVR # [1] (ピン 25) のみが有効になります。ギヤングモードでは、このピン (OVR # [4]) は無効になります。
GND	PAD	P	チップ用のグランドピン。これはチップの下にある、はんだ付け可能なエクスポートドパッド。 <a href="#">Figure 12</a> を参照

## 注

3. ピンタイプ:I=入力, O=出力, P=電源 / グランド, Z=高インピーダンス, R<sub>DN</sub>=パッド内部プルダウン抵抗, R<sub>UP</sub>=パッド内部プルアップ抵抗。
4. ギヤングモードでは、OVR#1 (ピン 25) のみが有効になります。
5. PWR#/I2C\_SDA は、PWR# または I2C\_SDA のいずれかとして使用できますが、その両方としては使用できません。EEPROM が接続されている場合、ピンは SDA として機能し、(48 ピン TQFP パッケージと違つて) PWR# モードには切り替わりません。

## 9 EEPROM コンフィギュレーションオプション

CY7C6563X を使用するシステムでは、デフォルトのディスクリプタを使ってハブをコンフィギュレーションするオプションがあります。そうでない場合、デバイスが固有の VID と PID を設定するために、外付け EEPROM を使用する必要があります。CY7C6563X は、93C46 のような SPI (マイクロワイヤ) EEPROM、または 24C02 のような I<sup>2</sup>C EEPROM と通信可能です。EEPROM 接続の例を [Figure 8](#) に示します。



**Figure 8** EEPROM 接続

注: 28 ピン QFN パッケージは、ATMEL/24C02N\_SU27 D, MICROCHIP/4LC028 SN0509, SEIKO/S24CS02AVH9 などの I<sup>2</sup>C EEPROM のみをサポートします。48 ピン TQFP パッケージには、I<sup>2</sup>C と SPI EEPROM の両方の接続オプションが含まれています。この場合、ユーザーは、EEPROM と通信する時に、SPI 接続または I<sup>2</sup>C 接続のいずれかを使用できます。48 ピンパッケージは、前述のファミリに加えて、ATMEL/AT93C46DN-SH-T もサポートしています。HX2VL は SPI EEPROM から読み出しのみができます。このため、EEPROM のフィールドプログラミングは I<sup>2</sup>C EEPROM でのみサポートされています。

CY7C6563X は、パワーオン リセットの後にチェック サムを確認し、有効の場合は EEPROM からコンフィギュレーションを読み込みます。このコンフィギュレーションが上書きされることを防ぐために、SPI EEPROM が存在する場合は AMBER[1] を無効にします。

**Table 3 EEPROM コンフィギュレーションオプション**

バイト	値
00h	VID_LSB
01h	VID_MSB
02h	PID_LSB
03h	PID_MSB
04h	ChkSum
05h	予約済み - FEh
06h	取り外し可能ポート
07h	ポート番号
08h	最大出力
09h ~ 0Fh	予約済み - FFh
10h	ベンダ文字列長さ
11h ~ 3Fh	ベンダ文字列 (ASCII コード )
40h	製品文字列長さ
41h ~ 6Fh	製品文字列 (ASCII コード )
70h	シリアル番号長さ
71h ~ 80h 以降	シリアル番号文字列

初期設定では VID は 0x4B4, PID は 0x6570 です。

#### バイト 0: VID (LSB)

ベンダ ID の最下位バイト

#### バイト 1: VID (MSB)

ベンダ ID の最上位バイト

#### バイト 2: PID (LSB)

製品 ID の最下位バイト

#### バイト 3: PID (MSB)

製品 ID の最上位バイト

#### バイト 4: ChkSum

CY7C6563X は、ChkSum が VID\_LSB + VID\_MSB + PID\_LSB + PID\_MSB + 1 の値に等しくない場合、EEPROM 設定を無視します。

#### バイト 5: 予約済み

FEh に設定

#### バイト 6: RemovablePorts

RemovablePorts[4:1] は、該当するダウンストリーム ポートに接続されているデバイスが取り外し可能 (0 に設定) であるか、または取り外し不可 (1 に設定) であるかを示すビットです。ビット 1 はポート 1, ビット 2 はポート 2, ... などのように対応します。デフォルト値は 0 です (取り外し可能)。これらのビット値は、HubDescriptor: DeviceRemovable フィールドで適切に報告されます。

ビット 0, 5, 6, 7 は 0 に設定されます。

---

## EEPROM コンフィギュレーションオプション

### バイト 7: ポート番号

ポート番号は、ダウンストリーム ポートの数を示します。値は 1～4 である必要があります。デフォルト値は 4 です。

### バイト 8: 最大出力

この値は、Configuration Descriptor: bMax-Power フィールドで報告され、ハブのアップストリーム側から要求される 2mA 単位でインクリメントする電流です。許容範囲は 00 (0mA) ~ FAh (500mA) です。デフォルト値は 32h (100 mA) です。

### バイト 9-15: 予約済み

FFh に設定

### バイト 16: ベンダ文字列長さ

ベンダ文字列の長さ

### バイト 17-63: ベンダ文字列

ベンダ文字列の値

### バイト 64: 製品文字列長さ

製品文字列の長さ

### バイト 65-111: 製品文字列

製品文字列の値

### バイト 112: シリアル番号長さ

シリアル番号の長さ

### バイト 113 onwards: シリアル番号文字列

シリアル番号文字列

## ピンコンフィギュレーションオプション

# 10 ピンコンフィギュレーションオプション

## 10.1 パワーオンリセット

パワーオンリセットは外部リセットまたは内部回路によりトリガーされます。内部リセットは、チップ内部のコア電源 ( $3.3V \pm 10\%$ ) に対して電源が不安定な状態になった場合に開始されます。内部リセットは、電源がパワーグッド電圧 ( $2.5V \sim 2.8V$ ) に達した後に、 $2.7\mu s \pm 1.2\%$  で解除されます。外部リセットピンは、図で示すようにアップストリーム側の VBUS で電圧レベル ( $5V$ ) を連続的に検知します。USB の差し込み / 抜き出し、または電圧降下イベントが生じた場合、外部リセットはトリガーされます。このリセットトリガーは、抵抗  $R1$  と  $R2$  を使用してコンフィギュレーションできます。インフィニオンは、外部リセット回路に適用されるリセット時間は、内部リセット時間よりも長くするよう推奨しています。

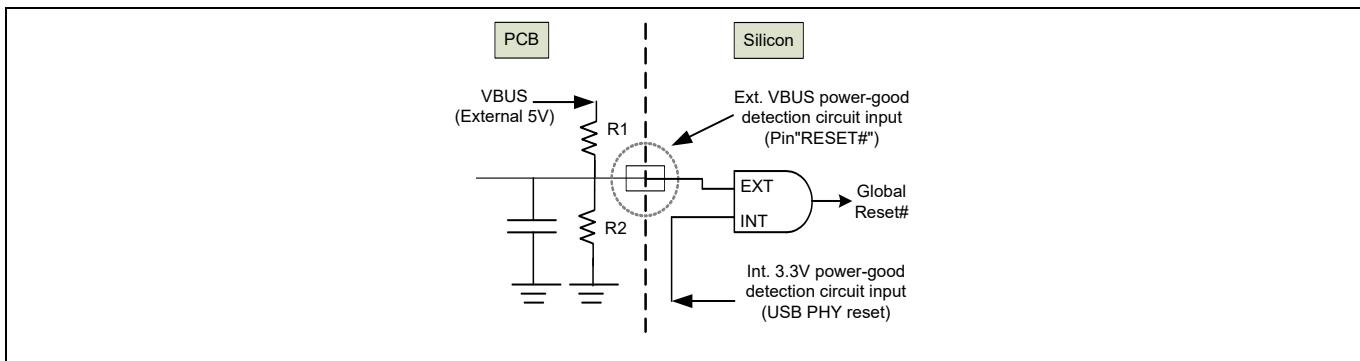


Figure 9 パワーオンリセット回路

## 10.2 ギヤング / 個別電源切り替えモード

単一のピンを使用し、個別 / ギヤングモードを設定し、suspend フラグを出力します。これにより、ピン数を減らせます。個別またはギヤングモードは、パワーオンリセット後の  $20\mu s$  以内に決定されます。そのセットアップ時間は  $1\text{ ns}$  です。リセットしてから  $50 \sim 60\text{ ms}$  後に、このピンは出力モードに変更します。CY7C6563X は完全に一時停止されると、一時停止フラグを出力します。個別モードでは  $100\text{K}$  よりも大きなプルダウン抵抗が、ギヤングモードでは  $100\text{K}$  よりも大きなプルアップ抵抗が必要です。下図はsuspend LED インジケータの回路図を示します。LED の極性に従う必要があります。そうしないと、suspend 電流は仕様限度 ( $2.5\text{ mA}$ ) を超えてしまいます。

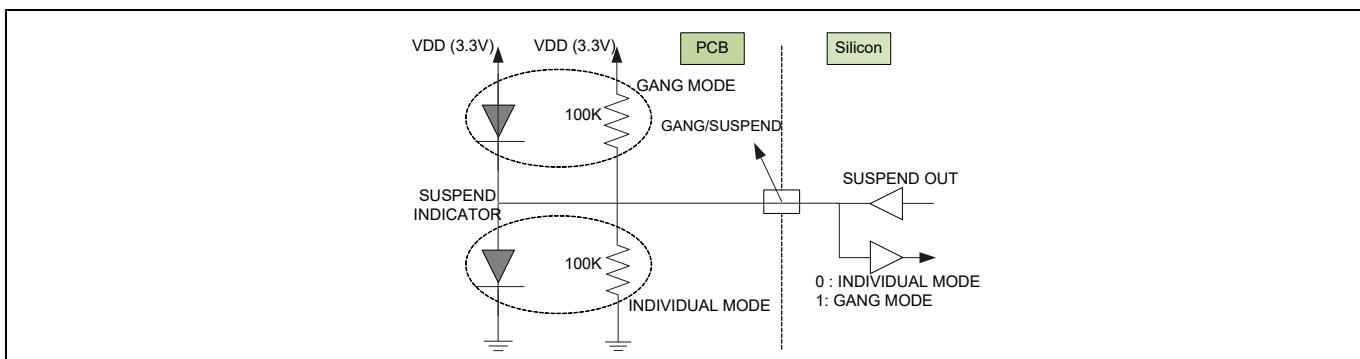


Figure 10 電源切り替えモード

## ピンコンフィギュレーションオプション

**Table 4 48 ピンと 28 ピン パッケージで対応する機能**

対応機能	48 ピン	28 ピン
ポート番号コンフィギュレーション	有	無
取り外し不可ポートコンフィギュレーション	有	無
リファレンスクロックコンフィギュレーション	有	無
電源切り替えイネーブル極性	有	無
LED インジケータ	有	無

**10.3 電源切り替えイネーブル ピンの極性**

ピンの極性は、PWR\_PIN\_POL ピンを 1 にストラッピングすることでアクティブ HIGH に、PWR\_PIN\_POL ピンを 0 にストラッピングすることでアクティブ LOW に設定されます。したがって、両方の電源切り替えに対応します。この機能は、28 ピン QFN パッケージではサポートされません。

**10.4 ポート番号コンフィギュレーション**

EEPROM コンフィギュレーションに加えて、前述のとおりに、2/3/4 ポートのハブコンフィギュレーションについても、下表で示すように SET\_PORT\_NUM1 と SET\_PORT\_NUM2 のピンストラッピングを使用してサポートされます。ピンストラッピングオプションは 28 ピン QFN パッケージではサポートされません。

**Table 5 ピンストラップを使用したポート番号コンフィギュレーション**

SET_PORT_NUM2	SET_PORT_NUM1	ポート数
1	1	1(ポート 1)
1	0	2(ポート 1/2)
0	1	3(ポート 1/2/3)
0	0	4(すべてのポート)

**10.5 取り外し不可ポートのコンフィギュレーション**

組込みシステムにおいて、パワー オンリセットの前に、該当する FIXED\_PORT# ピン 1 ~ 4 をストラッピングすることにより、システム内部で常に接続するダウンストリーム ポートを取り外し不可ポート(常時接続)として設定できます。POR 時に、ピンが HIGH にプルアップされた場合、該当するポートは取り外し不可ポートに設定されます。これは 28 ピン QFN パッケージではサポートされません。

**10.6 リファレンスクロックコンフィギュレーション**

このハブは、オプションの 27/48MHz クロックソースをサポートできます。オンボード 27/48MHz クロックが存在する場合、システムインテグレータはこの機能を使用し、外部水晶を除去することで BOM コストをさらに削減できます。これを実行するためには、以下に示す GPIO ピンコンフィギュレーションを使用します。これは 28 ピン QFN パッケージではサポートされません。

**Table 6 リファレンスクロックオプション**

SEL48	SEL27	クロックソース
0	1	48 MHz 振動子入力
1	0	27 MHz 振動子入力
1	1	12 MHz 水晶 / 振動子入力

絶対最大定格

## 11 絶対最大定格

最大定格を超えると、デバイスの寿命が短くなる可能性があります。ユーザー ガイドラインは試験されていません。

**Table 7 絶対最大定格**

パラメーター	定格
保存温度	-55°C ~ +100°C
周囲温度	0°C ~ +70°C
グランド電位への 5 V 電源電圧	-0.5 V ~ +6.0 V
グランド電位への 3.3 V 電源電圧	-0.5 V ~ +3.6 V
オープンドレイン入力ピンでの電圧 (OVR#1-4, SELFPWR, RESET#)	-0.5 V ~ +5.5 V
デジタル I/O の 3.3 V 入力電圧	-0.5 V ~ +3.6 V
FOSC ( 振動子または水晶周波数 )	12 MHz ± 0.05%

## 動作条件

## 12 動作条件

Table 8 動作条件

パラメーター	条件
周囲温度	0°C ~ +70°C
周囲最大接合部温度	0°C ~ +125°C
グランド電位への 5V 電源電圧	4.75 V ~ +5.25 V
グランド電位への 3.3V 電源電圧	3.15 V ~ +3.6 V
USB 信号ピンの入力電圧	0.5 V ~ +3.6 V
オープンドレイン入力ピンでの電圧	-0.5 V ~ +5.0 V
温度特性 48 ピン TQFP	78.7 °C/W
温度特性 28 ピン QFN	33.3 °C/W

電気的特性

## 13 電気的特性

### 13.1 DC 電気的特性

Table 9 DC 電気的特性

パラメーター	説明	条件	Min	Typ	Max		単位
					外部レギュレータ	内部レギュレータ	
$P_D$	電力損失	USB 信号を除く	366.5	-	426.5		mW
$V_{IH}$	入力 HIGH 電圧	-	2	-	-		V
$V_{IL}$	入力 LOW 電圧	-	-	-	0.8		
$I_I$	入力リーケ電流	フルスピード / ロースピード ( $0 < V_{IN} < V_{CC}$ )	-10	-	+10		$\mu A$
		ハイスピード モード ( $0 < V_{IN} < V_{CC}$ )	-5	0	+5		
$V_{OH}$	出力 HIGH 電圧	$I_{OH} = 8 \text{ mA}$	2.4	-	-		V
$V_{OL}$	出力 LOW 電圧	$I_{OL} = 8 \text{ mA}$	-	-	0.4		
$R_{DN}$	パッド内部プルダウン抵抗	-	29	59	135		$K\Omega$
$R_{UP}$	パッド内部プルアップ抵抗	-	80	108	140		
$C_{IN}$	入力ピン静電容量	フルスピード / ロースピード モード	-	-	20		$pF$
		ハイスピード モード	4	4.5	5		
$I_{SUSP}$	サスPEND電流	-	-	0.786	1.043	1.3	mA

## 注

6. 電流の測定は、エニュメレーションされた外付けデバイスにより実行されます。
7. 外付けデバイスがありません。

## 電気的特性

Table 9 DC 電気的特性 (continued)

パラメーター	説明	条件	Min	Typ	Max		単位
					外部レギュレータ	内部レギュレータ	
$I_{CC}$	供給電流	4 アクティブポート <sup>[6]</sup>	フルスピード ホスト, フルスピード デバイス	-	88.7	103.9	105.4
			ハイスピード ホスト, ハイスピード デバイス	-	81.9	88.2	89.3
			ハイスピード ホスト, フルスピード デバイス	-	88.2	101.2	102.3
		3 アクティブポート	フルスピード ホスト, フルスピード デバイス	-	79.1	91.6	93
			ハイスピード ホスト, ハイスピード デバイス	-	72.9	78.5	78.6
			ハイスピード ホスト, フルスピード デバイス	-	75.9	88.7	88.8
		2 アクティブポート	フルスピード ホスト, フルスピード デバイス	-	68.1	78.4	78.6
			ハイスピード ホスト, ハイスピード デバイス	-	61.9	67.6	69.6
			ハイスピード ホスト, フルスピード デバイス	-	64.9	75.4	76.1
		1 アクティブポート	フルスピード ホスト, フルスピード デバイス	-	57.1	66.3	66.7
			ハイスピード ホスト, ハイスピード デバイス	-	51.9	57.6	59.3
			ハイスピード ホスト, フルスピード デバイス	-	54.7	61.1	62.5
		アクティブポートなし <sup>[7]</sup>	フルスピード ホスト	-	42.8	48.9	50.3
			ハイスピード ホスト	-	44.2	49.1	50.6

## 注

6. 電流の測定は、エニュメレーションされた外付けデバイスにより実行されます。  
 7. 外付けデバイスがありません。

## 電気的特性

### 13.2 AC 電気的特性

USB トランシーバーは、ロースピード、フルスピード、ハイスピード モードで USB 2.0 認証を取得しています。

アップストリーム USB トランシーバーと 4つすべてのダウンストリーム トランシーバーは、いずれも USB-IF USB 2.0 電気認可試験に合格しています。

48 ピン TQFP パッケージは、I<sup>2</sup>C または SPI のいずれかを使用して、EEPROM への通信をサポートしています。28 ピン QFN パッケージは、EEPROM への I<sup>2</sup>C 通信のみをサポートしています。

EEPROM とのこれらの 2つのインターフェースの AC 特性を、下表にまとめます。

**Table 10 SPI EEPROM インターフェースの AC 特性**

パラメーター	説明	Min	Typ	Max	単位
$t_{CSS}$	CS セットアップ時間	3.0	–	–	μs
$t_{CSH}$	CS ホールド時間	3.0	–	–	
$t_{SKH}$	SK HIGH 時間	1.0	–	–	
$t_{SKL}$	SK LOW 時間	2.2	–	–	
$t_{DIS}$	DI セットアップ時間	1.8	–	–	
$t_{DIH}$	DI ホールド時間	2.4	–	–	
$t_{PD1}$	「1」までの出力遅延時間	–	–	1.8	
$t_{PD0}$	「0」までの出力遅延時間	–	–	1.8	

**Table 11 I<sup>2</sup>C EEPROM インターフェースの AC 特性**

パラメーター	説明	1.8 V ~ 5.5 V		2.5 V ~ 5.5 V		単位
		Min	Max	Min	Max	
$f_{SCL}$	SCL クロック周波数	0.0	100	0.0	400	kHz
$t_{LOW}$	クロック LOW 期間	4.7	–	1.2	–	
$t_{HIGH}$	クロック HIGH 期間	4.0	–	0.6	–	
$t_{SU:STA}$	START 条件セットアップ時間	4.7	–	0.6	–	
$t_{SU:STO}$	STOP 条件セットアップ時間	4.7	–	0.6	–	
$t_{HD:STA}$	START 条件ホールド時間	4.0	–	0.6	–	
$t_{HD:STO}$	STOP 条件ホールド時間	4.0	–	0.6	–	
$t_{SU:DAT}$	データ入力セットアップ時間	200.0	–	100.0	–	
$t_{HD:DAT}$	データ入力ホールド時間	0	–	0	–	ns
$t_{DH}$	データ出力ホールド時間	100	–	50	–	
$t_{AA}$	クロックから出力までの時間	0.1	4.5	0.1	–	
$t_{WR}$	書き込みサイクル時間	–	10	–	5	ns

---

熱抵抗

## 14 热抵抗

Table 12 热抵抗

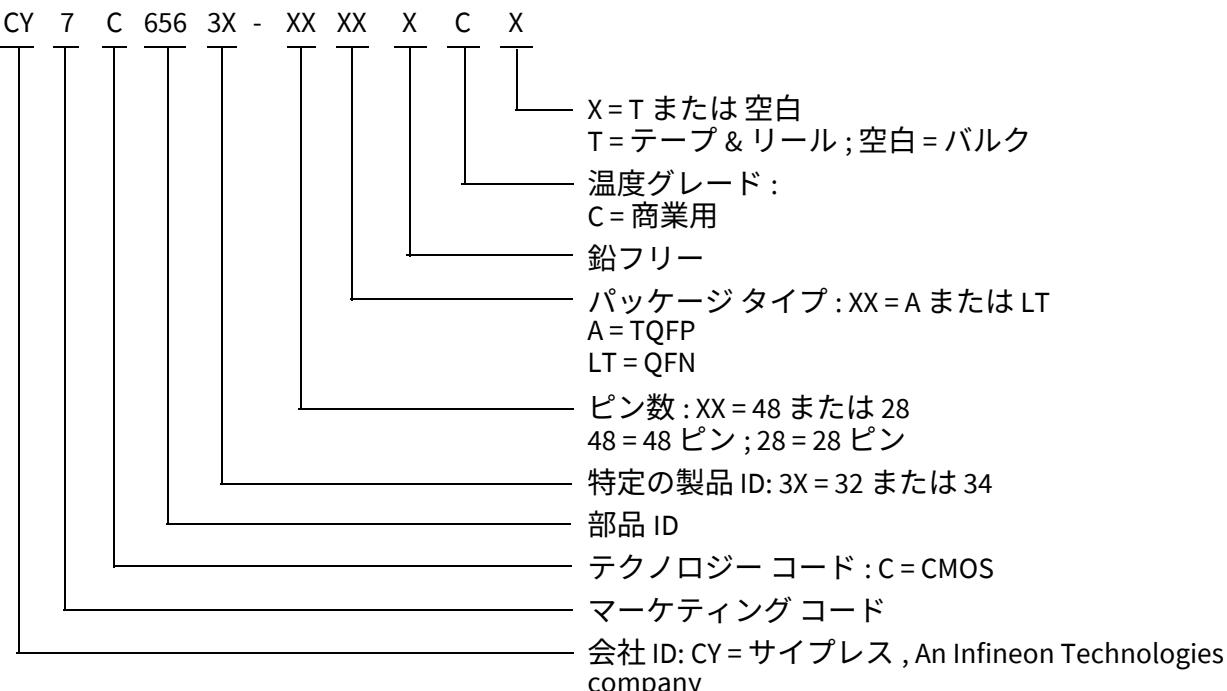
パラメーター	説明	48 ピン TQFP パッケージ	28 ピン QFN パッケージ	単位
$\Theta_{JA}$	熱抵抗 (接合部から周囲へ)	78.7	33.3	°C/W
$\Theta_{JC}$	熱抵抗 (接合部からケースへ)	35.3	18.4	

## 15 注文情報

**Table 13** 注文情報

注文コード	デバイス	パッケージタイプ
CY7C65632-48AXC	4 ポートシングル TT ハブ (GPIO と EEPROM でコンフィギュレーション可能)	48 ピン TQFP バルク
CY7C65632-28LTXC	4 ポートシングル TT ハブ (GPIO と EEPROM でコンフィギュレーション可能)	28 ピン QFN バルク
CY7C65632-48AXCT	4 ポートシングル TT ハブ (GPIO と EEPROM でコンフィギュレーション可能)	48 ピン TQFP テープ & リール
CY7C65632-28LTXCT	4 ポートシングル TT ハブ (GPIO と EEPROM でコンフィギュレーション可能)	28 ピン QFN テープ & リール
CY7C65634-48AXC	2 ポートシングル TT ハブ (GPIO と EEPROM でコンフィギュレーション可能)	48 ピン TQFP バルク
CY7C65634-28LTXC	2 ポートシングル TT ハブ (GPIO と EEPROM でコンフィギュレーション可能)	28 ピン QFN バルク
CY7C65634-48AXCT	2 ポートシングル TT ハブ (GPIO と EEPROM でコンフィギュレーション可能)	48 ピン TQFP テープ & リール
CY7C65634-28LTXCT	2 ポートシングル TT ハブ (GPIO と EEPROM でコンフィギュレーション可能)	28 ピン QFN テープ & リール

### 15.1 注文コードの定義



## パッケージ図

## 16 パッケージ図

CY7C65632, CY7C65634 は以下のパッケージで提供可能です。

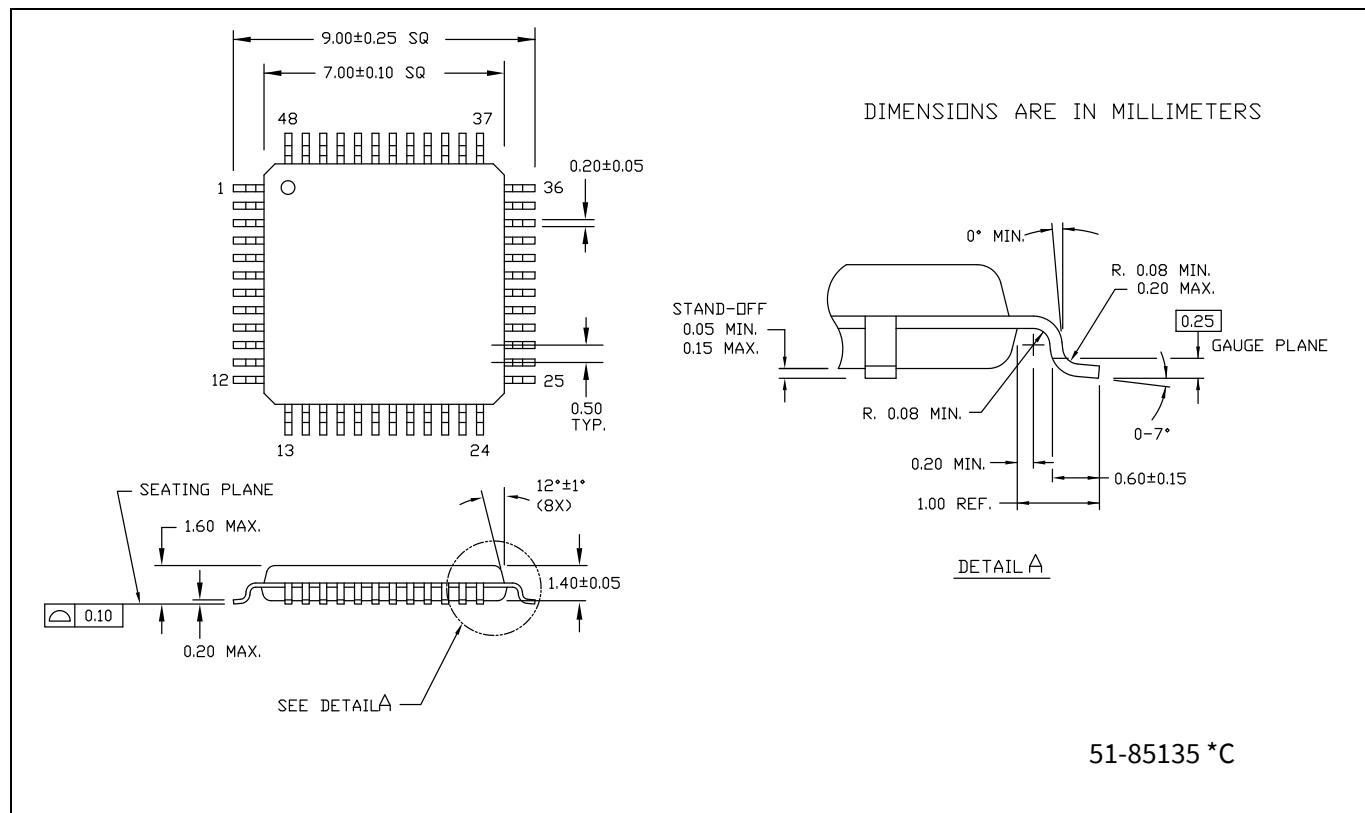
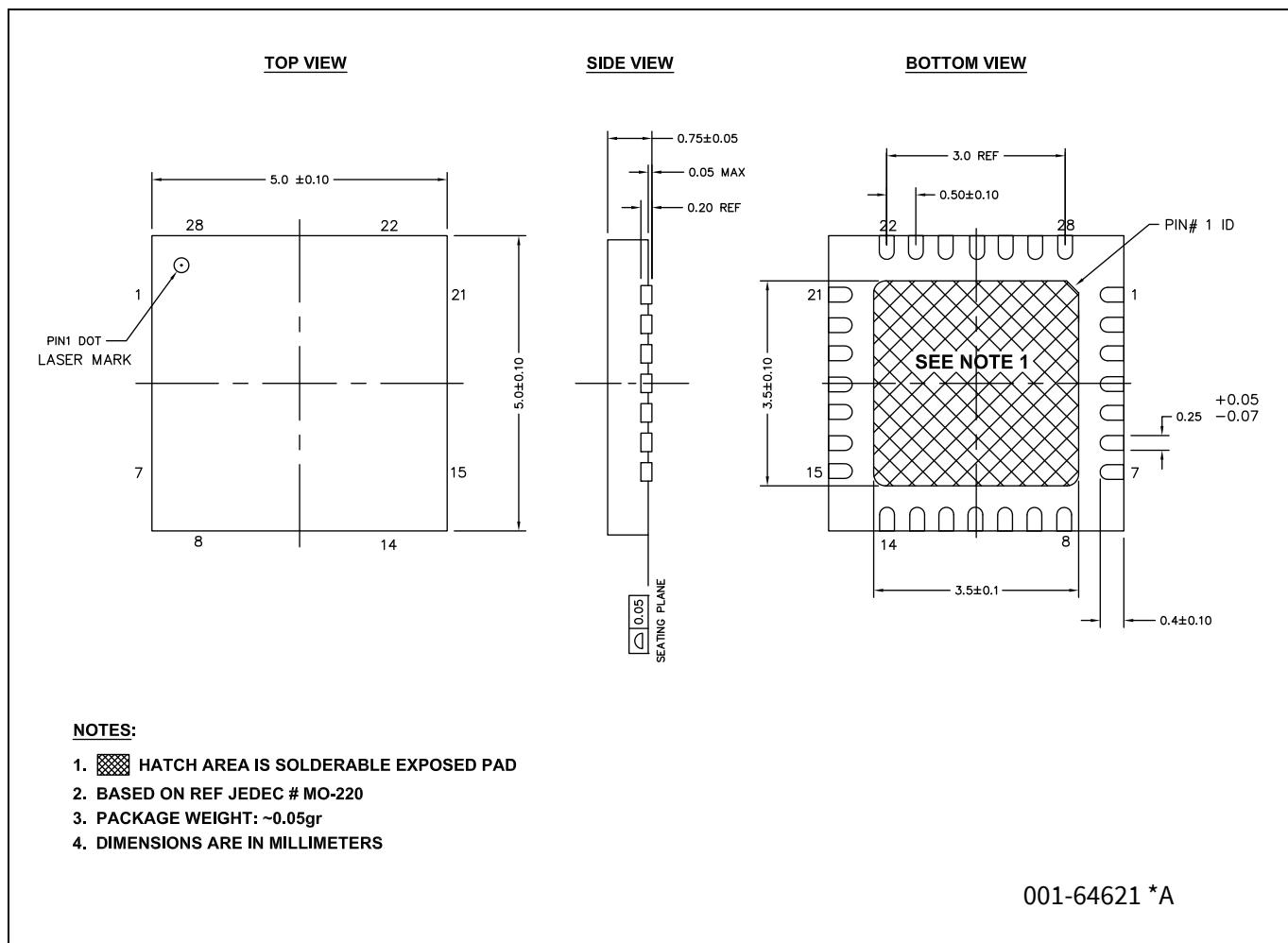


Figure 11 48 ピン TQFP (7×7×1.4 mm) A48 パッケージ図 , 51-85135 (PG-TQFP-48)

## パッケージ図



**Figure 12 28 ピン QFN ((5 × 5 × 0.8 mm), LT28A, 3.5 × 3.5 EPAD (Sawn)) パッケージ図 , 001-64621 (PG-VQFN-28)**

略語

## 17 略語

**Table 14** 略語

略語	説明
AC	alternating current ( 交流電流 )
ASCII	american standard code for information interchange ( 情報交換用米国標準コード )
EEPROM	electrically erasable programmable read only memory ( 電気的消去プログラム可能な読み出し専用メモリ )
EMI	electromagnetic interference ( 電磁妨害 )
ESD	electrostatic discharge ( 静電気放電 )
GPIO	general purpose input/output ( 汎用入力 / 出力 )
I/O	input/output ( 入力 / 出力 )
LED	light emitting diode ( 発光ダイオード )
LSB	least significant bit ( 最下位ビット )
MSB	most significant bit ( 最上位ビット )
PCB	printed circuit board ( プリント回路基板 )
PLL	phase-locked loop ( 位相同期回路 )
POR	power on reset ( パワーオン リセット )
PSOC™	Programmable System-on-Chip™ ( プログラマブルシステムオンチップ )
QFN	quad flat no leads ( クアッド フラット ( リードなし ) パッケージ )
RAM	random access memory ( ランダム アクセス メモリ )
ROM	read only memory ( 読み出し専用メモリ )
SIE	serial interface engine ( シリアル インターフェース エンジン )
TQFP	thin quad flat pack ( 薄型クアッド フラット パック )
TT	transaction translator ( トランザクション トランスレータ )
USB	universal serial bus ( ユニバーサル シリアル バス )

本書の表記法

## 18 本書の表記法

### 18.1 測定単位

Table 15 測定単位

記号	測定単位
°C	摂氏温度
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
μA	マイクロアンペア
μs	マイクロ秒
μW	マイクロワット
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
mW	ミリワット
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラド
ppm	100 万分の 1
V	ボルト
W	ワット

## 19 HX2VL, CY7C65632 製品ファミリのシリコンエラッタ

ここでは、HX2VL, CY7C65632 のエラッタについて説明します。詳細情報は、エラッタのトリガー条件、影響の範囲、可能な回避方法、シリコンチップのリビジョンの適用可能性などを含んでいます。

何か質問がございましたら、最寄りのインフィニオンの販売代理店までお問い合わせください。

### 19.1 影響を受ける製品番号

製品番号	デバイスの特性
CY7C65632	USB 2.0 シングル TT ハブ

### 19.2 HX2VL 認定状態

製品の状態 : 量産中

### 19.3 HX2VL エラッタのまとめ

この表は、利用可能な HX2VL ファミリデバイスへのエラッタの適用性を定義します。

項目	製品番号	シリコン リビジョン	回避方法	修正状況
1. ハブサスPEND中に切断された後に接続イベントが発生すると、USBデバイスが正しく認識されません	CY7C65632	Rev. **	USBデバイスがSTALLされた場合は、ホストUSBアプリケーションまたはドライバからポートリセットを発行します。	修正の計画はありません。

1. ハブサスPEND中に切断された後に接続イベントが発生すると、USBデバイスが正しく認識されません

#### ・問題の定義

HX2VLは、接続されたダウンストリーム(DS)デバイスがハブサスPEND状態中に切断され、同じDSポートに接続された場合、サスPENDから復帰した後、DS USBデバイスを認識しないことがあります。

#### ・影響を受けるパラメーター

なし

#### ・トリガ条件

切断に続いてサスPEND状態のハブからのDSデバイスの接続イベント。

#### ・影響の範囲

標準 Microsoft ドライバ / クラスデバイス (マウス, キーボード, 大容量ストレージなど) では問題は発生しません。標準クラスドライバは、DSデバイスからのSTALLがある場合、ポートリセットコマンドを使用してデバイスを回復します。

#### ・回避方法

STALLS時に、ホストUSBアプリケーションまたはドライバからポートリセットを発行して、DSデバイスを回復します。

#### ・修正状況

修正の計画はありません。

## 改訂履歴

## 改訂履歴

版数	発行日	変更内容
**	2012-05-23	これは英語版 001-67568 Rev. *E を翻訳した日本語版 001-79537 Rev. ** です。
*A	2015-07-21	これは英語版 001-67568 Rev. *H を翻訳した日本語版 001-79537 Rev. *A です。
*B	2017-08-25	これは英語版 001-67568 Rev. *K を翻訳した日本語版 001-79537 Rev. *B です。
*C	2018-09-19	これは英語版 001-67568 Rev. *L を翻訳した日本語版 001-79537 Rev. *C です。
*D	2021-07-26	これは英語版 001-67568 Rev. *M を翻訳した日本語版 001-79537 Rev. *D です。
*E	2023-06-08	これは英語版 001-67568 Rev. *N を翻訳した日本語版 001-79537 Rev. *E です。
*F	2025-09-16	これは英語版 001-67568 Rev. *O を翻訳した日本語版 001-79537 Rev. *F です。

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2025-09-16**

**Published by**

**Infineon Technologies AG**  
**81726 Munich, Germany**

**© 2025 Infineon Technologies AG.**  
**All Rights Reserved.**

**Do you have a question about this document?**

**Email:**

[erratum@infineon.com](mailto:erratum@infineon.com)

**Document reference**  
**001-79537 Rev. \*F**

## 重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。  
本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に關し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に關し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に關して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

## 警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。