



请注意赛普拉斯已正式并入英飞凌科技公司。

此封面页之后的文件标注有“赛普拉斯”的文件即该产品为此公司最初开发的。请注意作为英飞凌产品组合的部分,英飞凌将继续为新的及现有客户提供该产品。

文件内容的连续性

事实是英飞凌提供如下产品作为英飞凌产品组合的部分不会带来对于此文件的任何变更。未来的变更将在恰当的时候发生,且任何变更将在历史页面记录。

订购零件编号的连续性

英飞凌继续支持现有零件编号的使用。下单时请继续使用数据表中的订购零件编号。

带有 CapSense® 和 BCD 的 USB- 串行 单通道 (UART/I²C/SPI) 桥接

特性

- 符合全速 USB 2.0 (12 Mbps) 标准
 - 支持通信驱动器类型 (CDC)、个人保健器件类型 (PHDC) 以及供应商的特定器件类型
 - 电池充电器检测 (BCD) 符合 USB 电池充电规范版本 1.2 (仅针对外设检测) 的要求
 - 集成 USB 终端电阻
- 可配置的单通道 UART 接口
 - 数据速率高达 3 Mbps
 - 每个通道上的发送和接收缓冲器的大小均为 190 字节
 - 支持 2、4、6 引脚的 UART 接口
 - 数据格式:
 - 7 至 8 个数据位
 - 1 至 2 个停止位
 - 无奇偶校验, 偶校验, 奇校验, 标记或空格奇偶校验。
 - 支持奇偶校验、溢出和帧错误。
 - 使用 CTS、RTS、DTR、DSR 支持流量控制
 - 支持 UART 暂停信号
 - CY7C65211 支持单通道 RS232/RS422 接口, 而 CY7C65211A 支持 RS232/RS422/RS485 接口
- 可配置的单通道 SPI 接口
 - SPI 主设备的数据速率高达 3 MHz, 且 SPI 从设备的数据速率高达 1 MHz
 - 数据宽度: 4 位至 16 位
 - 每个发送和接收缓冲器的大小均为 256 字节
 - 支持 Motorola、TI 和 National SPI 模式
- 可配置的单通道 I²C 接口
 - 主 / 从设备的频率可达 400 kHz
 - 每个通道都有 256 字节的发送和接收缓冲器
 - 支持多主设备 I²C
- CapSense®
 - 通过赛普拉斯提供的配置工具支持 SmartSense™ 自动调校功能
 - CapSense 按键的最大数量: 5
 - GPIO 链接到 CapSense 按键
- 通用输入 / 输出 (GPIO) 引脚: 10
- 对每一种器件仅支持唯一一个序列号。这样, 当 USB- 串行桥接控制器作为 CDC 器件被插入时, COM 端口编号始终不变
- 512 字节的闪存用于存储各配置参数
- 配置工具 (Windows) 用于配置:
 - 供应商 ID (VID), 产品 ID (PID) 以及产品与厂商的描述符。
 - UART/I²C/SPI
 - CapSense

符合 USB 标准

具有 CapSense 和 BCD 的 USB- 串行单通道桥接 (CY7C65211/CY7C65211A) 完全符合 USB 2.0 规格、电池充电规范版本 1.2 以及 USB-IF 测试 ID (TID) 40001521 的要求。

- 充电检测器
- GPIO
- 为 VCOM 和 DLL 提供驱动器
 - Windows 10: 32 位和 64 位版本
 - Windows 8.1: 32 位和 64 位版本
 - Windows 8: 32 和 64 位版本。
 - Windows 7: 32 位和 64 位版本
 - Windows Vista: 32 和 64 位版本。
 - Windows XP: 32 和 64 位版本。
 - Windows CE
 - Mac OS-X: 10.6、10.7
 - Linux: Kernel 版本 2.6.35 以及更高版本。
 - Android: Gingerbread 及更高版本
- 时钟: 集成了频率为 48 MHz 的时钟振荡器
- 支持总线供电 / 自供电模式配置
- 支持 USB 挂起模式, 以降低功耗
- 工作电压: 1.71 ~ 5.5 V
- 工作温度:
 - 商业级: 0 °C ~ 70 °C
 - 工业级: -40 °C ~ 85 °C
- ESD 保护: 2.2 kV HBM
- RoHS (符合有害物质限制) 标准的封装
 - 24-QFN (4.0 mm × 4.0 mm, 间距为 0.55 mm、0.5 mm)
- 订购器件型号
 - CY7C65211-24LTXI
 - CY7C65211A-24LTXI

应用

- 医疗 / 保健器件
- 销售点 (POS) 终端
- 测试和测量系统
- 游戏系统
- 机顶盒 PC-USB 接口
- 工业级
- 网络
- 使能传统外设的 USB 连接事项

功能描述

要获取相关文档的完整列表, 请单击[此处](#)。



CY7C65211 和 CY7C65211A 特性的对比

表 1. CY7C65211 和 CY7C65211A 特性的对比

特性	CY7C65211	CY7C65211A
USB 产品 ID	0x002	0x00FB
UART	可将其配置为虚拟通信端口或 USB vendor 类设备	可将其配置为虚拟通信端口或 USB vendor 类设备
I ² C	可将其配置为 USB vendor 类设备	可将其配置为虚拟通信端口或 USB vendor 类设备
SPI	可将其配置为 USB vendor 类设备	可将其配置为虚拟通信端口或 USB vendor 类设备
支持 RS485 接口	不支持	支持

更多有关信息

赛普拉斯网站 (www.cypress.com) 上提供了大量资料, 有助于为您的设计正确选择所需器件, 并能够快速有效地将器件集成到设计中。要想获取完整的资源列表, 请参见 [USB- 串行桥接控制器产品概况](#)。

■ 概况: [USB 产品系列](#)、[USB 产品路线图](#)

■ USB 2.0 产品选型指南: [USB- 串行桥接控制器](#)、[USB-UART 控制器 \(第一代\)](#)

■ 知识库文章: 赛普拉斯提供了大量有关 USB 知识库的文章, 包括从基本到高级的广泛主题。所推荐的 USB 串行桥接控制器入门知识库文章如下:

- [KBA85909](#) — Cypress® USB- 串行桥接控制器的主要特性
- [KBA85920](#) — USB-UART 和 USB- 串行
- [KBA85921](#) — 将 FT232R 替换为 CY7C65213 USB-UART LP 桥接控制器
- [KBA85913](#) — USB 串行电源电压范围
- [KBA89355](#) — USB 串行: 赛普拉斯默认的 VID 和 PID
- [KBA92641](#) — USB 串行桥接控制器使用 API 来管理 I/O
- [KBA92442](#) — USB- 串行桥接控制器中的非标准波特率
- [KBA91366](#) — 将一个 USB 串行器件绑定到 Microsoft® CDC 驱动器上
- [KBA92551](#) — 使用 Linux® 测试被配置为 USB-UART 的 USB 串行桥接控制器
- [KBA91299](#) — 将一个外部 I2C 器件连接到 CYUSBS234/236 开发套件上

要想获取完整的知识库文章列表, 请点击[此处](#)。

■ 代码示例: [USB 全速](#)

■ 开发套件:

- [CYUSBS232](#) — 赛普拉斯 USB-UART LP 参考设计套件
- [CYUSBS234](#) — 赛普拉斯 USB- 串行 (单通道) 开发套件
- [CYUSBS236](#) — 赛普拉斯 USB- 串行 (双通道) 开发套件

■ 模型: [IBIS](#)

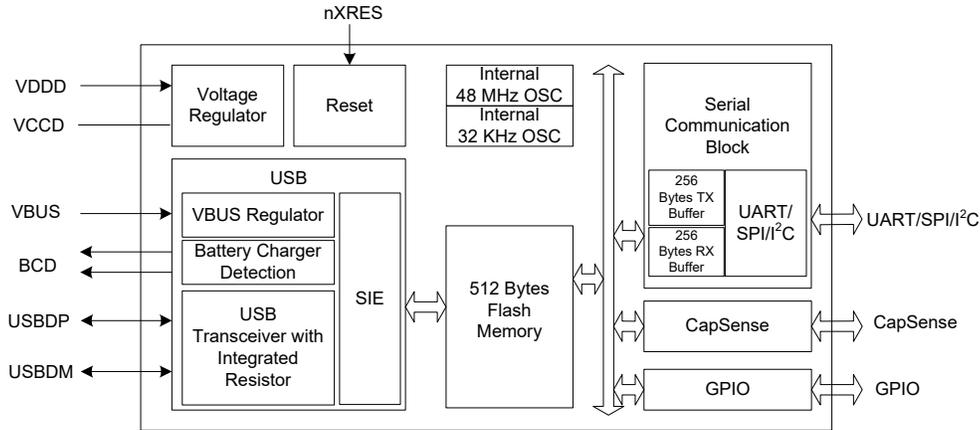
赛普拉斯 USB- 串行 (单通道) 开发套件

[赛普拉斯 USB- 串行 \(单通道\) 开发套件](#) 是一个完整的开发资源。它提供了一个用于开发和测试自定义项目的平台。该开发套件包含用于设计固件、硬件和软件等内容的辅助材料。

目录

框图	4	I/O 电压可变的 USB 总线供电	18
功能概述	4	应用示例	19
USB 和充电器检测	4	USB-RS232 桥接器	19
串行通信	4	USB-RS485 桥接器	20
CapSense	5	电池运行的总线供电 USB-MCU 接口，带有电池充电	
GPIO 接口	5	检测功能	21
存储器	5	CapSense	23
系统资源	5	USB-I ² C 桥接器	24
挂起和恢复	5	USB-SPI 桥接器	25
WAKEUP 引脚	5	订购信息	29
软件	5	订购代码定义	29
内部闪存的配置	7	封装信息	30
电气规范	8	缩略语	31
最大绝对额定值	8	文档规范	31
工作条件	8	测量单位	31
器件级规范	8	勘误表	32
GPIO	9	文档修订记录	35
nXRES	10	销售、解决方案和法律信息	36
SPI 规范	11	全球销售和 design 支持	36
I2C 规范	13	产品	36
CapSense 规范	13	PSoC [®] 解决方案	36
闪存存储器规范	13	赛普拉斯开发者社区	36
引脚说明	14	技术支持	36
USB 电源配置	16		
USB 总线供电的配置	16		
自供电配置	17		

框图



功能概述

CY7C65211/CY7C65211A 是一个全速 USB 控制器。它能够通过串行接口（如 UART、SPI 以及 I²C）实现外设和 PC 间的无缝连接。CY7C65211/CY7C65211A 集成了 CapSense 和符合 USB 电池充电规范版本 1.2 要求的 BCD。另外，它还集成了电压调节器、振荡器以及存储配置参数的闪存存储器，从而提供了经济高效的解决方案。CY7C65211 支持总线供电和自供电模式，并通过挂起和远程唤醒信号使能高效系统电源管理。该芯片采用 24-QFN 的封装形式。

USB 和充电器检测

USB

CY7C65211/CY7C65211A 具有一个内置的 USB 2.0 全速收发器。该收发器包含 USB 数据线上的内部 USB 串联终端电阻和 USBDP 上的 1.5 kΩ 上拉电阻。

充电器检测

在外设检测模式下支持电池充电检测（BCD）功能，它符合 USB 电池充电规范，版本 1.2。该芯片支持下面充电端口：CY7C65211/CY7C65211A

- 标准下行端口（SDP）：通过该端口系统能够接收来自主机的高达 500 mA 的电流
- 充电下行端口（CDP）：通过该端口系统能够接收来自主机的高达 1.5 A 的电流
- 专用充电端口（DCP）：允许系统使用来自墙式充电器高达 1.5 A 的电流

串行通信

CY7C65211/CY7C65211A 有一个串行通信模块（SCB）。每个 SCB 可执行 UART、SPI 或 I²C 接口。TX 和 RX 线上都有一个 256 字节的缓冲器。

UART 接口

通过 UART 接口，器件可以同其他工作速度为 3 Mbps 的 UART 器件进行异步串行通信。该接口支持 7 至 8 个数据位、1 至 2 个停止位、奇校验、偶校验、标记、空格以及无奇偶校验位。UART 接口支持全双工通信，其信号格式符合标准 UART 协议。在 CY7C65211 中，可以将 UART 引脚连接到符合工业标准的 RS232/RS422 接收器上。在 CY7C65211A 中，可以将这些 UART 引脚连接到 RS232/RS422/RS485 上。

该接口还支持通用 UART 功能，如奇偶校验错误以及帧错误。CY7C65211/CY7C65211A 支持的波特率范围为 300 波特到 3 M 波特。可以使用配置工具设置 UART 波特率。

注意：

将 UART 发送器配置为奇校验并将 UART 接收器配置为偶校验时，可检测到奇偶校验错误。

将 UART 发送器配置为 7 个数据位宽以及一个停止位，并将 UART 接收器配置为 8 个数据位宽以及两个停止位时，可检测到帧错误。

UART 流控制

CY7C65211 器件支持使用以下控制信号对的 UART 硬件流控制：RTS#（请求发送）/ CTS#（清除发送）和 DTR#（数据终端就绪）/ DSR#（数据设置就绪）。默认使能数据流控制功能。使用配置工具可以禁用流控制功能。

以下内容描述的是流控信号：

■ CTS#（输入）/ RTS#（输出）

CTS# 可暂停或恢复通过 UART 接口进行的数据传输。通过取消激活 CTS 信号，可暂停数据传输；通过激活 CTS#，可恢复数据传输。暂停和恢复操作不影响数据的完整性。使能数据流控制特性时，接收缓冲器的水印值为 93%。接收缓冲器内的数据达到该水印值后，RTS# 信号被取消激活，通知发送器停止数据传输。应用进行处理数据会减少器件存储的数据。数据降到 75% 水印值后，RTS# 信号被激活以恢复数据接收。

■ DSR#（输入）/ DTR#（输出）

DSR#/DTR# 信号用于同 UART 建立通信链接。这些信号的功能相得益彰，同 CTS# 和 RTS# 相似。

SPI 接口

SPI 接口支持 SPI 主设备和 SPI 从设备。该接口支持 Motorola、TI 和 National Microwire 协议。在 SPI 主设备模式和 SPI 从设备模式下，该接口的最大工作频率分别为 3 MHz 和 1 MHz。该接口支持从 4 位到 16 位大小的数据传输操作。在工作频率为 1 MHz 的情况下，SPI 从设备支持 4 位到 8 位和 12 位到 16 位大小的数据。在工作频率为 500 kHz 的情况下，它支持 9 位、10 位及 11 位大小的数据（请参考第 25 页上的 USB-SPI 桥接器，了解详细信息）。

I²C 接口

I²C 接口实现完整的多主 / 从设备模式，并支持高达 400 kHz 的频率。通过配置工具，可以在从设备模式中设置 I²C 地址。该工具仅使能从设备的偶地址。更多有关协议的详细信息，请参考 NXP I²C 规格版本 5。

注释

- I²C 端口不能承受更高的电压。因此，不能进行热插拔或单独给它们供电（不给芯片供电时）。
- V_{DD} 的电压范围为 1.71 V 至 3.0 V 时，SCL 的最短下降时间得到满足（根据 NXP I²C 规范版本 5）。V_{DD} 的电压范围为 3.0 V 至 3.6 V 时，建议使 SCL 信号上通过一个 50 pF 的电容。

CapSense

所有 GPIO 引脚都支持 CapSense 功能。通过使用配置工具，可以将任何 GPIO 引脚配置为检测引脚（CS0–CS7）。执行 CapSense 功能时，需要通过一个大小为 2.2 nF 的电容将 GPIO_0 引脚（被配置为调制器电容 — Cmod）接地（请参见第 23 页上的图 13）。

CY7C65211 支持 CapSense 参数的 SmartSense 自动调校，而不用手动调校。SmartSense 的自动调校可以弥补印刷电路板（PCB）以及器件工艺变化引起的差异。

可以选择任何一个 GPIO 引脚并将其配置为一个 Cshield，然后连接到 CapSense 按键的屏蔽端，如第 23 页上的图 13 所示。屏蔽可以防止由水滴引起的误触发，并保证 CapSense 正常操作（传感器对手指触摸产生响应）。

通过将 GPIO 链接到 CapSense 按键，可以识别某个手指的存在。可以使用配置工具来配置 CapSense 功能。

CY7C65211 最多支持五个 CapSense 按键。更多有关 CapSense 的信息，请参见 [CapSense 入门](#) 中的内容。

GPIO 接口

CY7C65211/CY7C65211A 具有 10 个 GPIO。如果使用一个双引脚（I²C/双引脚 UART）串行接口，则最多可以配置 10 个 GPIO。使用配置工具，对 GPIO 引脚进行配置。可配置的选项如下：

- TRISTATE: GPIO 是三态的
 - DRIVE 1: 输出静态 1
 - DRIVE 0: 输出静态 0
 - POWER#: 控制总线供电设计的电源
 - TXLED#: 在 USB 发送数据期间驱动 LED
 - RXLED#: 在 USB 接收数据期间驱动 LED
 - TX 或 RX LED#: 在 USB 发送或接收数据期间驱动 LED
- 可以配置 GPIO，使之以 8 mA 的驱动强度驱动 LED。
- BCD0/BCD1: 用来指示 USB 充电器类型的双引脚输出
 - BUSDETECT: 连接到 VBUS 引脚，用于 USB 主机检测
 - CS0–CS4: CapSense 按键输入（检测引脚）
 - CSout0–CSout2: 指示被按下的 CapSense 按键
 - Cmod: 外部调制器电容通过一个 2.2 nF 的电容（±10%）接地（仅适用于 GPIO_0）
 - Cshield: 防水屏蔽

存储器

CY7C65211/CY7C65211A 有一个大小为 512 字节的闪存。闪存用于存储 USB 参数，如 VID/PID、序列号、产品和制造商描述符。通过配置工具，可以编程这些参数。

系统资源

电源系统

CY7C65211/CY7C65211A 支持 USB 挂起模式，从而可以控制电源的使用情况。CY7C65211 在总线供电或自供电模式中运行，其电压范围为 3.15 到 5.5 V。

时钟系统

CY7C65211/CY7C65211A 具有一个完整的集成时钟，不需要任何外部组件。该时钟为所有子系统提供脉冲。

内部 48 MHz 振荡器

内部 48 MHz 振荡器是 CY7C65211 中的主要内部时钟源。

内部 32 kHz 振荡器

该振荡器主要为 USB 挂起模式中的外设操作提供时钟。

复位

通过复位模块，可确保安全进行上电复位操作，并且可使器件返回到默认的已知状态。外部器件通过使用 nXRES（低电平有效）引脚来复位 CY7C65211/CY7C65211A。

挂起和恢复

当 USB 总线进入挂起状态时，CY7C65211/CY7C65211A 器件将置位 SUSPEND 引脚。在总线供电的器件中，该操作可以满足 USB 2.0 规范中严格的暂停电流要求。在发生下述两种情况中的某一种时，该器件将从挂起状态恢复：

1. 在 USB 总线上检测到任何数据操作
2. 置位 WAKEUP 引脚，使之为主机生成远程唤醒信号

WAKEUP 引脚

WAKEUP 引脚用于在 USB 总线上生成远程唤醒信号。只有主机通过 SET_FEATURE 请求使能该性能时，才会发送远程唤醒信号。在 USB 枚举过程中，器件将通过配置描述符为主机提供远程唤醒支持。通过配置工具，CY7C65211/CY7C65211A 器件可以使能 / 禁用远程唤醒性能，并设置该性能的极性。

软件

赛普拉斯提供了一组完整的软件驱动程序以及一个配置工具，从而可以在系统开发过程中配置产品。

Linux 操作系统的驱动程序

赛普拉斯提供了用户模式的 USB 驱动程序库（libcyusbserial.so），用于提取 UART 接口的供应商指令，并为用户应用提供简化的 API 接口。该库使用标准的开源 libUSB 库进行 USB 通信。赛普拉斯的串行库使用 Linux ‘udev’ 机制来支持 USB 即插即用特性。

CY7C65211/CY7C65211A 支持捆绑在 Linux 内核的标准 USB CDC UART 类驱动程序。

Android 支持

CY7C65211/CY7C65211A 解决方案包括一个 Android Java 类的 CyUsbSerial.java。它提供了一组用于同器件通信的接口函数。

Mac OSx 的驱动程序

赛普拉斯提供了一个基于 libUSB 的动态链接共享库（CyUSBSerial.dylib），从而能够与 CY7C65211 器件进行通信。

另外，CY7C65211 器件还支持使用本地语言编写的 Mac OSx CDC UART 驱动程序，CY7C65211A 支持用本地语言编写的 Mac OSx CDC UART/SPI/I2C 驱动程序。

Windows 操作系统的驱动程序

对于 Windows 操作系统 (XP、Vista、Win7、Win8 以及 Win8.1)，赛普拉斯提供了一个用户模式的动态链接库 — CyUSBSerial DLL — 以便提取 CY7C65211/CY7C65211A 器件的供应商专用接口，同时为用户提供方便易用的 API。它分别为特定供应商 UART/SPI/I2C 和 PHDC 提供了接口 API 和特定类的 API。

当 CY7C65211 被配置为 CDC USB-UART 或 CY7C65211A 被配置为 CDC USB-UART/SPI/I2C 器件时，USB- 串行桥接控制器将使用 Windows 标准的 USB CDC 类驱动程序。此外，它还提供了一个虚拟的 COM 端口驱动程序 (CyUSBSerial.sys)，用于执行 USB CDC 类的驱动程序。赛普拉斯的 Windows 驱动程序与 Windows 认证的硬件相兼容。

通过 WU (Windows 更新) 服务将这些驱动程序绑定到器件上。

赛普拉斯驱动程序还支持 Windows 的即插即用、电源管理以及 USB 远程唤醒等特性。

Windows-CE 支持

CY7C65211/CY7C65211A 解决方案包含 Windows-CE 平台用的 CDC UART 驱动程序库。

器件配置工具 (仅适用于 Windows)

可以使用基于 Windows 系统的配置工具进行配置器件的初始化参数。该图形用户应用程序提供了一个交互式接口，用于定义闪存中所存储的引导参数。

通过该工具用户可以将所选择的配置保存为文本或 xml 格式的文件。用户还可以通过该工具加载格式为文本或 xml 文件的选定配置。该配置工具支持以下操作：

- 查看当前器件的配置
- 选择并配置 UART/I2C/SPI、CapSense、电池充电以及 GPIO
- 配置 USB VID、PID 和字符串描述符
- 保存或加载配置

您可以通过 www.cypress.com 网站，免费下载配置工具和驱动程序。

内部闪存的配置

内部闪存存储器可用于存储下表中的各项配置参数。赛普拉斯提供了一个免费的配置工具，从而通过 USB 接口配置下表中的参数，以满足特殊应用的需要。您可从 www.cypress.com/go/usbserial 网站上下载配置工具。

表 2. CY7C65211 和 CY7C65211A 的内部闪存配置

参数	默认值	说明
USB 配置		
USB 供应商 ID (VID)	0x04B4	赛普拉斯的默认 VID。可将其配置为客户 VID
USB 产品 ID (PID)	CY7C65211 和 CY7C65211A 的默认值分别为 0x0002 和 0x00FB	默认为赛普拉斯的 PID。可以将其配置为客户 PID
制造商字符串	赛普拉斯	可被配置为任意一个多达 64 个字符的字符串。
产品字符串	USB- 串行 (单通道)	可被配置为任意一个多达 64 个字符的字符串。
串行字符串		可被配置为任意一个多达 64 个字符的字符串。
供电模式	总线供电	可将其配置为总线供电或自供电模式
最大电流消耗	100 mA	可将其配置为 0 到 500 mA 间的某个值。据此，配置描述符将得以更新。
远程唤醒	使能	可被禁用。可通过激活 WAKEUP 引脚来初始化远程唤醒。
USB 接口协议	CDC	可将其配置为 CDC、PHDC 或赛普拉斯供应商类型。
BCD	禁用	默认状态下，充电器检测功能被禁用。当使能 BCD 时，必须将三个 GPIO 配置为 BCD。
GPIO 配置		
GPIO_0	TXLED#	可根据第 15 页上的表 15 中的内容进行配置 GPIO。
GPIO_1	RXLED#	
GPIO_2	DSR#	
GPIO_3	RTS#	
GPIO_4	CTS#	
GPIO_5	TxD	
GPIO_6	RxD	
GPIO_7	DTR#	
GPIO_8	三态	
GPIO_9	三态	
GPIO_10	三态	
GPIO_11	POWER#	

电气规范

最大绝对额定值

超过最大额定值^[1]可能会缩短器件的使用寿命。

存放温度	-55 °C 至 +100 °C
供电环境温度（工业级）	-40 °C 至 +85 °C
接地电位的供电电压	
V _{DDD}	6.0 V
V _{BUS}	6.0 V
V _{CCD}	1.95 V
V _{GPIO}	V _{DDD} + 0.5 V

静电放电电压 ESD 保护电平为：

■ 2.2 KV HBM/JESD22-A114

闩锁电流	140 mA
灌入每个 GPIO 的电流	25 mA

工作条件

T _A （偏置环境温度）	
工业级	-40 °C 至 +85 °C
V _{BUS} 供电电压	3.15 V 至 5.25 V
V _{DDD} 供电电压	1.71 V 至 5.50 V
V _{CCD} 供电电压	1.71 V 至 1.89 V

器件级规范

除非另有说明，否则这些规范的适用条件是：-40 °C ≤ T_A ≤ 85 °C，T_J ≤ 100 °C 和 1.71 V 至 5.50 V。

表 3. 直流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
V _{BUS}	V _{BUS} 供电电压	3.15	3.30	3.45	V	使用配置工具设置 V _{BUS} 的正确电压范围。默认电压为 5 V。
		4.35	5.00	5.25	V	
V _{DDD}	V _{DDD} 供电电压	1.71	1.80	1.89	V	用于设置输入/输出电压和内核电压。使用配置工具设置 V _{DDD} 正确的电压范围。默认值为 3.3 V。
		2.0	3.3	5.5	V	
V _{CCD}	输出电压（供给内核逻辑）	-	1.80	-	V	请勿使用该电源驱动外部器件。 <ul style="list-style-type: none"> 1.71 V ≤ V_{DDD} ≤ 1.89 V: 将 V_{CCD} 引脚与 V_{DDD} 引脚短接 V_{DDD} > 2 V: 在 V_{CCD} 引脚和地之间使用一个 1 μF 的电容（Cefc）
Cefc	外部稳压器电压旁路	1.00	1.30	1.60	μF	X5R 陶瓷电容或性能更好的电容
I _{DD1}	工作供电电流	-	20	-	mA	USB 2.0 FS, UART 单通道的传输速度为 1 Mbps, 不进行 GPIO 切换
I _{DD2}	USB 挂起供电电流	-	5	-	μA	不包含通过 USB _{DP} 的上拉电阻的电流在 USB 挂起模式下, D+ 电压可达最大值 3.8 V。

表 4. 交流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
Zout	USB 驱动器输出阻抗	28	-	44	Ω	
Twakeup	从 USB 挂起模式唤醒	-	25	-	μs	

注释：

1. 配置的各个参数超过上述最大绝对值，会给器件造成永久性损害。器件长期运行于最大绝对值条件下，可能会影响它的可靠性。如果采用的值介于最大绝对值和正常值之间，则器件可能非正常工作。

GPIO

表 5. GPIO 的直流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
$V_{IH}^{[2]}$	输入高电平阈值	$0.7 \times V_{DD3}$	–	–	V	CMOS 输入
V_{IL}	输入低电平电压阈值	–	–	$0.3 \times V_{DD3}$	V	CMOS 输入
$V_{IH}^{[2]}$	LVTTL 输入电压, $V_{DD3} < 2.7 V$	$0.7 \times V_{DD3}$	–	–	V	
V_{IL}	LVTTL 输入电压, $V_{DD3} < 2.7 V$	–	–	$0.3 \times V_{DD3}$	V	
$V_{IH}^{[2]}$	LVTTL 输入, $V_{DD3} \geq 2.7V$	2	–	–	V	
V_{IL}	LVTTL 输入, $V_{DD3} \geq 2.7 V$	–	–	0.8	V	
V_{OH}	CMOS 输出高电平电压	$V_{DD3} - 0.4$	–	–	V	$I_{OH} = 4 mA$, $V_{DD3} = 5 V \pm 10\%$
V_{OH}	CMOS 输出高电平电压	$V_{DD3} - 0.6$	–	–	V	$I_{OH} = 4 mA$, $V_{DD3} = 3.3 V \pm 10\%$
V_{OH}	CMOS 输出高电平电压	$V_{DD3} - 0.5$	–	–	V	$I_{OH} = 1 mA$, $V_{DD3} = 1.8 V \pm 5\%$
V_{OL}	CMOS 输出低电平电压	–	–	0.4	V	$I_{OL} = 8 mA$, $V_{DD3} = 5 V \pm 10\%$
V_{OL}	CMOS 输出低电平电压	–	–	0.6	V	$I_{OL} = 8 mA$, $V_{DD3} = 3.3 V \pm 10\%$
V_{OL}	CMOS 输出低电平电压	–	–	0.6	V	$I_{OL} = 4 mA$, $V_{DD3} = 1.8 V \pm 5\%$
Rpullup	上拉电阻	3.5	5.6	8.5	k Ω	
Rpulldown	下拉电阻	3.5	5.6	8.5	k Ω	
I_{IL}	输入漏电流 (绝对值)	–	–	2	nA	25 °C, $V_{DD3} = 3.0 V$
C_{IN}	输入电容	–	–	7	pF	
Vhysttl	LVTTL 输入迟滞电压; $V_{DD3} > 2.7 V$	25	40	C	mV	
Vhyscmos	CMOS 输入迟滞电压	$0.05 \times V_{DD3}$	–	–	mV	

表 6. GPIO 的交流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
$T_{RiseFast1}$	快速模式下的上升时间。	2	–	12	ns	$V_{DD3} = 3.3 V / 5.5 V$, Clload = 25 pF
$T_{FallFast1}$	快速模式下的下降时间。	2	–	12	ns	$V_{DD3} = 3.3 V / 5.5 V$, Clload = 25 pF
$T_{RiseSlow1}$	慢速模式下的上升时间。	10	–	60	ns	$V_{DD3} = 3.3 V / 5.5 V$, Clload = 25 pF
$T_{FallSlow1}$	慢速模式下的下降时间。	10	–	60	ns	$V_{DD3} = 3.3 V / 5.5 V$, Clload = 25 pF
$T_{RiseFast2}$	快速模式下的上升时间。	2	–	20	ns	$V_{DD3} = 1.8 V$, Clload = 25 pF
$T_{FallFast2}$	快速模式中的下降时间。	20	–	100	ns	$V_{DD3} = 1.8 V$, Clload = 25 pF
$T_{RiseSlow2}$	慢速模式下的上升时间。	2	–	20	ns	$V_{DD3} = 1.8 V$, Clload = 25 pF
$T_{FallSlow2}$	慢速模式下的下降时间。	20	–	100	ns	$V_{DD3} = 1.8 V$, Clload = 25 pF

注释:

2. V_{IH} 不能超过 $V_{DD3} + 0.2 V$ 。

nXRES
表 7. nXRES 直流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
V_{IH}	输入高电平阈值	$0.7 \times V_{DDD}$	–	–	V	
V_{IL}	输入低电平电压阈值	–	–	$0.3 \times V_{DDD}$	V	
Rpullup	上拉电阻	3.5	5.6	8.5	k Ω	
C_{IN}	输入电容	–	5	–	pF	
Vhysxres	输入迟滞电压	–	100	–	mV	

表 8. nXRES 交流规范

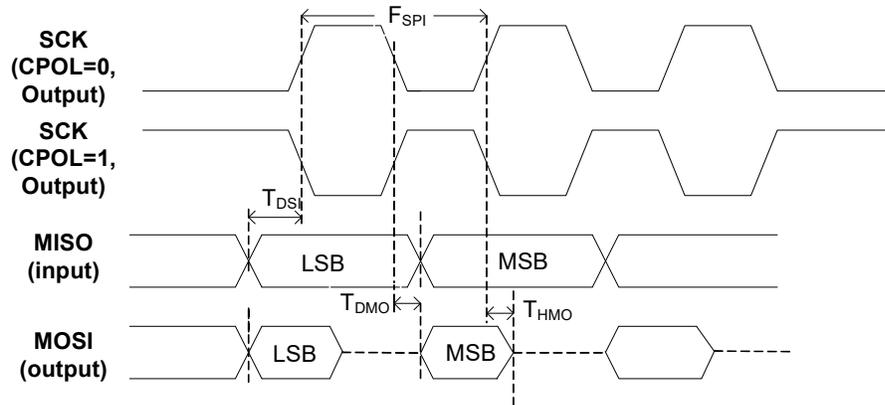
参数	描述	最小值	典型值	最大值	单位	详情 / 条件
Tresetwidth	复位脉冲宽度	1	–	–	μ s	

表 9. UART 交流规范

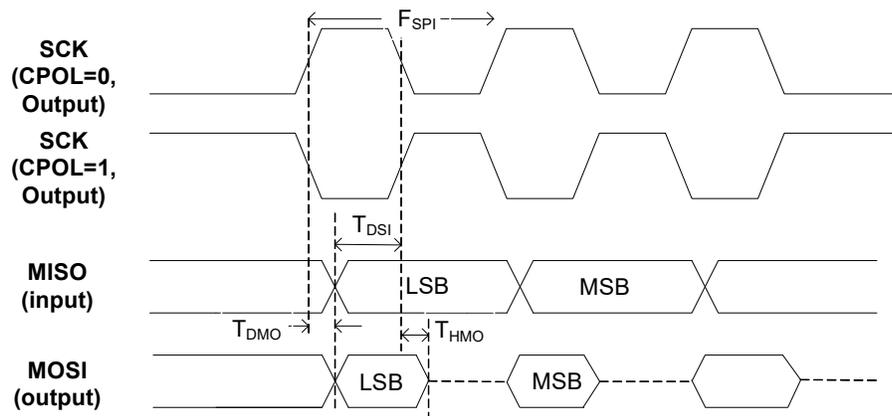
参数	描述	最小值	典型值	最大值	单位	详情 / 条件
F_{UART}	UART 比特率	0.3	–	3000	kbps	

SPI 规范

图 1. SPI 主设备时序

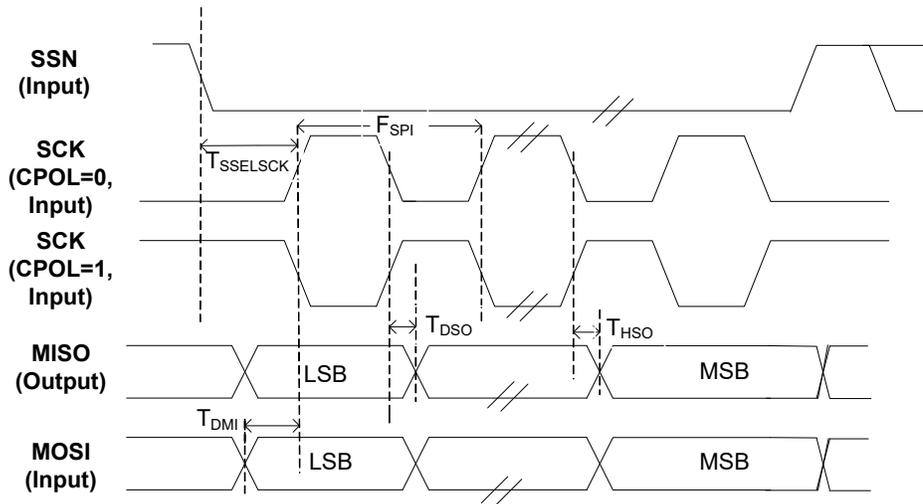


SPI Master Timing for CPHA = 0 (Refer to Table 15)

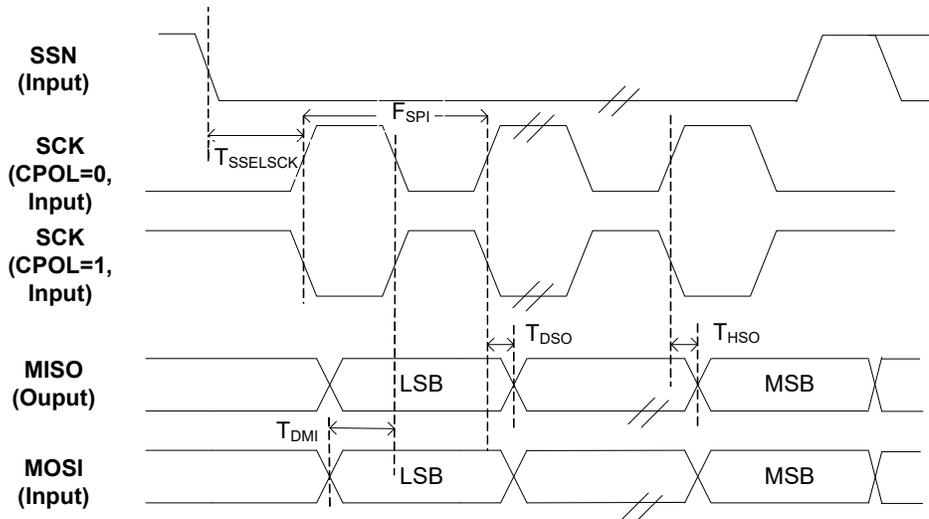


SPI Master Timing for CPHA = 1 (Refer to Table 15)

图 2. SPI 从设备时序



SPI Slave Timing for CPHA = 0 (Refer to Table 15)



SPI Slave Timing for CPHA = 1 (Refer to Table 15)

表 10. SPI AC 规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
F _{SPI}	SPI 工作频率 (主 / 从设备)	–	–	3	MHz	
WL _{SPI}	SPI 字长度	4	–	16	位	
SPI 的主模式						
T _{DMO}	Sclock 驱动沿后 MOSI 有效的时间	–	–	15	ns	
T _{DSI}	Sclock 捕获沿前 MISO 有效的时间	20	–	–	ns	
T _{HMO}	与从设备捕获沿相应的先前 MOSI 数据保持时间	0	–	–	ns	
SPI 的从设备模式						
T _{DMI}	Sclock 捕获沿前 MOSI 有效的时间	40	–	–	ns	
T _{DSO}	Sclock 驱动沿后的 MISO 有效时间	–	–	104.4	ns	
T _{HSO}	先前的 MISO 数据保持时间	0	–	–	ns	
T _{SSELSCK}	从 SSEL 有效到第一个 SCK 有效沿的时间	100	–	–	ns	

I²C 规范

表 11. I²C 交流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
F _{I2C}	I ² C 频率	1	–	400	kHz	

CapSense 规范

表 12. CapSense 交流规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
V _{CSD}	工作电压范围	1.71	–	5.50	V	
SNR	手指计数与噪声的比例	5	–	–	比率	传感器电容范围为 9 到 35 pF。 手指电容 ≥ 0.1 pF 灵敏度

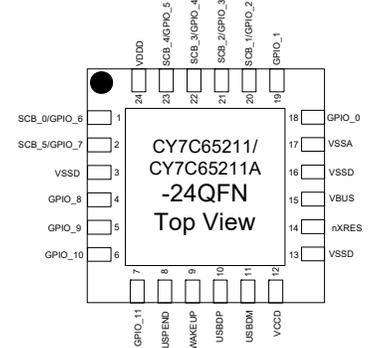
闪存存储器规范

表 13. 闪存存储器规范

参数	描述	最小值	典型值	最大值	单位	详情 / 条件
F _{end}	闪存耐久性	100K	–	–	周期	
F _{ret}	闪存数据保持时间。T _A ≤ 85 °C, 一万次擦除 / 编程周期	10	–	–	年	

引脚说明

引脚 ^[3]	类型	名称		默认	说明
1	SCB/GPIO	SCB_0	GPIO_6	RxD	SCB/GPIO。请参见表 14 和第 15 页上的表 15。
2	SCB/GPIO	SCB_5	GPIO_7	DTR#	SCB/GPIO。请参见表 14 和第 15 页上的表 15。
3	供电	VSSD		-	数字接地端
4	GPIO	GPIO_8		三态	GPIO。请参见表 15
5	GPIO	GPIO_9		三态	GPIO。请参见表 15
6	GPIO	GPIO_10		三态	GPIO。请参见表 15
7	GPIO	GPIO_11		POWER#	GPIO。请参见表 15
8	输出	SUSPEND		-	表示器件处于挂起模式。通过使用配置工具可将其配置为低电平/高电平有效
9	输入	WAKEUP 引脚		-	将器件从挂起模式唤醒。通过使用配置工具可将其配置为低电平/高电平有效
10	USBIO	USBDP		-	USB 数据信号的正端，集成了终端电阻和 1.5 kΩ 的上拉电阻
11	USBIO	USBDM		-	USB 数据信号负端，集成了终端电阻。
12	电源	VCCD		-	通过使用 1 μF 的去耦电容可以将该引脚接地或将它连接至 1.8 V 电源
13	电源	VSSD		-	数字接地端
14	nXRES	nXRES		-	芯片复位，低电平有效。若不使用，可以保持它为未连接的状态，或连接一个上拉电阻。
15	电源	VBUS		-	VBUS 供电电压范围为 3.15 V 至 5.25 V
16	供电	VSSD		-	数字接地端
17	电源	VSSA		-	模拟接地
18	GPIO	GPIO_0		TXLED#	GPIO。请参见表 15
19	GPIO	GPIO_1		RXLED#	GPIO。请参见表 15
20	SCB/GPIO	SCB_1	GPIO_2	DSR#	SCB/GPIO。请参见表 14 和第 15 页上的表 15。
21	SCB/GPIO	SCB_2	GPIO_3	RTS#	SCB/GPIO。请参见表 14 和第 15 页上的表 15。
22	SCB/GPIO	SCB_3	GPIO_4	CTS#	SCB/GPIO。请参见表 14 和第 15 页上的表 15。
23	SCB/GPIO	SCB_4	GPIO_5	TxD	SCB/GPIO。请参见表 14 和第 15 页上的表 15。
24	功耗	VDDD		-	供电给器件内核和接口，电压范围为 1.71 V 至 5.5 V



注释:

3. 所有配置为输入的引脚都不能设置为浮空状态

表 14. 串行通信模块配置

引脚	串行端口	模式 0*	模式 1	模式 2	模式 3	模式 4	模式 5	模式 6
		6 pin UART	4 pin UART	2 pin UART	SPI 主设备	SPI 从设备	I2C 主设备	I2C 从设备
1	SCB_0	RxD	RxD	RxD	GPIO_6	GPIO_6	GPIO_6	GPIO_6
20	SCB_1	DSR#	GPIO_2	GPIO_2	SSEL_OUT	SSEL_IN	GPIO_2	GPIO_2
21	SCB_2	RTS#	RTS#	GPIO_3	MISO_IN	MISO_OUT	SCL_OUT	SCL_IN
22	SCB_3	CTS#	CTS#	GPIO_4	MOSI_OUT	MOSI_IN	SDA	SDA
23	SCB_4	TxD	TxD	TxD	SCLK_OUT	SCLK_IN	GPIO_5	GPIO_5
2	SCB_5	DTR#	GPIO_7	GPIO_7	GPIO_7	GPIO_7	GPIO_7	GPIO_7

*注意：器件默认为配置模式 0。其他模式可通过赛普拉斯供应的配置工具来配置。

	GPIO
	SCB

表 15. GPIO 配置

GPIO 配置选项	说明
TRISTATE	I/O 是三态的
DRIVE 1	输出静态 1
DRIVE 0	静态输出 0
POWER#	该输出用于控制通过开关供给外部逻辑的电源，以便在未配置 USB 器件和 USB 挂起期间，停止为器件供电。 0 — USB 设备处于已配置状态 1 — USB 器件处于未配置状态或处于 USB 挂起模式
TXLED#	可在 USB 传输期间驱动 LED
RXLED#	USB 接收期间，驱动 LED。
TX 或 RX LED#	可在 USB 传输或接收期间驱动 LED。
BCD0 BCD1	可配置电池充电器检测引脚，用于指出 USB 充电器的类型（SDP、CDP 或 DCP） 配置举例： 00 — 高达 100 mA（未配置状态）的电流 01 — SDP（高达 500 mA） 10 — CDP/DCP（高达 1.5 A） 11 — 挂起（高达 2.5 mA 的电流） 通过使用配置工具可配置该真值表
BUSDETECT	VBUS 检测。使用 BCD 功能时，通过使用电阻网将 VBUS 连接到该引脚上，可以实现 VBUS 检测功能（请参见第 19 页上的内容）。
CS0、CS1、CS2、CS3、CS4	CapSense 按键输入（最多 5 个）
CSout0、CSout1、CSout2	指出被按下的 CapSense 按键
CMOD (仅使用于 GPIO_0)	外部调制电容，通过一个 2.2 nF 的电容（±10%）接地
Cshield（可选）	防水屏蔽

注意：可以使用赛普拉斯的配置工具为任何可用的 GPIO 引脚配置这些信号选项。

USB 电源配置

以下部分描述的是 CY7C65211/CY7C65211A 可用的 USB 电源配置。有关信号的详细信息，请参考第 14 页上的引脚说明。

USB 总线供电的配置

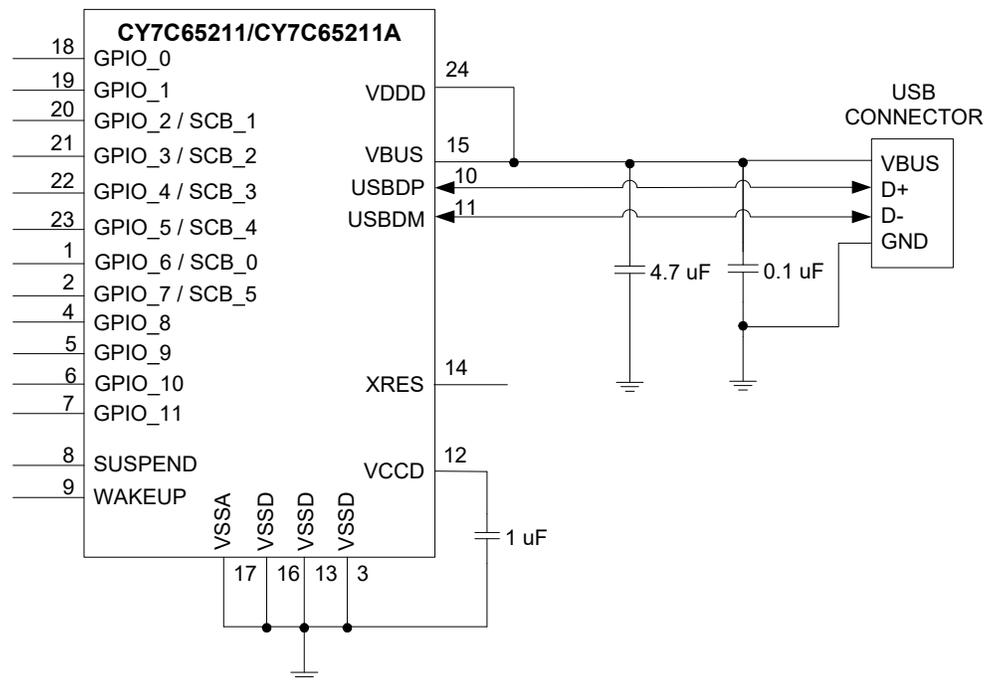
图 3 显示的是总线供电设计中 CY7C65211/CY7C65211A 的一个示例。由于 VBUS 拥有一个内部电压调节器，因此可以直接将它连接到 CY7C65211 上。

USB 总线供电系统必须遵循下面各要求：

1. 进行 USB 枚举前（未配置状态），系统消耗的电流不能超过 100 mA。
2. 在 USB 挂起模式下，输入系统的电流不能超过 2.5 mA。
3. 高功耗的总线供电系统（运行期间的消耗电流超过 100 mA）必须使用通过 GPIO 配置的 POWER#，以确保所消耗的电流低于 100 mA（进行 USB 枚举前）或低于 2.5 mA（处于 USB 挂起状态期间）。
4. 从 USB 主机输入系统的电流不能超过 500 mA。

需要使用配置工具更新 CY7C65211/CY7C65211A 闪存中的配置描述符，以指示总线供电模式和系统消耗的最大电流。

图 3. 总线供电配置



自供电配置

图4显示的是自供电设计中 CY7C65211/CY7C65211A 的一个示例。自供电系统并不使用来自主机的 VBUS 供电给系统，它具有自己的电源。由于自供电系统不吸收来自 VBUS 的任何电流，所以其电流消耗不受限制。

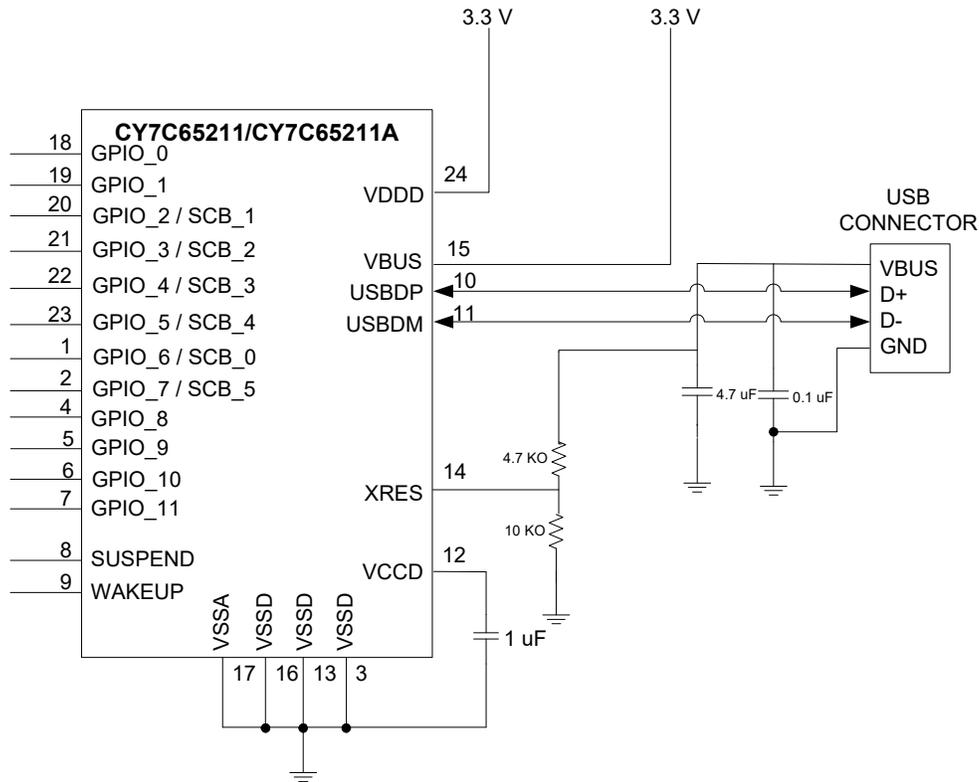
当 VBUS 存在时，CY7C65211/CY7C65211A 将使能 USBDP 上大小为 1.5 kΩ 的内部上拉电阻。当不存在 VBUS 时（USB 主机被断电），CY7C65211/CY7C65211A 将移除 USBDP 上的 1.5 kΩ

的上拉电阻。这样可以确保通过 1.5 kΩ 的上拉电阻阻止从 USBDP 到 USB 主机的电流，从而满足 USB 2.0 规范的要求。

激活 CY7C65211/CY7C65211A 复位时，所有 I/O 引脚都是三态的。

需要使用配置工具更新 CY7C65211/CY7C65211A 闪存中的配置描述符，以指示自供电模式。

图 4. 自供电配置



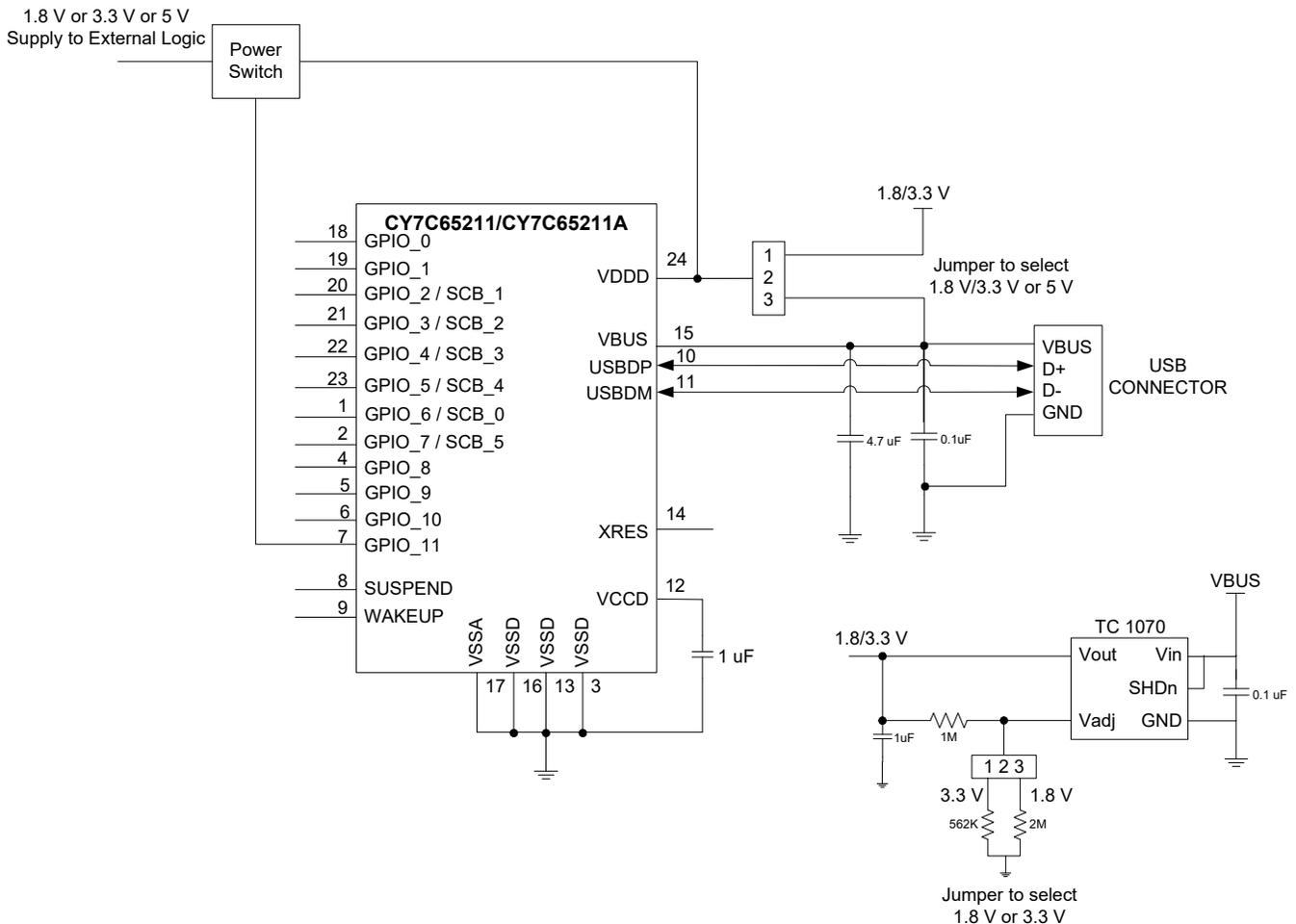
I/O 电压可变的 USB 总线供电

图 5 显示的是 I/O 电压可变的总线供电系统中 CY7C65211/ CY7C65211A 的情况。使用 5 V VBUS 的低压差 (LDO) 电压调节器提供 1.8 V 或 3.3 V 的电压。可以通过跳线开关选用 1.8 V 还是 3.3 V。使用另一个跳线开关选择将 1.8/3.3 V 或 5 V VBUS 电压, 将其提供给 CY7C65211 的 VDDD 引脚。这样, 可以选择将 I/O 电压和外部逻辑的电源设置为 1.8 V、3.3 V 或 5 V。

USB 总线供电系统必须满足以下条件:

- 进行 USB 枚举前 (未配置状态), 系统消耗的电流不能超过 100 mA。
- 在 USB 挂起模式下, 系统消耗的电流不能超过 2.5 mA。
- 高功耗的总线供电系统 (运行期间能够吸收超过 100 mA 的电流) 必须使用通过 GPIO 配置的 POWER# 来确保: 进行 USB 枚举前电流消耗低于 100 mA; 在 USB 挂起状态中电流消耗低于 2.5 mA。

图 5. 带 1.8 V、3.3 V 或 5 V 的可变 I/O 电压的 USB 总线供电 [4]



注释:

4. $1.71\text{ V} \leq \text{VDDD} \leq 1.89\text{ V}$ — 将 VCCD 引脚与 VDDD 引脚短接; $\text{VDDD} > 2\text{ V}$ — 通过一个 $1\text{ }\mu\text{F}$ 的去耦电容连接到 VCCD 引脚上。

应用示例

下面内容介绍了 CY7C65211/CY7C65211A 应用示例。

USB-RS232 桥接器

CY7C65211/CY7C65211A 通过使用 USB 可以将任何带有串行端口的嵌入式系统连接到主机 PC 上。CY7C65211/CY7C65211A 被主机 PC 枚举为一个 COM 端口。

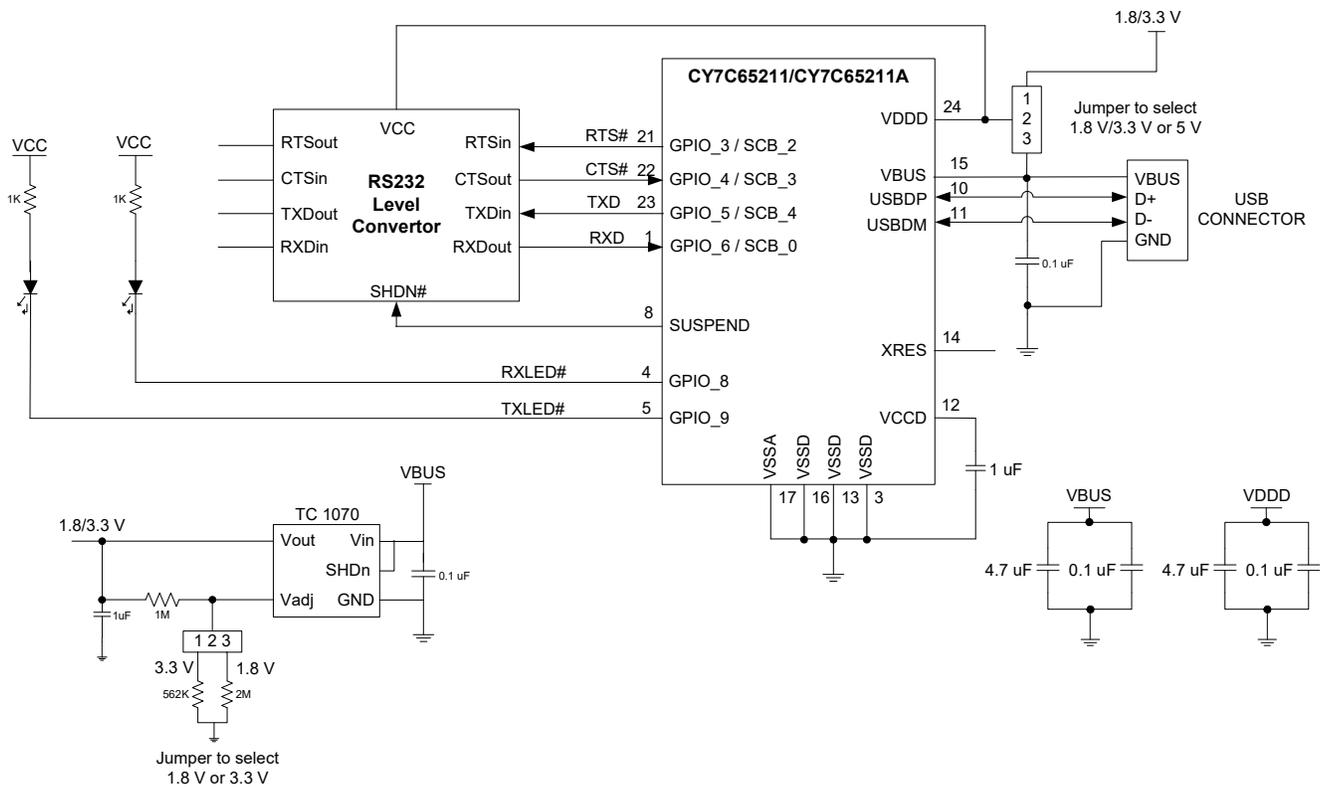
RS232 协议遵循双极传输信号，即：使输出信号在负极性和正极性之间进行切换。RS232 的有效信号范围为 -3 V 到 -15 V 或 $+3\text{ V}$ 到 $+15\text{ V}$ ；但是 -3 V 到 $+3\text{ V}$ 的信号范围无效。在 RS232 中，逻辑 1 被称为“Mark”（标记），它与负电压范围相对应。逻辑 0 被称为“Space”（空白），它与正电压范围相对应。通过使用 RS232 电平转换器，可以实现极性转换，并能够在

CY7C65211/CY7C65211A 的 UART 接口和 RS232 传输信号之间实现电压转换。

在该应用程序中，SUSPEND 被连接到 RS232 电平转换器的 SHDN# 引脚，以指示 USB 挂起或 USB 未枚举等情况，如图 6 所示。

分别将 GPIO8 和 GPIO9 配置为 RXLED# 和 TXLED#，以便驱动两个 LED，用于指示数据的发送和接收。

图 6. USB-RS232 桥接器



USB-RS485 桥接器

CY7C65211A 可以将配置为 USB-UART 接口。该 UART 接口在 TTL 电平上工作。通过使用一个 GPIO 和任意一个半双工 RS485 收发 IC（用于将 TTL 电平转换为 RS485 电平），可将其转换为 RS485 接口，如图 7 所示。该 GPIO (TXDEN) 根据 CY7C65211A

UART 缓冲器的可用特性使能或禁止通过 RS485 收发 IC 进行的数据传输。可以使用赛普拉斯 USB- 串行配置工具来配置该 GPIO。图 8 显示的是它的时序框图。

RS485 是一个多点网络，即：很多器件可以通过一个双线缆连接进行互相通信。RS485 电缆两端需要各有一个终端。

图 7. USB-RS485 桥接器

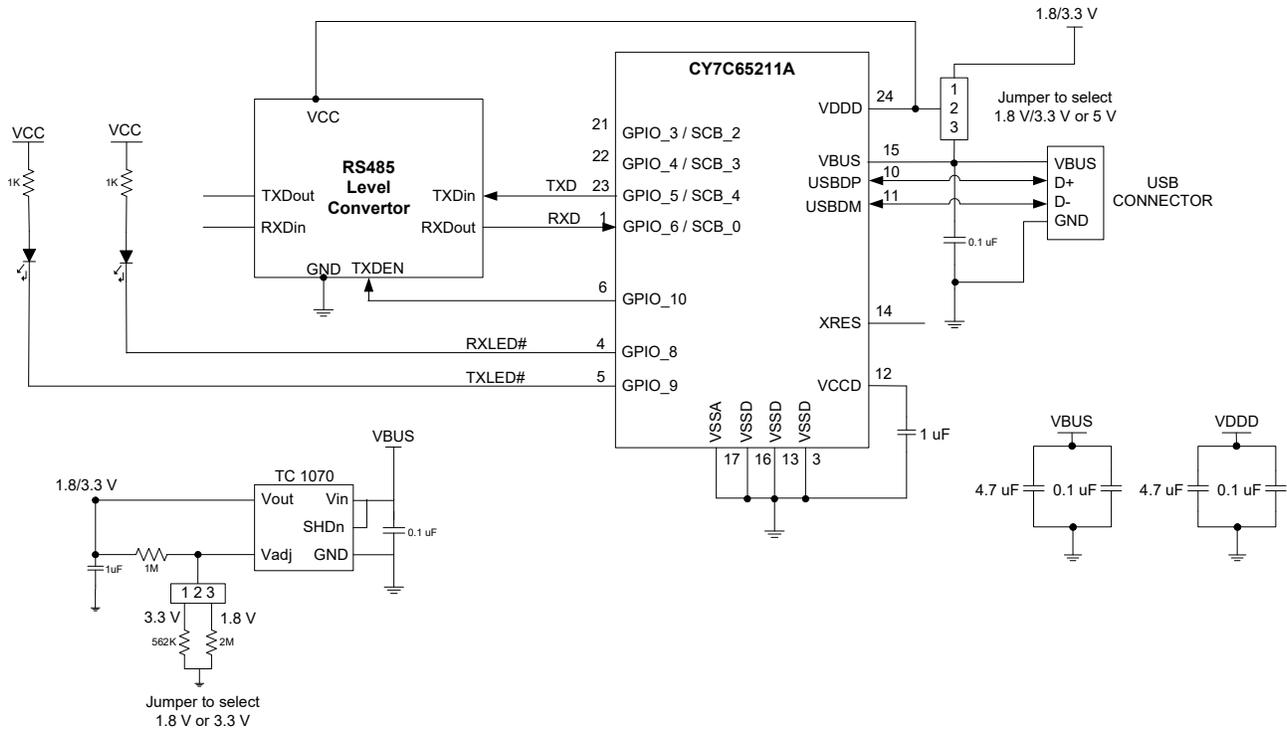
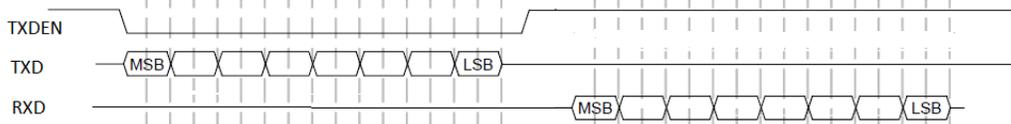


图 8. RS485 GPIO (TXDEN) 时序框图



电池运行的总线供电 USB-MCU 接口，带有电池充电检测功能

图 9 显示了作为 USB-MCU 接口的 CY7C65211/CY7C65211A。TXD 和 RXD 线用于传输数据，则 RTS# 和 CTS# 线用于交换数据。SUSPEND 引脚向 MCU 指示器件是否处于 USB 挂起状态，WAKEUP 引脚用于唤醒 CY7C65211/CY7C65211A，进而给 USB 主机发送一个远程唤醒。

该应用描述的是电池运行的总线供电系统。CY7C65211/CY7C65211A 根据 USB Battery Charging Specification Rev. 1.2 实现电池充电检测功能。

电池运行的总线供电系统必须满足以下条件：

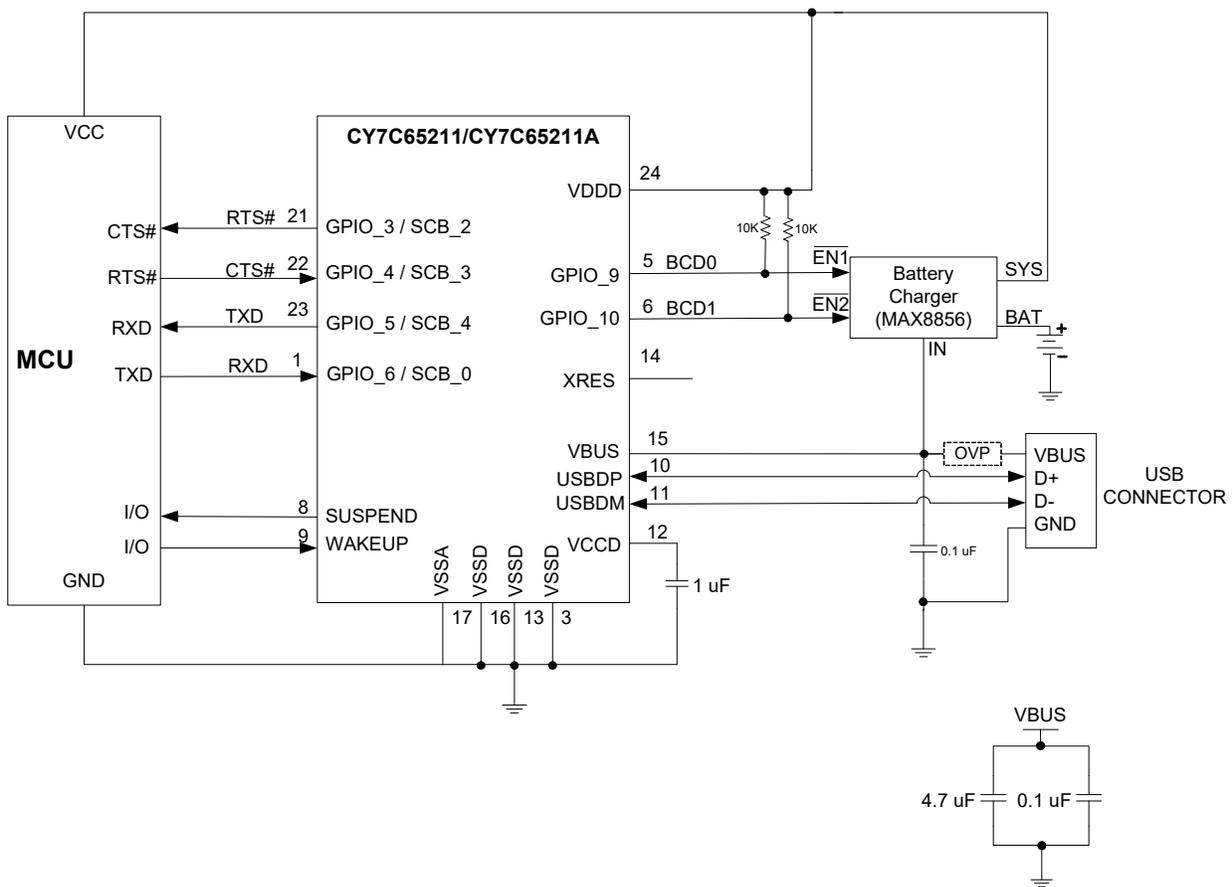
- 如果器件没有 VBUS 连接或被断电，则可以通过电池为系统供电（若未被放电），使该系正常工作。
- 进行 USB 枚举前或在 USB 挂起状态中，系统从 VBUS 消耗的电流不能超过 100 mA。

- 系统的消耗电流不能超过 500 mA（对于 SDP）或 1.5 A（对于 CDP/DCP）

为了满足第一个要求，来自 USB 主机的 VBUS 同时被连接到电池充电器和 CY7C65211，如图 9 所示。连接 VBUS 时，CY7C65211 开始检测电池充电器，并通过 BCD0 和 BCD1 指出 USB 充电器的类型。如果 USB 充电器是 SDP 或 CDP，CY7C65211 将使能 USBDP 上的 1.5 K Ω 的上拉电阻，用于全速枚举。当断开 VBUS 连接时，CY7C65211 将通过 BCD0 和 BCD1 指示 USB 充电器的消失，并去除 USBDP 上 1.5 K Ω 的上拉电阻。按照 USB 2.0 规范，去除该电阻可确保 USBDP 上从电源到 USB 主机的电流将被阻止。

为了满足第二个和第三个要求，要通过 GPIO 配置两个信号（BCD0 和 BCD1），来指示 USB 主机充电器的类型，以及每种 USB 主机充电器能够从电池充电器驱动的电流量。此外，可以使用配置工具来配置 BCD0 和 BCD1 信号。

图 9. 带有电池充电检测功能的 USB-MCU 接口 [5]

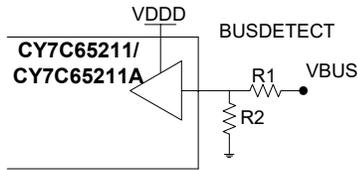
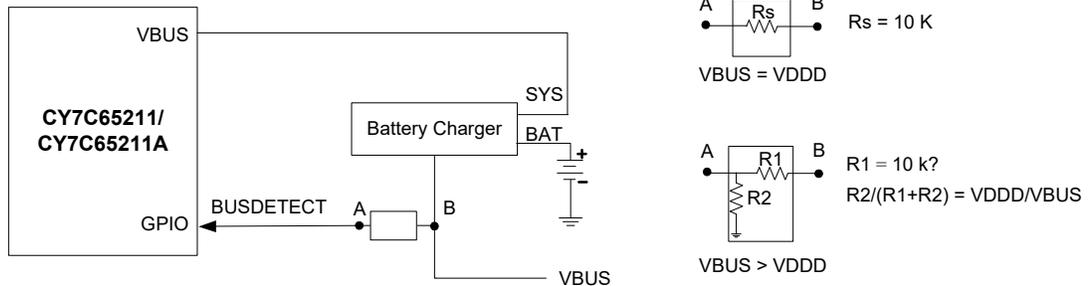


注释：

5. 在 V_{BUS} 引脚上安装一个 100 K Ω 的下拉电阻，便于快速放电。

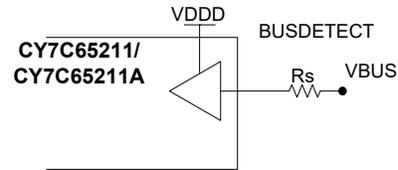
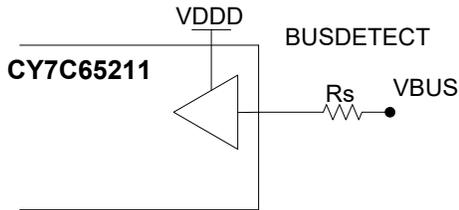
在电池充电器系统中的 VBUS 上可以发生一个 9 V 的毛刺。在 CY7C65211 的 VBUS 引脚最大只能耐 6 V 电压。如果 VBUS 线上没有过压保护 (OVP)，请使用电阻网络将 VBUS 连接至 BUSDETECT (由 GPIO 配置的)，并将电池充电器的输出连接至 CY7C65211 的 VBUS 引脚，如图 10 所示。

图 10. 耐 9 V 电压能力



当 VBUS 和 VDDD 具有相同的电压电位时，可以使用串联电阻 (R_s) 将 VBUS 连接到 GPIO，如下图所示。如果发生充电器故障，并且 VBUS 达到 9 V，那么，10 k Ω 电阻将实现两个功能。它降低 GPIO 中流入正向偏置电极的电流，同时减少焊盘上检测到电压。

图 11. VBUS = VDDD 时 GPIO 对 VBUS 的检测



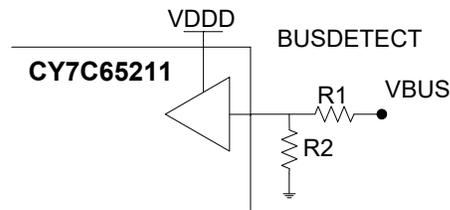
当 VBUS > VDDD 时，需要通过一个电阻分压器使 VBUS 的电压降至 VDDD。这时，GPIO 才能检测 VBUS 电压，如下图所示。电阻值大小要满足下面的条件：

$$R_1 \geq 10 \text{ k}$$

$$R_2 / (R_1 + R_2) = V_{DDD} / V_{BUS}$$

第一个条件限制了电压和电流，从而以防止充电器发生故障（如前一段所述）。而第二个条件则允许正常进行 VBUS 检测。

图 12. VBUS > VDDD 时 GPIO 对 VBUS 的检测



CapSense

在图 13 中，CY7C65211 的配置支持四个 CapSense 按键。配置三个 GPIO，以指示被手指按下的 CapSense 按键（如原理图旁边的表中所示）。如果执行了两个 CapSense 按键，则将配置两个 GPIO（即 CSout0 和 CSout1），以指出被按下的 CapSense 按键。

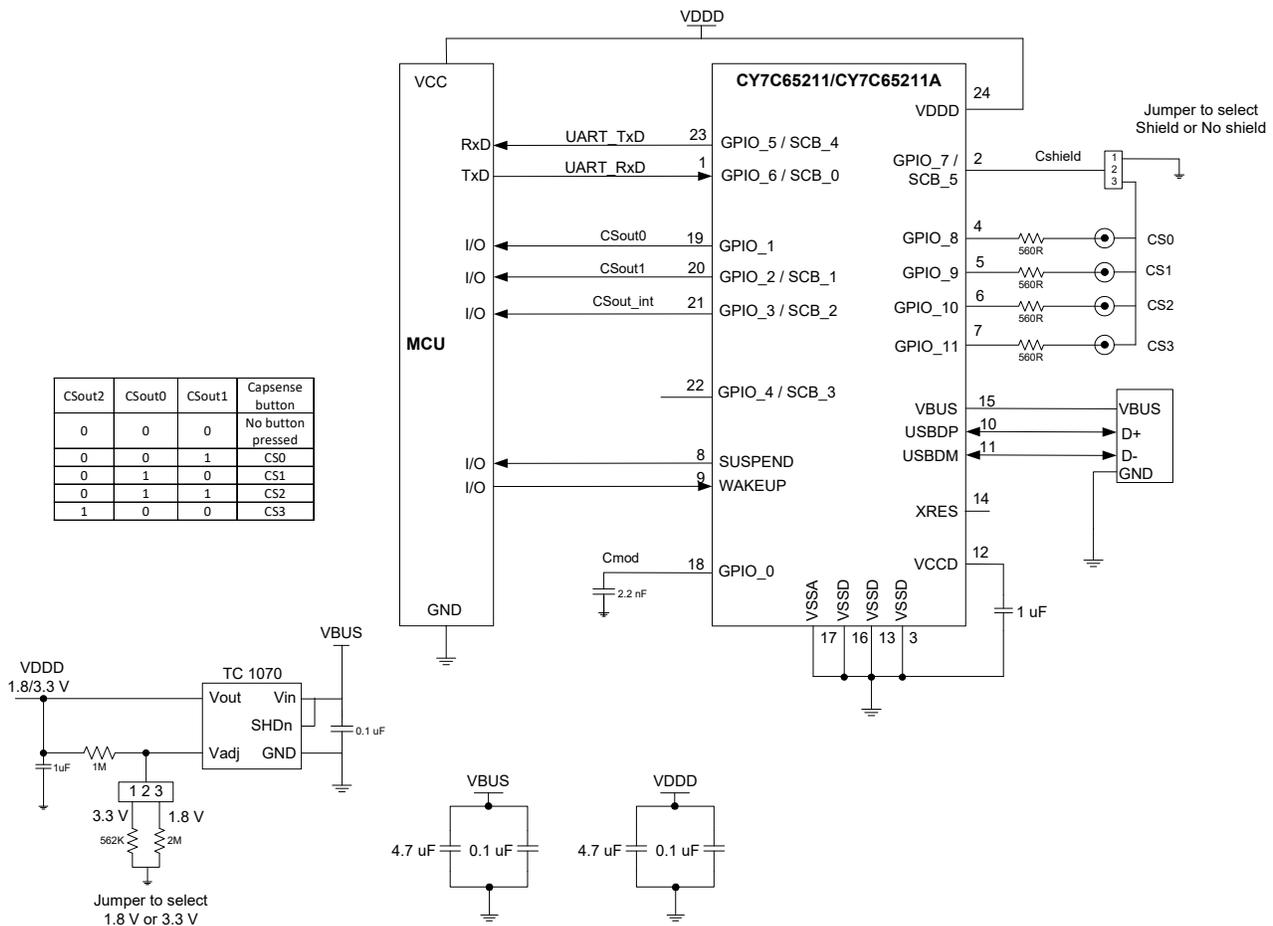
为了正常实现 CapSense 功能，必须在 GPIO_0 引脚上连接一个大小为 2.2 nF（10%）的电容（Cmod）。

可以选择性地将 GPIO_7 引脚配置为 Cshield，并将其连接至 CapSense 按键的屏蔽，如图 13 所示。

屏蔽可以防止由水滴引起的按键误触摸，并保证能够正常执行 CapSense 操作（传感器响应手指触摸）。

有关 CapSense 的更多详细信息，请参考 [CapSense 入门手册](#) 中的内容。

图 13. CapSense 原理图



USB-I²C 桥接器

将 CY7C65211 配置为 USB-I²C 桥接器使用，如图 14 所示。通过使用配置工具，可以将 CY7C65211 I²C 配置为一个主设备或从设备。CY7C65211 所支持的 I²C 数据速率高达 100 kbps（标准模式（SM））以及 400 kbps（快速模式（FM））。

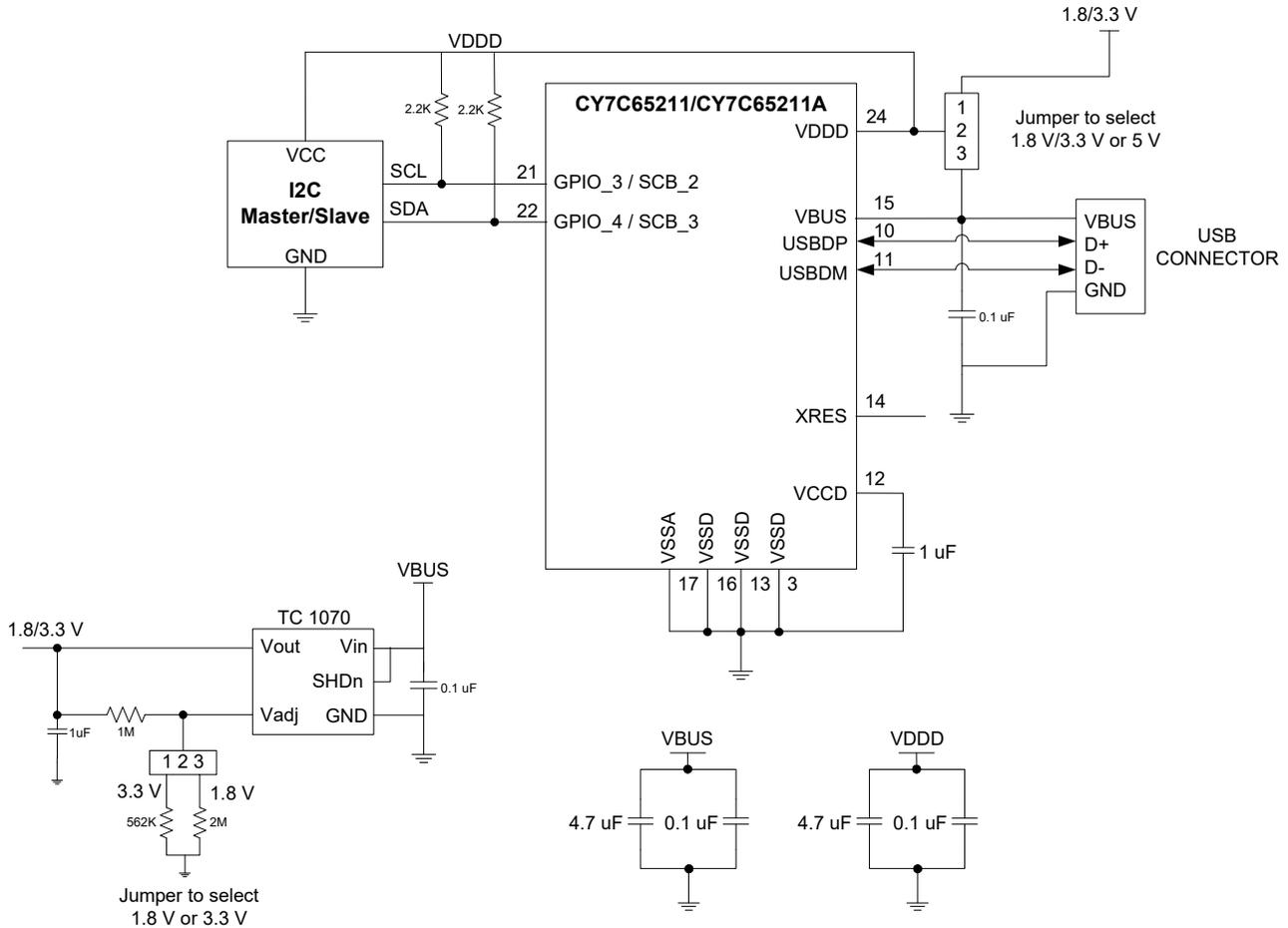
在主设备模式下，SCL 从 CY7C65211 输出。而在从设备模式下，SCL 将输入到 CY7C65211。使用配置工具可配置 CY7C65211

的 I²C 从设备地址。在主/从设备模式下，SDA 数据线是双向的。SCL 和 SDA 端口引脚一直使用开漏驱动模式。

分别将 GPIO8 和 GPIO9 配置为 RXLED# 和 TXLED#，以便驱动两个 LED，用于指示 USB 接收和发送数据。

请参考 NXP I²C 规范，了解更多有关协议的详细信息。

图 14. USB-I²C 桥接器



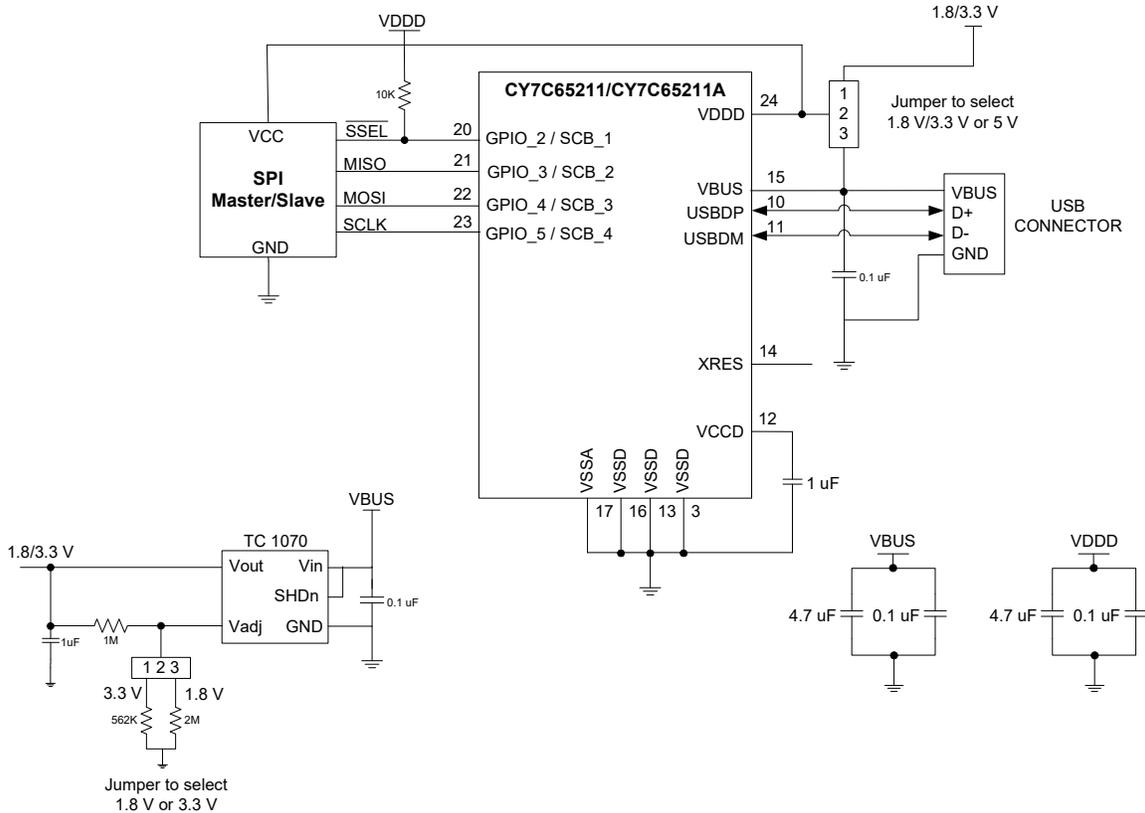
USB-SPI 桥接器

将 CY7C65211 配置为一个 USB-SPI 桥接器，如图 15 所示。通过使用配置工具，可以将 CY7C65211 SPI 配置为一个主设备或从设备。CY7C65211 所支持的 SPI 频率可达 3 MHz（主设备模式）或 1 MHz（从设备模式）。通过使用配置工具可以配置数据的传输大小，其有效范围为 4 位到 16 位。

在主设备模式下，SCLK、MOSI 和 SSEL 线作为输出，则 MISO 作为输入。在从设备模式下，SCL SCLK、MOSI 和 SSEL 线作为输入，而 MISO 作为输出。

分别将 GPIO8 和 GPIO9 配置为 RXLED# 和 TXLED#，以便驱动两个 LED，用于指示 USB 接收和发送数据。

图 15. USB-SPI 桥接器



CY7C65211 支持三种 SPI 协议版本。

- **Motorola** — 这是原始的 SPI 协议。
- **Texas Instruments** — 这是原始 SPI 协议的一个变体，其中数据帧由 SSEL 线上的脉冲确定。
- **National Semiconductors** — 是原始 SPI 协议的一个半双工变体。

Motorola

原始 SPI 协议由 Motorola 定义。它是全双工协议：同时进行发送和接收数据。

一个全双工数据传输的步骤如下：首先，主设备通过将 SSEL 线驱动为 ‘0’ 来选择相应的从设备。然后，驱动 MOSI 线上的数据和 SCLK 线上的时钟。从设备按照传输时钟沿来采样 MOSI 线

上的数据，然后将该数据驱动到 MISO 线上。主设备会捕获 MISO 线上的数据。为所有位重复上述传输数据过程。

进行多个数据传输时，在每个传输之间不需要将 SSEL 线路从 ‘0’ 变为 ‘1’，然后又从 ‘1’ 变回 ‘0’。因此，从设备必须持续跟踪数据传输过程，才能区分各个单独传输。

没有数据传输时，SSEL 线路为 ‘1’，通常 SCLK 被关闭。

Motorola SPI 协议具有四种模式，用于定义如何在 MOSI 和 MISO 线上输出和采样数据。这些模式由时钟极性（CPOL）和时钟相位（CPHA）决定。时钟极性决定了 SCLK 线路在未传输数据时的值：

- CPOL 为 ‘0’：未传输数据时，SCLK 为 ‘0’。
 - CPOL 为 ‘1’：未传输数据时，SCLK 为 ‘1’
- 时钟相位决定了何时输出和采样数据。其取决于 CPOL 的价值：

表 16. SPI 协议模式

模式	CPOL	CPHA	说明
0	0	0	在 SCLK 的下降沿上输出数据。在 SCLK 的上升沿上捕获数据。
1	0	1	在 SCLK 的上升沿上输出数据。在 SCLK 的下降沿上捕获数据。
2	1	0	在 SCLK 的上升沿上输出数据。在 SCLK 的下降沿上捕获数据。
3	1	1	在 SCLK 的下降沿上输出数据。在 SCLK 的上升沿上捕获数据。

图 16. 基于 CPOL 和 CPHA 对 MOSI/MISO 进行数据输出和采样

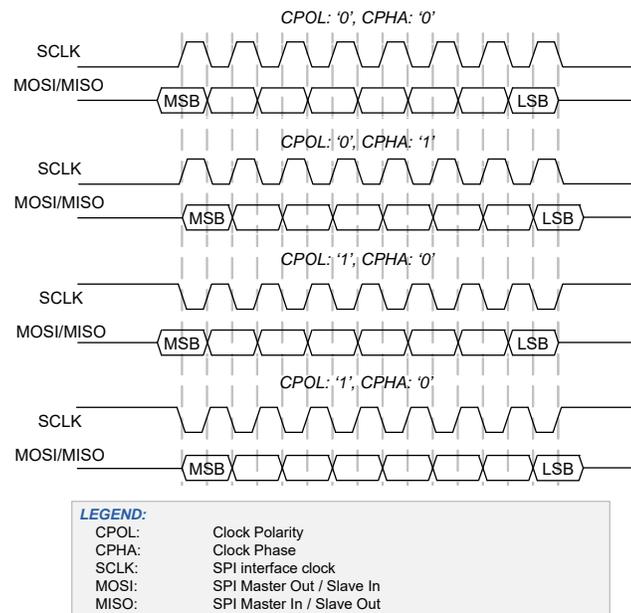
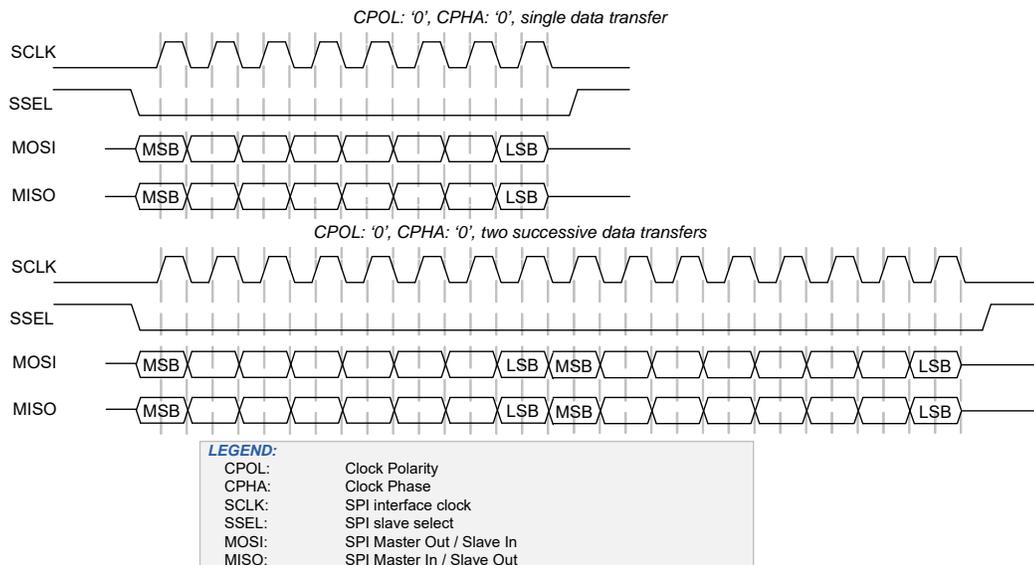


图 17. 模式 0 (即 CPOL 为 '0', CPHA 为 '0') 下的一个 8 位的单数据传输和两个连续的 8 位数据传输。

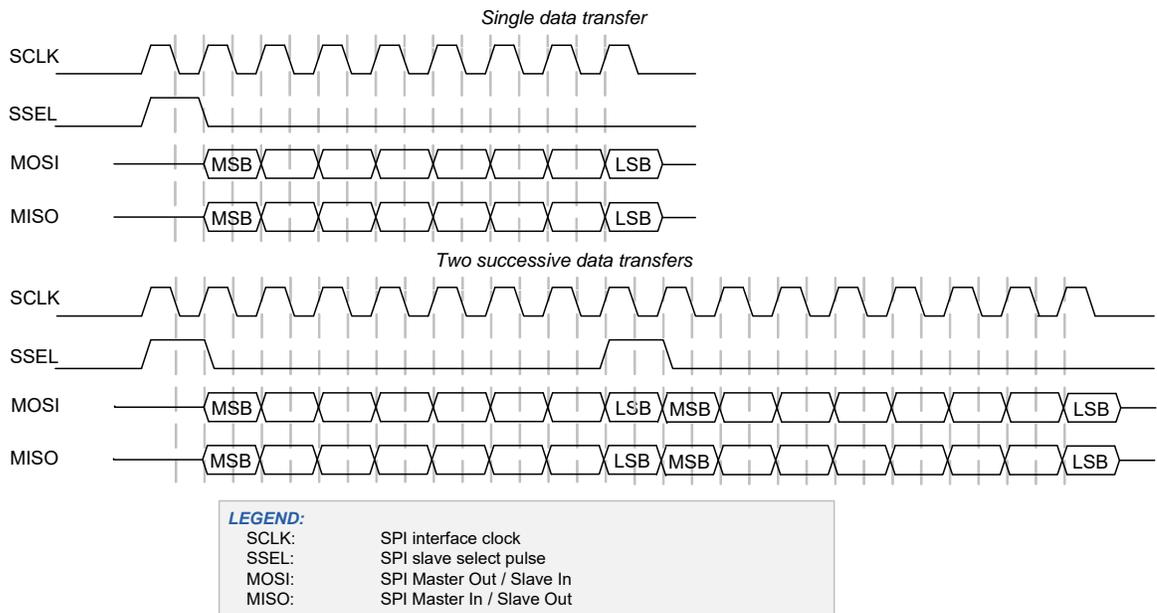


Texas Instruments

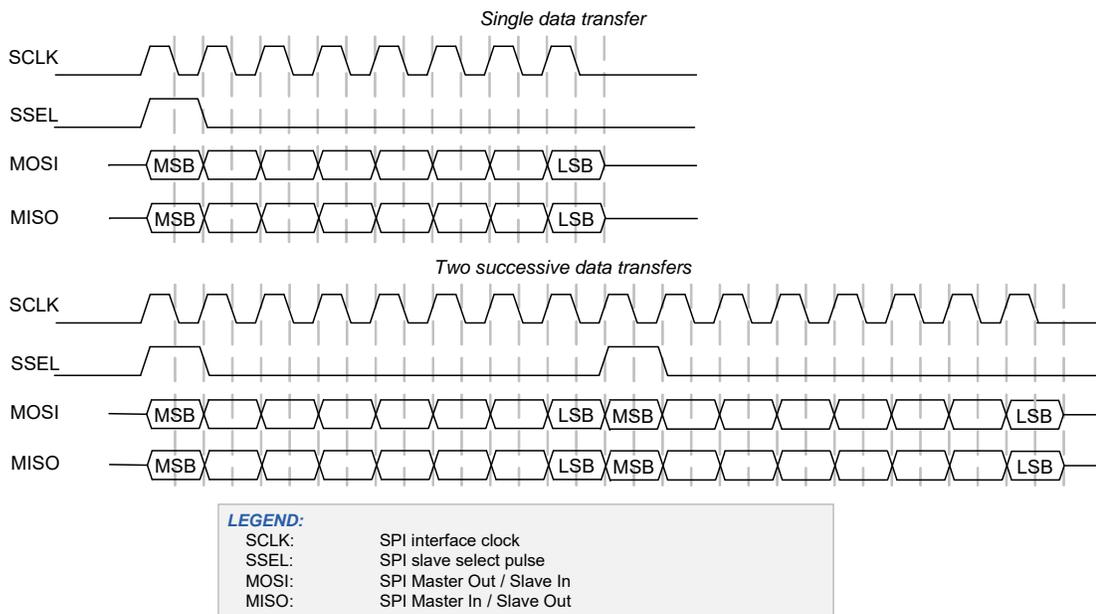
Texas Instruments SPI 协议重新定义了 SSEL 信号的用途。它使用该信号来指示开始传输数据，而不使用低电平有效的从设备选择信号。单位传输周期内的高电平有效脉冲将指示传输的开始。可以在发送第一个数据位的一个周期前生成该脉冲，也可以同时发生。传输时钟 SCLK 是自由运行的时钟。

TI SPI 协议仅支持模式 1 (CPOL 为 ‘0’ 和 CPHA 为 ‘1’)：在 SCLK 的上升沿上驱动数据，并在 SCLK 的下降沿上采样数据。

下图描述的是一个 8 位数据传输和两个连续的 8 位数据传输。SSEL 脉冲优先于第一个数据位传输。请注意，第二个数据传输的 SSEL 脉冲与第一个数据传输中的最后数据位是同步传输的。



下图描述的是一个 8 位数据传输和两个连续的 8 位数据传输。SSEL 脉冲与第一个数据位同步传输。



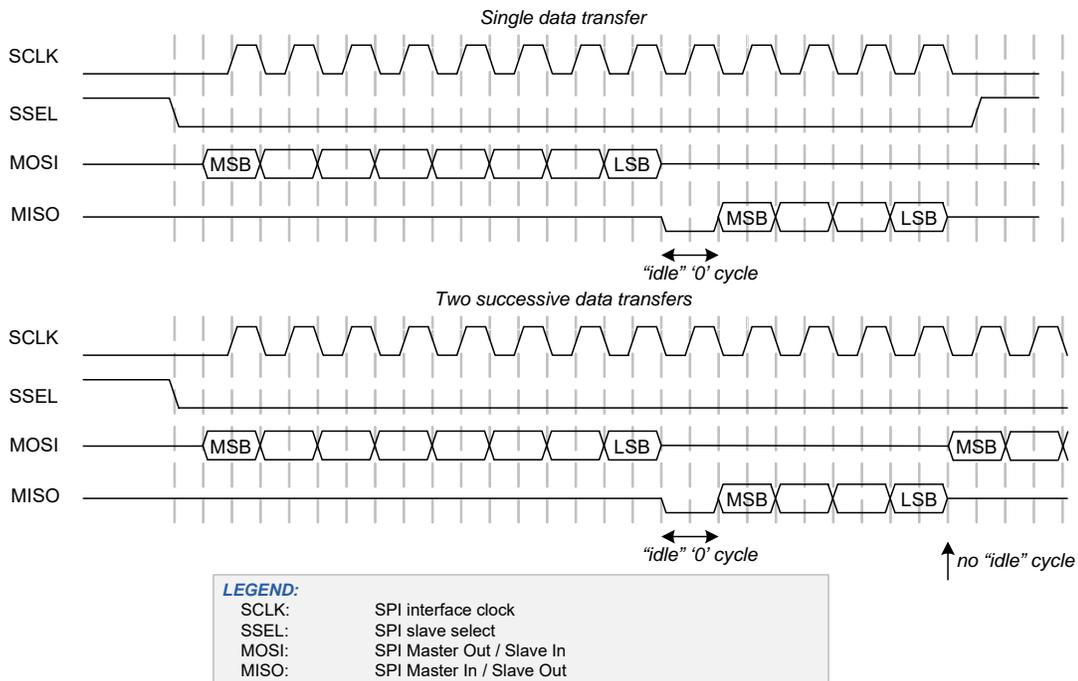
National Semiconductor

National Semiconductor SPI 协议是半双工的。发送和接收交替进行（发送操作在接收操作之前），并非同时进行。单个“空闲”位传输周期用于分开发送和接收操作。

注意：在连续数据传输中，不使用单个“空闲”位传输周期分开发送和接收操作。

发送数据的大小可能与接收数据的大小不同。National Semiconductor 的 SPI 协议仅支持模式 ‘0’：在 SCLK 的下降沿上驱动数据，并在 SCLK 的上升沿上对数据进行采样。

下图描述的是一个数据传输和两个连续的数据传输。在这两种情况下，发送数据的大小均为 8 位，接收数据的大小均为 4 位。



注意：当 MISO 和 MOSI 线处于空闲状态（不带有有效信息）时，上图将它们定义为未定义状态。在空闲状态期间，它将驱动输出值为 ‘0’（以满足特定的主设备（NXP LPC17xx）和特定的从设备（MicroChip EEPROM）的要求）。

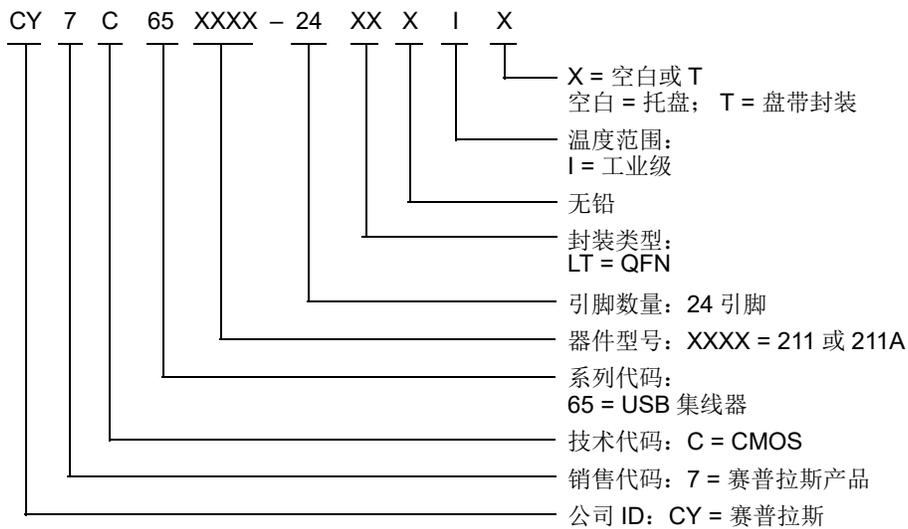
订购信息

表 17 列出了 CY7C65211 的主要封装特性和订购代码。更多详细信息，请联系当地销售代表。

表 17. 关键特性和订购信息

封装	订购代码	工作范围
24-QFN (4.00 × 4.00 × 0.55 mm, 间距为 0.5 mm) (无铅)	CY7C65211-24LTXI	工业级
24-QFN (4.00 × 4.00 × 0.55 mm, 间距为 0.5 mm) (无铅) — 盘带封装	CY7C65211-24LTXIT	工业级
24-QFN (4.00 × 4.00 × 0.55 mm, 间距为 0.5 mm) (无铅)	CY7C65211A-24LTXI	工业级
24-QFN (4.00 × 4.00 × 0.55 mm, 间距为 0.5 mm) (无铅) — 盘带封装	CY7C65211A-24LTXIT	工业级

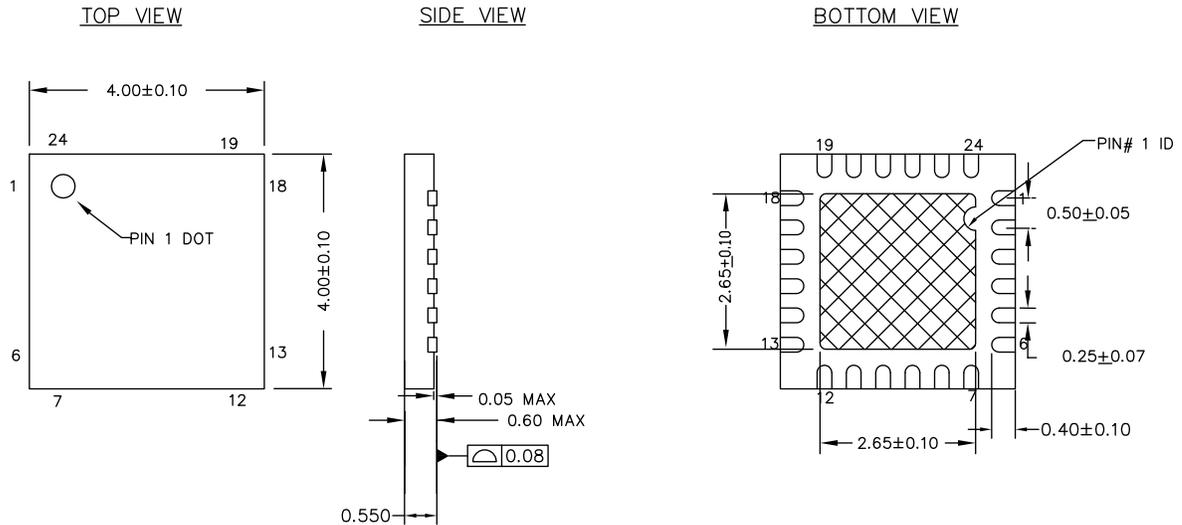
订购代码定义



封装信息

当前计划支持 24-QFN 封装。

图 18. 24-QFN (4 mm × 4 mm × 0.55 mm) LQ24A 2.65 × 2.65 EPAD (Sawn) 封装外形, 001-13937



NOTES :

1. HATCH IS SOLDERABLE EXPOSED METAL.
2. REFERENCE JEDEC # MO-248
3. PACKAGE WEIGHT : 29 ± 3 mg
4. ALL DIMENSIONS ARE IN MILLIMETERS

001-13937 *G

表 18. 封装特性

参数	描述	最小值	典型值	最大值	单位
T_A	工作环境温度	-40	25	85	°C
THJ	封装 θ_{JA}	-	18.4	-	°C/W

表 19. 回流焊峰值温度

封装	最高峰值温度	峰值温度下的最长时间
24-QFN	260 °C	30 秒

表 20. 封装潮敏等级 (MSL), IPC/JEDEC J-STD-2

封装	MSL
24-QFN	MSL 3

缩略语

表 21. 本文中使用的缩略语

缩略语	说明
BCD	电池充电器检测
CDC	通信驱动类型
CDP	充电下行端口
DCP	专用充电端口
DLL	动态的链接库
ESD	静电放电
GPIO	通用输入 / 输出
HBM	人体放电模式
I ² C	内部集成电路
微控制器 (MCU)	微控制器单元
OSC	振荡器
PHDC	个人医疗设备类
PID	产品标识
SCB	串行通信模块
SCL	I ² C 串行时钟
SDA	I ² C 串行数据
SDP	标准下行端口
SIE	串行接口引擎
SPI	串行外设接口
VCOM	虚拟通信端口
USB	通用串行总线
UART	通用异步发射器接收器
VID	供应商标识

文档规范

测量单位

表 22. 测量单位

符号	测量单位
°C	摄氏度
DMIPS	Dhrystone 每秒百万条指令
kΩ	千欧
KB	千字节
kHz	千赫兹
kV	千伏特
Mbps	每秒兆比特
MHz	兆赫兹
mm	毫米
V	伏特

勘误表

本节对 CY7C65211/CY7C65211AUSB 串行系列的 errata 进行了介绍。errata 中包括勘误触发条件、影响范围、可用解决方案。若有任何问题，请联系您本地赛普拉斯销售代表。

受影响的器件型号

器件型号	器件特性
CY7C65211	所有形式
CY7C65211A	所有形式

合格状态

量产

勘误表总结

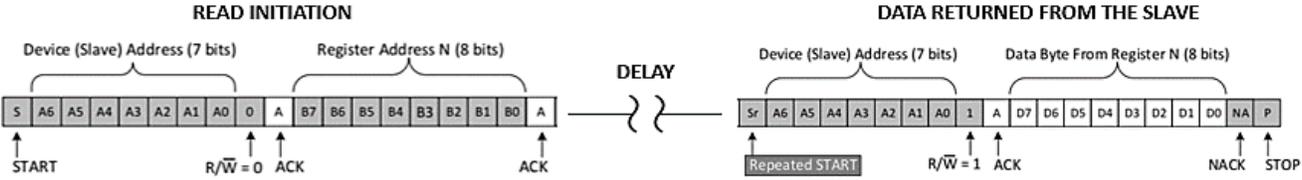
下表定义了可用 USB 串行器件系列的 errata 适用性。

内容	受影响的器件型号	修正状态
[1] 测量到的 I2C 主设备时钟 (SCL) 频率与配置的时钟频率不同。	CY7C65211	在 CY7C65211A 中已处理
[2] SPI 通信期间 (数据速率为 3 Mbps) 数据丢失。	CY7C65211	在 CY7C65211A 中已处理
[3] USB 串行作为 I2C 主设备将读取一个额外的数据字节，而不是 USB 主机请求的数据。	CY7C65211	在 CY7C65211A 中已处理
[4] USB 串行被配置为 I2C 主设备时，I2C 读取速度将更慢。	CY7C65211 CY7C65211A	未处理
[5] USB 串行不报告 UART 帧错误。	CY7C65211 CY7C65211A	未处理
[6] USB 串行不报告 MARK 或 SPACE 奇偶校验错误。	CY7C65211 CY7C65211A	未处理

1. 测量到的 I ² C 主设备时钟 (SCL) 频率与配置的时钟频率不同。	
问题定义	测量到的 I ² C 时钟频率比配置的 SCL 频率小 20%
受影响的参数	NA
触发条件	不适用
影响范围	I ² C 的读写操作速率将低于其配置速率
解决方案	没有解决方案
处理状态	在 CY7C65211A 中已纠正

2. SPI 通信期间 (数据速率为 3 Mbps) 数据丢失。	
问题定义	使用数据转换速率为 3 Mbps 的 SPI 模式时，将观察到数据丢失。
受影响的参数	NA
触发条件	SPI 通信期间，3 Mbps 的数据速率将触发数据丢失
影响范围	SPI 期间，在速率为 3 Mbps 时观察到数据丢失
解决方案	没有解决方案
处理状态	在 CY7C65211A 中已处理

3. USB 串行作为 I ² C 主设备将读取一个额外的数据字节，而不是 USB 主机请求的数据。	
问题定义	配置为 I ² C 主设备的 USB 串行将读取一个额外的数据字节，而不是 I ² C 从设备请求的数据。但是，只有请求的字节数量返回到 USB 主机
受影响的参数	NA
触发条件	无特定触发条件。每次读取 I ² C 时，主设备将从从设备读取额外的数据字节。
影响范围	I ² C 从设备可能会进入不可恢复状态，并无限期地保持 SCL 线，最终导致数据丢失
解决方案	没有解决方案
处理状态	在 CY7C65211A 中已处理

4. USB 串行被配置为 I ² C 主设备时，I ² C 读取速度将更慢。	
问题定义	配置为 I ² C 主设备的 USB 串行所执行的 I ² C 读取速度将更慢。这是因为 I ² C 读取启动和 I ² C 从设备接收数据之间存在明显的延迟。
	
受影响的参数	NA
触发条件	无特定触发条件。在主设备初始的每个 I ² C 读取和从设备接收数据之间观察到延迟
影响范围	主设备进行的 I ² C 读取速度将更慢。
解决方案	KBA227320 介绍了降低这种延迟所需采取的各步骤。
处理状态	未处理提供了解决方案。

5. USB 串行不报告 UART 帧错误。	
问题定义	当停止位数被置为 1 时，USB 串行在接收 UART 数据时不报告 UART 帧错误。
受影响的参数	NA
触发条件	停止位数置为 1 时，USB 串行将无法报告 UART 帧错误。停止位数不为 1 时，USB 串行才报告错误。
影响范围	不产生影响
解决方案	无法解决。通常，使用 UART 的应用程序必须在数据中包含校验和或 CRC，以确保帧的完整性。
处理状态	未处理

6. USB 串行不报告 MARK 或 SPACE 奇偶校验错误。	
问题定义	接收用于配置 MARK 或 SPACE 奇偶校验时，USB 串行将不报告 UART 奇偶校验错误。
受影响的参数	NA
触发条件	接收用于配置 MARK 或 SPACE 奇偶校验时，USB 串行将无法报告 UART 奇偶校验错误。请注意，当配置了 ODD 或 EVEN 奇偶校验设置时，USB 串行将检测奇偶校验错误。
影响范围	不产生影响
解决方案	无法解决。通常，使用 UART 的应用程序必须在数据中包含校验和或 CRC，以确保帧的完整性。
修正状态	未处理

文档修订记录

文档标题: CY7C65211/CY7C65211A, 带有 CapSense® 和 BCD 的 USB- 串行单通道 (UART/I ² C/SPI) 桥接				
文档编号: 001-88948				
版本	ECN	变更者	提交日期	变更说明
**	4106148	KKCN	08/27/2013	本档版本号为 Rev. **, 译自英文版 001-82042 Rev. *D。
*A	5473124	WEIZ	10/14/2016	本档版本号为 Rev. *A, 译自英文版 001-82042 Rev. *I。
*B	5974224	HSIN	11/22/2017	本档版本号为 Rev. *B, 译自英文版 001-82042 Rev. *J。
*C	6372413	HSIN	10/31/2018	本档版本号为 Rev. *C, 译自英文版 001-82042 Rev. *K。
*D	6687081	WEIZ	10/07/2019	本档版本号为 Rev. *D, 译自英文版 001-82042 Rev. *L。

销售、解决方案和法律信息

全球销售和 design 支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要想找到最靠近您的办事处，请访问[赛普拉斯所在地](#)。

产品

Arm® Cortex® 微控制器	cypress.com/arm
汽车级	cypress.com/automotive
时钟与缓冲器	cypress.com/clocks
接口	cypress.com/interface
物联网	cypress.com/iot
存储器	cypress.com/memory
微控制器	cypress.com/mcu
PSoC	cypress.com/psoc
电源管理 IC	cypress.com/pmuc
触摸感应	cypress.com/touch
USB 控制器	cypress.com/usb
无线连接	cypress.com/wireless

PSoC® 解决方案

[PSoC 1](#) | [PSoC 3](#) | [PSoC 4](#) | [PSoC 5LP](#) | [PSoC 6 MCU](#)

赛普拉斯开发者社区

[论坛](#) | [WICED IOT 论坛](#) | [项目](#) | [视频](#) | [博客](#) | [培训](#) | [组件](#)

技术支持

cypress.com/support

© 赛普拉斯半导体公司，2012-2019 年。本文件是赛普拉斯半导体公司及其子公司，包括 Spansion LLC（“赛普拉斯”）的财产。本文件，包括其包含或引用的任何软件或固件（“软件”），根据全球范围内的知识产权法律以及美国与其他国家签署条约由赛普拉斯所有。除非在本款中另有明确规定，赛普拉斯保留在该等法律和条约下的所有权利，且未就其专利、版权、商标或其他知识产权授予任何许可。如果软件并不附随有一份许可协议且贵方未以其他方式与赛普拉斯签署关于使用软件的书面协议，赛普拉斯特此授予贵方属人性质的、非独家且不可转让的如下许可（无再许可权）（1）在赛普拉斯特软件著作权项下的下列许可权（一）对以源代码形式提供的软件，仅出于在赛普拉斯硬件产品上使用之目的且仅在贵方集团内部修改和复制软件，和（二）仅限于在有关赛普拉斯硬件产品上使用之目的将软件以二进制代码形式的向外部最终用户提供（无论直接提供或通过经销商和分销商间接提供），和（2）在被软件（由赛普拉斯公司提供，且未经修改）侵犯的赛普拉斯专利的权利主张项下，仅出于在赛普拉斯硬件产品上使用之目的制造、使用、提供和进口软件的许可。禁止对软件的任何其他使用、复制、修改、翻译或汇编。

在适用法律允许的限度内，赛普拉斯未对本文件或任何软件作出任何明示或暗示的担保，包括但不限于关于适销性和特定用途的默示保证。没有任何电子设备是绝对安全的。因此，尽管赛普拉斯在其硬件和软件产品中采取了必要的安全措施，但是赛普拉斯并不承担任何由于使用赛普拉斯产品而引起的安全问题及安全漏洞的责任，例如未经授权的访问或使用赛普拉斯产品。此外，本材料中所介绍的赛普拉斯产品有可能存在设计缺陷或设计错误，从而导致产品的性能与公布的规格不一致。（如果发现此类问题，赛普拉斯会提供勘误表）赛普拉斯保留更改本文件的权利，届时将不另行通知。在适用法律允许的限度内，赛普拉斯不对因应用或使用本文件所述任何产品或电路引起的任何后果负责。本文件，包括任何样本设计信息或程序代码信息，仅为供参考之目的提供。文件使用人应负责正确设计、计划和测试信息应用和由此生产的任何产品的功能和安全性。赛普拉斯产品不应被设计为、设定为或授权用作武器操作、武器系统、核设施、生命支持设备或系统、其他医疗设备或系统（包括急救设备和手术植入物）、污染控制或有害物质管理系统中的关键部件，或产品植入之设备或系统故障可能导致人身伤害、死亡或财产损失其他用途（“非预期用途”）。关键部件指，若该部件发生故障，经合理预期会导致设备或系统故障或会影响设备或系统安全性和有效性的部件。针对由赛普拉斯产品非预期用途产生或相关的任何主张、费用、损失和其他责任，赛普拉斯不承担全部或部分责任且贵方不应追究赛普拉斯之责任。贵方应赔偿赛普拉斯因赛普拉斯产品任何非预期用途产生或相关的所有索赔、费用、损失和其他责任，包括因人身伤害或死亡引起的主张，并使之免受损失。

赛普拉斯、赛普拉斯徽标、Spansion、Spansion 徽标，及上述项目的组合，WICED，及 PSoC、CapSense、EZ-USB、F-RAM 和 Traveo 应视为赛普拉斯在美国和其他国家的商标或注册商标。请访问 cypress.com 获取赛普拉斯商标的完整列表。其他名称和品牌可能由其各自所有者主张为该方财产。