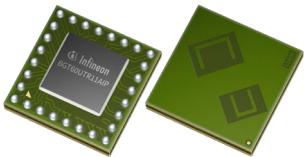


英飞凌 BGT60UTR11AIP 60 GHz 雷达传感器

天线在封装上的 60 GHz 雷达传感器

特性

- 集成状态机，可实现低功耗和实时运行
- 广播模式可触发和配置多个器件
- 用于芯片配置和数据传输的单通道 50 MHz SPI
- 60 GHz 雷达，带宽 5.6 GHz，Chirp斜率高达 400 MHz/μs
- 4 MSps ADC
- 封装内天线 (AIP)，±60° FoV



潜在应用

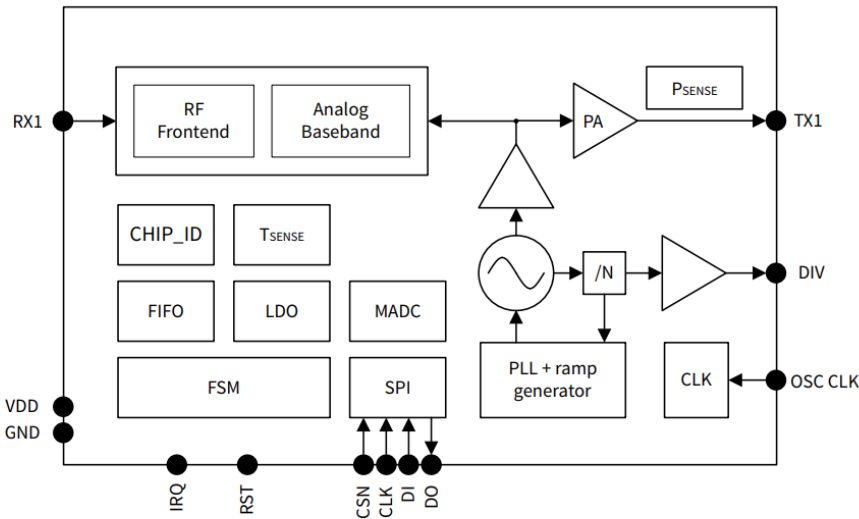
- 针对智能家居和门铃应用的存在检测和范围区域划分
- 用于医疗保健设备生命体征追踪，如睡眠追踪器和婴儿监视器
- 用于厨房用具或恒温器等智能电器的一维手势感应技术
- 距离测量和液位传感

产品验证

根据 JEDEC20/22 相关测试的测试条件，符合上述应用要求。

描述

英飞凌 BGT60UTR11AIP 是一款 60 GHz 雷达传感器，封装上有 1 个发射 U 型槽贴片天线和 1 个接收 U 型槽贴片天线。5.6 GHz 超宽带宽可实现分辨率极高的 FMCW 操作。这使得精确测量距离、一维手势以及呼吸频率或心率等生命体征的测量成为可能。传感器配置和数据传输只需一个数字接口即可实现。连接到同一总线上的多个器件可通过广播模式进行配置并一起触发。器件特定的可编程唤醒时间允许时域多路复用雷达帧。集成的状态机可实现独立的实时数据采集，无需与处理器交互。三种可能的电源模式选项为用户提供了性能和功耗优化之间的充分灵活性。



Product Name	Package	Marking type
BGT 60UTR11AIP	PG-VF2BGA-28-1	611A

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

目录

	特性	1
	潜在应用	1
	产品验证	1
	描述	1
	目录	2
1	简介	6
1.1	产品概述.....	6
1.2	BGT60UTR11AIP 框图.....	7
1.3	BGT60UTR11AIP 引脚定义和功能.....	8
1.3.1	IO 和电源引脚	9
1.4	BGT60UTR11AIP 功能框图.....	11
2	通用产品规范.....	12
2.1	绝对最大额定值.....	12
2.2	功能范围.....	12
2.3	电流消耗.....	13
2.4	ESD 完整性	15
2.5	热阻.....	16
3	形状、帧和通道集定义.....	17
3.1	形状和帧.....	17
3.2	通道集.....	18
3.3	电源模式.....	20
3.3.1	模式描述.....	20
3.3.2	从"深度睡眠"到"空闲"的唤醒阶段	22
3.3.3	空闲到 Interchirp 然后激活	23
3.3.4	锯齿形状时序.....	26
3.3.5	形状和形状组之后的不同电源模式.....	26
3.3.5.1	形状或形状组之后的空闲模式	26
3.3.5.2	形状之间的 Interchirp	28
3.3.5.3	形状组之后的深度睡眠连续 + 空闲唤醒	30
3.4	系统约束.....	32
3.4.1	MADC 采样时序条件和计算	32
3.4.2	PLL 频率斜坡设置.....	33
4	BGT60UTR11AIP 寄存器.....	37
4.1	缩略词.....	37
4.2	寄存器概览 - BGT60UTR11AIP (递增偏移地址)	37
4.3	主寄存器.....	38
4.4	ADC 控制寄存器	40

4.5	数字和 RF 版本寄存器.....	42
4.6	状态寄存器 1	43
4.7	PLL 模拟控制寄存器 1	43
4.8	PLL 模拟控制寄存器 2	45
4.9	SPI 和 FIFO 控制寄存器	47
4.10	通道集空闲寄存器 0	48
4.11	通道集空闲寄存器 1	49
4.12	通道集空闲寄存器 2	50
4.13	通道集控制空闲寄存器	51
4.14	通道集深度睡眠寄存器 0	52
4.15	通道集深度睡眠寄存器 1	54
4.16	通道集深度睡眠寄存器 2	55
4.17	通道集控制深度睡眠寄存器	56
4.18	通道集 up x 寄存器 0	57
4.19	通道集 up x 寄存器 1	58
4.20	通道集 up x 寄存器 2	59
4.21	通道集 down x 寄存器 0	60
4.22	通道集 down x 寄存器 1	61
4.23	通道集 down x 寄存器 2	62
4.24	通道集控制 x 寄存器	63
4.25	Chirp 控制寄存器 0	64
4.26	Chirp 控制寄存器 1	65
4.27	Chirp 控制寄存器 2	66
4.28	Chirp 控制寄存器 3	67
4.29	PLL 形状 x 寄存器 0	68
4.30	PLL 形状 x 寄存器 1	68
4.31	PLL 形状 x 寄存器 2	69
4.32	PLL 形状 x 寄存器 3	70
4.33	PLL 形状 x 寄存器 4	70
4.34	PLL 形状 x 寄存器 5	71
4.35	PLL 形状 x 寄存器 6	71
4.36	PLL 形状 x 寄存器 7	72
4.37	传感器 ADC 寄存器	73
4.38	RF 测试寄存器 0	73
4.39	EFUSE 寄存器 0	75
4.40	EFUSE 寄存器 1	75
4.41	PLL 测试寄存器 0	76
4.42	芯片 ID 寄存器 0	76
4.43	芯片 ID 寄存器 1	77
4.44	时钟输入寄存器	77
4.45	唤醒寄存器	78
4.46	状态寄存器 0	79

4.47	传感器 ADC 结果寄存器	80
4.48	FIFO 状态寄存器	81
4.49	全局状态寄存器	82
5	数据组织和 SPI 接口	84
5.1	数据头	84
5.2	FIFO 和数据流	84
5.3	SPI - 串行外设接口模块	85
5.3.1	标准 SPI 时序	86
5.3.2	逻辑电平	88
5.3.3	过冲和下冲波形定义	90
5.3.4	IBIS 模型	91
5.3.5	SPI 功能	91
5.3.6	SPI 突发模式	92
5.3.7	SPI 错误检测	94
5.3.8	SPI 广播模式	94
5.4	硬件复位序列	95
5.5	软件触发复位	96
6	PLL 域功能规范	97
6.1	PLL 接口和时钟分配	97
6.1.1	参考时钟分配	97
6.1.2	PLL 接口	98
6.2	PLL 参数和规范	98
6.2.1	频率斜坡线性定义:	99
6.2.2	频率斜坡建立时间	100
7	模拟 RF 域功能规范	101
7.1	RF 前端(RF FE)	101
7.1.1	片上模拟传感器输出	101
7.1.2	射频 FE 规范	102
7.2	模拟基带: 放大器和滤波器	103
7.2.1	基带特性	104
7.2.2	基带要求	104
8	MADC 域功能规范	107
8.1	MADC 电源电压要求	107
8.2	MADC 规范	108
8.3	MADC 时序图	110
8.4	MADC 启动序列	110
8.5	MADC 转换率	111
8.5.1	采样	111
8.5.2	转换	111
8.5.3	跟踪	112
8.5.4	ADC 转换率	112

8.5.5 ADC 采样率..... 112

9 片上模拟传感器.....113

9.1 功率传感器..... 113

9.2 温度传感器..... 113

9.3 手动传感器转换..... 113

10 增强功能115

10.1 CHIP ID 读出 115

10.2 数据测试模式..... 115

10.3 CW 模式..... 115

10.3.1 启用 CW 模式..... 116

10.3.2 基带和 ADC 测试模式..... 117

10.4 IRQ 输出 118

11 封装120

11.1 内置天线规范..... 123

 词汇表..... 125

 修订历史129

 免责声明.....130

1 简介

智能传感器可以基于雷达系统，特别是 **频率调制连续波(FMCW)** 雷达。这些系统可由几个模块组成：**射频(RF)** 前端、**模拟基带(ABB)**、**模数转换器(ADC)**、**锁相环(PLL)**、存储器（**先入先出(FIFO)**）、**串行外设接口(SPI)** 和天线。智能传感器要求高度集成，因此上述元器件应集成在单芯片解决方案中。BGT60UTR11AIP 在单芯片中实现了这种集成度。

1.1 产品概述

BGT60UTR11AIP 的核心功能是通过 **发射(TX)** 通道发射调频连续波信号，并通过 **接收(RX)** 通道接收目标物体的回波信号。接收路径包括基带滤波、**可变增益放大器(VGA)** 和 **ADC**。数字化输出存储在基于 **FIFO** 的存储器中。数据被传输到外部主机、**微控制器单元(MCU)** 或 **应用处理器(AP)**，以进行雷达信号处理。一个典型的传感器系统由两个主要模块组成：

- 雷达传感器（BGT60UTR11AIP）处理 **RF** 信号，并提供采样后的 **中频(IF)** 信号
- AP 或微控制器单元，用于捕捉和处理数字雷达信号

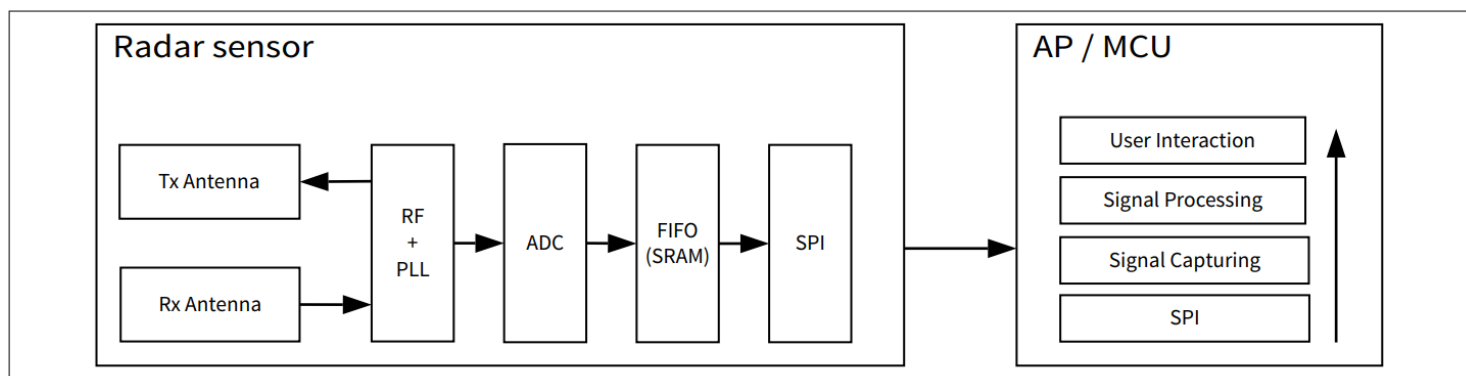


图 2 整套雷达传感器系统的数据流

1.2 BGT60UTR11AIP 框图

BGT60UTR11AIP 框图如下图所示。

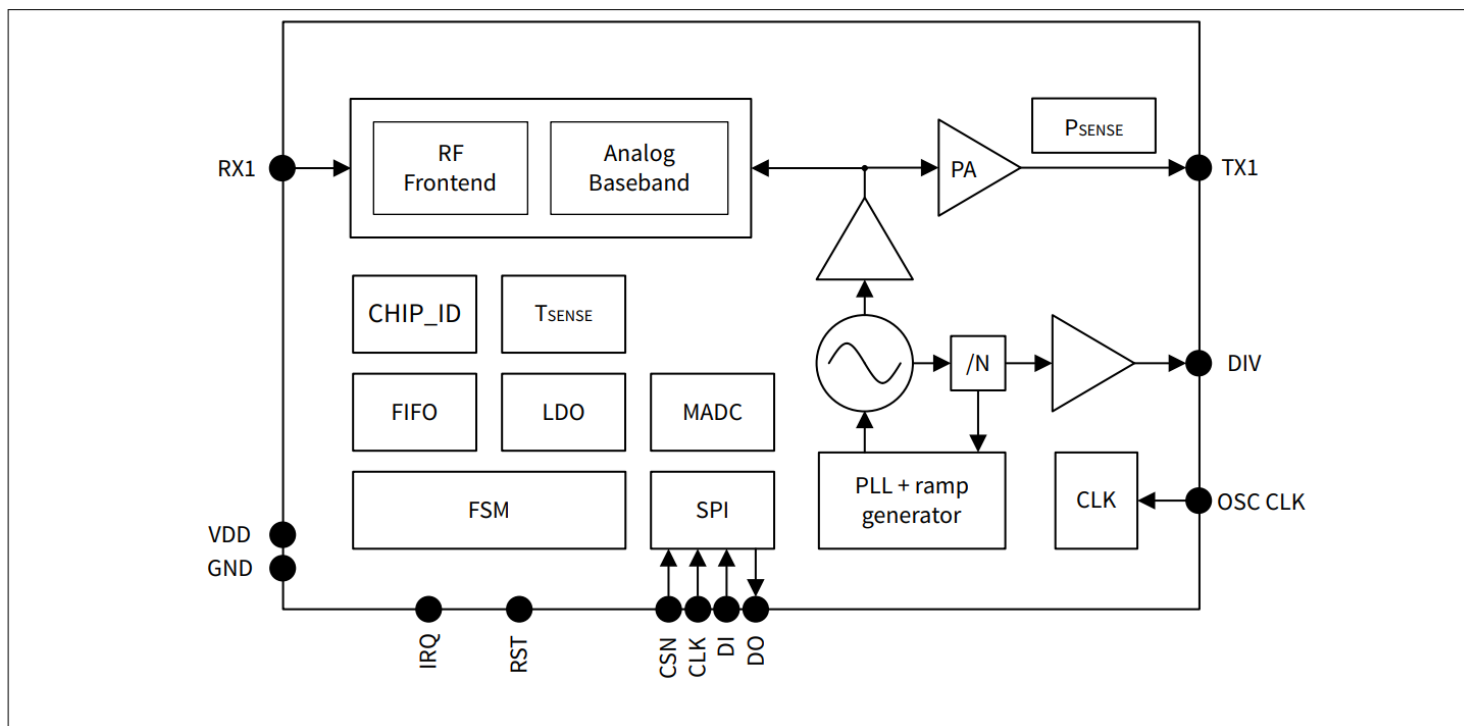


图 3 BGT60UTR11AIP 框图

特性列表:

- 数字域和模拟域均采用 1.8 V 单电源电压
- 集成 **低压差稳压器 (LDO)**，为数字域供电
- 用于环路滤波器的独立 3.3 V 电源
- 60 GHz RF 前端，覆盖 57.4 至 63.0 GHz 频率，配备 1 个 TX 通道和 1 个 RX 通道
- 基带链包括 **高通滤波器 (HPF)**、低噪声 **VGA** 和 **抗混叠滤波器 (AAF)**
- 1 个 **ADC** 通道，具有 12 位分辨率和高达 4 MSps 的采样率，用于对 RX-IF 通道进行采样
- 集成 RF **PLL**、定时器、计数器和 **有限状态机 (FSM)**，以独立模式运行帧集（除首次触发和原始数据传输外，无需与 **AP** 或微控制器单元通信）
- 全双工 **FIFO** 结构作为数据缓冲区（49 kbit = 2048 字 x 24 位）
- 用于配置和状态寄存器读取访问的标准 **SPI** 模式
- 专用电源模式，降低功耗
- 外部 38.4/40/76.8/80MHz 基准振荡器可用作系统时钟源
- 输入时钟为 38.4/40 MHz 时，使用内部倍频器
- **内置测试设备 (BITE)** 用于 **生产线末端 (EOL)** 在英飞凌的生产中进行测试，以验证 **RF** 性能
- 用于数据传输检查的片上 **线性反馈移位寄存器 (LFSR)** 测试模式生成器
- 采用英飞凌 BiCMOS 工艺技术制造
- 采用层压包装
- 集成在封装中的天线
- 每个器件具备 48 位唯一 CHIP ID

1.3 BGT60UTR11AIP 引脚定义和功能

下图显示了 BGT60UTR11AIP 层压封装的俯视图，其中标明了引脚和天线编号分配。

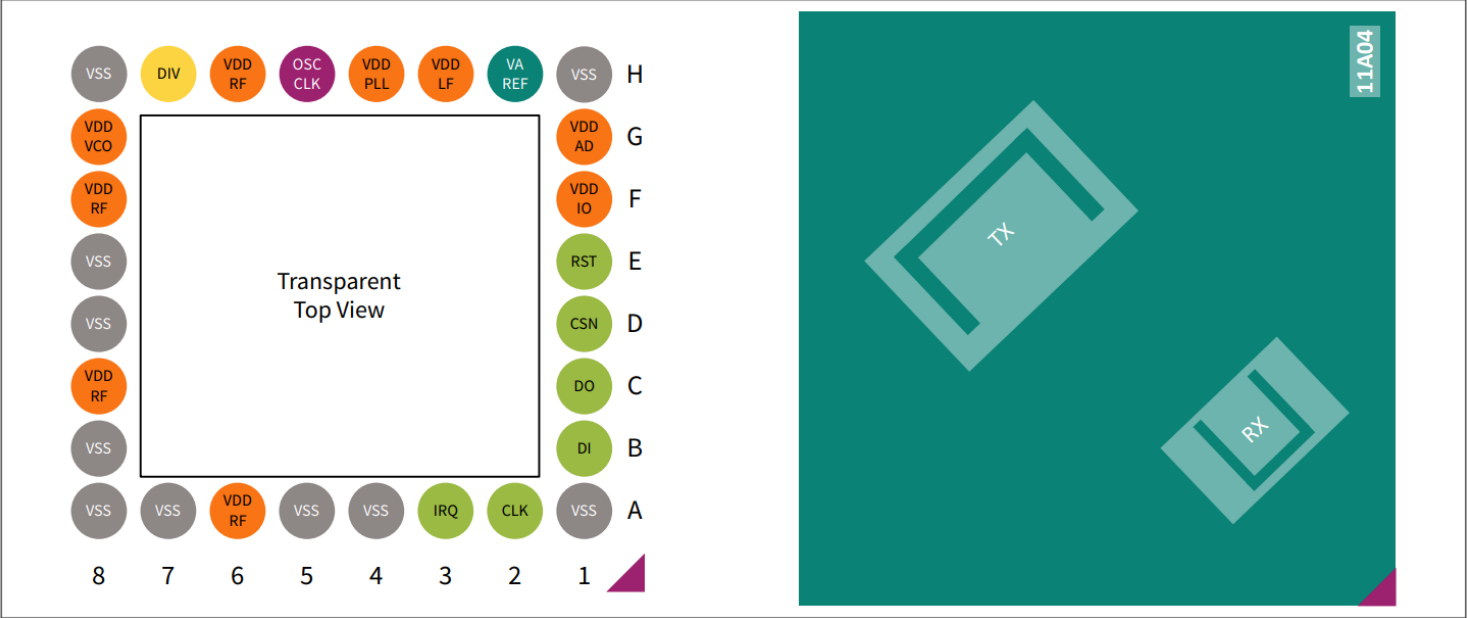


图 4 BGT60UTR11AIP 引脚和天线编号分配

下表介绍了每个引脚的功能。

表 1 球定义

Ball	Function
A1, A4, A5, A7, A8, B8, D8, E8, H1, H8	VSS_{RF} , VSS_A , VSS_D
A2	CLK
A3	IRQ
B1	DI
C1	DO
D1	CSN
E1	RST
F1	VDD_{IO}
A6, C8, F8, H6	VDD_{RF}
G1	VDD_{AD}
G8	VDD_{VCO}
H2	V_{AREF}
H3	VDD_{LF}
H4	VDD_{PLL}
H5	OSC_CLK
H7	DIV

1 Introduction

表 2 天线定义

Antenna	Function
TX1	Transmitter 1
RX1	Receiver 1

1.3.1 IO 和电源引脚

下表概述了 BGT60UTR11AIP 的输入/输出引脚。

缩略词：

- V_{IN} ：电压输入引脚
- V_{OUT} ：电压输出引脚
- D_{IN} ：数字输入引脚
- D_{OUT} ：数字输出引脚
- A_{IN} ：模拟输入引脚
- A_{OUT} ：模拟输出引脚
- GND_D ：数字地连接
- GND_A ：模拟地连接

表 3 BGT60UTR11AIP 输入/输出引脚

Symbol	Type	Domain	Description	Type
DIV	A_{OUT}	VDD_{RF}	VCO divided by 16 output	Analog
OSC_CLK	A_{IN}	VDD_{RF}	Oscillator input	Analog
CLK	D_{IN}	VDD_{IO}	SPI clock input	Digital
CSN	D_{IN}	VDD_{IO}	SPI chip select input, active low	Digital
DI	D_{IN}	VDD_{IO}	SPI signal from the host output (MOSI)	Digital
DO	D_{OUT}	VDD_{IO}	SPI signal to the host input (MISO)	Digital
RST	D_{IN}	VDD_{IO}	Hardware reset pin	Digital
IRQ	D_{OUT}	VDD_{IO}	Interrupt output	Digital

下表介绍了电源引脚。

表 4 BGT60UTR11AIP 电源引脚

Domain	Type	Value	Description	Domain
VDD_{AD}	V_{IN}	1.8 V	Analog and digital supply voltage	Analog-ADC, Digital
VDD_{IO}	V_{IN}	1.2 V 1.8 V	IO pad supply voltage	IO
V_{AREF}	V_{OUT}	1.2 V	Positive reference voltage output; for bypass cap	Analog-ADC
VDD_{VCO}	V_{IN}	1.8 V	Analog supply voltage to the VCO	Analog-RF
VDD_{RF}	V_{IN}	1.8 V	Analog supply voltage	Analog-RF

(表格续下页.....)

表 4 (续) BGT60UTR11AIP 电源引脚

Domain	Type	Value	Description	Domain
VDD_{LF}	V_{IN}	3.3 V	Analog supply voltage for the level shifter for the PLL loop filter	Analog-RF
VDD_{PLL}	V_{IN}	1.8 V	Analog supply voltage to the PLL	Analog-RF
VSS_{RF}	GND_A	0 V	Analog ground connection	Analog-RF
VSS_A	GND_A	0 V	Analog ground connection	Analog-ADC
VSS_D	GND_D	0 V	Digital ground connection	Digital

1.4 BGT60UTR11AIP 功能框图

BGT60UTR11AIP由一些主要功能块组成：

- 管理整个芯片的 *FSM*
- 寄存器库，参见第4章
- *FIFO*，49 kbit = 2048 字 x 24 位
- *SPI*，最高可达 50 MHz 时钟
- 两个时钟域
 - 系统时钟域，例如 38.4/40/76.8/80 MHz，用于 *PLL*、*ADC* 和 *FIFO*
 - *SPI* 时钟，例如 50 MHz
- 基于三阶 Σ - Δ 的 *PLL*，执行 *FMCW* 斜坡
- *RF* 前端包括 1 个 *RX* 通道、1 个 *TX* 通道、*本机振荡器(LO)* 生成器和 4/5 分频器，参见第 7.1 章
- *ABB* 由 *HPF*、*VGA* 和 *AAF* 组成，参见第 7.2 章
- 1 通道多 ADC，12 位差分 SAR ADC，通过驱动器与 *ABB* 连接，并通过多路复用器与 *FIFO* 连接，参见第 8 章
- 天线内置于封装内，参见第 11 章

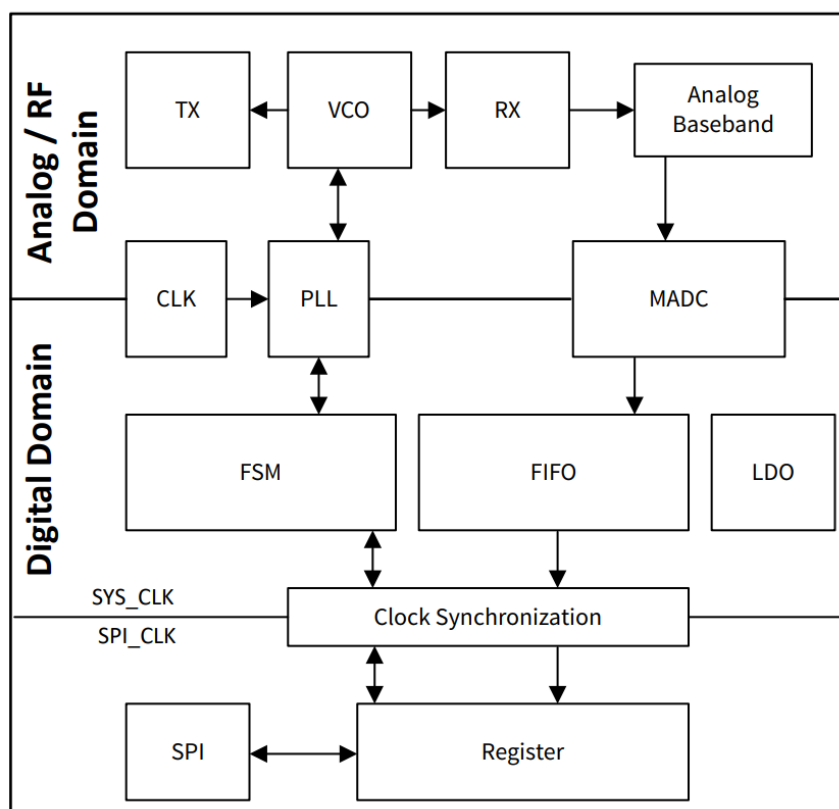


图 5 BGT60UTR11AIP 功能概览

2 通用产品规范

所有指定数据的参考均为英飞凌应用板，可根据要求提供。

2.1 绝对最大额定值

表 5 绝对最大额定值

$T_b = -40\text{ °C}$ 至 105 °C ，所有电压均相对于地，正向电流流入引脚（除非另有说明）。参数不适用于生产测试。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Supply Voltage	VDD_{AD}	-0.3	-	+2.0	V	-
Supply Voltage	VDD_{IO}	-0.3	-	+2.0	V	-
Supply Voltage	VDD_{RF}	-0.3	-	+2.0	V	-
Supply Voltage	VDD_{VCO}	-0.3	-	+2.0	V	-
Supply Voltage	VDD_{PLL}	-0.3	-	+2.0	V	-
Supply Voltage	VDD_{LF}	-0.3	-	+3.7	V	-
RF Input Power Level	P_{RF}	-	-	+10	dBm	At the RX input pad (die)
Junction Temperature	T_j	-40	-	+125	°C	-
Storage Temperature	T_{stg}	-40	-	+150	°C	-

警告： 超过此处所列的应力可能会对器件造成永久性损坏。
最大额定值是绝对额定值；超过其中一个值可能会对集成电路造成不可逆转的损坏。暴露在绝对最大额定值或以下但高于规定的最大工作条件的条件下可能会影响器件的可靠性和寿命。
在这些条件下，器件可能无法发挥其功能。

2.2 功能范围

表 6 功能范围

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Supply Voltage	VDD_{AD}	1.71	1.8	1.89	V	Noise on each supply domain should not exceed the level of 20 μ Vpp in the frequency range 20 kHz - 1 MHz ¹⁾
Supply Voltage	VDD_{IO}	1.14 1.71	1.2 1.8	1.26 1.89	V	
Supply Voltage	VDD_{RF}	1.71	1.8	1.89	V	
Supply Voltage	VDD_{VCO}	1.71	1.8	1.89	V	
Supply Voltage	VDD_{PLL}	1.71	1.8	1.89	V	
Supply Voltage	VDD_{LF}	2.5	3.3 ²⁾	3.63	V	

(表格续下页.....)

表 6 (续) 功能范围

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Chip Backside Temperature	T_b	-20	-	70	°C	Measured with the on-chip temperature sensor
Frequency Range	f_{RF}	57.4	-	63.0	GHz	-
Oscillator Input Clock Frequency	$f_{OSC_CLK\#1}$	75	80	85	MHz	1.8 V CMOS clock 78 MHz not allowed (frequency doubler disabled)
	$f_{OSC_CLK\#2}^{3)}$	37.5	40	42.5	MHz	1.8 V CMOS clock 39 MHz not allowed (frequency doubler enabled)
Duty cycle of f_{OSC_CLK}	f_{DUTOSC}	45	50	55	%	-
Rise and Fall Time of f_{OSC_CLK}	$t_{RS,FS,SYS}$	-	2	6	ns	-
Phase Jitter of f_{OSC_CLK}	J_{PHOSC}	-	1	-	ps	BW: 12 kHz to 20 MHz

- 1) 该值将确保在使用最少 8 个 Chirp 计算距离-多普勒图时，距离-多普勒图中不会出现伪影/假目标。
- 2) 规定的最大带宽要求至少 $VDD_{LF} = 3.3\text{ V}$ 。
- 3) 如果使用 $f_{OSC_CLK\#2}$ 作为输入时钟，则会使用内部倍频器将输入频率乘以 2。倍频器的占空比可以校准。参见 [PLL 接口和时钟分配](#)、[参考时钟分配](#)。

2.3 电流消耗

表 7 总电流消耗

$VDD_X = 1.71\text{ V}$ 至 1.89 V ， $VDD_{LF} = 2.5\text{ V}$ 至 3.3 V ， $T_b = -20\text{ °C}$ 至 $+70\text{ °C}$ 。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Idd Deep Sleep ¹⁾	Idd_{DS}	0.05	0.178	0.555 ²⁾	mA	
Idd Idle ³⁾	Idd_{Idle}	-	1.8	-	mA	-
Idd Init0, 1RX + 1TX	Idd_{Init0}	-	3.2	-	mA	-
Idd Init1, 1RX + 1TX ⁴⁾	Idd_{Init1}	-	149	-	mA	-
Idd Active, 1RX + 1TX ⁵⁾	Idd_{Active}	110	174	220	mA	-

- 1) 所有寄存器处于复位模式，禁用 f_{SYS_CLK} 时钟路径。
- 2) 最大值是指最高温度 $+70\text{ °C}$ 和最高电源 1.89 V 。
- 3) MADC 带隙运行。
- 4) Interchirp 其余部分的 Idd 与 Init1 类似。
- 5) 器件设置为雷达模式；DAC TX 设置为 31_{Do}。

2 General product specification

表 8 VDD_{AD} 域电流消耗
 $VDD_X = 1.71\text{ V 至 } 1.89\text{ V}$, $VDD_{LF} = 2.5\text{ V 至 } 3.3\text{ V}$, $VDD_{IO} = 1.14\text{ V 至 } 1.26\text{ V}$, $T_b = -20\text{ }^{\circ}\text{C 至 } +70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Idd Deep Sleep ¹⁾	ADlidd _{DS}	0.05	0.147	0.490 ²⁾	mA	-
Idd Idle ³⁾	ADlidd _{Idle}	-	2.0	-	mA	-
Idd Init0, 1RX + 1TX	ADlidd _{Init0}	-	2.5	-	mA	-
Idd Init1, 1RX + 1TX ⁴⁾	ADlidd _{Init1}	-	3.3	-	mA	-
Idd Active, 1RX + 1TX ⁵⁾	ADlidd _{Active}	2.1	3.3	6.2	mA	-

- 1) 所有寄存器处于复位模式，禁用 f_{SYS_CLK} 时钟路径。
 2) 最大值是指最高温度 $+70\text{ }^{\circ}\text{C}$ 和最高电源 1.89 V 。
 3) MADC 带隙运行。
 4) Interchirp 其余部分的 Idd 与 Init1 类似。
 5) 器件设置为雷达模式，FIFO 为低功耗模式，DAC TX 设置为 31_D，输出功率为 $+5\text{ dBm}$ 。

表 9 VDD_{PLL} 域电流消耗
 $VDD_X = 1.71\text{ V 至 } 1.89\text{ V}$, $VDD_{LF} = 2.5\text{ V 至 } 3.3\text{ V}$, $T_b = -20\text{ }^{\circ}\text{C 至 } +70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Idd Deep Sleep ¹⁾	PLLlidd _{DS}	0	0.0002	0.01	mA	-
Idd Idle ²⁾	PLLlidd _{Idle}	-	0.0002	-	mA	-
Idd Init0, 1RX + 1TX	PLLlidd _{Init0}	-	0.9	-	mA	-
Idd Init1, 1RX + 1TX ³⁾	PLLlidd _{Init1}	-	7.9	-	mA	-
Idd Active, 1RX + 1TX ⁴⁾	PLLlidd _{Active}	5	8	10	mA	-

- 1) 所有寄存器处于复位模式，禁用 f_{SYS_CLK} 时钟路径。
 2) MADC 带隙运行。
 3) Interchirp 其余部分的 Idd 与 Init1 类似。
 4) 器件设置为雷达模式，DAC TX 设置为 31_{D0}。

表 10 VDD_{LF} 域电流消耗
 $VDD_X = 1.71\text{ V 至 } 1.89\text{ V}$, $VDD_{LF} = 2.5\text{ V 至 } 3.3\text{ V}$, $T_b = -20\text{ }^{\circ}\text{C 至 } +70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Idd Deep Sleep ¹⁾	LFlidd _{DS}	0	0.0002	0.01	mA	-
Idd Idle ²⁾	LFlidd _{Idle}	-	0.0002	-	mA	-
Idd Init0, 1RX + 1TX	LFlidd _{Init0}	-	0.39	-	mA	-
Idd Init1, 1RX + 1TX ³⁾	LFlidd _{Init1}	-	0.39	-	mA	-
Idd Active, 1RX + 1TX ⁴⁾	LFlidd _{Active}	0.2	0.39	0.53	mA	-

- 1) 所有寄存器处于复位模式，禁用 f_{SYS_CLK} 时钟路径。
 2) MADC 带隙运行。
 3) Interchirp 其余部分的 Idd 与 Init1 类似。

2 General product specification

4) 器件设置为雷达模式，DAC TX 设置为 31Do

表 11 $VDD_{RF} + VDD_{VCO}$ 域电流消耗

$VDD_X = 1.71\text{ V}$ 至 1.89 V ， $VDD_{LF} = 2.5\text{ V}$ 至 3.3 V ， $T_b = -20\text{ }^{\circ}\text{C}$ 至 $+70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Idd Deep Sleep ¹⁾	RFIdd _{DS}	0	0.003	0.045	mA	-
Idd Idle ²⁾	RFIdd _{Idle}	-	0.005	-	mA	-
Idd Init0, 1RX + 1TX	RFIdd _{Init0}	-	0.005	-	mA	-
Idd Init1, 1RX + 1TX ³⁾	RFIdd _{Init1}	-	137	-	mA	-
Idd Active, 1RX + 1TX ⁴⁾	RFIdd _{Active}	100	162	220	mA	-

- 1) 所有寄存器处于复位模式，禁用 f_{SYS_CLK} 时钟路径。
2) MADC 带隙运行。
3) Interchirp 其余部分的 Idd 与 Init1 类似。
4) 器件设置为雷达模式，DAC TX 设置为 31Do

表 12 VDD_{IO} 域电流消耗

$VDD_{IO} = 1.71\text{ V}$ 至 1.89 V ， $T_b = -20\text{ }^{\circ}\text{C}$ 至 $+70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Idd Deep Sleep ¹⁾	IOIdd _{DS}	0	-	0.1 ²⁾	mA	Standard SPI
Idd Active ³⁾	IOIdd _{Active}	0	-	0.17	mA	Standard SPI

- 1) 所有寄存器处于复位模式，禁用 f_{SYS_CLK} 时钟路径。
2) 最大值是指最高温度 $+70\text{ }^{\circ}\text{C}$ 和最高电源 1.89 V 。
3) SPI MISO 和 MOSI 线路上的活动。

2.4 ESD 完整性

表 13 ESD完整性

$VDD_X = 1.71\text{ V}$ 至 1.89 V ， $VDD_{LF} = 2.5\text{ V}$ 至 3.3 V ， $VDD_{IO} = 1.08\text{ V}$ 至 1.32 V ， $T_b = -20\text{ }^{\circ}\text{C}$ 至 $+70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
ESD robustness, <i>human body model (HBM)</i>	$V_{ESD-HBM}$	-2000	-	+2000	V	According to JS-001. All pins.
ESD robustness, <i>charged device model (CDM)</i>	$V_{ESD-CDM}$	-500	-	+500	V	According to JS-002.

带电器件模型：场感应带电器件模型 ANSI/ESDA/JEDEC JS-002。模拟生产设备和过程中发生的充电/放电事件。只要制造过程中存在金属与金属的接触，就有可能发生 CDM ESD 事件。

人体模型：人体模型 ANSI/ESDA/JEDEC JS-001 ($R = 1.5\text{ k}\Omega$ ， $C = 100\text{ pF}$)。

2.5 热阻

表 14 热阻

$VDD_X=1.71\text{ V至}1.89\text{ V}$ ， $VDD_{LF}=2.5\text{ V至}3.3\text{ V}$ ， $VDD_{IO}=1.08\text{ V至}1.32\text{ V}$ ， $T_b=-20\text{ }^{\circ}\text{C至}+70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Package thermal resistance	R_{th}	-	35	-	K/W	Chip backside to ambient temperature

3 形状、帧和通道集定义

本节旨在向用户概述 BGT60UTR11AIP 的整体调制和电源模式功能。具体来说，将介绍计时器、计数器、形状、通道集和帧的结构。本节还描述了 [FSM](#) 如何设置和控制 [PLL](#)，以实现主机编程的预期调制形状和序列。

3.1 形状和帧

形状是 PLL 应执行的调制 chirp。允许两种基本的形状（参见[形状定义](#)）：

- 三角形：由频率 Upchirp 和频率 Downchirp 组成
- 锯齿形：由频率 Upchirp 和随后的快速 Downchirp 组成

PLLx[0..7] 寄存器（参见 [PLL 形状 x 寄存器 0](#) 和 [PLL 形状 x 寄存器 7](#)）中的 PLLx7:SH_EN 位设置和启用这些形状。最多可编程四种不同的形状。如果使用多种形状，则必须对较低编号的形状进行编程（例如，如果应用需要 3 种形状，则 x = 1...3）。

N_SHAPE_EN 是启用的形状的数量。

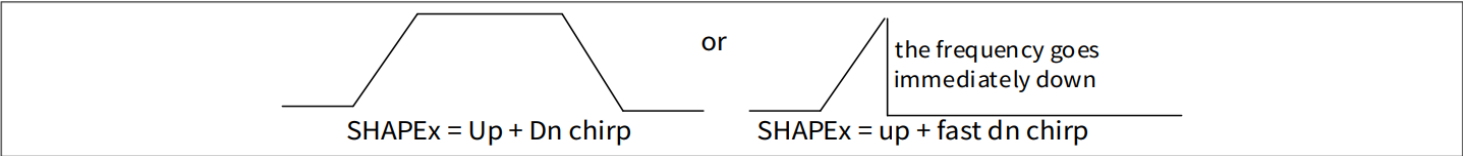


图 6 形状定义

形状组

上面定义的每个形状都可以重复多次（参见[形状组](#)）。重复多次的相同形状代表一个形状组（SG）。形状 x 的重复系数称为 REPSx，在 [PLL 形状 x 寄存器 7](#) 中有所描述。每个形状重复 $RSx = 2^{REPSx}$ 次。

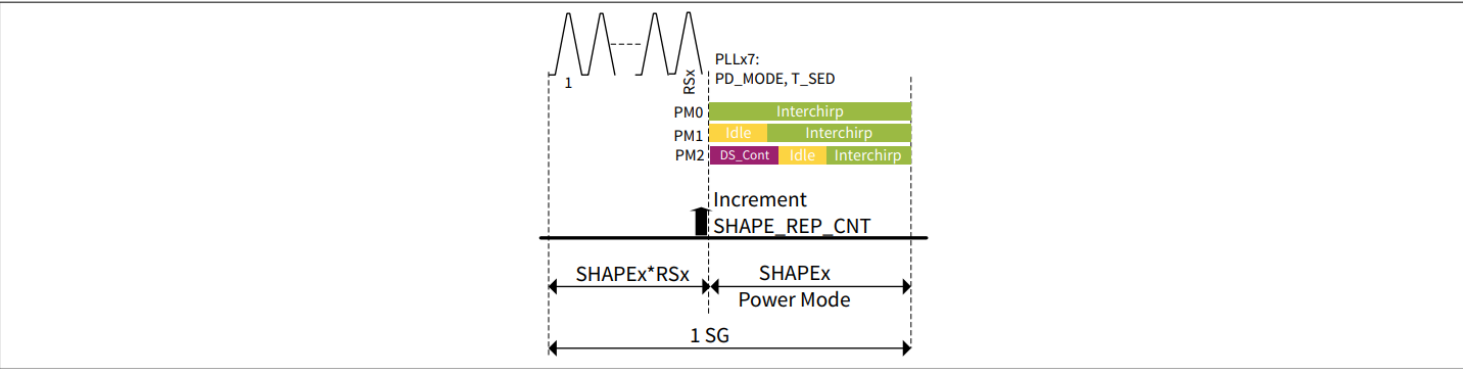


图 7 形状组

在最后一次重复之后，FSM 将在 PLLx7:T_SED 期间（参见 [PLL 形状 x 寄存器 7](#)）进入根据 PLLx7:PD_MODE 指定的电源模式（参见 [PLL 形状 x 寄存器 7](#)）。

完成一个形状组后，形状组计数器 STAT1: SHAPE_GRP_CNT 将递增（参见[状态寄存器 1](#)）。在 [形状集](#)中，显示了四个已编程形状组的示例。它代表一个形状组。

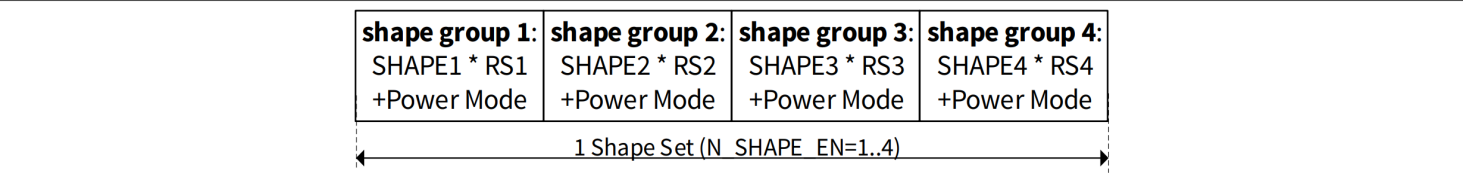


图 8 形状集

3 Shapes, frames and channel set

帧

一帧（如**一帧示例**所示）由一系列形状集组成，每个形状集后跟一个特定的功率模式。每个形状集可重复多次。形状集 x 的重复因子称为 $REPT_x$ ，在 **Chirp控制寄存器 0** 中有所描述。每个形状集重复 $RT_x = 2^{REPT_x}$ 次。

帧的长度通过 $CCR2:FRAME_LEN$ 定义（参见**Chirp控制寄存器 2**），它是需要执行的形状组数量。

在每个帧开始时，都会加载第一个形状 $SHAPE1$ 和第一个通道集 $CSU1+CSC1$ 。

FSM 将执行的帧组数为：

- $\min(CCR2:FRAME_LEN, N_SHAPE_EN * RT)$

其中， $RT \leq (4096 \text{ 个形状组})$ 且 $CCR2:FRAME_LEN < 4096$ 。

在一帧中的最后一个形状组之后， $CCR1:PD_MODE$ 的功率模式用于在 $CCR1:T_FED$ 中编程的周期，而不是 $PPLx7:MODE$ 用于 $PLLx7:T_SED$ 周期。

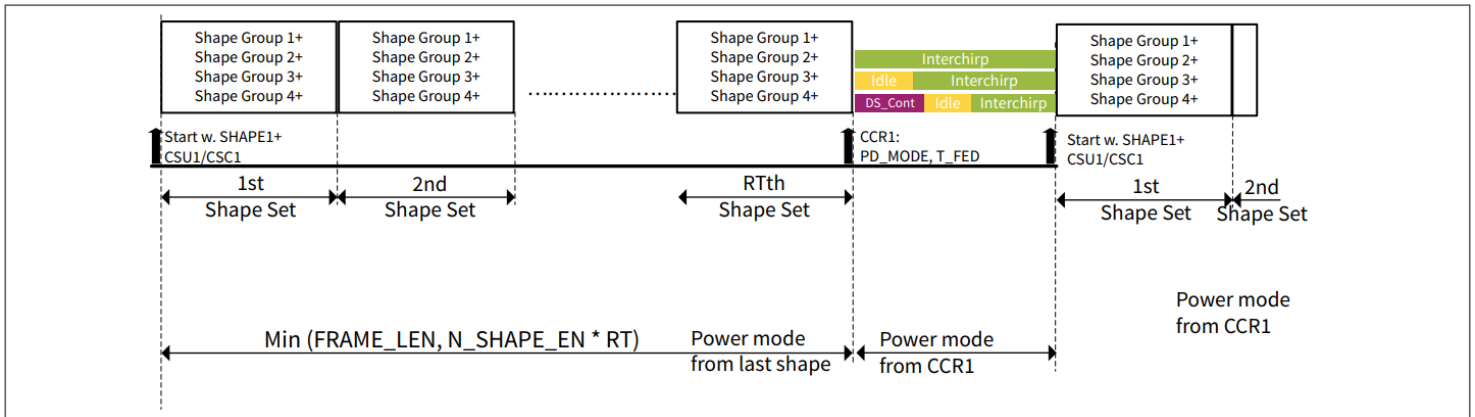


图 9 一帧示例

最大帧数

- 唤醒周期结束后，整体帧生成从第一帧开始
- 当达到最后一帧 $CCR2:MAX_FRAME_CNT$ （参见 **Chirp 控制寄存器 2**）后，FSM 将进入深度睡眠模式，而不是倒数第二帧末尾定义的电源模式。
 - 为了再次触发芯片，需要重置 FSM。

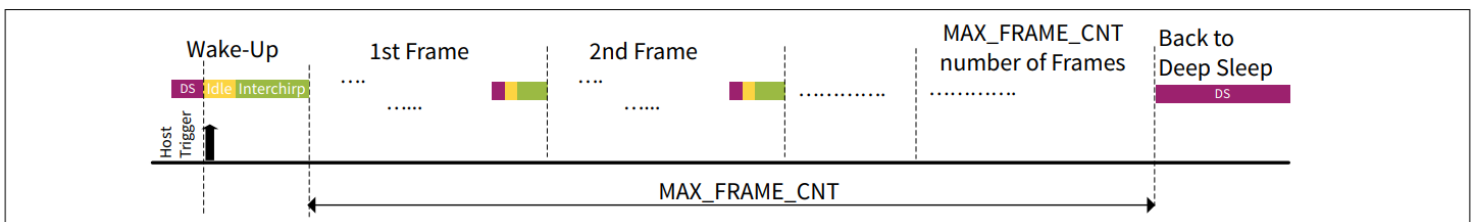


图 10 最大帧数

3.2 通道集

通道集是一组寄存器，用于控制可用发送和接收通道的配置。每个通道集可重复多次。通道集 x 的重复系数称为 $REPC_x$ ，在**通道集控制 x 寄存器**中有所描述。每个通道集重复 $RC_x = 2^{REPC_x}$ 次。在特定的"模式"中，总共有 10 个通道集，分为 3 种不同类型。8 个通道集与形状有关（4 个形状 x "up" 和 "down" 段设置），2 个通道集分别与电源模式（空闲和深度睡眠）有关：

- 深度睡眠电源模式与通道集 $CSDS$ 和 $CSCDS$ 相关
- 空闲模式与通道集 CSI 和 $CSCI$ 相关

- 为形状定义了 8 个通道集：
 - 用于 up-chirp 的 CSU1...CSU4 寄存器
 - 用于 down-chirp 的 CSD1 ... CSD4 寄存器
 - 用于 up-chirp 和 down-chirp 的 CSC1 ... CSC4 通道集配置寄存器
- 上述每种形状最多有 2 个通道集 CSUx 和 CSDx
 - 如果使用三角形，则应用 CSUx 和 CSDx
 - 如果使用锯齿形，则跳过 CSDx
- 通道集重复，与形状无关
- 通道集重复因子表示单个通道集重复的频率，直到下一个通道集加载完成
- 关于通道集序列：
 - 较低的通道集编号后面跟着下一个较高的通道集编号
 - 如果达到最高通道集编号，则加载的下一个通道集是通道集 1
- 关于通道集的启用序列：
 - 如果未使用所有通道集，则必须使用数量较少的通道集
 - 启用的通道集之间不能有禁用的通道集
 - 例如，预期有 2 个通道集：仅使用 CS1 和 CS2。如果预期有 3 个通道集，则仅使用 CS1、CS2 和 CS3
- 通道集序列的开始和结束：
 - 复位后，第一个加载的通道集是 CS1
 - 帧开始后，第一个加载的通道集将是 CS1

注释： 最好是 $REPS = REPC$ 。

3.3 电源模式

下图显示了 FSM 所有可能电源模式的流程图。

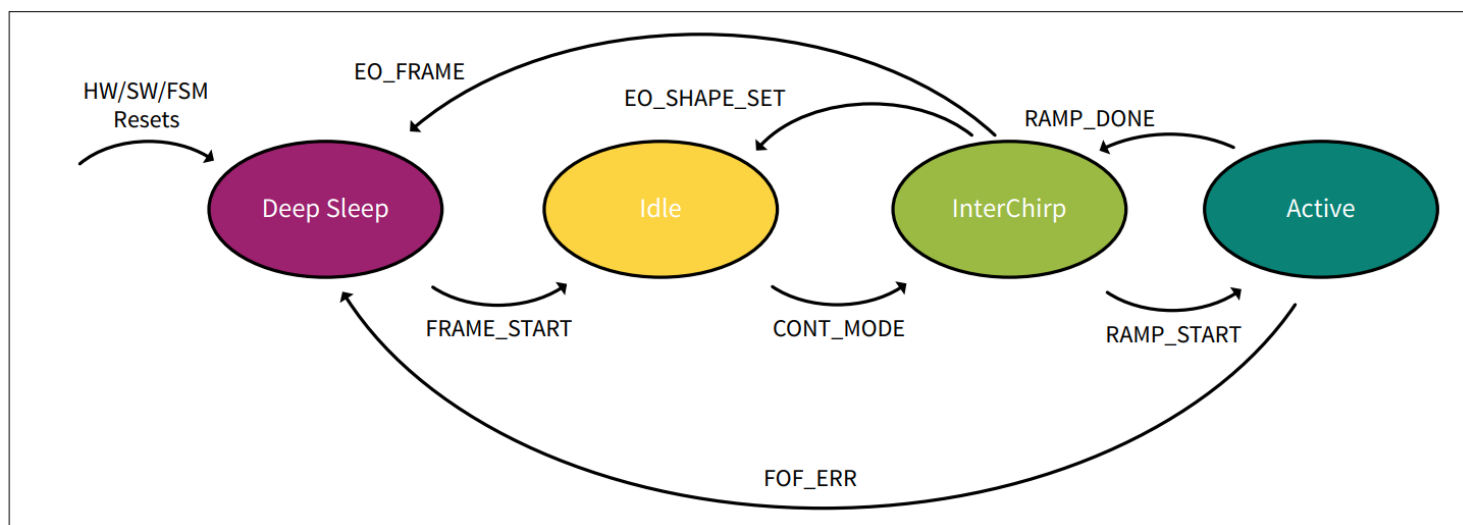


图 11 FSM 流程图

通过电源模式进行电源管理

电源模式使主机能够在雷达帧生成的各个阶段灵活地控制功耗。一组隔离寄存器（参见[通道集控制 x 寄存器](#)）用于启用/禁用片上不同的模块。电源模式由 FSM 管理。

3.3.1 模式描述

在激活、空闲和深度睡眠模式下，可在 CSCx 寄存器（[通道集控制 x 寄存器](#)）中定义所有通道集的电源模式：CSC1..4、CSI、CSCDS（CSUx = 通道集Upchirp，CSDx = 通道集Downchirp，CSI = 通道集空闲，CSDS = 通道集深度睡眠）。

主动模式定义：

- 在一个形状期间：PLLx7：PD_MODE= 0_D
- 电源模式通过寄存器 CSx (CHS1..CHS4) 定义，up-/downchirp 模式相同
- 默认设置：主机启用所有预期设置。

Interchirp 模式定义：

- 在一个形状期间：PLLx7：PD_MODE= 0_D
- 电源模式基本与激活模式相同，但有一个例外情况：TX1 关闭（PAOFF）

空闲模式定义：

- 在一个形状之后：PLLx7：PD_MODE= 1_D
- 在一帧之后：CCR1: PD_MODE= 1_D
- 空闲模式通过 CSCI 定义
- 从深度睡眠中唤醒 TR_WKUP

空闲模式可用作 Interchirp 模式之间或深度睡眠模式之后的低功耗模式，以在不进入深度睡眠模式的情况下进一步降低整体功耗。与深度睡眠模式相比，空闲模式后的唤醒时间更快。

进入深度睡眠模式：

- 在一帧之后：CCR1: PD_MODE= 2_D且 CCR0: CONT_MODE= 0_B
- 深度睡眠模式通过 CSCDS 寄存器定义（参见[通道集控制 x 寄存器](#)）。
- 所有区块均可关闭
- 当 CONT_MODE = 0_B 时，内部系统时钟也会关闭 - 以实现额外的节能 - 否则（CONT_MODE = 1_B）时钟会保持在深度睡眠期间对内部定时器 T_FED/T_SED 进行计数。
- 为了将 FSM 从深度睡眠中唤醒，主机必须进行以下编程：
 - PACR1:OSCCLKEN= 1_B启用时钟门控
 - 然后可以通过 FRAME_START 应用第一个触发器

注释： 无需重新配置，因为寄存器内容会在深度睡眠模式下保留。

进入连续深度睡眠模式：

- 在一个形状之后：PLLx7: PD_MODE= 2_D和 PLLx7: CONT_MODE= 1_B
- 在一帧之后：CCR1:PD_MODE= 2_D且 CCR0:CONT_MODE= 1_B

如果启用 CCR0:CONT_MODE= 1_B，则会自动从深度睡眠中唤醒。内部系统时钟保持运行。

如果出现错误：

如果发生 FIFO 溢出情况，即使内部计数器保持先前的值，FSM 也会使雷达传感器进入深度睡眠电源模式，即 FSM 未重置并且需要重置。为了重置 FIFO，主机应至少发送一个 MAIN:FIFO_RESET 命令（参见[主寄存器](#)）。

如果发生 FIFO 溢出，事件将在 FSTAT:FOF_ERR（参见[FIFO 状态寄存器](#)）或 GSR0:FOF_ERR（参见[第 4.49 章](#)）中报告。

在这种情况下，只要不发生复位，就可以从主机读取 FIFO 内的数据。重置后，标志 FSTAT:FOF_ERR 和 GSR0:FOF_ERR 将被清除。

注释： 每次 SPI 访问芯片时，出于同步原因，内部都会启用系统时钟。

3.3.2 从“深度睡眠”到“空闲”的唤醒阶段

VDD_0 上电后，主 LDO 需要 $20\ \mu\text{s}$ 的时间来稳定内部产生的内核电压 VDD_C 。随后，主机必须执行硬件复位，将芯片设置为复位状态（深度睡眠）。下图描述了唤醒芯片的时序。

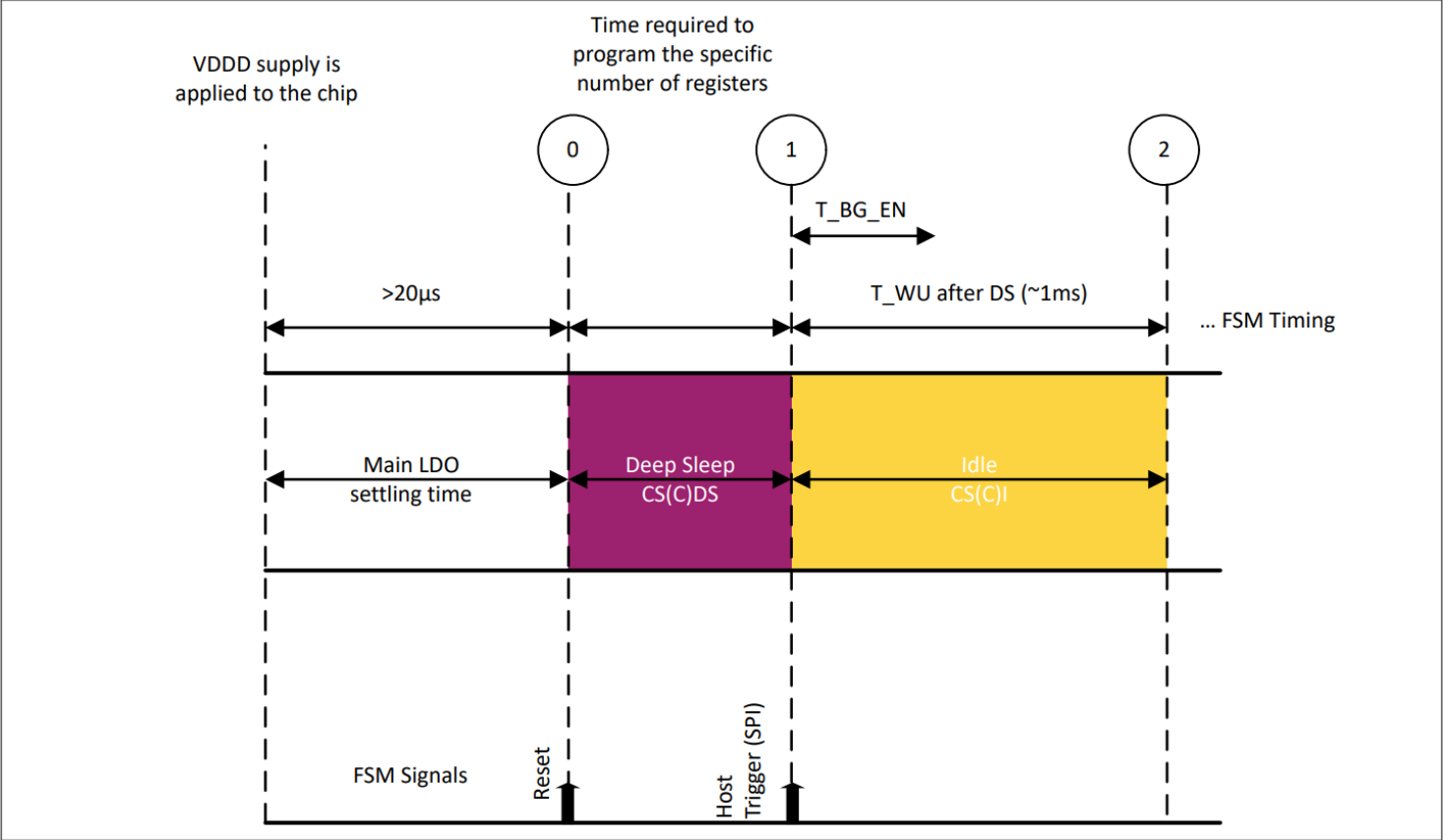


图 12 深度睡眠到空闲的转换

表 15 深度睡眠到空闲的转换

From #	To #	Description	Signals	Related time
#0		Chip is reset by host (see Hardware reset sequence)		
#0	#1	Host programs all registers needed for expected functionality		
#1		Host enables the oscillator: PACR1:OSCCLKEN= 1 _B to enable the clock gating		
#1		Host starts the first trigger; it can be applied through MAIN:FRAME_START		
#1		Activate bandgap for MADC		
#1	#2	Time required to settle the ADC BG (charge of external cap)		T_WU
#2		Enable PLL, MADC, and SADC		
#2		MADC sends ready signal to FSM	madc_rdy	

3.3.3 空闲到 Interchirp 然后激活

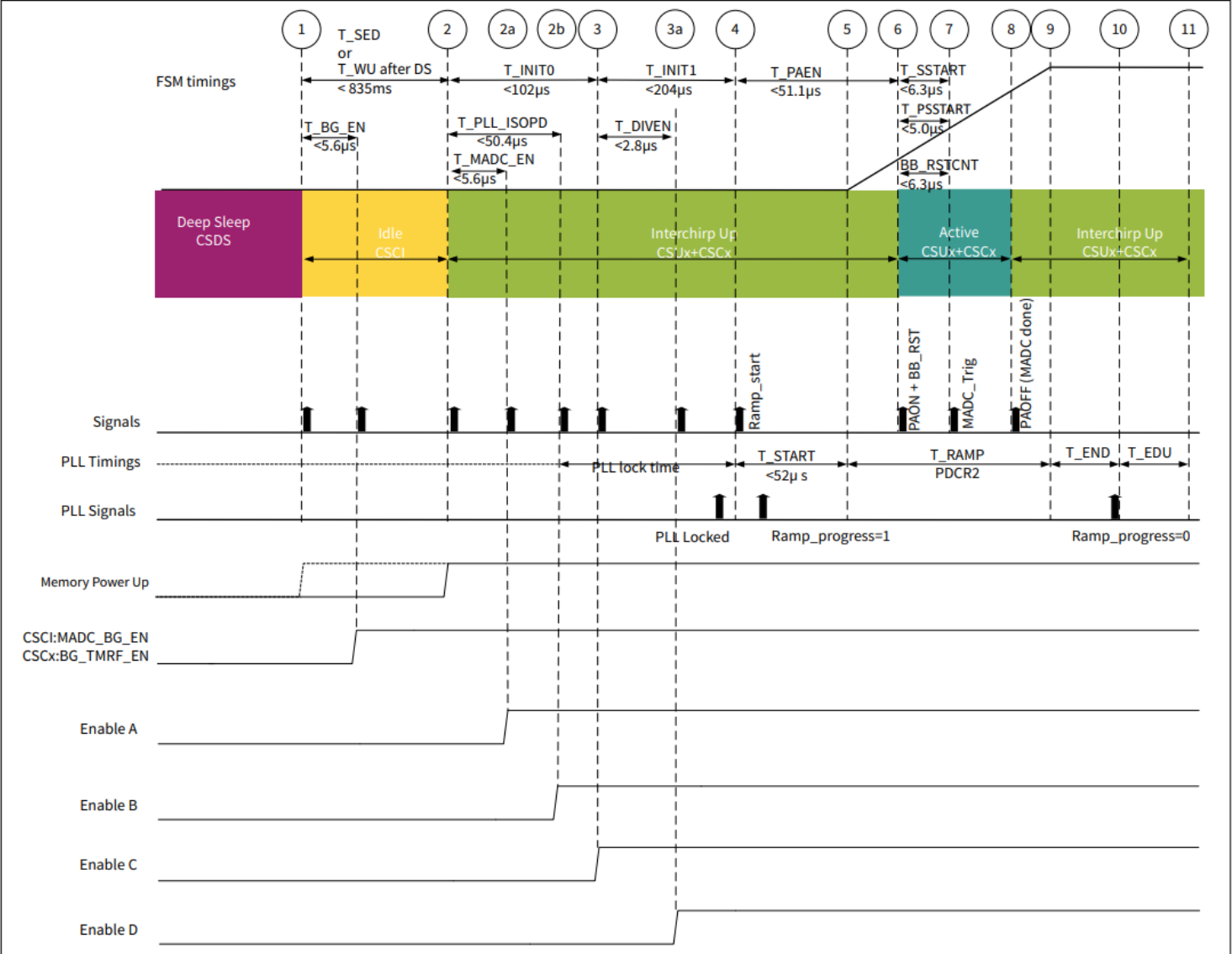


图 13 从空闲到 Interchirp 到激活再到 Interchirp 的转换

表 16 从空闲到 Interchirp 到激活再到 Interchirp 的转换

From #	To #	Description	Signals	Related time
#1		Idle mode is activated		
#1		The user has to enable the bandgap (CSCI:BG_EN= 1B in Channel set control x register)		
#1		In the case the memory is powered up after DS (SFCTL:FIFO_PD_MODE = 1D) the bandgap should be enabled delayed. This can be done by the user by programming CSCI:TR_BGEN		T_BG_EN
#1	#2	If Idle mode comes after a deep sleep (see transition from deep sleep to idle). Wake up time can be used as offset for chirps in case multiple devices are triggered together by SPI broadcast for example		T_WU

(表格续下页.....)

表 16 (续) 空闲到 Interchirp 到激活再到 Interchirp 的转换

From #	To #	Description	Signals	Related time
#1	#2	If Idle mode comes after an interchirp mode, the bandgap is already running		T_SED
#2		Interchirp Up mode is activated by selecting CSUx + CSCx register depending on the actual channel set (see Channel set up x register 0)		
#2		Host already enabled the blocks required by the PLL: CSx:VCO_EN = 1 _B CSx:FDIV_EN = 1 _B		
#2		FSM sets power mode from CSUx + CSCx		
#2		FSM sets PACR1.RFILTSEL = 0 _B		
#2	#2a	In the case the memory is powered up after Idle (SFCTL:FIFO_PD_MODE = 2 _D) the MADC should be enabled delayed. This can be done by the user by programming CSCI:TR_MADCEN		T_MADC_EN
#2a		After T_MADC_EN is over, enable A gets active which gates CSxx_1:MADC_BBCHx_EN		
#2	#2b	To save power there is the option to keep the PLL in reset state and enable the PLL delayed		T_PLL_ISO P D
#2b		After T_PLL_ISOPD is over, enable B gets active which gates CSCx:PLL_ISOPD		
#2	#3	The PLL needs some time to initialize the filter settings (see Chirp control register 3)		T_INIT0
#3		Enable C gets active which gates following signals: PACR1.RFILTSEL, CSxx_0:VCO_EN, CSxx_0:FDIV_EN, CSCx:ABB_ISOPD, CSCx:RF_ISOPD		
#3	#3a	To save power there is the option to close the feedback loop within the PLL delayed		T_DIVEN
#3a		After T_DIVEN is over, enable D gets active which gates PACR2:TR_DIVEN		
#3	#4	The PLL needs again some time to settle the mode (see Chirp control register 0)		T_INIT1
#4		PLL sends lock signal to FSM	PLL_lock	
#4		FSM triggers ramp start of PLL	RAMP_START	
#4	#5	PLL needs some settling time before chirp can start. The PLL timer is running in parallel to the FSM timer. T_START will be evaluated during system testing		T_START (PLL)
#5	#9	PLL will run the frequency chirp		T_RAMP (PLL)
#4	#6	Delay PA enable		T_PAEN
#6		Active mode starts here		

(表格续下页.....)

表 16 (续) 空闲到 Interchirp 到激活再到 Interchirp 的转换

From #	To #	Description	Signals	Related time
#6		PA is enabled (PAON). Host makes sure that PA is not ON before the chirp starts (>#5)	PAON	
#6		Baseband reset timer is enabled here based on the CSx:BB_RSTCNT value		
#6	#7	Delay after PA is enabled before the power measurement is started (if activated in CSx)		T_PSSTART
#6	#7	During this phase, the baseband can settle		T_SSTART
#7		MADC is triggered for the active segment (Up)	MADC_TRIG	
#7	#8	MADC starts acquiring the given number of samples (PLLx:APU in PLL shape x register 3).		T_ACQUx
#8		MADC has completed the acquisition of the expected number of samples	MADC_DONE	
#8		PA is disabled (PAOFF) This condition must be reached before #9 The condition is: $T_{PAEN} + T_{SSTART} + T_{ACQUx} > T_{START} + T_{RAMPx}$	PAOFF	
#8		Interchirp up mode is activated again here (CSUx + CSCx)		
#9		PLL has completed the up-chirp		
#9	#10	Programmable delay time (e.g. 3 μ s)		T_END
#10		Ramp completed	RAMP_DONE	
#10	#11	Programmable delay time (e.g. 1 μ s)		T_EDU
#11		Interchirp up mode ends here		
#11		Interchirp down mode is programmed here		

3.3.4 锯齿形状时序

在锯齿模式下，在正常的Upchirp段之后，将出现一个快速下降斜坡段。应在位域 PACR2:FSTDNEN 中启用锯齿形（参见 [PLL 模拟控制寄存器 2](#)）。锯齿形仅使用 CSU（Upchirp）（参见 [通道集 up x 寄存器 0](#)）。时间 T_{EDU} （参见 [PLL 形状 x 寄存器 2](#)，PLLx2#）在调频段结束后加以应用。见下图。

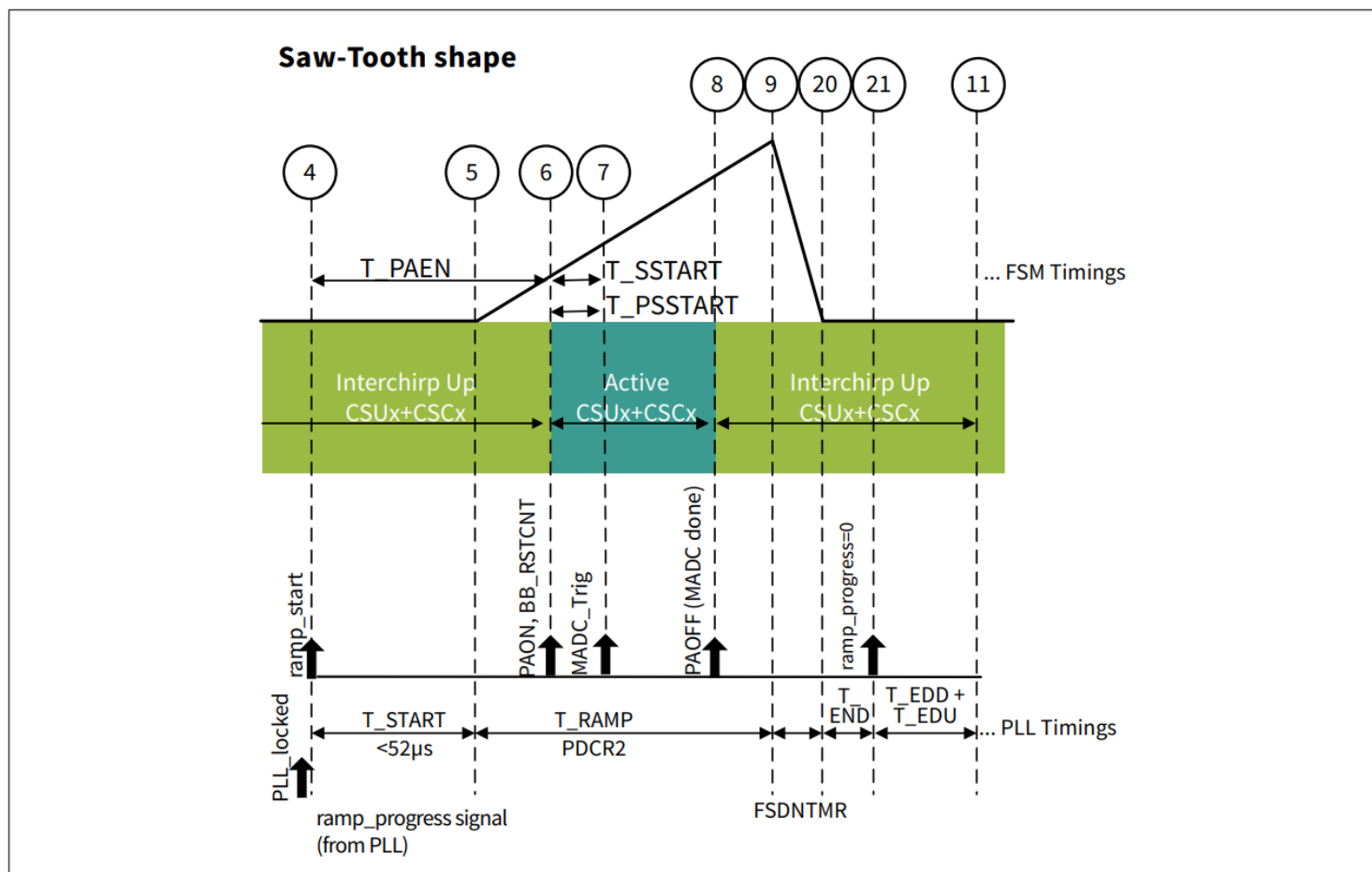


图 14 锯齿形时序

3.3.5 形状和形状组之后的不同电源模式

在 Downchirp 形状之后，芯片可根据设置（PLLx、CSx、CSCx）进入不同的电源模式：

- 形状之间的 Interchirp 模式——用于快速 Chirp 重复
- 形状组后的空闲模式——形状组之间的延迟较长且需要最大程度的省电
- 如果预计会有非常长的延迟，则形状组之后将进入深度睡眠 + 空闲模式

3.3.5.1 形状或形状组之后的空闲模式

当需要在形状之间长时间处于低功耗模式时，可以在形状或形状组之后设置空闲模式。下图表示 [图 13](#)所示时间行为的延续。

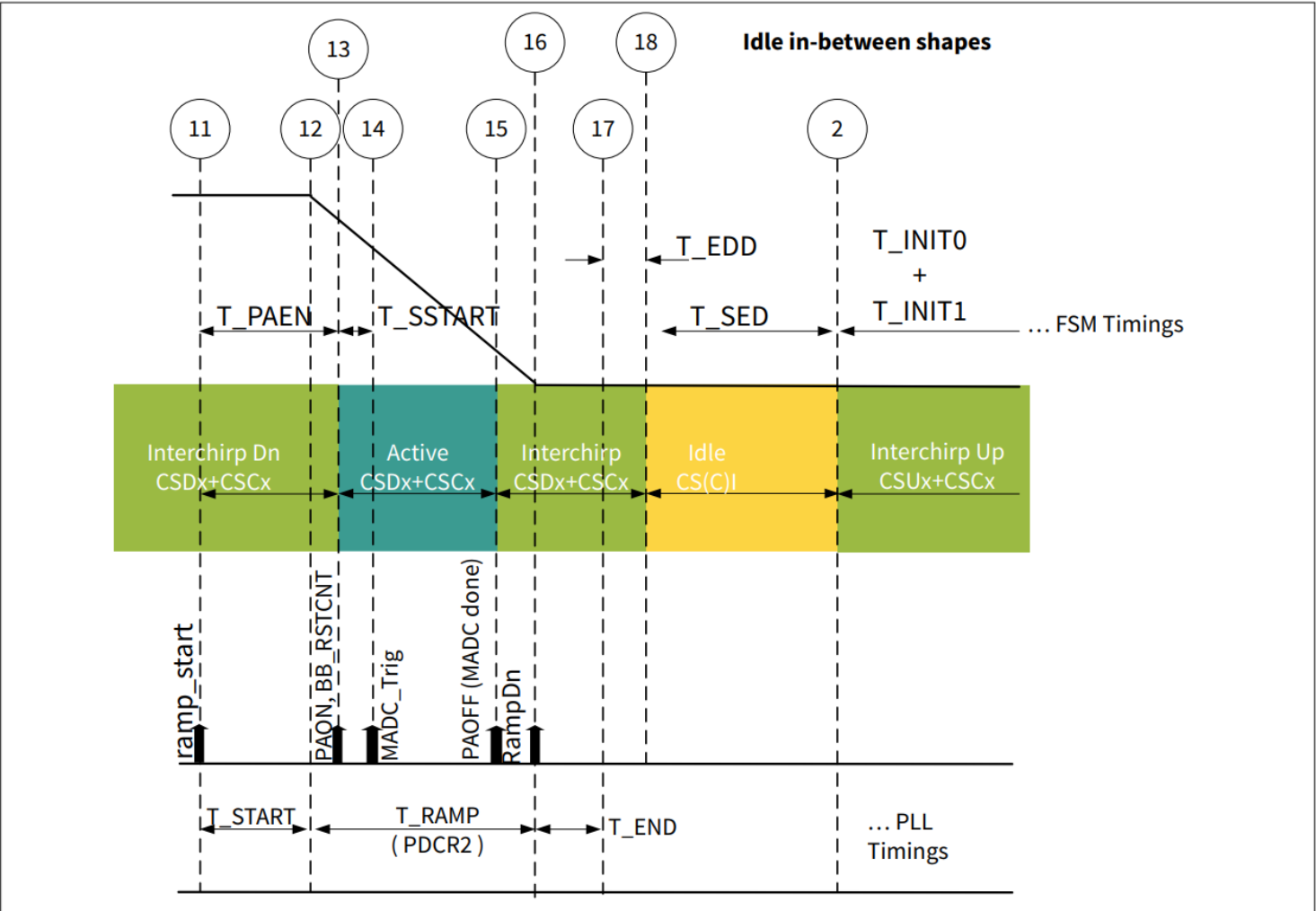


图 15 形状组之后的空闲模式

表 17 形状结束和形状之间的 Interchirp

From #	To #	Description	Signals	Related time
#11		Interchirp Dn mode is programmed here (CSDx + CSCx)		
#11		FSM generates ramp_start signal	Ramp_start	
PLL related:				
#11	#12	Preparation for downchirp		T_START
#12	#16	downchirp time		T_RAMP
#16	#17	Some delay after downchirp is completed		T_END
FSM related:				
#11	#13	Some delay (see above T_PAEN)		T_PAEN
#13		Active mode is entered with settings from previous interchirp Dn mode (CSDx+CSCx)		
#13		PA is enabled (PAON) Host makes sure that PA is not on before the chirp starts (>#12)	PAON	

(表格续下页.....)

表 17 (续) 形状结束和形状之间的Interchirp

From #	To #	Description	Signals	Related time
#13		Baseband reset timer is enabled here based on the CSx:BB_RSTCNT value		
#13	#14	During this phase, the baseband can settle		T_SSTART
#14	#15	MADC starts acquiring the given number of samples (PLLx:APD in PLL shape x register 3).	MADC_TRIG	T_ACQDx
#15		MADC has completed the acquisition of the expected number of samples	MADC_DONE	
#15		PA is disabled (PAOFF) This condition must be reached before #16 The condition is: $T_PAEN + T_SSTART + T_ACQDx > T_START + T_RAMPx$.	PAOFF	
#15		Interchirp Dn mode is activated again here (CSDx + CSCx)		
#14	#16	FSM waits for PLL if ramp down to calculate #17 (TMREND)		
#16		PLL signals the end of the downchirp (ramp progress)	RampDN	
#17		Temperature measurement is started (if activated in CSx).		
#17	#18	Time delay programmed by the host		T_EDD
#18	#2	Time programmed by the host to stay in Idle mode		T_SED
#2		Same state #2 as in Figure 13 starts here		

3.3.5.2 形状之间的 Interchirp

当两个形状之间所需的间隙相对较小 (< 25 μs) 时，可以设置形状之间的 Interchirp。

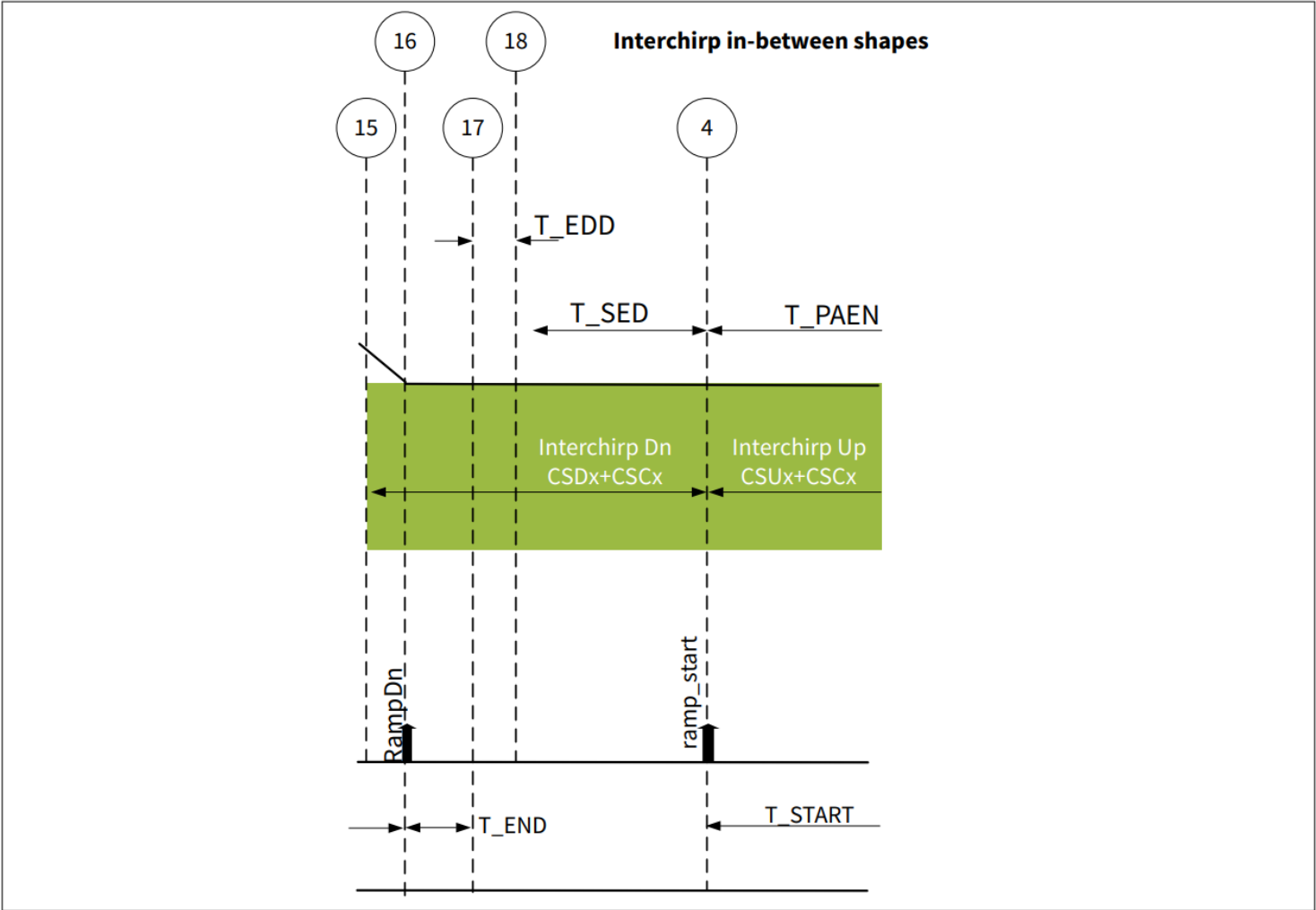


图 16 形状之间的 Interchirp

表 18 形状之间的 Interchirp

From #	To #	Description	Signals	Related time
#15		Interchirp Dn (CSDx + CSCx) is activated after active mode		
#16		PLL signals the end of the downchirp (ramp progress)	RampDN	
#16	#17	Some delay after downchirp is completed		T_END
#17		PLL has completed its action		
#17		Temperature measurement is started (if activated in CSx).		
#17	#18	Time delay programmed by the host		T_EDD
#18	#4	The chip will remain in the same interchirp power state for the provided amount of time (T_EDD)		T_SED
#4		Same state #4 as in Figure 13 starts here		
#4		Interchirp up mode programed by FSM here (CSUx + CSCx)		

3.3.5.3 形状组之后的深度睡眠连续 + 空闲唤醒

在形状组完成后的深度睡眠连续模式下，FSM 会在编程时间 T_{SED} 后自动唤醒。在此期间，内部时钟保持运行。深度睡眠控制是形状组之间唯一可能的深度睡眠电源模式。

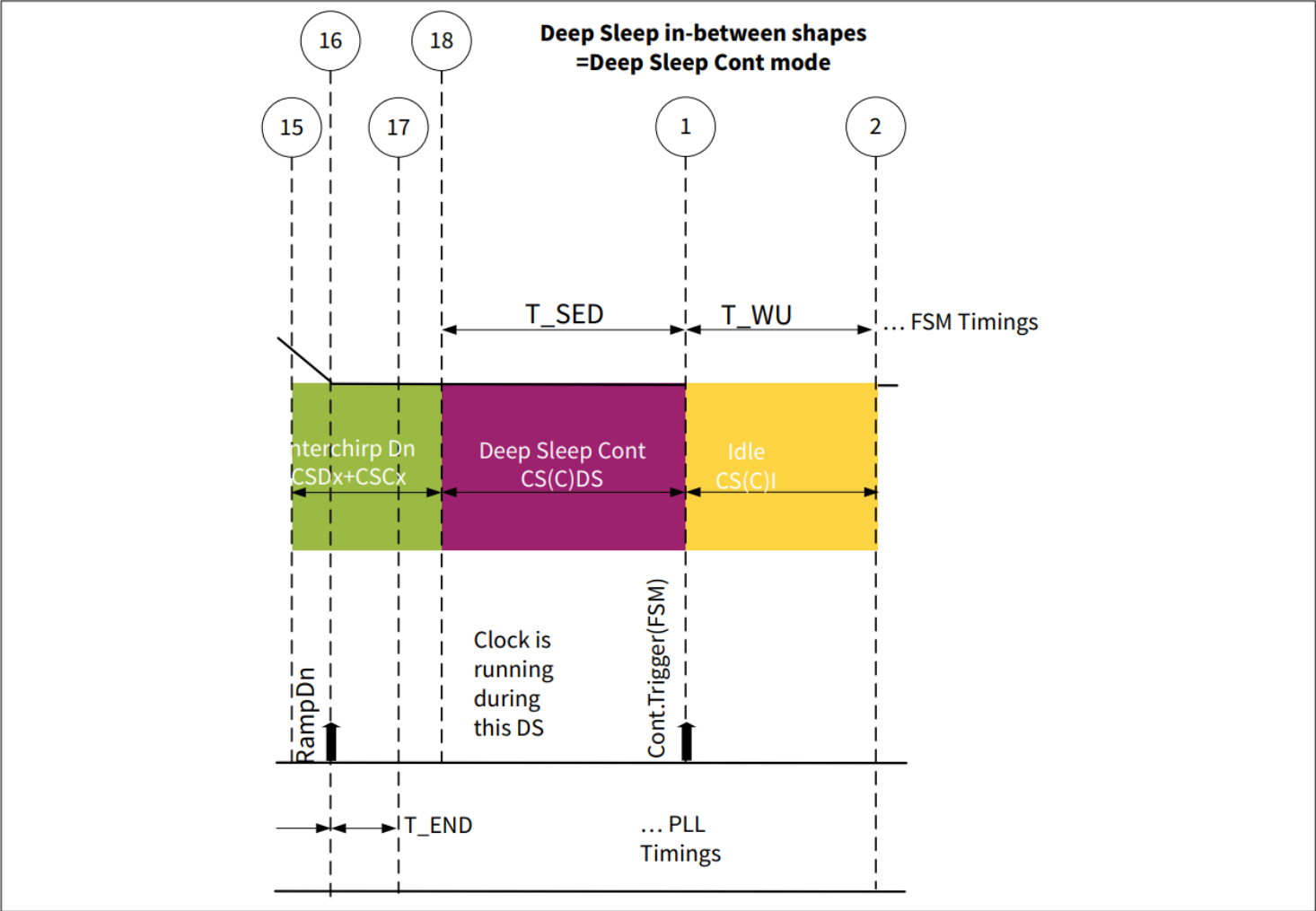


图 17 形状组之后的深度睡眠 + 空闲唤醒
表 19 形状组之后的深度睡眠控制 + 空闲唤醒

From #	To #	Description	Signals	Related time
#16	#17	Some delay after downchirp is completed		T_END
#17		PLL is completed its action		
#17		Temperature measurement is started (if activated in CSx).		
#17		Deep sleep cont mode is enabled. The difference to the normal deep sleep mode is, the f_{SYS_CLK} is kept running to count the internal timers		
#17		The internal system clock f_{SYS_CLK} is kept running		
#17	#18	Time delay programmed by the host		T_EDD
#18	#1	The chip will be in deep sleep cont mode		T_SED

(表格续下页.....)

表 19 (续) 形状组之后的深度睡眠控制 + 空闲唤醒

From #	To #	Description	Signals	Related time
#1		Continuous trigger coming from the FSM		
#1		Same start-up procedure as Figure 13 starts here		

3.4 系统约束

3.4.1 MADC 采样时序条件和计算

频率chirp（形状的上升或下降段）期间的 MADC 样本数量应满足一些特定要求。

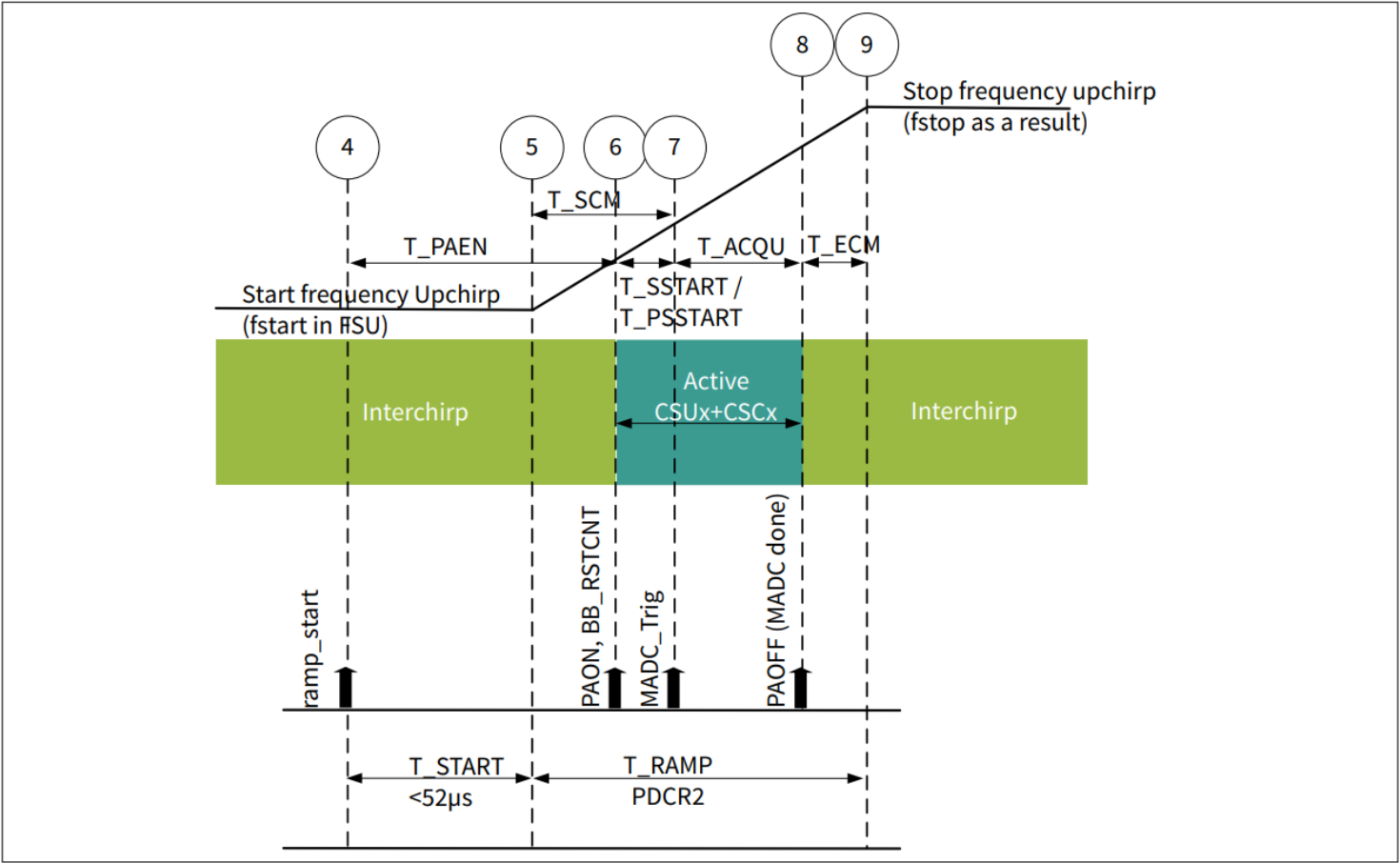


图 18 T_RAMP 时序条件

表 20 T_RAMP 时序条件

From #	To #	Description	Signals	Related time
#4		PLL starts counting		
#4	#5	PLL starts		T_START
#5	#9	PLL performs the frequency upchirp, chirp from fstart (PLLx[1]:FSU) to fstop		T_RAMP
#6	#8	Active phase		
#4	#7	Time to start the MADC		T_PAEN+T_S START
#6	#7	Delay after PA is enabled before the power measurement is started (if activated in CSx)		T_PSSTART
#7	#8	MADC sampling time for upchirp raw data		T_ACQUX

(表格续下页.....)

表 20 (续) T_RAMP 时序条件

From #	To #	Description	Signals	Related time
#8	#9	End chirp margin T_ECM is needed to avoid transmission out of band. Empirically derived in system		T_ECM
#5	#7	Start chirp margin T_SCM is needed to avoid transmission out of band. Empirically derived in system		T_SCM

总结：

ADC 采样率 $f_{\text{ADC_SAMP}}$ (参见第 8.5.5 章)：

- $f_{\text{ADC_SAMP}} = f_{\text{ADC_CLK}} / \text{ADC_DIV}$

Upchirp 的 ADC 采集时间 T_ACQUx：

- $T_{\text{ACQUx}} = \text{APUx} / f_{\text{ADC_SAMP}}$ 其中，

APU 是采样次数。

末端 Chirp 裕量 T_ECM 在系统中进行测试，但假定大于 0 μs ：

- $T_{\text{ECM}} > 0 \mu\text{s}, T_{\text{SCM}} > 0 \mu\text{s}$

数据采集开始时间的条件：

- $T_{\text{PAEN}} + T_{\text{SSTART}} > T_{\text{START}}$

考虑到开始时的启动 Chirp 裕量 TCM：

- $T_{\text{PAEN}} + T_{\text{SSTART}} - T_{\text{SCM}} = T_{\text{START}}$

总体时序方程：

- $T_{\text{PAEN}} + T_{\text{SSTART}} + T_{\text{ACQUx}} + T_{\text{ECM}} = T_{\text{START}} + T_{\text{RAMP}}$

固定样本数示例：

如果用户期望固定的采样次数，则设置 APU 并计算 T_RAMP。频率斜坡 T_RAMP 的时间为

- $T_{\text{RAMP}} (\text{PLLx2\#}: \text{PLL 形状 x 寄存器 2 中的 RTU}) = T_{\text{PAEN}} + T_{\text{SSTART}} + T_{\text{ACQUx}} + T_{\text{ECM}} - T_{\text{START}}$

固定 Chirp 时间 (T_RAMP) 示例：

- $T_{\text{ACQUx}} = T_{\text{RAMP}} - (T_{\text{SCM}} + T_{\text{ECM}})$

- $\text{APU} = (T_{\text{ACQUx}} * f_{\text{ADC_SAMP}})$

- $\text{APU} (\text{PLLx3\#}: \text{PLL 形状 x 寄存器 3 中的 APU}) = (T_{\text{RAMP}} - (T_{\text{SCM}} + T_{\text{ECM}})) * (f_{\text{SYS_CLK}} / \text{ADC_DIV})$

3.4.2 PLL 频率斜坡设置

PLL 产生的 RF 频率斜坡由 PLLx 寄存器控制 (参见 PLL 形状 x 寄存器 0)，其中位字段 FSU、RSU 和 RTU 控制形状的 Upchirp，寄存器 FSD、RSD 和 RTD 控制形状的 Down chirp。以下描述仅涉及 Upchirp 斜坡的设置。给定的公式可用于 Down chirp 斜坡，只需将 FSU 替换为 FSD、将 RSU 替换为 RSD 以及将 RTU 替换为 RTD 即可。

每个 RF 频率斜坡由编程为 FSU 的起始频率、编程为 RSU 的斜坡斜率和编程为 RTU 的斜坡时间定义。必须注意的是，RSU 中的斜率指定为每个时钟周期的频率增量，而 RTU 中的斜坡时间指定为步数，其中一个步长意味着 8 个时钟周期。RSU 和 RTU 之间的关系如下图所示。

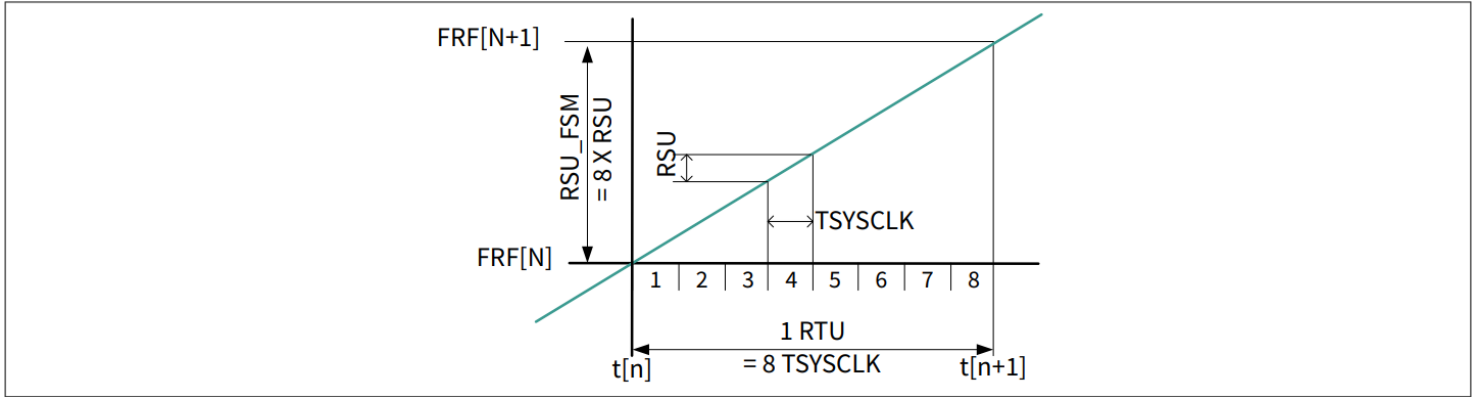


图 19 RTU 和 RSU 之间的关系

为控制斜坡起始频率而编程到 FSU 位字段的 NFSU 值是一个带符号的 2 的补码，范围为 $-2^{23} \dots (2^{23} - 1)$ 。RF 频率 f_{RF} 和 NFSU 之间的关系如下所示：

$$f_{RF} = 8f_{SYS_CLK} \left[4(N_{DIVSET} + 2) + 8 + \frac{N_{FSU}}{2^{20}} \right] \quad (1)$$

其中， f_{SYS_CLK} 为参考时钟振荡器的频率， N_{DIVSET} 为寄存器 PACR2 中 DIVSET 位字段的编程值（默认为 20，参见 [PLL 模拟控制寄存器 2](#)）。因此， N_{FSU} 的值可按式计算：

$$N_{FSU} = 2^{20} \left[\frac{f_{RF}}{8f_{SYS_CLK}} - 4(N_{DIVSET} + 2) - 8 \right] \quad (2)$$

编程到 RSU 位字段以控制每个时钟周期频率增量的 N_{RSU} 值也是一个带符号的 2 的补码，范围为 $-2^{23} \dots (2^{23} - 1)$ 。RF 频率增量 Δf_{RF} 与 N_{RSU} 之间的关系如下所示：

$$\Delta f_{RF} = 8f_{SYS_CLK} \frac{N_{RSU}}{2^{20}} \quad (3)$$

或

$$N_{RSU} = 2^{20} \frac{\Delta f_{RF}}{8f_{SYS_CLK}} \quad (4)$$

注释： 斜率位字段 RSU 和 RSD 均可储存正值和负值，因此也可以用下降斜率对 Up chirp 进行编程，用上升斜率对 Down chirp 进行编程。“Up chirp”和“Down chirp”的命名规则基于这样一个假设，即三角形总是从上升斜坡开始。因此，无论实际斜坡坡度如何，在三角形模式下，Up chirp 寄存器总是指形状的第一个 Chirp，而 Down chirp 寄存器总是指形状的第二个 Chirp。

PLL 设置示例 1 ($f_{SYS_CLK} = 80 \text{ MHz}$)

在参考时钟频率为 40 MHz 并激活倍频器的情况下， N_{DIVSET} 的推荐值为 20（默认值）。利用这些参数，转换公式简化为：

$$N_{\text{FSU}} = 2^{20} \left[\frac{f_{\text{RF}}}{640 \text{ MHz}} - 96 \right] \quad (5)$$

及

$$N_{\text{RSU}} = 2^{20} \frac{\Delta f_{\text{RF}}}{640 \text{ MHz}} \quad (6)$$

利用 PLL 的 24 位 2 的补码频率寄存器，总可编程 RF 频率范围为 $56.32 \text{ GHz} \leq f_{\text{RF}} \leq 66.559 \text{ GHz}$ 。这可能比可有效实现的频率范围更宽。

为了在 $36 \mu\text{s}$ 内实现频率从 58 GHz 上升至 62 GHz ，FSU 寄存器编程为：

$$N_{\text{FSU}} = 2^{20} \left[\frac{58 \text{ GHz}}{640 \text{ MHz}} - 96 \right] = -5636096 \hat{=} A40000_{\text{hex}} \quad (7)$$

斜坡时间位字段 RTU 被编程为：

$$N_{\text{RTU}} = \frac{t_{\text{ramp}}}{8 * T_{\text{SYS_CLK}}} = 36 \mu\text{s} \frac{80 \text{ MHz}}{8} = 360 \quad (8)$$

每个时钟周期的频率增量导致：

$$\Delta f_{\text{RF}} = \frac{f_{\text{RF, end}} - f_{\text{RF, start}}}{8 * N_{\text{RTU}}} = \frac{62 \text{ GHz} - 58 \text{ GHz}}{8 * 360} = \frac{4 \text{ GHz}}{2880} = 1.38 \text{ MHz} \quad (9)$$

因此，位字段 RSU 被编程为：

$$N_{\text{RSU}} = 2^{20} \frac{1.38 \text{ MHz}}{640 \text{ MHz}} = 2275.5 \cong 2276 \hat{=} 0008E4_{\text{hex}} \quad (10)$$

由于上述计算的舍入误差，斜坡将以略有不同的结束频率结束：

$$f_{\text{RF, end}} = f_{\text{RF, start}} + 8 * N_{\text{RTU}} * \frac{640 \text{ MHz}}{2^{20}} N_{\text{RSU}} = 62.000781 \text{ GHz} \quad (11)$$

PLL 设置示例 2 ($f_{\text{SYS_CLK}} = 76.8 \text{ MHz}$)

基准时钟频率为 38.4 MHz ，激活倍频器后， N_{DIVSET} 的建议值为 21。有了这些参数，转换公式就简化为：

$$N_{\text{FSU}} = 2^{20} \left[\frac{f_{\text{RF}}}{614.4 \text{ MHz}} - 100 \right] \quad (12)$$

及

$$N_{\text{RSU}} = 2^{20} \frac{\Delta f_{\text{RF}}}{614.4 \text{ MHz}} \quad (13)$$

利用 PLL 的 24 位 2 的补码频率寄存器，总可编程 RF 频率范围为 $56.5248 \text{ GHz} \leq f_{\text{RF}} \leq 66.3552 \text{ GHz}$ 。这可能比有效可达到的频率范围更宽。

为了在 $36 \mu\text{s}$ 内实现频率从 58 GHz 上升至 62 GHz ，FSU 寄存器编程为：

$$N_{\text{FSU}} = 2^{20} \left[\frac{58 \text{ GHz}}{614.4 \text{ MHz}} - 100 \right] = -5870933.\bar{3} \cong -5870933 \hat{=} A66AAB_{\text{hex}} \quad (14)$$

斜坡时间位字段 RTU 被编程为：

$$N_{\text{RTU}} = \frac{t_{\text{ramp}}}{8 * T_{\text{SYSCLK}}} = 36 \mu\text{s} \frac{76.8 \text{ MHz}}{8} = 345.6 \cong 346 \quad (15)$$

每个时钟周期的频率增量导致：

$$\Delta f_{\text{RF}} = \frac{f_{\text{RF, end}} - f_{\text{RF, start}}}{8 * N_{\text{RTU}}} = \frac{62 \text{ GHz} - 58 \text{ GHz}}{8 * 346} = \frac{4 \text{ GHz}}{2768} = 1.44509 \text{ MHz} \quad (16)$$

因此，位字段 RSU 被编程为：

$$N_{\text{RSU}} = 2^{20} \frac{1.44509 \text{ MHz}}{614.4 \text{ MHz}} = 2466.28 \cong 2466 \hat{=} 0009A2_{\text{hex}} \quad (17)$$

由于上述计算的舍入误差，斜坡将以略有不同的结束频率结束：

$$f_{\text{RF, start}} = 614.4 \text{ MHz} \left[100 + \frac{N_{\text{FSU}}}{2^{20}} \right] = 58.0000002 \text{ GHz} \quad (18)$$

$$f_{\text{RF, end}} = f_{\text{RF, start}} + 8 * N_{\text{RTU}} * \frac{614.4 \text{ MHz}}{2^{20}} N_{\text{RSU}} = 61.99954 \text{ GHz} \quad (19)$$

4 BGT60UTR11AIP 寄存器

通过 SPI 可见的寄存器阵列用于控制和编程芯片内不同块的状态。

每个寄存器按 24 位为一个块排列。每个块都由其唯一地址标识。这些寄存器可通过 SPI 模块访问。每个寄存器的位字段按 MSB 优先顺序排列。

下表概述了 BGT60UTR11AIP 寄存器。

4.1 缩略词

寄存器的访问模式：

- r: 可读寄存器或位字段
- w: 可写寄存器或位字段
- h: 硬件可写寄存器或位字段

注释： 寄存器中的保留(RSVD) 位不应修改。除非另有规定，否则应保持复位状态。这也适用于多位字段的 RSVD 状态。

4.2 寄存器概览 - BGT60UTR11AIP (递增偏移地址)

表 21 寄存器概览 - BGT60UTR11AIP (递增偏移地址)

Short name	Long name	Offset address	Page number
MAIN	Main register	000 _H	38
ADC0	ADC control register	001 _H	40
CHIP_Version	Digital and RF version register	002 _H	42
STAT1	Status register 1	003 _H	43
PACR1	PLL analog control register 1	004 _H	43
PACR2	PLL analog control register 2	005 _H	45
SFCTL	SPI and FIFO control register	006 _H	47
CSI_0	Channel set idle register 0	008 _H	48
CSI_1	Channel set idle register 1	009 _H	49
CSI_2	Channel set idle register 2	00A _H	50
CSCI	Channel set control idle register	00B _H	51
CSDS_0	Channel set deep sleep register 0	00C _H	52
CSDS_1	Channel set deep sleep register 1	00D _H	54
CSDS_2	Channel set deep sleep register 2	00E _H	55
CSCDS	Channel set control deep sleep register	00F _H	56
CSUx_0	Channel set up x register 0	010 _H +(x-1)*7	57
CSUx_1	Channel set up x register 1	011 _H +(x-1)*7	58
CSUx_2	Channel set up x register 2	012 _H +(x-1)*7	59
CSDx_0	Channel set down x register 0	013 _H +(x-1)*7	60
CSDx_1	Channel set down x register 1	014 _H +(x-1)*7	61

(表格续下页.....)

表 21 (续) 寄存器概览 - BGT60UTR11AIP (递增偏移地址)

Short name	Long name	Offset address	Page number
CSDx_2	Channel set down x register 2	015 _H +(x-1)*7	62
CSCx	Channel set control x register	016 _H +(x-1)*7	63
CCR0	Chirp control register 0	02C _H	64
CCR1	Chirp control register 1	02D _H	65
CCR2	Chirp control register 2	02E _H	66
CCR3	Chirp control register 3	02F _H	67
PLLx_0	PLL shape x register 0	030 _H +(x-1)*8	68
PLLx_1	PLL shape x register 1	031 _H +(x-1)*8	68
PLLx_2	PLL shape x register 2	032 _H +(x-1)*8	69
PLLx_3	PLL shape x register 3	033 _H +(x-1)*8	70
PLLx_4	PLL shape x register 4	034 _H +(x-1)*8	70
PLLx_5	PLL shape x register 5	035 _H +(x-1)*8	71
PLLx_6	PLL shape x register 6	036 _H +(x-1)*8	71
PLLx_7	PLL shape x register 7	037 _H +(x-1)*8	72
ADC1	Sensor ADC register	050 _H	73
RFT0	RF test register 0	055 _H	73
EFUSE0	EFUSE register 0	057 _H	75
EFUSE1	EFUSE register 1	058 _H	75
PDFT0	PLL test register 0	059 _H	76
CHIP_ID0	Chip ID register 0	05D _H	76
CHIP_ID1	Chip ID register 1	05E _H	77
CLK_IN	Clock input register	05F _H	77
WU	Wake up register	060 _H	78
STAT0	Status register 0	061 _H	79
SENSOR_RESULT	Sensor ADC result register	062 _H	80
FSTAT	FIFO status register	063 _H	81

4.3 主寄存器

该寄存器控制芯片的顶层行为。

MAIN	偏移地址:	000 _H
主寄存器	复位值:	1C 0B00 _H

4 BGT60UTR11AIP registers

															23	22	21	20	19	18	17	16
															LDO_MOD_E	LOAD_STRENGTH		MADC_BG_CLK_DIV		RSVD		CW_MOD_E
															rw	rw		rw		r		rw
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0							
RSVD				PU_RST_EN	RSVD	PU_DO_EN	PU_DI_EN	PU_CLK_EN	PU_CSN_EN	PU_IRQ_EN	SPI_BC_MODE	FIFO_RESET	FSM_RESET	SW_RESET	FRAME_START							
r				rw	r	rw	rw	rw	rw	rw	rw	w	w	w	w							

Field	Bits	Type	Description
FRAME_START	0	w	Start a frame generation: 0 _B ... No effect 1 _B ... Executes a frame start and clears this bit Note: Can be stopped by executing a HW_RESET, SW_RESET or FSM_RESET.
SW_RESET	1	w	Reset the complete chip: 0 _B ... No effect 1 _B ... Executes a software reset and clears this bit
FSM_RESET	2	w	Reset the Finite State Machine: 0 _B ... No effect 1 _B ... Executes a FSM reset and clears this bit
FIFO_RESET	3	w	Reset the FIFO: 0 _B ... No effect 1 _B ... Executes a FIFO reset and clears this bit
SPI_BC_MODE	4	rw	Enables SPI broadcast mode: 0 _B ... Disabled 1 _B ... Enabled Note: When enabled the output drivers of SPI pins are disabled to avoid conflicts on shared MISO line. Can be used to program/trigger multiple devices at the same time.
PU_IRQ_EN	5	rw	Enables pull-up of IRQ pin: 0 _B ... Disabled 1 _B ... Enabled
PU_CSN_EN	6	rw	Enables pull-up of CSN pin: 0 _B ... Disabled 1 _B ... Enabled
PU_CLK_EN	7	rw	Enables pull-up of CLK pin: 0 _B ... Disabled 1 _B ... Enabled
PU_DI_EN	8	rw	Enables pull-up of DI pin: 0 _B ... Disabled 1 _B ... Enabled

(表格续下页.....)

(续)

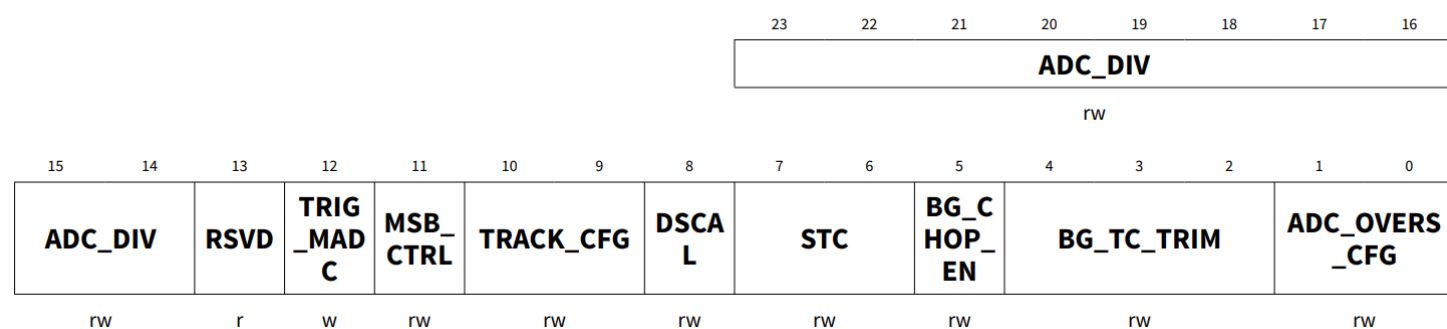
Field	Bits	Type	Description
PU_DO_EN	9	rw	Enables pull-up of DO pin: 0 _B ... Disabled 1 _B ... Enabled
RSVD	10, 15:12, 18:17	r	Reserved
PU_RST_EN	11	rw	Enables pull-up of RST pin: 0 _B ... Disabled 1 _B ... Enabled
CW_MODE	16	rw	Continuous wave mode: 0 _B ... Normal mode 1 _B ... Continuous wave mode Note: When active no shapes are executed but PLL, RF, ADC run with values programmed in PDFT0, PDFT1 and channel set 1 registers.
MADC_BG_CLK_DIV	20:19	rw	MADC bandgap clock frequency divider value: 0 _D ... Bandgap clock off 1 _D ... Divider value is 1 2 _D ... Divider value is 2 3 _D ... Divider value is 4 Note: not clock tree balanced
LOAD_STRENGTH	22:21	rw	LDO dummy load to smooth current peaks (over and under shoots of VDD_c caused by toggling of digital logic): 0 _D ... Disabled 1 _D ... 100 μA (current in the dummy load) 2 _D ... 200 μA (current in the dummy load) 3 _D ... 400 μA (current in the dummy load)
LDO_MODE	23	rw	The LDO settling time is defined by: 0 _B ... Low power (50 μA), slow settling time 1 _B ... High power (100 μA), fast settling time

4.4 ADC 控制寄存器

该寄存器中的位用于正确设置 RX 链中的 ADC。

ADC0	偏移地址:	001 _H
ADC 控制寄存器	复位值:	0A 0240 _H

4 BGT60UTR11AIP registers



Field	Bits	Type	Description
ADC_OVERS_CFG	1:0	rw	ADC oversampling configuration: 0 _D ... No oversampling (standard 11 bits conversion) 1 _D ... Reserved 2 _D ... Reserved 3 _D ... Reserved
BG_TC_TRIM	4:2	rw	Temperature coefficient trimming (static): 0 _D ... Minimum value 7 _D ... Maximum value
BG_CHOP_EN	5	rw	Enables chopping within the bandgap: 0 _B ... Disabled 1 _B ... Enabled
STC	7:6	rw	Sample time control: 0 _D ... 50 ns 1 _D ... 100 ns 2 _D ... 200 ns 3 _D ... 400 ns
DSCAL	8	rw	Disables startup calibration: 0 _B ... Enabled 1 _B ... Disabled
TRACK_CFG	10:9	rw	Tracking conversion configuration bits: 0 _D ... No sub conversion 1 _D ... 1 sub conversion 2 _D ... 3 sub conversions 3 _D ... 7 sub conversions Note: Sub conversions are executed and averaged.
MSB_CTRL	11	rw	MSB decision time selection during calibration and conversion: 0 _B ... Single MSB decision time 1 _B ... Double MSB decision time
TRIG_MADC	12	w	Trigger for manual ADC conversion: 0 _B ... No effect 1 _B ... Executes a single ADC conversion and clears this bit
RSVD	13	r	Reserved

(表格续下页.....)

(续)

Field	Bits	Type	Description
ADC_DIV	23:14	rw	ADC sampling frequency divider value. The actual sampling frequency will be $f_{\text{ADC_SAMP}} = f_{\text{ADC_CLK}} / \text{ADC_DIV}$: 0 _D ..19 _D ... Reserved 20 _D ... Minimum divider value 1023 _D ... Maximum divider value Note: A typical value is 33 _D resulting in $f_{\text{ADC_SAMP}} = 2.42 \text{ MS/s}$ (@ $f_{\text{SYS_CLK}} = 80 \text{ MHz}$)

4.5 数字和 RF 版本寄存器

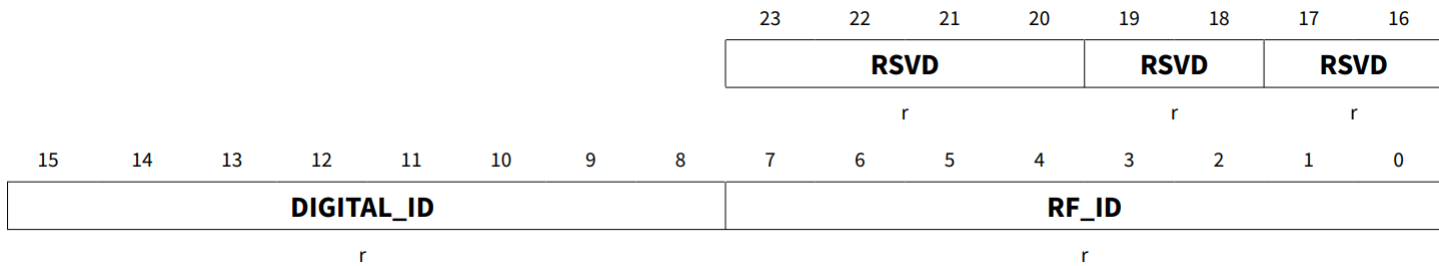
寄存器 CHIP_Version 提供有关数字代码版本、RF 块版本和天线配置（例如通道数量、天线位置）的信息。驱动器会根据以下信息正确配置器件。

CHIP_Version

偏移地址：002_H

数字和 RF 版本寄存器

复位值参见：[表 22](#)



Field	Bits	Type	Description
RF_ID	7:0	r	Revision of analog logic: 12 _D ... BGT60UTR11AIP Note: EES sample: 7 _D
DIGITAL_ID	15:8	r	Revision of digital control logic: 7 _D ... BGT60UTR11AIP
RSVD	23:16,	r	Reserved

表 22 [CHIP_Version](#)的复位值

Reset type	Reset value	Note
Reset	X000 0000 0000 0111 0000 1100 _B	

4.6 状态寄存器 1

状态寄存器为实际的帧数和形状提供内部计数器值。它们也提供给数据头。然而，应该提到的是，对于所有状态寄存器，STAT0、STAT1 和 FSTAT，除了 FIFO 状态和错误标志之外，每个状态寄存器字段的更新可能发生在相对于 FSM 状态的不同时序事件上，并且字段内容应该彼此独立处理。在 CW 模式下，例如 100 μs 后即可正确读取状态位。

STAT1 偏移地址: 003H
状态寄存器 1 复位值: 00 0000H

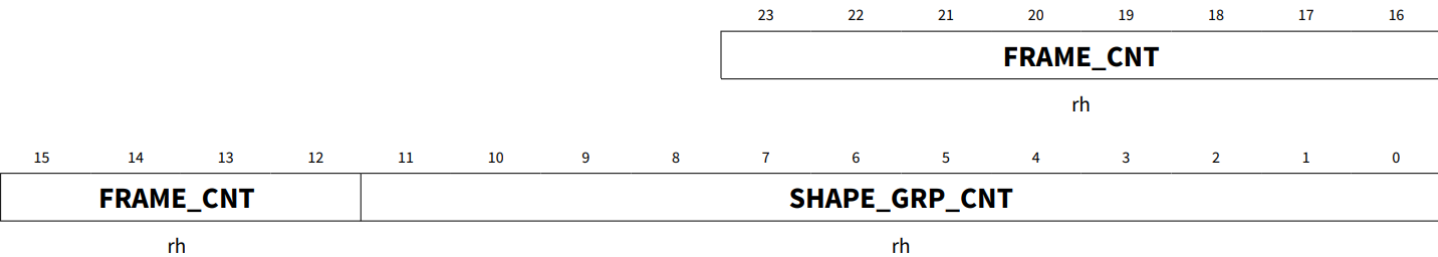
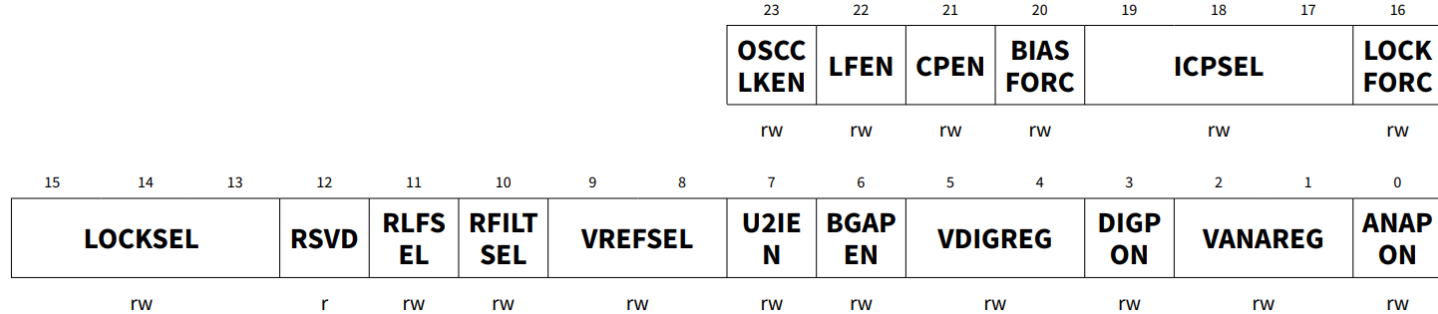


Table with 4 columns: Field, Bits, Type, Description. Rows include SHAPE_GRP_CNT and FRAME_CNT with their respective bit ranges, reset/rollover values, and descriptions.

4.7 PLL 模拟控制寄存器 1

该寄存器中的位用于正确设置 PLL。

PACR1 偏移地址: 004H
PLL 模拟控制寄存器 1 复位值: 19 6524H



Field	Bits	Type	Description
ANAPON	0	rw	Enables the power of the analog regulator: 0 _B ... Disabled 1 _B ... Enabled
VANAREG	2:1	rw	Selects the output voltage of analog regulator: 0 _D ... 1.44 V 1 _D ... 1.50 V 2 _D ... 1.55 V 3 _D ... 1.60 V (@V _{bg} = 1.2 V)
DIGPON	3	rw	Enables the power of the digital regulator: 0 _B ... Disabled 1 _B ... Enabled
VDIGREG	5:4	rw	Selects the output voltage of digital regulator: 0 _D ... 1.44 V 1 _D ... 1.50 V 2 _D ... 1.55 V 3 _D ... 1.60 V (@V _{bg} = 1.2 V)
BGAPEN	6	rw	Enables bandgap reference: 0 _B ... Disabled 1 _B ... Enabled
U2IEN	7	rw	Enables voltage-to-current converter: 0 _B ... Disabled 1 _B ... Enabled
VREFSEL	9:8	rw	Selects the reference voltage/common mode level of loop filter: 0 _D ... 433 mV 1 _D ... 506 mV 2 _D ... 578 mV 3 _D ... 650 mV
RFILTSEL	10	rw	Selects the resistance R_{filt} of the reference filter: 0 _B ... R _{filt} = 100 kΩ 1 _B ... R _{filt} = 1 MΩ Note: Switch together with CPEN from 0 _B to 1 _B to improve start-up time!
RLFSEL	11	rw	Selects the resistance R_f inside the loop filter: 0 _B ... R _f = 5 kΩ 1 _B ... R _f = 7 kΩ
RSVD	12	r	Reserved

(表格续下页.....)

(续)

Field	Bits	Type	Description
LOCKSEL	15:13	rw	Selects the lock detection window: 0 _D ... 0.265 ns 1 _D ... 0.5 ns 2 _D ... 1.0 ns 3 _D ... 1.5 ns 4 _D ... 2.0 ns 5 _D ... 2.8 ns 6 _D ... 3.8 ns 7 _D ... 4.6 ns
LOCKFORC	16	rw	Forces the lock signal: 0 _B ... Lock not forced 1 _B ... Lock forced (to high)
ICPSEL	19:17	rw	Selects the charge pump current: 0 _B ... 40 µA 1 _B ... 80 µA 2 _B ... 120 µA 3 _B ... 160 µA 4 _B ... 200 µA 5 _B ... 240 µA 6 _B ... 280 µA 7 _B ... 280 µA
BIASFORC	20	rw	Enables fixed biasing inside charge pump: 0 _B ... Disabled (Bias regulation loop active) 1 _B ... Enabled (Bias regulation loop deactivated)
CPEN	21	rw	Enables charge pump: 0 _B ... Disabled 1 _B ... Enabled
LFEN	22	rw	Enables loop filter: 0 _B ... Disabled 1 _B ... Enabled
OSCCLKEN	23	rw	Enables system clock (SYS_CLK): 0 _B ... Disabled 1 _B ... Enabled Note: This bit is controlled by FSM during operation. After deep sleep this bit should be enabled by the host. Before the MAIN:FRAME_START is raised the OSCCLKEN must be enabled!

4.8 PLL 模拟控制寄存器 2

该寄存器中的位用于正确设置 PLL。

PACR2

偏移地址:

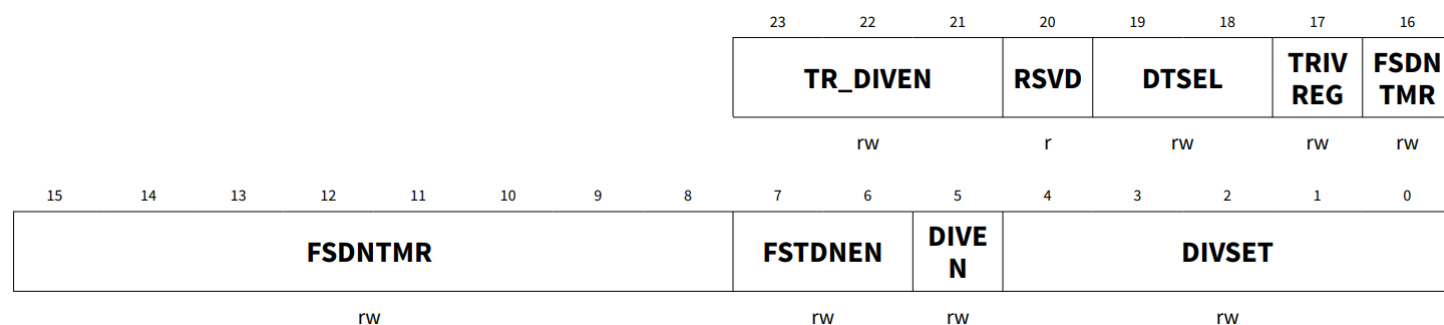
005_H

PLL 模拟控制寄存器 2

复位值:

04 0014_H

4 BGT60UTR11AIP registers



Field	Bits	Type	Description
DIVSET	4:0	rw	Set fixed part of integer division factor: 0 _D ..19 _D ... Reserved 20 _D ... valid for 80 MHz system clock 21 _D ... valid for 76.8 MHz or 38.4 MHz system clock 22 _D ..31 _D ... Reserved Note: Consider offset of 2
DIVEN	5	rw	Enables divider: 0 _B ... Disabled (input clock of divider gated) 1 _B ... Enabled
FSTDNEN	7:6	rw	Enables fast down chirp 0 _D ... Disabled 1 _D ... Reserved 2 _D ... Enabled fast down chirp 3 _D ... Reserved
FSDNTMR	16:8	rw	Defines the time for the PLL loop filter discharge during fast down chirp operation. When FSTDNTMR = 0_D and FSTDNEN ≠ 0_D, the fast down chirp length is internally assigned to a default value (@typ f_{SYS_CLK}): $T_{FSTDN} = (FSDNTMR + 1) * T_{SYS_CLK}$ 0 _D ..4 _D ... Reserved 5 _D ... 75 ns 6 _D ..511 _D ... Reserved
TRIVREG	17	rw	Set regulator off state to tristate (for both analog and digital regulator): 0 _B ... Off state is 0.0 V 1 _B ... Off state is tristate Note: Setting active for digital regulator if DIGPON = 0 _B or ANAPON = 0 _B .
DTSEL	19:18	rw	Select PFD dead time / dead zone: 0 _D ... 180 ps to 350 ps 1 _D ... 270 ps to 510 ps 2 _D ... 360 ps to 680 ps 3 _D ... 450 ps to 840 ps
RSVD	20	r	Reserved

(表格续下页.....)

Table with 4 columns: Field, Bits, Type, Description. Row 1: TR_DIVEN, 23:21, rw, Time for T_DIVEN. Defines the delay after PACR2:DIVEN is handed over to PLL and pll_rst_n is released. Running in parallel to T_INIT1.

4.9 SPI and FIFO 控制寄存器

该寄存器用于配置 SPI 和 FIFO。

SFCTL 偏移地址: 006H
SPI 和 FIFO 控制寄存器 复位值: 79 6000H

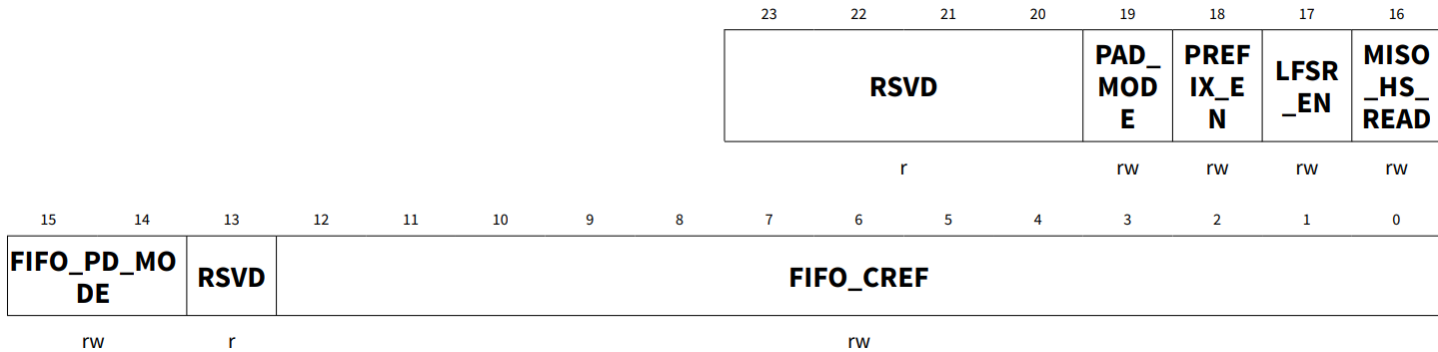


Table with 4 columns: Field, Bits, Type, Description. Rows: FIFO_CREF (12:0, rw, FIFO compare reference defines the compare filling status for interrupt and CREF reporting), RSVD (13, 23:20, r, Reserved), FIFO_PD_MODE (15:14, rw, RAM power mode for power saving (power switch)).

(表格续下页.....)

4 BGT60UTR11AIP registers

(续)

Field	Bits	Type	Description
MISO_HS_READ	16	rw	Change working edge of SPI DO (MISO) to enable higher SPI frequencies (>= 25 MHz): 0 _B ... MISO data is sent with falling edge of SPI_CLK 1 _B ... MISO data is sent with rising edge of SPI_CLK Note: HS_RD = 0 _B can only be used for a f _{SPI_CLK} less than 25 MHz. For high speed transfer please check the timing of the SPI master and adjust settings accordingly. The setting becomes active when the last bit of FSCTL is clocked out and it affects MISO immediately.
LFSR_EN	17	rw	Enable LFSR data generation: 0 _B ... Disabled 1 _B ... Enabled Note: LFSR should be enabled after a FIFO reset to ensure an empty FIFO.
PREFIX_EN	18	rw	Enables the prefix data header written into the FIFO prior to the sampling data of each chirp: 0 _B ... Disabled 1 _B ... Enabled
PAD_MODE	19	rw	SPI pad driver mode to control the slew rate: 0 _B ... Normal mode 1 _B ... Strong mode (enables up to 15% shorter fall times)

4.10 通道集空闲寄存器 0

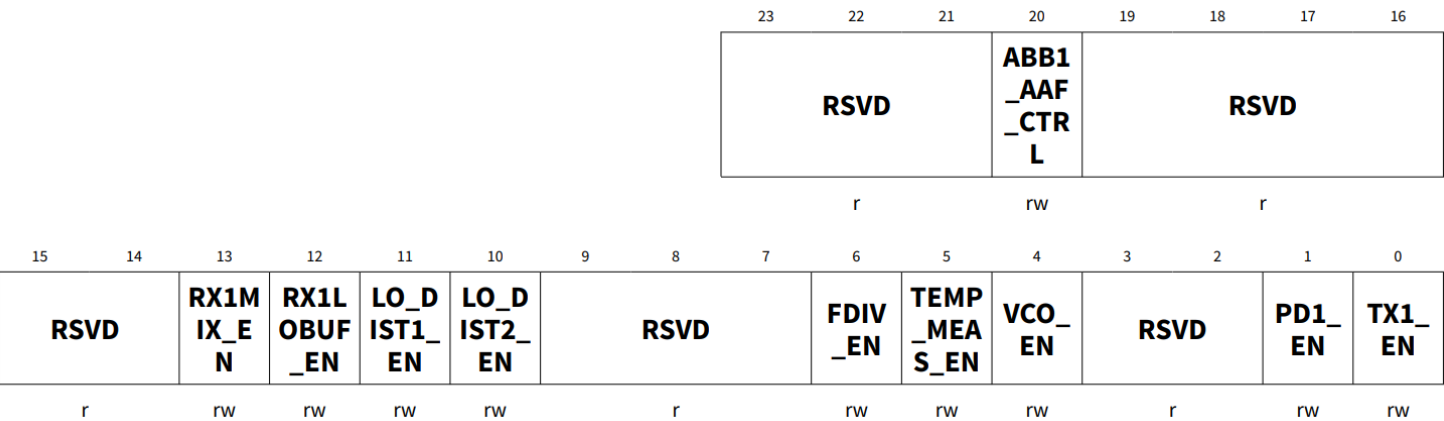
通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSI_0

通道集空闲寄存器 0

偏移地址: 008_H

复位值: 00 0000_H



Field	Bits	Type	Description
TX1_EN	0	rw	Enables the DAC and power amplifier of TX1: 0 _B ... Disabled 1 _B ... Enabled

(表格续下页.....)

(续)

Field	Bits	Type	Description
PD1_EN	1	rw	Enables the power detector of TX1: 0 _B ... Disabled 1 _B ... Enabled
RSVD	3:2, 9:7, 19:14, 23:21	r	Reserved
VCO_EN	4	rw	Enables the VCO: 0 _B ... Disabled 1 _B ... Enabled
TEMP_MEAS_EN	5	rw	Enables the temperature sensor: 0 _B ... Disabled 1 _B ... Enabled
FDIV_EN	6	rw	Enables the VCO frequency divider: 0 _B ... Disabled 1 _B ... Enabled Note: DIV output
LO_DIST2_EN	10	rw	Enables the local oscillator distribution buffer to RX1 channel: 0 _B ... Disabled 1 _B ... Enabled
LO_DIST1_EN	11	rw	Enables the local oscillator distribution buffer to TX1 channel: 0 _B ... Disabled 1 _B ... Enabled
RX1LOBUF_EN	12	rw	Enables the local oscillator buffer to the mixer on channel 1: 0 _B ... Disabled 1 _B ... Enabled
RX1MIX_EN	13	rw	Enables the mixer on channel 1: 0 _B ... Disabled 1 _B ... Enabled
ABB1_AAF_CTRL	20	rw	Selection of analog base band anti-aliasing filter frequency on channel 1: 0 _B ... 600 kHz 1 _B ... 1 MHz

4.11 通道集空闲寄存器 1

通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

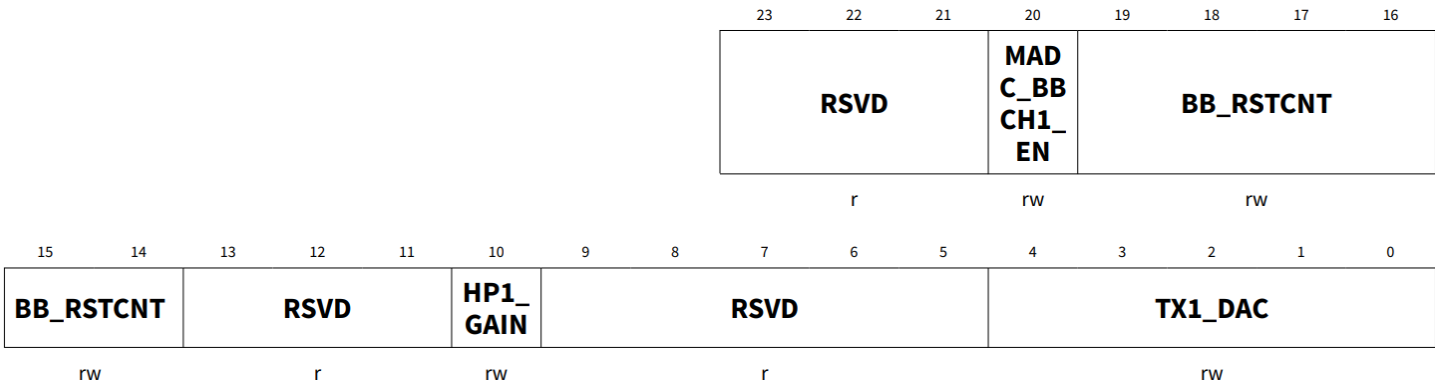
CSI_1

偏移地址: 009_H

通道集空闲寄存器 1

复位值: 00 0000_H

4 BGT60UTR11AIP registers

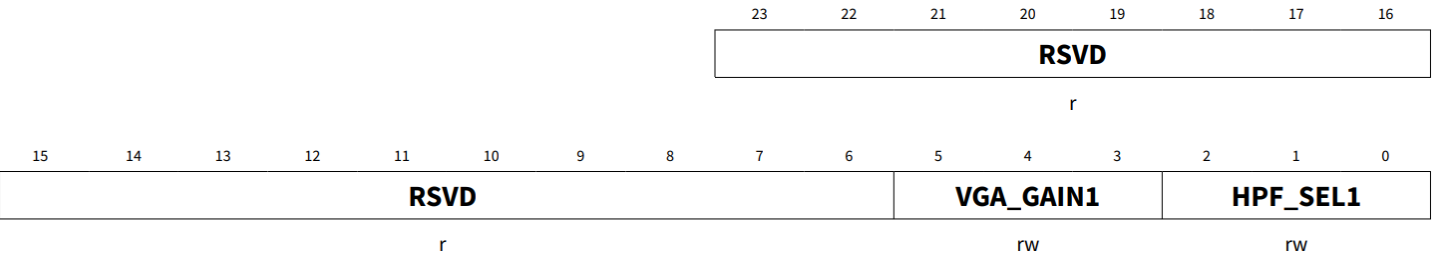


Field	Bits	Type	Description
TX1_DAC	4:0	rw	TX1 output power setting: 0 _D ... Minimum output power 31 _D ... Maximum output power
RSVD	9:5, 13:11, 23:21	r	Reserved
HP1_GAIN	10	rw	Gain setting of the first stage of the high pass filter of channel 1: 0 _B ... 30 dB 1 _B ... 18 dB
BB_RSTCNT	19:14	rw	Baseband reset timer counter value for the analog baseband amplifiers. The reset counter will start together with the PAON signal after the T_PAEN timer. T_BBRST = BB_RSTCNT * 8 * T_SYS_CLK: 0 _D ... No analog baseband reset 1 _D ... Minimum value 127 _D ... Maximum value
MADC_BBCH1_EN	20	rw	Enables the baseband filters, baseband amplifiers and ADC on channel 1: 0 _B ... Disabled 1 _B ... Enabled

4.12 通道集空闲寄存器 2

通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSI_2 偏移地址: 00A_H
通道集空闲寄存器 2 复位值: 00 0000_H



4 BGT60UTR11AIP registers

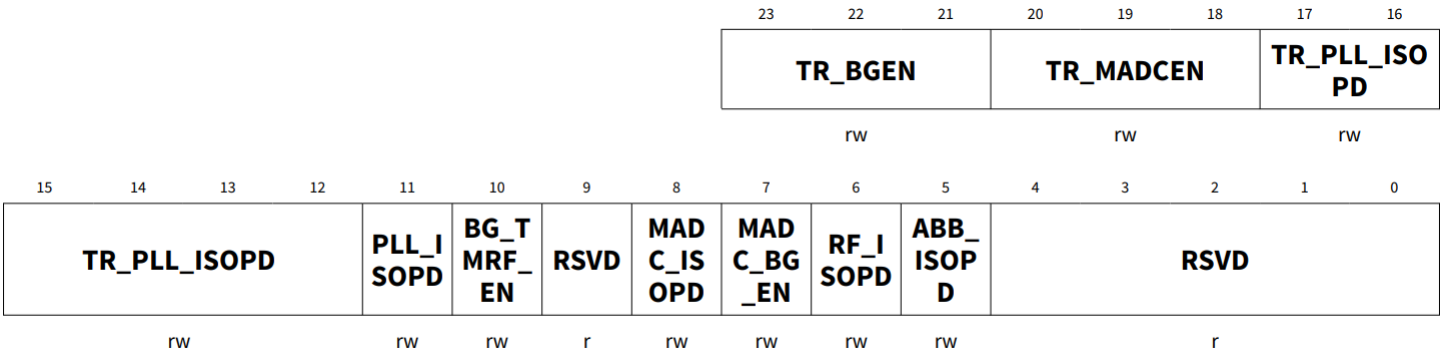
Field	Bits	Type	Description
HPF_SEL1	2:0	rw	High pass filter cutoff frequency setting of channel 1: 0D... 20 kHz 1D... 40 kHz 2D... 80 kHz 3D... 140 kHz 4D... 160 kHz 5D... Reserved 6D... Reserved 7D... Reserved
VGA_GAIN1	5:3	rw	VGA gain setting of channel 1: 0D... 0 dB 1D... 5 dB 2D... 10 dB 3D... 15 dB 4D... 20 dB 5D... 25 dB 6D... 30 dB 7D... Reserved
RSVD	23:6	r	Reserved

4.13 通道集控制空闲寄存器

通道集控制寄存器 CSCI 与通道集寄存器 CSI 有关。所有位都用于定义特定的电源模式。

ISOPD 代表一个逻辑隔离层，用于禁用完整的模块（例如MADC），同时保留其配置（ADC0 寄存器配置不变）。

CSCI 偏移地址： 00BH
通道集控制空闲寄存器 复位值： 24 0960H



Field	Bits	Type	Description
RSVD	4:0, 9	r	Reserved

(表格续下页.....)

Field	Bits	Type	Description
ABB_ISOPD	5	rw	Enables the isolation of all control signals to the ABB: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
RF_ISOPD	6	rw	Enables the isolation of all control signals to the RF: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
MADC_BG_EN	7	rw	Enables the bandgap of the MADC: 0 _B ... Disabled 1 _B ... Enabled
MADC_ISOPD	8	rw	Enables the isolation of all control signals to the MADC: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
BG_TMRF_EN	10	rw	Enables the temperature sensor: 0 _B ... Disabled 1 _B ... Enabled
PLL_ISOPD	11	rw	Enables the isolation of all control signals to the PLL: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
TR_PLL_ISOPD	17:12	rw	Timer for T_PLL_ISOPD. Delay PLL isolation after IDLE state: 0 _D ... T_PLL_ISOPD = T _{SYS_CLK} 1 _D ..63 _D ... T_PLL_ISOPD = (TR_PLL_ISOPD * 64 + 2) * T _{SYS_CLK} Note: if TR_PLL_ISOPD > 0 _D then CSCI:PLL_ISOPD should be 1 _B and T_INIT0 must be larger than T_PLL_ISOPD.
TR_MADCEN	20:18	rw	Timer for T_MADCEN. Delay MADC enable after IDLE state: 0 _D ... No delay 1 _D ..7 _D ... T_MADCEN = (TR_MADCEN * 64 + 1) * T _{SYS_CLK} Note: T_INIT0 must be larger than T_MADCEN. Typical T_MADCEN = 0.8 μs.
TR_BGEN	23:21	rw	Timer for T_BGEN. Delay bandgap enable after IDLE state (coming from DS or DS_CONT): 0 _D ... T_BGEN = T _{SYS_CLK} 1 _D ..7 _D ... T_BGEN = (TR_BGEN * 64 + 2) * T _{SYS_CLK} Note: T_WU must be larger than T_BGEN. Typical T_BGEN = 0.8 μs.

4.14 通道集深度睡眠寄存器 0

通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSDS_0

通道集深度睡眠寄存器 0

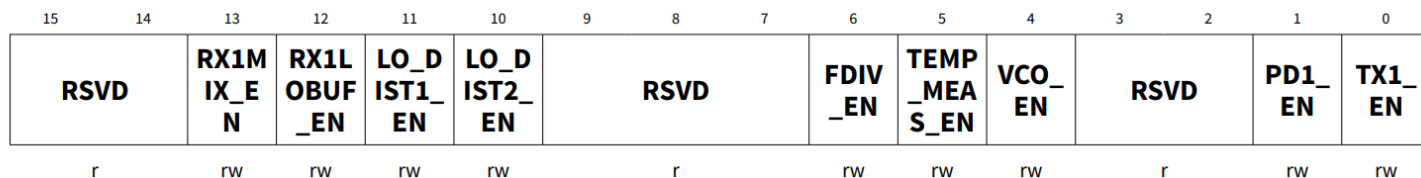
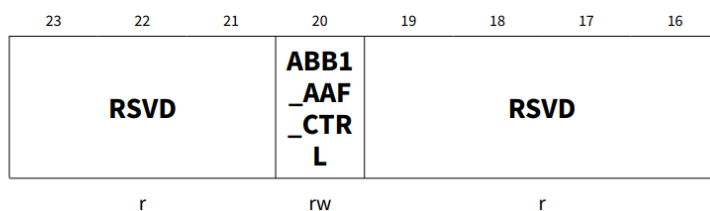
偏移地址:

00C_H

复位值:

00 0000_H

4 BGT60UTR11AIP registers



Field	Bits	Type	Description
TX1_EN	0	rw	Enables the DAC and power amplifier of TX1: 0 _B ... Disabled 1 _B ... Enabled
PD1_EN	1	rw	Enables the power detector of TX1: 0 _B ... Disabled 1 _B ... Enabled
RSVD	3:2, 9:7, 19:14, 23:21	r	Reserved
VCO_EN	4	rw	Enables the VCO: 0 _B ... Disabled 1 _B ... Enabled
TEMP_MEAS_EN	5	rw	Enables the temperature sensor: 0 _B ... Disabled 1 _B ... Enabled
FDIV_EN	6	rw	Enables the VCO frequency divider: 0 _B ... Disabled 1 _B ... Enabled Note: DIV output
LO_DIST2_EN	10	rw	Enables the local oscillator distribution buffer to RX1 channel: 0 _B ... Disabled 1 _B ... Enabled
LO_DIST1_EN	11	rw	Enables the local oscillator distribution buffer to TX1 channel: 0 _B ... Disabled 1 _B ... Enabled
RX1LOBUF_EN	12	rw	Enables the local oscillator buffer to the mixer on channel 1: 0 _B ... Disabled 1 _B ... Enabled

(表格续下页.....)

4 BGT60UTR11AIP registers
(续)

Field	Bits	Type	Description
RX1MIX_EN	13	rw	Enables the mixer on channel 1: 0 _B ... Disabled 1 _B ... Enabled
ABB1_AAF_CTR L	20	rw	Selection of analog base band anti-aliasing filter frequency on channel 1: 0 _B ... 600 kHz 1 _B ... 1 MHz

4.15 通道集深度睡眠寄存器 1

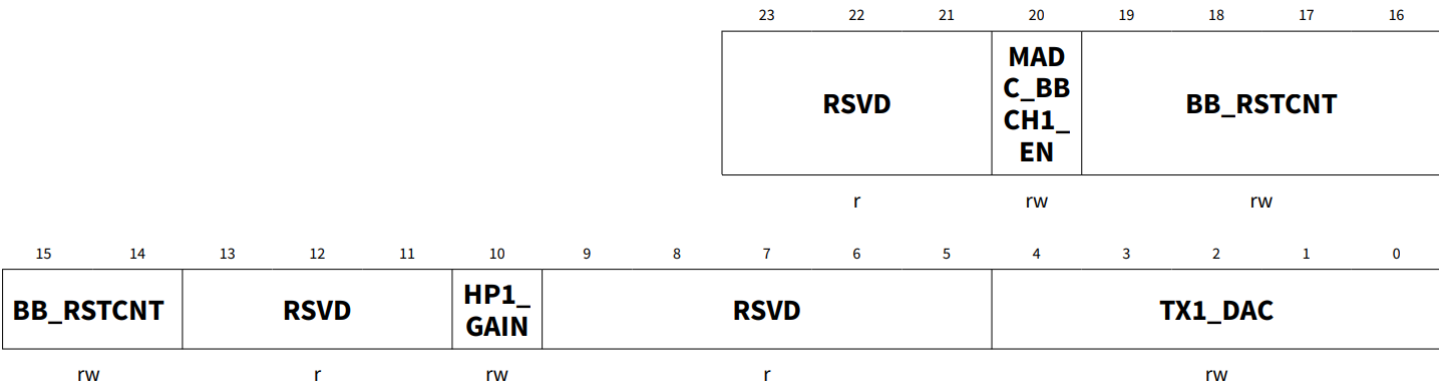
通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSDS_1

偏移地址:00D_H

通道集深度睡眠寄存器 1

复位值:00 0000_H



Field	Bits	Type	Description
TX1_DAC	4:0	rw	TX1 output power setting: 0 _D ... Minimum output power 31 _D ... Maximum output power
RSVD	9:5, 13:11, 23:21	r	Reserved
HP1_GAIN	10	rw	Gain setting of the first stage of the high pass filter of channel 1: 0 _B ... 30 dB 1 _B ... 18 dB
BB_RSTCNT	19:14	rw	Baseband reset timer counter value for the analog baseband amplifiers. The reset counter will start together with the PAON signal after the T_PAEN timer. $T_{BBRST} = BB_RSTCNT * 8 * T_{SYS_CLK}$: 0 _D ... No analog baseband reset 1 _D ... Minimum value 127 _D ... Maximum value

(表格续下页.....)

(续)

Field	Bits	Type	Description
MADC_BBCH1_EN	20	rw	Enables the baseband filters, baseband amplifiers and ADC on channel 1: 0 _B ... Disabled 1 _B ... Enabled

4.16 通道集深度睡眠寄存器 2

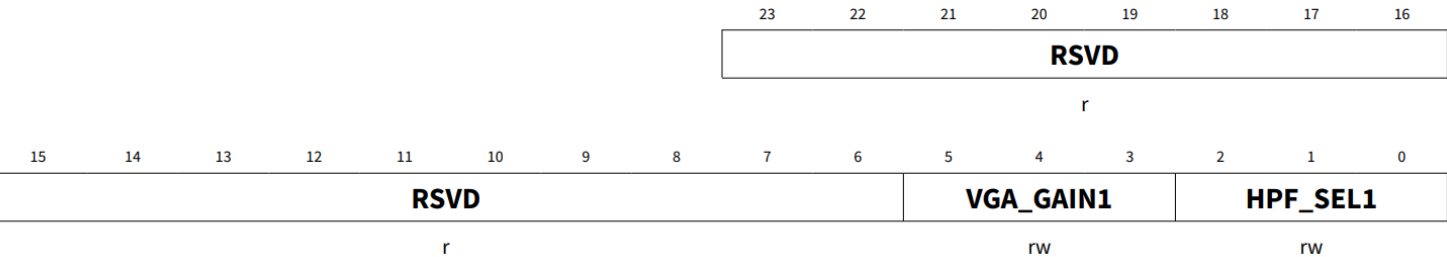
通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSDS_2

偏移地址：00E_H

通道集深度睡眠寄存器 2

复位值：00 0000_H



Field	Bits	Type	Description
HPF_SEL1	2:0	rw	High pass filter cutoff frequency setting of channel 1: 0 _D ... 20 kHz 1 _D ... 40 kHz 2 _D ... 80 kHz 3 _D ... 140 kHz 4 _D ... 160 kHz 5 _D ... Reserved 6 _D ... Reserved 7 _D ... Reserved
VGA_GAIN1	5:3	rw	VGA gain setting of channel 1: 0 _D ... 0 dB 1 _D ... 5 dB 2 _D ... 10 dB 3 _D ... 15 dB 4 _D ... 20 dB 5 _D ... 25 dB 6 _D ... 30 dB 7 _D ... Reserved
RSVD	23:6	r	Reserved

4.17 通道集控制深度睡眠寄存器

通道集控制寄存器 CSCDS 与通道集寄存器 CSDS 有关。所有位都用于定义特定的电源模式。

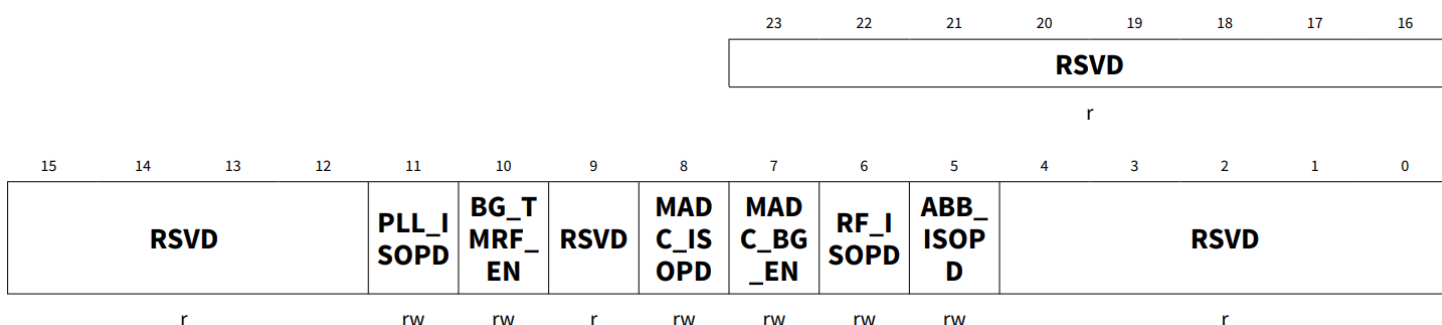
ISOPD 代表一个逻辑隔离层，用于禁用完整的模块（例如MADC），同时保留其配置（ADC0 寄存器配置不变）。

CSCDS

偏移地址：00F_H

通道集控制深度睡眠寄存器

复位值：00 0960_H



Field	Bits	Type	Description
RSVD	4:0, 9, 23:12	r	Reserved
ABB_ISOPD	5	rw	Enables the isolation of all control signals to the ABB: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
RF_ISOPD	6	rw	Enables the isolation of all control signals to the RF: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
MADC_BG_EN	7	rw	Enables the bandgap of the MADC: 0 _B ... Disabled 1 _B ... Enabled
MADC_ISOPD	8	rw	Enables the isolation of all control signals to the MADC: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
BG_TMRF_EN	10	rw	Enables the temperature sensor: 0 _B ... Disabled 1 _B ... Enabled
PLL_ISOPD	11	rw	Enables the isolation of all control signals to the PLL: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .

4.18 通道集 up x 寄存器 0

通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSU_0 (x=1-4)

偏移地址: $010_H + (x-1) * 7$

复位值: $00\ 0000_H$

4 BGT60UTR11AIP registers
(续)

Field	Bits	Type	Description
LO_DIST1_EN	11	rw	Enables the local oscillator distribution buffer to TX1 channel: 0 _B ... Disabled 1 _B ... Enabled
RX1LOBUF_EN	12	rw	Enables the local oscillator buffer to the mixer on channel 1: 0 _B ... Disabled 1 _B ... Enabled
RX1MIX_EN	13	rw	Enables the mixer on channel 1: 0 _B ... Disabled 1 _B ... Enabled
ABB1_AAF_CTR L	20	rw	Selection of analog base band anti-aliasing filter frequency on channel 1: 0 _B ... 600 kHz 1 _B ... 1 MHz

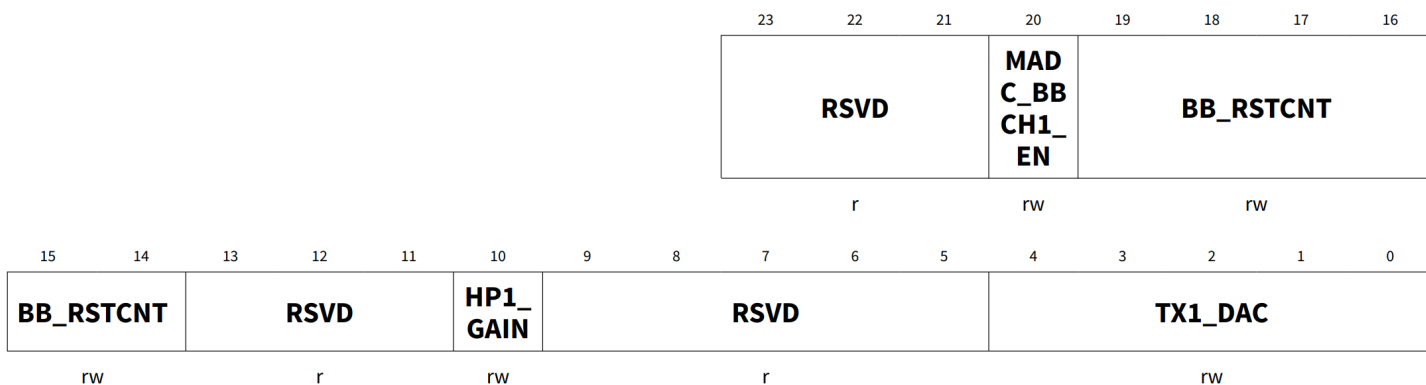
4.19 通道集 up x 寄存器 1

通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSU_1 (x=1-4)

偏移地址: 011_H+(x-1)*7

复位值: 00 0000_H



Field	Bits	Type	Description
TX1_DAC	4:0	rw	TX1 output power setting: 0 _D ... Minimum output power 31 _D ... Maximum output power
RSVD	9:5, 13:11, 23:21	r	Reserved
HP1_GAIN	10	rw	Gain of the first stage of the high pass filter of channel 1: 0 _B ... 30 dB 1 _B ... 18 dB

(表格续下页.....)

(续)

Field	Bits	Type	Description
BB_RSTCNT	19:14	rw	Baseband reset timer counter value for the analog baseband amplifiers. The reset counter will start together with the PAON signal after the T_PAEN timer. $T_{BBRST} = BB_RSTCNT * 8 * T_{SYS_CLK}$: 0 _D ... No analog baseband reset 1 _D ... Minimum value 127 _D ... Maximum value
MADC_BBCH1_EN	20	rw	Enables the baseband filters, baseband amplifiers and ADC on channel 1: 0 _B ... Disabled 1 _B ... Enabled

4.20 通道集 up x 寄存器 2

通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSU_2 (x=1-4)

偏移地址: 012_H+(x-1)*7

复位值: 00 0000_H

2322212019181716

RSVD

r

1514131211109876543210

RSVD

VGA_GAIN1

HPF_SEL1

r

rw

rw

Field	Bits	Type	Description
HPF_SEL1	2:0	rw	High pass filter cutoff frequency setting of channel 1: 0 _D ... 20 kHz 1 _D ... 40 kHz 2 _D ... 80 kHz 3 _D ... 140 kHz 4 _D ... 160 kHz 5 _D ... Reserved 6 _D ... Reserved 7 _D ... Reserved

(表格续下页.....)

(续)

Field	Bits	Type	Description
VGA_GAIN1	5:3	rw	VGA gain setting of channel 1: 0 _D ... 0 dB 1 _D ... 5 dB 2 _D ... 10 dB 3 _D ... 15 dB 4 _D ... 20 dB 5 _D ... 25 dB 6 _D ... 30 dB 7 _D ... Reserved
RSVD	23:6	r	Reserved

4.21 通道集 down x 寄存器 0

通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSD_0 (x=1-4)

偏移地址：013_H+(x-1)*7

复位值：00 0000_H

2322212019181716

RSVD

ABB1_AAF_CTRL

RSVD

r

rw

r

1514131211109876543210

RSVD

RX1M_IX_EN

RX1L_OBUF_EN

LO_D_IST1_EN

LO_D_IST2_EN

RSVD

FDIV_EN

TEMP_MEAS_EN

VCO_EN

RSVD

PD1_EN

TX1_EN

r

rw

rw

rw

rw

r

rw

rw

rw

r

rw

rw

Field	Bits	Type	Description
TX1_EN	0	rw	Enables the DAC and power amplifier of TX1: 0 _B ... Disabled 1 _B ... Enabled
PD1_EN	1	rw	Enables the power detector of TX1: 0 _B ... Disabled 1 _B ... Enabled
RSVD	3:2, 9:7, 19:14, 23:21	r	Reserved

(表格续下页.....)

4 BGT60UTR11AIP registers
(续)

Field	Bits	Type	Description
VCO_EN	4	rw	Enables the VCO: 0 _B ... Disabled 1 _B ... Enabled
TEMP_MEAS_EN	5	rw	Enables the temperature sensor: 0 _B ... Disabled 1 _B ... Enabled
FDIV_EN	6	rw	Enables the VCO frequency divider: 0 _B ... Disabled 1 _B ... Enabled Note: DIV output
LO_DIST2_EN	10	rw	Enables the local oscillator distribution buffer to RX1 channel: 0 _B ... Disabled 1 _B ... Enabled
LO_DIST1_EN	11	rw	Enables the local oscillator distribution buffer to TX1 channel: 0 _B ... Disabled 1 _B ... Enabled
RX1LOBUF_EN	12	rw	Enables the local oscillator buffer to the mixer on channel 1: 0 _B ... Disabled 1 _B ... Enabled
RX1MIX_EN	13	rw	Enables the mixer on channel 1: 0 _B ... Disabled 1 _B ... Enabled
ABB1_AAF_CTRL	20	rw	Selection of analog base band anti-aliasing filter frequency on channel 1: 0 _B ... 600 kHz 1 _B ... 1 MHz

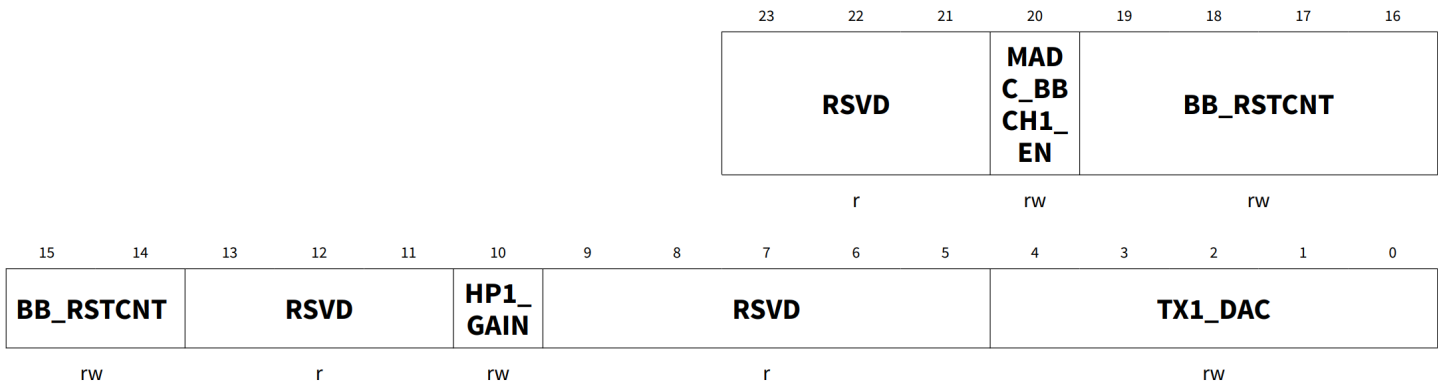
4.22 通道集 down x 寄存器 1

通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSD_1 (x=1-4)

偏移地址：014_H+(x-1)*7

复位值：00 0000_H



4 BGT60UTR11AIP registers

Field	Bits	Type	Description
TX1_DAC	4:0	rw	TX1 output power setting: 0 _D ... Minimum output power 31 _D ... Maximum output power
RSVD	9:5, 13:11, 23:21	r	Reserved
HP1_GAIN	10	rw	Gain of the first stage of the high pass filter of channel 1: 0 _B ... 30 dB 1 _B ... 18 dB
BB_RSTCNT	19:14	rw	Baseband reset timer counter value for the analog baseband amplifiers. The reset counter will start together with the PAON signal after the T_PAEN timer. $T_{BBRST} = BB_RSTCNT * 8 * T_{SYS_CLK}$: 0 _D ... No analog baseband reset 1 _D ... Minimum value 127 _D ... Maximum value
MADC_BBCH1_EN	20	rw	Enables the baseband filters, baseband amplifiers and ADC on channel 1: 0 _B ... Disabled 1 _B ... Enabled

4.23 通道集 down x 寄存器 2

通道集寄存器与通道集控制寄存器共同定义了形状期间的 RF 和基带行为。

CSD_2 (x=1-4)

偏移地址:015_H+(x-1)*7

复位值:00 0000_H

2322212019181716

RSVD

r

1514131211109876543210

RSVD

VGA_GAIN1

HPF_SEL1

r

rw

rw

4 BGT60UTR11AIP registers

Field	Bits	Type	Description
HPF_SEL1	2:0	rw	High pass filter cutoff frequency setting of channel 1: 0 _D ... 20 kHz 1 _D ... 40 kHz 2 _D ... 80 kHz 3 _D ... 140 kHz 4 _D ... 160 kHz 5 _D ... Reserved 6 _D ... Reserved 7 _D ... Reserved
VGA_GAIN1	5:3	rw	VGA gain setting of channel 1: 0 _D ... 0 dB 1 _D ... 5 dB 2 _D ... 10 dB 3 _D ... 15 dB 4 _D ... 20 dB 5 _D ... 25 dB 6 _D ... 30 dB 7 _D ... Reserved
RSVD	23:6	r	Reserved

4.24 通道集控制 x 寄存器

通道集控制寄存器 CSCx 与通道集寄存器 CSUx 有关。

除了 REPC 之外，所有其他位都用于定义特定的电源模式。

ISOPD 代表一个逻辑隔离层，用于禁用完整的模块（例如MADC），同时保留其配置（ADC0 寄存器配置不变）。

REPC 是用于定义调制序列的一个参数。

CSC (x=1-4)

偏移地址：016_H+(x-1)*7

复位值：00 0960_H

2322212019181716

RSVD

r

1514131211109876543210

RSVD	PLL_I SOPD	BG_T MRF_ EN	RSVD	MAD C_IS OPD	MAD C_BG _EN	RF_I SOPD	ABB_ ISOP D	CS_E N	REPCS
r	rw	rw	r	rw	rw	rw	rw	rw	rw

Field	Bits	Type	Description
REPCS	3:0	rw	Repetition factor of channel set: 0 _D ..15 _D ... RC = 2 ^{REPC}

(表格续下页.....)

(续)

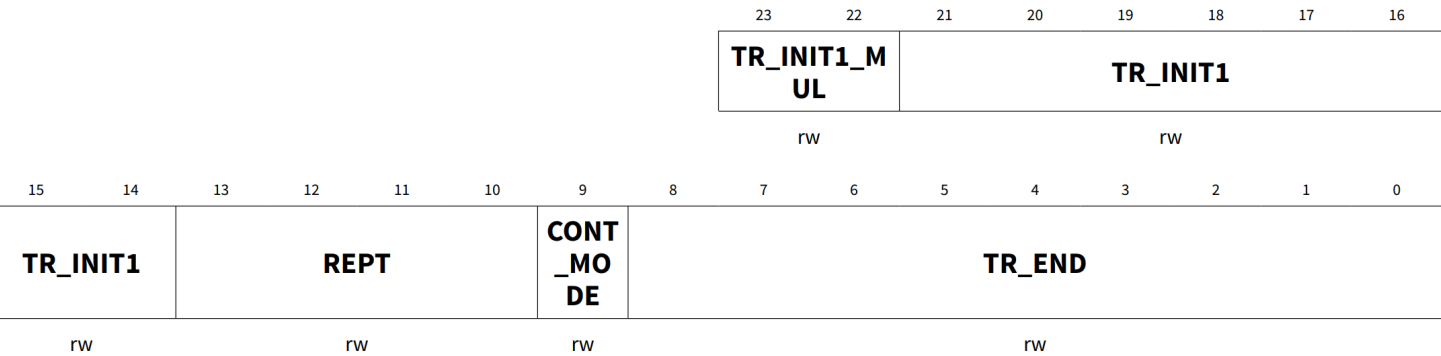
Field	Bits	Type	Description
CS_EN	4	rw	Enables channel set (CS): 0 _B ... Disabled 1 _B ... Enabled Note: At least the first channel set should be used (CSC1:CS_EN = 1 _B).
ABB_ISOPD	5	rw	Enables the isolation of all control signals to the ABB: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
RF_ISOPD	6	rw	Enables the isolation of all control signals to the RF: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
MADC_BG_EN	7	rw	Enables the bandgap of the MADC: 0 _B ... Disabled 1 _B ... Enabled
MADC_ISOPD	8	rw	Enables the isolation of all control signals to the MADC: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .
RSVD	9, 23:12	r	Reserved
BG_TMRF_EN	10	rw	Enables the temperature sensor: 0 _B ... Disabled 1 _B ... Enabled
PLL_ISOPD	11	rw	Enables the isolation of all control signals to the PLL: 0 _B ... Disabled 1 _B ... Enabled Note: In case the isolation is enabled all control signals are connected to 0 _B .

4.25 Chirp 控制寄存器 0

寄存器 CCR0 用于编程调制序列的参数。主 FSM 将使用这些参数来设置内部计时器和计数器，以在独立模式下运行预期的调制序列（除第一个之外不需要外部触发器）。

CCR0	偏移地址:	02C _H
Chirp 控制寄存器 0	复位值:	00 0000 _H

4 BGT60UTR11AIP registers



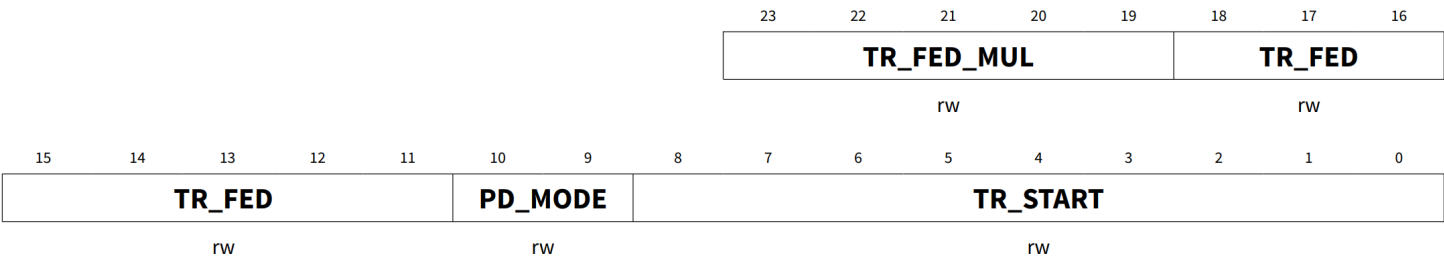
Field	Bits	Type	Description
TR_END	8:0	rw	Timer for T_END. Waiting time after the generation of a ramp: $0_D \dots T_END = 5 * T_{SYS_CLK}$ $1_D..511_D \dots T_END = (TR_END * 8 + 5) * T_{SYS_CLK}$
CONT_MODE	9	rw	Continuous mode. After last channel set repetition RT, the specified power mode (CCR1:PD_MODE) is applied and $0_B \dots$ the FSM stops immediately $1_B \dots$ after T_FED the next channel set is applied Note: In case DS power mode (CCR1:PD_MODE = 2_D) is selected and the continuous mode is not active the system clock is disabled internally.
REPT	13:10	rw	Repetition factor for a channel set in a frame: $0_D..15_D \dots RT = 2^{REPT}$ Note: The host should program the maximum value 15_D as default.
TR_INIT1	21:14	rw	Timer for T_INIT1: $0_D \dots T_{SYS_CLK}$ $1_D..255_D \dots T_INIT1 = (TR_INIT1 * 2^{TR_INIT_MUL} * 8 + TR_INIT_MUL + 3) * T_{SYS_CLK}$ Note: These values are used for every up and every down-ramp. Note: After the wake-up period the timer for T_INIT1 should be at least 15 μ s according to the typical ADC calibration time.
TR_INIT1_MUL	23:22	rw	Timer multiplier factor for T_INIT1: $0_D..3_D \dots 2^{TR_INIT1_MUL}$

4.26 Chirp 控制寄存器 1

寄存器 CCR1 用于编程调制序列的参数。主 FSM 将使用这些参数来设置内部计时器和计数器，以在独立模式下运行预期的调制序列（除第一个之外不需要外部触发器）。

CCR1	偏移地址:	02D _H
Chirp 控制寄存器 1	复位值:	00 0000 _H

4 BGT60UTR11AIP registers

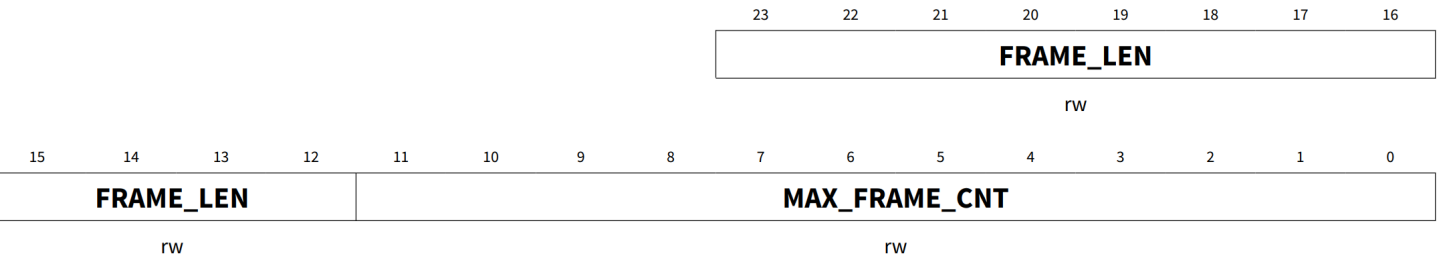


Field	Bits	Type	Description
TR_START	8:0	rw	Timer for T_START. Ramp start delay defines the delay before generating the ramp: $0_D..511_D \dots T_START = (TR_START * 8 + 10) * T_{SYS_CLK}$
PD_MODE	10:9	rw	Power down mode. After the last repetition RT, the chip enters the defined power mode (during T_FED): $0_D \dots$ Keep the same power mode (CSx + CSCx) $1_D \dots$ Change to IDLE power mode (CSI + CSCI) $2_D \dots$ Change to DS power mode (CSDS + CSCDS) $3_D \dots$ Reserved
TR_FED	18:11	rw	Timer for T_FED: $0_D \dots T_{SYS_CLK}$ $1_D..255_D \dots T_FED = (TR_FED * 2^{TR_FED_MUL} * 8 + TR_FED_MUL + 3) * T_{SYS_CLK}$
TR_FED_MUL	23:19	rw	Timer multiplier factor for T_FED: $0_D..31_D \dots 2^{TR_FED_MUL}$

4.27 Chirp 控制寄存器 2

寄存器 CCR2 用于编程调制序列的参数。主 FSM 将使用这些参数来设置内部计时器和计数器，以在独立模式下运行预期的调制序列（除第一个之外不需要外部触发器）。

CCR2 偏移地址: 02EH
Chirp 控制寄存器 2 复位值: 00 0000H



Field	Bits	Type	Description
MAX_FRAME_CNT	11:0	rw	Maximum number of frames to be executed. When MAX_FRAME_CNT is reached, the shape generation is stopped, and the chip is set to deep sleep power mode. The next frame can be triggered only after a reset (eg. FSM_RESET). The frame generation can be stopped at any time by resetting the FSM (see MAIN:FSM_RESET). $0_D \dots$ Endless frame generation $1_D \dots$ 1 frame is generated $4095_D \dots$ 4095 frames are generated
FRAME_LEN	23:12	rw	Frame Length specifies the number of shape groups in a frame. When specified frame length is reached the frame counter is incremented and the shape group counter is reset: $0_D \dots$ Minimum value (1 shape group) $4095_D \dots$ Maximum value (4096 shape groups)

4.28 Chirp 控制寄存器 3

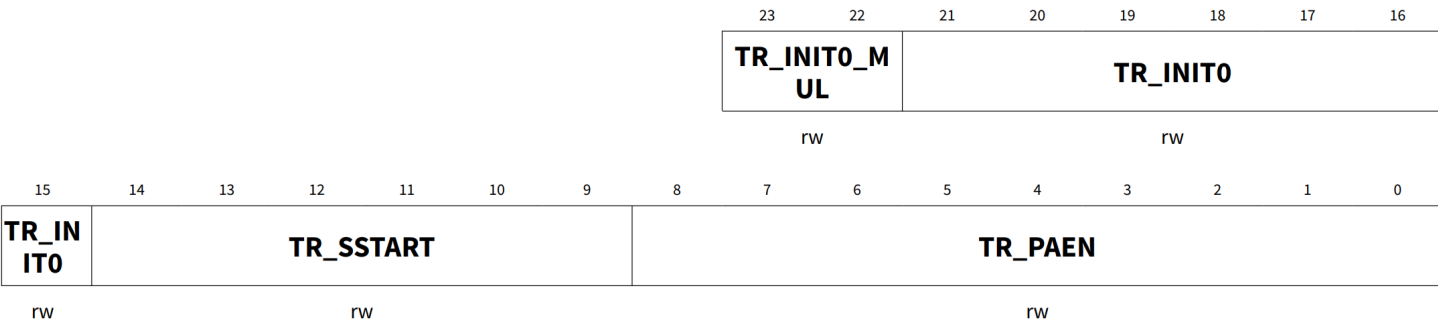
寄存器 CCR3 用于编程调制序列的参数。主 FSM 将使用这些参数来设置内部计时器和计数器，以在独立模式下运行预期的调制序列（除第一个之外不需要外部触发器）。

CCR3

Chirp 控制寄存器 3

偏移地址:02F_H

复位值:00 0000_H



Field	Bits	Type	Description
TR_PAEN	8:0	rw	Timer for T_PAEN. Delay time after PLL start and power amplifier enable: $0_D \dots$ Reserved $1_D..511_D \dots T_PAEN = TR_PAEN * 8 * T_{SYS_CLK}$
TR_SSTART	14:9	rw	Timer for T_SSTART. Delay time after power amplifier enable and first trigger to ADC: $0_D..63_D \dots T_SSTART = (TR_SSTART * 8 + 1) * T_{SYS_CLK}$

(表格续下页.....)

(续)

Field	Bits	Type	Description
TR_INIT0	21:15	rw	Timer for T_INIT0: $0_D \dots T_{SYS_CLK}$ $1_D..255_D \dots T_INIT0 = (TR_INIT0 * 2^{TR_INIT0_MUL} * 8 + TR_INIT0_MUL + 3) * T_{SYS_CLK}$ Note: After the wake-up period the timer for T_INIT0 should be at least 70 μ s according to the typical ADC calibration time.
TR_INIT0_MUL	23:22	rw	Timer multiplier for T_INIT0: $0_D..3_D \dots 2^{TR_INIT0_MUL}$

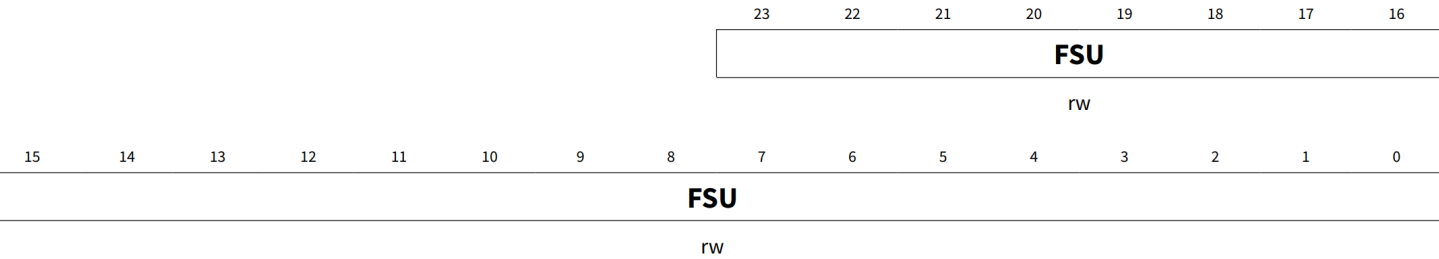
4.29 PLL 形状 x 寄存器 0

寄存器 PLLx，用于对本地 PLL FSM 内的调制序列的参数进行编程。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列（除第一个之外不需要外部触发器）。

PLL_0 (x=1-4)

偏移地址：030_H+(x-1)*8

复位值：00 0000_H



Field	Bits	Type	Description
FSU	23:0	rw	Chirp start frequency for up chirp. Sigma delta start frequency for the ramp generator: $0_D \dots$ Sawtooth shape Note: In case FSD = 0_D , RSD = 0_D , and RTD = 0_D , the fast sawtooth shape is enabled. In all other cases the triangular shape is enabled.

4.30 PLL 形状 x 寄存器 1

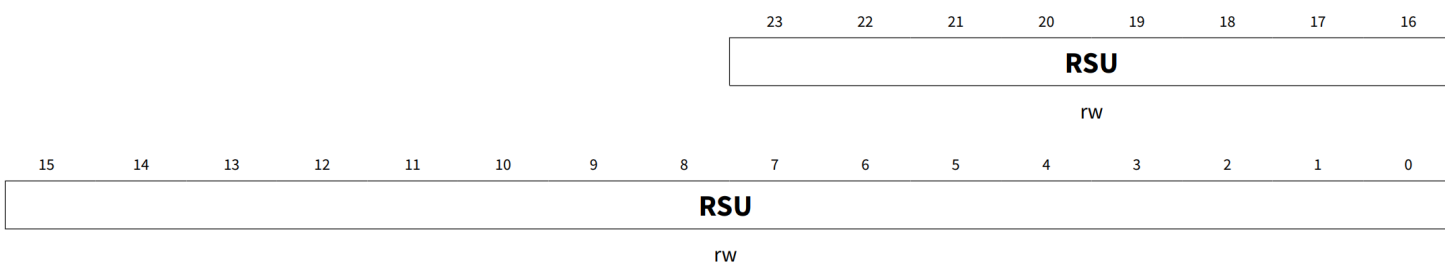
寄存器 PLLx，用于对本地 PLL FSM 内的调制序列的参数进行编程。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列（除第一个之外不需要外部触发器）。

PLL_1 (x=1-4)

偏移地址：031_H+(x-1)*8

复位值：00 0000_H

4 BGT60UTR11AIP registers



Field	Bits	Type	Description
RSU	23:0	rw	Ramp step up chirp. A ramp step is the RF frequency difference added to the actual frequency during single clock cycle time of T_{SYS_CLK}. In case the value is zero the RF frequency will be almost constant during the RTU time. Bit(23) represents the sign for the ramp: 0 _D ... Up chirp 1 _D ... Down chirp

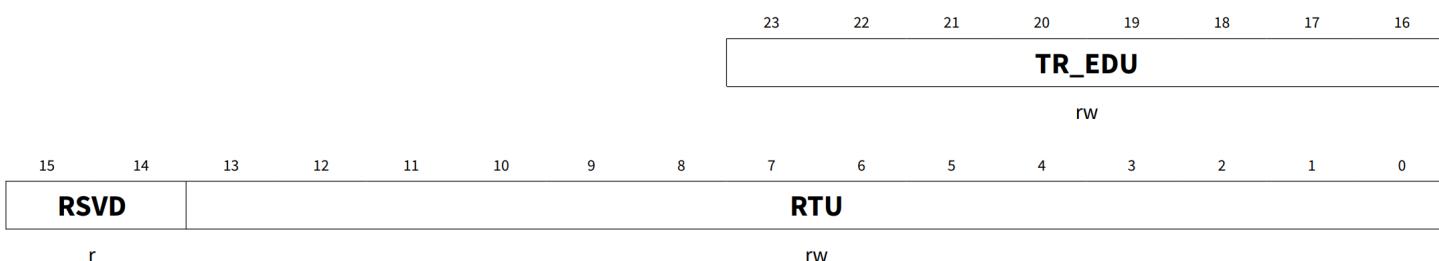
4.31 PLL 形状 x 寄存器 2

寄存器 PLLx，用于对本地 PLL FSM 内的调制序列的参数进行编程。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列（除第一个之外不需要外部触发器）。

PLL_2 (x=1-4)

偏移地址: $032_H + (x-1) * 8$

复位值: 00 0000_H



Field	Bits	Type	Description
RTU	13:0	rw	Ramp time for up chirp. RTU defines the number of clock cycles for the up chirp. The actual ramp time is: 0 _D ... Timer disabled (needed for fast down chirp) 1 _D ..16383 _D ... $T_RAMP = RTU * 8 * T_{SYS_CLK}$
RSVD	15:14	r	Reserved
TR_EDU	23:16	rw	Timer for T_EDU. End of chirp delay applied after every up chirp: 0 _D ... $T_EDU = 2 * T_{SYS_CLK}$ 1 _D ..255 _D ... $T_EDU = (TR_EDU * 8 + 5) * T_{SYS_CLK}$

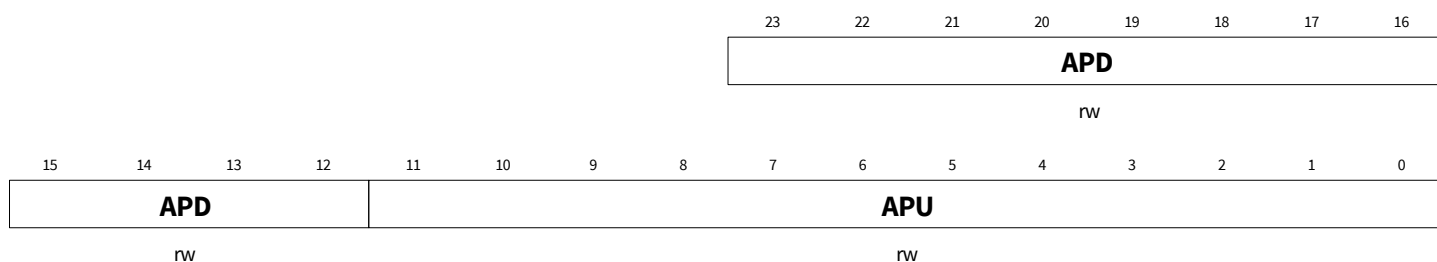
4.32 PLL 形状 x 寄存器 3

寄存器 PLLx，用于对本地 PLL FSM 内的调制序列的参数进行编程。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列（除第一个之外不需要外部触发器）。

PLL_3 (x=1-4)

偏移地址：033_H+(x-1)*8

复位值：00 0000_H



Field	Bits	Type	Description
APU	11:0	rw	Number of samples for an up chirp of a single ADC: 0 _D ..4095 _D ... Number of samples
APD	23:12	rw	Number of samples for a down chirp of a single ADC: 0 _D ..4095 _D ... Number of samples

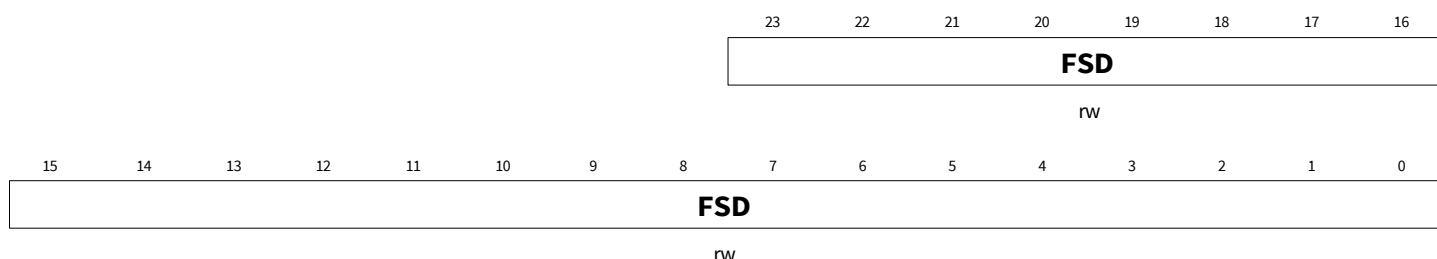
4.33 PLL 形状 x 寄存器 4

寄存器 PLLx，用于对本地 PLL FSM 内的调制序列的参数进行编程。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列（除第一个之外不需要外部触发器）。

PLL_4 (x=1-4)

偏移地址：034_H+(x-1)*8

复位值：00 0000_H

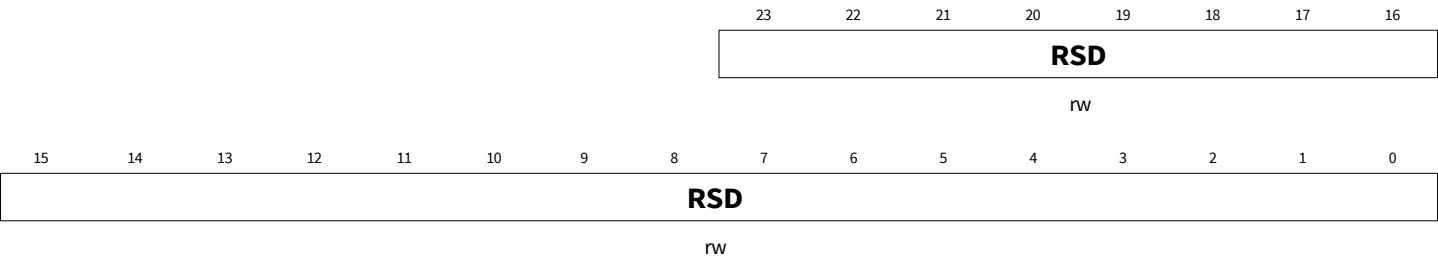


Field	Bits	Type	Description
FSD	23:0	rw	Chirp start frequency for down chirp. Sigma delta start frequency for the ramp generator: 0 _D ... Sawtooth shape Note: In case FSD = 0 _D , RSD = 0 _D , and RTD = 0 _D , the fast sawtooth shape is enabled. In all other cases the triangular shape is enabled.

4.34 PLL 形状 x 寄存器 5

寄存器 PLLx，用于对本地 PLL FSM 内的调制序列的参数进行编程。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列（除第一个之外不需要外部触发器）。

PLL_5 (x=1-4) 偏移地址: 035_H+(x-1)*8
复位值: 00 0000_H

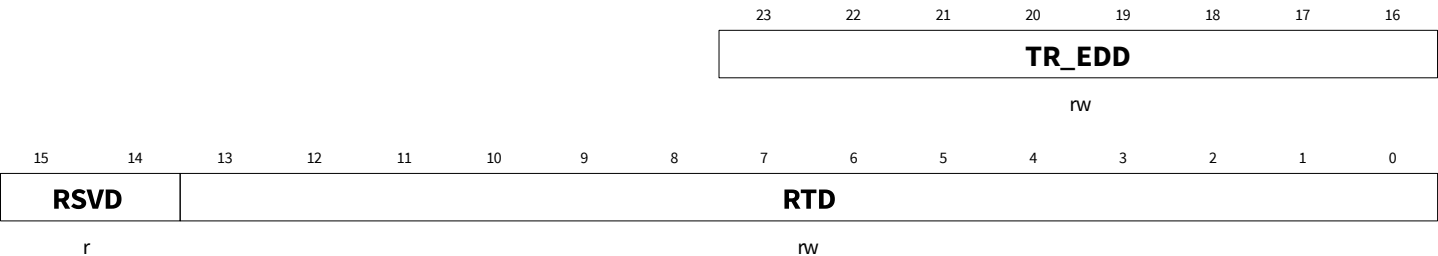


Field	Bits	Type	Description
RSD	23:0	rw	Ramp step down chirp. A ramp step is the RF frequency difference added to the actual frequency during single clock cycle time of T_{SYS_CLK}. In case the value is zero the RF frequency will be almost constant during the RTD time. Bit(23) represents the sign for the ramp: 0 _D ... Up chirp 1 _D ... Down chirp

4.35 PLL 形状 x 寄存器 6

寄存器 PLLx，用于对本地 PLL FSM 内的调制序列的参数进行编程。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列（除第一个之外不需要外部触发器）。

PLL_6 (x=1-4) 偏移地址: 036_H+(x-1)*8
复位值: 00 0000_H



Field	Bits	Type	Description
RTD	13:0	rw	Ramp time for down chirp. RTD defines the number of clock cycles for the down chirp. The actual ramp time is: 0 _D ... Timer disabled (needed for fast down chirp) 1 _D ..16383 _D ... T _{RAMP} = RTD * 8 * T _{SYS_CLK}

(表格续下页.....)

4 BGT60UTR11AIP registers

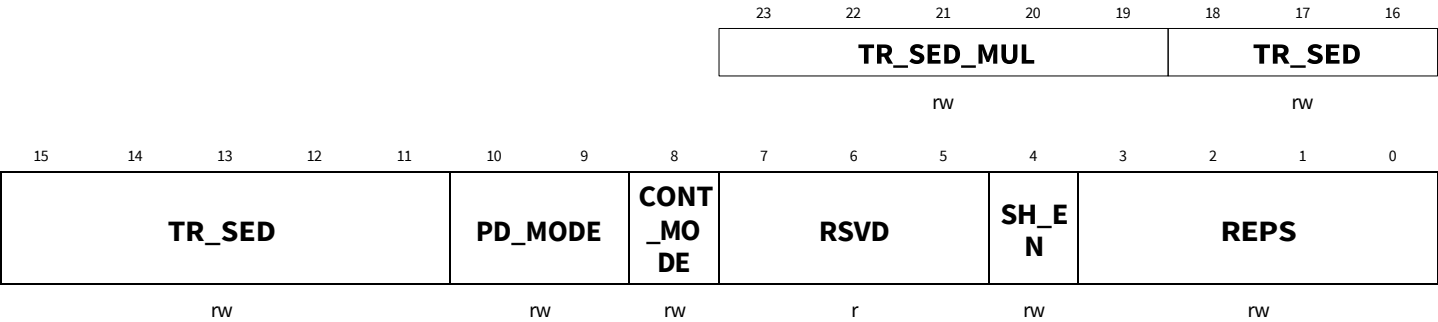
(续)

Field	Bits	Type	Description
RSVD	15:14	r	Reserved
TR_EDD	23:16	rw	Timer for T_EDD. End of chirp delay applied after every down chirp: $0_D \dots T_EDD = 2 * T_{SYS_CLK}$ $1_D \dots 255_D \dots T_EDD = (TR_EDD * 8 + 5) * T_{SYS_CLK}$

4.36 PLL 形状 x 寄存器 7

寄存器 PLLx，用于对本地 PLL FSM 内的调制序列的参数进行编程。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列（除第一个之外不需要外部触发器）。

PLL_7 (x=1-4) 偏移地址: 037_H+(x-1)*8
复位值: 00 0000_H



Field	Bits	Type	Description
REPS	3:0	rw	Repetition factor for a single shape: $0_D \dots 15_D \dots RS = 2^{REPS}$
SH_EN	4	rw	Enable shape: $0_B \dots$ Disabled $1_B \dots$ Enabled Note: Values for disabled shapes are ignored. At least the first shape needs to be enabled (PLL1_7:SH_EN = 1 _B). Fields for unused shapes must be programmed to its default reset value.
RSVD	7:5	r	Reserved
CONT_MODE	8	rw	Continuous mode. After last shape repetition RS, the specified power mode (PLL_y_7:PD_MODE) is applied and $0_B \dots$ the FSM stops immediately $1_B \dots$ after T_SED the next shape set is applied
PD_MODE	10:9	rw	Power down mode. After the last repetition RS the chip enters the defined power mode (during T_SED): $0_D \dots$ Keep the same power mode (CS _x + CSC _x) $1_D \dots$ Change to IDLE power mode (CSI + CSCI) $2_D \dots$ Change to DS power mode (CSDS + CSCDS) $3_D \dots$ Reserved

(表格续下页.....)

4 BGT60UTR11AIP registers
(续)

Field	Bits	Type	Description
TR_SED	18:11	rw	Timer for T_SED: $0_D \dots T_{SYS_CLK}$ $1_D..255_D \dots T_SED = (TR_SED * 2^{TR_SED_MUL} * 8 + TR_SED_MUL + 3) * T_{SYS_CLK}$
TR_SED_MUL	23:19	rw	Timer multiplier for T_SED: $0_D..31_D \dots 2^{TR_SED_MUL}$

4.37 传感器 ADC 寄存器

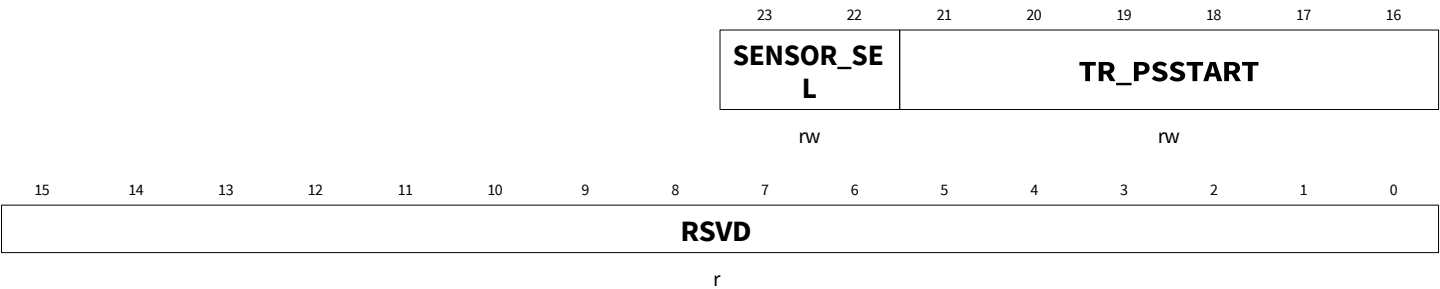
片上传感器寄存器设置。

ADC1

传感器 ADC 寄存器

偏移地址：050_H

复位值：00 0000_H



Field	Bits	Type	Description
RSVD	15:0	r	Reserved
TR_PSSTART	21:16	rw	Delay after pa_on after the power amplifier is activated and power sensing is started. $T_PSSTART = TR_PSSTART * 8 * T_{SYS_CLK}$ $0_D \dots$ Minimum delay $50_D \dots$ Maximum delay $51_D..63_D \dots$ Reserved Note: $T_PSSTART \leq T_SSTART - 1.3 \mu s$ (with $0.3 \mu s$ for ADC conversion).
SENSOR_SEL	23:22	rw	Sensor selection for ADC input: $0_D \dots$ RX channel (CSx:MADC_BBCH1_EN must be set) $1_D \dots$ Power sensor (CSx:PD1_EN must be set) $2_D \dots$ Temperature sensor (CSx:TEMP_MEAS_EN must be set) $3_D \dots$ IFx

4.38 RF 测试寄存器 0

寄存器包含几个用于启用自检专用路径的位。

RFT0

RF 测试寄存器 0

偏移地址：055_H

复位值：00 1F40_H

Field	Bits	Type	Description
RFTSIGCLK_DIV	12:0	rw	RF test tone signal divider value. $f_{\text{RFTST}} = f_{\text{SYS_CLK}} / \text{RFTSIGCLK_DIV}$: 0 _D ... Reserved 1 _D ... Reserved 2 _D ... Minimum value 8191 _D ... Maximum value
RFTSIGCLK_DIV_EN	13	rw	Enable the RF test tone signal output to the baseband: 0 _B ... Disabled 1 _B ... Enabled
TEST_SIG_RF1_EN	14	rw	Enable test signal for receiver RF1: 0 _B ... Disabled 1 _B ... Enabled
RSVD	17:15, 21:19	r	Reserved
TEST_SIG_IF1_EN	18	rw	Enable test signal for IF channel 1: 0 _B ... Disabled 1 _B ... Enabled
RF_TEST_MODE	23:22	rw	RF test mode. 0 _B ... Test mode disabled 1 _B ... Mode 1: rf_bb:tx1_en toggles between 0 _B and CSx:TX1_EN with f_{RFTST} 2 _B ... Mode 2: rf_bb:tx1_dac toggles between 0 _B and CSx:TX1_DAC with f_{RFTST} 3 _B ... Mode 3: rf_bb:test_sig_rf1 toggles between 0 _B and RFT0:TEST_SIG_RF1_EN with f_{RFTST} Note: RF test mode is only active for MAIN:CW_MODE = 1 _B . Note: RFTSIGCLK_DIV must be programmed and RFTSIGCLK_DIV_EN must be enabled.

4 BGT60UTR11AIP registers

4.39 EFUSE 寄存器 0

寄存器包含几个用于读出电子保险丝的位。

EFUSE0 偏移地址: 057H
EFUSE 寄存器 0 复位值参见: 表 23

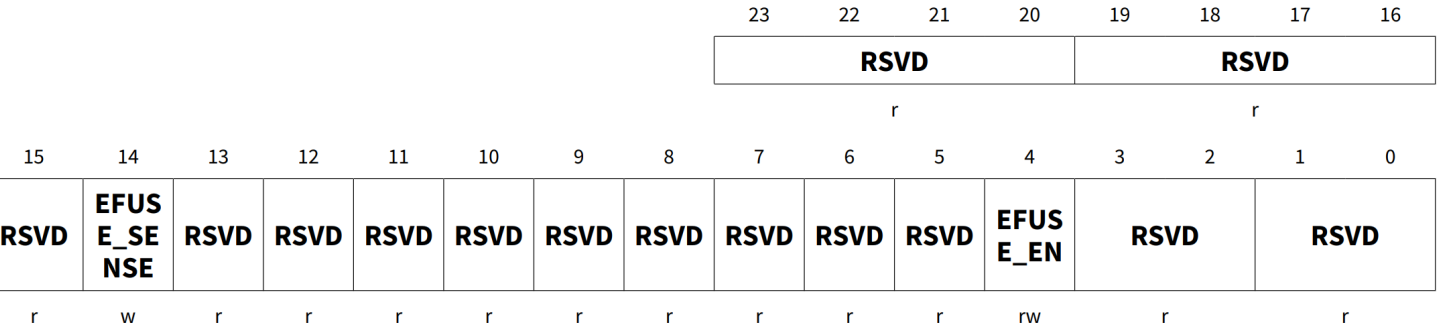


Table with 4 columns: Field, Bits, Type, Description. Rows include: RSVD (Reserved), EFUSE_EN (Enable EFUSE: 0B ... Disabled, 1B ... Enabled), EFUSE_SENSE (Start EFUSE read sequence: 0B ... No effect, 1B... Executes EFUSE reading and clears this bit).

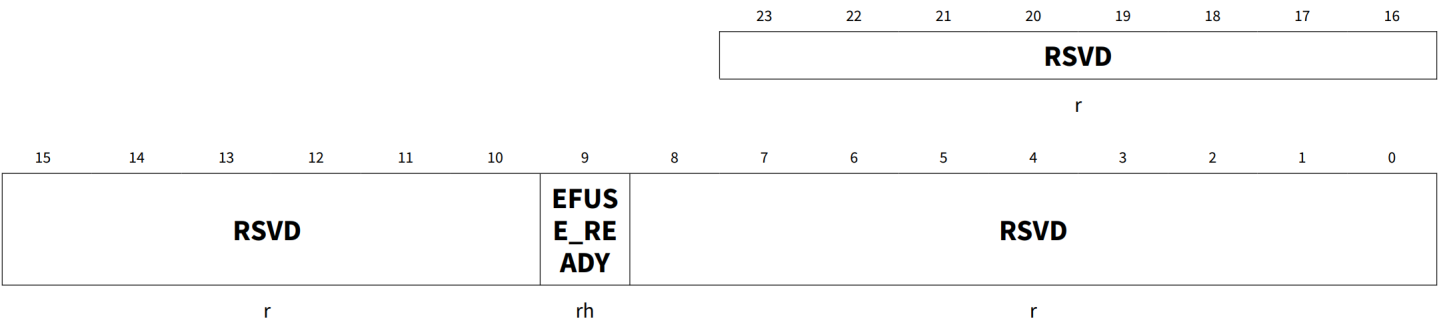
表 23 EFUSE0 的复位值

Table with 3 columns: Reset type, Reset value, Note. Row: Reset, X000 0000 0000 0010 0000 0000B.

4.40 EFUSE 寄存器 1

寄存器包含几个用于读出电子保险丝的位。

EFUSE1 偏移地址: 058H
EFUSE 寄存器 1 复位值: 00 0300H



Field	Bits	Type	Description
RSVD	8:0, 23:10	r	Reserved
EFUSE_READY	9	rh	EFUSE ready: 0 _B ... Not ready 1 _B ... Ready Note: Only valid after EFUSE_SENSE was executed! Result stored in CHIP_ID0 and CHIP_ID1.

4.41 PLL 测试寄存器 0

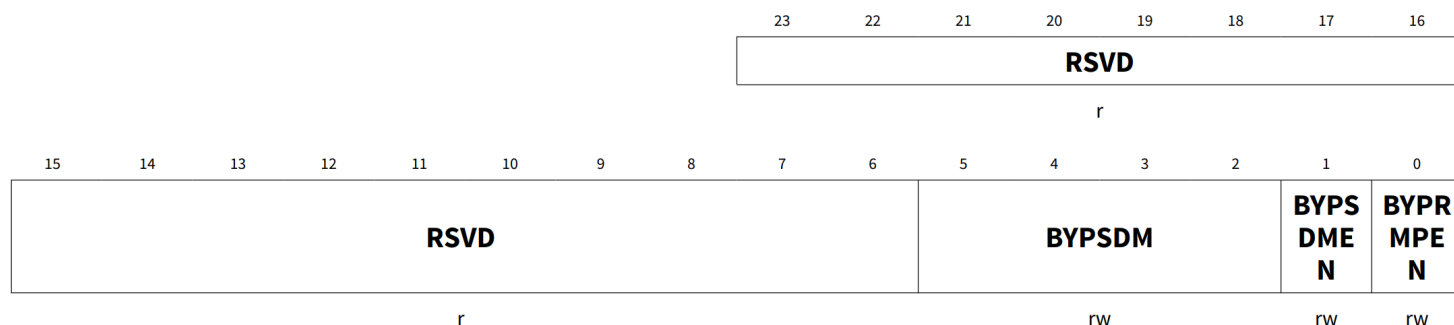
启用 CW 模式时，应使用该寄存器中的设置。在 CW 模式下， Σ - Δ 调制器 (SDM) 被旁路。

PDFT0

偏移地址: 059_H

PLL 测试寄存器 0

复位值: 00 0000_H



Field	Bits	Type	Description
BYPRMPEN	0	rw	Enable bypass ramp generator: 0 _B ... Ramp generator enabled 1 _B ... Ramp generator disabled (bypassed)
BYPSDMEN	1	rw	Enable bypass for sigma delta modulator: 0 _B ... Disabled 1 _B ... Enabled
BYPSDM	5:2	rw	Value used for bypassed sigma delta modulator: 0 _D ... Minimum value 15 _D ... Maximum value
RSVD	23:6	r	Reserved

4.42 芯片 ID 寄存器 0

唯一的芯片 ID 由 48 位组成。寄存器 CHIP_ID0 提供 ID 的前 24 位。

CHIP_ID0

偏移地址: 05D_H

芯片 ID 寄存器 0

复位值: FF FFFF_H



4 BGT60UTR11AIP registers

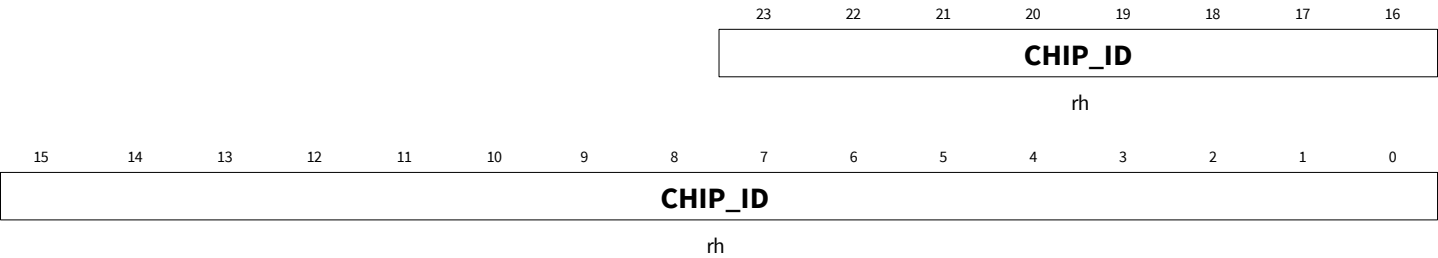


Table with 4 columns: Field, Bits, Type, Description. Row 1: CHIP_ID, 23:0, rh, Chip ID[23:0]. Note: Valid after EFUSE_SENSE was executed.

4.43 芯片 ID 寄存器 1

唯一的芯片 ID 由 48 位组成。寄存器 CHIP_ID1 提供 ID 的后 24 位。

CHIP_ID1 偏移地址: 05EH 复位值: FF FFFFH 芯片 ID 寄存器 1

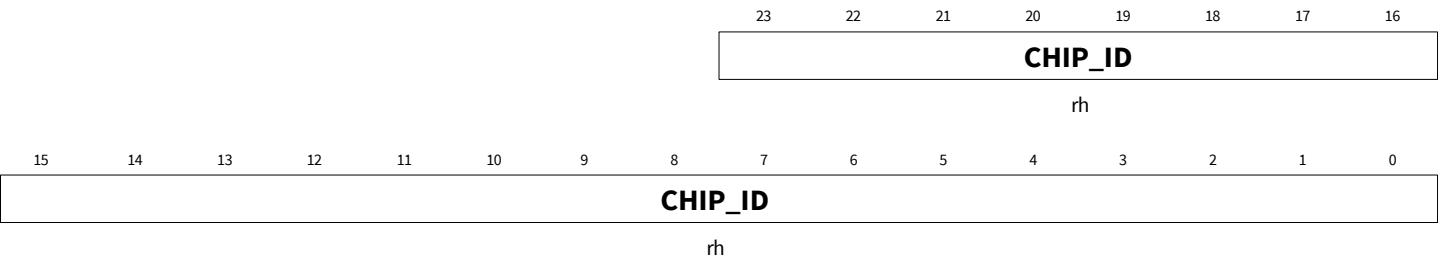
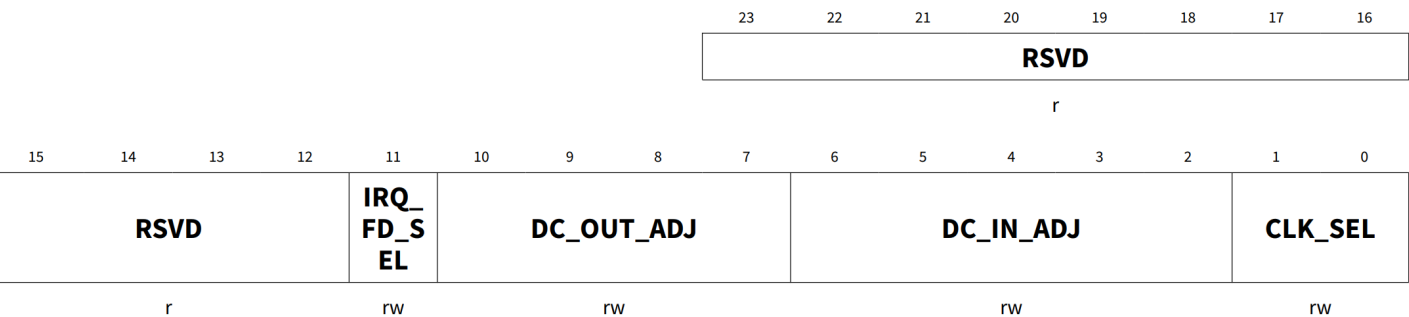


Table with 4 columns: Field, Bits, Type, Description. Row 1: CHIP_ID, 23:0, rh, Chip ID[47:24]. Note: Valid after EFUSE_SENSE was executed.

4.44 时钟输入寄存器

CLK_IN 寄存器位字段用于编程输入时钟路径。

CLK_IN 偏移地址: 05FH 复位值: 00 0400H 时钟输入寄存器



4 BGT60UTR11AIP registers

Field	Bits	Type	Description
CLK_SEL	1:0	rw	Selection of input clock frequency and clock path: 0 _D ... Frequency doubler bypassed 1 _D ... Frequency doubler without DC_IN 2 _D ... Frequency doubler with DC_IN 3 _D ... Frequency doubler with DC calibration for system clock and without DC calibration for PLL clock Note: It is important to program FD register first and enable the system clock afterwards by programming PACR2(23) register.
DC_IN_ADJ	6:2	rw	Duty cycle of input clock can be adjusted before entering the internal clock doublers. This adjustment can be used for equalizing the input clock to a DC of 50 % by applying a positive or negative clock delay time to the input clock (from OSC_CLK pin). In case if MSB of DC_IN_ADJ = 0_B a positive delay is used, while a MSB of DC_IN_ADJ = 1_B applies a negative delay. Delay times are in steps of 125 ps.: 0 _D ... +0.23 ns (minimal positive adjustment) ... 15 _D ... +2.1 ns (maximal positive adjustment) 16 _D ... -0.23 ns (minimal negative adjustment) ... 31 _D ... -2.1 ns (maximal negative adjustment)
DC_OUT_ADJ	10:7	rw	Duty cycle adjustment of clock doubler for system clock. The system clock pulse width can be adjusted by 15 delay cells, starting from 4.3 ns up to 4.3 ns + 15 * 0.45 ns. The duty cycle then is $DC_{SYS_CLK} = (4.3\text{ ns} + DC_OUT_ADJ * 0.4\text{ ns}) / T_{SYS_CLK}$. 0 _D ... 4.3 ns 1 _D ... 4.7 ns ... 4 _D ... 6.10 ns (preferred value for e.g. 80 MHz) 5 _D ... 6.55 ns (preferred value for e.g. 76.8 MHz) ... 15 _D ... 11.05 ns Note: The duty cycle of the system clock can be adjusted via CLK_IN:DC_OUT_ADJ and can be monitored via IRQ pin.
IRQ_FD_SEL	11	rw	Select frequency doubler output at IRQ pin: 0 _B ... Normal irq functionality at IRQ pin 1 _B ... Frequency doubler output at IRQ pin Note: Frequency doubler has higher priority as interrupt.
RSVD	23:12	r	Reserved

4.45 唤醒寄存器

如果使用多个设备并通过 SPI 广播共同触发，唤醒寄存器可用作 Chirp 偏移量。

WU
唤醒寄存器

偏移地址: 060_H
复位值: 00 0000_H



4 BGT60UTR11AIP registers

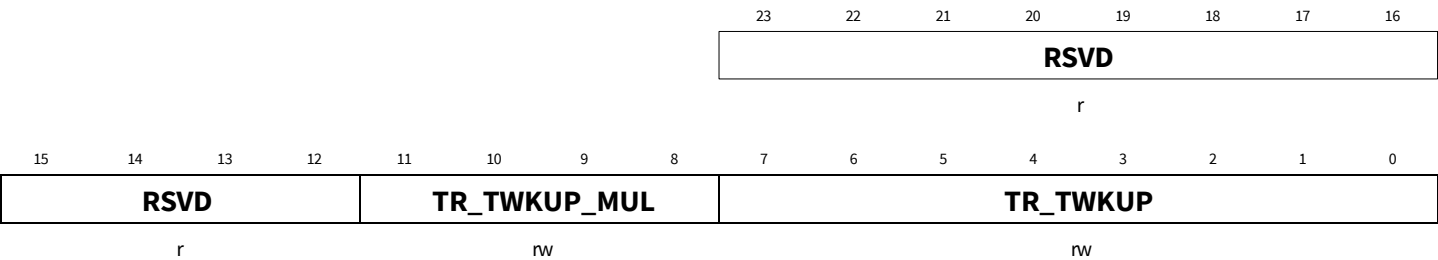


Table with 4 columns: Field, Bits, Type, Description. Rows include TR_TWKUP, TR_TWKUP_MUL, and RSVD with their respective bit ranges, access types, and descriptions.

4.46 状态寄存器 0

状态寄存器 STAT0 提供一些特定内部状态的实际值。然而，应该提到的是，对于所有状态寄存器，STAT0、STAT1 和 FSTAT，除了 FIFO 状态和错误标志之外，每个状态寄存器字段的更新可能发生在相对于 FSM 状态的不同时序事件上，并且字段内容应该彼此独立处理。在 CW 模式下，例如 100 μs 后即可正确读取状态位。

STAT0 偏移地址: 061H
状态寄存器 0 复位值: 00 0008H

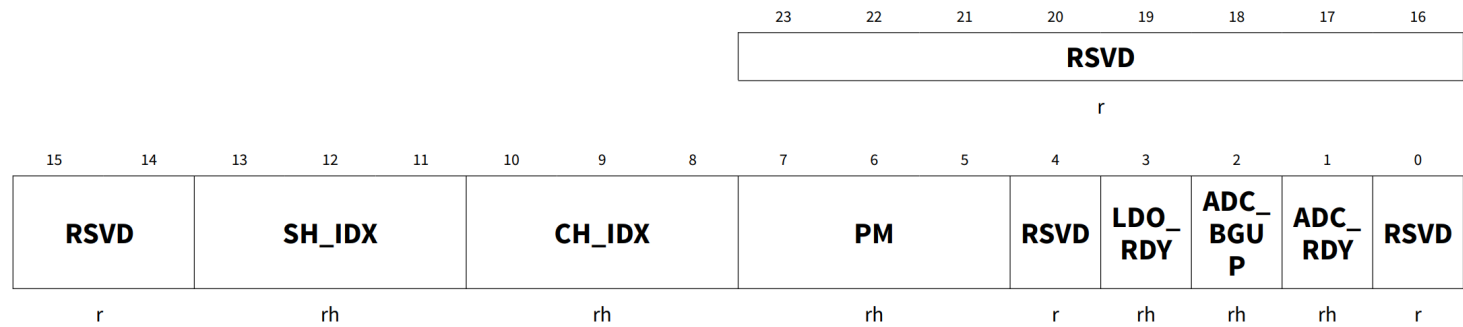


Table with 4 columns: Field, Bits, Type, Description. Rows include RSVD and ADC_RDY with their respective bit ranges, access types, and descriptions.

(表格续下页.....)

(续)

Field	Bits	Type	Description
ADC_BGUP	2	rh	ADC bandgap reference power up status: 0 _B ... Not ready 1 _B ... Ready
LDO_RDY	3	rh	LDO status (V_{DDC} above the threshold): 0 _B ... Not ready 1 _B ... Ready
PM	7:5	rh	Power mode of the FSM: 0 _D ... Deep sleep mode (after reset) 1 _D ... Active mode 2 _D ... Interchirp mode 3 _D ... Idle mode 4 _D ... Reserved 5 _D ... Deep sleep mode 6 _D ... Reserved 7 _D ... Reserved
CH_IDX	10:8	rh	Channel set index enabled by the FSM: 0 _D ... CSU1 1 _D ... CSD1 2 _D ... CSU2 3 _D ... CSD2 4 _D ... CSU3 5 _D ... CSD3 6 _D ... CSU4 7 _D ... CSD4
SH_IDX	13:11	rh	Shape index enabled by the FSM: 0 _D ... PLLU1 1 _D ... PLLD1 2 _D ... PLLU2 3 _D ... PLLD2 4 _D ... PLLU3 5 _D ... PLLD3 6 _D ... PLLU4 7 _D ... PLLD4

4.47 传感器 ADC 结果寄存器

寄存器 SENSOR_RESULT 用于监控温度和功率。

SENSOR_RESULT

偏移地址: 062_H

传感器 ADC 结果寄存器

复位值: 00 0000_H

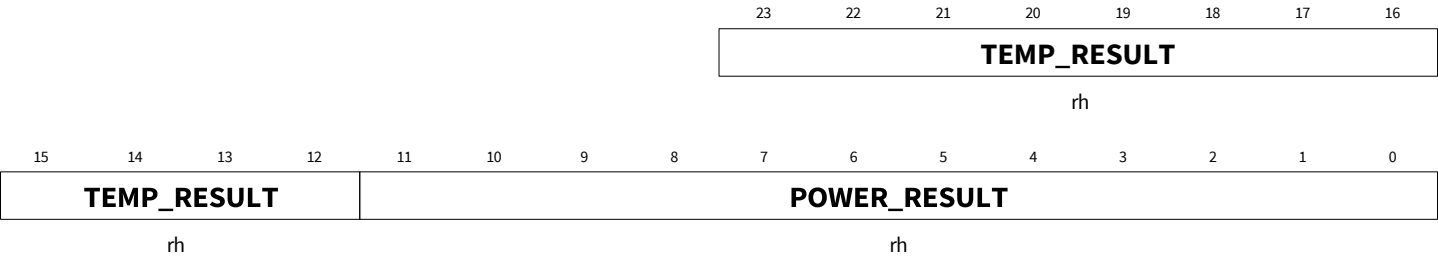


Table with 4 columns: Field, Bits, Type, Description. Rows include POWER_RESULT (11:0, rh, Power sensor result) and TEMP_RESULT (23:12, rh, Temperature sensor result).

4.48 FIFO状态寄存器

FIFO 状态寄存器 FSTAT 用于监控 FIFO。需要指出的是，对于所有状态寄存器，STAT0、STAT1 和 FSTAT，除了 FIFO 状态

FSTAT 偏移地址: 063H
FIFO状态寄存器 复位值: 10 0000H

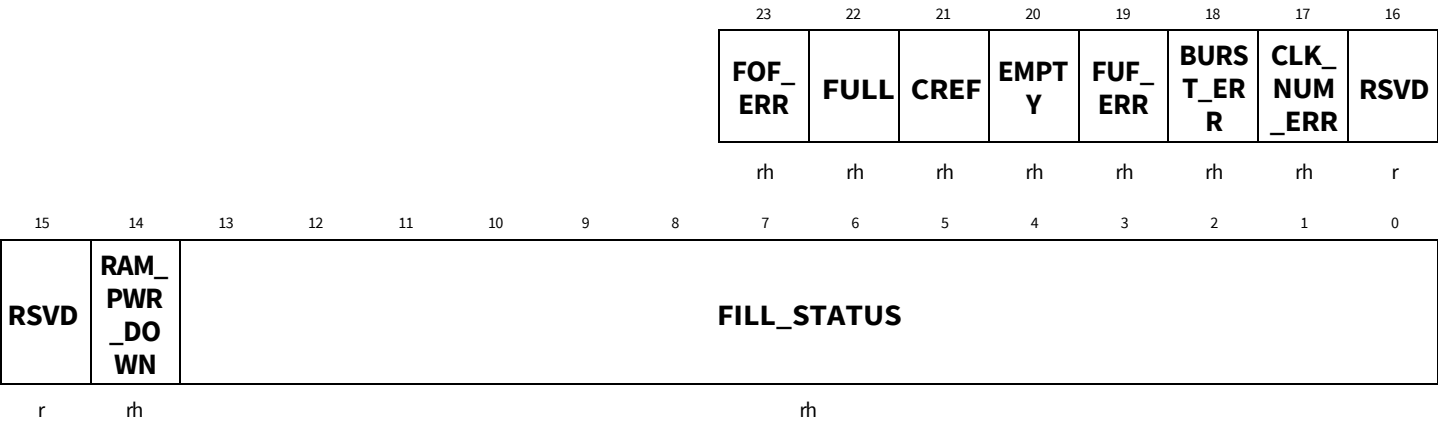


Table with 4 columns: Field, Bits, Type, Description. Row includes FILL_STATUS (13:0, rh, FIFO fill status: 0000H ... FIFO is empty, 0400H ... FIFO is 50% filled, 0800H ... FIFO is full. Note: This bit field is for debugging only. It should not be evaluated while the ADC is sampling and filing up the FIFO as the data are not stable. Can be evaluated when the FSM status is held, for example, after an FSM reset or in a specific power mode, Deep Sleep mode.

(表格续下页.....)

4 BGT60UTR11AIP registers

(续)

Field	Bits	Type	Description
RAM_PWR_DOW N	14	rh	RAM power down state: 0 _B ... RAM powered up 1 _B ... RAM powered down
RSVD	16:15	r	Reserved
CLK_NUM_ERR	17	rh	Clock number error bit is set when SPI clock number does not match the expected number of clock cycles: 0 _B ... No error 1 _B ... Clock number error Note: Bit will be reset after HW or SW reset.
BURST_ERR	18	rh	In case of burst error this bit is set: 0 _B ... No error 1 _B ... Burst error Note: Bit will be reset after HW or SW reset.
FUF_ERR	19	rh	FIFO underflow error shows if the host was reading more sampling data from the FIFO than available. The flag is also shown in GSR0 as a part of FIFO over or underflow error bit FOU_ERR: 0 _B ... No FIFO underflow 1 _B ... FIFO underflow Note: Bit will be reset after HW, SW or FIFO reset.
EMPTY	20	rh	FIFO empty status: 0 _B ... FIFO not empty 1 _B ... FIFO empty
CREF	21	rh	FIFO fill status exceeds compare reference: 0 _B ... Fill status below reference 1 _B ... Fill status above reference
FULL	22	rh	FIFO full status: 0 _B ... FIFO not full 1 _B ... FIFO full
FOF_ERR	23	rh	FIFO overflow error bit shows if more sample data are transferred to the FIFO than FIFO memory locations are available to store the data. The flag is also shown in GSR0 as a part of FIFO over or underflow error bit FOU_ERR: 0 _B ... No FIFO overflow 1 _B ... FIFO overflow Note: Bit will be reset after HW, SW or FIFO reset.

4.49 全局状态寄存器

全局状态寄存器 GSR0 与 SPI 读/写监控相关。

GSR0

全局状态寄存器

0_H
复位值: x1110100_B

4 BGT60UTR11AIP registers

7	6	5	4	3	2	1	0
RSVD				FOU_ERROR	MISO_HS_READ	SPI_BURST_ERROR	CLK_NUMBER_ERROR
r				rh	rh	rh	rh

Field	Bits	Type	Description
CLK_NUMBER_ERROR	0	rh	Defined within the SPI chapter: 0 _B ... No clock number error 1 _B ... Error condition occurred
SPI_BURST_ERROR	1	rh	SPI burst error defined within the SPI chapter: 0 _B ... No burst read/write error 1 _B ... Burst error
MISO_HS_READ	2	rh	SPI MISO high speed mode: 0 _B ... Not active 1 _B ... Active
FOU_ERROR	3	rh	Shows if FIFO overflow or underflow condition occurred. The error will be cleared after the following resets: FIFO reset or SW reset or HW reset: 0 _B ... No error 1 _B ... Error condition occurred
RSVD	7:4	r	Reserved

5 数据组织和 SPI 接口

5.1 数据头

主 FSM 能够生成附在实际雷达原始数据上的数据头。数据头的结构如下图和表所示。可以通过控制 SFCTL:PREFIX_EN 位禁用数据头（参见第 4.9 章）。

每次采集开始时都会发送一个同步字，以确保每个形状的雷达原始数据都是唯一的。这在与应用处理器的通信中断或出现错误时非常有用。假设 FIFO 生成一个“FIFO 溢出标志”，则主机控制器可以评估同步字 0x000000，并将其用于与 BGT60UTR11AIP 重新同步，并丢弃在此同步字之前收到的数据（如果未使用标头或同步字，则控制器应重置 FIFO，丢弃实际的 FIFO 数据）。在“FIFO 下溢标志”处，从主机接收到的数据位为 111111111111_{B0}

接下来，标头还包括帧计数器和形状组计数器，以及实际的 APU/APD 值（参见PLL 形状 x 寄存器 3）和温度值。

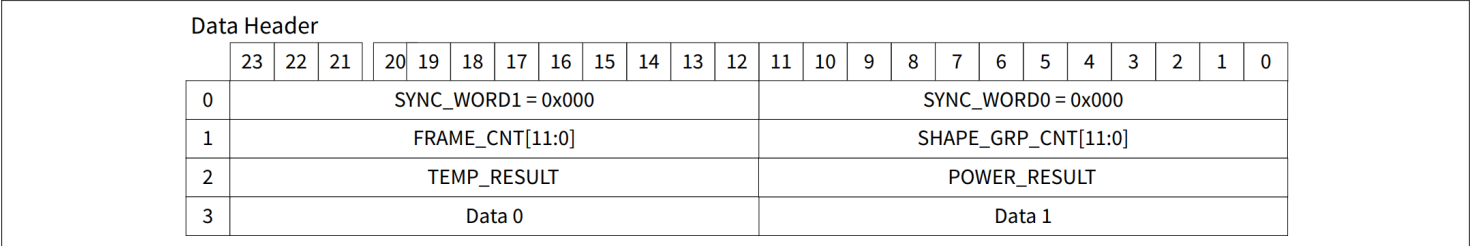


图 20 数据头

表 24 数据头描述

Symbol	Word	Bits	Description	RST
SYNC_WORD1	#0	23:12	The sync-word can be used to identify the start of a new chirp. In case the MADC will output also a sequence of 0x000000, to make the sync-word unique, the data from the MADC will be automatically changed to 0x001 before transferring it to the FIFO.	0 _b
SYNC_WORD0	#0	11:0	See SYNC_WORD1.	0 _b
FRAME_CNT	#1	23:12	Same as STAT1:FRAME_CNT (see Status register 1)	0 _b
SHAPE_GRP_CNT	#1	11:0	Same as STAT1:SHAPE_GRP_CNT (see Status register 1).	0 _b
TEMP_RESULT	#2	23:12	Temperature value from the end of the previous chirp.	0 _b
POWER_RESULT	#2	11:0	Power value from the beginning of the shape.	0 _b
DATA0	#3	23:12	MSB data (see Chapter 5.2).	
DATA1	#3	11:0	LSB data (see Chapter 5.2).	

5.2 FIFO 和数据流

BGT60UTR11AIP 的存储器基于 [FIFO](#)。FIFO 由一个循环移位寄存器组成，每个寄存器有 2048 个字，每个字 24 位。[FSM](#) 支持从多 [ADC](#) 到 FIFO 的数据流模式（见下图）：

- 模式 1：一个 ADC 处于激活状态
 - 第一个样本的数据（12 位）暂时存储在缓冲区中
 - 当第二个样本（12 位）可用时，第一和第二个样本（24 位）都存储到一个数据字中

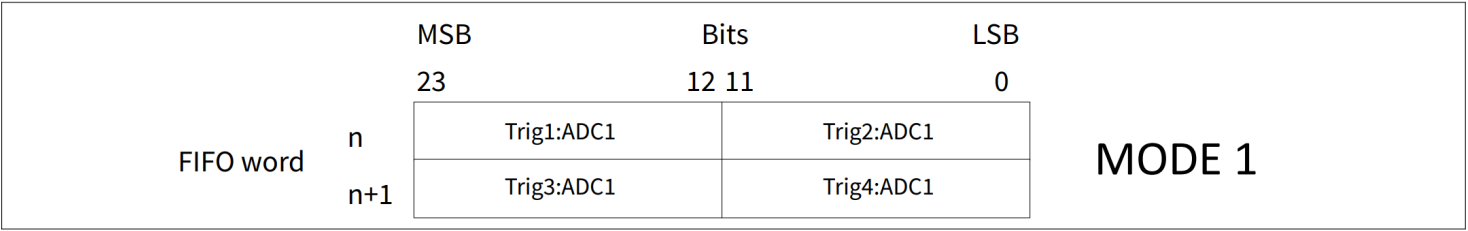


图 21 FIFO 组织

从 FIFO 的读出应由主机控制器执行，使用具有正确数据长度的内存地址。数据长度可从数据头或 "同步字 "中得出。

注释： 对内存地址空间的非法写入将导致FIFO 数据丢失！

5.3 SPI—串行外设接口模块

SPI 是主机和 BGT60UTR11AIP 之间的通信接口。它使主机能够读取或写入（编程）寄存器以及从 FIFO 读取。

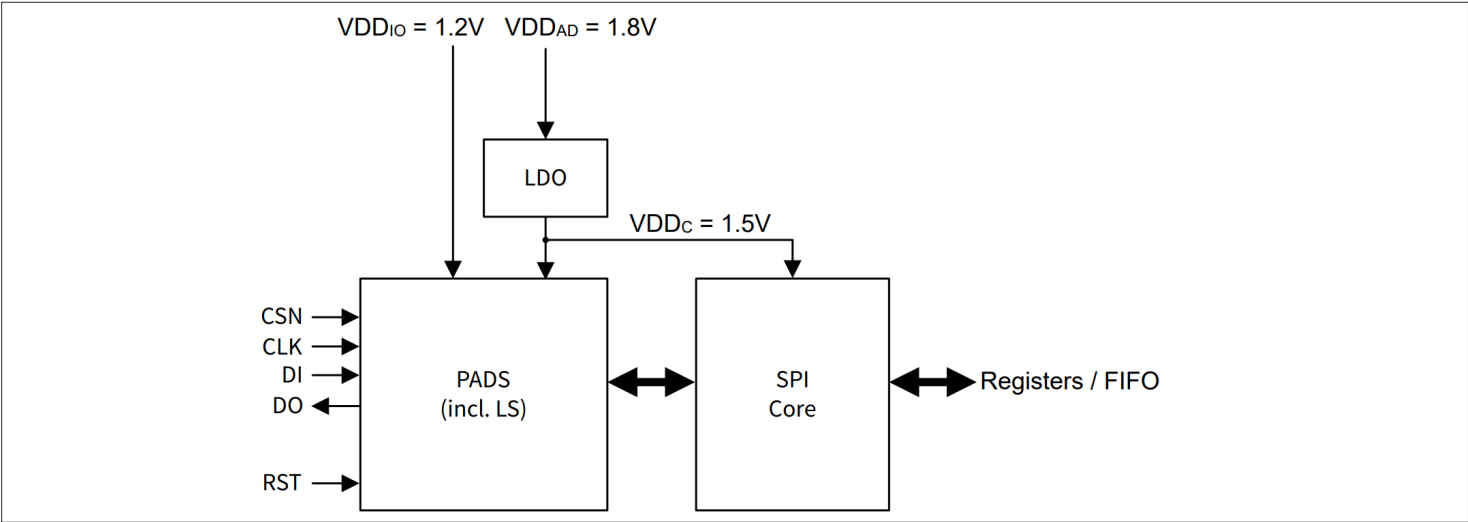


图 22 SPI 模块

BGT60UTR11AIP 器件具有四个用于 SPI 通信的 I/O 引脚和一个用于芯片复位的 I/O 引脚。DIO 引脚在焊盘内部被拉高至逻辑高电平。

- CS_N 连接到 SPI 主机的 SS
- CLK 连接到 SPI 主机的 CLK
- DI 连接到 SPI 主机的 MOSI
- DO 连接至 SPI 主机的 MISO
- RST 连接到复位

表 25 SPI 引脚

Pin name	Standard SPI mode function	Remarks
CSN	CSN	Chip select not
CLK	CLK	SPI clock
DI	MOSI	HiZ, bidirectional

(表格续下页.....)

表 25 (续) SPI 引脚

Pin name	Standard SPI mode function	Remarks
DO	MISO	HiZ, bidirectional
RST	RESET	HiZ

SPI 接口的时钟频率最高可达 50 MHz。为了满足更高的 SPI 时钟频率的时序要求（例如，>25 MHz），BGT60UTR11AIP 器件提供额外的高速模式 (SFCTL:MISO_HS_RD)，通过 DO 以 CLK 的上升沿而不是下降沿发送数据，从而增加 SPI 主端的时序预算。

5.3.1 标准 SPI 时序

正常 SPI 模式 (SFCTL:MISO_HS_RD = 0_B) 的时序图如下图所示。SPI 传输由 SPI 主机产生的片选信号 CSN 的下降沿启动。同时，SPI 主机应根据第一位驱动数据输入信号 DI（主机输出，从机输入(MOSI)）的电平。此外，在片选信号 CSN 的下降沿，SPI 从机根据应传输给 SPI 主机的第一位施加数据输出信号 DO（主机输入，从机输出(MISO)）的电平，该电平在 $t(ds)$ 周期后趋于稳定。SPI 主机必须等待 $t(L)$ 时间后才能产生时钟信号 CLK。

随着 CLK 的上升沿，SPI 从机捕获 DI 的电平。SPI 主机必须在 CLK 上升沿之前 $t(sis)$ 和之后 $t(sih)$ 时间内保持 DI 电平稳定，以确保 SPI 从机的有效建立和保持时间。随着 CLK 的下降沿，SPI 主机应根据主机想要发送的下一位设置 DI 的电平。

SPI 主机应在 CLK 上升沿读取 DO 的电平。SPI 从机在 CLK 下降沿后的 $t(soh)$ 内保持 DO 电平稳定。随着 CLK 的下降沿，SPI 从机根据下一位驱动 DO 电平，DO 在最迟 $t(sov)$ 后趋于稳定。

在最后一位传输完毕且 CLK 变为低电平后，SPI 主机必须将 CSN 设置为高电平以停止传输。主机必须注意 CLK 的最后一个上升沿和 CSN 的上升沿之间的周期不短于 $t(T)$ 。在 CSN 上升沿之后的 $t(dh)$ 时间段内，SPI 从机再次将 DO 驱动为高阻态。

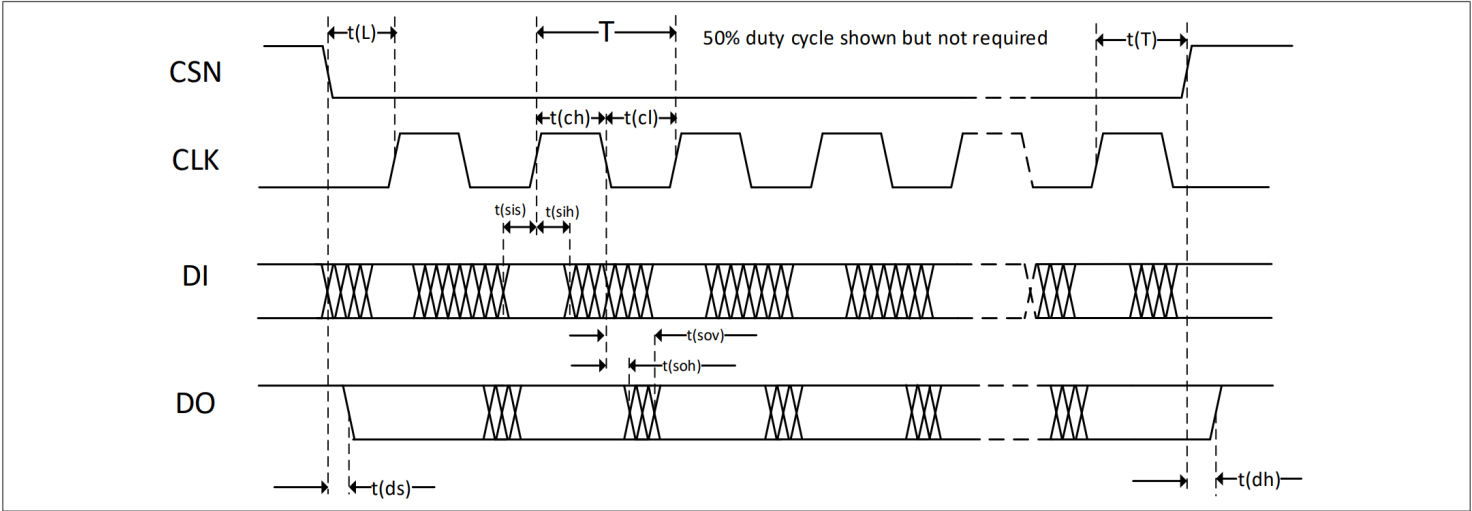


图 23 SFCTL:MISO_HS_RD = 0_B时的 SPI 接口时序图

BGT60UTR11AIP 可在高达 50MHz 的 SPI 时钟频率下工作，但可实现的最大 SPI 时钟频率受限于 SPI 主机和 SPI 从机的 DI 相关建立和保持时间。例如，如果 SPI 主机需要的建立时间比 $T/2-t(sov)$ 更长，则必须降低正常 SPI 模式下的 SPI 时钟速度。或者，可以通过设置 SFCTL:MISO_HS_RD = 1_B 将 BGT60UTR11AIP 切换到 SPI 高速模式。

高速 SPI 模式的时序图如图 24 所示。在该模式下，SPI 主机仍应在 CLK 上升沿捕捉 DO 的电平。SPI 从机在 CLK 上升沿后的 $t(\text{soh})$ 时间内保持 DO 电平稳定，然后根据下一个发送位设置 DO 电平。

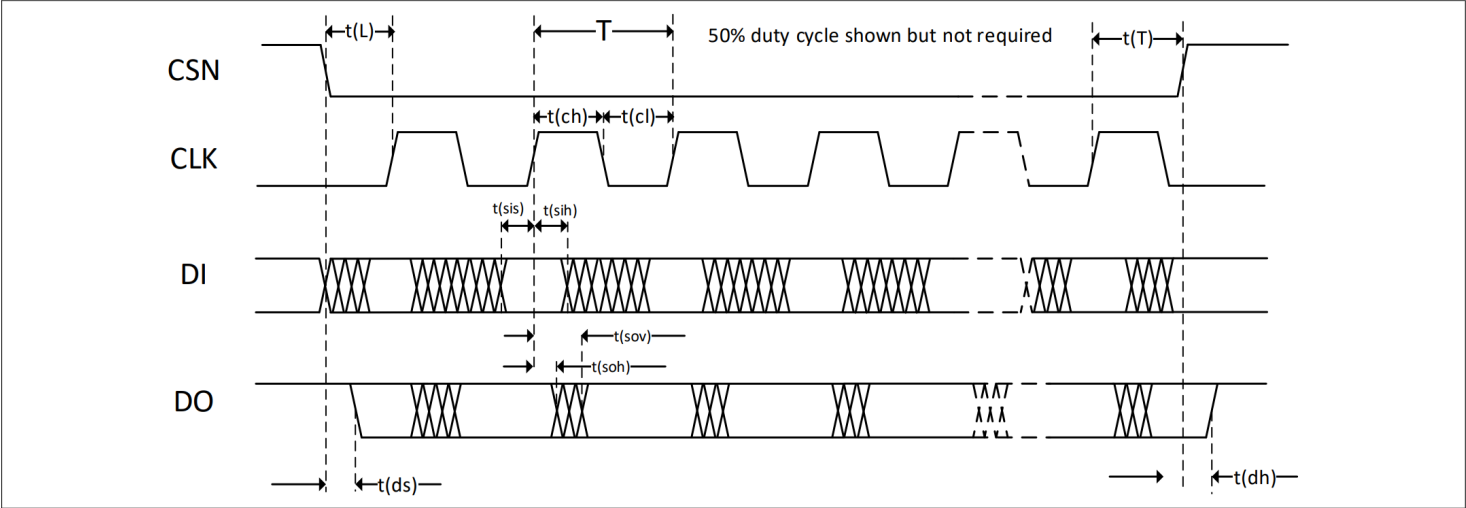


图 24 SFCTL:MISO_HS_RD = 1B 时的 SPI 接口时序图

表 26 SPI 时序要求

$VDD_{IO} = 1.08\text{ V}$ 至 1.32 V ， $T_b = -20\text{ }^{\circ}\text{C}$ 至 $+70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
SPI clock period: 50 MHz, with 1% clock jitter	T	20	-	-	ns	-
Clock high	$t(\text{ch})$	9.0	-	-	ns	-
Clock low	$t(\text{cl})$	9.0	-	-	ns	-
Slave input setup	$t(\text{sis})$	5.0	-	-	ns	-
Slave input hold	$t(\text{sih})$	5.0	-	-	ns	-
Slave output valid	$t(\text{sov})$	-	-	15.0	ns	see note
Slave output hold	$t(\text{soh})$	1.0	-	-	ns	-
Lead time before the first working clock edge occurs	$t(\text{L})$	9.0	-	-	ns	-
Tailing time after the last working clock edge	$t(\text{T})$	1	-	-	ns	-
Data setup time after the DO goes in low impedance state	$t(\text{ds})$	-	-	5	ns	Ensured by design
Data hold time before DO goes in hi impedance state	$t(\text{dh})$	-	-	5	ns	Ensured by design

注释:

- 如果 SFCTL:MISO_HS_RD 设置不正确，则 MISO 上读取的数据可能不正确。
- 在最坏情况下能够保证该时序： $VDD_{IO} = 1.08\text{ V}$ ， $T_b = +70\text{ }^{\circ}\text{C}$ ，输出负载 $C_{\text{load}} = 50\text{ pF}$
- 更好的条件可大大缩短 $t(\text{sov})$ 时间

5.3.2 逻辑电平

数字输入和输出完全兼容 [互补金属氧化物半导体\(CMOS\)](#)。所有 IO 输入/输出时序均基于 50% 电压基准电平（见下图）。I/O 接口如[图 28](#)和[图 29](#)所示，其中包括内部上拉。

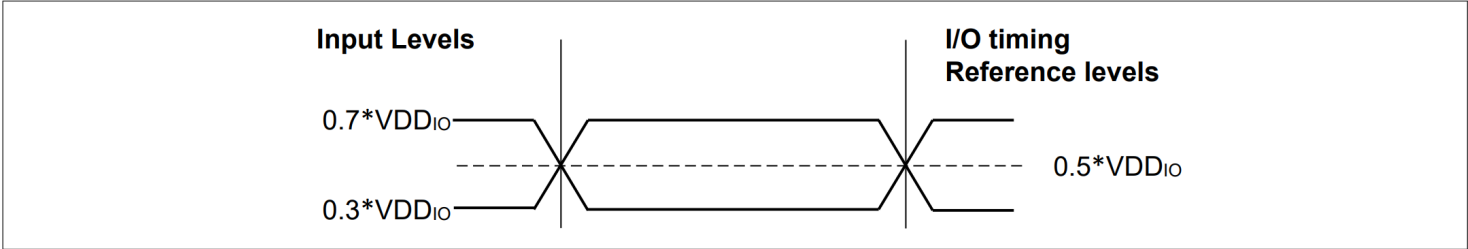


图25 AC 时序输入/输出基准电平

输入逻辑滞后可防止输入缓冲器发生振荡。最小滞后范围 V_{HYST} 介于下限 ($0.3 * VDD_{IO}$) 和上限逻辑电平 ($0.7 * VDD_{IO}$) 之间（见 [图 26](#)）。高于 $0.7 * VDD_{IO}$ 时，输入信号为逻辑 "1"；低于 $0.3 * VDD_{IO}$ 时，输入信号为逻辑 "0"，与滞后无关。由于温度漂移和器件变化，滞后范围 V_{HYST} 可高达 $0.7 * VDD_{IO}$ 或低至 $0.3 * VDD_{IO}$ ，但通常在 $0.5 * VDD_{IO}$ 左右。参数见[表 28](#)。

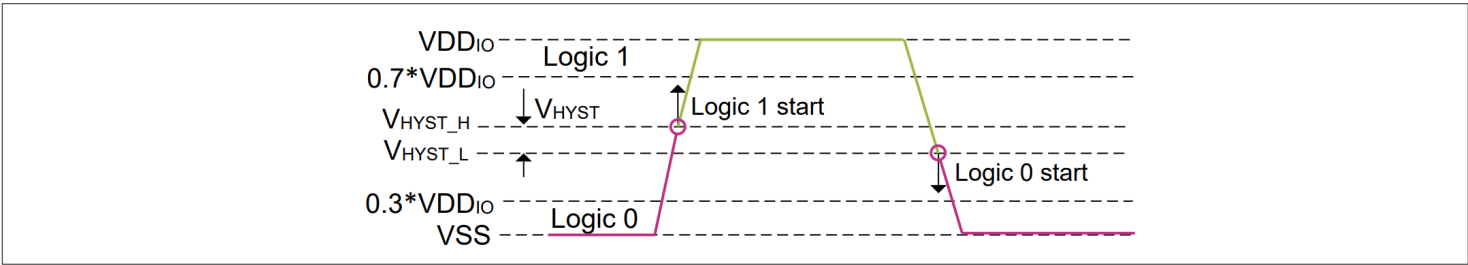


图 26 逻辑输入电平和滞后

数字输出垫具有可编程的输出垫强度，可为上升信号 dV_{TR} 和下降信号 dV_{TF} 提供特定的压摆率（见下图）。最小压摆率是在考虑 15 pF 总电容负载的情况下模拟的。结果见[表 29](#)。

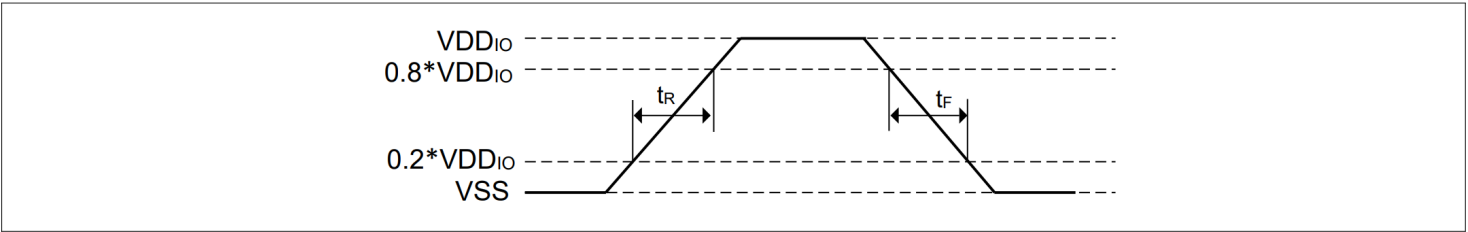


图 27 上升/下降时间，压摆率规定在 $0.2 * VDD_{IO}$ 和 $0.8 * VDD_{IO}$ 之间

表 27 输入引脚的逻辑电平

$VDD_{IO} = 1.08$ 至 1.32 V, $T_b = -20$ 至 $+70$ °C, 环境温度不低于 -40 °C；所有电压均相对于 VSS_{IO} 数字地，正向电流流入引脚（除非另有说明）

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
LOW level	$V_{IN(L)}$	0	-	$0.3 * VDD_{IO}$	V	-

(表格续下页.....)

表 27 (续) 输入引脚的逻辑电平

$V_{DDIO} = 1.08$ 至 1.32 V, $T_b = -20$ 至 $+70$ °C, 环境温度不低于 -40 °C; 所有电压均相对于 VSS_{IO} 数字地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
HIGH level	$V_{IN(H)}$	$0.7 * V_{DDIO}$	-	V_{DDIO}	V	-
Input current ($0\text{ V} < V_{IN} < V_{DDIO}$)	I_{IN}	-150	-	150	μA	-
Input capacitance CLK/CSN/DI/RST	C_{IN}	1.3	-	-	pF	-
Minimum hysteresis voltage range between $0.3 * V_{DDIO}$ and $0.7 * V_{DDIO}$	V_{HYST}	250	-	-	mV	$V_{HYST_H} - V_{HYST_L}$
Upper hysteresis signal level	V_{HYST_H}	-	$0.5 * V_{DDIO} + V_{HYST} / 2$	$0.7 * V_{DDIO}$	V	-
Lower hysteresis signal level	V_{HYST_L}	$0.3 * V_{DDIO}$	$0.5 * V_{DDIO} - V_{HYST} / 2$	-	V	-

表 28 输出引脚的逻辑电平

$V_{DDIO} = 1.08$ 至 1.32 V, $T_b = -20$ 至 $+70$ °C, 环境温度不低于 -40 °C; 所有电压均相对于 VSS_{IO} 数字地, 正向电流流入引脚 (除非另有说明)

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
LOW level	$V_{OUT(L)}$	0	-	$0.2 * V_{DDIO}$	V	-
HIGH level	$V_{OUT(H)}$	$0.8 * V_{DDIO}$	-	V_{DDIO}	V	-
Output current (LOW)	$I_{OUT(L)}$	-2	-	-	mA	-
Output current (HIGH)	$I_{OUT(H)}$	-	-	2	mA	-
Allowed load capacitance to provide maximum signal frequency on DO	C_{LOAD}	-	-	15	pF	-
Output pad slew rate for rising wave form	dV_{TR}	0.15	-	-	V/ns	$0.2 * V_{DDIO}$ to $0.8 * V_{DDIO}$ with 50 pF load
Output pad slew rate for falling wave form	dV_{TF}	0.13	-	-	V/ns	$0.2 * V_{DDIO}$ to $0.8 * V_{DDIO}$ with 50 pF load

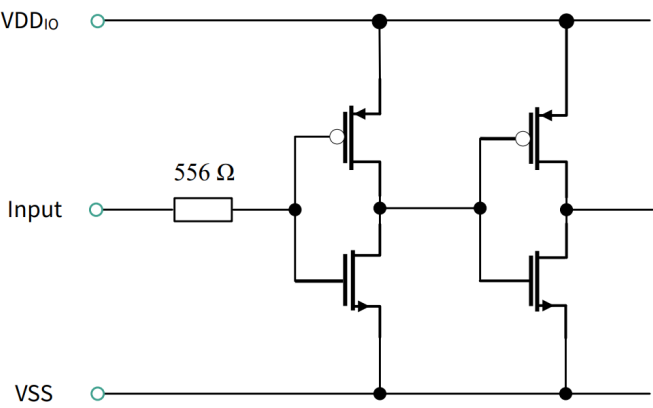


图 28 输入引脚接口

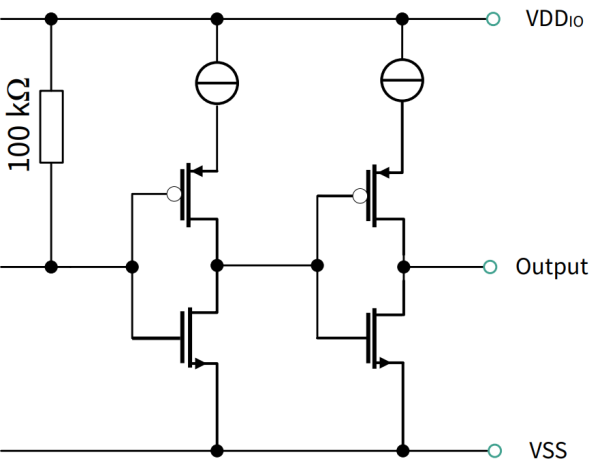


图 29 输出引脚接口

5.3.3 过冲和下冲波形定义

在运行期间，应用信号和电源电平不应超过数据手册中规定的绝对最大直流(DC) 电平。由于电感和/或电容负载，数字信号可能会出现正或负过冲。表 29 报告了所有逻辑信号允许的过冲信号电平。

表 29 过冲和下冲信号电平

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
Maximum absolute overshoot voltage level	V_{OS}	-	-	$VDD_{IO} + 0.5\text{ V}$	V	see note
Maximum absolute undershoot voltage level	V_{US}	-	-	$VSS_{IO} - 0.5\text{ V}$	V	see note

注释：最大焊垫电流不超过 ±2 mA（另见第 5.3.2 章）。数字信号的过冲/下冲不存在压摆率限制。

5.3.4 IBIS 模型

BGT60UTR11AIP [输入/输出缓冲器信息规范 \(IBIS\)](#) 模型可根据 [非披露协议 \(NDA\)](#) 按需获取。该模型基于时序模拟。为了更好地反映真实时序行为，使用了不同的输入/输出信号焊垫模型，并在下表中进行了总结。驱动强度和上拉可通过寄存器进行修改。

表 30 IBIS 焊垫类型和模型（参见 IBIS 模型）

Pin	Ibis PAD Model
CSN	IN: Selection_0
CLK	IN: Selection_0
DI	IN: Selection_0
DO	OUT: Selection_1
DIO2	Not available on BGT60UTR11AIP
RST	IN: Selection_0
IRQ	OUT: Selection_1

5.3.5 SPI 功能

通过 [SPI](#) 总线传输的每个字的长度为 1 个命令字节 + 3 个数据字节。通信是按位进行的。首先，地址以 [最高有效位 \(MSB\)](#) 优先的方式传输。地址后面跟着 R/W 位，然后跟着数据，数据也是先发送 MSB。同时，在接收到命令字节时，一个来自系统级可配置的全局状态寄存器（8 位，GSR0）被串行移出到 DO（MSB 优先）。在接下来的 24 个时钟周期内，选定的寄存器内容将通过 DO 移出，MSB 优先。

根据发送的 R/W 位，有两种不同的操作模式可用：写入模式和读取模式。每种写入模式也是一种读取模式。

写入模式

在启动条件后，将发送所需的地址。地址长度为 7 位，后跟一位数据方向位（读/写）。1 表示写入操作（见下图）。

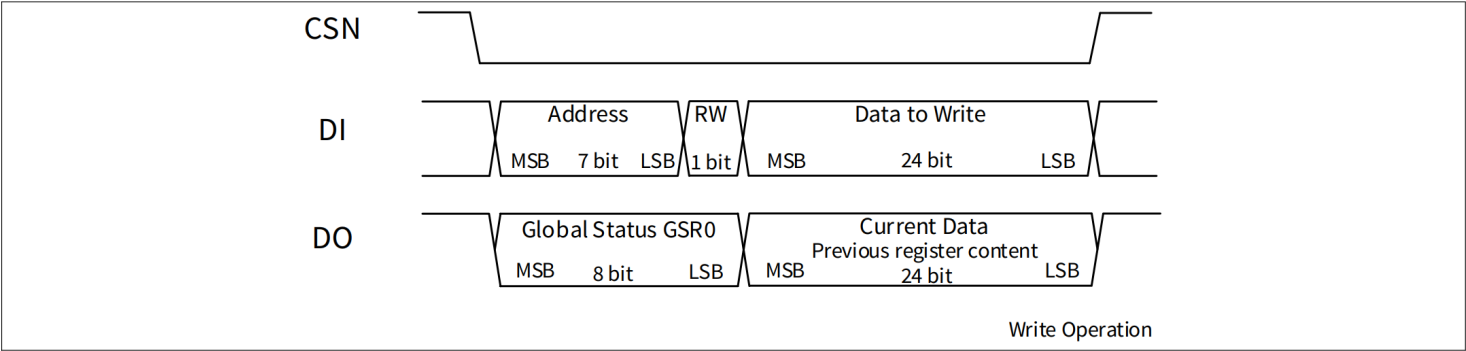


图 30 SPI 时序写入模式

读取模式

在启动条件之后，所需的地址像在写入操作中一样被发送。R/W 位为零表示读访问。命令字节之后的 DI 上的数据可以包含任意值。DO 行为与写入模式相同。

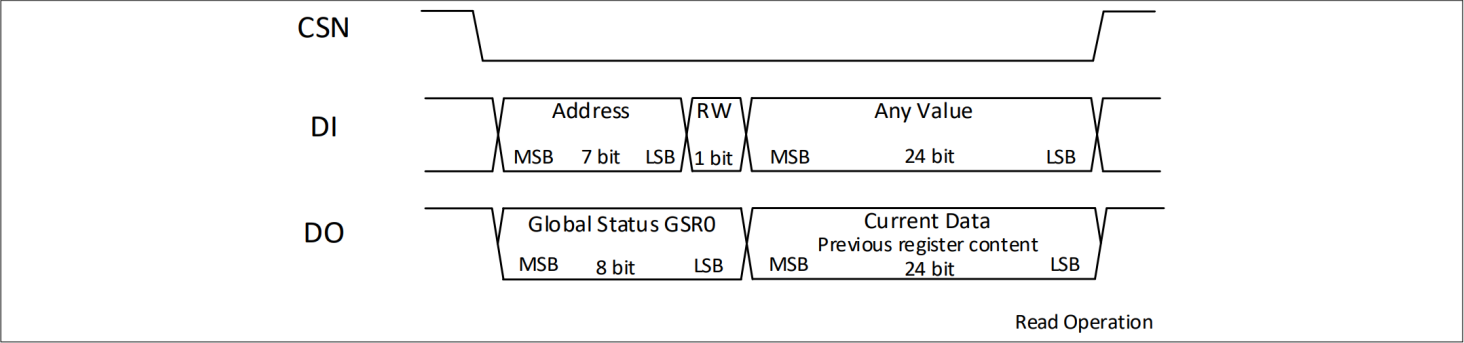


图31 SPI 时序读取模式

5.3.6 SPI 突发模式

突发模式可用于从 [SPI](#) 读取或写入多个寄存器或部分数据，而不仅仅是读取单个寄存器或数据。突发模式命令由主机发送。突发模式命令由多个位字段组成，如下表所示。

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
ADDR							RW	SADDR							RWB
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
NBURSTS							RSVD								

Field	Bits	Description
RSVD	8:0	Reserved
NBURSTS	15:9	Number of processed data blocks: 0 _H ... “unbounded” burst accesses 1 _H ..7E _H ... number of words to transfer
RWB	16	Burst read or write: 0 _B ... Perform a read burst 1 _B ... Perform a write burst, (writes to FIFO not supported)
SADDR	23:17	Starting address where the burst starts processing: < 64 _H Register access == 64 _H FIFO access > 64 _H Reserved Address is incremented automatically inside a burst.
RW	24	Read/Write register access: 1 _B ... write to address 7F _H
ADDR	31:25	To enter the burst mode the following address is used: 7F _H ... request the burst read/write.

注释： 单个数据块的宽度为24 位， 包括采样存储器和寄存器。

突发模式操作

启动条件后，SPI 主机通过 DI 发送 32 位突发模式命令。同时，状态寄存器 GSR0（四个 1_B 位+ 四个状态位）及其后 24 个设置为 0_B 的填充位通过 DO 移出。命令序列完成后，寄存器 /FIFO 数据通过 DO 移出至 SPI 主机。在突发写入模式下，待写入的寄存器数据从 SPI 主机（例如应用处理器）移入。

突发模式读取序列

在读取序列中，SPI 主机从器件中进行读取。

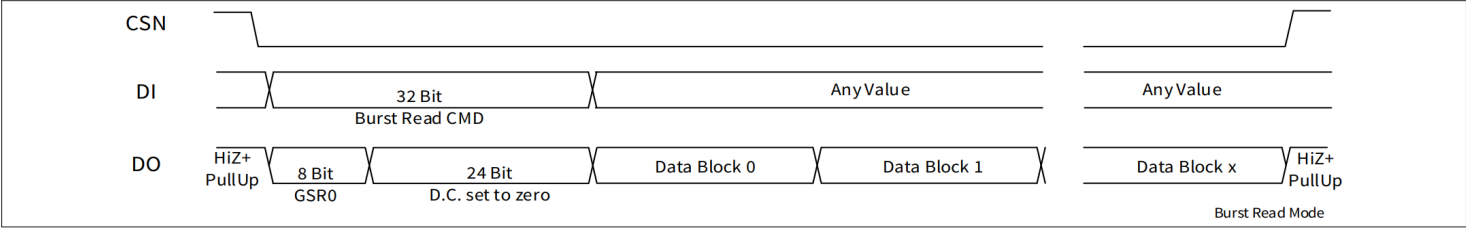


图 32 突发模式读序列

突发模式写入序列

在突发写入模式下，SPI 主机向器件写入数据。

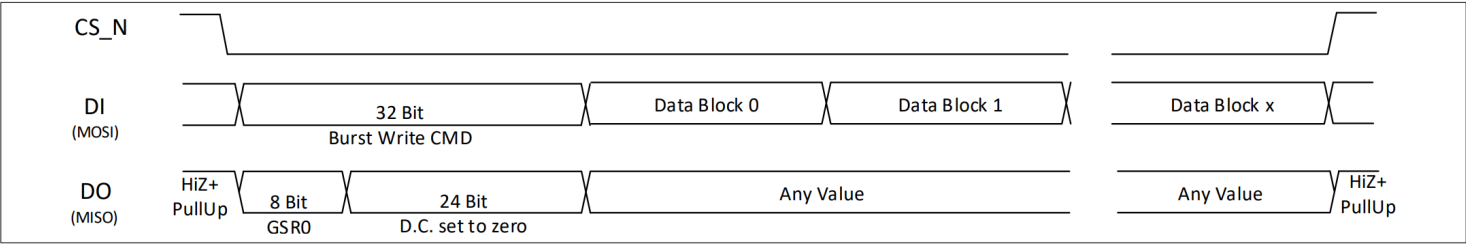


图 33 突发模式写入序列

数据块中的采样数据安排

FIFO 中的数据在突发读取请求期间从 FIFO 地址零开始流出。第 1 个 [ADC](#) 是通道号最低的 ADC 通道。由于采样存储器以 24 位为单位，最多可通过 ADC 通道选择位（CSx:MADC_BBCH_SEL，参见[通道集 x 寄存器 1](#)）选择 1 个 ADC 通道，因此数据块的排列如下。

如果选择单个 ADC，数据块如下图所示。

Single ADC channel data stream									
Data Block 0		Data Block 1		Data Block 2		...		Data Block x	
1 st ADC 1 st Result	1 st ADC 2 nd Result	1 st ADC 3 rd Result	1 st ADC 4 th Result	1 st ADC 5 th Result	1 st ADC 6 th Result			1 st ADC (N-1) th Result	1 st ADC N th Result

图 34 单 ADC 通道选择
示例：突发模式读取采样存储器序列

主机发送以下突发模式命令来初始化突发模式，以从 FIFO 读取未定义数量的采样数据：

- BMCMD_RS = (ADDR = 7F_H, RW = 1, SADDR = 64_H, RWB = 0, NBURSTS = 0_H)

备注：对于每个对采样存储器的突发读取请求，采样存储器地址指针都会重置为初始值。因此，存储器的数据可以从一开始就被读取，直到应用处理器停止突发读取。

示例：突发模式读取寄存器序列

主机发送以下突发模式命令来初始化突发模式，以从寄存器地址 3 开始读取 10 个寄存器：

- BMCMD_RR10 = (ADDR = 7F_H, RW = 1, SADDR = 3_H, RWB = 0, NBURSTS = A_H)

5.3.7 SPI 错误检测

SPI_BURST_ERROR 和 CLK_NUM_ERROR（参见 FIFO 状态寄存器）将在以下复位操作后被清除：

- 软件(SW) 复位
- 硬件(HW) 复位

SPI_BURST_ERROR、CLK_NUMBER_ERROR 和 FOU_ERROR 会在下一次 SPI 事务中通过全局状态位进行报告，并作为粘性位锁存在 FSTAT 寄存器中。

为了了解捕获的采样数据是否损坏，主机可以评估下表中报告的位字段 CLK_NUM_ERR 和 SPI BURST_ERR。

表 31 SPI BURST_ERR 和 CLK_NUM_ERR 定义

Length Range	Transaction	SPI BURST_ERR	CLK_NUM_ERR	Behavior on read/write
0	Null command	0 _B	0 _B	Ignored
1-31	Short length error in single	0 _B	1 _B	Command ignored
>32	Long length error in single	0 _B	1 _B	Extra bits ignored
1-31	Short length error in SPI burst header	0 _B	1 _B	Command ignored
<24xN	Missing whole data word in bounded burst	1 _B	0 _B	Available data words used
>24xN	Extra whole data word in bounded burst	1 _B	0	Extra data word(s) ignored
%24>0	Misaligned bit-count for bounded burst	1 _B	1 _B	Extra bits ignored
%24>0	Misaligned bit-count for infinite burst	0 _B	1 _B	Partial data word may be discarded

- 注释：**
- 忽略写入事务意味着没有寄存器（或内存）内容受到部分写入命令或不完整数据字的影响。
 - 忽略读取事务意味着返回的数据无效，并且对于 FIFO 来说，部分读取命令不会删除任何字，或者数据字不完整。
 - 丢弃的读取事务意味着数据已经从 FIFO 中读取，但仅部分传输；后续读取将从 FIFO 中弹出下一个字。
 - 无限突发（NBURST=0）中出现长度错误后，FIFO 中的数据可能会被丢弃。必须进行 FIFO 读取，因为在此阶段需要将数据移出，但如果不是所有位都移出，则 FIFO 已被读取并且部分数据字可能会被丢弃。

5.3.8 SPI 广播模式

BGT60UTR11AIP 具有特殊的 SPI 功能，称为广播模式。通过该模式，用户可以对共享同一 SPI 总线的多个雷达传感器进行编程。

为了避免共享 *MISO* 线路上相互矛盾的逻辑电平造成的驱动器冲突，SPI 广播模式停用了 DO 引脚的输出驱动器。MAIN:SPI_BC_MODE 编程为 1_B 后，CS 上升沿将激活这一变化。停用该模式的类似方法是将 MAIN:SPI_BC_MODE 编程为 0_B，在 CS 上升沿时再次激活 DO 引脚的输出驱动器。

这种 SPI 广播模式主要有两种使用情况：

- 同时为所有器件编程，加快雷达传感器的初始配置速度
- 通过同时触发一个帧来同步多个雷达传感器（单条 SPI 写入命令，MAIN:FRAME_START = 1_B）
-

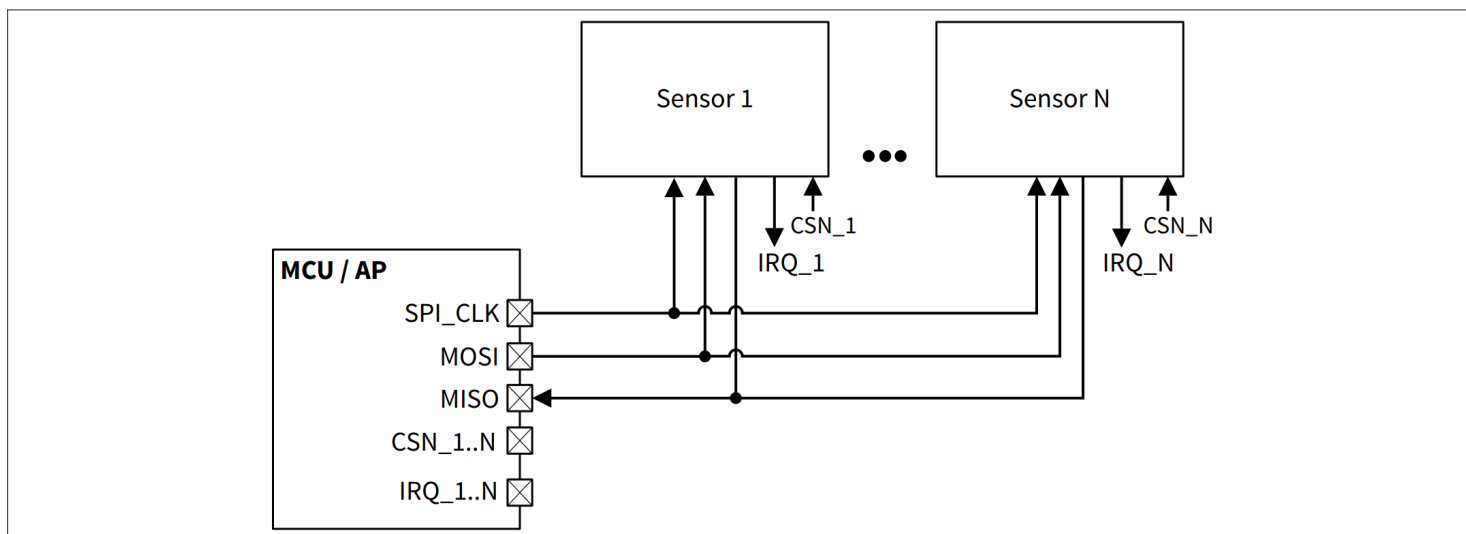


图 35 **SPI 广播框图**

具有多个传感器（如传感器 1、传感器 2...）的 SPI 广播系统共享相同的 SPI 总线，包括 SPI 时钟 (SPI_CLK)、数据输入和输出 (*MOSI*、MISO)，也可能共享相同的振荡器时钟 (OSC_CLK)。不过，每个传感器都需要在 SPI 主机（如 *MCU*、*AP*）上有一个自己的片选 (CSN) 引脚，以便对每个传感器进行单独控制。此外，SPI 主控端还需要一个专用的中断输入引脚，用于每个传感器的中断输出 (IRQ)。

5.4 硬件复位序列

为了执行正确的器件复位，需要一个特殊的复位序列。例如，在器件上电后。当 CSN = '1_B' 时，RST 必须执行 1_B 0_B 1_B 转换

其行为如下图所示，参数如下：

- T_CS_BRES = 100 ns
- T_RES = 100 ns
- T_CS_ARES = 100 ns

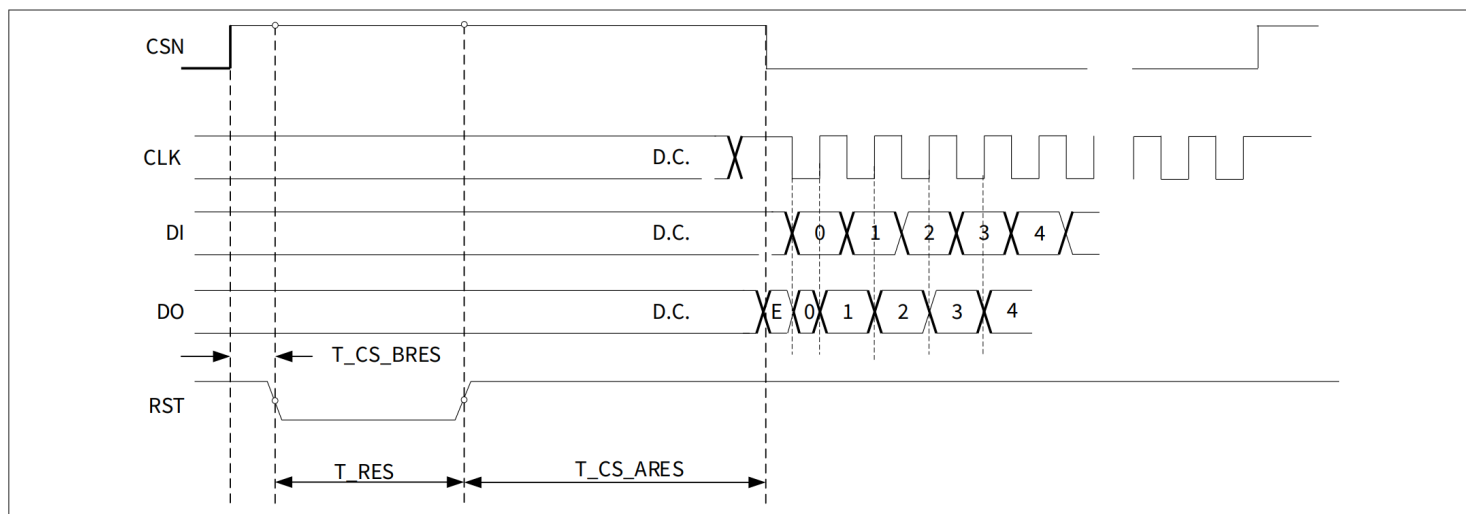


图 36 硬件复位序列

5.5 软件触发复位

除了硬复位外，还支持三种复位序列，可在主寄存器中触发（另见[主寄存器](#)）。它们按照以下层次结构定义：

- [SW](#) 复位 -> [FIFO](#) 复位 -> [FSM](#) 复位

软件复位

- 将所有寄存器重置为默认状态
- 重置所有内部计数器（形状、帧等）。
- 执行 FIFO 重置
- 执行 FSM 重置
- 在执行 SW 复位之后需要延迟 100 ns，方可发送下一个 [SPI](#) 命令

FIFO 重置

- 重置 FIFO 的读写指针
- 数组内容不会被重置，但无法读出
- 发出 FIFO 空信号，填充状态 = 0_b
- 重置寄存器 FSTAT FIFO 状态寄存器
- 执行隐式 FSM 重置

FSM 重置

- 将 FSM 重置为 DS 电源模式
- 重置通道/形状集和计时器的 FSM 内部计数器
- 重置状态寄存器 0 和状态寄存器 1 寄存器
- 重置 [PLL](#) 斜坡启动信号
- 复位 PA_ON
- 终止帧（形状和帧计数器增加，但可能不完整）

6 PLL 域功能规范

PLL 设计用于生成 57.4 GHz 至 63.0 GHz 范围内的高性能频率 chirp。调制是在 PLL 带宽内（带内调制）通过基于模拟电荷泵的分数 N RF-PLL 架构进行的。此外，它还具有高度灵活的形状生成器，可以允许不同的斜坡形状和持续时间。该环路需要标称频率为 SYS_CLK 的低噪声参考时钟。

6.1 PLL 接口和时钟分配

图 37 显示了 **PLL** 接口和内部系统时钟的分布。

支持两种不同的外部振荡器输入时钟频率范围 $f_{\text{OSC_CLK}\#1}$ 和 $f_{\text{OSC_CLK}\#2}$ ，这需要对 PLL 进行不同的设置，并正确配置时钟输入级 DC_IN（参见时钟输入寄存器）。

每个时钟输入级都包括用于路径选择的多路复用器和一个可选择的倍频器。除此之外，系统的时钟输入级还包括用于倍频 DC_OUT 的不同校正和调整选项（参见时钟输入寄存器）。

对于 $f_{\text{OSC_CLK}\#1}$ ，寄存器位 CLK_IN:CLK_SEL 应设置为 0_D；对于 $f_{\text{OSC_CLK}\#2}$ ，寄存器位 CLK_SEL 应设置为 1_D，以便仅使用时钟倍频器（参见时钟输入寄存器）。

倍频器修正和调整选项如下：

- CLK_IN:CLK_SEL = 1_D：启用两个倍频器，无需调整输入占空比
- CLK_IN:CLK_SEL = 2_D：通过 CLK_IN:DC_IN_ADJ 位调整输入占空比，启用倍频。该调整应用于输入时钟。修正后的时钟将作为两个占空比相关倍频器（PLL 和系统时钟）的输入端
- CLK_IN:CLK_SEL = 3_D 启用倍频，但只对产生系统时钟的倍频器使用输入占空比校正

在使用倍频器的情况下（CLK_IN:CLK_SEL $\geq$ 1_D），可通过 CLK_IN:DC_OUT_ADJ 位将生成的倍频时钟的占空比调整到接近 50% 的值。这一调整仅适用于系统时钟，因为 PLL 只要求参考时钟的最小占空比，这一点在设计中已得到保证。

6.1.1 参考时钟分配

外部参考时钟信号通过一条短的低抖动路径直接进入 **PLL** 模拟部分（PLL 模拟）的时钟输入端口。在 PLL 模拟部分内部，时钟路径被分割成两个不同的时钟输入级。其中一级专用于 PLL，由 PLL 内部调节的低噪声电源供电。第二级输入级用于通过 **简化时序外壳(STS)** 向 PLL 宏 (osc_clk2dig) 的输出提供系统时钟。STS 是 PLL 模拟部分和数字部分之间定义的定时接口。由于 osc_clk2dig 是主 **FSM** 的时钟，因此必须有一个独立的路径，以确保即使在 PLL 断电时也能使用。因此，该路径避免使用 PLL 内部产生的电源。主 FSM 时钟可通过一个名为 PACR1:OSCCLKEN 的专用寄存器位（参见 PLL 模拟控制寄存器 1）进行门控，该寄存器位在时钟路径开始时就已进行门控。

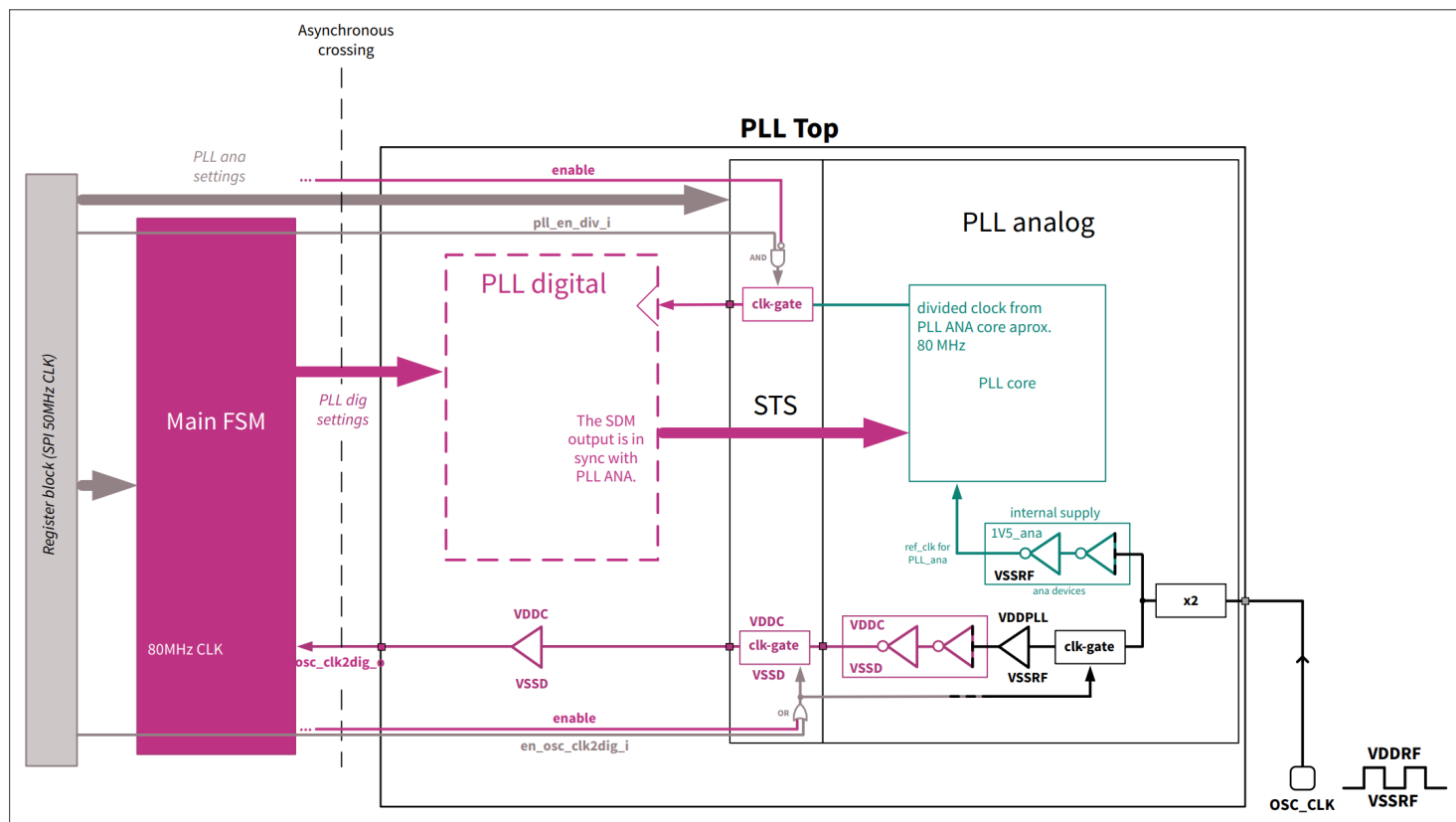


图 37 连接主 FSM 的 PLL 和 SYS_CLK 接口

6.1.2 PLL 接口

大多数专用于 [PLL](#) 模拟部分的静态设置和控制信号被视为异步信号，并从寄存器组传递到 PLL 的 [STS](#)。这适用于对时间要求不高的数字信号。主 [FSM](#) 向 PLL 数字部分提供的斜坡生成参数在 PLL 数字部分内部寄存。斜坡的起始信号也作为斜坡参数的同步信号。这是必需的，因为 PLL 数字在 PLL 的分频时钟上运行，这确保了 $\Sigma\Delta$ 位流和实现斜坡行为的 PLL 模拟部分之间的已知和同步时序关系。仅当 PLL 宏和 [压控振荡器 \(VCO\)](#) 被激活时，分频时钟才可用。从 PLL 数字部分到模拟部分的其他控制信号保持异步。为了闭合 PLL 环路，PLL 核心的模拟部分与 [RF](#) 宏有接口，VCO 和部分分频器链位于 RF 宏中。

6.2 PLL 参数和规范

下表概述了基于PLL频率发生器的目标参数。

表 32 PLL 规范

$$VDD_{PLL} = 1.71 \text{ 至 } 1.89 \text{ V}, VDD_{LF} = 2.5 \text{ 至 } 3.63 \text{ V}, T_b = -20^\circ\text{C 至 } +70^\circ\text{C}。$$

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
PLL Chirp Parameters						
Output Frequency Range	f_{RF}	57.4	-	63.0	GHz	Range depends on the VDD_{LF} value

(表格续下页.....)

表 32 (续) PLL 规范

$VDD_{PLL} = 1.71$ 至 1.89 V, $VDD_{LF} = 2.5$ 至 3.63 V, $T_b = -20$ °C 至 $+70$ °C。

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
Continuous FM-Chirp Bandwidth	BW	0	-	5.6	GHz	PLL tuning range
VDD_{LF} Range	VDD_{LF}	2.5	-	3.63	V	Complete specified BW requires at least $VDD_{LF} = 3.3$ V
Chirp slope	Slope	-	-	400	MHz/ μ s	-
Frequency Ramp Linearity Error	Error	-	-	1	%	For 2 GHz BW minimum See Figure 38
Frequency Ramp Settling Time (fast chirp feature active)	$t_{PLL, settle}$	-	5	-	μ s	See Figure 39
PLL Phase Noise Single Sideband	$PN_{PLL, 100\text{ kHz}}$	-	-80	-75	dBc/Hz	at 100 kHz offset

6.2.1 频率斜坡线性定义：

频率斜坡线性误差的定义为小于 Chirp [调频\(FM\)](#)带宽的 1%。线性误差是根据与 "理想 "频率斜坡的偏差计算得出的。需要在频率斜坡建立时间之后满足该规范（另见[第 3.3 章](#)）。用于线性度评估的假定最坏情况 FM Chirp 带宽为 2 GHz。

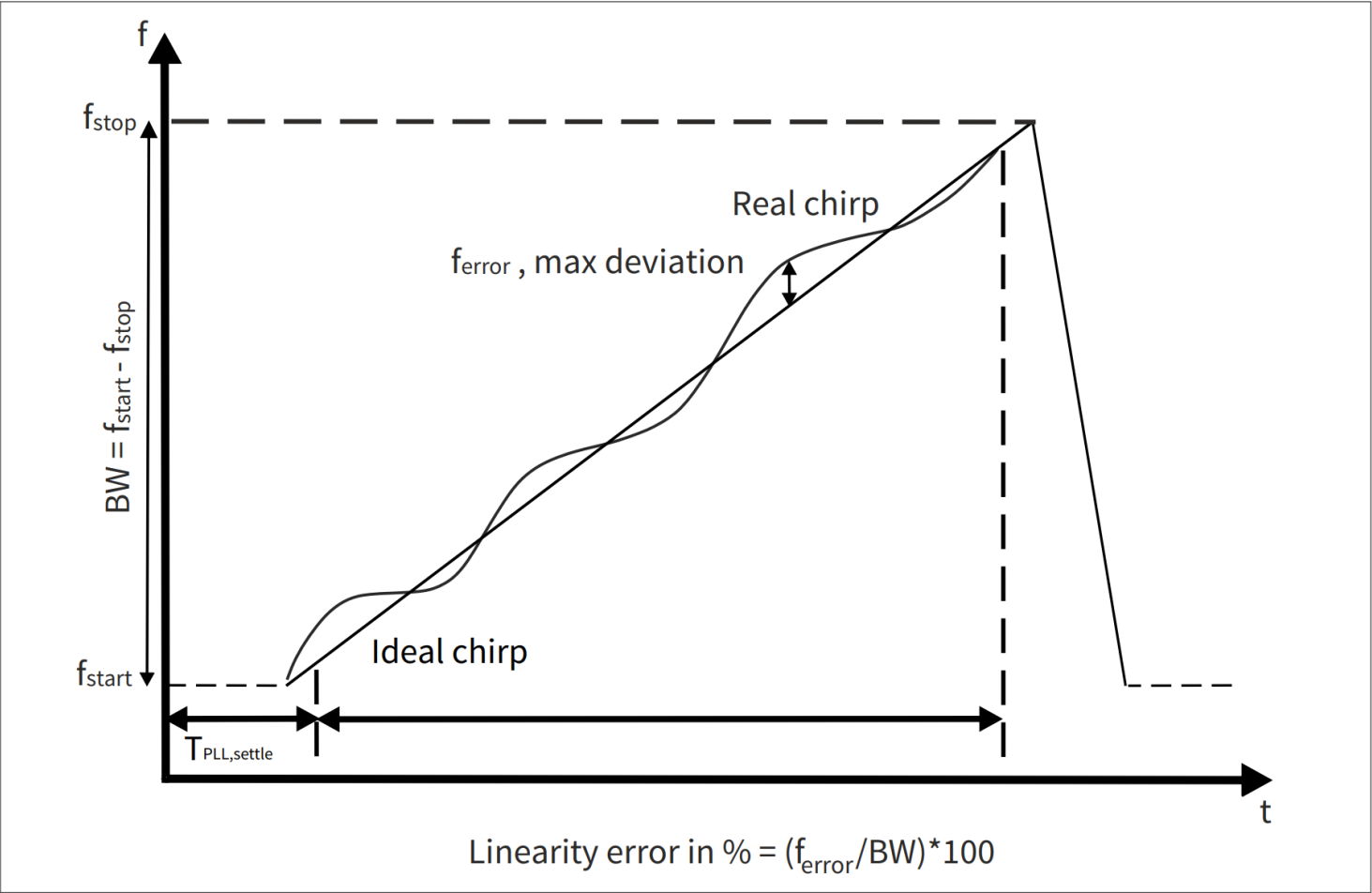


图 38 频率线性定义

假设最小 BW 为 2 GHz，最大偏差为 1%，则预期最大频率误差为 20 MHz。

6.2.2 频率斜坡建立时间

这是 PLL 在锯齿形情况下抑制下冲和过冲所需的时间。定性视图如下图所示。请参阅第 3.3 章以获得更详细的时序定义。

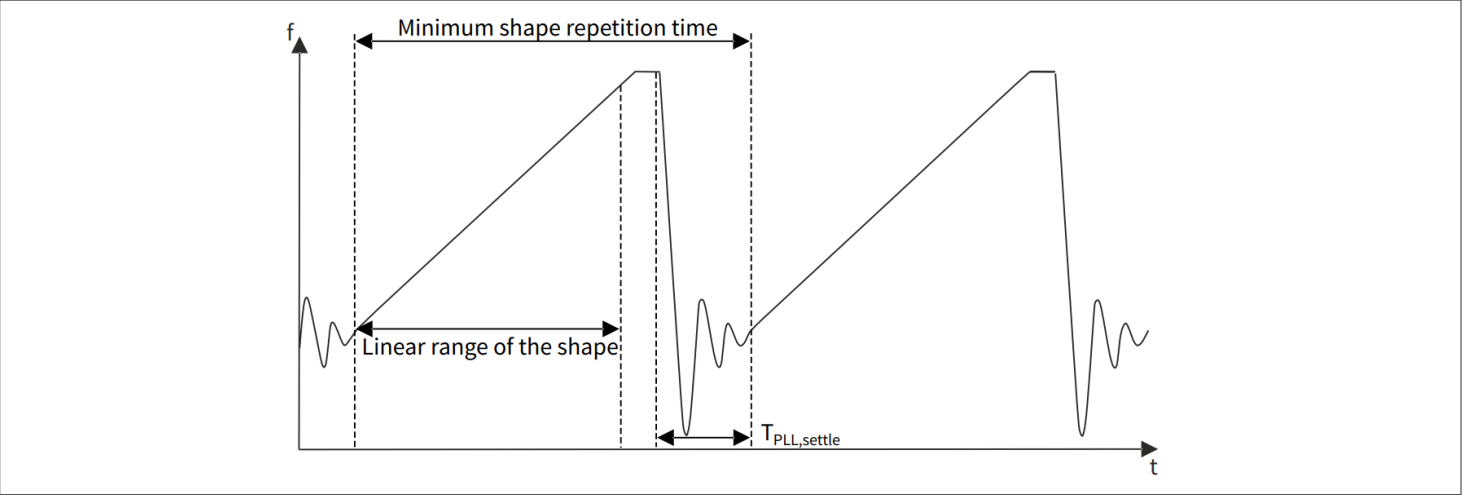


图 39 Chirp 建立时间

7 模拟 RF 域功能规范

在模拟功能规范中，所有模拟组件（如 [RF 前端 \(RF FE\)](#)、基带放大器和滤波器）都有更详细的描述。
组件的寄存器定义见[通道集 up x 寄存器 0](#)。

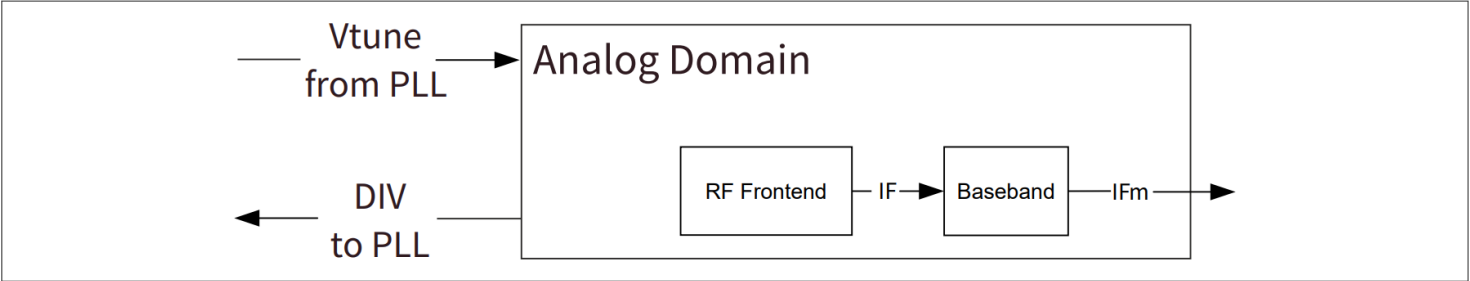


图40 模拟域简化框图

7.1 RF 前端 (RF FE)

在 [RF 前端](#)，实现了所有用于启用雷达功能的特性。

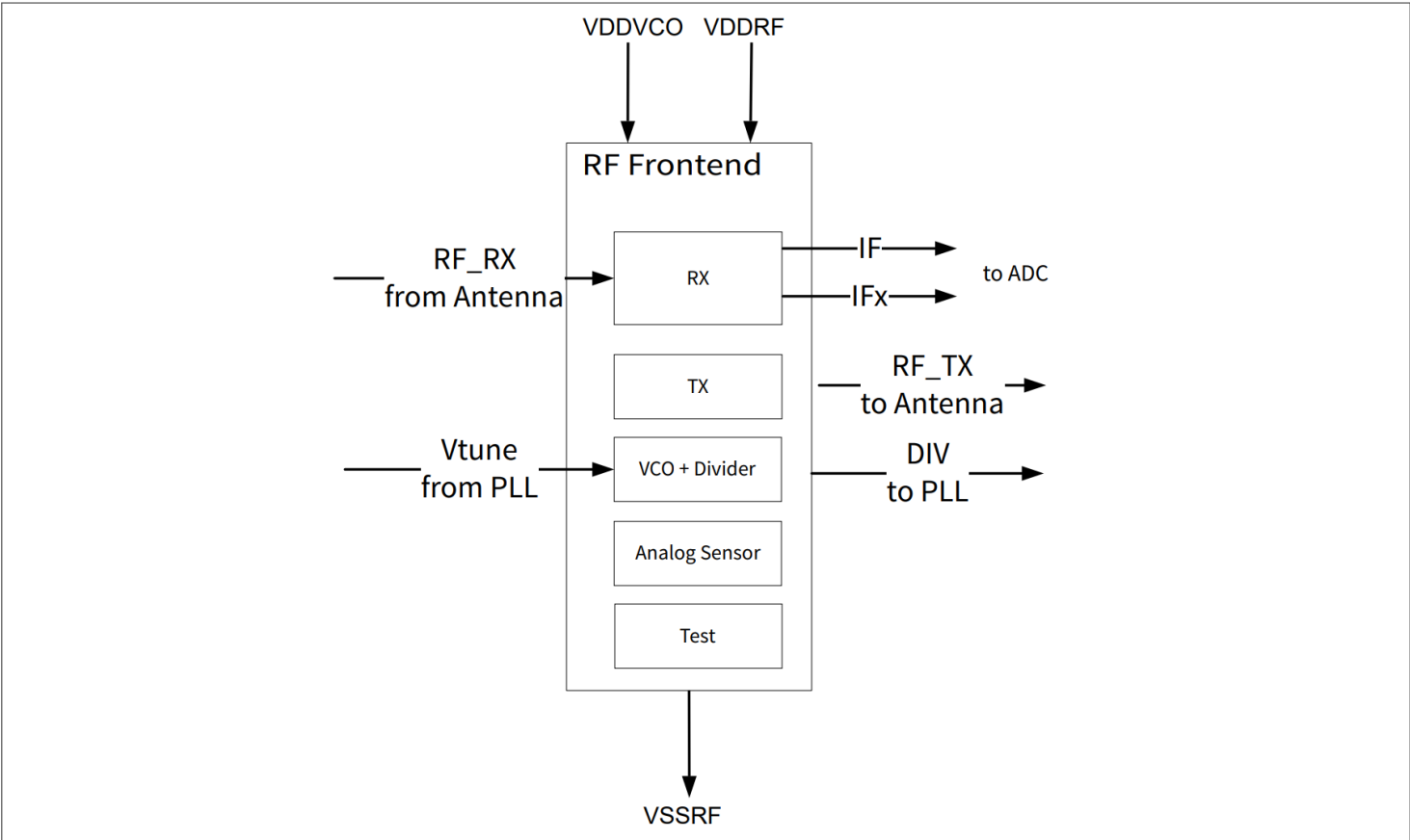


图 41 收发器前端简化框图

7.1.1 片上模拟传感器输出

模拟传感器输出端连接至 SADC。请参见 SADC 输入配置。有关使能引脚的定义，请参见[通道集 up x 寄存器 0](#)。

7.1.2 RF FE 规范

下表列出了在芯片 PAD 接口测量的 RF 前端的目标规范。

表 33 RF FE 规范

最小值和最大值覆盖指定频率范围 $f_{RF} = 57.4 \text{ GHz}$ 至 63.0 GHz 。温度范围为 $T_b = -20^\circ\text{C}$ 至 $+70^\circ\text{C}$ ，电源电压范围为 $VDD_{RF} = 1.71 \text{ V}$ 至 1.89 V （除非另有规定）。

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
Frequency Range	f_{RF}	57.4	-	63.0	GHz	-

Transmitter

Transmit Output Power ¹⁾	P_{TX}	-	5.0	-	dBm	Conducted power
Output Power Variation over Temperature	P_{TX_Temp}	-2.0	-	2.0	dB	For TX DAC set to 31 ₀
Transmitter Power Control Dynamic Range	P_{TXD}	-	15	-	dB	-
DAC Resolution Transmitter Power Control	P_{TXC}	-	5	-	Bits	-

Receiver (for all RX channels)

Receiver Conversion Gain ²⁾	CG_{RX}	12	14	16	dB	-
Conversion Gain Variation Over Temperature	CG_{RX_Temp}	-3	-	3	dB	Including the complete baseband chain
Receiver Single Sideband Noise Figure	$NF_{ssb_{RX}}$	-	12	14	dB	at 100 kHz offset
Receiver 1-dB Compression Point	$P_{-1dB_{RX}}$	-10	-5	-	dBm	-
LO feedthrough at the RX port	$LO_{feed_{RX}}$	-	-30	-	dBm	-
TX-to-RX Isolation	Iso_{TXRX}	-	50	-	dB	-

Sensors

Temperature Sensor Range ³⁾	T_b	-40	-	105	$^\circ\text{C}$	-
Chip Backside Temperature (Temp) Vs Temperature Sensor Readout (T_{sense}) Relation	$Temp$ T_{sense}	$Temp = \frac{T_{sense} - a}{b}$			$^\circ\text{C}$ V	-
Temperature Sensor Offset (a)	a	-0.19025	-0.17530	-0.15925	V	-
Temperature Sensor Slope (b)	b	-	0.001530	-	V/K	-

(表格续下页.....)

表 33 (续) RF FE 规范

最小值和最大值覆盖指定频率范围 $f_{RF} = 57.4\text{ GHz}$ 至 63.0 GHz 。温度范围为 $T_b = -20\text{ }^{\circ}\text{C}$ 至 $+70\text{ }^{\circ}\text{C}$ ，电源电压范围为 $VDD_{RF} = 1.71\text{ V}$ 至 1.89 V （除非另有规定）。

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
Output Power at Chip Pad Vs TX Peak Detector Readout Relation	P_{out} $PPD_PA^{4)}$	$P_{out} = t_1 * \ln\left(\frac{PPD_PA + y_0}{A_1}\right)$ $y_0 = 0.02933\text{ V}$ $A_1 = 0.19253\text{ V}$ $t_1 = 8.912\text{ dBm}$			dBm V	PPD_PA selected
TX Peak Detector Accuracy	PPD_PA_{acc}	-2	-	2	dB	Over f_{RF}
TX Peak Detector Dynamic Range	PPD_PA_{DR}	-10	-	10	dBm	Min. 8 bits

- 1) 在芯片焊垫处。
- 2) 功率电压增益。
- 3) 如果储存温度超过 $125\text{ }^{\circ}\text{C}$ ，温度传感器读数可能会出现额外的漂移，漂移幅度可达 $\pm 20\text{ K}$ 。
- 4) 可通过对 TX 功率放大器输出端的峰值检波器电平进行采样来评估输出功率。该信号必须与参考信号进行比较，以消除传感器的热漂移。

注释： 系统时钟信号的尖峰可能会影响传感器的读数。为了使传感器的读数更加稳定，建议对每个传感器的测量取16个采样的平均值。

7.2 模拟基带：放大器和滤波器

基带放大器和滤波器调整 IF 信号以满足系统要求。它们设置信号电平来驱动全尺寸 ADC 输入而不会削波。

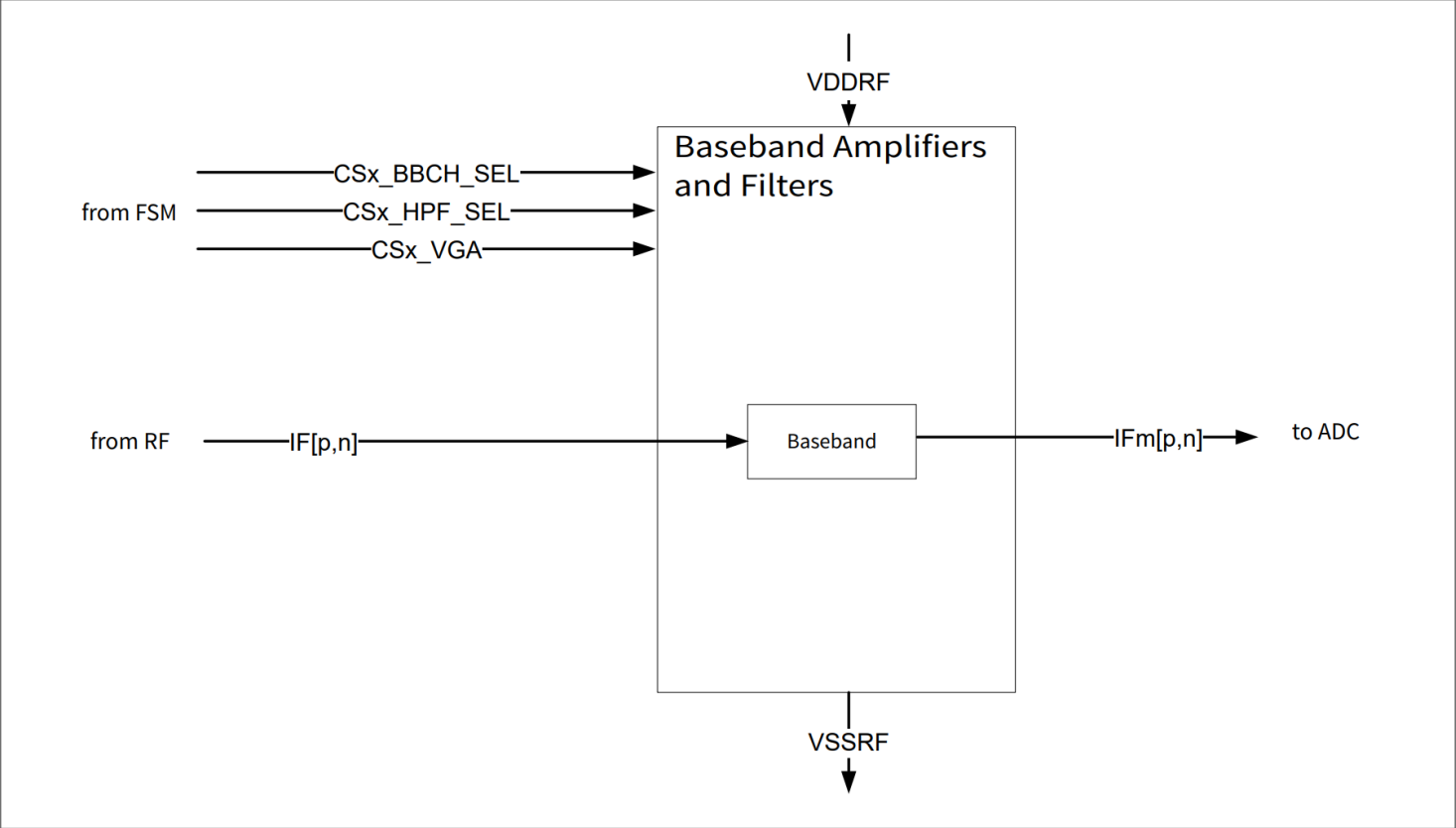


图42 基带放大器和滤波器框图

7.2.1 基带特性

基带模块由 1 个通道组成。每个通道由一个 *HPF*、一个 *VGA* 和一个 *AAF* 以及一个 *ADC* 驱动器组成（参见图 44）。

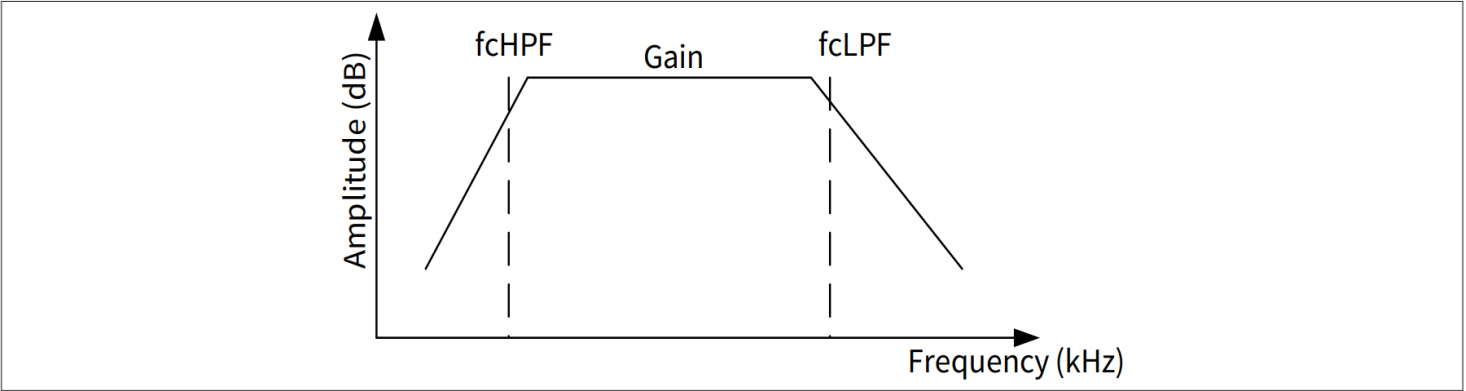


图43 基带特性

使用 HPF 是为了消除 *RX* 混频器输出端的 *DC* 偏移，同时抑制来自近距离无用目标（如雷达罩）的反射信号。

7.2.2 基带要求

HPF 可根据不同的调制参数进行调整，以适应不同的 *fcHPF*。如下表所示，有四种不同的设置可供选择。考虑到雷达系统将处理的预期功率水平，HPF 不应该降低系统的线性度。

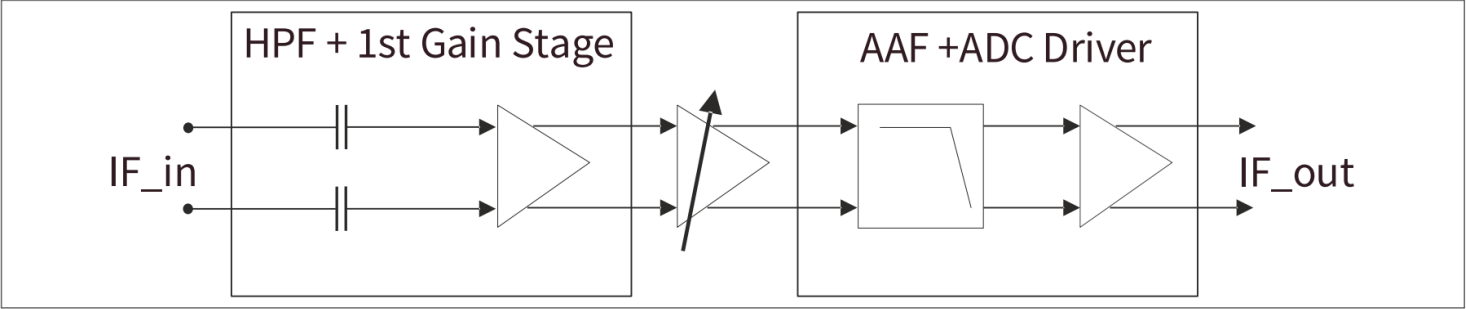


图44 基带简化框图，每个通道一个

在交流耦合 (AC) 后，IF 信号由第一级放大器放大。第一级显示可选电压增益为 18 或 30 dB。可以在 VGA 中以 6 个步骤（每个步骤 5 dB）调整增益，最大增益为 30 dB。VGA 后面跟着一个两级四极 AAF。

AAF 截止频率可设置为 600 kHz 或 1 MHz。然后，信号被应用于 ADC 驱动放大器，该放大器的增益为 1。ADC 驱动器的截止频率高于 1 MHz。

总体而言，基带链的最大增益可设置为 60 dB。

下表概述了基带链的具体参数。

表 34 高通滤波器的选择

VDD_{RF} = 1.71 V 至 1.89 V， T_b = -20 °C 至 +70 °C

Parameter	Value			Unit	Description
	Min.	Typ.	Max.		
Fc_HPF_0	-	20	-	kHz	HPF 3 dB cutoff frequency
Fc_HPF_1	-	40	-	kHz	HPF 3 dB cutoff frequency
Fc_HPF_2	-	80	-	kHz	HPF 3 dB cutoff frequency
Fc_HPF_3	-	140	-	kHz	HPF 3 dB cutoff frequency
Fc_HPF_4	-	160	-	kHz	HPF 3 dB cutoff frequency

表 35 基带增益级

VDD_{RF} = 1.71 V 至 1.89 V， T_b = -20 °C 至 +70 °C。

Parameter	Value			Unit	Description
	Min.	Typ.	Max.		
1 st Gain Stage	-	18/30	-	dB	Selectable, by design
VGA	-	30	-	dB	6 steps
VGA Step Size	4	5	6	dB	-

表 36 抗混叠滤波器规范

VDD_{RF} = 1.71 V 至 1.89 V， T_b = -20 °C 至 +70 °C。

Parameter	Value			Unit	Description
	Min.	Typ.	Max.		
fcLPF1	450	500	650	kHz	3 dB cutoff frequency
fcLPF2	-	1000	-	kHz	3 dB cutoff frequency

(表格续下页.....)

表 36 (续) 抗混叠滤波器规范

VDD_{RF} = 1.71 V 至 1.89 V, T_b = -20 °C 至 +70 °C。

Parameter	Value			Unit	Description
	Min.	Typ.	Max.		
LPF_Order	-	4 th	-	-	Four poles, by design
LPF_Flatness	-	1	-	dB	In band flatness, ensured by design

8 MADC 域功能规范

多通道 ADC(MADC) 块由 1 个差分 [逐次逼近寄存器\(SAR\)](#) ADC 组成。ADC 可捕捉 [ABB](#) 的差分 [IF](#) 输出信号，并将其转换为数字信号。

1.5 V 电源 (V_{DDC}) 由专用 [LDO](#) 内部产生（见 [图 5](#)）。ADC 的参数在 [ADC 控制寄存器](#) 中设置。MADC 的每个通道可通过 [通道集 up x 寄存器 1](#) 中的 MADC_BBCH_EN 位与各自的基带通道一起启用/禁用。为简化通道数据流，可通过 [通道集 up x 寄存器 1](#) 中的 BBCH_SEL 选择通道。另请参阅 [PLL 形状 x 寄存器 3](#) 和 [第 5.2 章](#) 中的 APU 和 APD。

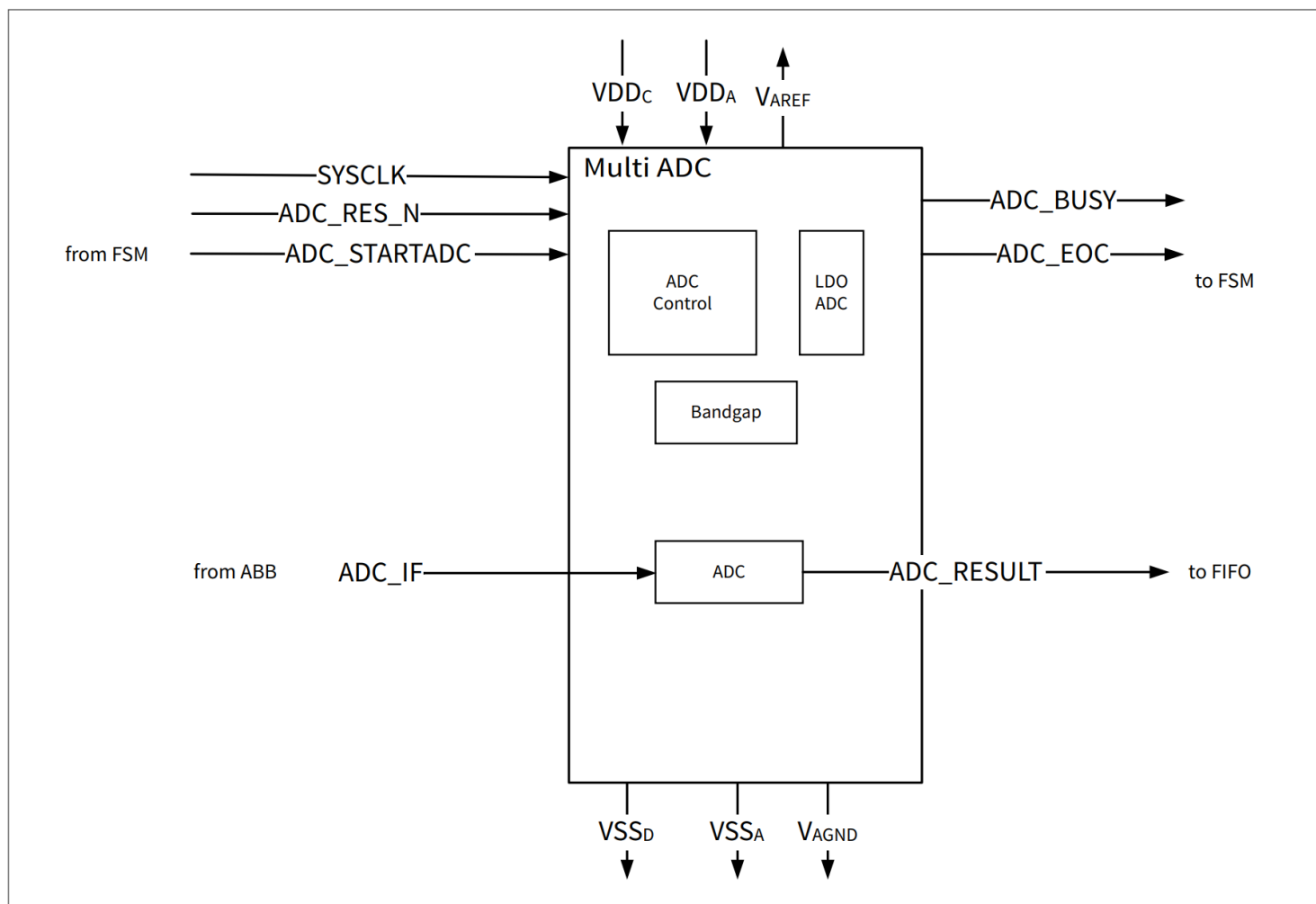


图 45 MADC 框图

8.1 MADC 电源电压要求

ADC 域的电源电压由引脚 V_{DDA} 提供，内部 ADC 基准电压的输出由引脚 V_{AREF} 提供。为了滤除开关效应引起的电压纹波，应在 [印刷电路板\(PCB\)](#) 上使用低 [等效串联电阻\(ESR\)](#) 旁路电容器 $C_{b2} = 470 \text{ nF}$ 。

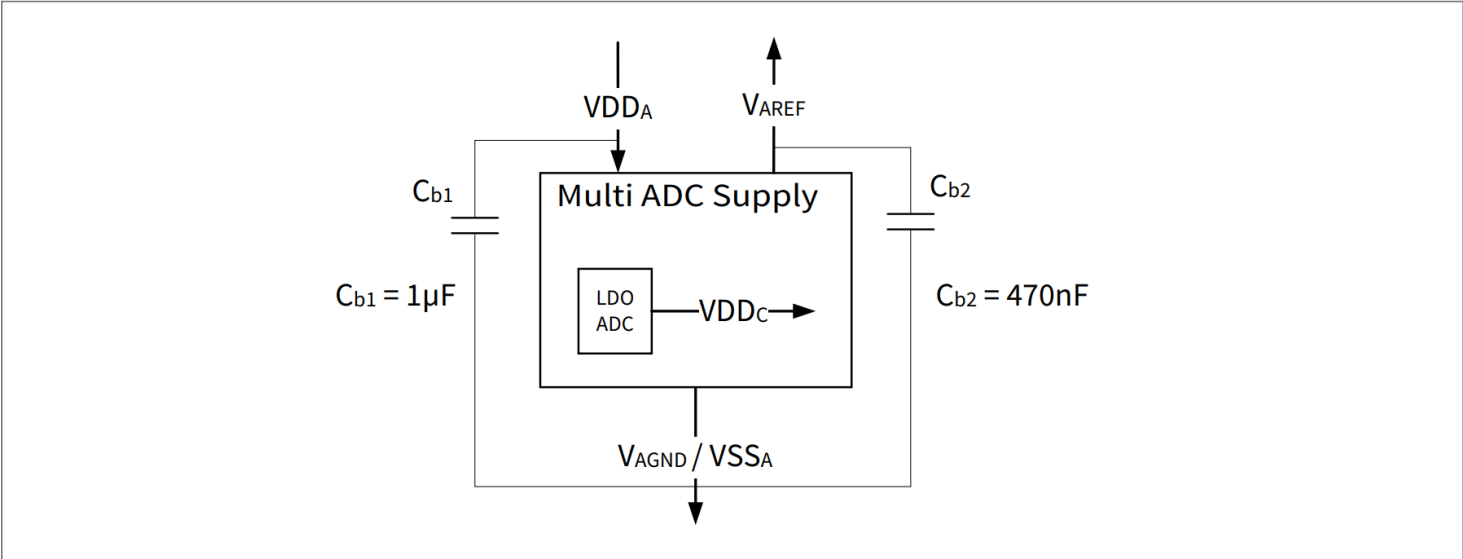


图 46 MADC 输入引脚要求

V_{AGND} 共享 PCB 上的相同模拟接地连接引脚 VSS_A 。旁路电容器应尽可能靠近这些引脚安装。

表 37 MADC 基准电压

$VDD_A = 1.71\text{ V}$ 至 1.89 V , $T_b = -20\text{ }^{\circ}\text{C}$ 至 $+70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
Positive reference voltage with respect to V_{AGND} , generated internally	V_{AREF}	1.10	1.21	1.29	V	-
Negative analog reference voltage	VSS_A	-0.1	0	-	V	Refers to board design ground plane

8.2 MADC 规范

下表列出了 ADC 的参数。数值包含一次过转换。所有参数仅在执行启动校准后有效。所有参数均不针对生产测试。

注释 $f_{ADC_CLK} = f_{SYS_CLK}$

备注：

如果 ADC 在带隙上电（通道集控制 x 寄存器 中的 BG_EN）之前开始采样，结果将显示一些增益误差。为避免这种情况，请遵循第 8.4 章中介绍的带隙上电时序。

表 38 MADC 参数

$V_{DDA} = 1.71\text{ V}$ 至 1.89 V , $T_b = -20\text{ }^{\circ}\text{C}$ 至 $+70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Value			Unit	Condition
		Min.	Typ.	Max.		
Resolution	Resolution	-	12	-	Bits	With default settings and tracking conversion Table 41
Analog input voltage	V_A	0.145	-	1.455	V	-
ADC Clock Frequency	$f_{\text{ADC_CLK}}$	75	80	85	MHz	$f_{\text{ADC_CLK}} = f_{\text{SYS_CLK}}$ See Chapter 2.2 78 MHz not allowed
Signal to noise ratio	SNR	55	64	-	dB	@ -6 dB FS
Spurious free dynamic range	$SFDR$	58	69	-	dB	@ -6 dB FS @ 600 kHz
Inter modulation product	$IM3$	-62	-69	-	dB FS	@ -12 dB FS each input tone @ 600 kHz max f @ 50 kHz Δf
Bandwidth input buffer	BW	600	-	-	kHz	1 st order Filter in input Buffer
Conversion time – excluding sample time	N_{conv}	-	24	-	Counts of clk	Including one tracking conversion, sampling time not included
Sampling time	T_s	4	-	-	Counts of clk	@ 76.8/80 MHz
Wake up time – bandgap and BG reference Buffer	T_{WUBGB}	300	600	1000	μs	-
Wake up time – ADC ¹⁾	T_{WUADC}	-	660	-	Counts of clk	without start-up calibration
Startup calibration time ²⁾	T_{SUCAL}	3361	6049	16801	Counts of clk	ADC0:DSCAL= 0 _B Typical conditions: ADC0:STC=1 _B ADC0:MSB_CTRL= 1 _B
Setup time common mode input voltage	T_{VCM}	-	-	1	μs	-
Power supply Rejection Ratio on V_{DDs}	$PSRR$	20	-	-	dB	-

1) 启用校准时间时的总唤醒时间 = $T_{\text{WUADC}} + T_{\text{SUCALo}}$

2) $T_{\text{SUCAL}} = (1792 * 2^{\text{ADC0:STC}} + 896 * \text{ADC0:MSB_CTRL} + 1569) * T_{\text{SYS_CLKo}}$

设计确保的参数

8.3 MADC 时序图

接口与主时钟完全同步。下图显示了单次跟踪且无过采样情况下的 12 位转换时序。因此，在 80 MHz 时钟输入下，ADC 的最大速度设定为 2.5 MSps。图 47 显示了 SAR ADC 时序。

重要提示：所有配置信号在运行转换期间（start_adc 和 eoc 之前的一个周期之间）必须稳定。

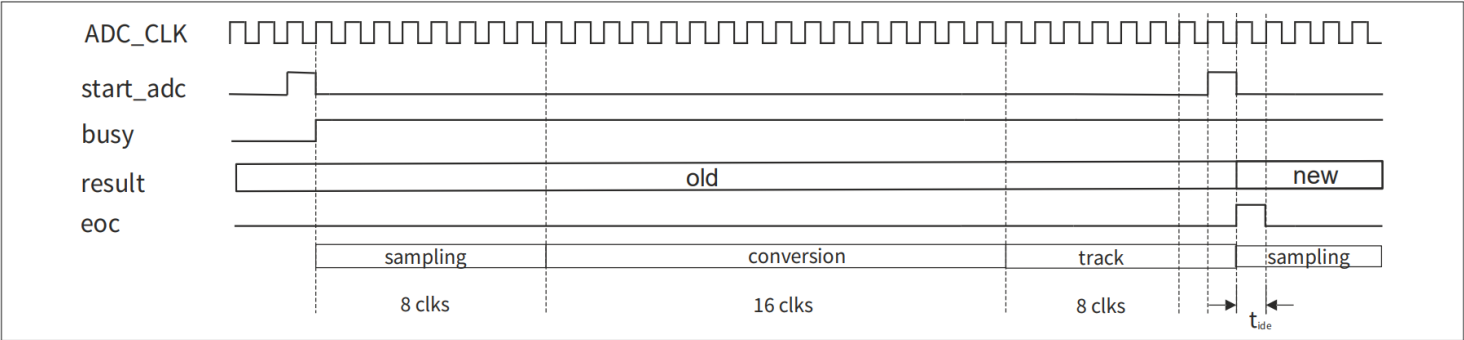


图 47 SAR ADC 转换时序图

8.4 MADC 启动序列

下图显示了完整 ADC 的启动顺序。

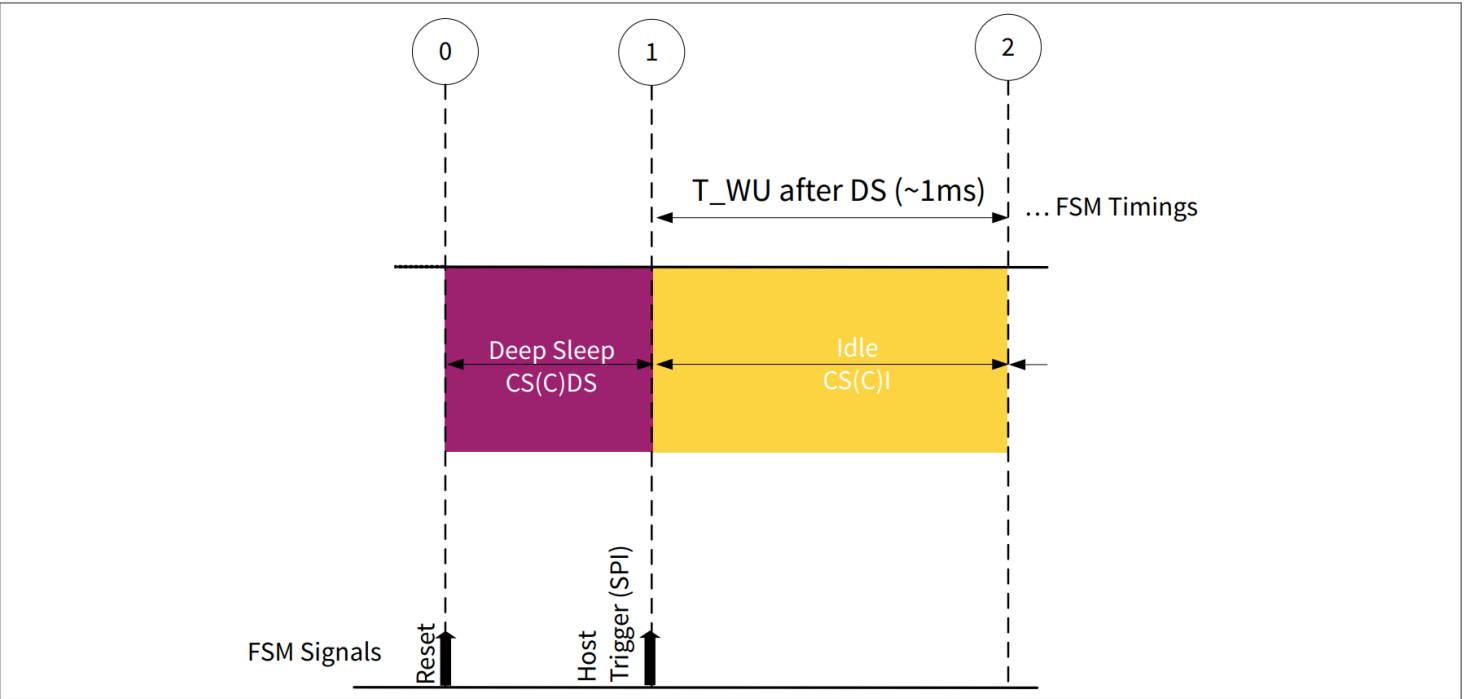


图48 MADC 启动时序约束

在主机复位和触发后，FSM 将从 DS 电源模式进入空闲电源模式。此处， T_{WKUP} 代表带隙稳定所需的总时间，也是 ADC 稳定所需的最长时间。

表39 MADC 启动时序约束

$V_{DDA} = 1.71\text{ V}$ 至 1.89 V , $T_b = -20\text{ }^{\circ}\text{C}$ 至 $+70\text{ }^{\circ}\text{C}$ 。

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
Wake up time	T_{WUADC}	8.25			μs	@ $f_{\text{SYS_CLK}}$
Setup time common mode input voltage	T_{VCM}			1	μs	
Wake-up time for bandgap and bandgap reference buffer	T_{WU}	300		1000	μs	

8.5 MADC 转换率

ADC 的时钟输入为 $f_{\text{ADC_CLK}} = f_{\text{SYS_CLK}} = 76.8/80\text{ MHz}$ ，源自系统时钟。

一次转换可包括三个不同阶段：

- 采样
- 转换
- 跟踪

8.5.1 采样

在第一阶段，模拟输入电压被采样到输入电容器上。持续时间由 ADC0:STC 位控制（参见 ADC 控制寄存器）。下表显示了寄存器 ADC0:STC 值、时钟周期 STC_NUM 和采样时间之间的联系。

表 40 ADC0:STC 值表

ADC0:STC	Sampling clock periods STC_NUM	Sampling time t_{sample} in ns ($f_{\text{ADC_CLK}} = 80\text{ MHz}$)
0 _D	4	50
1 _D	8	100
2 _D	16	200
3 _D	32	400

采样时间计算公式为： $N_{\text{sample}} = \text{STC_NUM}$ 。

8.5.2 转换

来自采样电容器的电荷被重新分配到 13 + 2 个电容器中。为了识别结果的 **最低有效位 (LSB)**，需要 13 个时钟周期。为了识别结果的 **MSB** 位，需要使用一个或两个时钟周期，具体取决于寄存器设置 ADC0:MSB_CTRL（参见 **ADC 控制寄存器**）：

- 如果 MSB_CTRL 设置为 0_B，则仅使用单个 (1) 时钟周期
- 如果 MSB_CTRL 设置为 1_B，则使用两个时钟周期 (+2)

重新分配时间的计算公式为 $N_{\text{conv}} = (13 + 2 + \text{ADC0:MSB_CTRL})$ ，结果为 16 个时钟周期或 17 个时钟周期。

8.5.3 跟踪

在这种模式下，ADC 执行单次采样转换，然后进行多次跟踪转换，具体取决于 ADC0:TRACK_CFG 位的设置（参见 ADC 控制寄存器）。

表 41 ADC0:TRACK_CFG 值

ADC0:TRACK_CFG	Additional conversions TRACK_CFG_NUM	Remarks
0 _D	0	
1 _D	1	Default
2 _D	3	
3 _D	7	

一次跟踪转换的持续时间为： $N_{\text{track}} = 8$ 。

单个结果的所有跟踪转换的持续时间为： $N_{\text{track_all}} = 8 * \text{TRACK_CFG_NUM}$ 。

8.5.4 ADC 转换率

根据第 8.5.1 章、第 8.5.2 章和第 8.5.3 章的定义，单次转换的周期如下：

$$N_{\text{ADC_CONV}} = N_{\text{samp}} + N_{\text{conv}} + N_{\text{track_all}} \quad (20)$$

其中： N_{samp} 分别为采样周期数、 N_{conv} 转换周期数和 N_{track} 跟踪周期数。

ADC 与 $f_{\text{SYS_CLK}}$ 同步。

8.5.5 ADC 采样率

ADC 采样率由 ADC0:ADC_DIV 值控制（参见 ADC 控制寄存器）。ADC 的采样率由 $f_{\text{ADC_SAMP}} = f_{\text{ADC_CLK}} / \text{ADC_DIV}$ 给出。ADC0:ADC_DIV 值需要大于单个 ADC 转换所需的时钟周期数，如第 8.5.4 章所述。

ADC 的采样率为：

$$f_{\text{ADC_SAMP}} = f_{\text{ADC_CLK}} / \text{ADC_DIV} \quad (21)$$

其中： $\text{ADC_DIV} \geq N_{\text{ADC_CONV}}$

表 42 ADC 采样率

$V_{\text{DDA}} = 1.71 \text{ V}$ 至 1.89 V ， $T_{\text{b}} = -20^\circ\text{C}$ 至 $+70^\circ\text{C}$ 。

Parameter	Symbol	Values			Unit	Condition
		Min.	Typ.	Max.		
ADC sampling rate	$f_{\text{ADC_SAMP}}$	-	2	4	MHz	-
Effective number of bits resolution	ENOB	-	10.5	-	Bits	-

9 片上模拟传感器

为测量 BGT60UTR11AIP TX 输出的 RF 功率和温度，芯片提供了额外的传感器。为此，片上 ADC 的输入在 RX 前端、功率传感器和温度传感器之间进行切换。转换时间取决于 ADC0 寄存器中编程的 ADC 设置。

正常运行时，切换由 FSM 完成，无需与应用处理器或微控制器进行任何交互。不过，用户必须确保时间和设置正确无误。每个传感器都可以通过配置相应的位字段来启用或禁用，例如：CSUx_0:PD_EN 用于功率传感器，以及 CSDx_0:TEMP_MEAS_EN 用于温度传感器。

当没有帧活动时，也可以选择手动触发并读取片上传感器。为此，可以激活 CW 模式（参见 [CW 模式](#)），选择所需的传感器并触发转换。

9.1 功率传感器

要测量 Up chirp 中 TX 输出的 RF 功率，必须确保以下几点（见 #6）。

1. CSUx_0:PD_EN = 1_B
2. T_PAEN + T_PSSTART ≥ 1 μs（开关时间）
3. T_PSSTART ≥ 0.5 μs（PA 建立时间）
4. T_SSTART ≥ T_PSSTART + 1 μs + T_CONV（ADC 转换时间）

转换结束后，结果将存储在寄存器 [传感器 ADC 结果寄存器](#) 中。

异常：在某些极少数情况下，由于时序违规，功率传感器读数可能显示 0_b 值。0_b 并不是有效值。

解决办法：出现这种情况时，应重复读取传感器结果。最多重复读取 5 次，即可避免得到错误值。

9.2 温度感应器

要测量 up chirp（锯齿形）或 down chirp（三角形）的温度，必须确保以下几点：

三角形（见 #17）

1. CSDx_0:TEMP_MEAS_EN = 1_B
2. T_START + T_RAMP + T_END ≥ T_PAEN + T_SSTART + T_ACQx + 1 μs
3. T_EDDMIN ≥ T_CONV¹⁾

转换结束后，结果将存储在寄存器 [传感器 ADC 结果寄存器](#) 中。

异常：在某些极少数情况下，由于时序违规，温度传感器读数可能显示 0_b 值。0_b 并不是有效值。

解决办法：出现这种情况时，应重复读取传感器结果。最多重复读取 5 次，即可避免得到错误值。

9.3 手动传感器转换

要在无活动帧的情况下随时手动测量温度或 RF 功率，可使用 [CW 模式](#)。为此，必须启用温度传感器或功率传感器，并使芯片处于相应状态。温度可以在 [有限状态机](#) 的任意状态下进行测量，而 RX 功率则只能在功率放大器处于活动状态时进行测量。为此，需要对六个 (TRIG#6) FRAME_START 触发器进行编程，使 [有限状态机](#) 进入 PA 活动状态。

¹⁾ T_CONV：ADC 转换时间取决于 ADC 设置

当通过 ADC1:SENSOR_SEL 选择所需传感器并通过 ADC0:TRIG_MADC 触发后，即可从 SENSOR_RESULT 寄存器读取传感器测量结果。由于只有不为 0_b 的值才是有效结果，如果结果等于 0_b，则必须再次重复传感器测量过程。在传感器读数为 SENSOR_RESULT = 0_b 后，可采用下述方式直接进行重复测量：首先将位字段 ADC1:SENSOR_SEL 切换为 0_b，然后返回所需的 ADC 通道（1_b... 功率传感器，2_b ... 温度传感器），随后通过 ADC1:TRIG_MADC 手动触发 ADC。

10 增强功能

10.1 芯片 ID 读出

读出顺序：

1. 通过单次专用 [SPI](#) 设置 EFUSE0:EFUSE_EN = 1_B 来启用 EFUSE 模块（参见 [EFUSE 寄存器 0](#)）
2. 通过单次专用 SPI 写入设置 EFUSE0:EFUSE_SENSE = 1_B 来启动感应操作
3. 等待 2 μs 或轮询寄存器字段 EFUSE1:EFUSE_READY = 1_B（参见 [EFUSE 寄存器 1](#)）
4. 从 CHIP_ID0 和 CHIP_ID1 读取器件 ID（见 [芯片 ID 寄存器 1](#) 和）
5. 禁用 EFUSE 模块 EFUSE0:EFUSE_EN = 0_B

10.2 数据测试模式

芯片内置 [LFSR](#)。它将生成一个伪随机位 M 序列，可用于填充 [FIFO](#)。该模块可用于开发和测试从 BGT60UTR11AIP 上的 FIFO 到 [AP](#) 存储器（包括固件和驱动程序）的完整流水线，并具有确定的位序列。为此，12 位 ADC1 输出数据由 LFSR 生成的 12 位数据取代。

实现的 LFSR 由以下多项式描述： $x^{12}+x^{11}+x^{10}+x^4+1$ 并以种子 1_D 启动。

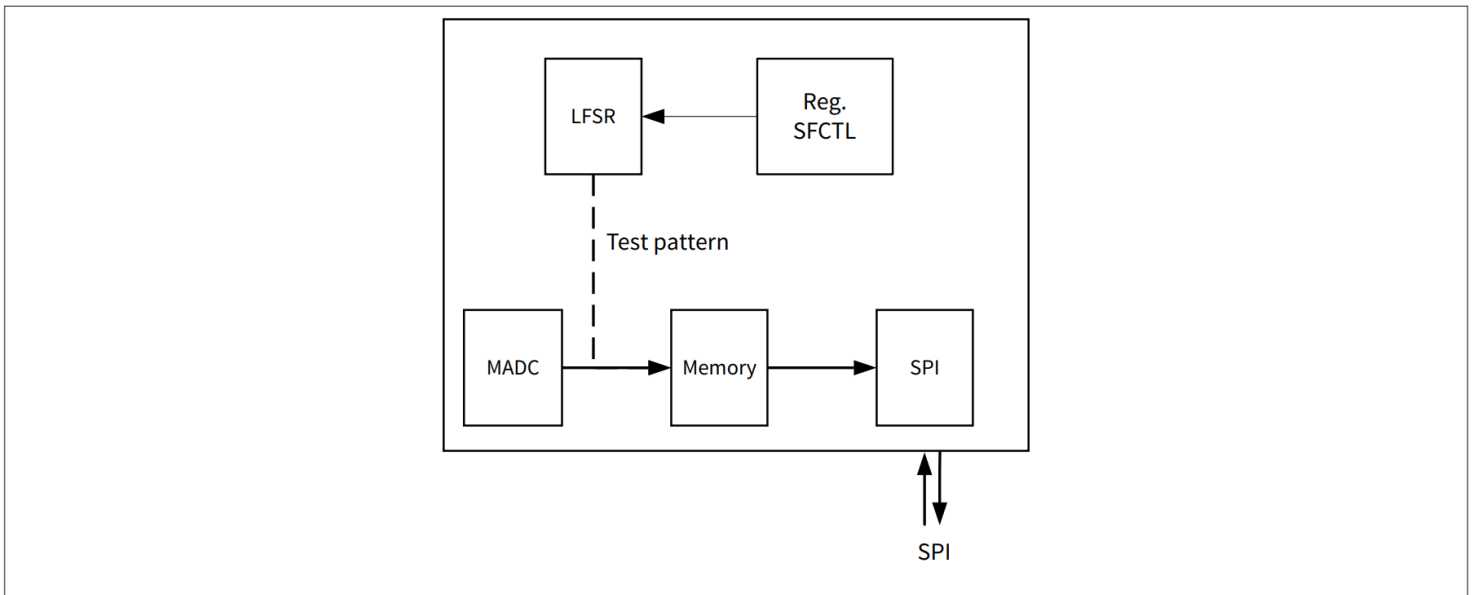


图 49 数字流水线简化框图

第一个 [ADC](#) 通道输出数据流被来自 LFSR 发生器的数据序列所旁路替代。因此，只有 ADC1 输出数据被 LFSR 数据取代。

- 通过 MAIN:FSM_RESET = 1_B 对 LFSR（参见 [主寄存器](#)）进行起始种子的初始化。
- 使能位 SFCTL:LFSR_EN = 1_B（参见 [SPI 和 FIFO 控制寄存器](#)），以激活 LFSR 并生成已知测试数据

10.3 CW 模式

在 [连续波 \(CW\)](#) 模式下，该器件将设置为提供恒定的输出频率。在 CW 模式期间不执行任何形状。

在此模式执行期间：

- 形状寄存器中定义的频率/时间参数被忽略

- [PLL / RF / ADC](#) 使用 PLL DFT0 (见 [PLL 测试寄存器 0](#)) 和 CSU1 (见 [通道集 up x 寄存器 1](#)) 中的编程值运行。
- 所有其他 CS_x/形状设置均不移交给功能块
- REPS/REPC/REPT 的值和帧相关时间用于形成“虚拟帧”
- 可以按照该“虚拟帧”的结构从 [FIFO](#) 中读取数据

注释: 出于测试目的, “虚拟帧”定义应保持不变: 例如1 个形状、1 个CS

10.3.1 启用 CW 模式

在使用 [CW](#) 模式之前, 至少应在上电后进行一次 [HW](#) 复位。如果芯片已经启动并运行, 则可使用 [SW](#) 复位。在此之后, 为了启用 CW 模式, 应遵循以下步骤:

- 启用 MAIN: CW_MODE = 1_B (请参阅[主寄存器](#))。
- 根据定义的“虚拟帧”初始化芯片寄存器 ([通道集 up x 寄存器 0](#) 和 [PLL 形状 x 寄存器 0](#) 中的设置)
- 启用时钟: PACR1: OSCCLKEN (参见 [PLL 模拟控制寄存器 1](#))
- 通过形状 1 中的 PLLx: FSU 设置来设置频率
- 为 CSDS/CSI/CSU1 设置通道集 (参见[通道集深度睡眠寄存器 0](#))
- 设置 PLL DFT0: byprmpen=1_B (参见 [PLL 测试寄存器 0](#))

通过使用 FRAME_START 作为触发器, 可以将芯片设置为如下图所示的不同形状状态。

- TRIG#1: 跳转到 1 (DS -> Idle)
- TRIG#2: 跳转到 2 (IDLE -> Init0)
- TRIG#3: 跳转到 3 (INIT0 -> Init1)
- TRIG#4: 跳至 4
- TRIG#5: 跳至 6

频率更新: 在此阶段, 输出频率可以更新/编程 (FSU) 为任意值, 并且当前频率将在 DFT0: byprmpen = 0_B -> 1_B 的 PLL 转换后立即更新。

- TRIG#6: 跳至 7

在此阶段, APU 的采样数由 [ADC](#) 根据 ADC0 的设置产生。如果 APU=0_D 未生成触发器, 则可以通过 ADC0: TRIG_MADC 手动触发 MADC。一旦生成了 APU 数量的样本, 就可以在 [FSM](#) 重置后自动生成另一个样本。

- TRIG7: 跳至 8
- TRIG8: 跳至 10
- TRIG9: 跳至 11
- TRIG_x

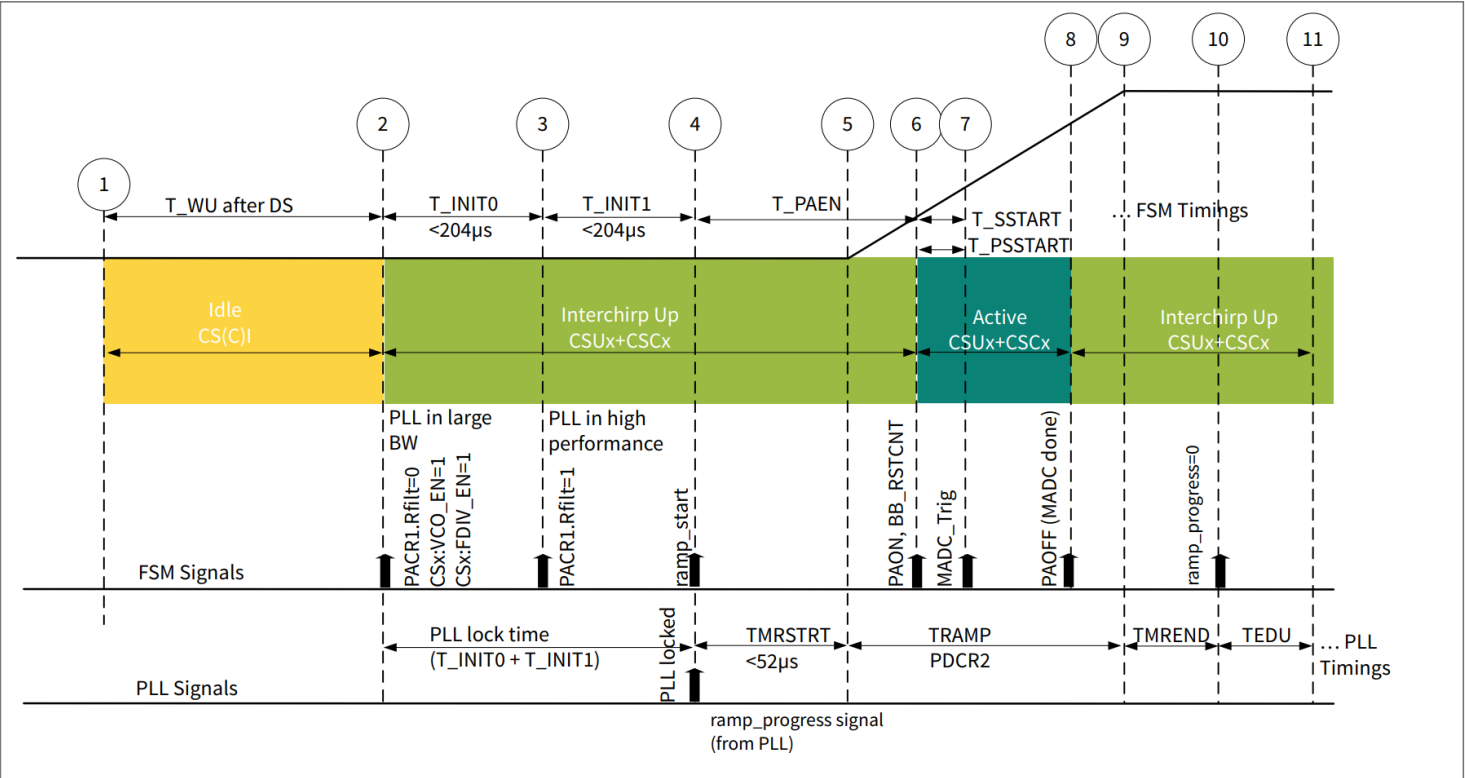


图 50 "虚拟帧"期间可遵循的步骤

FSM 重置将把 FSM 设置回初始状态，以便通过 TRIG1 重新启动。

此特定模式还用于测试芯片在特定序列期间的功耗。它将提供机会来打破在雷达（主动）模式期间以静态步骤运行的预期形状，其中可以测量电流消耗。

10.3.2 基带和 ADC 测试模式

测试音发生器可与 CW 模式配合使用。模拟接收链中可激活一个源自系统时钟的测试信号源；每个 Rx 链中也一样。该测试信号可在寄存器 RFT0 中编程（参见 RF 测试寄存器 0）。通过启用专用路径，测试音可以传播到每个基带链。MADC 由 TRIG7 的触发，并将采样 APU1 中指定的样本数量（参见 PLL 形状 x 寄存器 3）。要运行新的测量，需要执行 FSM 重置。

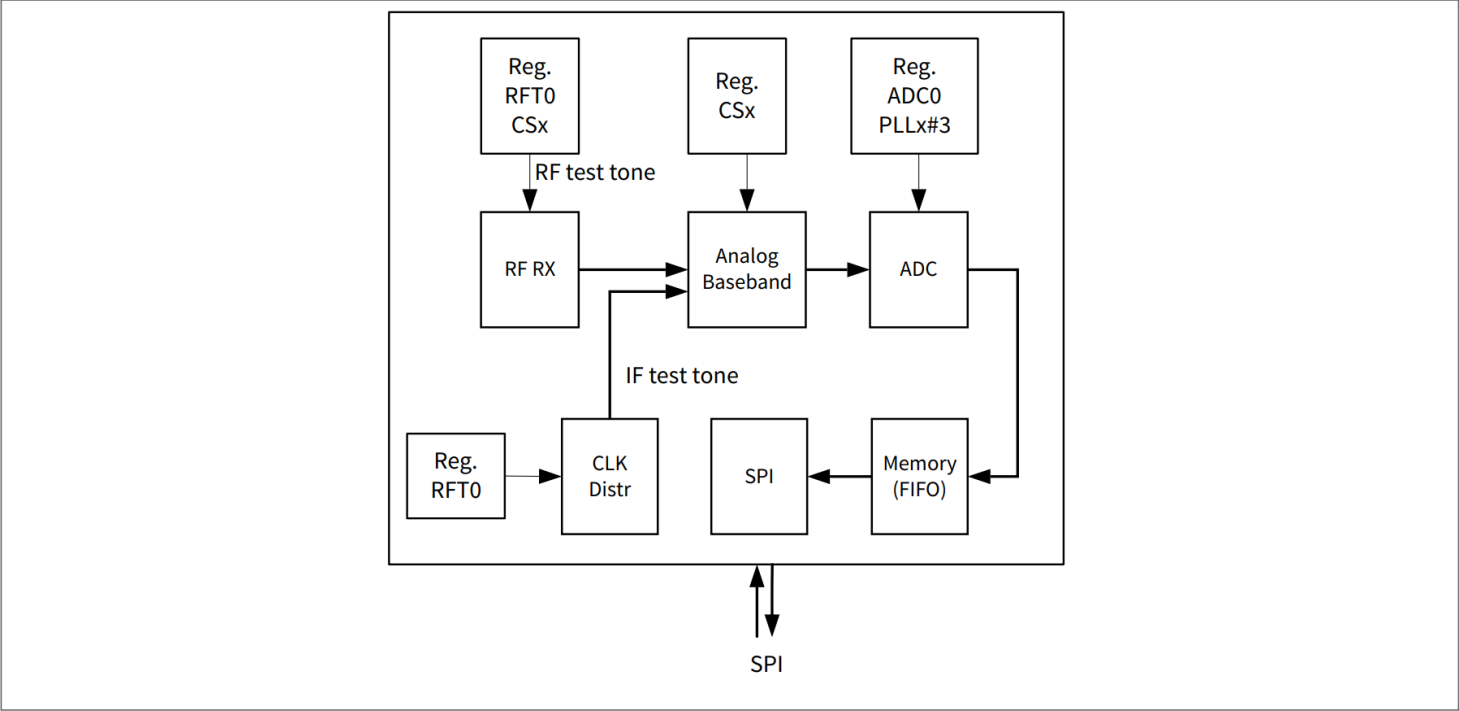


图 51 基带/ADC 测试框图

此功能提供了一种非常便捷的测试和调试完整系统的方法。客户可以编程指定频率，设置 [HPF](#) 的基带增益和截止滤波器（[通道集 up x 寄存器 2](#)），设置 [ADC](#)，并通过 [SPI](#) 将采样数据读入 [AP](#) 或 [MCU](#)，以验证整个基带链是否按预期工作。

下图显示了 ADC 读数的一个示例，当基带输入一个内部源自 OSC_CLK 输入的 400kHz 测试音时。报告了不同 VGA 设置下的不同读数。

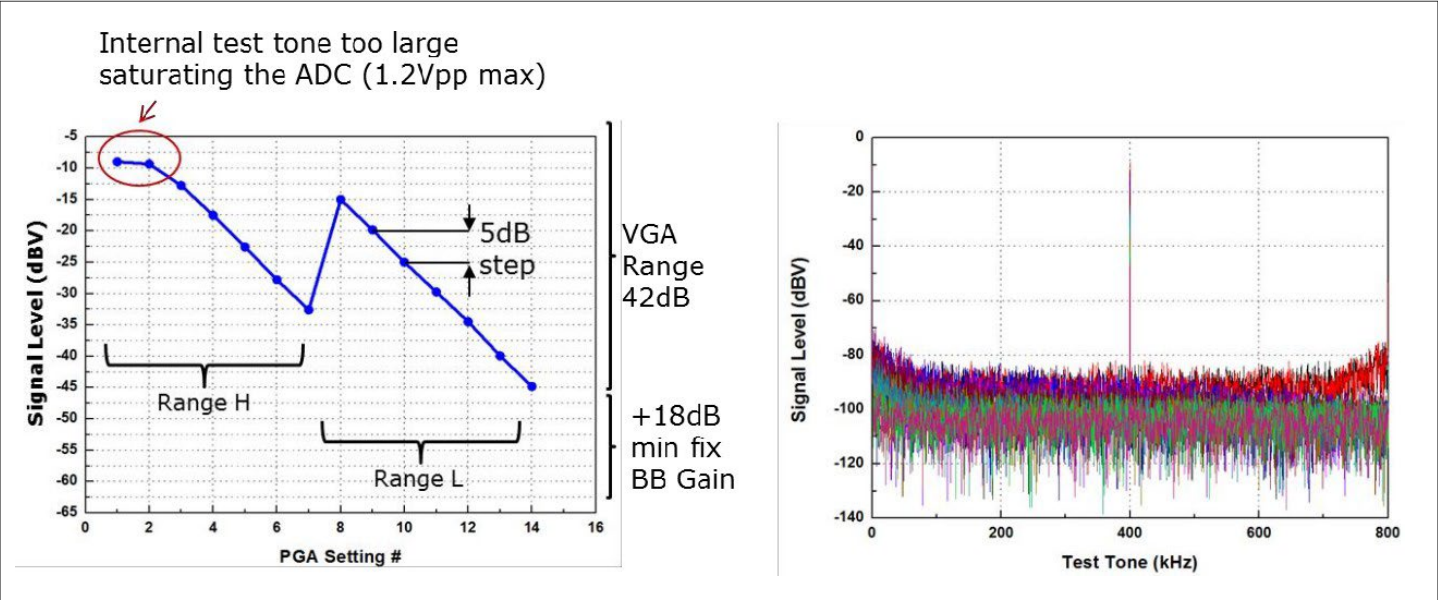


图 52 示例：FFT 后的 ADC 读数

10.4 IRQ 输出

BGT60UTR11AIP 提供一个中断引脚输出（IRQ）。在默认模式下，IRQ 信号用于监视 [FIFO](#) 的填充水平，如下所述。

IRQ 状态定义：

- IRQ 在以下情况下为高：
 - CSN 变为高电平，FSTAT:FILL_STATUS $\geq$ SFCTL:FIFO_CREF（参见 [SPI 和 FIFO 控制寄存器](#) 和 [FIFO 状态寄存器](#)）。
- IRQ 较低（由于）：
 - CSN 变为高电平，FSTAT:FILL_STATUS $<$ SFCTL:FIFO_CREF（另见 [第 4.9 章](#) 和 [第 4.48 章](#)）。
 - CSN 为低电平有效

下图显示了 FIFO 突发读取情况下的 IRQ 信号。

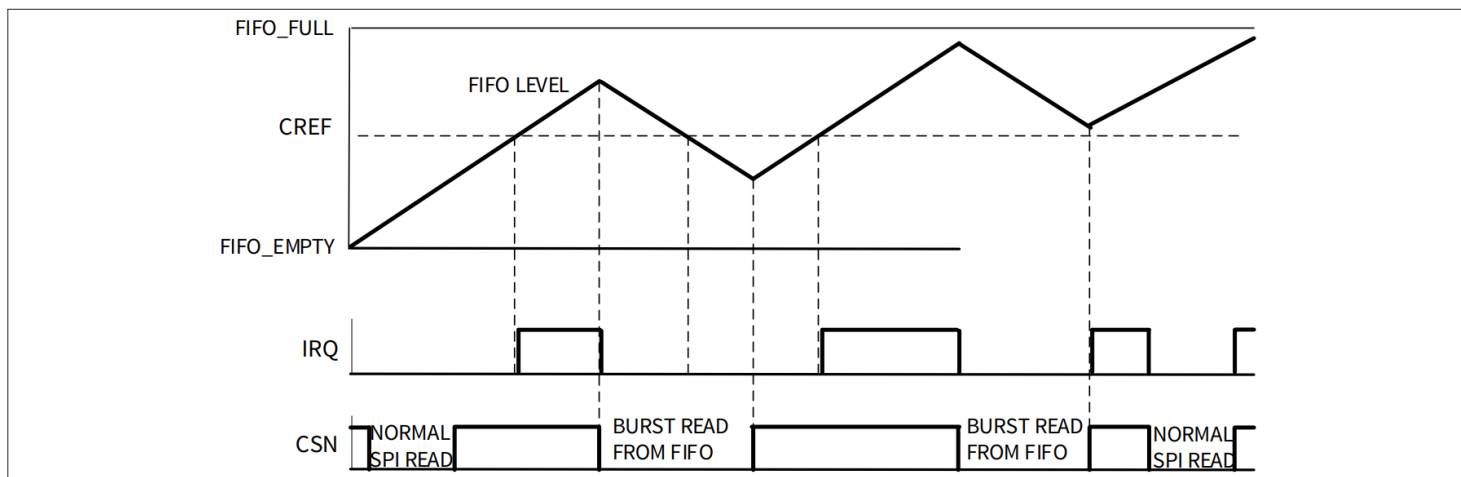


图 53 **FSM 捕获数据时雷达模式下的 IRQ 状态行为**

11 封装

BGT60UTR11AIP 芯片采用层压封装，焊球直径为 300 μm ，并集成了天线。根据 IPC/JEDEC 的 J-STD0，[湿度灵敏度\(MSL\)](#) 为 3。图 54 显示了 BGT60UTR11AIP 封装的俯视图和天线贴片中点的距离。底视图如图 55 所示。封装尺寸为 4.05 x 4.05 x 0.86 mm³，焊球间距为 500 μm 。封装外形如图 56 所示。封装名称：PG-VF2BGA-28-1。

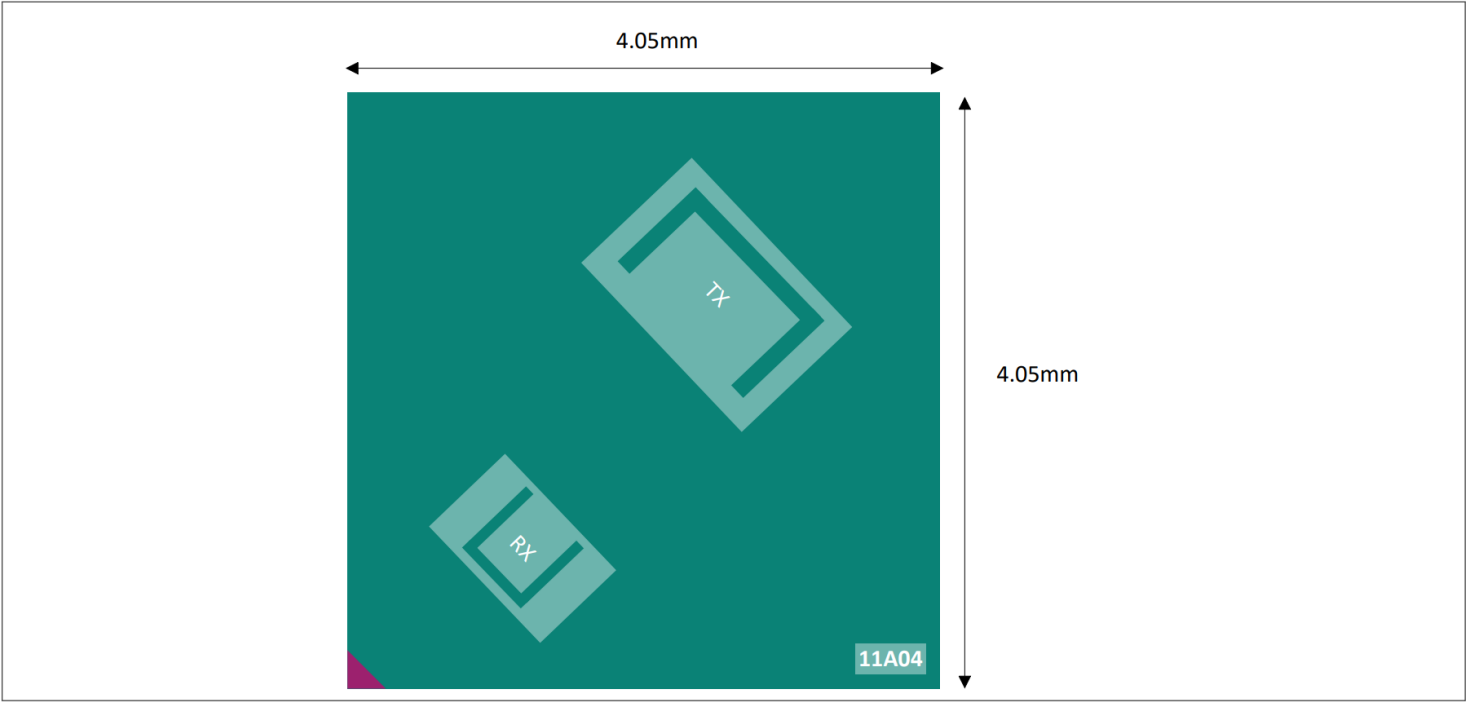


图 54 BGT60UTR11AIP 顶视图

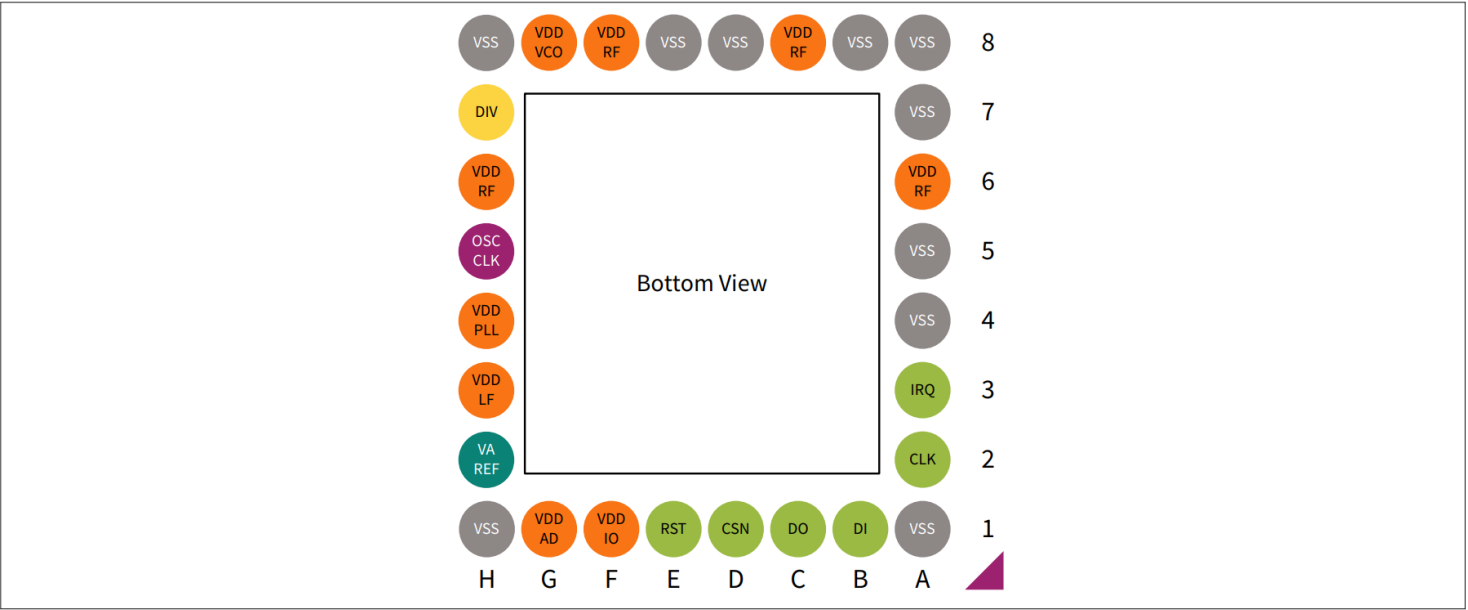


图 55 BGT60UTR11AIP 底视图

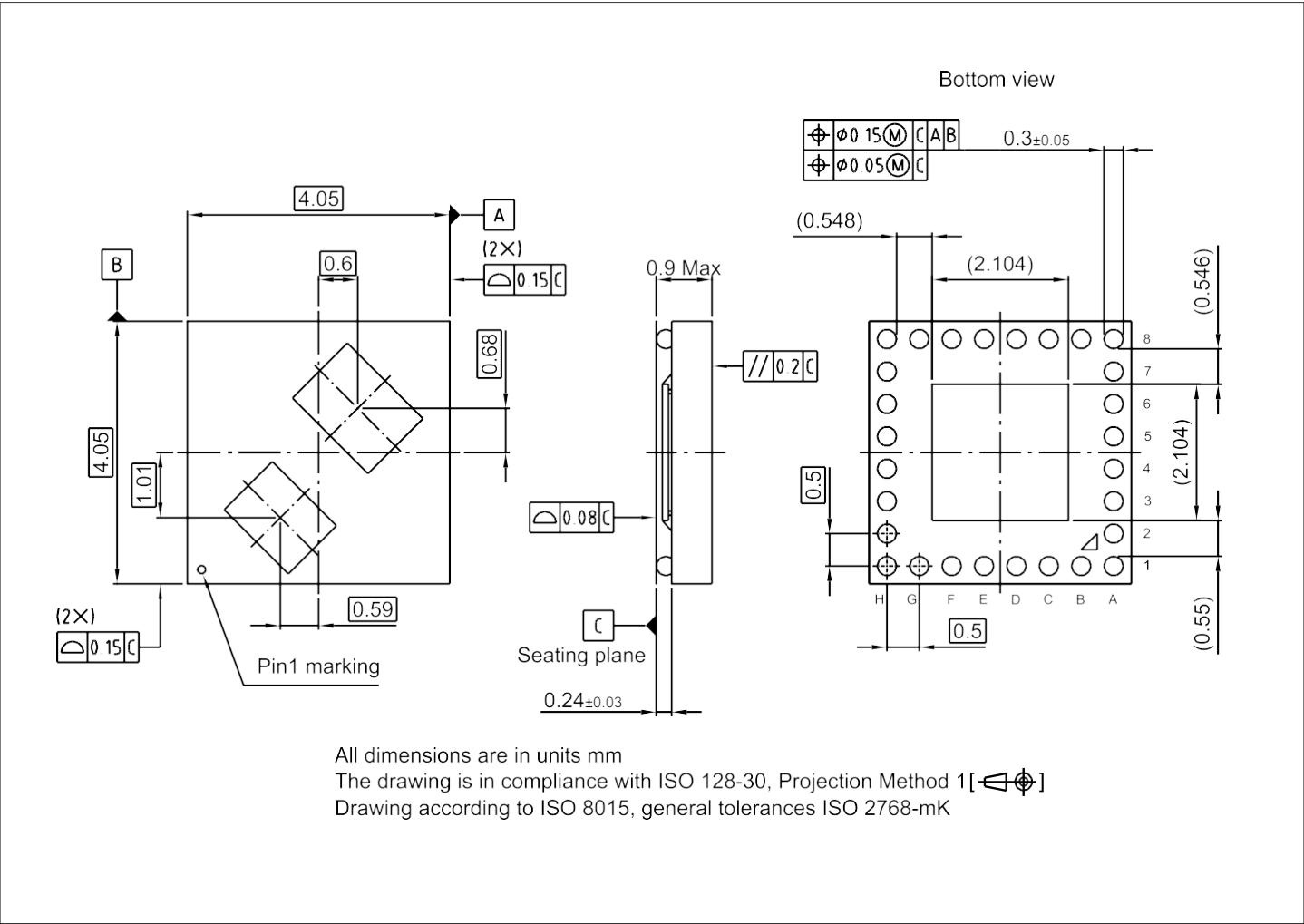


图 56 PG-VF2BGA-28-1 封装外形

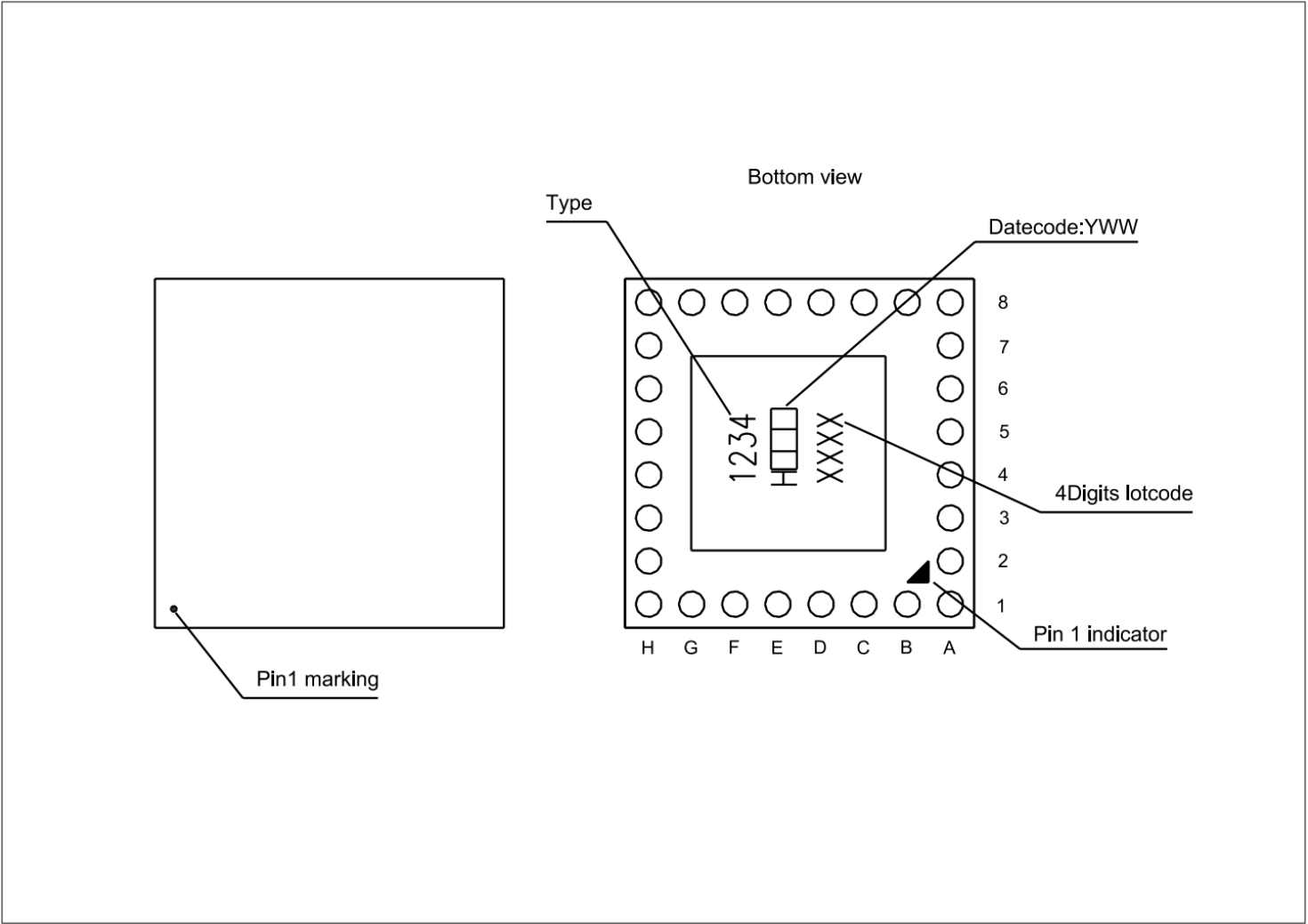


图 59 BGT60UTR11AIP 标记模式详情

11.1 内置天线规范

下表列出的天线性能由设计保证。典型的天线行为是在英飞凌参考板（Hatvan+）上测量的。典型的天线波束图可在特定的应用说明中获取，也可根据具体要求提供。

表 43 封装内天线规范

Parameter	Value			Unit	Condition
	Min.	Typ.	Max.		
RX_{BW}	57.4	61	63.0	GHz	Receiver antenna bandwidth
TX_{BW}	57.4	61	63.0	GHz	Transmitter antenna bandwidth
G_{TX}	-	3.0	-	dBi	Antenna gain of a single TX antenna Verified by design
G_{RX}	-	3.0	-	dBi	Antenna gain of a single RX antenna Verified by design

(表格续下页.....)

表 43 (续) 封装内天线规范

Parameter	Value			Unit	Condition
	Min.	Typ.	Max.		
FOV _E	-	120	-	Deg	Field of view of radar mode in the E-plane Verified by design
FOV _H	-	90	-	Deg	Field of view of radar mode in the H-plane Verified by design
ISO _{TX_RX}	-	25	-	dB	Isolation from TX antenna to RX antenna in package.

注意： 截至目前，还无法在生产中测试与集成到层压封装中的毫米波天线的增益和相位有关的天线参数。因此，在英飞凌的生产测试中无法检测到天线参数的偏差。此外，包含英飞凌产品的用户系统外壳可能会影响天线参数。英飞凌不对英飞凌产品是否符合天线参数承担任何责任。英飞凌产品的用户有责任对用户系统进行终端测试，以检测天线参数的偏差。

词汇表

AAF

抗混叠滤波器 (AAF)

信号采样器前使用的滤波器，用于限制信号带宽，以满足奈奎斯特-香农 (Nyquist-Shannon) 采样定理对相关频带的要求。

ABB

模拟基带 (ABB)

频率范围接近于零的信号，即只有在靠近原点的频率范围内，频谱幅度才不为零，而在其他频率范围内，频谱幅度可以忽略不计。

AC

交流电 (AC)

电荷周期性反向流动的一种供电形式。

ADC

模数转换器 (ADC)

将连续的物理量（通常是电压）转换为代表该物理量振幅的数字的器件。

AP

应用处理器 (AP)

用于运行主要用户应用程序的芯片。

BITE

内置测试设备 (BITE)

内置于系统中的被动诊断设备，用于支持生产过程中的测试流程。

CDM

充电器件模型 (CDM)

表征电子器件易受静电放电 (ESD) 损坏程度的模型。

CMOS

互补金属氧化物半导体 (CMOS)

一种利用 p 沟道和 n 沟道金属氧化物半导体场效应晶体管 (MOSFET) 组合实现逻辑栅极的集成电路制造技术。

CW

连续波 (CW)

发射正弦无线电波，可通过信号调制。

DC

直流电 (DC)

电荷只向一个方向流动的一种供电形式。

EOL

下线 (EOL)

生产流程的最后阶段，在此执行功能测试。

ESR

等效串联电阻 (*ESR*)

与器件的理想电容或理想电感串联的内部交流电阻。

FIFO

先入先出 (*FIFO*)

一种组织数据结构操作的方法，其中最先进入的数据会最先被处理。

FMCW

调频连续波 (*FMCW*)

一种雷达系统，通过任何反射物体发射并接收已知频率的连续波无线电能量。

FM

调频 (*FM*)

一种角度调制，瞬时频率偏差会根据调制信号瞬时值的给定函数（一般为线性）而变化。

FSM

有限状态机 (*FSM*)

一种抽象机器，在任何给定时间都能处于有限状态中的一种。

HBM

人体模型 (*HBM*)

表征电子器件易受基于人体的静电放电 (ESD) 损坏程度的模型。

HPF

高通滤波器 (*HPF*)

一种允许高于某一截止频率的信号通过并衰减低于该截止频率的信号的电子滤波器。

HW

硬件 (*HW*)

计算机或任何其他电子系统的物理组件集合。

IBIS

输入/输出缓冲器信息规范 (*IBIS*)

集成电路 (IC) 供应商向潜在客户为其产品的输入/输出缓冲器信息而不泄露其实现的知识产权的方法规范。

IF

中频 (*IF*)

每个频率转换产生的信号中，与输入射频信号的载波频率或其他特征频率相对应的频率。

LDO

低压差稳压器 (LDO)

一种直流线性稳压器，即使电源电压非常接近输出电压，也能调节输出电压。

LFSR

线性反馈移位寄存器 (LFSR)

一种移位寄存器，其输入位是先前状态的线性函数。

LO

本机振荡器 (LO)

与混频器一起使用的电子振荡器，用于改变信号的频率。

LSB

最低有效位 (LSB)

码字中最不重要的二进制数字。

MCU

微控制器单元 (MCU)

单个集成电路上的小型计算机，包含处理器内核、内存和可编程输入/输出外围设备。

MISO

主入从出 (MISO)

串行外设接口主机的输入线。

MOSI

主出从入 (MOSI)

串行外设接口主机的输出线。

MSB

最高有效位 (MSB)

码字中最重要二进制数字。

MSL

湿度灵敏度级别 (MSL)

湿敏

NDA

非披露协议 (NDA)

由至少两个当事方之间签订的法律合同（或合同的一部分），

PCB

印刷电路板 (PCB)

机械支撑板和电气连接板利用导电走线、焊盘和其他蚀刻在层压到非导电基板上的铜片上的特征来连接电子元件。

PLL

锁相环 (PLL)

用于使振荡器与输入信号的相位同步的反馈电路。

RF

射频 (RF)

周期性无线电波或相应电振荡的频率。

RSVD

保留 (RSVD)

未来功能或特性的占位符。

RX

接收器 (RX)

接受远程发射器信号的器件。

SAR

逐次逼近寄存器 (SAR)

一种模数转换器，通过对所有可能的量化级别进行二进制搜索，将连续的模拟波形转换为离散的数字表示。

SPI

串行外设接口 (SPI)

一种用于芯片间通信的同步串行通信接口规范，主要用于嵌入式系统。

STS

简化时序外壳 (STS)

一种包裹在模块外围的结构，包含用于该模块进行静态时序检查所需的时序信息。

SW

软件 (SW)

由处理器执行的一组指令所组成的非物理组件的集合。

TX

发射器 (TX)

一种发送信号的器件。

VCO

压控振荡器 (VCO)

频率是输入信号电压函数的振荡器。

VGA

可变增益放大器 (VGA)

根据控制电压改变增益的电子放大器。

修订记录

Document version	Date of release	Description of changes
1.0	2023-06-06	Initial datasheet
1.1	2023-08-30	- Updated LPF order from 2nd to 4th - Fixed typo in 'CHIP ID readout' chapter - Updated Register chapter name - Updated introduction chapter - Added package tape figure
1.2	2023-12-15	- Updated antenna in package specification table - Replaced package outline drawing - Updated minimum current consumption value of $VDD_{RF} + VDD_{VCO}$ $RFIdd_{Active}$ - Updated minimum overall current consumption value Idd_{Active}
1.3	2025-02-26	- Changed "Marking" to "Marking type" in ordering information table (cover page) - Added marking layout Figure 59 - Fixed typos



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2026-06-25

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。