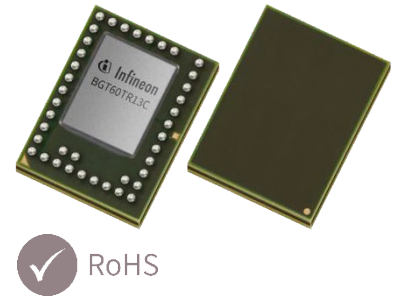


英飞凌BGT60TR13C雷达传感器

数据手册 V2.4.9

特性

- 60 GHz 雷达用于 FMCW 操作
- 5.5 GHz 带宽
- 封装内天线 (6.5 x 5.0 x 0.9 mm³)
- 用于芯片配置和雷达数据采集的数字接口
- 针对低功耗运行优化的电源模式
- 集成状态机，可独立运行



潜在应用

- 用于手势感应的雷达前端
- 高分辨率FMCW雷达
- 短距离传感操作
- 天线罩后面的隐藏传感应用

产品验证

封装设备符合 JEDEC 20/22 标准。

描述

BGT60TR13C 是一款封装内带有天线的 60 GHz 雷达传感器，可在小型封装内实现超宽带 FMCW 操作。传感器配置和数据采集通过数字接口实现，集成状态机通过功率模式优化实现独立数据采集，以实现最低功耗。

目录

目录	2
1 简介	5
1.1 产品概述	5
1.2 潜在应用	5
1.3 BGT60TR13C裸片框图	6
1.4 BGT60TR13C引脚定义及功能	7
1.4.1 IO 和电源引脚	8
1.5 BGT60TR13C功能框图	9
2 通用产品规格	11
2.1 绝对最大额定值	11
2.2 功能范围	11
2.3 电流损耗	12
2.4 ESD 完整性	14
2.5 热阻抗	15
2.6 产品验证	15
3 形状、帧和通道集定义	16
3.1 形状和帧	16
3.2 通道集	18
3.3 功耗模式	19
3.3.1 模式描述	19
3.3.2 电源模式和时间	20
3.3.3 从“深度睡眠”到“空闲”的唤醒阶段	21
3.3.4 空闲到 Interchirp 然后激活	22
3.3.5 锯齿形状时序	24
3.3.6 形状和形状组后的不同电源模式	24
3.3.6.1 形状或形状组后空闲	24
3.3.6.2 形状之间的Interchirp	26
3.3.6.3 深度睡眠连续+形状组后空闲唤醒	27
3.4 系统约束	28
3.4.1 MADC 采样时序条件和计算	28
3.4.2 PLL 频率斜坡设置	30
4 BGT60TR13C 寄存器	33
4.1 寄存器列表	33
4.1.1 缩略词	35
4.2 MAIN - 主寄存器	35
4.3 ADC0 - MADC 控制寄存器	37
4.4 CHIP_ID	38
4.5 STAT1 - 状态寄存器1	39
4.6 PACR1: PLL 模拟控制寄存器1	40
4.7 PACR2: PLL 模拟控制寄存器2	42
4.8 SFCTL - SPI 和 FIFO 控制寄存器	43
4.9 SADC_CTRL 传感器 ADC 控制寄存器	44
4.10 CSx: 通道设置寄存器	46
4.11 CSCx - 通道设置控制寄存器	50
4.12 CCR0 - chirp 线性调频控制寄存器0	51
4.13 CCR1 - chirp 线性调频控制寄存器1	52
4.14 CCR2 - chirp 线性调频脉冲控制寄存器2	53

目录

4.15	CCR3 - chirp 线性调频脉冲控制寄存器3	54
4.16	PLLx[0..6] - 线性调频脉冲形状寄存器	55
4.17	PLLx[7] - SCR 形状控制寄存器	56
4.18	PLL DFT0 寄存器	57
4.19	RFT0 - RF 测试寄存器0	58
4.20	RFT1 - RSVD	59
4.21	STAT0 - 状态寄存器0	59
4.22	SADC_RESULT 传感器ADC结果寄存器	60
4.23	FSTAT - FIFO 状态寄存器	61
4.24	GSR0 - 全局状态寄存器	63
5	数据组织和SPI接口	64
5.1	数据头	64
5.2	FIFO 和数据流	65
5.3	SPI - 串行外设接口模块	66
5.3.1	标准SPI时序	67
5.3.2	逻辑电平	69
5.4	过冲和下冲波形定义	73
5.5	IBIS 模型	74
5.6	SPI 功能	74
5.7	SPI 突发模式	75
5.8	SPI 错误检测	78
5.9	硬件复位序列	79
5.10	软件触发复位	79
6	PLL域功能规范	81
6.1	PLL 接口和时钟分配	81
6.2	参考时钟分配	81
6.2.1	PLL接口	82
6.3	PLL参数和规格	82
6.3.1	频率斜坡线性定义	83
6.3.2	频率斜坡稳定时间	83
7	模拟射频域功能规范	84
7.1	射频前端 (RF FE)	84
7.1.1	片上模拟传感器输出	84
7.1.2	射频前端规格	85
7.2	模拟基带：放大器和滤波器	86
7.2.1	基带特性	87
7.2.2	基带要求	87
8	MADC域功能规范	89
8.1	MADC电源电压要求	89
8.2	MADC规格	90
8.3	MADC时序图	92
8.4	MADC启动序列	92
8.5	MADC转换率	93
8.5.1	采样	93
8.5.2	转换	93
8.5.3	跟踪	94
8.5.4	ADC转换率	94
8.5.5	ADC采样率	94
9	SADC域功能规范	95

目录

9.1	SDAC的功能.....	95
9.2	SADC转换公式.....	96
10	增强功能	97
10.1	数据测试模式.....	97
10.2	CW模式.....	97
10.2.1	启用CW模式	98
10.2.2	基带和ADC测试模式.....	99
10.3	IRQ输出.....	101
11	典型配置示例	102
11.1	案例 #1.....	102
12	封装.....	108
12.1	内置天线规格.....	110
13	缩略词	111
14	修订记录	112

简介

1 简介

用于手势识别的新型智能传感器可以基于雷达系统，在特殊情况下是 FMCW 雷达。这些系统可以由几个模块组成：射频（RF）前端、模拟基带（ABB）、模数转换器（ADC）、锁相环（PLL）、存储器（例如FIFO）、串行外设接口（SPI）和天线。智能传感器需要高度的集成，因此，上面列出的组件应该集成在单芯片解决方案中。BGT60TR13C 在单个芯片组中提供了这种级别的集成。

1.1 产品概述

BGT60TR13C 的核心功能是通过发射通道 (TX) 发射调频连续波 (FMCW) 信号，并通过三个接收通道 (RX) 接收目标物体的回波信号。每个接收路径包含一个基带滤波器、一个 VGA 和一个 ADC。数字化输出存储在 FIFO 中。数据被传输到外部主机、微控制器单元 (MCU) 或应用处理器 (AP)，以进行雷达信号处理。一个典型的传感器系统仅由两个主要模块组成（参见图 1）：

- BGT60TR13C 处理 RF 信号并提供采样的 IF 信号
- 捕获和处理雷达信号的应用处理器

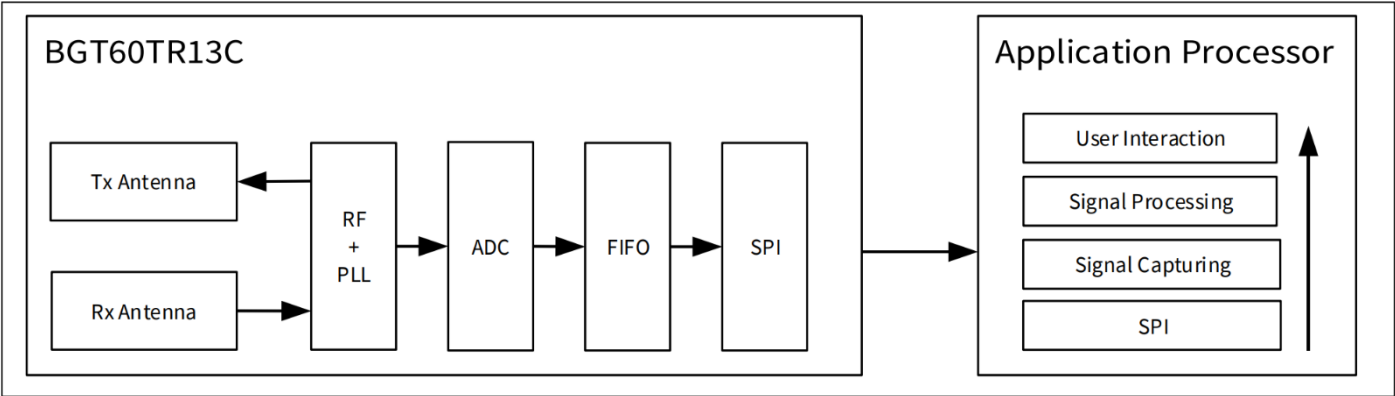


图1 完整雷达传感器系统中的数据流

1.2 潜在应用

该芯片组的设计主要针对以下潜在应用：

- 用于手势感应的雷达前端
- 高分辨率FMCW雷达
- 短距离传感操作
- 天线罩后面的隐藏传感应用

简介

1.3 BGT60TR13C 裸片框图

BGT60TR13C 框图如图 2所示

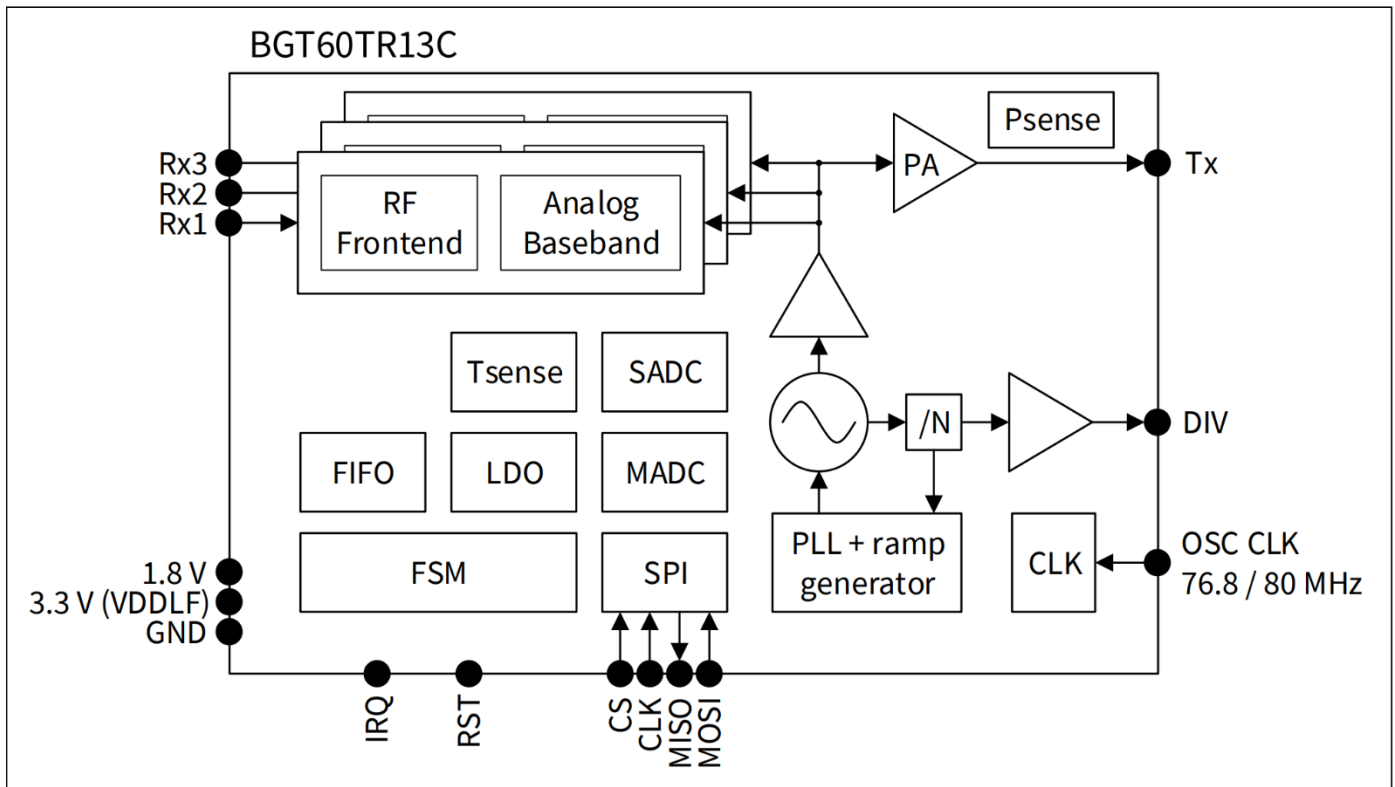


图 2 BGT60TR13C 裸片框图特性列表：

- 数字域和模拟域均采用 1.8 V 单电源电压
- 集成 1.8 V 至 1.5 V LDO，为数字域供电
- 60 GHz 射频前端，覆盖 58.0 至 63.5 GHz 频率，配备一个 TX 通道和三个 RX 通道
- 基带链由高通滤波器、低噪声电压增益放大器 (VGA) 和抗混叠滤波器组成
- 三个 ADC 通道，具有 12 位分辨率和高达 4 MSps 的采样率，用于对 RX-IF 通道进行采样
- 集成 RF-PLL、定时器、计数器和 FSM，以独立模式运行一组帧（除第一次触发和原始数据传输外，无需与 AP 通信）
- 全双工 FIFO 结构作为数据缓冲区（196 kbit = 8192 字 x 24 位）
- 用于数据传输检查的片上线性反馈移位寄存器 (LFSR) 测试模式生成器
- 用于功率和温度测量的 8 至 10 位传感器 ADC
- 用于配置和状态寄存器读取访问的标准 SPI 模式
- 专用电源模式，降低功耗
- 采用外部 80 MHz 参考振荡器作为系统时钟源
- 英飞凌生产过程中的 EOL 测试（内置测试模式）BITE，用于验证射频性能
- 采用英飞凌 BiCMOS 工艺技术制造
- 采用层压包装
- 天线集成在封装的重分布层中

简介

1.4 BGT60TR13C引脚定义及功能

下图 3 显示了 BGT60TR13C 层压封装的底视图，其中标明了引脚和天线编号分配。

各引脚功能描述如表 1（另见表格 2 和表 3）。

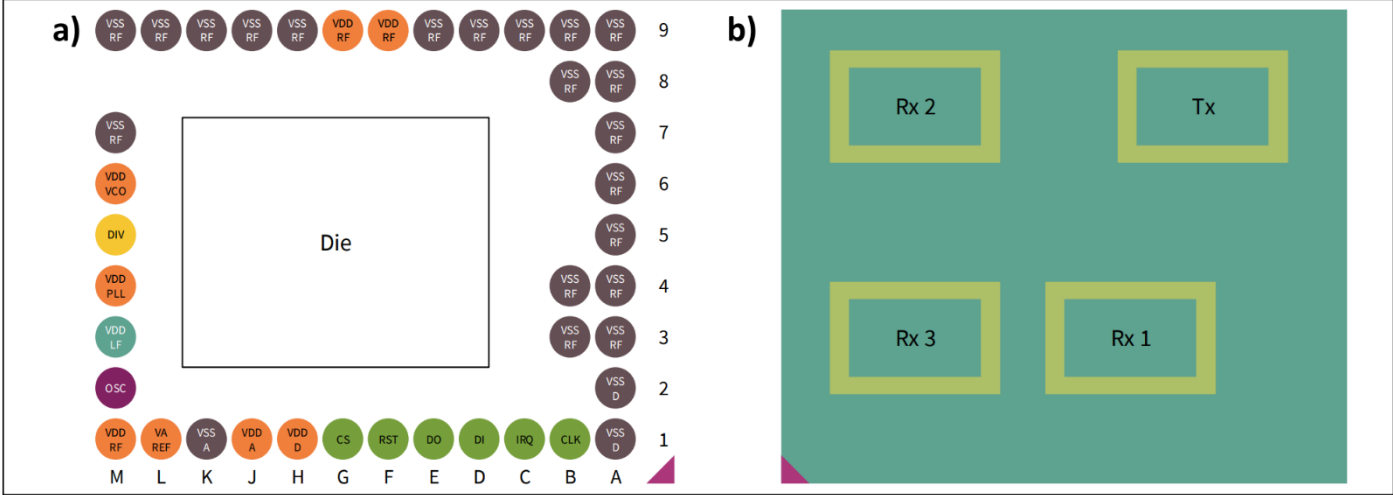


图 3 BGT60TR13C 引脚排列（底视图）（a）和天线编号分配（顶视图）（b）

表 1 球和天线定义

Ball	Function
A1, A2	VSSD
B1	CLK
C1	IRQ
D1	DI
E1	DO
F1	DIO3
G1	CS_N
H1	VDDD
J1	VDDA
K1	VSSA
L1	VAREF
M1, F9, G9	VDDRF
M2	OSC_CLK
M3	VDDLf
M4	VDDPLL
M5	DIV_TEST
M6	VDDVCO
M7, M9, L9, K9, J9, H9, E9, D9, C9, B9, B8, A9, A8, A7, A6, A5, B4, A4, B3, A3	VSSRF
Antenna	Function
Tx1	Transmitter
Rx1	Receiver ch1

简介

表 1 球和天线定义

Ball	Function
Rx2	Receiver ch2
Rx3	Receiver ch3

1.4.1 IO 和电源引脚

下表 2 概述了 BGT60TR13C 的输入/输出引脚。

表 2 BGT60TR13C 输入/输出引脚

Symbol	Type	Domain	Description	Domain
DIV_TEST	A _{OUT}	VDDRF	VCO divided by 16 output	Analog-RF
OSC_CLK	A _{IN}	VDDRF	80 MHz (e.g.) Xtal input	Analog-RF
CLK	D _{IN}	VDDD	SPI CLK input	SPI
IRQ	D _{OUT}	VDDD	Interrupt output	Control FSM
CS_N	D _{IN}	VDDD	SPI chip select input, active low	SPI
DI	D _{IN}	VDDD	SPI signal from the host output	SPI
DO	D _{OUT}	VDDD	SPI signal to the host input	SPI
DIO3	D _{IN} / D _{OUT}	VDDD	HW reset pin	SPI

电源引脚描述如表 3。

表 3 BGT60TR13C 电源引脚

Symbol	Type	Domain	Description	Domain
VDDD	V _{IN}	1.8 V	Digital supply voltage	Digital
VDDA	V _{IN}	1.8 V	Analog supply voltage	ADC
VAREF	V _{OUT}	1.2 V	Positive reference voltage output; for bypass cap	ADC
VDDVCO	V _{IN}	1.8 V	Analog supply voltage to the VCO	Analog-RF
VDDRF	V _{IN}	1.8 V	Analog supply voltage	Analog-RF
VDDL	V _{IN}	3.3V	Analog supply voltage for the level shifter for the PLL loop filter	Analog-RF
VDDPLL	V _{IN}	1.8 V	Analog supply voltage to the PLL	Analog-RF
VSSRF	GNDA	0 V	Analog ground connection	Analog-RF
VSSA	GNDA	0 V	Analog ground connection	ADC
VSSD	GNDD	0 V	Digital ground connection	Digital

缩略词

V_{IN} ...电源电压输入引脚
D_{IN}... 数字输入引脚
D_{OUT}...数字输出引脚
V_{OUT}... 电源电压输出引脚

简介

A_{OUT}... 模拟输出引脚

A_{IN}... 模拟输入引脚

GNDA ...模拟接地连接

GNDD ...数字接地连接

1.5 BGT60TR13C 功能框图

BGT60TR13C由一些主要功能块组成：

- **天线**内置于封装内，见图 81
 - **RF 前端**由 3 通道 Rx、1 通道 Tx、LO 生成和 4/5 分频器组成，请参阅第7.1节
 - **ABB**，模拟基带由高通滤波器（HPF）、VGA、抗混叠滤波器（AAF）组成，参见第7.2段
 - **PLL**，基于三阶 Σ - Δ 实现FMCW斜坡
 - **MADC**，3通道12位差分SAR ADC，通过驱动器连接到ABB，并通过多路复用器连接到FIFO，参见第8段
 - **SADC**，8 至 10 位单端 SAR ADC，用于感测传感器数据，请参阅第9节
 - **FIFO**，196 kbit=8192字 x 24位
 - **寄存器组**，127 个寄存器，参见第4段
 - **SPI**，标准模式下时钟高达50 MHz
 - **FSM**，管理整个芯片的有限状态机
 - 顺时针方向，可以识别两个域：
 - 80 MHz 系统时钟 (SYS_CLK) 域，用于 PLL、MADC、SADC 和 FIFO
 - 50 MHz（例如）SPI 时钟
- 主 FSM 同步这两个域。

简介

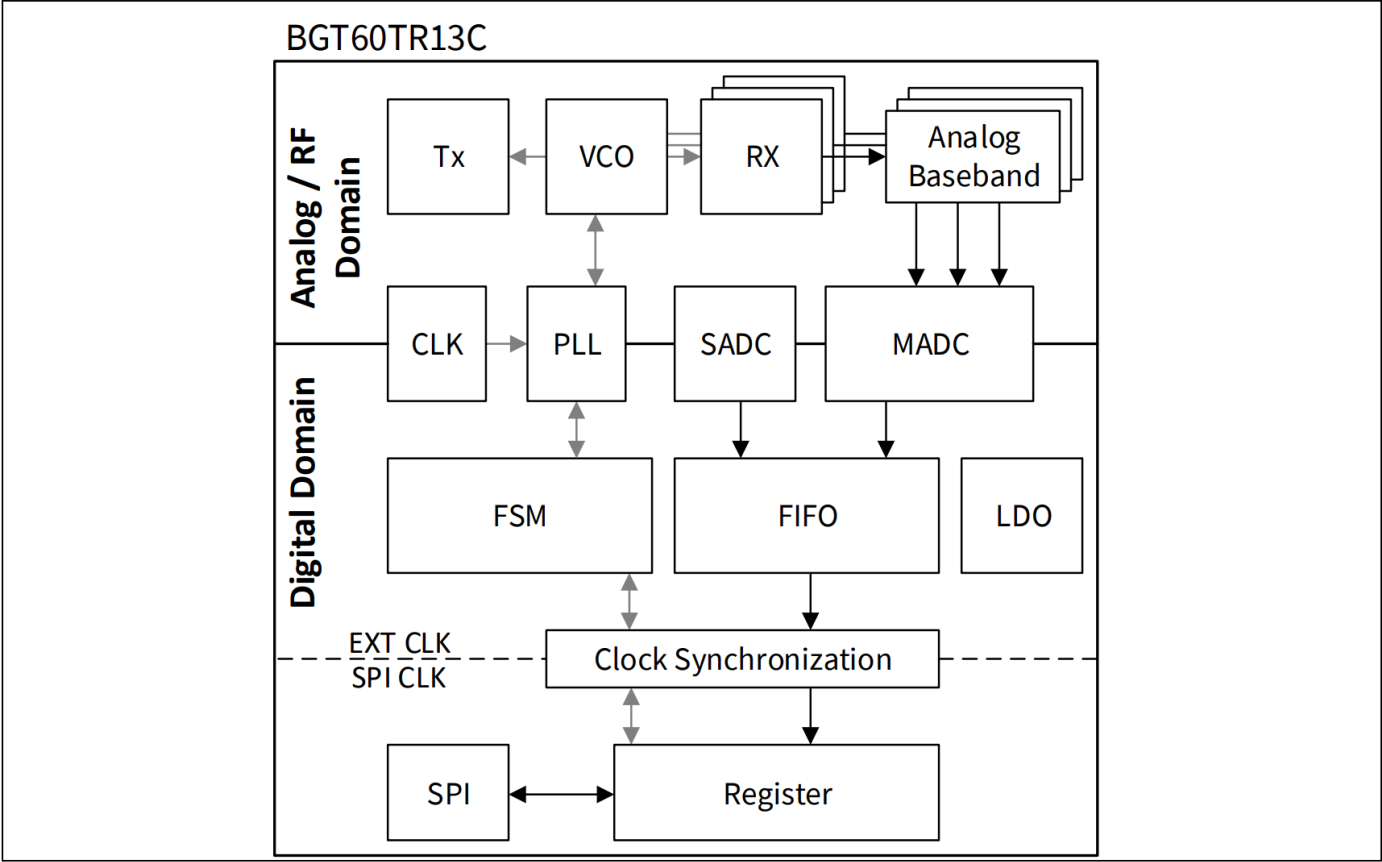


图4 BGT60TR13C功能概览

通用产品规格

2 通用产品规格

所有指定数据的参考均为英飞凌应用板，可根据要求提供。

2.1 绝对最大额定值

表4 绝对最大额定值 $T_b = -40^\circ\text{C}$ 至 105°C ，所有电压均以地为基准，正电流流入引脚
(除非另有说明)。参数不适用于生产测试。

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
Supply Voltage	VDDD	V	-0.3		+2	
Supply Voltage	VDDA	V	-0.3		+2	
Supply Voltage	VDDRF	V	-0.3		+2	
Supply Voltage	VDDVCO	V	-0.3		+2	
Supply Voltage	VDDPLL	V	-0.3		+2	
Supply Voltage	VDDLf	V	-0.3		+3.7	
DC Voltage at all I/O Pins	$V_{I/O}$	V	-0.3		VDD+0.3	Not exceeding 2V
RF Input Power Level	PRF	dBm			+10	At the Rx input-port
Junction Temperature	T_j	$^\circ\text{C}$	-40		+125	
Storage Temperature	T_{stg}	$^\circ\text{C}$	-40		+150	

警告：超过此处所列的压力可能会对器件造成永久性损坏。最大额定值是绝对额定值；超过其中一个值可能会对集成电路造成不可逆转的损坏。暴露在绝对最大额定值或以下但高于规定的最大工作条件的条件下可能会影响器件的可靠性和寿命。在这些条件下，设备可能无法发挥其功能。

2.2 功能范围

表 5 功能范围，VDDD = 1.71 至 1.89 V， $T_b = -20$ 至 $+70^\circ\text{C}$

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
Supply Voltage	VDDD	V	1.71	1.8	1.89	Noise on each supply domain should not exceed the level of 20 μVpp in the frequency range 20 kHz – 700 kHz ¹⁾
Supply Voltage	VDDA	V	1.71	1.8	1.89	
Supply Voltage	VDDRF	V	1.71	1.8	1.89	
Supply Voltage	VDDVCO	V	1.71	1.8	1.89	
Supply Voltage	VDDPLL	V	1.71	1.8	1.89	
Supply Voltage	VDDLf	V	2.5	3.3	3.63	
Chip Backside Temperature	T_b	$^\circ\text{C}$	-20		70	Measured with the on-chip temperature sensor
Frequency Range	f_{RF}	GHz	58.0		63.5	

通用产品规格

System Reference Frequency	$f_{\text{SYS_CLK}}$	MHz	75	80	85	1.8 V CMOS clock; 78 MHz not allowed
Duty cycle of $f_{\text{SYS_CLK}}$	f_{DUTSYS}	%	45	50	55	
Rise and Fall Time of $f_{\text{SYS_CLK}}$	$t_{\text{RS,FS,SYS}}$	ns			6	
Phase Jitter of $f_{\text{SYS_CLK}}$	J_{PHSYS}	ps		1		BW: 12 kHz to 20 MHz

¹⁾ 当使用至少 8 个啁啾进行计算时，该值将保证距离-多普勒图中没有伪影/假目标。

2.3 电流损耗

表 6 总电流消耗，VDD (LF 除外) = 1.71 至 1.89 V 且 Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
Parameter			Min	Typ	Max	
Idd Deep Sleep ¹⁾	$I_{\text{dd_ds}}$	mA	0.05	0.12	0.555 ⁵⁾	
Idd Idle ²⁾	$I_{\text{dd_idle}}$	mA	0.05	2.8	5	
Idd Init0, 3Rx+ 1Tx	$I_{\text{dd_int0}}$	mA	136	175	205	
Idd Init1, 3Rx+ 1Tx ³⁾	$I_{\text{dd_int1}}$	mA	141	185	215	
Idd Active, 3Rx + 1Tx ⁴⁾	$I_{\text{dd_act}}$	mA	160	201	230	

¹⁾ 所有寄存器处于复位模式，80 MHz 时钟路径禁用

²⁾ MADC带隙运行

³⁾ 其余部分的 interchirp 的 Idd 与 Init1 类似

⁴⁾ 设备设置为雷达模式；DAC Tx 设置为 31_D

⁵⁾ 最大值指的是最高温度 +70 °C 和最高电源电压 1.89 V

表 7 VDDD 域电流消耗，VDD (LF 除外) = 1.71 至 1.89 V 和 Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
Parameter			Min	Typ	Max	
Idd Deep Sleep ¹⁾	$D I_{\text{dd_ds}}$	mA	0.05	0.1	0.48 ⁵⁾	
Idd Idle ²⁾	$D I_{\text{dd_idle}}$	mA	1.5	2.5	3.5	
Idd Init0, 3Rx+ 1Tx	$D I_{\text{dd_int0}}$	mA	2	3	4	
Idd Init1, 3Rx+ 1Tx ³⁾	$D I_{\text{dd_int1}}$	mA	3	4	5	
Idd Active, 3Rx + 1Tx ⁴⁾	$D I_{\text{dd_act}}$	mA	3	4	5	

¹⁾ 所有寄存器处于复位模式，80 MHz 时钟路径禁用

²⁾ MADC带隙运行

³⁾ 其余部分的 interchirp 的 Idd 与 Init1 类似

⁴⁾ 设备设置为雷达模式，FIFO 设置为低功耗模式；DAC Tx 设置为 31_D，输出功率为 +5 dBm

通用产品规格

⁵⁾ 最大值指的是最高温度+70°C和最高电源1.89V

表 8 VDDA 域电流消耗, VDD (LF 除外) = 1.71 至 1.89 V 和 Tb = -20 至 +70°C

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
Idd Deep Sleep ¹⁾	AIdd _{ds}	mA	0	0.005	0.01	
Idd Idle ²⁾	AIdd _{idle}	mA	0.01	0.2	0.3	
Idd Init0, 3Rx+ 1Tx	AIdd _{int0}	mA	0.5	1.6	3	
Idd Init1, 3Rx+ 1Tx ³⁾	AIdd _{int1}	mA	0.5	1.6	3	
Idd Active, 3Rx + 1Tx ⁴⁾	AIdd _{act}	mA	0.5	1.6	3	

¹⁾ 所有寄存器处于复位模式, 80 MHz 时钟路径禁用

²⁾ MADC带隙运行

³⁾ 其余部分的 interchirp 的 Idd 与 Init1 类似

⁴⁾ 设备设置为雷达模式; DAC Tx设置为31_D

表 9 VDDPLL 域电流消耗, VDD (LF 除外) = 1.71 至 1.89 V 和 Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
Idd Deep Sleep ¹⁾	PLLId _{ds}	mA	0	0.005	0.01	
Idd Idle ²⁾	PLLId _{idle}	mA	0	0.005	0.01	
Idd Init0, 3Rx+ 1Tx	PLLId _{int0}	mA	0.6	0.9	1.2	
Idd Init1, 3Rx+ 1Tx ³⁾	PLLId _{int1}	mA	5	8	10	
Idd Active, 3Rx + 1Tx ⁴⁾	PLLId _{act}	mA	5	8	10	

¹⁾ 所有寄存器处于复位模式, 80 MHz 时钟路径禁用

²⁾ MADC带隙运行

³⁾ 其余部分的 interchirp 的 Idd 与 Init1 类似

⁴⁾ 设备设置为雷达模式; DAC Tx设置为31_D

表 10 VDDL F 域电流消耗, VDD (LF 除外) = 1.71 至 1.89 V 和 Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
Idd Deep Sleep ¹⁾	LFId _{ds}	mA	0	0.005	0.01	
Idd Idle ²⁾	LFId _{idle}	mA	0	0.005	0.01	
Idd Init0, 3Rx+ 1Tx	LFId _{int0}	mA	0.2	0.45	0.5	
Idd Init1, 3Rx+ 1Tx ³⁾	LFId _{int1}	mA	0.2	0.45	0.5	
Idd Active, 3Rx + 1Tx ⁴⁾	LFId _{act}	mA	0.2	0.45	0.5	

通用产品规格

- 1) 所有寄存器处于复位模式，80 MHz 时钟路径禁用
- 2) MADC带隙运行
- 3) 其余部分的 interchirp 的 Idd 与 Init1 类似
- 4) 设备设置为雷达模式；DAC Tx设置为31_D

表 11 VDDRF + VDDVCO 域电流消耗，VDD (LF 除外) = 1.71 至 1.89 V 和 Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
Parameter			Min	Typ	Max	
Idd Deep Sleep ¹⁾	RFIdd _{ds}	mA	0	0.02	0.045	
Idd Idle ²⁾	RFIdd _{idle}	mA	0	0.02	0.045	
Idd Init0, 3Rx+ 1Tx	RFIdd _{int0}	mA	133	170	196	
Idd Init1, 3Rx+ 1Tx ³⁾	RFIdd _{int1}	mA	133	170	196	
Idd Active, 3Rx + 1Tx ⁴⁾	RFIdd _{act}	mA	151	187	212	

- 1) 所有寄存器处于复位模式，80 MHz 时钟路径禁用
- 2) MADC带隙运行
- 3) 其余部分的 interchirp 的 Idd 与 Init1 类似
- 4) 设备设置为雷达模式；DAC Tx设置为31_D

2.4 ESD完整性

表 12 ESD 完整性，VDD (任意) = 1.71 至 1.89 V，Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
Parameter			Min	Typ	Max	
ESD robustness, HBM All pins	V _{ESD-HBM}	V	-2000		+2000	According to JS-001 (R = 1.5 kΩ, C = 100 pF)
ESD robustness, CDM All pins except M2	V _{ESD-CDM}	V	-500		+500	According to JS-002
ESD robustness, CDM Pin M2	V _{ESD-CDM, M2}	V	-250		+250	According to JS-002

CDM：场感应充电器件模型 ANSI/ESDA/JEDEC JS-002。模拟生产设备和过程中发生的充电/放电事件。只要制造过程中存在金属与金属的接触，就有可能发生 CDM ESD 事件。

HBM：人体模型 ANSI/ESDA/JEDEC JS-001 (R = 1.5 kΩ, C=100 pF)。

通用产品规格

2.5 热阻抗

表 13 热阻, VDD (任意) = 1.71 至 1.89 V, T_b = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
Parameter			Min	Typ	Max	
Package R _{th}	R _{th}	K/W		35		Chip backside to ambient temperature

2.6 产品验证

根据JEDEC20/22相关测试的测试条件, 符合1.2节所列的潜在应用要求。

形状、帧和通道集定义

3 形状、帧和通道集定义

本节旨在向用户概述 BGT60TR13C 的整体调制和电源模式功能。具体来说，将介绍计时器、计数器、形状、通道集和帧的结构。本节还描述了主 FSM 如何设置和控制 PLL，以实现主机编程的预期调制形状和序列。

3.1 形状和帧

形状是PLL应执行的调制啁啾。允许两种基本shapes（参见图 5）：

- 三角形：由频率 Upchirp 和频率 Downchirp 组成
- 锯齿形：由频率上升的线性调频信号和随后的快速下降的线性调频信号组成

这些形状由 PLLx[0..7] 寄存器（参见 4.16 和 4.17 节）中的 PLLx7_SH_EN 位设置和启用。最多可以编程四种不同的形状。如果使用多种形状，则必须编程较低的形状（例如，应用程序需要 3 种形状，则 x= 1...3）。

N_SHAPE_EN 是启用的形状的数量。

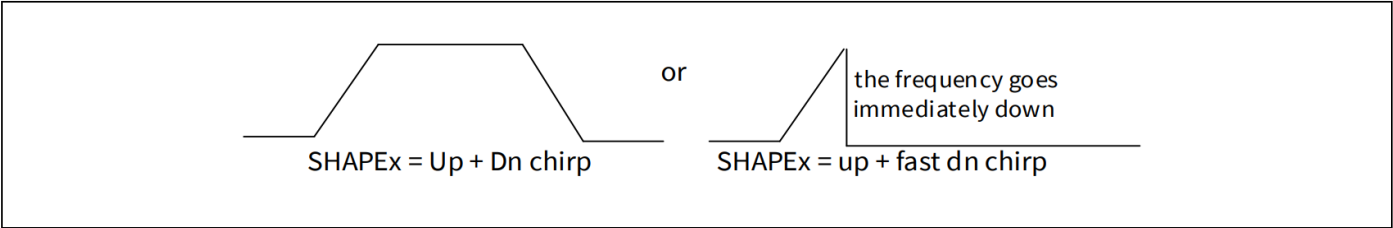


图5 形状定义

形状组

上面定义的每个形状都可以重复多次（见图 6). 重复多次的相同形状表示一个形状组。形状的重复因子称为 REPSx，如4.17中所述。每个形状最多重复 $RSx=2^{REPSx}$ 次。

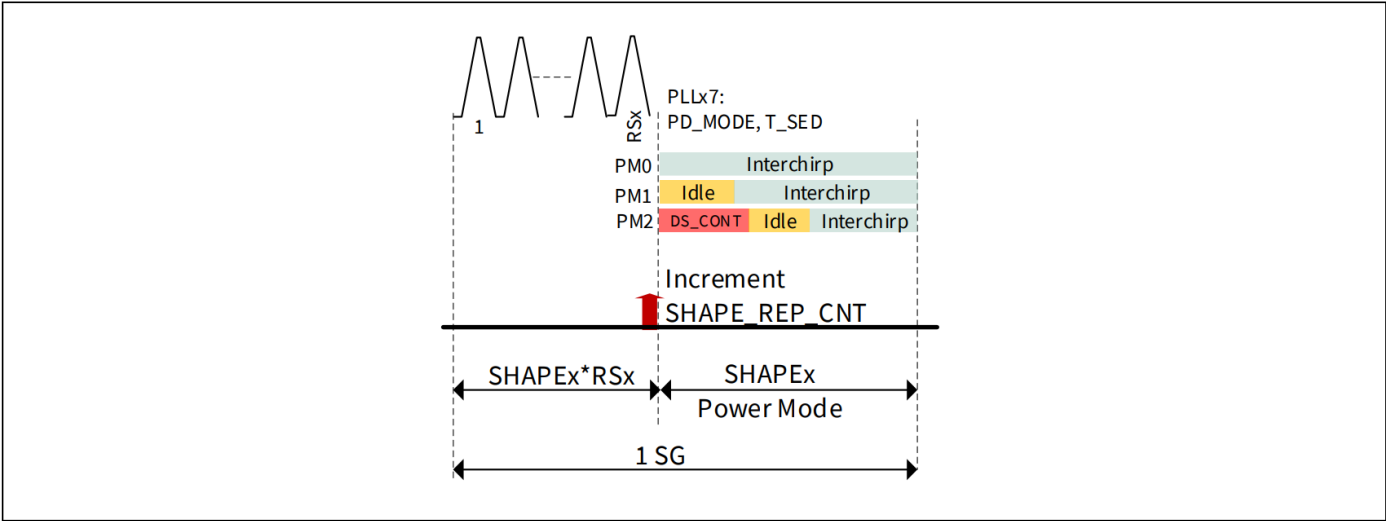


图6 形状组

形状、帧和通道集定义

最后一次重复之后，FSM 将在一段时间内进入 PLLx7:T_SED（参见第4.17节），该模式根据 PLLx7:PD_MODE（参见第4.17节）中指定的内容进行编程的电源模式。

完成一个形状组后，形状组计数器 STAT1: SHAPE_GRP_CNT 会递增（参见 4.5节）。如图7所示报告了四个编程形状组的示例。它代表一个形状集。

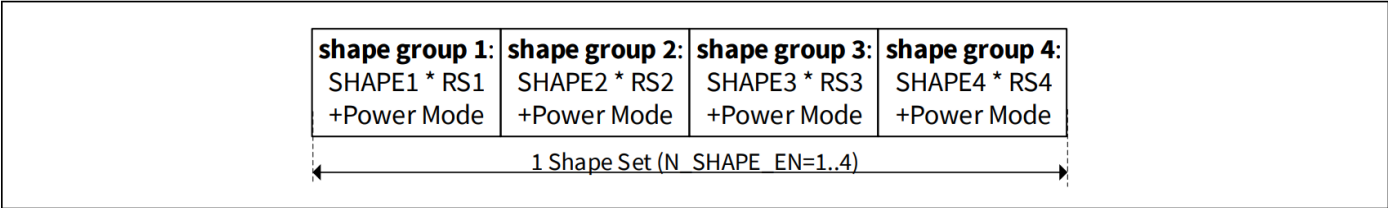


图 7 形状集

帧

如图 8 所示，一帧由一系列形状集组成，每个形状集后跟一个特定的功率模式。每个形状集可以重复多次。形状集的重复因子称为 REPTx，如 4.12 中所述。每个形状最多重复 $RTx = 2^{REPTx}$ 次。

帧的长度通过 CCR2:FRAME_LEN 定义（参见第4.14节），它是需要执行的形状组的数量。

每次帧开始时，都会加载第一个形状 SHAPE1 以及第一个通道集 CSU1+CSC1（0）。有限状态机将执行的帧组数量为：

$$\min(\text{FRAME_LEN}, N_SHAPE_EN * RT)$$

$RT \leq (4096/\text{形状组})$ ，且 CCR2:FRAME_LEN 允许的最大值为 4095。

在一帧中的最后一个形状组之后，CCR1:PD_MODE 的功率模式用于在 CCR1:T_FED 中编程的周期，而不是 PPLx7:MODE 用于 PLLx7:T_SED 周期。

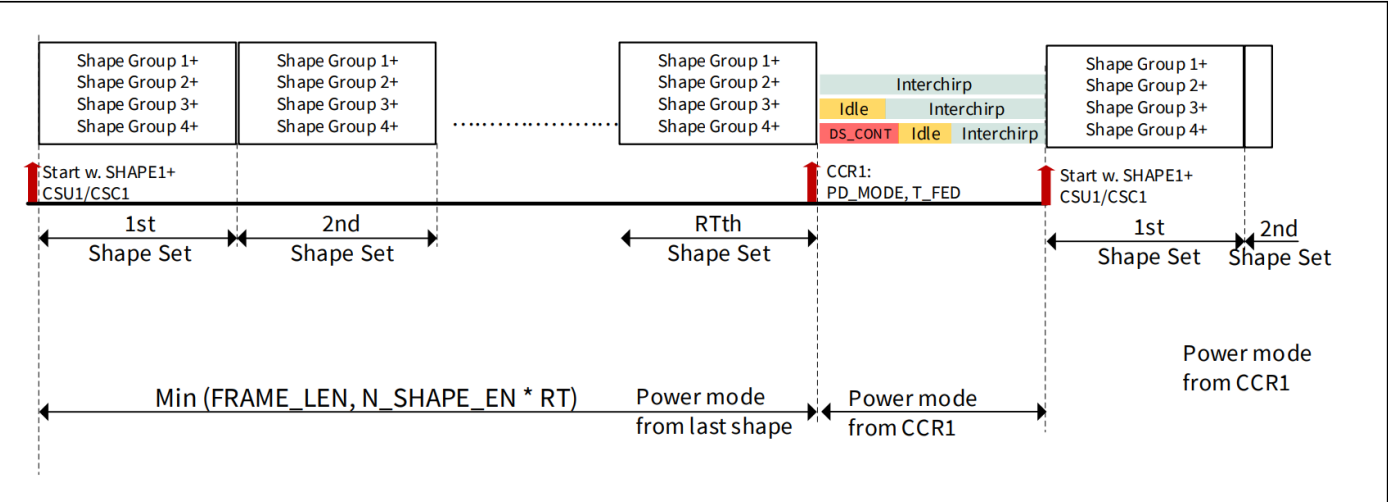


图 8 一帧示例 最大帧数

- 唤醒周期结束后，整体帧生成从第一帧开始
- 达到最后一帧 CCR2: MAX_FRAME_CNT（参见第 4.14节）后，FSM 将进入深度睡眠模式，而不是倒数第二帧末尾定义的电源模式
 - 为了再次触发芯片，需要重置 FSM。

形状、帧和通道集定义

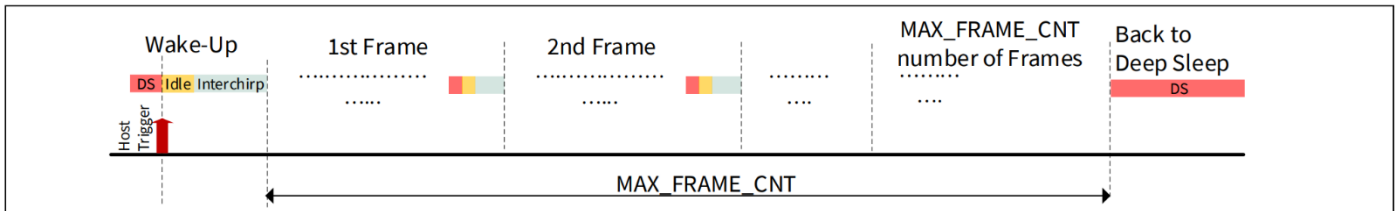


图9 最大帧数

3.2 通道集

每个通道集可以重复多次。通道集的重复因子称为 REPC_x，如第 4.11 节所述。每个形状最多重复 RC_x=2^{REPC_x} 次。总共有 10 个通道集，分为 3 种不同的类型，分别作用于特定的“模式”。其中 8 个通道集与形状相关（4 个形状 x “上”和“下”段设置），另外 2 个通道集与电源模式（空闲和深度睡眠）相关：

- 深度睡眠电源模式与通道设置 CSDS 和 CSCDS 相关
- 空闲模式与通道设置 CSI 和 CSCI 相关
- 为形状定义了 8 个通道集：
 - CSU1...CSU4 注册 Upchirp
 - 用于 Downchirp 的 CSD1 ... CSD4 寄存器
 - CSC1...CSC4 通道设置寄存器，用于上行和下行线性调频
- 上述每种形状最多有 2 个通道组 CSU_x 和 CSD_x
 - 如果使用三角形，则应用 CSU_x 和 CSD_x
 - 如果使用锯齿形，则跳过 CSD
- 通道集重复，与形状无关
- 通道集重复因子表示单个通道集重复的频率，直到下一个通道集加载完成
- 在频道设置顺序上：
 - 较低的通道集编号后面跟着下一个较高的通道集编号
 - 如果达到最高通道集编号，则加载的下一个通道集是通道集 1
- 关于通道集的启用顺序：
 - 如果未使用所有通道集，则必须使用数量较少的通道集
 - 启用的通道集之间不能有禁用的通道集
 - 例如，预期有 2 个通道组：仅使用 CS1 和 CS2。如果预期有 3 个通道组，则仅使用 CS1、CS2 和 CS3
- 通道设置序列的开始和结束：
 - 复位后，第一个加载的通道组是 CS1。
 - 帧开始后，第一个加载的通道集将是 CS1

注释

最好是 REPS=REPC。这是驱动程序中的实际实现。

形状、帧和通道集定义

3.3 功耗模式

下图 10 显示了 FSM 所有可能的电源模式的流程图。

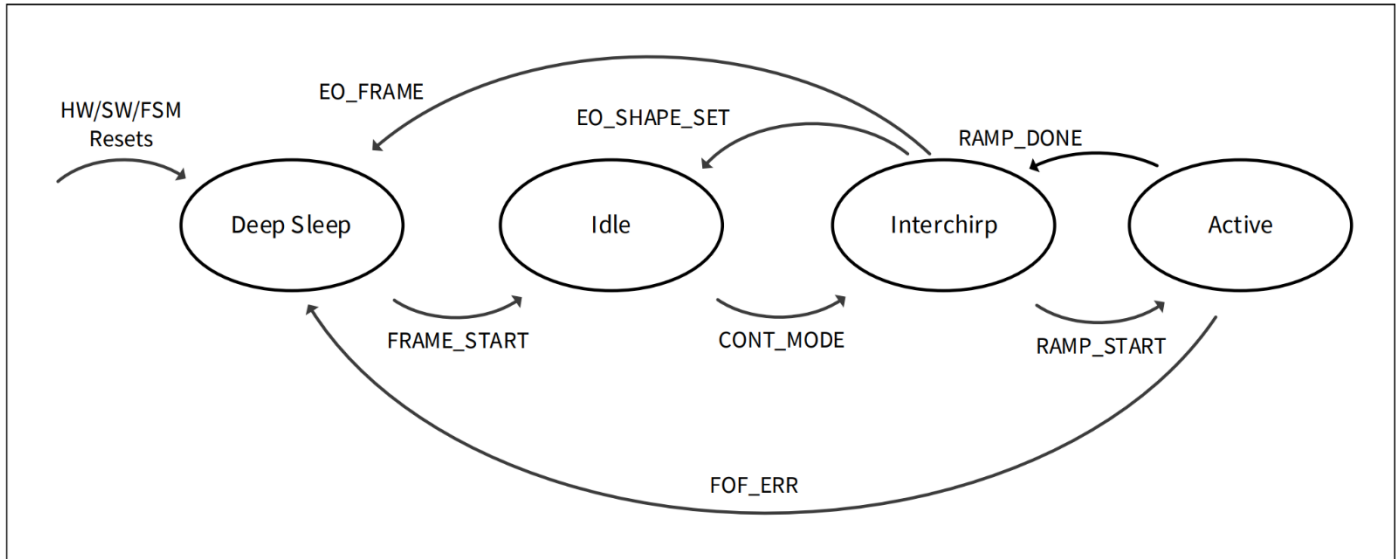


图10 FSM流程图

通过电源模式进行电源管理

电源模式使主机能够在雷达帧生成的各个阶段灵活地控制功耗。一组隔离寄存器（CSCx，参见4.11节）用于启用/禁用片上不同的模块。电源模式由 FSM 管理。

3.3.1 模式描述

在活动、空闲和深度睡眠模式下，可以在 CSCx 寄存器中定义所有通道集的电源模式，参见第4.11节：CSC1...4、CSI、CSCDS（CSUx= 通道设置上行线性调频、CSDx= 通道设置下行线性调频、CSI= 通道设置空闲、CSDS= 通道设置深度睡眠）。

主动模式定义：

- 在一个形状期间：PLLx7：PD_MODE= 0_D
- 电源模式通过寄存器 CSx (CHS1...CHS4) 定义，Up/Downchirp 模式相同
- 默认设置：主机启用所有预期设置。

线性调频模式定义：

- 在一个形状期间：PLLx7：PD_MODE= 0_D
- 电源模式基本与活动模式相同，例外：TX1 关闭（PAOFF）。

空闲模式定义：

- 经过形状：PLLx7：PD_MODE= 1_D
- 一帧之后：CCR1: PD_MODE= 1_D
- 空闲模式通过 CSCI 定义

形状、帧和通道集定义

- 从深度睡眠中唤醒 MAIN:TR_WKUP

空闲模式可用作 Interchirp 模式之间或深度睡眠模式之后的低功耗模式，以在不进入深度睡眠模式的情况下进一步降低整体功耗。与深度睡眠模式相比，空闲模式后的唤醒时间更快。

进入深度睡眠模式：

- 经过形状: PLLx7: PD_MODE= 2_b 和 PLLx7: CONT_MODE= 0_b
- 一帧之后: CCR1: PD_MODE= 2_b 且 CCR0: CONT_MODE= 0_b
- 深度睡眠模式通过 CSCDS 寄存器定义（参见4.11节）
- 所有区块均可关闭
- 当 Cont Mode= 0_b 时，内部 80 MHz 时钟也会关闭 - 以实现额外的节能 - 否则（Cont Mode= 1_b）时钟会保持在深度睡眠期间对内部定时器 T_FED/T_SED 进行计数。
- 为了将 FSM 从深度睡眠中唤醒，主机必须进行以下编程：
 - PACR1: OSCCLKEN= 1_b 启用时钟门控
 - 然后通过 FRAME_START 应用第一个触发器。

进入深度睡眠控制模式：

- 经过形状: PLLx7: PD_MODE= 2_b 和 PLLx7: CONT_MODE= 1_b
- 一帧之后: CCR1: PD_MODE= 2_b 且 CCR0: CONT_MODE= 1_b

如果启用 CCR0: CONT_MODE= 1_b，则会自动从深度睡眠中唤醒。内部系统时钟保持运行。

如果出现错误：

如果发生 FIFO 溢出情况，即使内部计数器保持先前的值，FSM 也会使传感器进入深度睡眠电源模式，即 FSM 未重置并且需要重置。为了重置 FIFO，主机应至少发送一个 MAIN:FIFO_RESET 命令（参见第 4.2 节）。

如果发生 FIFO 溢出，则会在 FSTAT:FOF_ERR（参见第 4.23 节）或 GSR0:FOF_ERR（参见第 4.24 节）中报告该事件。

在这种情况下，只要不发生复位，就可以从主机读取 FIFO 内的数据。重置后，标志 FSTAT:FOF_ERR 和 GSR0:FOF_ERR 将被清除。

注释

每次 SPI 访问芯片时，出于同步原因，内部都会启用 80 MHz 时钟。

3.3.2 电源模式和时间

本节介绍 BGT60TR13C FSM 可以进入的电源模式和状态。

形状、帧和通道集定义

3.3.3 从“深度睡眠”到“空闲”的唤醒阶段

VDDD 上电后，主 LDO 需要 20 μ s 来稳定 VDDC。复位后，芯片将进入深度睡眠状态。下图描述了唤醒芯片的时序。

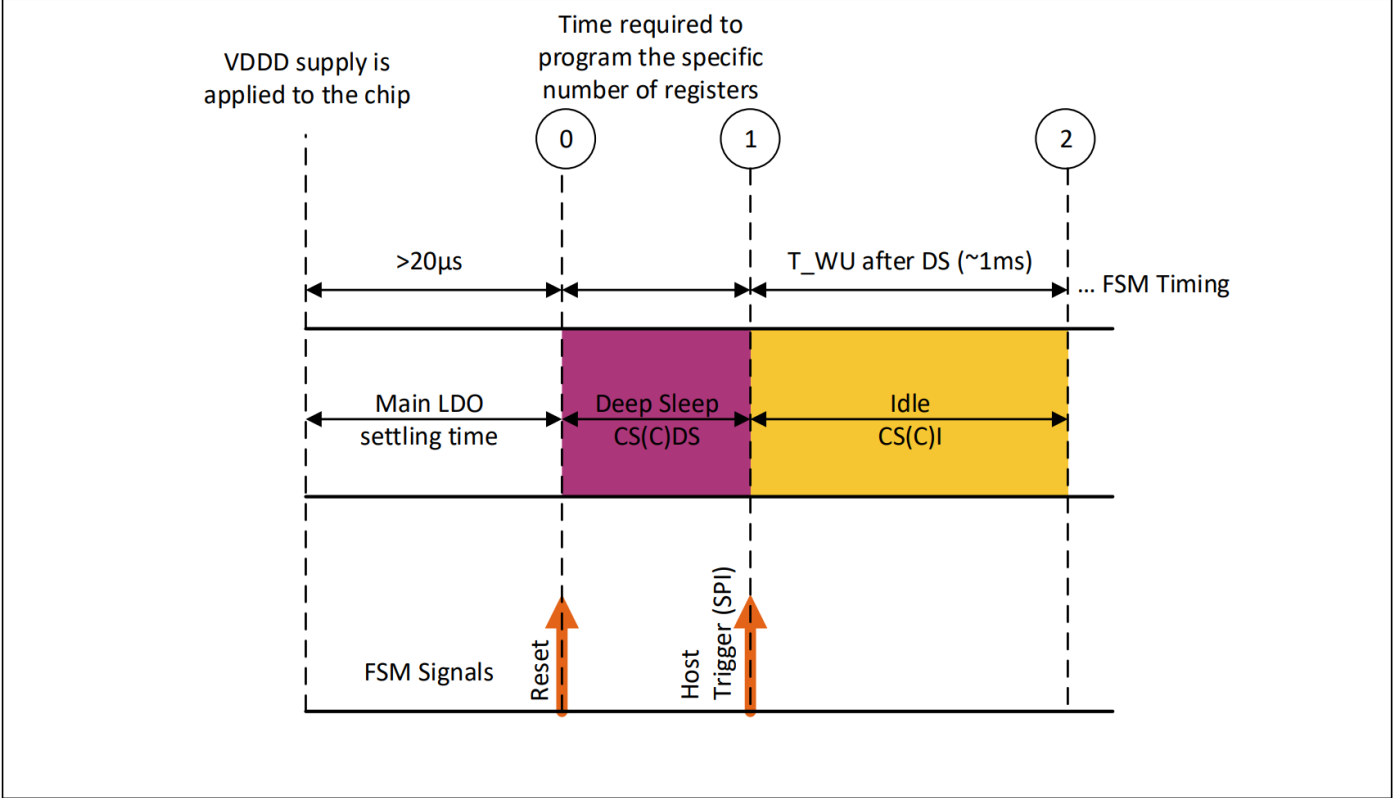


图 11 深度睡眠到空闲的转换

表 14 从深度睡眠到空闲的转换

From #	To #	Description	Signals	Related time
#0		Chip is reset by host (see section 5.9).		
#0	#1	Host programs all registers needed for expected functionality.		
#1		Host enables the oscillator: PACR1:OSCCLKEN= 1 _b to enable the clock gating.		
#1		Host starts the first trigger; it can be applied via FRAME_START.		
#1		Activate bandgap for MADC.		
#1	#2	Time required to settle the ADC BG (charge of external cap).		T_WU
#2		Enable PLL, MADC, and SADC.		
#2		MADC sends ready signal to FSM.	madc_rdy	

形状、帧和通道集定义

3.3.4 空闲到 Interchirp 然后激活

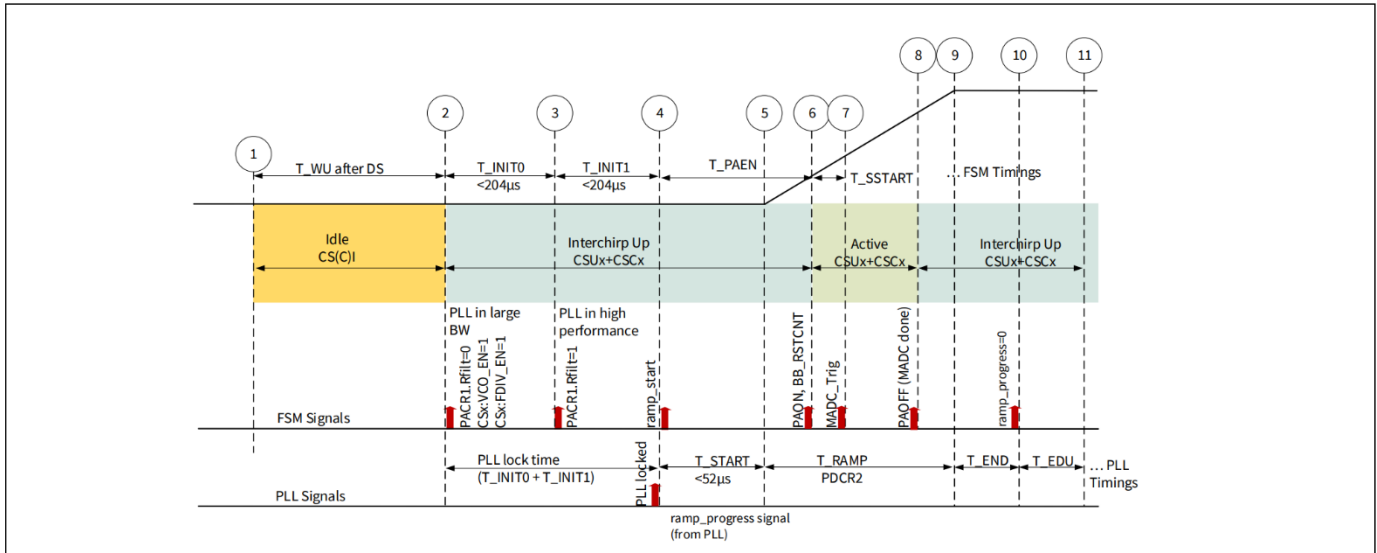


图 12 从空闲到Interchirp再到活动到Interchirp的转换

表 15 从空闲到Interchirp转换到活动到Interchirp转换

From #	To #	Description	Signals	Related time
#1		Idle mode is activated.		
#1		Host has to enable the bandgap (CSCI:BG_EN= 1 _B in section 4.11).		
#1	#2	If Idle mode comes after a Deep Sleep (see transition from Deep Sleep to Idle).		T_WU
#1	#2	If Idle mode comes after an Interchirp mode, the bandgap is already running.		T_SED
#2		Interchirp Up mode is activated by selecting CSUx + CSCx register depending on the actual channel set (see section 4.10).		
#2		Host already enabled the blocks required by the PLL: CSx:VCO_EN= 1 _B CSx:FDIV_EN= 1 _B		
#2		FSM sets power mode from CSUx + CSCx.		
#2		FSM sets PACR1.RFILTSEL = 0 _B .		
#2	#3	The PLL needs some time to initialize the filter settings, 75 µs typ.		T_INIT0
#3		FSM sets PACR1.RFILTSEL= 1 _B .		
#3	#4	The PLL needs again some time to settle the mode, 15 µs typ.		T_INIT1
#4		PLL sends lock signal to FSM.	PLL_lock	
#4		FSM gives ramp_start signal to PLL.	RAMP_START	
#4	#5	PLL needs some settling time before chirp can start. The PLL timer is running in parallel to the FSM timer. T_START will be evaluated during system testing.		T_START (PLL)
#5	#9	PLL will run the frequency chirp.		T_RAMP

形状、帧和通道集定义

From #	To #	Description	Signals	Related time
				(PLL)
#4	#6	Some programmable delay		T_PAEN
#6		Active mode starts here.		
#6		PA is enabled (PAON). Host makes sure that PA is not ON before the chirp starts (>#5).	PAON	
#6		Baseband reset timer is enabled here based on the CSx:BB_RSTCNT value.		
#6	#7	During this phase, the baseband can settle.		T_SSTART
#7		MADC is triggered for the active segment (Up).	MADC_TRIG	
#7		SADC is triggered once here.		
#7	#8	MADC starts acquiring the given number of samples (PLLx:APU in section 4.16). See section 3.4.		T_ACQUx
#8		MADC has completed the acquisition of the expected number of samples.	MADC_DONE	
#8		PA is disabled (PAOFF) This condition must be reached before #9 The condition is: $T_PAEN + T_SSTART + T_ACQUx > T_START + T_RAMPx$.	PAOFF	
#8		Interchirp Up mode is activated again here (CSUx + CSCx).		
#9		PLL has completed the Upchirp.		
#9	#10	Programmable delay time (eg. 3 μ s).		T_END
#10		Ramp completed.	RAMP_DONE	
#10	#11	Programmable delay time (eg. 1 μ s).		T_EDU
#11		Interchirp Up mode ends here.		
#11		Interchirp Down mode is programmed here.		

形状、帧和通道集定义

3.3.5 锯齿形状时序

在锯齿波模式下，正常的 Upchirp 段之后会有一个快速下降段。锯齿波形状应在 PACR2:FSTDNEN 位域中启用（参见4.7节）。对于锯齿波，仅使用 CSU（Upchirp）（参见4.10节）。该段完成后，应用时间 T_{EDU} （参见4.16节，PLLx2#）。

参见图 13。

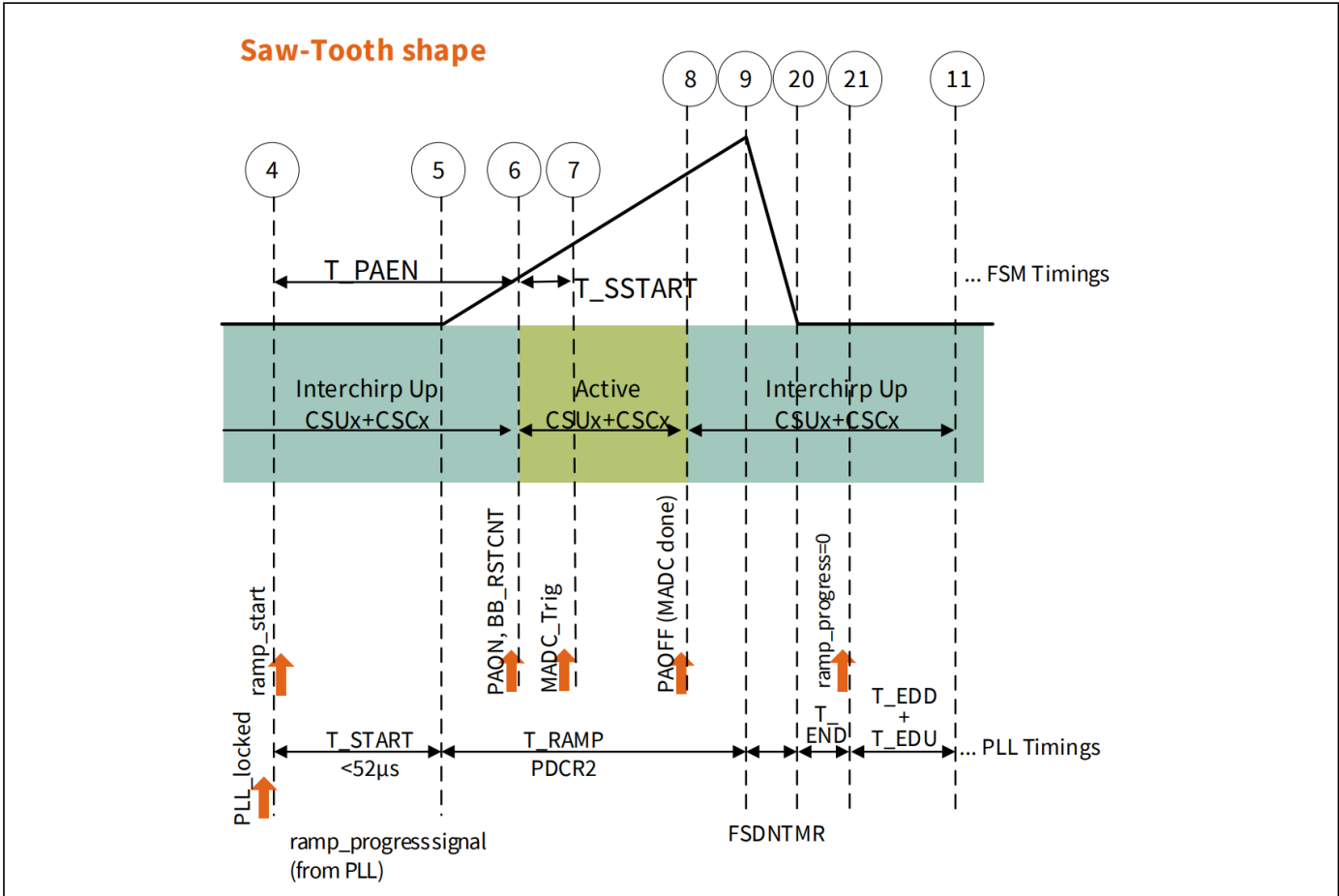


图13 锯齿形时序

3.3.6 形状和形状组后的不同电源模式

在形状以 Downchirp 结束后，芯片可以根据设置（PLLx、CSx、CSCx、..）进入不同的电源模式：

- 形状之间的Interchirp模式——用于快速chirp重复
- 形状组后的空闲模式——形状组之间的延迟较长且需要最大程度的省电
- 如果预计会有非常长的延迟，则形状组之后将进入深度睡眠 + 空闲模式。

3.3.6.1 形状或形状组后空闲

当需要在形状之间长时间处于低功耗模式时，可以设置形状或形状组之后的空闲模式。图 14 表示图 12 中所示的时间行为延续。

形状、帧和通道集定义

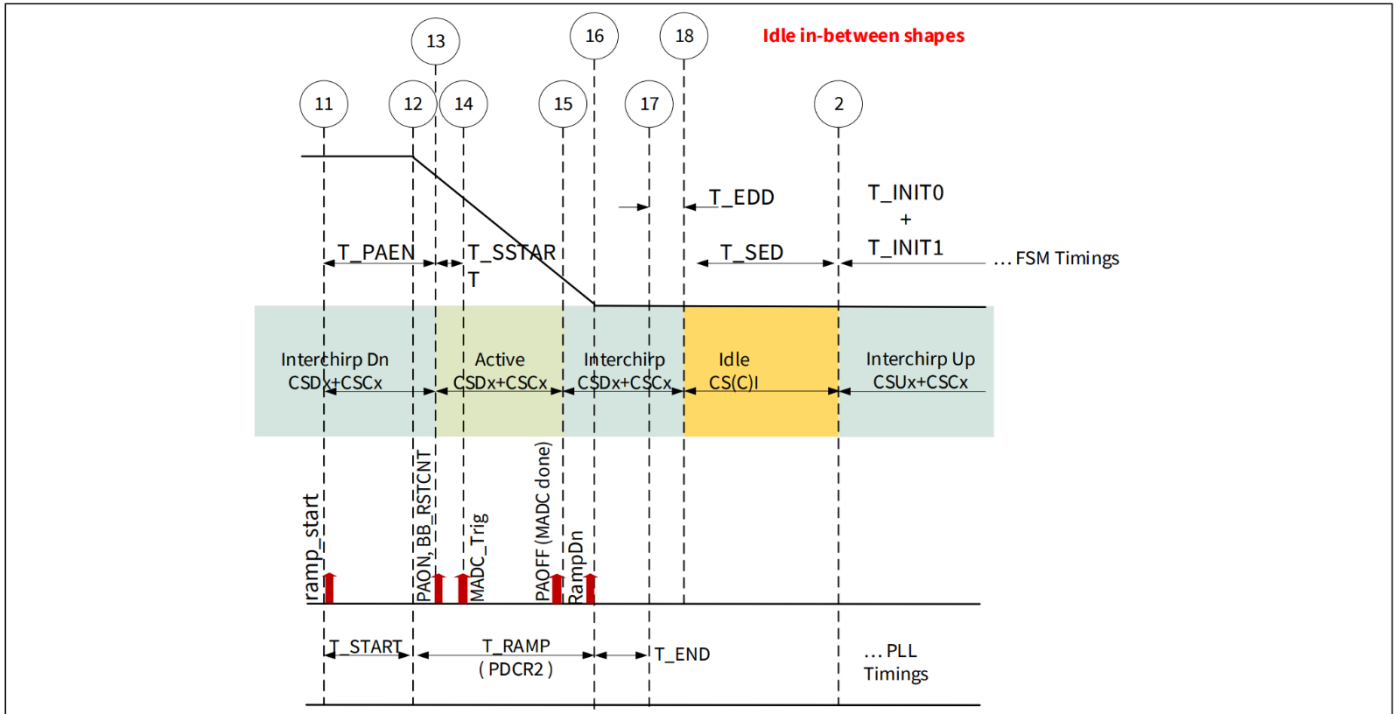


图 14 形状组后的空闲模式

表 16 形状的开始和形状之间的相互调频

From #	To #	Description	Signals	Related time
#11		Interchirp Dn mode is programmed here (CSDx + CSCx).		
#11		FSM generates ramp_start signal.	Ramp_start	
		PLL related:		
#11	#12	Preparation for Downchirp.		T_START
#12	#16	Downchirp time.		T_RAMP
#16	#17	Some delay after Downchirp is completed.		T_END
		FSM related:		
#11	#13	Some delay (see above T_PAEN).		T_PAEN
#13		Active mode is entered with settings from previous Interchirp Dn mode (CSDx+CSCx).		
#13		PA is enabled (PAON). Host ensures that PA is not ON before the chirp starts (>#12).	PAON	
#13		Baseband reset timer is enabled here based on the CSx:BB_RSTCNT value.		
#13	#14	During this phase, the baseband can settle		T_SSTAR
#14	#15	MADC starts acquiring the given number of samples (PLLx:APD in section 4.16). See section 3.4.	MADC_TRIG	T_ACQDx
#15		MADC has completed the acquisition of the expected number of samples.	MADC_DONE	
#15		PA is disabled (PAOFF) This condition must be reached before #16 The condition is:	PAOFF	

形状、帧和通道集定义

From #	To #	Description	Signals	Related time
		$T_PAEN + T_SSTART + T_ACQDx > T_START + T_RAMPx$.		
#15		Interchirp Dn mode is activated again here ($CSDx + CSCx$).		
#14	#16	FSM waits for PLL if ramp down to calculate #17 (TMREND).		
#16		PLL signals the end of the Downchirp (ramp progress).	RampDN	
#17	#18	Time delay programmed by the host.		T_EDD
#18	#2	Time programmed by the host to stay in Idle mode.		T_SED
#2		Same state #2 as in Figure 12 starts here.		

3.3.6.2 形状之间的Interchirp

当两个形状之间所需的间隙相对较小 ($< 25 \mu s$) 时，可以设置形状之间的相互调频。

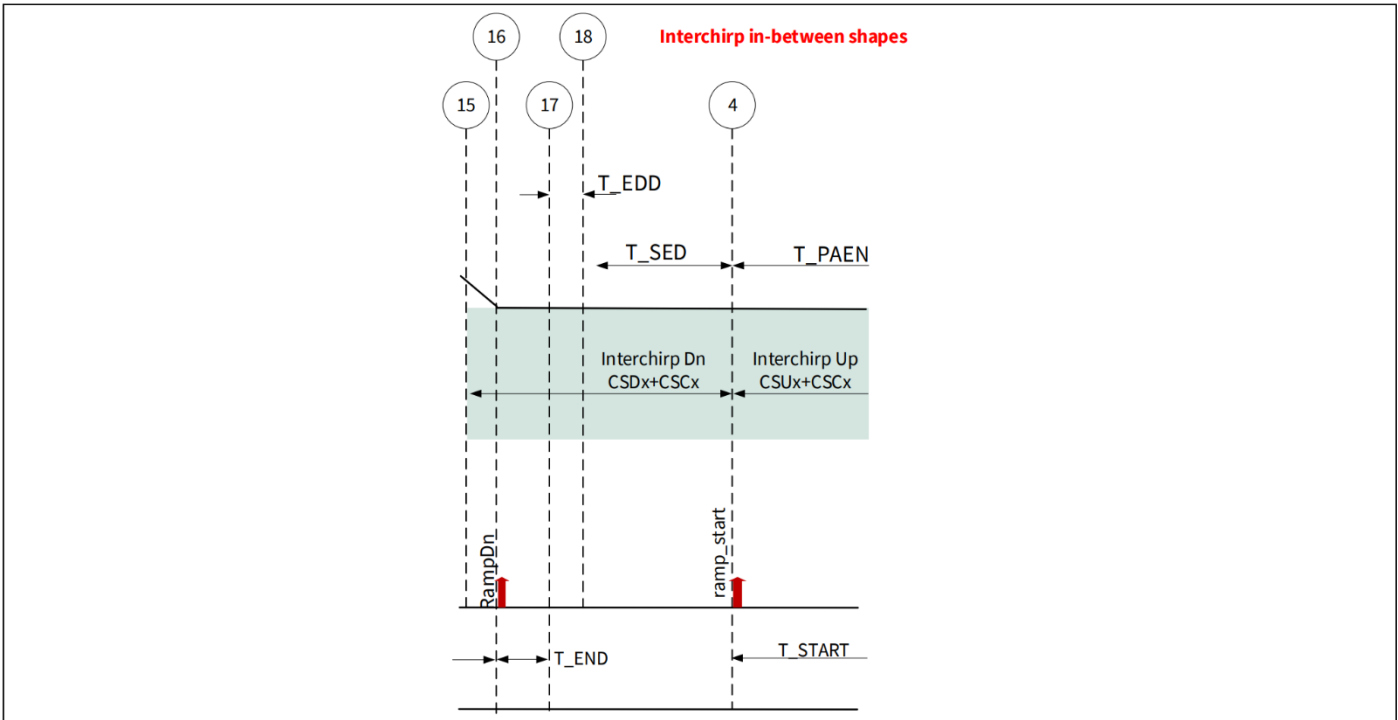


图 15 Interchirp 形状之间

表 17 Interchirp 中间形状

From #	To #	Description	Signals	Related time
#15		Interchirp Dn ($CSDx + CSCx$) is activated after Active mode.		
#16		PLL signals the end of the Downchirp (ramp progress).	RampDN	
#16	#17	Some delay after Downchirp is completed.		T_END
#17		PLL has completed its action.		
#17	#18	Time delay programmed by the host.		T_EDD
#18	#4	The chip will remain in the same interchirp power state for the provided amount of time (T_EDD).		T_SED
#4		Same state #4 as in Figure 12 starts here.		
#4		Interchirp Up mode programed by FSM here ($CSUx + CSCx$).		

形状、帧和通道集定义

3.3.6.3 深度睡眠连续+形状组后空闲唤醒

在形状组完成后的深度睡眠连续模式下，FSM 会在编程时间 T_{SED} 后自动唤醒。在此期间，内部时钟保持运行。深度睡眠控制是形状组之间唯一可能的深度睡眠电源模式。

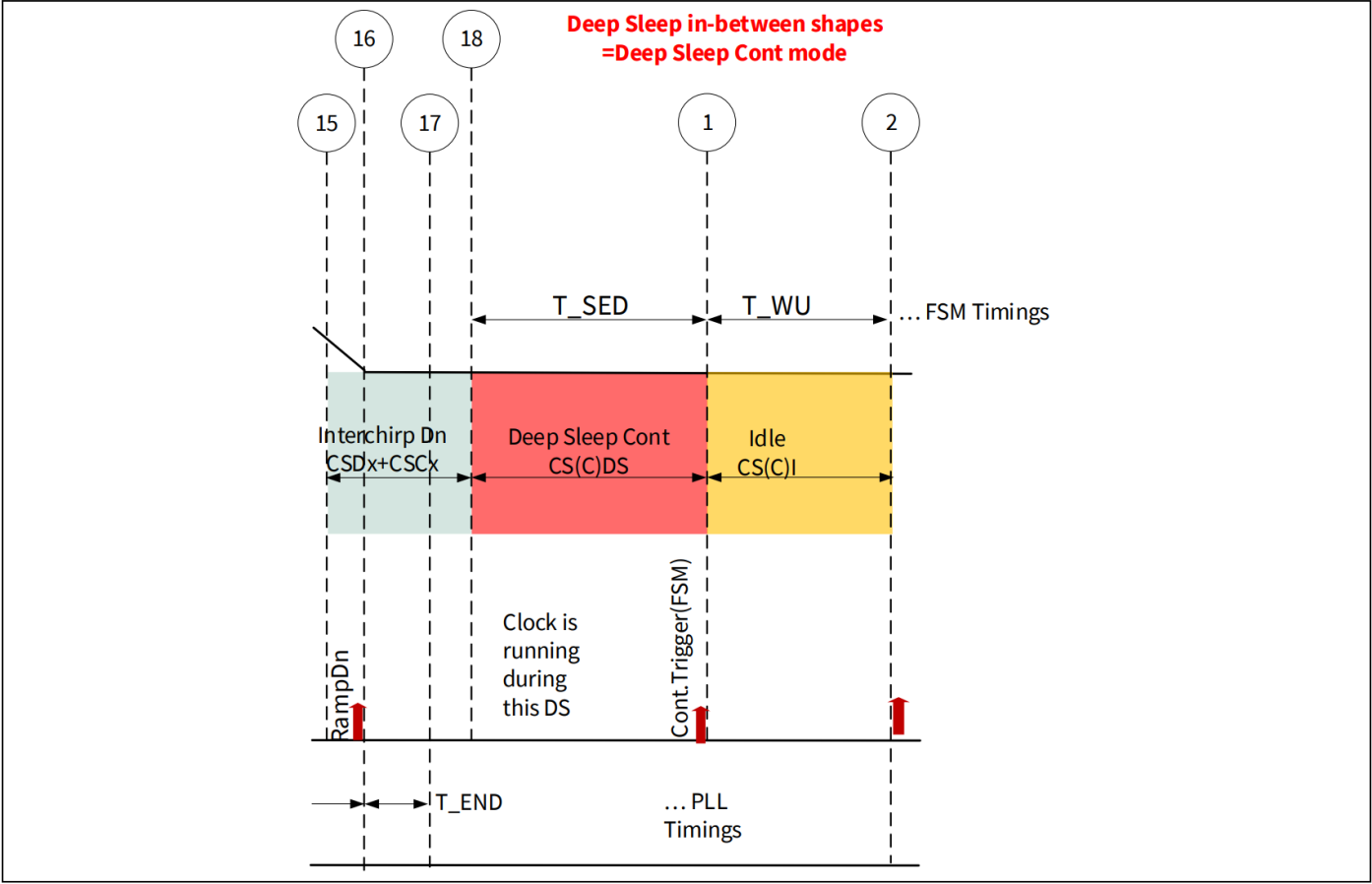


图 16 形状组后深度睡眠 + 空闲唤醒

形状、帧和通道集定义

表 18 深度睡眠控制 + 空闲唤醒后形状组

From #	To #	Description	Signals	Related time
#16	#17	Some delay after Downchirp is completed.		T_END
#17		PLL is completed its action.		
#17	#18	Time delay programmed by the host.		T_EDD
#17		Deep Sleep Cont mode is enabled. The difference to the normal Deep Sleep mode is, the f_{SYS_CLK} is kept running to count the internal timers.		
#17		The internal system clock f_{SYS_CLK} is kept running.		
#18	#1	The chip will be in Deep Sleep Cont mode.		T_SED
#1		Continuous trigger coming from the FSM.		
#1		Same start-up procedure as Figure 12 starts here.		

3.4 系统约束

3.4.1 MADC 采样时序条件和计算

频率chirp（形状的上升或下降段）期间的 MADC 样本数量应满足一些特定要求。

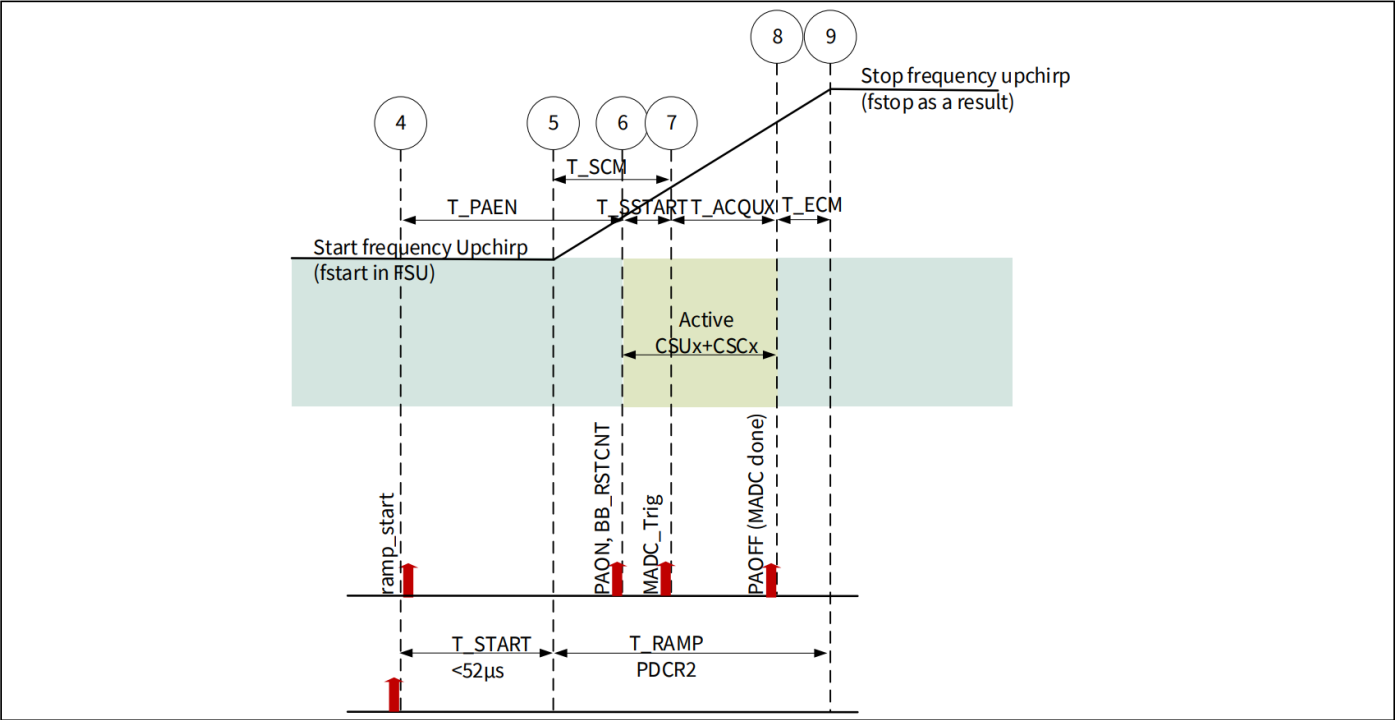


图17 T_RAMP时序条件

形状、帧和通道集定义

表 19 T_RAMP 时序条件

From #	To #	Description	Signals	Related time
#4		PLL starts counting.		
#4	#5	PLL starts.		T_START
#5	#9	PLL performs the frequency Upchirp, chirp from fstart (PLLx[1]:FSU) to fstop.		T_RAMP
#6	#8	Active Phase.		
#4	#7	Time to start the MADC.		T_PAEN+T_SSTART
#7	#8	MADC sampling time for Upchirp raw data.		T_ACQUX
#8	#9	End chirp margin T_ECM is needed to avoid transmission out of band. Empirically derived in System.		T_ECM
#5	#7	Start chirp margin T_SCM is needed to avoid transmission out of band. Empirically derived in System.		T_SCM

ADC Sampling Rate $f_{\text{ADC_SAMP}}$ (see section 8.5.5):

$$f_{\text{ADC_SAMP}} = f_{\text{ADC_CLK}} / \text{ADC_DIV}$$

ADC acquisition time for Upchirp T_ACQUx:

$$T_{\text{ACQUx}} = \text{APUx} / f_{\text{ADC_SAMP}}$$

Where APU is the number of samples.

End chirp margin T_ECM is tested in system but assumed to be more than 0 μs :

$$T_{\text{ECM}} > 0\mu\text{s}, T_{\text{SCM}} > 0\mu\text{s}$$

Condition on the data acquisition start time:

$$T_{\text{PAEN}} + T_{\text{SSTART}} > T_{\text{START}}$$

Considering the start chirp margin TCM at the beginning:

$$T_{\text{PAEN}} + T_{\text{SSTART}} - T_{\text{SCM}} = T_{\text{START}}$$

Overall timing equation:

$$T_{\text{PAEN}} + T_{\text{SSTART}} + T_{\text{ACQUx}} + T_{\text{ECM}} = T_{\text{START}} + T_{\text{RAMP}}$$

Example, fixed number of samples:

In case the user expects a fixed number of samples, the APU is set and T_RAMP is calculated.

The time for a frequency ramp T_RAMP is:

$$T_{\text{RAMP}} (\text{PLLx2\#}: \text{RTU in section 4.16}) = T_{\text{PAEN}} + T_{\text{SSTART}} + T_{\text{ACQUx}} + T_{\text{ECM}} - T_{\text{START}}$$

Example, Fixed chirp-time (T_RAMP):

$$T_{\text{ACQUx}} = T_{\text{RAMP}} - (T_{\text{SCM}} + T_{\text{ECM}})$$

$$\text{APU} = (T_{\text{ACQUx}} * f_{\text{ADC_SAMP}}),$$

$$\text{APU} (\text{PLLx3\#}: \text{APU in section 4.16}) = (T_{\text{RAMP}} - (T_{\text{SCM}} + T_{\text{ECM}})) * (f_{\text{SYS_CLK}} / \text{ADC_DIV})$$

形状、帧和通道集定义

3.4.2 PLL频率斜坡设置

PLL 产生的射频频率斜坡由 PLLx 寄存器控制（参见第4.16节），其中位字段 FSU、RSU 和 RTU 控制形状的上行chirp，寄存器 FSD、RSD 和 RTD 控制形状的下行chirp。以下描述仅涉及上行chirp斜坡的设置。给定的公式可用于下行chirp斜坡，只需将 FSU 替换为 FSD、将 RSU 替换为 RSD 以及将 RTU 替换为 RTD 即可。

每个 RF 频率斜坡由编程为 FSU 的起始频率、编程为 RSU 的斜坡斜率和编程为 RTU 的斜坡时间定义。必须注意的是，RSU 中的斜率指定为每个时钟周期的频率增量，而 RTU 中的斜坡时间指定为步数，其中一个步长意味着 8 个时钟周期。RSU与RTU关系如图18所示。

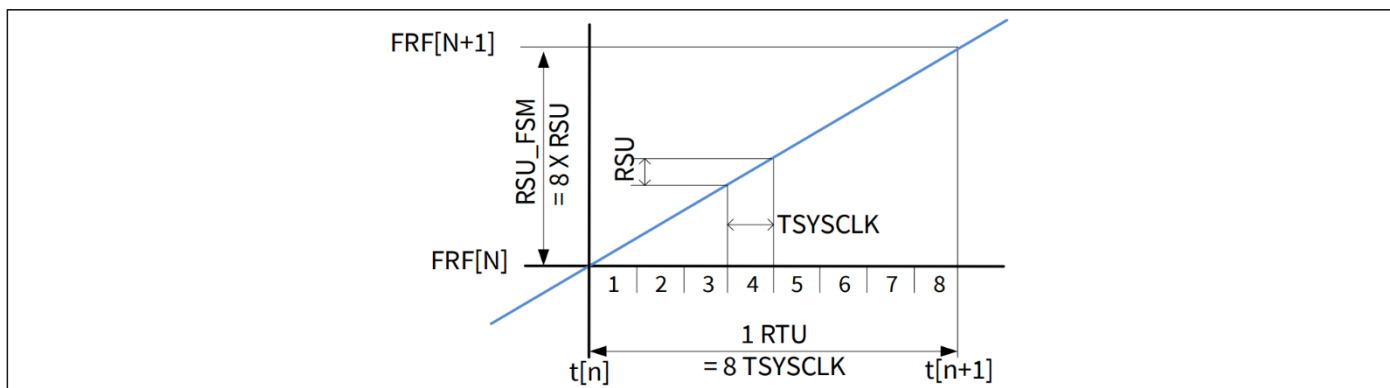


图18 RTU与RSU关系

编程到 FSU 位字段以控制斜坡起始频率的值 N_{FSU} 是一个有符号的 2 的补码数，范围为 $[-2^{23} \dots (2^{23} - 1)]$ 。RF 频率 f_{RF} 和 N_{FSU} 之间的关系如下：

$$f_{RF} = 8f_{SYSCLK} \left[4(N_{DIVSET} + 2) + 8 + \frac{N_{FSU}}{2^{20}} \right]$$

其中 f_{SYSCLK} 是参考时钟振荡器的频率（通常为 80 MHz）， N_{DIVSET} 是寄存器 PACR2 中位字段 DIVSET 的编程值（默认值为 20，参见第4.7节）。因此， N_{FSU} 的值可以通过以下公式计算：

$$N_{FSU} = 2^{20} \left[\frac{f_{RF}}{8f_{SYSCLK}} - 4(N_{DIVSET} + 2) - 8 \right]$$

编程到 RSU 位字段以控制每个时钟周期频率增量的值 N_{RSU} 也是一个有符号的 2 的补码数，范围为 $[-2^{23} \dots (2^{23} - 1)]$ 。RF 频率增量 Δf_{RF} 和 N_{RSU} 之间的关系如下：

$$\Delta f_{RF} = 8f_{SYSCLK} \frac{N_{RSU}}{2^{20}}$$

或者

形状、帧和通道集定义

$$N_{RSU} = 2^{20} \frac{\Delta f_{RF}}{8f_{SYSCLK}}.$$

注释

斜率位字段 RSU 和 RSD 均可保存正值和负值，因此，上行线性调频脉冲也可以编程为下降斜坡，下行线性调频脉冲可以编程为上升斜坡。“上行线性调频脉冲”和“下行线性调频脉冲”的命名约定基于三角波形始终以上升斜坡开始的假设。因此，无论实际斜坡斜率如何，在三角波形模式下，上行线性调频脉冲寄存器始终引用波形的第一个线性调频脉冲，而下行线性调频脉冲寄存器始终引用波形的第二个线性调频脉冲。

PLL 设置示例 1 ($f_{SYSCLK} = 80 \text{ MHz}$)

参考时钟频率为 80 MHz 时， N_{DIVSET} 的推荐值为 20，即默认值。使用这些参数，转换公式简化为：

$$N_{FSU} = 2^{20} \left[\frac{f_{RF}}{640 \text{ MHz}} - 96 \right]$$

以及

$$N_{RSU} = 2^{20} \frac{\Delta f_{RF}}{640 \text{ MHz}}$$

利用 PLL 的 24 位 2 的补码频率寄存器，总可编程 RF 频率范围为 $56.32 \text{ GHz} \leq f_{RF} \leq 66.559 \text{ GHz}$ 。这可能比有效实现的频率范围更宽（有关 PLL 规范，请参阅第 6 节）。

为了在 $36 \mu\text{s}$ 内实现频率从 58 GHz 上升至 63.5 GHz，FSU 寄存器编程为：

$$N_{FSU} = 2^{20} \left[\frac{58 \text{ GHz}}{640 \text{ MHz}} - 96 \right] = -5636096 \hat{=} A40000_{\text{hex}}.$$

斜坡时间位字段 RTU 被编程为：

$$N_{RTU} = \frac{t_{\text{ramp}}}{8 \cdot T_{SYSCLK}} = 36 \mu\text{s} \frac{80 \text{ MHz}}{8} = 360.$$

每个时钟周期的频率增量导致：

$$\Delta f_{RF} = \frac{f_{RF,end} - f_{RF,start}}{8 \cdot N_{RTU}} = \frac{63.5 \text{ GHz} - 58 \text{ GHz}}{8 \cdot 360} = \frac{5.5 \text{ GHz}}{2880} = 1.9097\bar{2} \text{ MHz}.$$

因此，位字段 RSU 被编程为：

$$N_{RSU} = 2^{20} \frac{1.9097\bar{2} \text{ MHz}}{640 \text{ MHz}} = 3128.\bar{8} \hat{=} 3128 \hat{=} 000C38_{\text{hex}}.$$

由于上述计算的舍入误差，斜坡将以略有不同的结束频率结束：

$$f_{RF,end} = f_{RF,start} + 8 \cdot N_{RTU} \cdot \frac{640 \text{ MHz}}{2^{20}} N_{RSU} = 63.4984375 \text{ GHz}.$$

形状、帧和通道集定义

PLL 设置示例2 ($f_{SYSCLK} = 76.8 \text{ MHz}$)

参考时钟频率为 76.8 MHz, N_{DIVSET} 的推荐值为 21。使用这些参数, 转换公式简化为:

$$N_{FSU} = 2^{20} \left[\frac{f_{RF}}{614.4 \text{ MHz}} - 100 \right]$$

以及

$$N_{RSU} = 2^{20} \frac{\Delta f_{RF}}{614.4 \text{ MHz}}$$

使用 PLL 的 24 位 2 的补码频率寄存器, 总可编程 RF 频率范围为 $56.5248 \text{ GHz} \leq f_{RF} \leq 66.3552 \text{ GHz}$ 。该范围可能比有效可实现的频率范围更宽 (有关 PLL 规格, 请参阅第 6 节)。

为了在 $36 \mu\text{s}$ 内实现频率从 58 GHz 上升至 63.5 GHz, FSU 寄存器编程为:

$$N_{FSU} = 2^{20} \left[\frac{58 \text{ GHz}}{614.4 \text{ MHz}} - 100 \right] = -5870933.3 \cong -5870933 \cong A66AAB_{hex}.$$

斜坡时间位字段 RTU 被编程为:

$$N_{RTU} = \frac{t_{ramp}}{8 \cdot T_{SYSCLK}} = 36 \mu\text{s} \frac{76.8 \text{ MHz}}{8} = 345.6 \cong 346.$$

每个时钟周期的频率增量导致:

$$\Delta f_{RF} = \frac{f_{RF,end} - f_{RF,start}}{8 \cdot N_{RTU}} = \frac{63.5 \text{ GHz} - 58 \text{ GHz}}{8 \cdot 346} = \frac{5.5 \text{ GHz}}{2768} = 1.986994 \text{ MHz}.$$

因此, 位字段 RSU 被编程为:

$$N_{RSU} = 2^{20} \frac{1.986994 \text{ MHz}}{614.4 \text{ MHz}} = 3391.13680 \cong 3391 \cong 000D3F_{hex}.$$

由于上述计算的舍入误差, 斜坡将以略有不同的结束频率结束:

$$f_{RF,start} = 614.4 \text{ MHz} \left[100 + \frac{N_{FSU}}{2^{20}} \right] = 58.0000002 \text{ GHz}$$

$$f_{RF,end} = f_{RF,start} + 8 \cdot N_{RTU} \cdot \frac{614.4 \text{ MHz}}{2^{20}} N_{RSU} = 63.499778315 \text{ GHz}.$$

BGT60TR13C寄存器

4 BGT60TR13C寄存器

通过 SPI 可见的寄存器阵列用于控制和编程芯片内不同块的状态。

4.1 寄存器列表

每个寄存器按 24 位为一个块排列。每个块都由其唯一地址标识。这些寄存器可通过 SPI 模块访问。每个寄存器的位字段按 MSB 优先顺序排列。

表 20 下表概述了 BGT60TR13C 寄存器。寄存器概述/地址表

Register Address	Register Name	Description	RST	Section
0x00	MAIN	Main register		4.2
0x01	ADC0	MADC control register		4.3
0x02	CHIP_ID	Digital and RF version		4.3
0x03	STAT1	Status register 1		4.5
0x04	PACR1	PLL analog control register 1		4.6
0x05	PACR2	PLL analog control register 2		4.7
0x06	SFCTL	SPI and FIFO Control		4.8
0x07	SADC_CTRL	Sensor ADC ctrl reg		4.9
0x08	CSI_0	Channel set idle mode 0		4.10
0x09	CSI_1	Channel set idle mode 1		4.10
0x0A	CSI_2	Channel set idle mode 2		4.10
0x0B	CSCI	Channel set control idle mode		4.11
0x0C	CSDS_0	Channel set deep sleep mode 0		4.10
0x0D	CSDS_1	Channel set deep sleep mode 1		4.10
0x0E	CSDS_2	Channel set deep sleep mode 2		4.10
0x0F	CSCDS	Channel set control deep sleep mode		4.11
0x10	CSU1_0	Channel set 1 (up)		4.10
0x11	CSU1_1	Channel set 1 (up)		4.10
0x12	CSU1_2	Channel set 1 (up)		4.10
0x13	CSD1_0	Channel set 1 (down)		4.10
0x14	CSD1_1	Channel set 1 (down)		4.10
0x15	CSD1_2	Channel set 1 (down)		4.10
0x16	CSC1	Channel set control 1 (up/dn)		4.11
0x17	CSU2_0	Channel set 2 (up)		4.10
0x18	CSU2_1	Channel set 2 (up)		4.10
0x19	CSU2_2	Channel set 2 (up)		4.10
0x1A	CSD2_0	Channel set 2 (down)		4.10
0x1B	CSD2_1	Channel set 2 (down)		4.10
0x1C	CSD2_2	Channel set 2 (down)		4.10

BGT60TR13C寄存器

0x1D	CSC2	Channel set control 2 (up/dn)	4.11
0x1E	CSU3_0	Channel set 3 (up)	4.10
0x1F	CSU3_1	Channel set 3 (up)	4.10
0x20	CSU3_2	Channel set 3 (up)	4.10
0x21	CSD3_0	Channel set 3 (down)	4.10
0x22	CSD3_1	Channel set 3 (down)	4.10
0x23	CSD3_2	Channel set 3 (down)	4.10
0x24	CSC3	Channel set control 3 (up/dn)	4.11
0x25	CSU4_0	Channel set 4 (up)	4.10
0x26	CSU4_1	Channel set 4 (up)	4.10
0x27	CSU4_2	Channel set 4 (up)	4.10
0x28	CSD4_0	Channel set 4 (down)	4.10
0x29	CSD4_1	Channel set 4 (down)	4.10
0x2A	CSD4_2	Channel set 4 (down)	4.10
0x2B	CSC4	Channel set control 4 (up/dn)	4.11
0x2C	CCR0	Chirp control register 0	4.12
0x2D	CCR1	Chirp control register 1	4.13
0x2E	CCR2	Chirp control register 2	4.14
0x2F	CCR3	Chirp control register 3	4.15
0x30	PLL1_0	FSU1 – shape 1	4.16
0x31	PLL1_1	RSU1 – shape 1	4.16
0x32	PLL1_2	RTU1 – Shape 1	4.16
0x33	PLL1_3	AP1 – shape 1	4.16
0x34	PLL1_4	FSD1 – shape 1	4.16
0x35	PLL1_5	RSD1 – shape 1	4.16
0x36	PLL1_6	RTD1 – shape 1	4.16
0x37	PLL1_7	SCR – shape 1	4.17
0x38	PLL2_0	FSU1 – shape 2	4.16
0x39	PLL2_1	RSU1 – shape 2	4.16
0x3A	PLL2_2	RTU1 – shape 2	4.16
0x3B	PLL2_3	AP1 – shape 2	4.16
0x3C	PLL2_4	FSD1 – shape 2	4.16
0x3D	PLL2_5	RSD1 – shape 2	4.16
0x3E	PLL2_6	RTD1 – shape 2	4.16
0x3F	PLL2_7	SCR – shape 2	4.17
0x40	PLL3_0	FSU1 – shape 3	4.16
0x41	PLL3_1	RSU1 – shape 3	4.16
0x42	PLL3_2	RTU1 – shape 3	4.16
0x43	PLL3_3	AP1 – shape 3	4.16
0x44	PLL3_4	FSD1 – shape 3	4.16
0x45	PLL3_5	RSD1 – shape 3	4.16

BGT60TR13C寄存器

0x46	PLL3_6	RTD1 – shape 3		4.16
0x47	PLL3_7	SCR – shape 3		4.17
0x48	PLL4_0	FSU1 – shape 4		4.16
0x49	PLL4_1	RSU1 – shape 4		4.16
0x4A	PLL4_2	RTU1 – shape 4		4.16
0x4B	PLL4_3	AP1 – shape 4		4.16
0x4C	PLL4_4	FSD1 – shape 4		4.16
0x4D	PLL4_5	RSD1 – shape 4		4.16
0x4E	PLL4_6	RTD1 – shape 4		4.16
0x4F	PLL4_7	SCR – shape 4		4.17
0x55	RFT0	RF test register 0		4.19
0x56	RFT1	RSVD		4.20
0x59	PLL_DFT0	PLL DFT register 0		4.18
0x5D	STAT0	Status register 0		4.21
0x5E	SADC_RESULT	Sensor ADC result register		4.22
0x5F	FSTAT	FIFO status register		4.23
>= 0x60		FIFO access		

注释：寄存器中的保留位（RSVD）不应修改。除非另有规定，否则它们应保持默认/重置状态。

4.1.1 缩略词

寄存器的访问模式：

- R ...可读寄存器或位字段
- W ...可写寄存器或位字段
- S ...状态位可设置为可读模式“R”
- RSVD ...保留值，目前未分配

4.2 MAIN—主寄存器

该寄存器控制芯片的顶层行为。

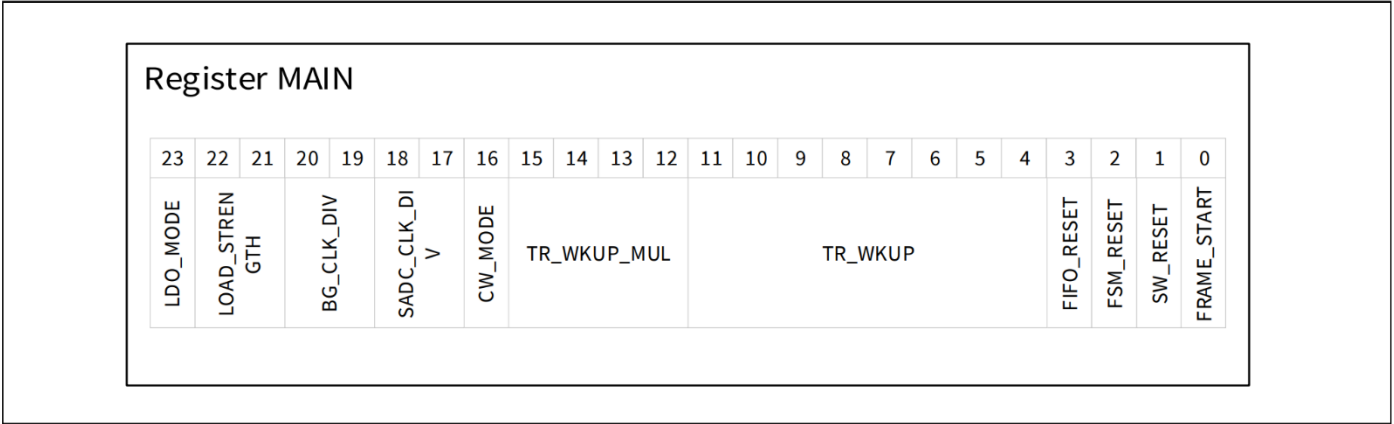


图19 MAIN寄存器

BGT60TR13C寄存器

表 21 MAIN: 寄存器描述

Symbol	Bits	Type	Description	RST
LDO_MODE	23	RW	The LDO settling time is defined by the LDO_MODE: 0 _B ... Low power (50 µA), slow settling time 1 _B ... High power (100 µA), fast settling time	0 _B
LOAD_STRENGTH	22:21	RW	Current spikes, overshoots and undershoots can occur on the VDDC during FSM transitions. Those can be smooth by applying a dummy load at the output of the LDO: 0 _D ... Disabled 1 _D ... 100 µA (current in the dummy load) 2 _D ... 200 µA (current in the dummy load) 3 _D ... 400 µA (current in the dummy load)	0 _D
BG_CLK_DIV	20:19	RW	Bandgap clock divider Bandgap clock frequency divider value: 0 _D ... Bandgap clock off 1 _D ... Divider value is 1 2 _D ... Divider value is 2 3 _D ... Divider value is 4 Note: not “clock tree balanced”	3 _D
SADC_CLKDIV	18:17	RW	SADC clock divider provides the system clock for the sensing ADC. The divider value is defined as: 0 _D ... SADC clock off 1 _D ... Divider value is 1 2 _D ... Divider value is 2 3 _D ... Divider value is 4	3 _D
CW_MODE	16	RW	Set to 1 _B : “Continuous Wave” mode: no shapes are executed but PLL / RF / ADC runs with values programmed in PDFT[0,1] registers and CS1.	0 _B
TR_WKUP_MUL	15:12	RW	Timer multiplier factor for wake-up time delay T_WU. Precise formula provided under MAIN:TR_WKUP.	0 _D
TR_WKUP	11:4	RW	Coefficient to calculate T_WU: 0 _D ... T _{SYS_CLK} From 1 _D to 255 _D the time delay T_WU is calculated as follows: $T_WU = (TR_WKUP \times 2^{TR_WKUP_MUL \times 8 + TR_WKUP_MUL + 3}) \times T_{SYS_CLK}$ In typical use-case T_WUTYP= 1ms.	0 _D
FIFO_RESET	3	W	Clears and resets data_fifo: 0 _B ... No change 1 _B ... Reset the FIFO and return back to 0	0 _B
FSM_RESET	2	W	Control FSM reset: 0 _B ... No change 1 _B ... Reset the control FSM and return back to 0 _B	0 _B
SW_RESET	1	W	Software reset:	0 _B

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
			0 _B ... No change 1 _B ... Reset the register settings and return back to 0 _B	
FRAME_START	0	W	Starts frame generation. After the frame generation is started writing 1 _B : 0 _B ... No effect 1 _B ... Starts the frame generation It can be stopped by an FSM_RESET.	0 _B

4.3 ADC0—MADC控制寄存器

该寄存器中的位用于正确设置 Rx 链中的 ADC。

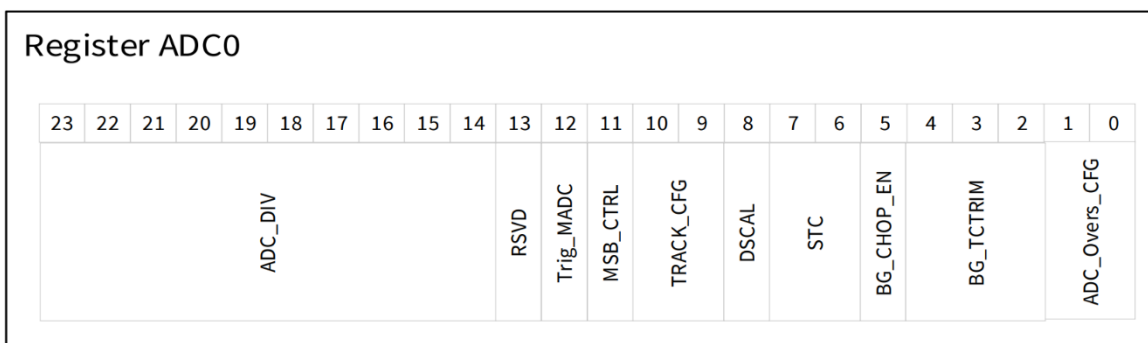


图20 ADC0寄存器

表 22 ADC0：寄存器描述

Symbol	Bits	Type	Description	RST
ADC_DIV	23:14	RW	Sampling frequency divider value. The actual sampling frequency will be $f_{\text{ADC_SAMP}} = f_{\text{ADC_CLK}} / \text{ADC_DIV}$: 20 _D ... minimum divider value $\rightarrow f_{\text{ADC_SAMP}} = 4 \text{ Msps}$ 33 _D ... typical value $\rightarrow f_{\text{ADC_SAMP}} = 2.42 \text{ Msps}$ 1023 _D ... max divider value $\rightarrow f_{\text{ADC_SAMP}} = 78.201 \text{ ksp}$	40 _D
RSVD	13	RW	RSVD	0 _B
TRIG_MADC	12	W	Test mode feature for single measurement acquisition. The results can be read through the test bits in registers ADC1 to ADC4: 0 _B ... Return value after trigger is captured internally 1 _B ... Single trigger event	0 _B
MSB_CTRL	11	RW	MSB decision time selection during calibration and conversion: 0 _B ... Single MSB decision time 1 _B ... Doubled MSB decision time	0 _B
TRACK_CFG	10:9	RW	Tracking conversion configuration bits: 0 _D ... No sub conversions are executed and averaged 1 _D ... 1 sub conversion 2 _D ... 3 sub conversions	1 _D

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
			3 _D ... 7 sub conversions	
DSCAL	8	RW	Disable Startup calibration: 0 _B ... startup calibration is enabled 1 _B ... startup calibration is disabled	0 _B
STC	7:6	RW	Sample time control: 0 _D ... 50 ns 1 _D ... 100 ns 2 _D ... 200 ns 3 _D ... 400 ns	1 _D
BG_CHOP_EN	5	RW	Enable chopping within the bandgap. 0 _B ... No chopping enabled 1 _B ... Chopping enabled	0 _B
BG_TC_TRIM	4:2	RW	Static temperature coefficient trimming 0 _D ... Min. value 7 _D ... Max. value	0 _D
ADC_OVERS_CFG	1:0	RW	Oversampling configuration: 0 _D ... Standard single 11 bits conversion 1 _D ... Reserved 2 _D ... Reserved 3 _D ... Reserved Note: Oversampling must be set to 0 _D	0 _D

4.4 CHIP_ID

寄存器 CHIP_ID 提供有关数字代码版本、RF 块版本和天线配置（例如通道数量、天线位置）的信息。
驱动程序使用它根据上述信息正确配置设备。

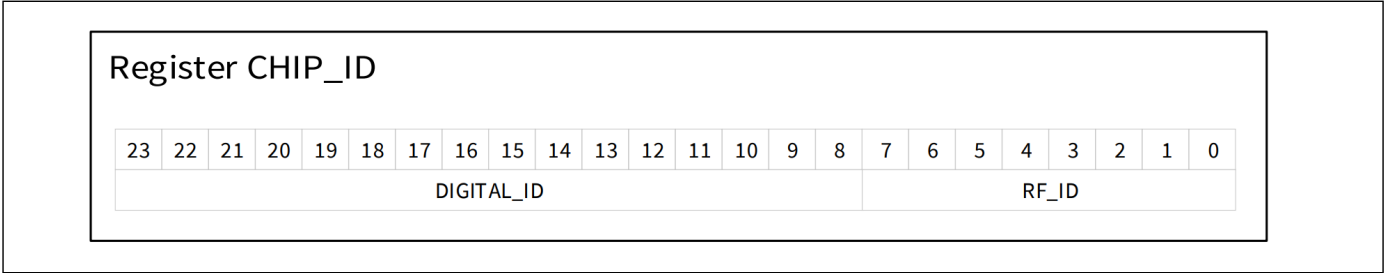


图21 CHIP_ID寄存器

表 23 CHIP_ID：寄存器描述

Symbol	Bits	Type	Description	RST
DIGITAL_ID	23:8	R	3 _D	3 _D
RF_ID	7:0	R	3 _D ... 1ch Tx, 3ch Rx	3 _D

Digital_ID 和 RF_ID 将根据最新的芯片发布/版本而递增。

BGT60TR13C寄存器

4.5 STAT1—状态寄存器1

状态寄存器为实际的帧数和形状提供内部计数器值。它们也提供给数据头。然而，应该提到的是，对于所有状态寄存器，STAT0、STAT1 和 FSTAT，除了 FIFO 状态和错误标志之外，每个状态寄存器字段的更新可能发生在相对于 FSM 状态的不同时序事件上，并且字段内容应该彼此独立处理。在 CW 模式下，例如 100 μ s 后即可正确读取状态位。

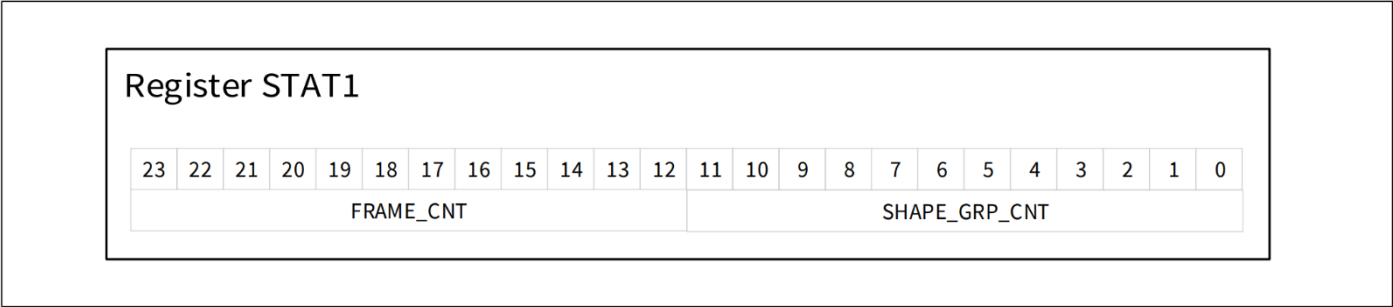


图22 STAT1：状态寄存器1

表 24 STAT1：寄存器描述

Symbol	Bits	Type	Description	RST
FRAME_CNT	23:12	R	Frame counter value: 0 _D ... Reset value / after max. value rollover 4095 _D ... Max. value Note: This field is for debug only. Note: FRAME_CNT info should not be used when endless mode enabled (please check CCR2:MAX_FRAME_CNT).	0 _D
SHAPE_GRP_CNT	11:0	R	Shape group counter counts the actual shape groups: 0 _D ... Reset value / after max. value for SHAPE_GRP_CNT reached 4095 _D ... Max. value	0 _D

注释

1. 一个形状由“向上chirp”段和“向下chirp”段组成。
2. 锯齿形由“向上chirp”和“快速向下chirp”产生。
3. “Fast Down Chirp” 中没有数据采集。

BGT60TR13C寄存器

4.6 PACR1: PLL模拟控制寄存器1

该寄存器中的位用于正确设置 PLL。

Register PACR1

23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
OSCCLKEN	LFEN	CPEN	BIASFORC	ICPSEL			LOCKFORC	LOCKSEL			RSVD	RLFSEL	RFILTSEL	VREFSEL		U2IEN	BGAPEN	VDIGREG		DIGPON	VANAREG		ANAPON

图23 PACR1寄存器

表 25 PACR1: 寄存器描述

Symbol	Bits	Type	Description	RST
OSCCLKEN	23	RW	Enable clock path for system clock: 0 _B ... Clock off 1 _B ... Clock path active by default this is disabled This bit is controlled by FSM during operation. After deep sleep this bit should be enabled by the host. Before the MAIN: FRAME_START is raised the OSCCLKEN should be enabled!	0 _B
LFEN	22	RW	Enable loop filter: 0 _B ... Off(default) 1 _B ... On	0 _B
CPEN	21	RW	Enable charge pump: 0 _B ... Off(default) 1 _B ... On	0 _B
BIASFORC	20	RW	Use fixed biasing inside charge pump (= disable bias reg. loop): 0 _B ... Fixed biasing off = bias regulation loop active (default) 1 _B ... Fixed biasing on = bias regulation loop deactivated	1 _B
ICPSEL	19:17	RW	Select charge pump current: 0 _D ... 40 µA 1 _D ... 80 µA 2 _D ... 120 µA 3 _D ... 160 µA 4 _D ... 200 µA (default) 5 _D ... 240 µA 6 _D to 7 _D ... 280 µA	4 _D
LOCKFORC	16	RW	Force lock signal to high: 0 _B ... Lock signal not forced 1 _B ... Lock forced to high	1 _B

BGT60TR13C寄存器

LOCKSEL	15:13	RW	Select lock detection range/window: 0 _B ... 265 ps 1 _B ... 500 ps 2 _B ... 1 ns 3 _B ... 1.5 n (default) 4 _B ... 2 ns 5 _B ... 2.8 ns 6 _B ... 3.8 ns 7 _B ... 4.6 ns	3 _D
RSVD	12	RW	Reserved Read as 0 _B , must be written with 0 _B .	0 _B
RLFSEL	11	RW	Select Rlf inside the loop filter: 0 _B ... Rlf= 5 kOhm (default) 1 _B ... Rlf= 7 kOhm	0 _B
RFILTSEL	10	RW	Select Rfilt of the reference filter: 0 _B ... Rfilt= 100 kOhm 1 _B ... Rfilt= 1 MOhm (default) Switch together with CPEN from 0 _D to 1 _D to improve start-up time!	1 _B
VREFSEL	9:8	RW	Select reference voltage/common mode level of loop filter: 0 _D ... 433 mV 1 _D ... 506 mV (default) 2 _D ... 578 mV 3 _D ... 650 mV	1 _D
U2IEN	7	RW	Enable voltage-to-current converter: 0 _B ... off (default) 1 _B ... on	0 _B
BGAPEN	6	RW	Enable bandgap reference: 0 _B ... off (default) 1 _B ... on	0 _B
VDIGREG	5:4	RW	Program output voltage of dig-regulator: 0 _D ... V 1 _D ... V 2 _D ... 1.55 V (default) 3 _D ... 1.60 V (@Vbg = 1.2 V)	2 _D
DIGPON	3	RW	Enable dig-regulator: 0 _B ... Power off (default) 1 _B ... Power on	0 _B
VANAREG	2:1	RW	Program output voltage of ana-regulator: 0 _D ... V 1 _D ... V 2 _D ... 1.55 V (default) 3 _D ... 1.60 V (@Vbg = 1.2 V)	2 _D
ANAPON	0	RW	Enable analog regulator: 0 _B ... Power off (default) 1 _B ... Power on	0 _B

BGT60TR13C寄存器

4.7 PACR2: PLL 模拟控制寄存器 2

该寄存器中的位用于正确设置 PLL。

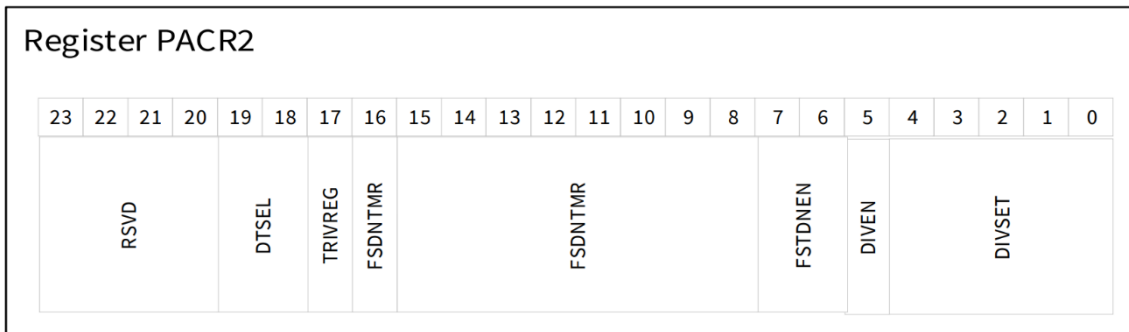


图24 PACR2 PLL寄存器

表 26 PACR2: 寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23:20	RW	Reserved	0 _D
DTSEL	19:18	RW	Set PFD dead time / dead zone: 0 _D ... 180 ps to 350 ps 1 _D ... 270 ps to 510 ps (default) 2 _D ... 360 ps to 680 ps 3 _D ... 450 ps to 840 ps	1 _D
TRIVREG	17	RW	Set regulator off-state to tristate (for both ana- & dig-regulator): 0 _B ... Off state is 0.0V (default) 1 _B ... Off state is to tristate (setting active for dig-regulator if DIGPON = 0 _B ; setting active for ana-regulator if ANAPON = 0 _B)	0 _B
FSDNTMR	16:8	RW	Defines the time for the PLL loop filter discharge during fast down chirp operation. When FSDNTMR = 0 _D and FSTDNEN is ≠ 0 _D , the fast down chirp length is internally assigned to a default value (@typ f _{SYS_CLK}): 0 _D ... 500 ns if FSTDNEN = 1 _D (discharge of the loop filter to the reference voltage set to PACR2:VREFSEL) 0 _D ... 700 ns if FSTDNEN = 2 _D (discharge of the loop filter in a defined time window) 0 _D ... 300 ns if FSTDNEN = 3 _D For FSDNTMR > 0 _D the discharge time will be T _{SYS_CLK} × (FSDNTMR+1): 1 _D ... 25 ns 2 _D ... 37.5 ns ... 511 _D ... 6.4 μs Suggested settings for the discharge time:	0 _D

BGT60TR13C寄存器

			PACR2:FSDNTMR= 5 _D Together with: PACR2:FSTDNEN= 2 _D Depending on the specific modulation bandwidth set, specific settings can be defined.	
FSTDNEN	7:6	W	Fast-down chirp enabled (see note below): 00 _B ... Disable (default) 01 _B ... Enable fast down chirp (mode 1) 10 _B ... Enable fast down chirp (mode 2) 11 _B ... Enable fast down chirp (mode 3) Suggested settings for the fast-down mode (active mode between chirps): PACR2:FSDNTMR = 5 _D Together with: PACR2:FSTDNEN = 2 _D Depending on the specific modulation bandwidth set, specific settings can be defined.	00 _B
DIVEN	5	RW	Enable divider: 0 _B ... Off: Input clock of divider and 80 MHz clock gated 1 _B ... On: clocks released	0 _B
DIVSET	4:0	RW	Set fixed part of integer division factor (consider offset of 2) Default = 20 _D , valid for a 80 MHz system clock. 21 _D should be used for a 76.8 MHz system clock.	20 _D

注释

该位字段通常由FSM 使用。如果不使用，FSM 会将位字段切换回默认值。

4.8 SFCTL – SPI 和 FIFO 控制寄存器

该寄存器用于配置SPI和FIFO。

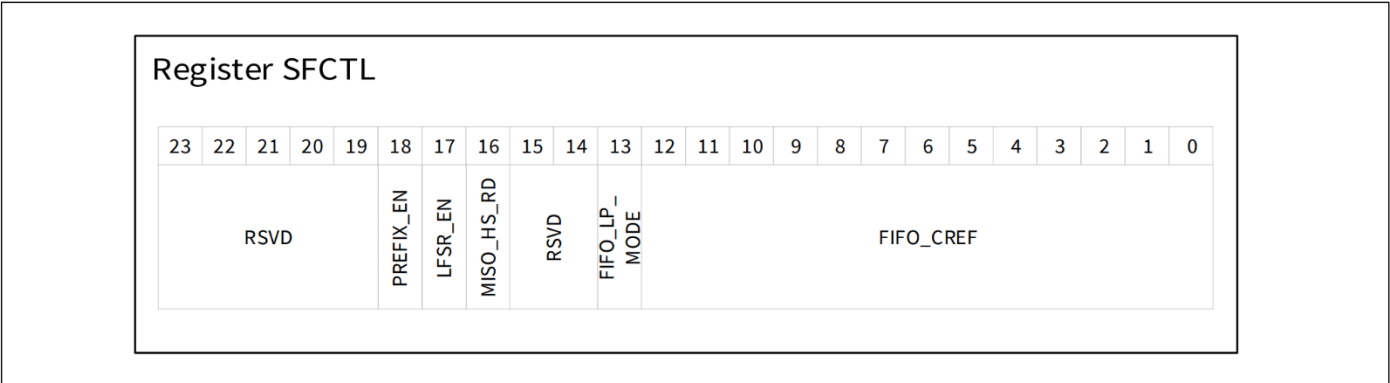


图25 SPI和FIFO控制寄存器

BGT60TR13C寄存器

表 27 SPI 和 FIFO 控制：寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23:19	RW	RSVD	14 _B
PREFIX_EN	18	RW	Enables the data header written into the FIFO prior to the sampling data of each chirp: 0 _B ... No prefix data header prior to chirp data 1 _B ... Prefix data header added prior to chirp data (see section 5.1 for data header)	0 _B
LFSR_EN	17	RW	Enable LFSR register data generation: 0 _B ... Normal data acquisition, LFSR reset 1 _B ... LFSR data generation started LFSR should be enabled after a FIFO reset to ensure an empty FIFO (see also 5.10).	0 _B
MISO_HS_RD	16	RW	0 _B ... MISO data is sent with falling edge of SPI CLK 1 _B ... MISO data is sent with rising edge (½ cycle earlier) Note: HS_RD = 0 _B can only be used for a SPI clock < 25 MHz. For HS-transfer please check the timing of the SPI Master and adjust settings accordingly. The setting becomes active when the last bit of FSCTL is clocked out and it affects MISO immediately. See also section 5.3.1.	1 _B
RSVD	15:14	RW	RSVD	0 _B
FIFO_LP_MODE	13	RW	FIFO power mode: 0 _B ... FIFO permanently enabled 1 _B ... FIFO activated dynamically	0 _B
FIFO_CREF	12:0	RW	FIFO compare reference: it defines the compare filling status for interrupt and CREF reporting When filling status is > FIFO_CREF an interrupt is issued: 0 _D ... minimum value is 0, interrupt generated in case first sample is written into FIFO 8191 _D ... maximum value in case FIFO is full with 8192 memory locations eg. CREF = 0x1000 represents a 50% compare reference	0 _D

4.9 SADC_CTRL 传感器ADC控制寄存器

该寄存器中的位用于正确设置用于监控片上传感器输出、温度和功率以及一些内部电压节点的传感器 ADC (SADC)。

BGT60TR13C寄存器

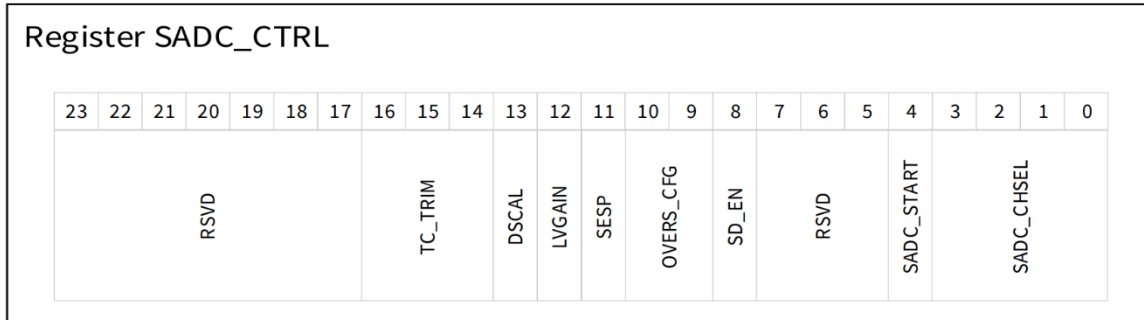


图26 SADC_CTRL寄存器

表 28 SADC_CTRL：寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23:17	RW	RSVD	0 _D
TC_TRIM	16:14	RW	Bandgap trim value: 0 _D ... Min. trim value 7 _D ... Max. trim value	0 _D
DSCAL	13	RW	Disable startup calibration: 0 _B ... Startup calibration enabled 1 _B ... startup calibration disabled	0 _B
LVGAIN	12	RW	Sample configuration for LV channels: 0 _B ... Gain = 1.0 1 _B ... Gain = 0.75	0 _B
SESP	11	RW	Spreaded early sampling point enable: 0 _B ... Disabled 1 _B ... Enabled	0 _B
OVERS_CFG	10:9	RW	Oversampling configuration: 0 _D ... No oversampling → 8 bits resolution 1 _D ... Oversampling by 2 2 _D ... Oversampling by 4 → 9 bits resolution 3 _D ... Oversampling by 32 → 10 bits resolution	0 _D
SD_EN	8	RW	Sigma delta loop enable: 0 _B ... Disabled 1 _B ... Enabled	0 _B
RSVD	7:5	RW	RSVD	0 _D
SADC_START	4	W	SADC trigger: 1 _B ... Trigger the SADC to start a measurement 0 _B ... Default value or value after the trigger is captured; internally the value is set back to SADC_START= 0 _B .	0 _B
SADC_CHSEL	3:0	RW	Analog multiplexer input for channel selection into the SADC: 0 _D ... Temperature Sensor 1 _D ... RSVD	0 _D

BGT60TR13C寄存器

表 28 SADC_CRTL: 寄存器描述

Symbol	Bits	Type	Description	RST
			2 _D ... Temperature Sensor reference	
			3 _D ... pd_outx	
			4 _D ... pd_out	
			5 _D ... ifx_mix3	
			6 _D ... if_mix3	
			7 _D ... ifx_mix2	
			8 _D ... if_mix2	
			9 _D ... ifx_mix1	
			10 _D ... if_mix1	
			11-15 _D ... RSVD	

4.10 CSx: 通道设置寄存器

通道设置寄存器与通道设置控制寄存器一起定义了形状期间的 RF 和基带行为。CSUx= 通道设置上行线性调频，CSDx= 通道设置下行线性调频，CSI= 通道设置空闲，CSDS= 通道设置深度睡眠。

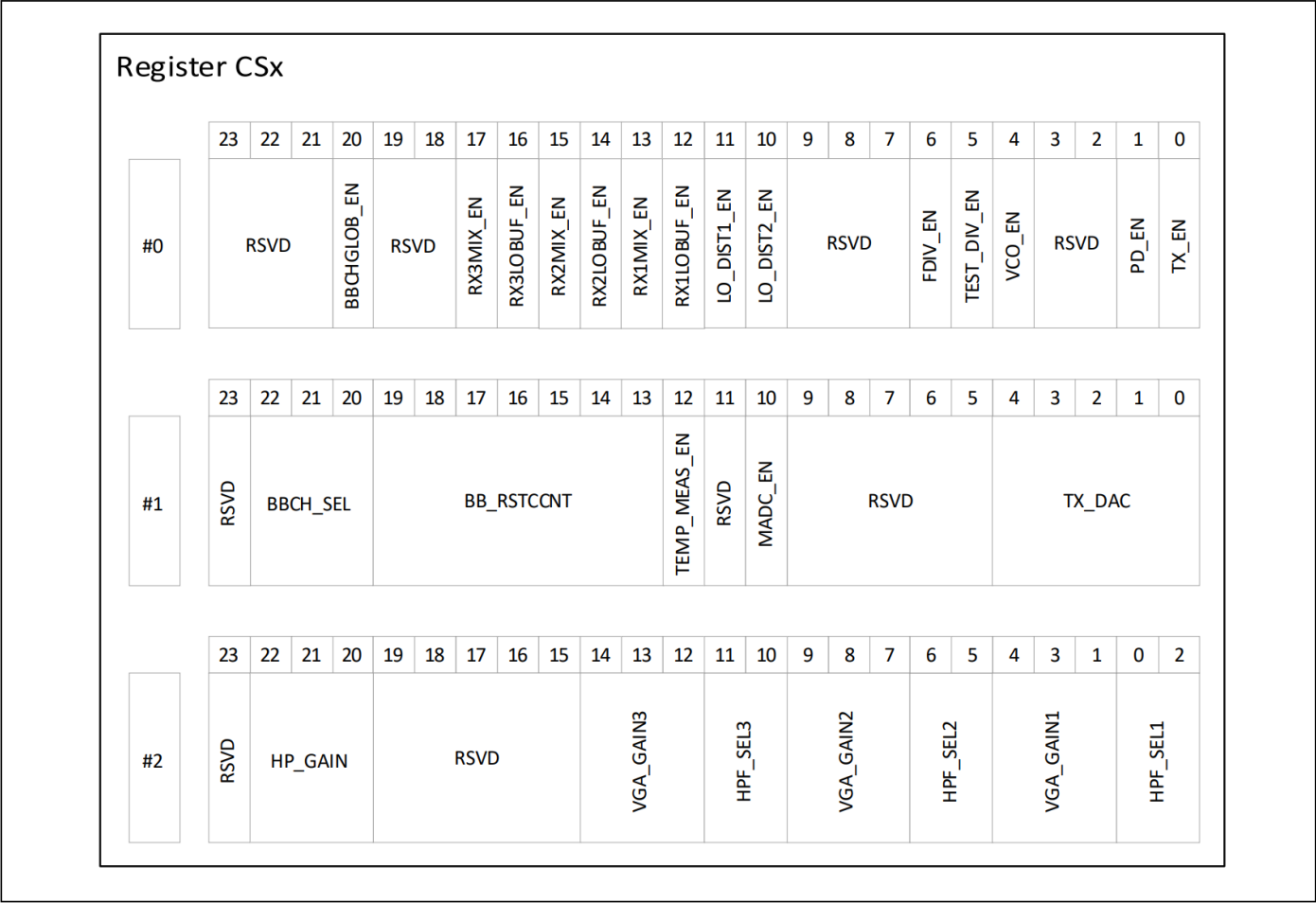


图 27 通道设置寄存器

BGT60TR13C寄存器

表 29 CSx#0: 寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23:21	RW	RSVD	0 _D
BBCHGLOB_EN	20	RW	Enables the baseband chain together with the bit BBCH_SEL: 0 _B ... Baseband channels are disabled 1 _B ... Baseband channels are enabled	0 _B
RSVD	19:18	RW	RSVD	0 _D
RX3MIX_EN	17	RW	Enable the mixer on ch3: 0 _B ... Disabled 1 _B ... Enabled	0 _B
RX3LOBUF_EN	16	RW	Enable the local oscillator buffer to the mixer on ch3: 0 _B ... Disabled 1 _B ... Enabled	0 _B
RX2MIX_EN	15	RW	Enable the mixer on ch2: 0 _B ... Disabled 1 _B ... Enabled	0 _B
RX2LOBUF_EN	14	RW	Enable the local oscillator buffer to the mixer on ch2: 0 _B ... Disabled 1 _B ... Enabled	0 _B
RX1MIX_EN	13	RW	Enable the mixer on ch1: 0 _B ... Disabled 1 _B ... Enabled	0 _B
RX1LOBUF_EN	12	RW	Enable the local oscillator buffer to the mixer on ch1: 0 _B ... Disabled 1 _B ... Enabled	0 _B
LO_DIST1_EN (formerly LO_DISTRIB_EN)	11	RW	Enable the local oscillator distribution buffer to the RX2 and TX channels: 0 _B ... Disabled 1 _B ... Enabled	0 _B
LO_DIST2_EN (formerly LO_MOD1_EN)	10	RW	Enable the local oscillator distribution buffer to the RX1 and RX3 channels: 0 _B ... Disabled 1 _B ... Enabled	0 _B
RSVD	9:7	RW	RSVD	0 _D
FDIV_EN	6	RW	Enable the VCO frequency divider: 0 _B ... Disable the DIV output 1 _B ... Enable the DIV output	0 _B
TEST_DIV_EN	5	RW	Frequency divider test control bit: 0 _B ... Disable the divider 1 _B ... Enable the divider	0 _B
VCO_EN	4	RW	Enable the VCO: 0 _B ... Disabled	0 _B

BGT60TR13C寄存器

表 29 CSx#0: 寄存器描述

Symbol	Bits	Type	Description	RST
			1 _B ... Enabled	
RSVD	3:2	RW	RSVD	0 _D
PD_EN	1	RW	Enable the power detector from TX: 0 _B ... Disabled 1 _B ... Enabled	0 _B
TX_EN	0	RW	Enable the DAC and power amplifier of TX 0 _B ... Disabled 1 _B ... Enabled	0 _B

表 30 CSx#1: 寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23	RW	RSVD	0 _B
BBCH_SEL	22:20	RW	Enable the baseband filters, baseband amplifiers and ADCs on channel BBCHx, where x can be 1...3: BBCHx = 0 _D ... channel disabled BBCHx = 1 _D ... channel enabled CSx#1[22] ... BBCH3 CSx#1[21] ... BBCH2 CSx#1[20] ... BBCH1	0 _D
BB_RSTCNT	19:13	RW	Baseband reset timer counter value for the analog baseband amplifiers. The reset counter will start together with the PAON signal after the T_PAEN timer. $BB_RSTCNT = T_{BBRST} * f_{SYS_CLK}$ 0 _D ... No analog baseband reset 1 _D ... Min. reset time is $T_{BBRST} = 12.5 \text{ ns}$ 127 _D ... Max. reset counter, $T_{BBRST} = 1.5875 \mu\text{s}$	0 _D
TEMP_MEAS_EN	12	RW	Enables the temperature sensor: 0 _B ... Disabled 1 _B ... Enabled	0 _B
RSVD	11	RW	RSVD	0 _B
MADC_EN	10	RW	Enable the three channel ADC module at once: 0 _B ... ADC module powered down 1 _B ... ADC module powered up	0 _B
RSVD	9:5	RW	RSVD	0 _D
TX_DAC	4:0	RW	TX power setting: 0 _D ... Min. TX output power 31 _D ... Max. TX output power	0 _D

表 31 CSx#2: 寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23	RW	RSVD	0 _B

BGT60TR13C寄存器

表 30 CSx#1: 寄存器描述

Symbol	Bits	Type	Description	RST
HP_GAIN	22:20	RW	Set the gain of the first stage: HPF GAIN[x]= 1 _D ... 18dB Gain HPF GAIN[x]= 0 _D ... 30dB gain bit20→ch1, bit21→ch2, bit22→ch3	0 _D
RSVD	19:15	RW	RSVD	0 _D
VGA_GAIN3	14:12	RW	VGA gain setting channel 3: 0 _D ... 0dB gain 1 _D ... 5dB gain 2 _D ... 10dB gain 3 _D ... 15dB gain 4 _D ... 20dB gain 5 _D ... 25dB gain 6 _D ... 30dB gain 7 _D ... RSVD	0 _D
HPF_SEL3	11:10	RW	High pass filter channel 3 cutoff setting: 0 _D ... 20kHz 1 _D ... 45kHz 2 _D ... 70kHz 3 _D ... 80kHz	0 _D
VGA_GAIN2	9:7	RW	VGA gain setting channel 2: 0 _D ... 0dB gain 1 _D ... 5dB gain 2 _D ... 10dB gain 3 _D ... 15dB gain 4 _D ... 20dB gain 5 _D ... 25dB gain 6 _D ... 30dB gain 7 _D ... RSVD	0 _D
HPF_SEL2	6:5	RW	High pass filter channel 2 cutoff setting: 0 _D ... 20kHz 1 _D ... 45kHz 2 _D ... 70kHz 3 _D ... 80kHz	0 _D
VGA_GAIN1	4:2	RW	VGA gain setting channel 1: 0 _D ... 0dB gain 1 _D ... 5dB gain 2 _D ... 10dB gain 3 _D ... 15dB gain 4 _D ... 20dB gain 5 _D ... 25dB gain 6 _D ... 30dB gain 7 _D ... RSVD	0 _D

BGT60TR13C寄存器

表 30 CSx#1：寄存器描述

Symbol	Bits	Type	Description	RST
HPF_SEL1	1:0	RW	High pass filter channel 1 cutoff setting: 0 _D ... 20kHz 1 _D ... 45kHz 2 _D ... 70kHz 3 _D ... 80kHz	0 _D

4.11 CSCx—通道设置控制寄存器

通道设置控制寄存器 CSCx 与通道设置寄存器 CSUx 和 CSDx 以及 CSI 和 CSDS 相关，见4.10 节描述。

除了 REPC 之外，所有其他位都用于定义特定的电源模式。

“_ISOPD”表示用于禁用一个主块（例如 MADC）并保留其配置（例如 ADC0 寄存器配置没有变化）的逻辑隔离层。

REPC 是用于定义调制序列的一个参数，另请参见3.2。

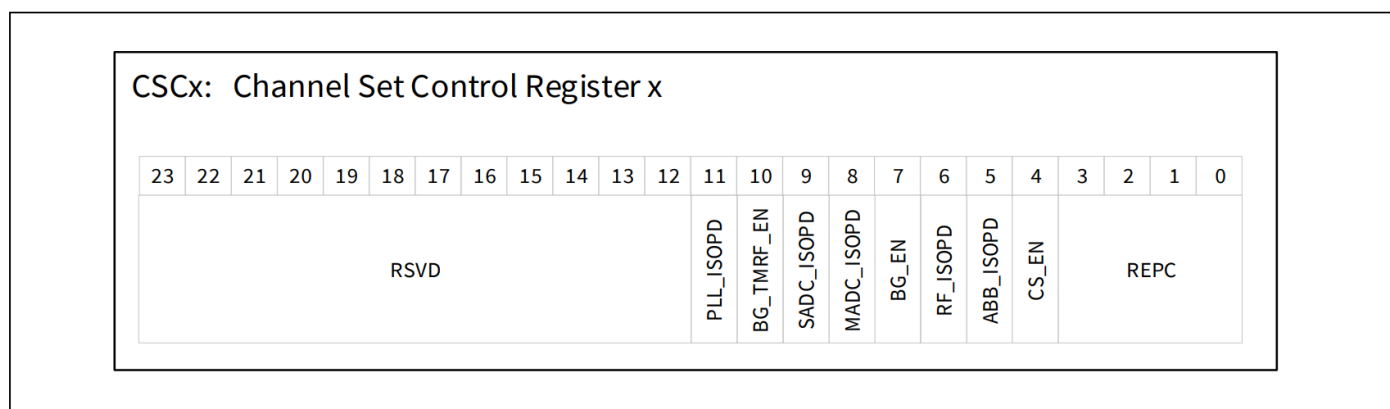


图 28 通道设置控制寄存器

表 32 CSCx：寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23:12	RW	RSVD	0 _D
PLL_ISOPD	11	RW	Isolation pin to disable the PLL: 0 _B ... PLL is connected 1 _B ... PLL is isolated	1 _B
BG_TMRF_EN	10	RW	Required for temperature sensor readout: 0 _B ... Disabled 1 _B ... Enabled	0 _B
SADC_ISOPD	9	RW	Enable the isolation of all control signals towards the sensor ADC: 0 _B ... SADC connected 1 _B ... SADC isolated	1 _B
MADC_ISOPD	8	RW	Enable the isolation of all control signals towards the MADC:	1 _B

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
			0 _B ... MADC connected 1 _B ... MADC isolated	
BG_EN	7	RW	Enable bandgap in MADC: 0 _B ... Disabled 1 _B ... Enabled	0 _B
RF_ISOPD	6	RW	Enable the isolation of all control signals towards the RF block: 0 _B ... RF connected 1 _B ... RF isolated	1 _B
ABB_ISOPD	5	RW	Enable the isolation of all control signals towards the analog baseband (BB) block: 0 _B ... BB connected 1 _B ... BB isolated	1 _B
CS_EN	4	RW	Enable channel set (CS): 0 _B ... CS is not used 1 _B ... CS is used In case of CSCI or CSCDS this bit is ignored. In the application at least the first channel set should be used by the host (CSC1:CS_EN= 1 _B).	0 _B
REPC	3:0	RW	Repetition factor for Channel set: RC= 2 ^{REPC} : 0 _D ... RC= 1 repetition 1 _D ... RC= 2 repetitions 2 _D ... RC= 4 repetitions ... 10 _D ... RC= 1024 repetitions 15 _D ... RC= 32768 repetitions In case of CSCI or CSCDS this bit is ignored.	0 _D

4.12 CCR0—线性调频控制寄存器 0

寄存器 CCRx 用于编程调制序列的参数。主 FSM 将使用这些参数来设置内部计时器和计数器，以在独立模式下运行预期的调制序列（除第一个之外不需要外部触发器）。

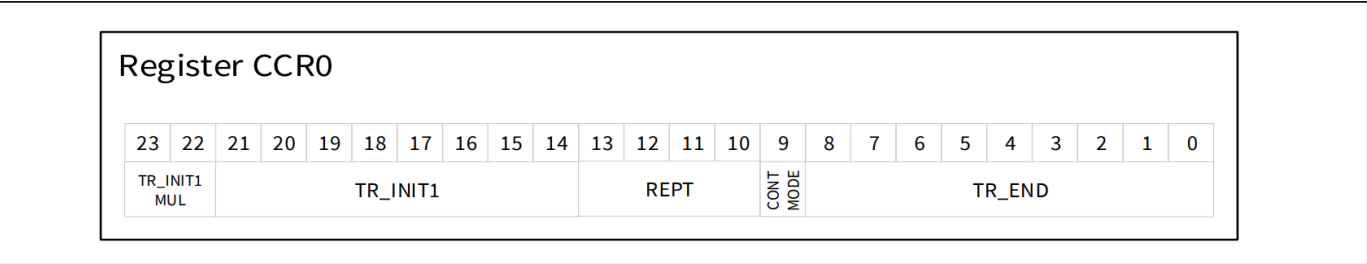


图 29 线性调频脉冲控制寄存器 0

表 33 CCR0：寄存器描述

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
TR_INIT1_MUL	23:22	RW	Timer multiplier factor for T_INIT1. Precise timing provided under CCR0:TR_INIT1.	0 _D
TR_INIT1	21:14	RW	Coefficient to calculate T_INIT1: 0 _D ... T _{SYS_CLK} From 1 _D to 255 _D the time delay for T_INIT1 is calculated as follows: $T_INIT1 = (TR_INIT1 \times 2^{TR_INIT1_MUL \times 8 + TR_INIT1_MUL + 3}) \times T_{SYS_CLK}$ See Note below.	0 _D
REPT	13:10	RW	Repetition factor for shape sets in a frame: $RT = 2^{REPT}$ REPT: 0 _D ... 1 repetition 1 _D ... 2 repetitions 2 _D ... 4 repetitions ... 15 _D ... 32768 repetitions The host should program as default value 15_D.	0 _D
CONT_MODE	9	RW	After last repetition of RT, the CONT_MODE is enabled. 0 _B ... only in case if deep sleep power mode is enabled (CCR1: PD_MODE= 2 _D). The system clock is disabled internally. 1 _B ... goes to specified power mode (CCR1:PD_MODE) and after T_FED next shapes will run.	0 _B
TR_END	8:0	RW	Coefficient to calculate T_END. T_END Ramp End Delay defines the waiting time after generation of the ramp. $T_END = (TR_END \times 8 + 5) \times T_{SYS_CLK}$ 0 _D ... 5 * T _{SYS_CLK} 511 _D ... Max. delay	0 _D

注释

这些值用于每个上坡和下坡。

4.13 CCR1—线性调频控制寄存器 1

寄存器 CCRx 用于编程调制序列的参数。主 FSM 将使用这些参数来设置内部计时器和计数器，以在独立模式下运行预期的调制序列（除第一个之外不需要外部触发器）。

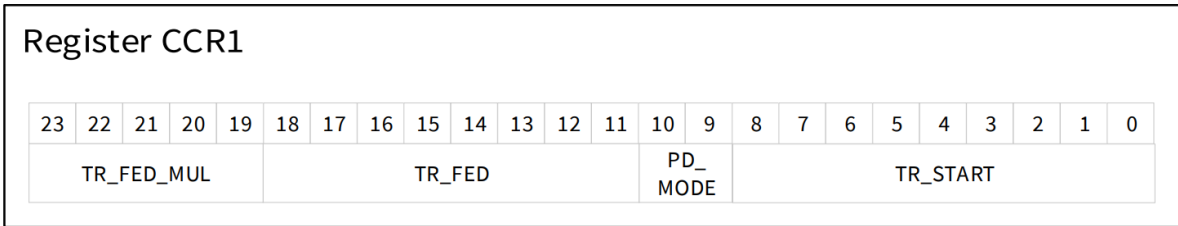


图 30 线性调频脉冲控制寄存器 1

BGT60TR13C寄存器

表 34 CCR1: 寄存器描述

Symbol	Bits	Type	Description	RST
TR_FED_MUL	23:19	RW	Timer multiplier factor for frame end delay T_FED. Precise timing provided under CCR1:TR_FED. Note: only values TR_FED_MUL ≤ 10 _D are verified.	0 _D
TR_FED	18:11	RW	Coefficient to calculate T_FED: 0 _D ... T _{SYS_CLK} From 1 _D to 255 _D the time delay T_FED is calculated as follows: $T_FED = (TR_FED \times 2^{TR_FED_MUL \times 8 + TR_FED_MUL + 3}) \times T_{SYS_CLK}$.	0 _D
PD_MODE	10:9	RW	After last RT repetition the chip enters this power mode for the time T_FED: 0 _D ... Keep power mode same (CSx, CSCx) 1 _D ... Idle Mode (CSI + CSCI) 2 _D ... Deep Sleep Mode (CSDS + CSCDS) 3 _D ... RSVD	0 _D
TR_START	8:0	RW	Coefficient to calculate T_START. T_START Ramp Start Delay defines the waiting time before generation of the ramp. $T_START = (TR_START \times 8 + 10) \times T_{SYS_CLK}$: 0 _D ... 10 * T _{SYS_CLK} 511 _D ... Max. delay	0 _D

4.14 CCR2—线性调频脉冲控制寄存器 2

寄存器 CCRx 用于编程调制序列的参数。主 FSM 将使用这些参数来设置内部计时器和计数器，以在独立模式下运行预期的调制序列（除第一个之外不需要外部触发器）。

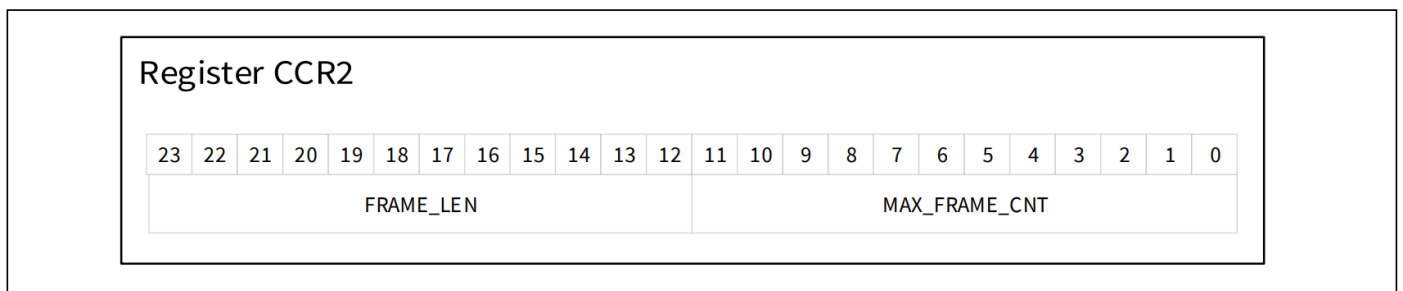


图 31 线性调频脉冲控制寄存器 2

表 35 CCR2: 寄存器描述

Symbol	Bits	Type	Description	RST
FRAME_LEN	23:12	RW	Frame Length specifies the number of shape groups in a frame. When specified frame length is reached frame counter will be incremented and shape group counter reset: 0 _D ... 1 shape group 1 _D ... 2 shape group 4095 _D ... Max. value (=4096).	0 _D

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
MAX_FRAME_CNT	11:0	RW	Maximum number of frames to be executed. When MAX_FRAME_CNT is reached, shape generation will stop and the chip will go into deep sleep power mode. The next frame can be triggered only after a reset (eg. FSM_RESET). The frame generation can be stopped any time by the FSM reset (see MAIN: FSM_RESET). 0 _D ... Endless generation 1 _D ... 1 frame will be generated 4095 _D ... Max. number of frames generated (=4095).	0 _D

4.15 CCR3—线性调频脉冲控制寄存器 3

寄存器 CCRx 用于编程调制序列的参数。主 FSM 将使用这些参数来设置内部计时器和计数器，以在独立模式下运行预期的调制序列（除第一个之外不需要外部触发器）。

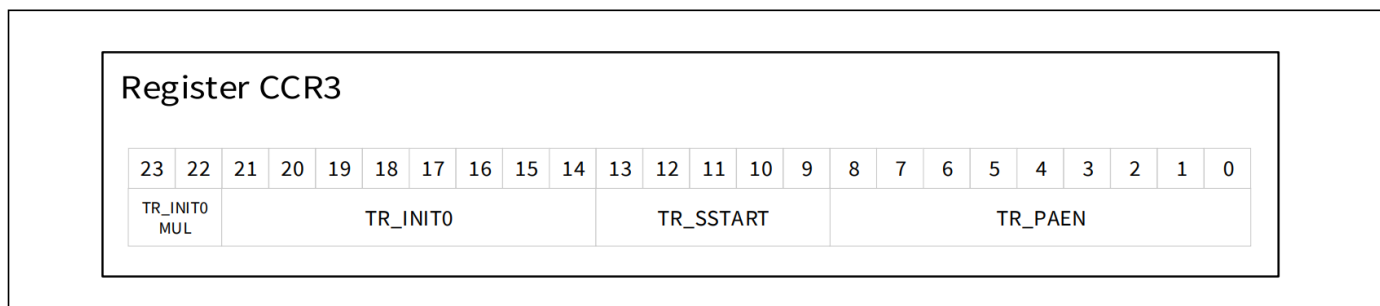


图 32 线性调频脉冲控制寄存器 3

表 36 CCR3：寄存器描述

Symbol	Bits	Type	Description	RST
TR_INIT0_MUL	23:22	RW	Timer multiplier for delay T_INIT0. Precise timing provided under CCR3:TR_INIT0.	0 _D
TR_INIT0	21:14	RW	Coefficient to calculate T_INIT0: 0 _D ... T _{SYS_CLK} From 1 _D to 255 _D the time delay for T_INIT0 is calculated as follows: $T_INIT0 = (TR_INIT0 \times 2^{TR_INIT0_MUL \times 8 + TR_INIT0_MUL + 3}) \times T_{SYS_CLK}$ See Note 3.	0 _D
TR_SSTART	13:9	RW	Coefficient to calculate T_SSTART. T_SSTART Sampling Start Delay Time after PA enable until 1 st trigger to MADC. $T_SSTART = (TR_SSTART \times 8 + 1) \times T_{SYS_CLK}$ 0 _D ... T _{SYS_CLK} 31 _D ... Max. delay	0 _D
TR_PAEN	8:0	RW	Coefficient to calculate T_PAEN. T_PAEN Delay Time after PLL Start to PA enable. $T_PAEN = TR_PAEN \times 8 \times T_{SYS_CLK}$ 0 _D ... RSVD 1 _D ... Min. delay	0 _D

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
			511 _D ... Max. delay	

注释

1. 一个单步等于 $8 \times T_{SYS_CLK}$ 系统时钟周期 (= 100 ns)
2. 延迟值用于每个上升和下降斜坡
3. T_INIT0 和 T_INIT1 应根据 ADC 校准时间编程为最小值。另见表 15 和表 60。

4.16 PLLx[0..6] - 线性调频脉冲形状寄存器

寄存器 PLLx (其中 x 可以是 1 至 4) 用于对 PLL 本地 FSM 内的调制序列的参数进行编程。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列 (除第一个之外不需要外部触发器)。

PLL Chirp Shape Registers																									
	23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
#0	FSU[1..4]														Chirp Start Freq Upchirp										
#1	RSU[1..4]														Ramp Step Upchirp										
#2	T_EDU End Delay Upchirp								RSVD				RTU[1..4] Ramp Time Upchirp												
#3	APD_Numsamp[1..4] NumberOfSamples Dnchirp										APU_Numsamp[1..4] NumberOfSamples Upchirp														
#4	FSD[1..4]														Chirp Start Freq Downchirp										
#5	RSD[1..4]														Ramp Step Downchirp										
#6	T_EDD End Delay Downchirp								RSVD				RTD[1..4] Ramp Time Downchirp												

图 33 PLL 线性调频形状寄存器 1-6

表 37 PLLx#0 ... PLLx#6 线性调频形状：寄存器描述

Symbol	Bits	Type	Description	RST
FSU[1..4] FSD[1..4]	23:0	RW	Chirp Start Freq Upchirp / Downchirp. SDM start frequency for the ramp generator: FSD = 0 _D for saw-tooth shape In case FSD=0, RSD=0, and RTD=0, then the fast saw-tooth shape is enabled. In all other cases the triangular shape is enabled.	0 _D
RSU[1..4] RSD[1..4]	23:0	RW	Ramp Step Upchirp / Downchirp. A ramp step is the RF frequency difference added to the actual frequency during single clock cycle time of $T_{SYS_CLK} = 12.5 \text{ ns}$. In case the value is zero the RF frequency will be almost constant during the RTU/RTD time. Bit(23) represents the sign for the ramp: 0 _D ... Upchirp 1 _D ... Downchirp	0 _D

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
TR_EDU[1..4] TR_EDD[1..4]	23:16	RW	Coefficients to calculate T_EDU and T_EDD, respectively. T_EDU and T_EDD are End of Chirp Delay applied after every Upchirp and Downchirp. If TR_EDU/D = 0: $T_EDU/D = 2 \times T_{SYS_CLK}$. If TR_EDU/D > 0: $T_EDU/D = (8 \times TR_EDU/D + 5) \times T_{SYS_CLK}$. 255D ... Max. delay	0 _D
RSVD	15:14		Reserved on register #2 and #6.	0 _D
RTU[1..4] RTD[1..4]	13:0	RW	Ramp Time Upchirp / Downchirp. RTU/D defines the number of clock cycles for the Upchirp (RTU) or Downchirp (RTD). The actual ramp time is $T_RAMP[U D] = [RTU RTD] \times 8 \times T_{SYS_CLK}$. 0 _D ... Timer disabled. Disabling the timer is useful when doing Downchirp operation with fast down chirp enabled. 1 _D ... T_RAMP = 100 ns 16383 _D ... T_RAMP = $2^{14} \times 100 \text{ ns} = 1.6383 \text{ ms}$	0 _D
APD[1..4] APU[1..4]	23:12 11:0	RW	Number of samples for Upchirp (APU) or Downchirp (APD) for the results of a single ADC: 0 _D ... No sampling during chirp 1 _D ... Number of samples = 1 4095 _D ... Max. number of samples is 4095	0 _D

注释

IRQ FIFO 中断是根据FIFO 字产生的。一个24 位FIFO 字捕获两个12 位ADC 样本。对于双路和四路ADC 操作，所有样本都会产生1 个或多个FIFO 字。在单ADC 模式下，如果选择了奇数个样本，则在下一个（偶数）样本之后将产生FIFO 中断。对于单通道模式，建议使用偶数个样本。

4.17 PLLx[7] – SCR 形状控制寄存器

寄存器 PPLx[7]（其中 x 可以是 1 至 4）用于编程 PLL 本地 FSM 内的调制序列参数。主 FSM 将控制本地 PLL FSM 以独立模式运行预期的调制序列（除第一个之外不需要外部触发器）。

Register PLLx#7																							
23	22	21	20	19	18	17	16	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TR_SED_MUL				TR_SED								PD_MODE		CONT_MODE	RSVD			SH_EN	REPS				

图 34 PLLx#7 SCR 形状控制寄存器

表 38 PLLx#7 SCR 形状控制：寄存器描述

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
TR_SED_MUL	23:19	RW	Timer multiplier factor for shape end delay T_SED. Precise timing provided under PLLx#7:TR_SED. Note: only values TR_SED_MUL ≤ 10 _D are verified.	0 _D
TR_SED	18:11	RW	Coefficient to calculate T_SED: 0 _D ... T _{SYS_CLK} From 1 _D to 255 _D the time delay T_SED is calculated as follows: $T_SED = (TR_SED \times 2^{TR_SED_MUL \times 8 + TR_SED_MUL + 3}) \times T_{SYS_CLK}$	0 _D
PD_MODE	10:9	RW	After last shape repetition, FSM goes to a specified Power Down Mode (run this mode during T_SED): 0 _D ... Keep power mode same (CSx, CSCx) 1 _D ... Idle Mode (CSI + CSCI) 2 _D ... Deep Sleep Mode (CSDS + CSCDS) 3 _D ... RSVD	0 _D
CONT_MODE	8	RW	After last shape repetition REPS, FSM: 0 _B ... goes to a specified Power Down Mode and stop immediately 1 _B ... goes to a specified Power Down Mode and after T_SED it runs the next shapes	0 _B
RSVD	7:5	RW	RSVD	0 _D
SH_EN	4	RW	Enables the specific shape x (see Note 3): 0 _B ... shape is not used regardless of shape parameters PLLx[1..7] are programmed with values different from default value. 1 _B ... shape is used	0 _B
REPS	3:0	RW	Repetition factor for a single shape x: RSx = 2 ^{REPSx} : 0 _D ... RSx = 1 repetition 1 _D ... RSx = 2 repetitions 2 _D ... RSx = 4 repetitions ... 15 _D ... RSx = 32768 repetitions	0 _D

注释

1. 当不使用线性调频脉冲形状时, FSU/RSU/RTU 寄存器字段必须编程为0_D (另见表37)。
2. 可以通过设置字段FSD=0_D 来定义“锯齿”线性调频, 并对Upchirp 字段进行编程 (另见表37)。
3. 至少需要启用第一个形状 (PLL1[7]:SH_EN=1_B)

4.18 PLL DFT0寄存器

当启用 CW 模式时, 应使用此寄存器中的设置 (另请参阅10.2)。

BGT60TR13C寄存器

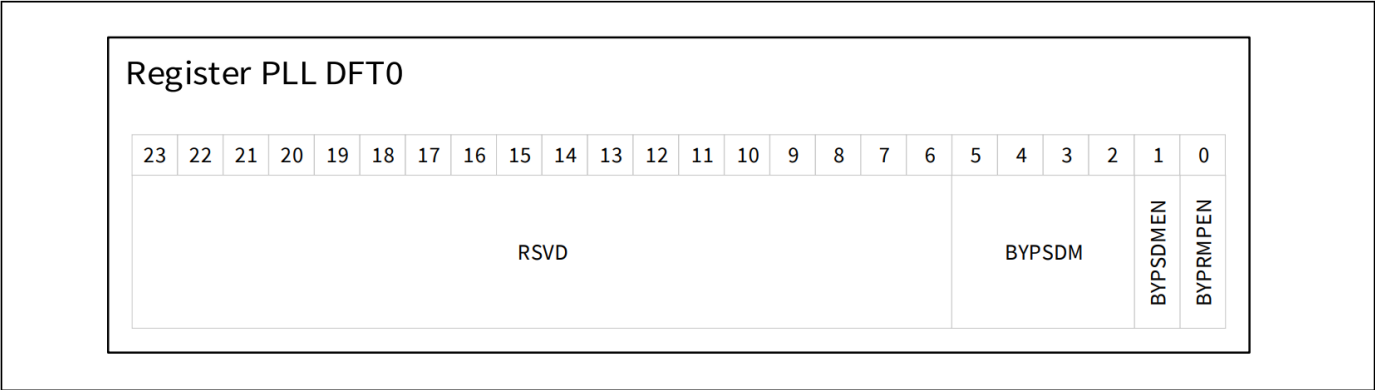


图35 PLL DFT0寄存器

表 39 PLL DFT0： 寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23:6	RW	RSVD	0 _D
BYPSDM	5:2	RW	SDM output data when SDM is bypassed	0 _D
BYPSDMEN	1	RW	The PLL core shall overwrite SDM output value with value driven on PDCR2.BYPSDM when this register changes from ‘0 _B ’ to ‘1 _B ’. A transition from ‘1 _B ’ to ‘0 _B ’ disables this feature and returns the control to SDM: 0 _B ... SDM module drives the ANA (functional mode) 1 _B ... BYPSDM(3:0) drives the ANA	0 _B
BYPRMPEN	0	RW	The PLL core shall overwrite SDM input value with value driven on PDCR1.SDMSTRT when this register changes from ‘0’ to ‘1’. A transition from ‘1’ to ‘0’ disables this feature and returns the control to ramp generator: 0 _B ... Ramp generator drives SDM input 1 _B ... PDCR1.SDMSTRT drives SDM input	0 _B

4.19 RFT0—RF测试寄存器0

寄存器包含几个用于启用自检专用路径的位。

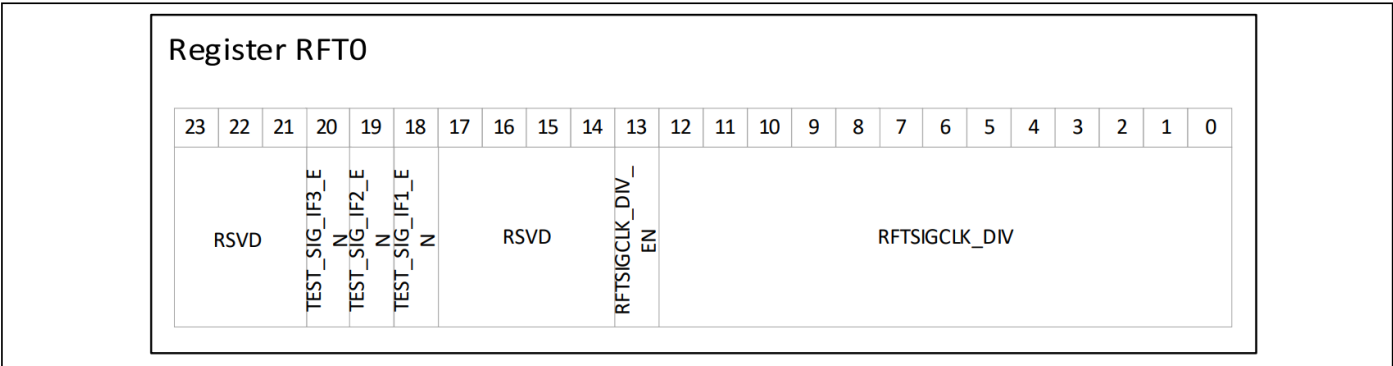


图 36 RFT0 射频测试寄存器 0

表 40 RFT0： 寄存器描述

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
RSVD	23:21	RW	RSVD	0 _D
TEST_SIG_IF3_EN	20	RW	Enable the test signal output for IF channel 3	0 _B
TEST_SIG_IF2_EN	19	RW	Enable the test signal output for IF channel 2	0 _B
TEST_SIG_IF1_EN	18	RW	Enable the test signal output for IF channel 1	0 _B
RSVD	17:14	RW	RSVD	0 _D
RFTSIGCLK_DIV_EN	13	RW	Enable the RF test tone signal output to the baseband module: 0 _B ... Disable the divider output 1 _B ... Enable the divider output	0 _B
RFTSIGCLK_DIV	12:0	RW	RF test tone signal divider value: $f_{RFTST} = f_{SYS_CLK} / RFTSIGCLK_DIV$. 2 _D ... Min. divider value 8191 _D ... Max. divider value	8000 _D

4.20 RFT1 – RSVD

保留寄存器。

4.21 STAT0—状态寄存器0

状态寄存器STAT0提供一些特定内部状态的实际值。然而，应该提到的是，对于所有状态寄存器，STAT0、STAT1 和 FSTAT，除了 FIFO 状态和错误标志之外，每个状态寄存器字段的更新可能发生在相对于 FSM 状态的不同时序事件上，并且字段内容应该彼此独立处理。在 CW 模式下，例如 100 μs 后即可正确读取状态位。

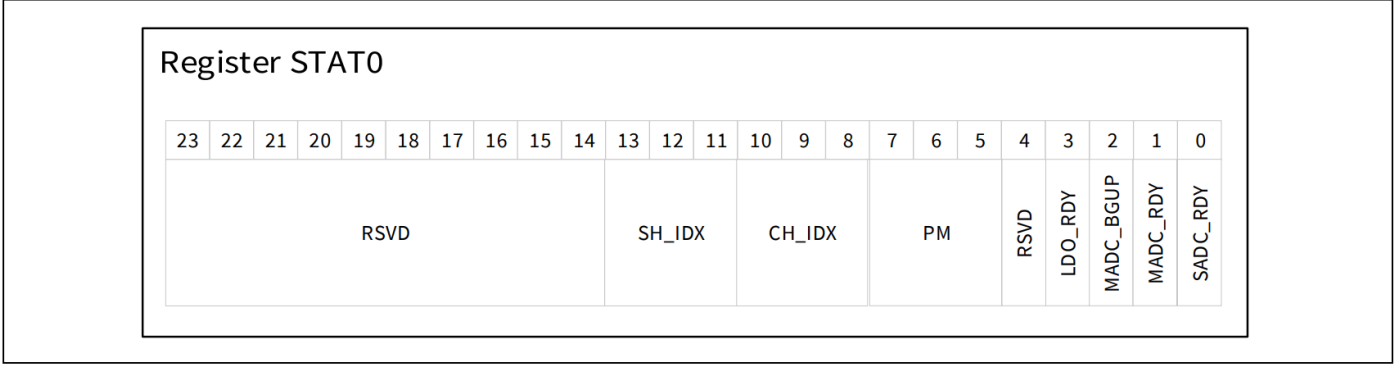


图 37 STAT0: 控制 FSM 状态寄存器

表 41 STAT0: 寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23:14	R	RSVD	0 _D
SH_IDX	13:11	R	Actual chirp shape enabled by the FSM: 0 _D ... PLLU1 1 _D ... PLLD1 2 _D ... PLLU2 3 _D ... PLLD2 4 _D ... PLLU3	0 _D

BGT60TR13C寄存器

表 41 STAT0: 寄存器描述

Symbol	Bits	Type	Description	RST
			5 _D ... PLLD3 6 _D ... PLLU4 7 _D ... PLLD4	
CH_IDX	10:8	R	Actual channel set enabled by the FSM: 0 _D ... CSU1 1 _D ... CSD1 2 _D ... CSU2 3 _D ... CSD2 4 _D ... CSU3 5 _D ... CSD3 6 _D ... CSU4 7 _D ... CSD4	0 _D
PM	5:7	R	Power Mode is the current power mode status of FSM: 1 _D ... Active Mode 2 _D ... Interchirp Mode 3 _D ... Idle Mode 5 _D ... Deep Sleep Mode 0 _D , 4 _D , 6 _D , 7 _D ... RSVD	5 _D
RSVD	4	R	RSVD	0 _B
LDO_RDY	3	R	LDO output level, i.e., VDDC above the threshold: 0 _B ... LDO output level below threshold 1 _B ... LDO output level above threshold, ready	0 _B
MADC_BGUP	2	R	MADC bandgap reference power up status: 0 _B ... Status down 1 _B ... Up and running	0 _B
MADC_RDY	1	R	MADC status: 0 _B ... Status down 1 _B ... Up and running	0 _B
SADC_RDY	0	R	SADC startup / calibration status: 0 _B ... Status down 1 _B ... Up and running	0 _B

4.22 SADC_RESULT 传感器ADC结果寄存器

传感器 ADC 寄存器 SADC_RESULT 用于监控 SADC 以及读取转换的输出。

BGT60TR13C寄存器

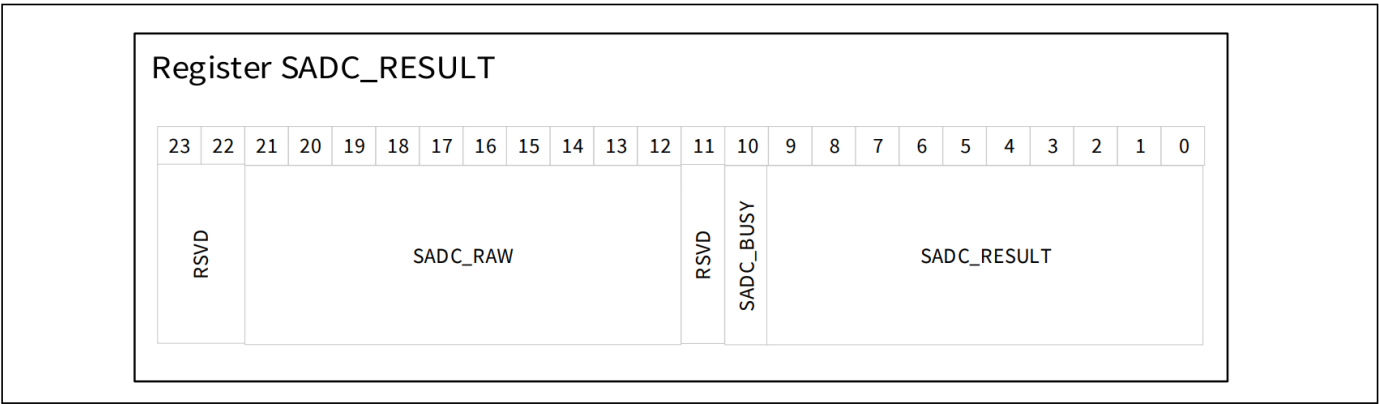


图38 SADC_RESULT寄存器

表 42 SADC：寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	23:22	R	RSVD	0 _D
SADC_RAW	21:12	R	SADC Raw data (for test only)	0 _D
RSVD	11	R	RSVD	0 _B
SADC_BUSY	10	R	Shows if SADC is busy: 0 _B ... SADC not busy 1 _B ... SADC busy	0 _B
SADC_RESULT	9:0	R	10 bits measurement result. In case just 8 bits are converted, the 8 bits value is left-shifted by two (multiplied by 4). In case 9 bit are converted, the 9 bits result is left-shifted by 1 (multiplied by 2).	0 _B

4.23 FSTAT—FIFO状态寄存器

FIFO 状态寄存器 FSTAT 用于监控 FIFO。需要指出的是，对于所有状态寄存器，STAT0、STAT1 和 FSTAT，除了 FIFO 状态和错误标志之外，每个状态寄存器字段的更新可能发生在相对于 FSM 状态的不同时序事件上，并且字段内容应彼此独立处理。在 CW 模式下，例如 100 μs 后即可正确读取状态位。

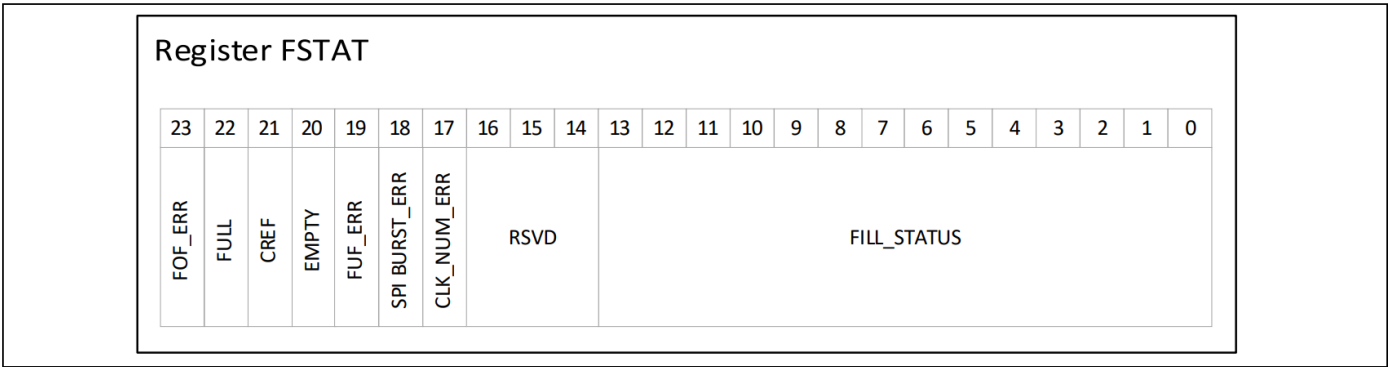


图 39 FSTAT 寄存器

表 43 FSTAT：寄存器描述

BGT60TR13C寄存器

Symbol	Bits	Type	Description	RST
FOF_ERR	23	R	FIFO overflow error bit shows if more sample data are transferred to the FIFO than FIFO memory locations are available to store the data. The flag will be shown also in GSR0 as a part of FIFO over or underflow error bit FOU_ERR: 0 _B ... No FIFO overflow 1 _B ... FIFO had an overflow condition	0 _B
FULL	22	R	The FULL bit shows if the FIFO has fully filled up: 0 _B ... FIFO is not full 1 _B ... FIFO is full	0 _B
CREF	21	R	0 _B ... FIFO filling status below CREF 1 _B ... FIFO filling status is > CREF	0 _B
EMPTY	20	R	The FIFO empty bit EMPTY signals if the FIFO is empty: 0 _B ... FIFO stores at least one sample 1 _B ... FIFO is empty	1 _B
FUF_ERR	19	R	FIFO under flow error signals if the host was reading more sampling data from the FIFO than available. The flag will be shown also in GSR0 as a part of FIFO over or underflow error bit FOU_ERR: 0 _B ... No error 1 _B ... FIFO underflow occurred	0 _B
SPI BURST_ERR	18	R	In case of burst error this bit is set. Further details in the Note below and in 5.8: 0 _B ... No error 1 _B ... Burst error occurred. Bit will be reset after HW or SW reset condition. See also section 5.8.	0 _B
CLK_NUM_ERR	17	R	Clock number error bit is set when SPI clocks do not fit the expected clock cycles. Further details in the Note below and in 5.8: 0 _B ... No error 1 _B ... Burst error occurred. Bit will be reset after HW or SW reset condition. See also section 5.8.	0 _B
RSVD	16:14	R	Not used	0 _D
FILL_STATUS	13:0	R	FIFO filling status: 0x0 ... FIFO empty 0x1000 ... FIFO 50% filled 0x2000 ... FIFO full This bit field is for de-bugging only. It should not be evaluated while the MADC sampling and filing up the FIFO. It can be evaluated when the FSM status is held, for example, after an FSM reset or in a specific power mode e.g., Deep Sleep.	0 _D

BGT60TR13C寄存器

注释

这些重置后, FOF/FUF 将被清除:

- FIFO 重置
- 软件复位
- 硬件复位

4.24 GSR0—全局状态寄存器

全局状态寄存器GSR0与SPI读/写监控相关。

Global Status Register GSR 0

7	6	5	4	3	2	1	0
RSVD	RSVD	RSVD	RSVD	FOU_ERR	MISO HS Read	SPI BURST_ERR	CLOCK NUMBER ERROR

图 40 GSR0 寄存器

表 44 GSR0: 寄存器描述

Symbol	Bits	Type	Description	RST
RSVD	7	R	Reserved	
RSVD	6	R	Reserved	
RSVD	5	R	Reserved	
RSVD	4	R	Reserved	
FOU_ERR	3	R	Shows if FIFO overflow or underflow condition occurred. The error will be cleared after the following resets: FIFO reset or SW reset or HW reset: 1 _B ... Error condition occurred 0 _B ... No error	0 _B
MISO HS Read	2	R	SPI: MISO high speed mode activated	1 _B
SPI BURST_ERR	1	R	SPI burst error, defined within the SPI spec (see section 5.8): 0 _B ... No burst read/write error 1 _B ... Burst error	0 _B
CLOCK NUMBER ERROR	0	R	Defined within the SPI Spec: 0 _B ... No clock number error 1 _B ... Error condition occurred	0 _B

数据组织和SPI接口

5 数据组织和SPI接口

5.1 数据头

主有限状态机 (FSM) 能够生成数据头，并将其附加到实际雷达原始数据中。数据头的结构如图 41和表 45所示。可以通过控制位 SFCTL:PREFIX_EN 来禁用数据头（参见4.8节）。

每次采集开始时都会发送一个同步字，以确保每个形状的雷达原始数据都是唯一的。这在与应用处理器的通信中断或出现错误时非常有用。假设 FIFO 生成一个“FIFO 溢出标志”，则主机控制器可以评估同步字 0x000000，并将其用于与 BGT60TR13C 重新同步，并丢弃在此同步字之前收到的数据（如果未使用标头或同步字，则控制器应重置 FIFO，丢弃实际的 FIFO 数据）。在“FIFO 下溢标志”处，从主机接收到的数据位为 111111111111_{B0}。

接下来，标题还包括帧计数器和形状组计数器，以及实际的 APU/APD 值（参见第4.16节）和温度值。

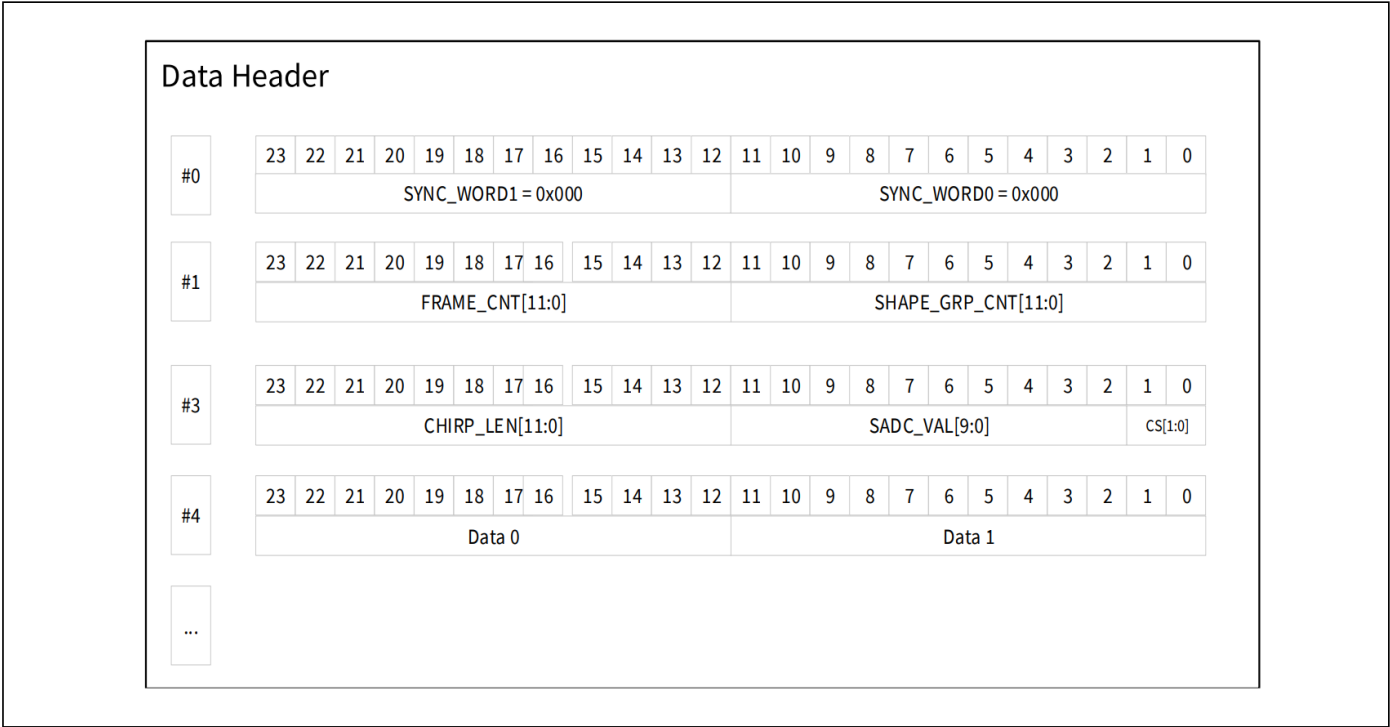


图41 数据头

数据组织和SPI接口

表 45 数据头描述

Symbol	Reg	Bits	Description	RST
SYNC_WORD1	#0	23:12	The sync-word can be used to identify the start of a new chirp. In case the MADC will output also a sequence of 0x000000, to make the sync-word unique, the data from the MADC will be automatically changed to 0x001 before transferring it to the FIFO.	0 _D
SYNC_WORD0	#0	11:0	See SYNC_WORD1.	0 _D
FRAME_CNT	#1	23:12	Same as STAT1:FRAME_CNT (see section 4.5). Note: FRAME_CNT info should not be used by the host when endless mode is enabled (please check CCR2:MAX_FRAME_CNT).	0 _D
SHAPE_GRP_CNT	#1	11:0	Same as STAT1:SHAPE_GRP_CNT (see section 4.5).	0 _D
CHIRP_LEN	#2	23:12	Number of MADC samples inside the chirp (APU/APD value of related chirp).	0 _D
SADC_VAL	#2	11:2	10 bits of sensor ADC output data (eg. temperature).	0 _D
CS	#2	1:0	Indicates the channel shape number to which the following sampling data belongs to.	
Data 0	#3	23:12	MSB data (see section 5.2).	
Data 1	#3	11:0	LSB data (see section 5.2).	

5.2 FIFO 和数据流

BGT60TR13C 中的存储器基于 FIFO。FIFO 由一个循环移位寄存器组成，该寄存器包含 8192 个字，每个字 24 位。FSM 支持从 MADC 到 FIFO 的三种数据流模式（参见图 42）：

- 模式 1：只有一个 ADC 处于活动状态（可以是 1 至 3 之间的任意 ADC）
 - 第一个样本的数据（12 位）暂时存储在缓冲区中
 - 当第二个样本（12 位）可用时，第一和第二个样本（24 位）都存储到一个数据字中
- 模式 2：两个 ADC 处于活动状态（可以是 1 至 3 之间的任意 ADC）
 - 来自活动 ADC 的数据（12+12 位）占用 FIFO 中的一个数据字
- 模式 3：三个 ADC 处于活动状态
 - 前两个通道的数据被存储到数据字中，而第三个通道的数据被缓冲。在连续触发时，缓冲数据和来自第一个通道的数据存储在一个数据字中，而第二个通道的数据则被缓冲。在下一次触发时，缓冲数据加上来自第三个通道的数据将存储在第三个数据字中，等等。

数据组织和SPI接口

Mode 1	23	12	11	0
	0x00	Trig1:ADC1	Trig2:ADC1	
Mode 2	23	12	11	0
	0x00	Trig1:ADC1	Trig1:ADC2	
Mode 3	23	12	11	0
	0x00	Trig1:ADC1	Trig1:ADC2	
	0x01	Trig2:ADC3	Trig2:ADC1	
	0x02	Trig3:ADC2	Trig3:ADC3	

图42 FIFO组织

FIFO 的读取是通过 SPI 模块完成的。由于 SPI 时钟的最大频率为 50 MHz，因此 FIFO 的读取率为：

- 50 MHz / SPI 模式 / 24 位 = 480 ns = 40 个周期（在 80 MHz 域内）

应从主机控制器使用具有正确数据的内存地址执行 FIFO 的读取长度。数据长度可以从数据头或基于“同步字”得出。

注释

对内存地址空间的非法写入将导致FIFO 数据丢失!

5.3 SPI—串行外设接口模块

SPI 是主机和 BGT60TR13C 之间的通信接口。它使主机能够读取或写入（编程）寄存器以及从 FIFO 读取。

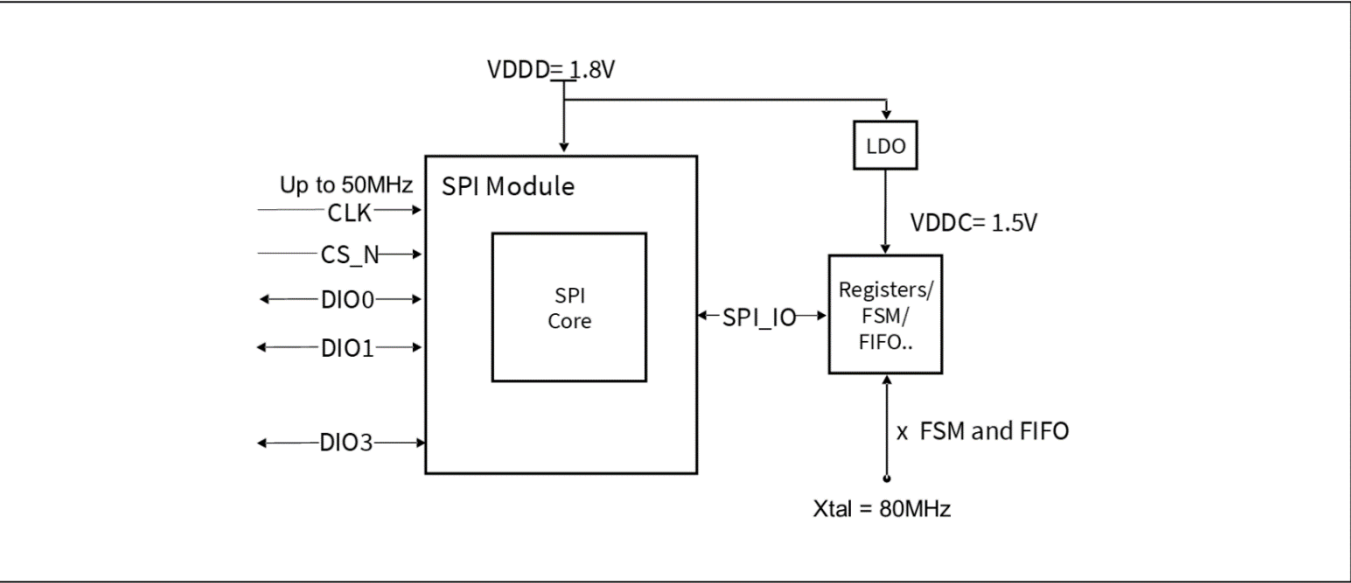


图43 SPI模块

数据组织和SPI接口

BGT60TR13C 设备具有四个用于 SPI 通信的 I/O 引脚和一个用于芯片复位的 I/O 引脚。DIO[x] 引脚在焊盘内部被拉高至逻辑高电平。

- CS_N 连接到 SPI 主设备的 SS
- CLK 连接到 SPI 主设备的 CLK
- DIO0, DI 连接到 SPI 主设备的 MOSI
- DIO1、DO 连接至 SPI 主设备的 MISO
- BGT60TR13C 上不提供 DIO2
- DIO3 连接至复位

表 46 SPI 引脚

Pin Name	Standard SPI Mode Function	Remarks
CS_N	CS_N	Chip select
CLK	CLK	SPI clock
DIO0	DI	HiZ, bidirectional
DIO1	DO	HiZ, bidirectional
DIO2	N.A.	Not available on BGT60TR13C
DIO3	RESET	HiZ, bidirectional

SPI 接口的时钟频率最高可达 50 MHz。为了满足更高 SPI 时钟频率（例如 > 25 MHz）的时序要求，BGT60TR13C 设备提供了一种额外的高速模式（SFCTL: MISO_HS_RD），该模式通过使用 DO 的上升沿而不是 CLK 的下降沿发送数据来增加 SPI 主端的时序预算。

5.3.1 标准SPI时序

图 44 显示了正常 SPI 模式 (SFCTL:MISO_HS_RD =0) 的时序图。SPI 传输由 SPI 主机产生的片选信号 CS_N 的下降沿启动。同时，SPI 主机应根据第一位驱动数据输入信号 DI（主机输出，从机输入）的电平。此外，在片选信号 CS_N 的下降沿，SPI 从机根据应传输给 SPI 主机的第一位施加数据输出信号 DO（主机输入，从机输出）的电平，该电平在 t(dS) 周期后稳定。SPI 主机必须等待 t(L) 时间才能生成时钟信号 CLK。

随着 CLK 的上升沿，SPI 从机捕获 DI 的电平。SPI 主机必须在 CLK 上升沿之前 t(mos) 和之后 t(moh) 时间内保持 DI 电平稳定，以确保 SPI 从机的有效建立和保持时间。随着 CLK 的下降沿，SPI 主机应根据主机想要发送的下一位设置 DI 的电平。

SPI 主机应该在 CLK 的上升沿读取 DO 的电平。SPI 从机在 CLK 上升沿之前的 t(mis) 和之后的 t(mih) 时间内保持 DO 电平稳定。随着 CLK 的下降沿，SPI 从机根据下一位驱动 DO 的电平，DO 在 t(mih) 后稳定。

在最后一位传输完毕且 CLK 变为低电平后，SPI 主机必须将 CS_N 设置为高电平以停止传输。主机必须注意 CLK 的最后一个上升沿和 CS_N 的上升沿之间的周期不短于 t(T)。在 CS_N 上升沿之后的 t(dh) 时间段内，SPI 从设备再次将 DO 驱动为高阻态。

数据组织和SPI接口

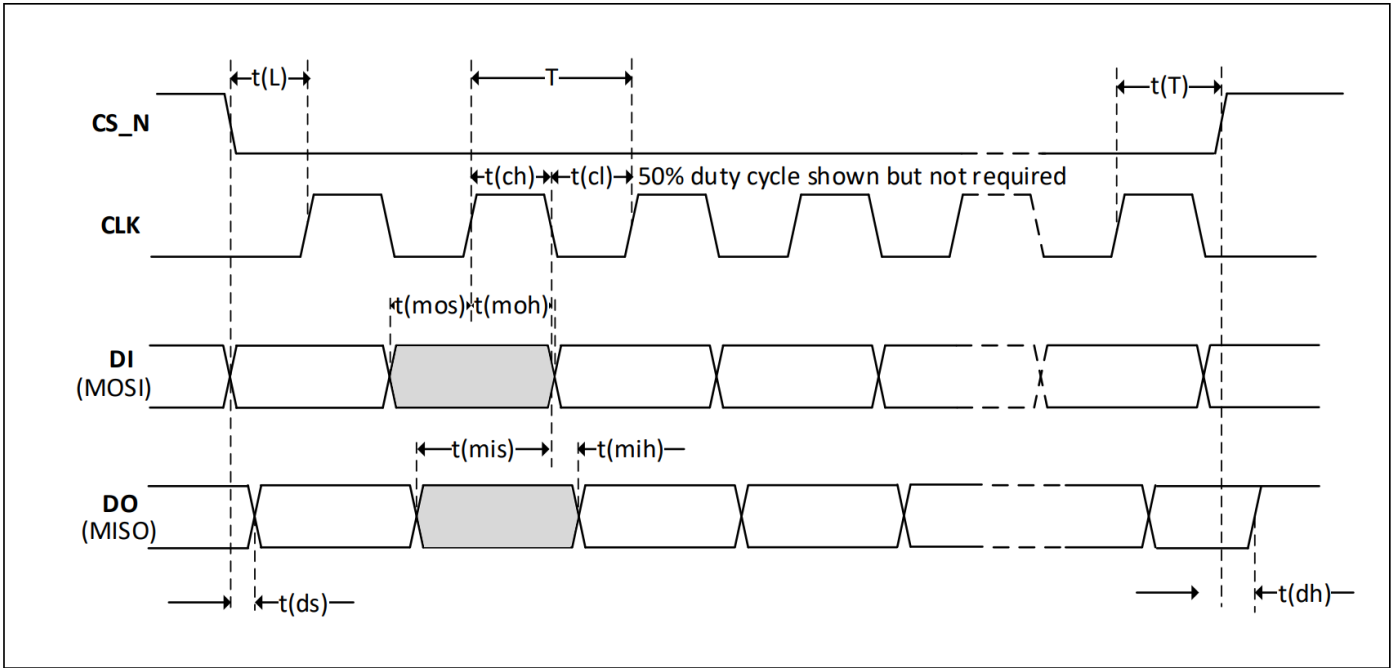


图 44 SFCTL:MISO_HS_RD = 0_b的 SPI 接口时序图

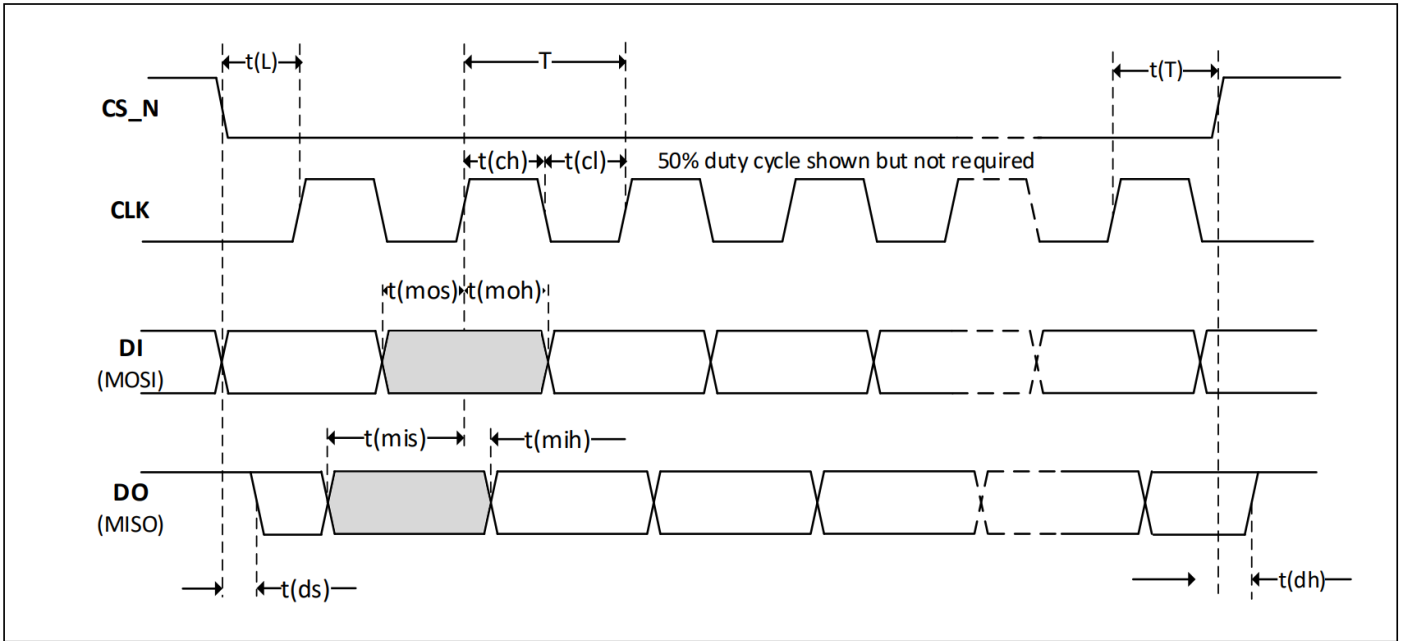


图45 SFCTL:MISO_HS_RD = 1_b的SPI接口时序图

BGT60TR13C 可在高达 50MHz 的 SPI 时钟频率下工作，但可实现的最大 SPI 时钟频率受限于 SPI 主设备和 SPI 从设备的 DI 相关建立和保持时间。例如，如果 SPI 主设备需要的 MISO 建立时间比 $t(mis)$ 更长，则必须降低正常 SPI 模式下的 SPI 时钟速度。或者，可以通过设置 SFCTL:MISO_HS_RD = 1_b 将 BGT60TR13C 切换到 SPI 高速模式。

高速 SPI 模式的时序图如图 45 所示。在此模式下，SPI 主机仍应在 CLK 的上升沿捕获 DO 的电平。SPI 从机在 CLK 上升沿之前保持 DO 电平稳定 $t(mis)$ 。SPI 从机在 CLK 上升沿之后保持 DO 电平稳定 $t(mih)$ ，然后根据下一个发送的位设置 DO 的电平。

数据组织和SPI接口

表 47 SPI 时序要求, VDDD = 1.71 至 1.89 V, Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter			Min	Typ	Max	
SPI clock period: 50MHz, with 1% clock jitter	T	ns	20			
Clock high	t(ch)	ns	9.0			
Clock low	t(cl)	ns	9.0			
Master output setup	t(mos)	ns	5.0			
Master output hold	t(moh)	ns	5.0			
Master input setup	t(mis)	ns	5.0			T=20ns (see Note 2)
Master input hold	t(mih)	ns	1.0			
Lead time before the first working clock edge occurs	t(L)	ns	9.0			
Tailing time after the last working clock edge	t(T)	ns	1			
Data setup time after the DO goes in low impedance state	t(ds)	ns			5	Guaranteed by design
Data hold time before the DO goes in hi impedance state.	t(dh)	ns			5	Guaranteed by design

注释

- 如果SFCTL:MISO_HS_RD 设置不正确, 则MISO 上读取的数据可能不正确。
- t(mis) 针对最大 SPI 时钟频率 50 MHz 进行指定。这会导致 CLK 下降沿 (对于 MISO_HS_RD=0) 和 DO 电平有效之间的最大延迟 (时间输出有效) 为 $Tt(mis) = 15 \text{ ns}$ 。对于 MISO_HS_RD=1, 它是 CLK 的上升沿。保证最坏情况下的时间: VDDD = 1.71V, Tb = +70 °C, 输出负载Load = 50 pF。

5.3.2 逻辑电平

数字输入和输出完全兼容CMOS (见表48)。所有IO输入/输出时序均基于50%电压参考电平 (见图 46)。I/O 接口如图 49, 输入引脚, 和图 50, 输出引脚, 包括内部上拉电阻。

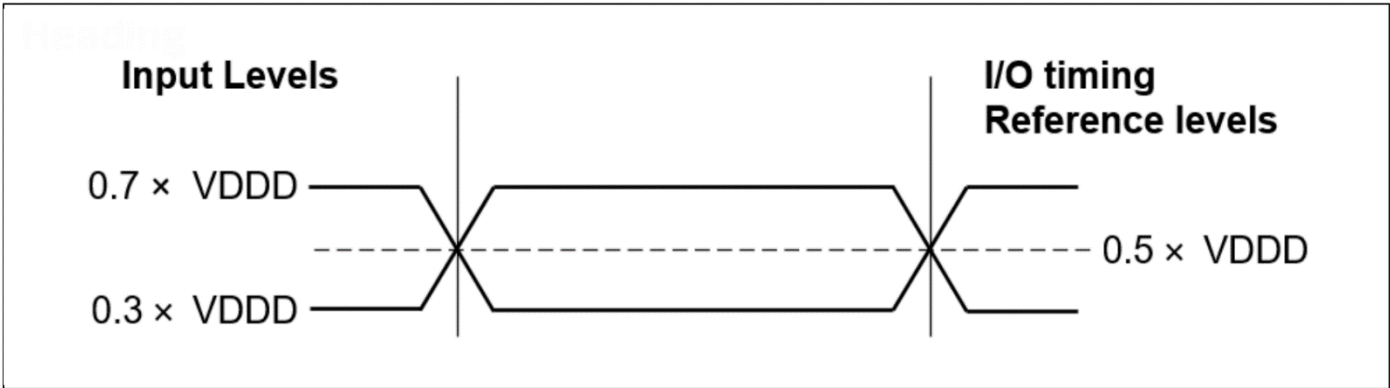


图46 交流时序输入/输出参考电平

输入逻辑迟滞可防止输入缓冲器振荡。最小迟滞范围 V_{HYST} 介于低逻辑电平 ($0.3 \times VDDD$) 和高逻辑电平 ($0.7 \times VDDD$) 边界之间 (见图 47)。

数据组织和SPI接口

高于 $0.7 \times V_{DD}$ 输入信号为逻辑“1”，低于 $0.3 \times V_{DD}$ 时为逻辑“0”，无论迟滞如何。由于温度漂移和器件差异，迟滞范围 V_{HYST} 最高可达 $0.7 \times V_{DD}$ ，最低可达 $0.3 \times V_{DD}$ ，但通常在 $0.5 \times V_{DD}$ 左右。参数报告见表 48和表 49。

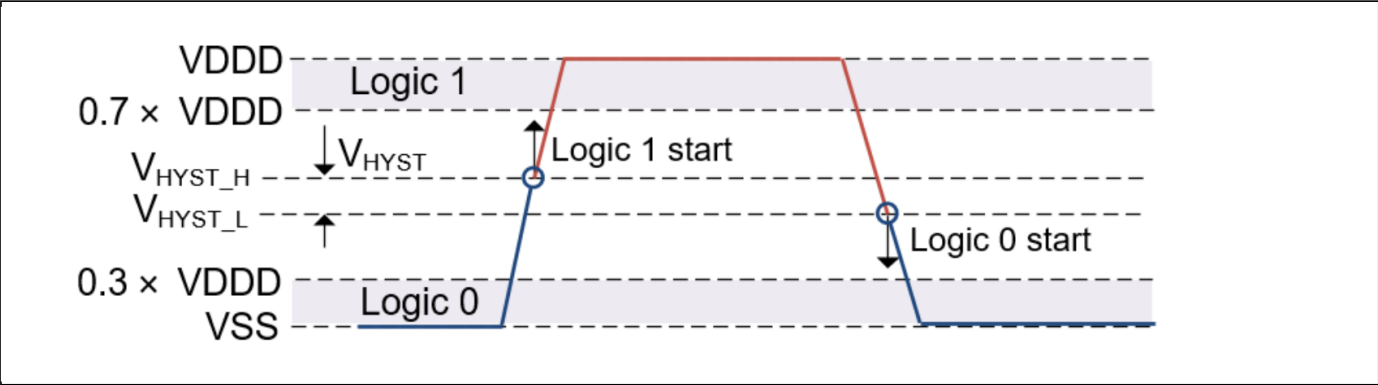


图 47 逻辑输入电平和滞后

数字输出垫具有固定的输出垫强度，可为上升信号 dV_{TR} 和下降信号 dV_{TF} 提供特定的转换率（见图 48）。最小压摆率是在考虑15pF总电容负载的情况下模拟的。结果报告于 表 48 和 表 49。

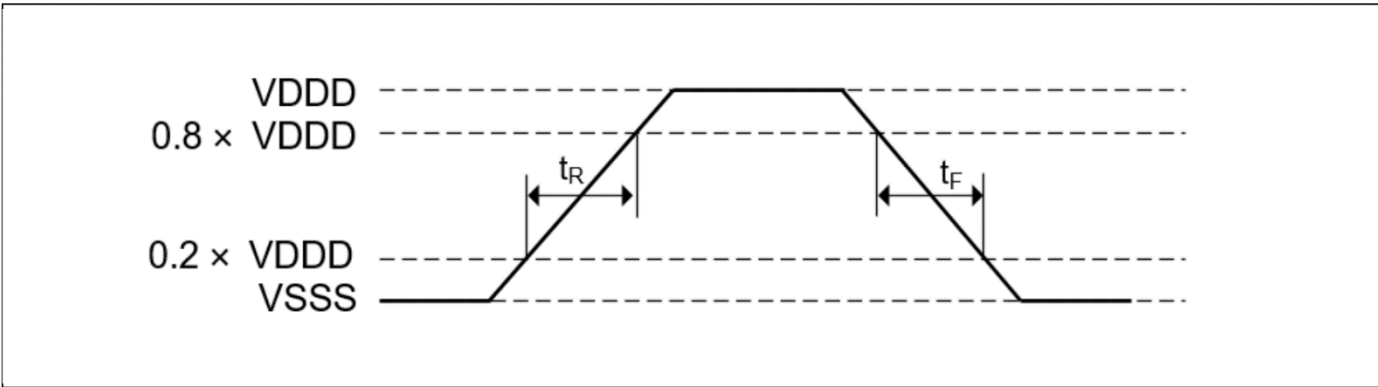


图 48 上升/下降时间，斜率规定在 $0.2 \times V_{DD}$ 和 $0.8 \times V_{DD}$ 之间

数据组织和SPI接口

表 48 输入引脚的逻辑电平V_{DDD} = 1.71 至 1.89 V, T_b = -20 至 +70 °C, 环境温度不低于 -40 °C; 所有电压均相对于 V_{SSD} 数字地, 正电流流入引脚 (除非另有说明)

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
LOW level	V _{IN(L)}	V	0		0.3 × V _{DDD}	
HIGH level	V _{IN(H)}	V	0.7 × V _{DDD}		V _{DDD}	
Input current (0V < V _{IN} < V _{DDD})	I _{IN}	μA	-150		150	
Input capacitance CLK/CS_N	C _{IN}	pF		2.0		
Input capacitance DI/DIO3	C _{IN}	pF		3.15		
Minimum hysteresis voltage range between 0.3*V _{DDD} and 0.7*V _{DDD}	V _{HYST}	V	0.175			V _{HYST_H} - V _{HYST_L}
Upper hysteresis signal level	V _{HYST_H}	V		0.5 × V _{DDD} + V _{HYST} / 2	0.7 × V _{DDD}	
Lower hysteresis signal level	V _{HYST_L}	V	0.3 × V _{DDD}	0.5 × V _{DDD} - V _{HYST} / 2		

数据组织和SPI接口

表 49 输出引脚的逻辑电平 $V_{DD} = 1.71$ 至 1.89 V, $T_b = -20$ 至 $+70$ °C, 环境温度不低于 -40 °C; 所有电压均相对于 V_{SSD} 数字地, 正电流流入引脚 (除非另有说明)

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
LOW level	$V_{OUT(L)}$	V	0		$0.3 \times V_{DD}$	
HIGH level	$V_{OUT(H)}$	V	$0.7 \times V_{DD}$		V_{DD}	
Output current (LOW)	$I_{OUT(L)}$	mA	-5			
Output current (HIGH)	$I_{OUT(H)}$	mA			5	
Allowed load capacitance to provide maximum signal frequency on DO	C_{LOAD}	pF			15	
Minimum hysteresis voltage range between $0.3 \times V_{DD}$ and $0.7 \times V_{DD}$	V_{HYST}	V	0.175			$V_{HYST_H} - V_{HYST_L}$
Upper hysteresis signal level	V_{HYST_H}	V		$0.5 \times V_{DD} + \frac{V_{HYST}}{2}$	$0.7 \times V_{DD}$	
Lower hysteresis signal level	V_{HYST_L}	V	$0.3 \times V_{DD}$	$0.5 \times V_{DD} - \frac{V_{HYST}}{2}$		
Output pad slew rate for rising wave form	dV_{TR}	V/ns	0.32			$0.2 \times V_{DD}$ to $0.8 \times V_{DD}$
Output pad slew rate for falling wave form	dV_{TF}	V/ns	0.33			$0.2 \times V_{DD}$ to $0.8 \times V_{DD}$

数据组织和SPI接口

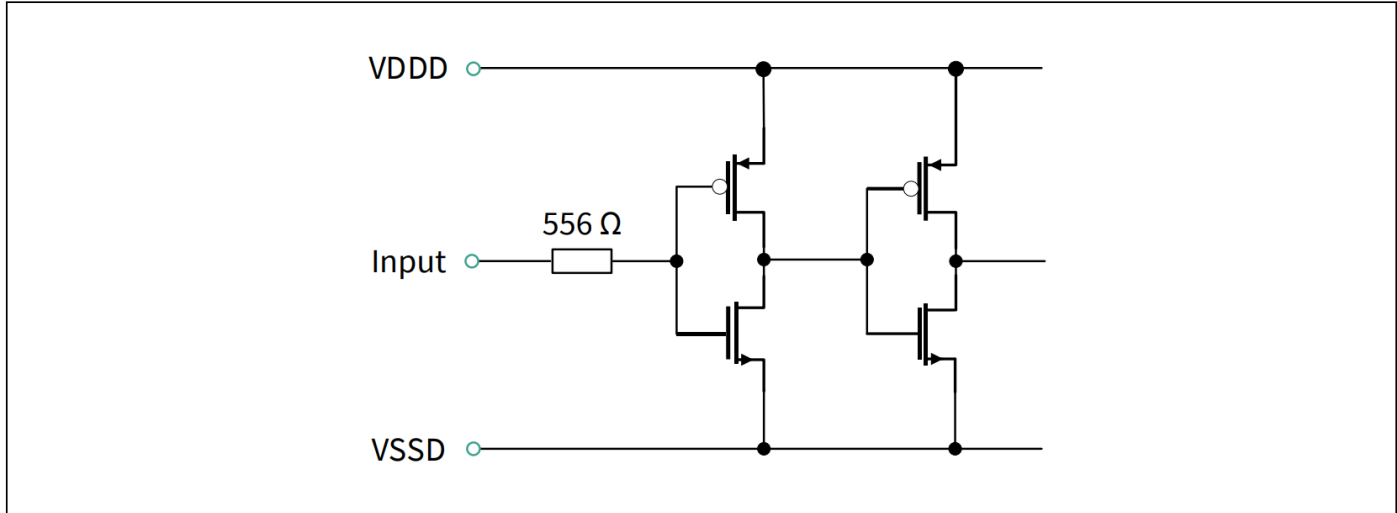


图 49 输入引脚 CLK、CS_N、DI、DIO3 的接口

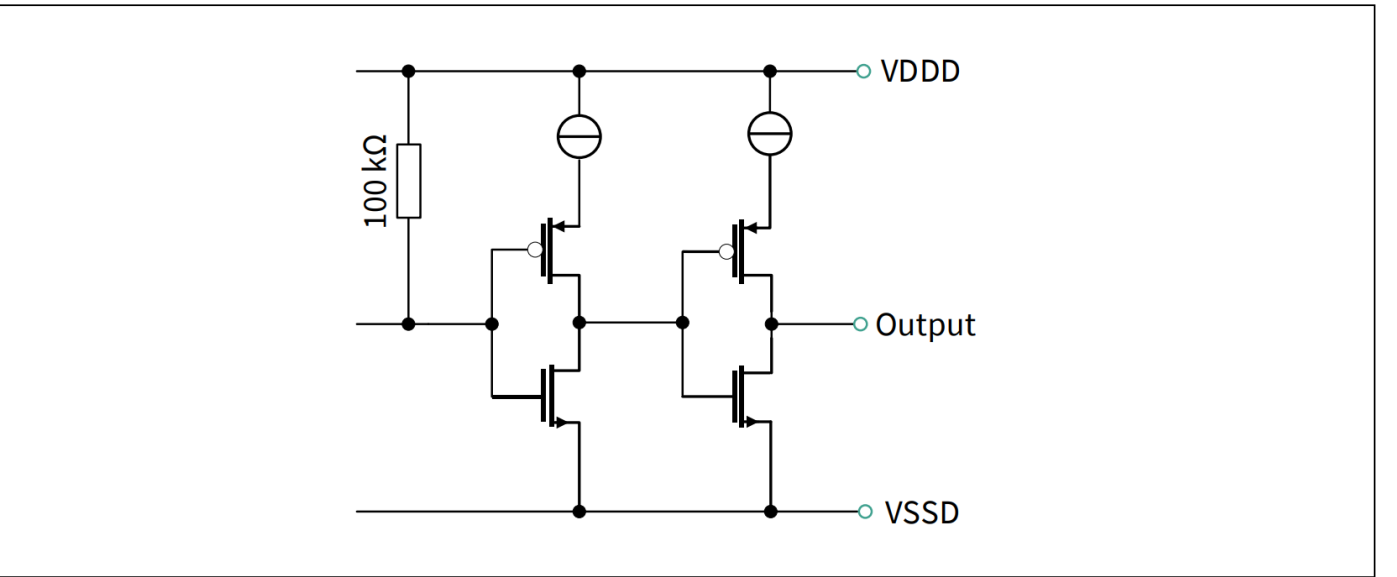


图 50 输出引脚 IRQ、DO、DIO3 的接口

5.4 过冲和下冲波形定义

工作期间，施加的信号和电源电平不应超过数据手册中规定的绝对最大直流电平。由于电感和/或电容负载，数字信号可能会出现正或负过冲。下表 50 报告所有逻辑信号允许的过冲时间和信号电平。

表 50 过冲和下冲信号电平

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Maximum absolute overshoot voltage level	Vos	V			VDDD + 0.5 V	see Note:
Maximum absolute undershoot voltage level	Vus	V			VSS - 0.5 V	see Note:

注释

数据组织和SPI接口

最大焊盘电流不超过±5 mA（另见表49）。数字信号的过冲/下冲不存在斜率限制。

5.5 IBIS 模型

如有需要，可提供 BGT60TR13C IBIS 模型（需签订保密协议）。该模型基于时序仿真。为了更好地反映实际时序行为，使用了不同的输入/输出信号焊盘模型，并在 表格 51中进行了总结。所有焊盘的驱动强度都是固定的（PRG0=0）。

表 51 IBIS 焊盘类型和型号（参见 Ibis 模型）

Pin	Ibis PAD Model
CSN	IN: MODEL_654_7345_110
CLK	IN: MODEL_654_7345_110
DIO0 / DI	IN: MODEL_8138_4982_52 OUT: MODEL_8138_4982_59
DIO1 / DO	IN: MODEL_8138_4982_52 OUT: MODEL_8138_4982_59
DIO2	Not available on BGT60TR13C
DIO3 / Reset	IN: MODEL_8138_4982_52 OUT: MODEL_8138_4982_59
IRQ	OUT: MODEL_8138_4982_55

5.6 SPI功能

通过 SPI 总线传输的每个字的长度为 1 个命令字节 + 3 个数据字节。通信是按位进行的。首先，地址以 MSB 优先的方式传输。地址后面跟着 R/W 位，然后跟着数据，数据也是先发送 MSB。同时，在接收到命令字节时，一个来自系统级可配置的全局状态寄存器（8 位，GSR0）被串行移出到 DO（MSB 优先）。在接下来的 24 个时钟周期内，选定的寄存器内容将通过 DO 移出，MSB 优先。根据发送的 R/W 位，有两种不同的操作模式可用：写入模式和读取模式。每种写入模式也是一种读取模式。

写入模式

启动条件后，将发送所需地址。该地址长度为 7 位，后跟一位数据方向位（读/写）。“1”表示写入操作（参见图 51）。

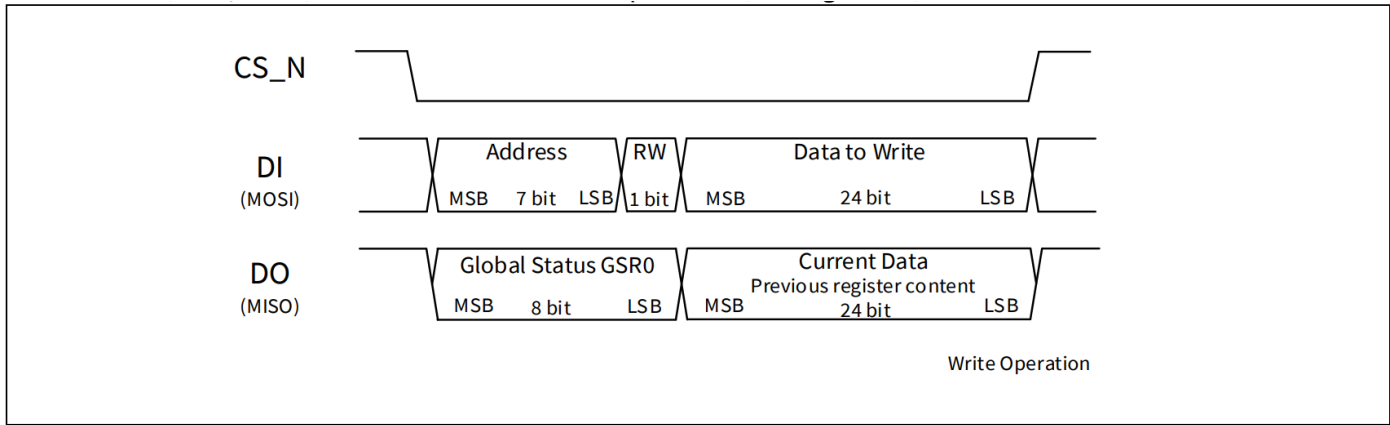


图51 SPI时序写入模式

数据组织和SPI接口

读取模式

在启动条件之后，所需的地址像在写入操作中一样被发送。R/W 位为零表示读访问。命令字节之后的 DI 上的数据可以包含任意值。DO 行为与写入模式相同。

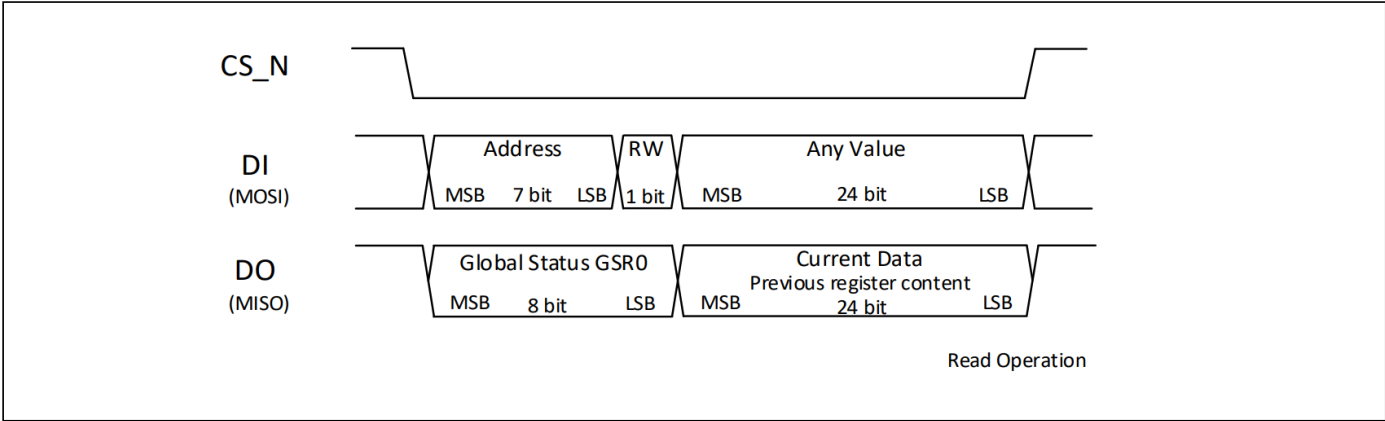


图52 SPI时序读取模式

5.7 SPI突发模式

突发模式可用于从 FIFO 读取或写入多个寄存器或部分数据，而不仅仅是读取单个寄存器或数据。突发模式命令由主机发送。突发模式命令由多个位字段组成，如图 53所示。

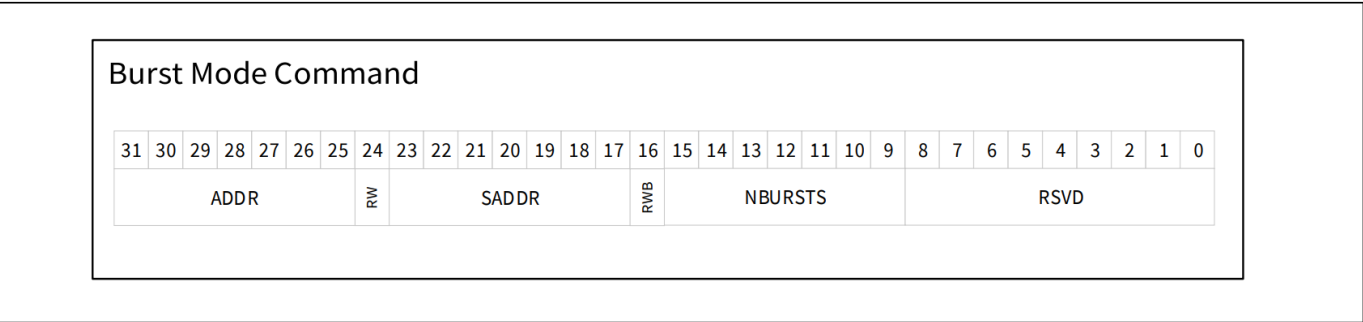


图53 突发模式命令

下表 52 显示了突发模式命令位字段的详细描述。

表 52 突发模式命令位字段描述

Bit field	Bit	Description	RST
ADDR	31:25	To enter the burst mode the following address is used: 0x7F ... request the burst read/write.	
RW	24	Read/Write register access: Fixed to 1 _B ... write to address 0x7F	
SADDR	23:17	Starting address where the burst starts processing: < 0x60 Register access == 0x60 FIFO access > 0x60 Reserved - Address is incremented automatically inside a burst.	
RWB	16	Burst read or write: 0 _B ... Perform a read burst	

数据组织和SPI接口

Bit field	Bit	Description	RST
		1 _B ... Perform a write burst, (writes to FIFO not supported)	
NBURSTS	15:9	Number of processed data blocks: 0x00... “unbounded” burst accesses 0x01 to 0x7E ... number of words to transfer	

注释:

单个数据块的宽度为24 位，包括采样存储器和寄存器。

突发模式操作

启动条件后，SPI 主机通过 DI 发送 32 位突发模式命令。同时，状态寄存器 GSR0（四个 1B位+ 四个状态位）及其后 24 个设置为 0B 的填充位通过DO 移出。命令序列完成后，寄存器/FIFO 数据通过 DO 移出至 SPI 主机。在突发写入模式下，待写入的寄存器数据从 SPI 主机（例如应用处理器）移入。

突发模式读取序列:

在读取序列中，SPI 主设备从设备读取。

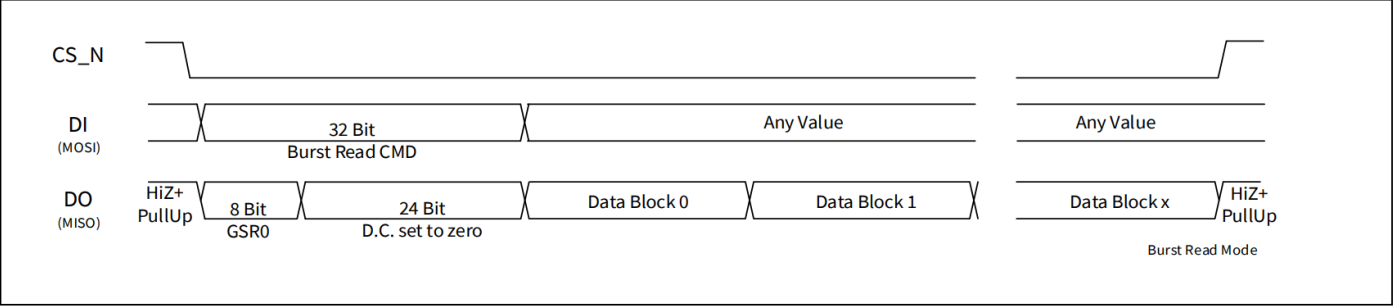


图54 突发模式读取序列

突发模式写入序列:

在突发写入模式下，SPI 主设备向设备写入数据。

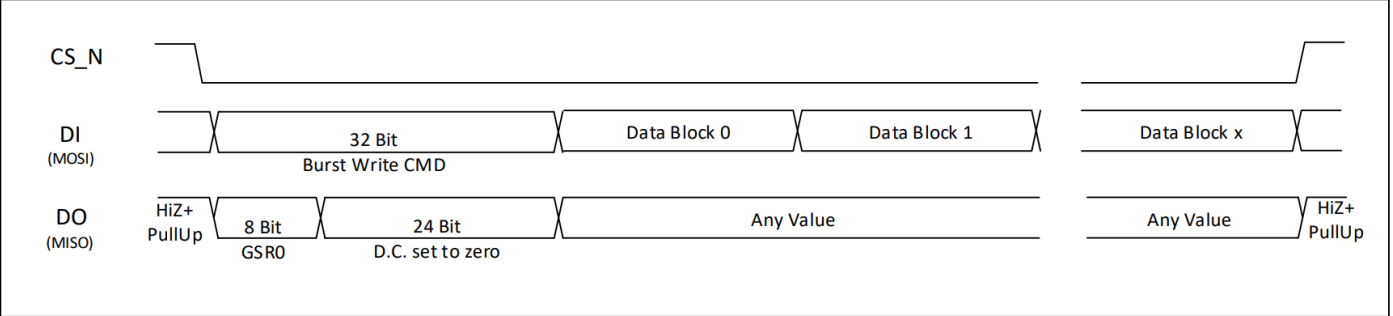


图55 突发模式写入序列

数据块中的采样数据排列

FIFO 中的数据在突发读取请求期间从 FIFO 地址零开始流出。第1个ADC是通道号最低的 ADC 通道。

数据组织和SPI接口

由于采样存储器采用 24 位组织，并且可以通过 ADC 通道选择位（CSx:BBCH_SEL，参见第 4.10 节）选择最多三个 ADC 通道，数据块排列如下。

如果选择单个 ADC，数据结构如图56所示。

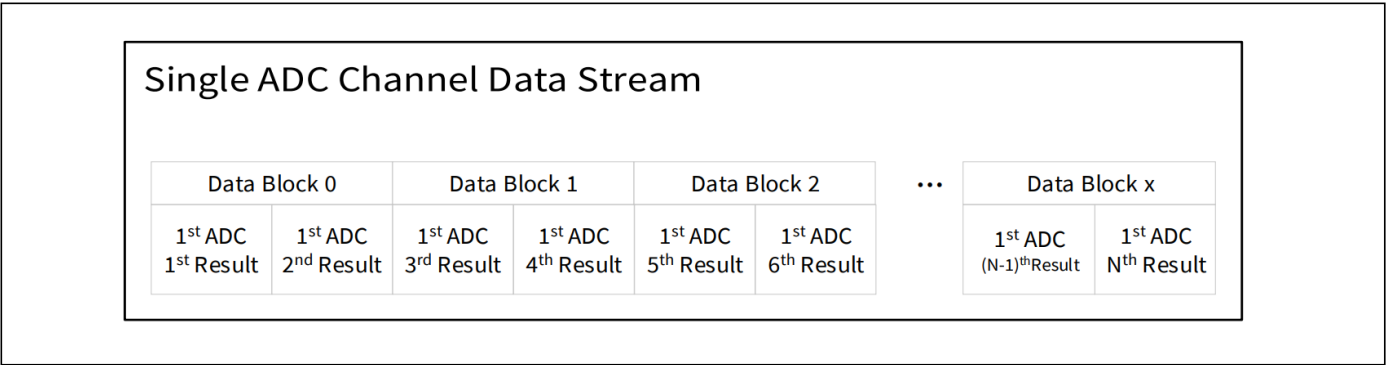


图 56 选择单个 ADC 通道

如果选择两个 ADC，数据结构 如图57 所示。

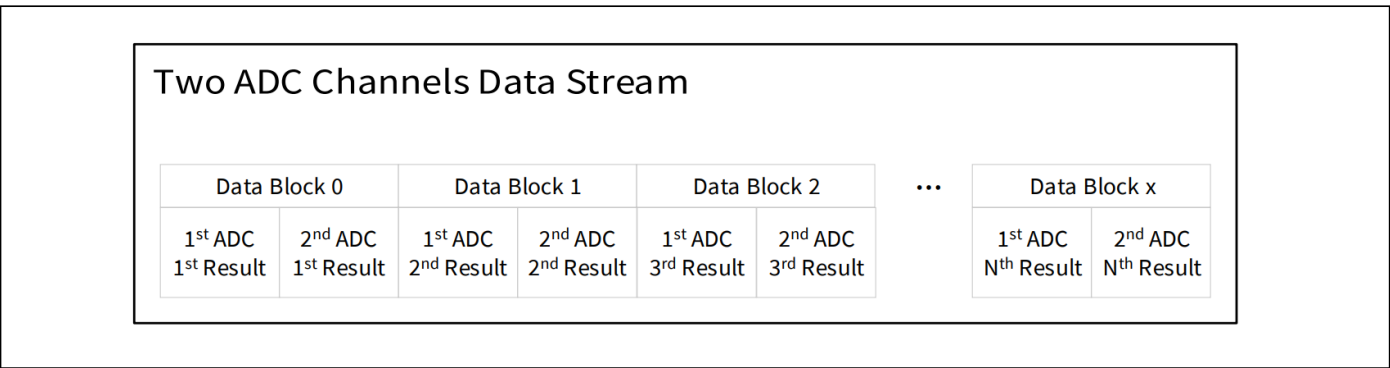


图 57 选择两个 ADC 通道

如果选择三个 ADC，数据结构 如图 58所示。

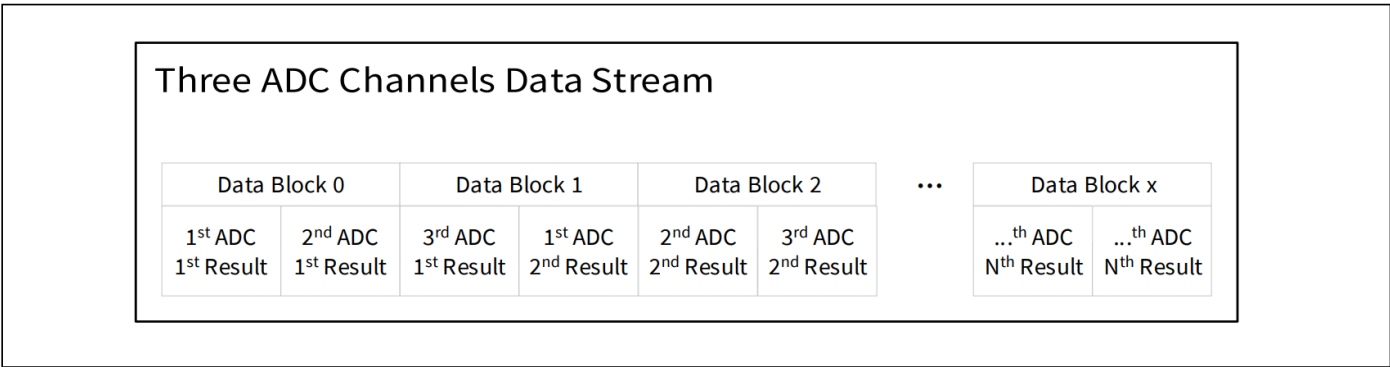


图 58 选定三个 ADC 通道

示例：突发模式读取采样内存序列

主机发送以下突发模式命令来初始化突发模式，以从 FIFO 读取未定义数量的采样数据：

BMCMD_RS = (ADDR = 0x7F, RW = 0x01, SADDR = 0x60, RWB = 0x0, NBURSTS = 0)

备注：

数据组织和SPI接口

对于每个对采样存储器的突发读取请求，采样存储器地址指针都会重置为初始值。这样内存就可以从一开始就被读取，直到应用处理器停止突发读取。

示例：突发模式读取寄存器序列

主机发送以下突发模式命令来初始化突发模式，以从寄存器地址 3 开始读取 10 个寄存器：

BMCMD_RR10 = (ADDR = 0x7F, RW = 0x01, SADDR = 0x3, RWB = 0x0, NBURSTS = 10)

5.8 SPI错误检测

SPI BURST_ERR 和 CLK_NUM_ERR（另见表 43）将在这些重置后被清除：

- 软件复位
- 硬件复位

SPI BURST_ERR 和 CLK_NUM_ERR 在下一个 SPI 事务的全局状态位中报告，并作为粘滞位锁存在 FSTAT 寄存器中。

为了了解捕获的样本数据是否损坏，主机可以评估位字段 CLK_NUM_ERR 和 SPI BURST_ERR，如表 53所示。

表 53 SPI BURST_ERR 和 CLK_NUM_ERR 定义

Length Range	Transaction	SPI BURST_ERR	CLK_NUM_ERR	Behavior on read/write
0	Null command	0 _B	0 _B	Ignored
1-31	Short length error in single	0 _B	1 _B	Command ignored
>32	Long length error in single	0 _B	1 _B	Extra bits ignored
1-31	Short length error in SPI burst header	0 _B	1 _B	Command ignored
<24xN	Missing whole data word in bounded burst	1 _B	0 _B	Available data words used
>24xN	Extra whole data word in bounded burst	1 _B	0	Extra data word(s) ignored
%24>0	Misaligned bit-count for bounded burst	1 _B	1 _B	Extra bits ignored
%24>0	Misaligned bit-count for infinite burst	0 _B	1 _B	Partial data word may be discarded

注释

- 忽略写入事务意味着没有寄存器（或内存）内容受到部分写入命令或不完整数据字的影响。
- 忽略读取事务意味着返回的数据无效，并且对于 FIFO 来说，部分读取命令不会删除任何字，或者数据字不完整。
- 丢弃的读取事务意味着数据已经从 FIFO 中读取，但仅部分传输；后续读取将从 FIFO 中弹出下一个字。

数据组织和SPI接口

- 无限突发 (NBURST=0) 中出现长度错误后, FIFO 中的数据可能会被丢弃。必须进行 FIFO 读取, 因为在此阶段需要将数据移出, 但如果不是所有位都移出, 则 FIFO 已被读取并且部分数据字可能会被丢弃。

5.9 硬件复位序列

在任何复位条件 (SW、HW、FIFO 和 FSM 复位) 之后, 芯片都不应处于复位状态, 尤其是在没有应用外部时钟 OSC_CLK 的情况下 (见表 2)。为了正确重置设备, 需要特殊的重置序列:

当 CS_N = '1_B' 时, DIO3 必须执行 1_B → 0_B → 1_B 转换,

该行为如图 59 所示:

T_CS_BRES = 100 纳秒

T_RES = 100 纳秒

T_CS_ARES = 100 纳秒

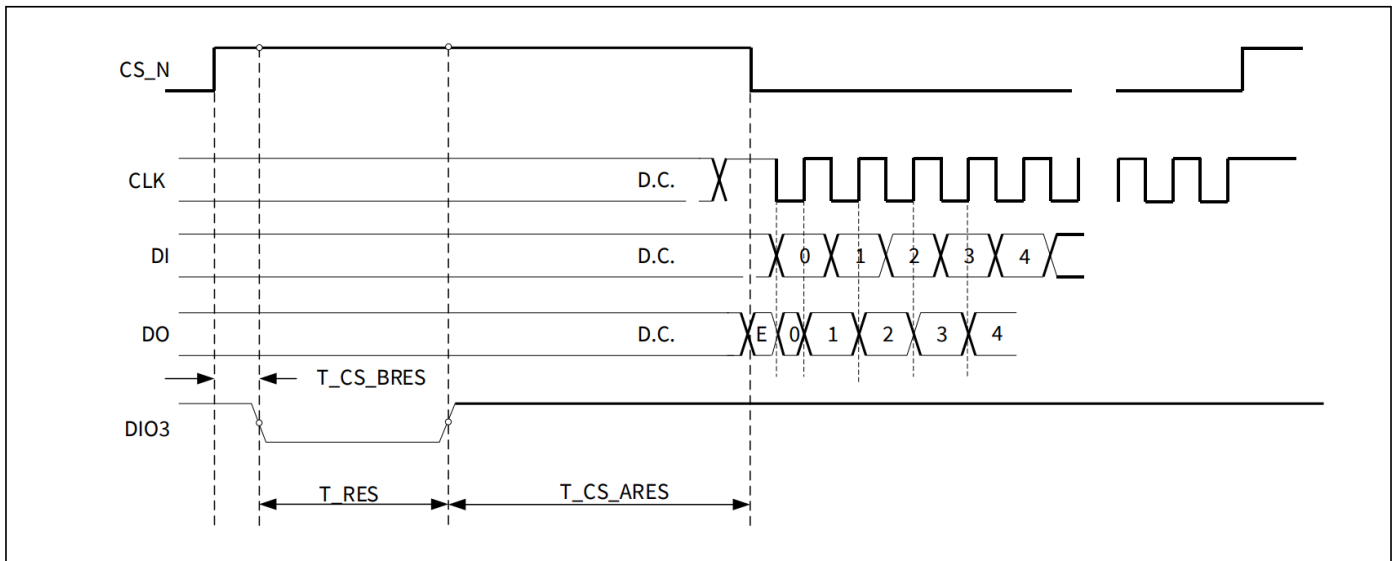


图 59 硬件复位序列

5.10 软件触发复位

除了硬复位外, 还支持三种复位序列, 可在 ISO 寄存器中触发 (另见 4.2)。它们按照以下层次结构定义:

软复位 → FIFO 复位 → FSM 复位

* 软件复位

- 将所有寄存器重置为默认状态
- 重置所有内部计数器 (例如形状、帧)
- 执行 FIFO 重置
- 执行 FSM 重置
- 在发送下一个 SPI 命令之前, SW_RESET 之后需要延迟 100 ns

* FIFO 重置

数据组织和SPI接口

- 重置FIFO的读写指针
- 数组内容不会被重置，但无法读出
- 发出 FIFO 空信号，填充状态 = 0
- 重置寄存器 FSTAT
- 执行隐式 FSM 重置

* FSM 重置

- 将 FSM 重置为深度睡眠模式
- 重置通道/形状集和计时器的 FSM 内部计数器
- 重置 STAT0 和 STAT1 寄存器
- 复位 PLL 斜坡启动信号
- 复位 PA_ON
- 终止帧（形状和帧计数器增加，但可能不完整）

PLL域功能规范

6 PLL域功能规范

PLL 设计用于生成 58 GHz 至 63.5 GHz 范围内的高性能频率 chirp。调制是在 PLL 带宽内（带内调制）通过基于模拟电荷泵的分数 N RF-PLL 架构进行的。此外，它还具有高度灵活的形状生成器，可以允许不同的斜坡形状和持续时间。该环路需要标称频率为 80 MHz 的低噪声参考时钟。

6.1 PLL 接口和时钟分配:

数字 60 显示了 PLL 的接口和 80 MHz 参考时钟的分布。

6.2 参考时钟分配

外部 80 MHz 参考时钟信号通过一条短的低抖动路径直接提供给 PLL 模拟部分的输入。从那里，时钟被分配到 PLL 的参考时钟缓冲器，并且还通过另一条路径分配到 STS，STS 是 PLL 模拟部分和数字部分之间的定义接口。这些路径彼此独立，因为通过 STS 提供给 PLL 宏输出的时钟（“osc_clk2dig”）用作主 FSM 的时钟。即使在 PLL 处于断电状态时它也必须可用。因此，避免使用 PLL 内部产生的电源。主 FSM 时钟可以通过称为 PACR1:OSCCLKEN 的专用寄存器位进行门控（参见第4.6节），该位在时钟路径开始时就已经使其安静。

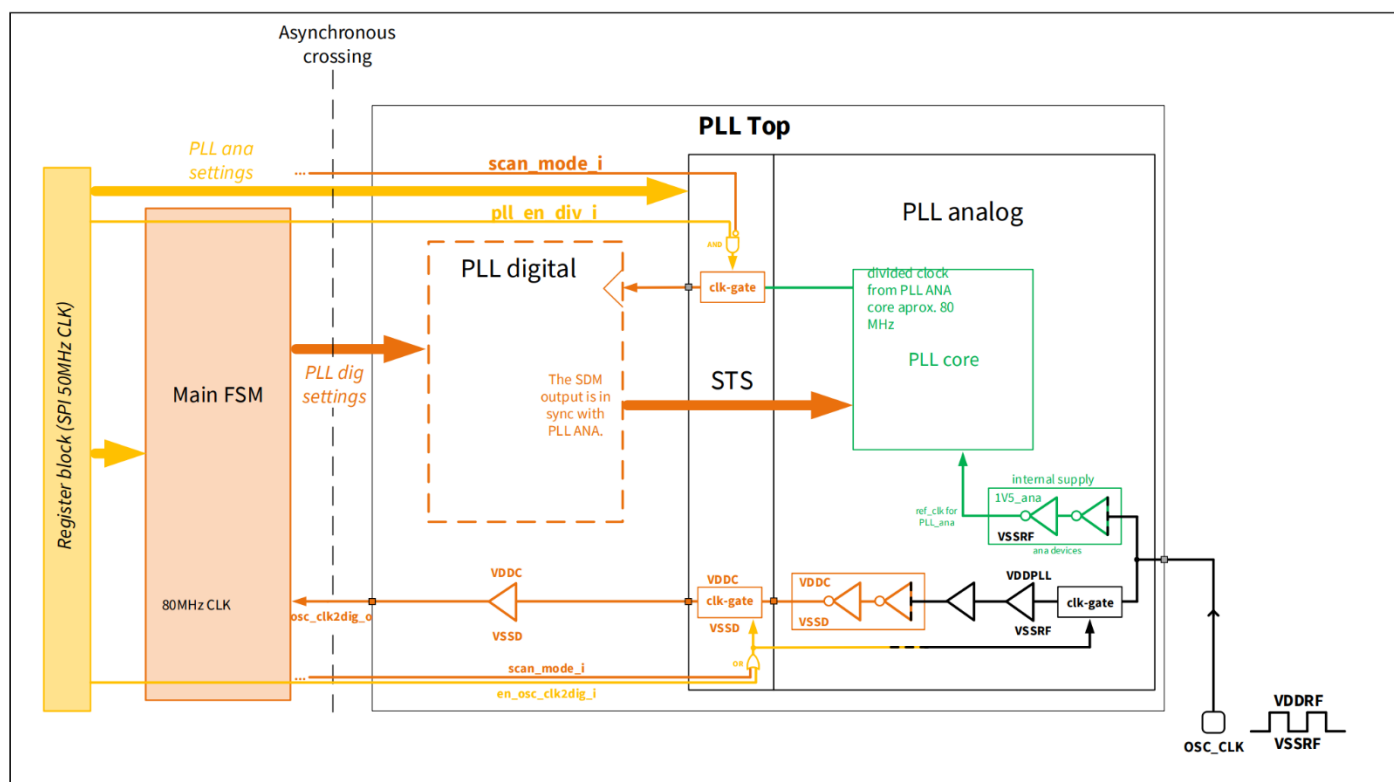


图 60 PLL 和 80 MHz 时钟接口至主 FSM

PLL域功能规范

6.2.1 PLL接口

大多数专用于 PLL 模拟部分的静态设置和控制信号被视为异步信号，并从寄存器组传递到 PLL 的 STS。这适用于对时间要求不高的数字信号。主 FSM 向 PLL 数字部分提供的斜坡生成参数在 PLL 数字部分内部注册。斜坡的起始信号也作为斜坡参数的同步信号。这是必需的，因为 PLL 数字在 PLL 的分频时钟上运行，这确保了 sigma-delta 位流和实现斜坡行为的 PLL 模拟部分之间的已知和同步时序关系。仅当 PLL 宏和 VCO 被激活时，分频时钟才可用。从 PLL 数字部分到模拟部分的其他控制信号保持异步。为了闭合 PLL 环路，PLL 核心的模拟部分与 RF 宏有接口，VCO 和部分分频器链位于 RF 宏中。

6.3 PLL参数和规格

表 54 总结了基于PLL的频率发生器的目标参数。

表 54 PLL 规格，VDDPLL = 1.71 至 1.89 V，VDDL F = 2.5 至 3.63 V，T_b = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition/Note
Parameter			Min	Typ	Max	
Reference Clock						
Reference Frequency	f _{ref}	MHz	75	80	85	f _{ref} = f _{SYS_CLK} See 2.2 78 MHz not allowed
Rise and Fall Time of Reference Clock	t _{rs,fs,clk}	ns			2	1.8 V CMOS clock
PLL Chirp Parameters						
Output Frequency Range	f _{RF}	GHz	58.0		63.5	Range depends on the VDDL F value
Continuous FM-Chirp Bandwidth	BW	GHz	0		5.5	PLL tuning range
VDDL F Range	VDDL F	V	2.5		3.63	5.5 GHz modulation BW requires at least VDDL F = 3.3V
Chirp slope	Slope	MHz/μs			400	
Frequency Ramp Linearity Error	Error	%			1	For 2 GHz BW minimum See 6.3.1, Figure 12, Table 15
Frequency Ramp Settling Time (fast chirp feature active)	t _{PLL,settle}	μs		5		See 6.3.2, section 3.3.5
PLL Phase Noise Single Sideband	PN _{PLL,100kHz}	dBc/Hz		-80	-75	@100kHz offset

PLL域功能规范

6.3.1 频率斜坡线性定义：

频率斜坡线性度误差定义为小于 FM 线性调频带宽的 1%。线性度误差计算为与“理想”频率斜坡的偏差。该规范需要在频率斜坡建立时间之后满足（另见第3.3节）。用于线性度评估的假设最差情况 FM 线性调频带宽为 2 GHz。

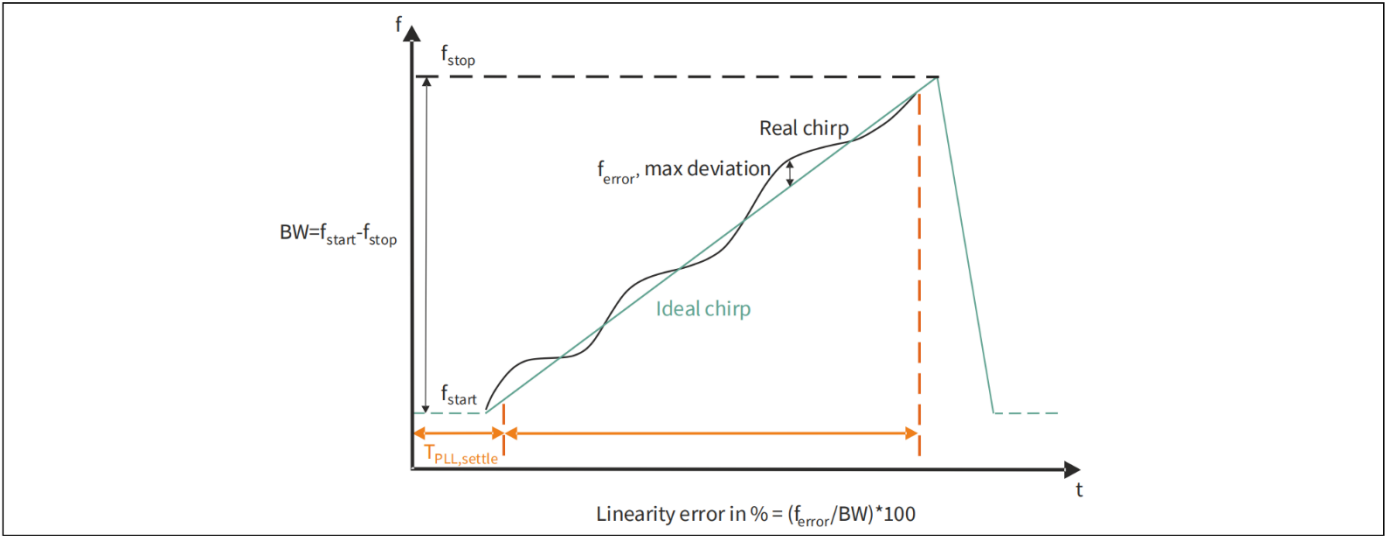


图 61 频率线性定义

假设最小带宽为 2 GHz，最大偏差为 1%，则预期最大频率误差为 20 MHz。

6.3.2 频率斜坡稳定时间

这是PLL在锯齿波情况下抑制下冲和过冲所需的时间。定性视图 如图所示 62. 请参阅第 3.3 节 以获得更详细的时间定义。

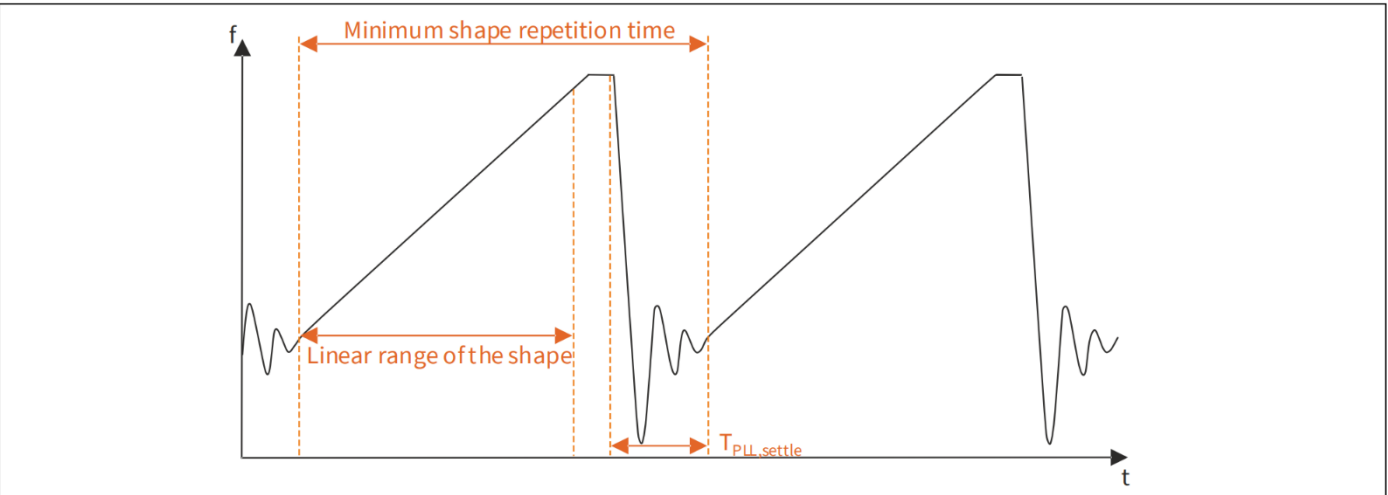


图 62 线性调频脉冲稳定时间

模拟射频域功能规范

7 模拟射频域功能规范

在模拟功能规范中，所有模拟组件（如射频前端 (RF FE)、基带放大器和滤波器）都有更详细的描述。组件的寄存器定义在第4.10节中。

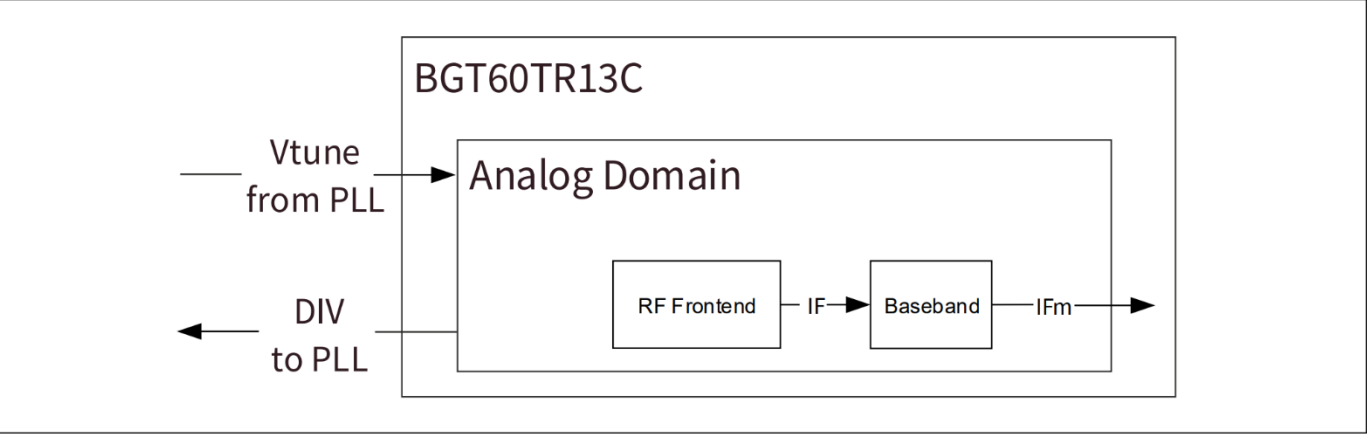


图63 模拟域简化框图

7.1 射频前端 (RF FE)

在射频前端，实现了实现雷达功能的所有特性。

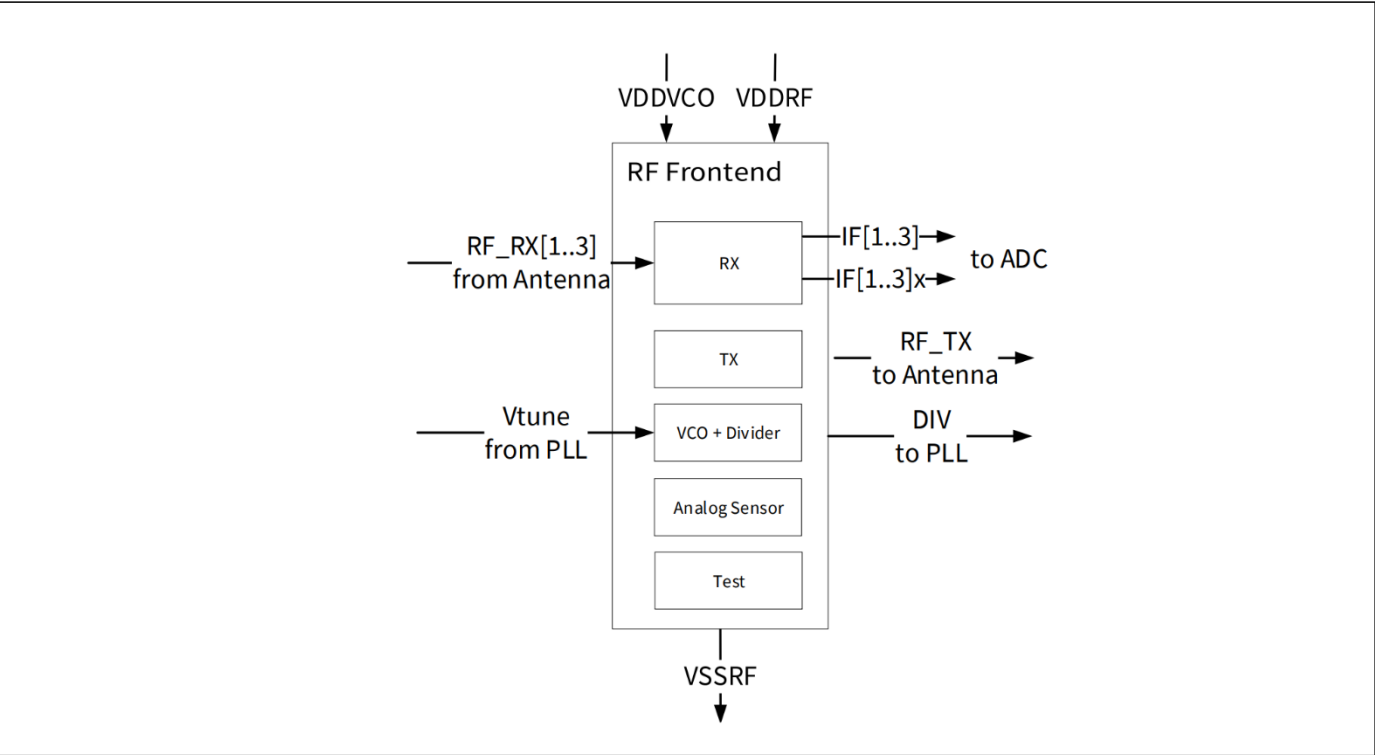


图 64 BGT60TR13C 收发器前端简化框图

7.1.1 片上模拟传感器输出

模拟传感器输出连接至 SADC。有关 SADC 输入配置，请参见 4.9 节。有关使能引脚定义，另请参见4.10 节。

模拟射频域功能规范

7.1.2 射频前端规格

下表是在芯片 PAD 接口处测量的 RF 前端的目标规格。

表 55 RF FE 规格，最小值和最大值涵盖指定的频率范围， f_{RF} = 58.0 至 63.5 GHz。温度范围， T_b = -20 至 +70 °C，以及电压供应范围， V_{DDRF} = 1.71 至 1.89 V（除非另有说明）。

Spec	Symbol	Unit	Value			Condition
Parameter			Min	Typ	Max	
Frequency Range	f_{RF}	GHz	58.0		63.5	
Transmitter						
Transmit Output Power ¹⁾	P_{TX}	dBm	1.0	4.0	8.0	Conductive Power
Output Power Variation over Temperature	P_{TX_Temp}	dB	-2.0		+2.0	For Tx DAC set to #31
Transmitter Power Control Dynamic Range	P_{TXD}	dB		15		
DAC Resolution Transmitter Power Control	P_{TXC}	Bits		5		By design
Receiver (for all three RX channels)						
Receiver Conversion Gain ²⁾	CG_{RX}	dB	12	14	16	
Conversion Gain Variation Over Temperature	CG_{RX_Temp}	dB	-3		+3	Including the complete baseband chain
Receiver Single Sideband Noise Figure	NF_{ssbRX}	dB		12	14	@100kHz offset
Receiver 1-dB Compression Point	$P_{-1dB_{RX}}$	dBm	-10	-5		
Channel-to-Channel RX Isolation ³⁾	Iso_{RX}	dB		40		
LO feedthrough at the RX port ³⁾	$LO_{feed_{RX}}$	dBm		-30		
TX-to-RX Isolation ³⁾	Iso_{TXRX}	dB		50		
Sensors						
Temperature Sensor Range	T_b	°C	-40		105	
Chip Backside Temperature (Temp) Vs Temperature Sensor Readout (Tsense) Relation	Temp Tsense	°C V	$Temp = \frac{Tsense - a}{b}$			
Temperature Sensor Offset (a)	a	V	0.77384	0.78984	0.80584	
Temperature Sensor Slope (b)	b	V/K		0.00286		
Output Power at Chip Pad Vs TX Peak Detector Readout Relation	P_{out} $PPD_PA^{4)}$	dBm V	$P_{out} = t_1 * \ln \left(\frac{PPD_PA + y_0}{A_1} \right)$ $y_0 = 0.00836 \text{ V}$ $A_1 = 0.09972 \text{ V}$ $t_1 = 8.82773 \text{ dBm}$			PPD_PA selected at SADC input
TX Peak Detector Accuracy	PPD_PA_{acc}	dB	-2		+2	Over f_{RF}
TX Peak Detector Dynamic Range	PPD_PA_{DR}	dBm	-10		+10	Min. 8 bits SADC

¹⁾: 在芯片焊盘处

²⁾: 功率电压增益；

模拟射频域功能规范

³⁾: 不包括包装

⁴⁾: 可以通过采样发射功率放大器输出端的峰值检波器电平来评估输出功率。必须将该信号与参考信号进行比较，以消除传感器的热漂移。因此，SADC 分两步连续采样 SADC:CH3 (pd_out) 和 SADC:CH4 (pd_outx) 通道上的信号。PPD_PA = pd_out - pd_outx。参见4.9 节。

注释: 80 MHz 杂散时钟信号可能会影响 SADC 读数 (+/- 10mW)。为了使传感器读数更稳定, 建议对每个传感器测量进行16 次平均值测量。

7.2 模拟基带：放大器和滤波器

基带放大器和滤波器调整中频信号以满足系统要求。它们设置信号电平来驱动全尺寸 ADC 输入而不会削波。

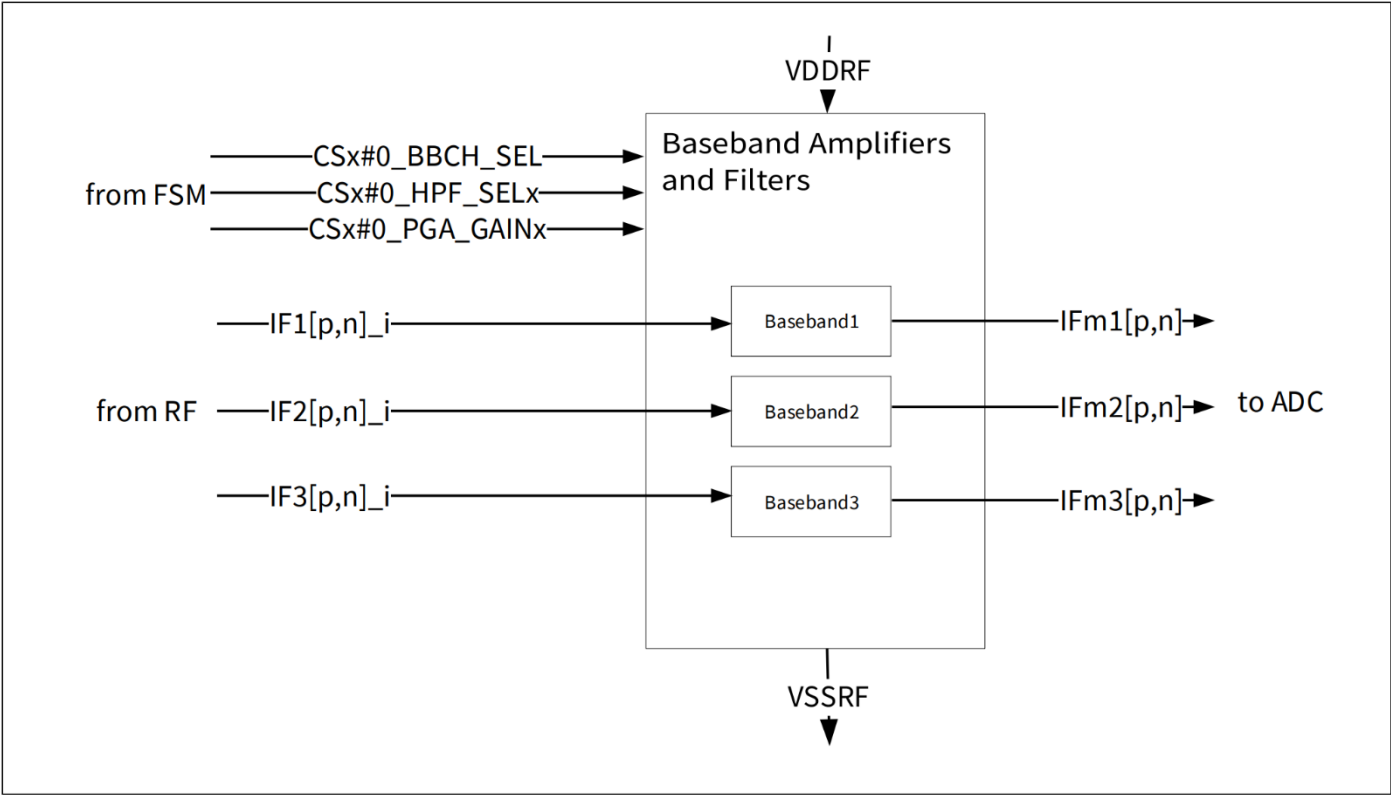


图65 基带放大器和滤波器框图

模拟射频域功能规范

7.2.1 基带特性

基带模块由三个通道组成。每个通道由一个高通滤波器 (HPF)、一个可变增益放大器 (VGA)、一个抗混叠滤波器 (AAF) 以及一个 ADC 驱动器组成（见图 67）。

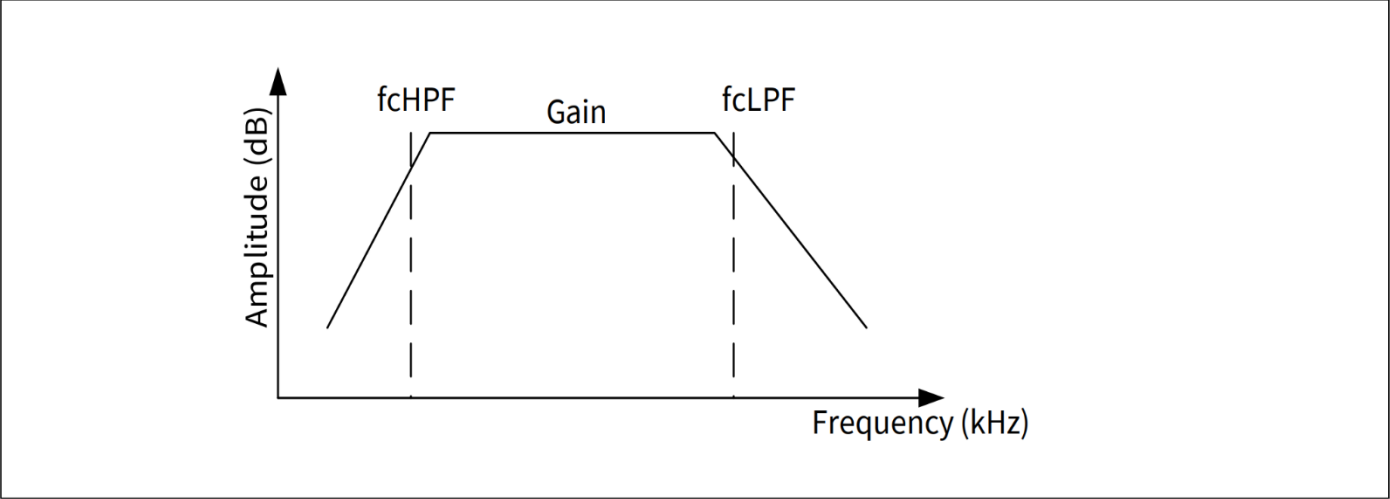


图66 基带特性

使用高通滤波器是为了消除 RX 混频器输出端的直流偏移，并抑制来自附近不需要的目标（例如，天线罩）的反射信号。

7.2.2 基带要求

高通滤波器可根据不同的调制参数进行调整，以适应不同的 f_{cHPF} 。如 表 56 所示有四种不同的设置可供选择。

考虑到雷达系统将处理的预期功率水平，HPF 不应该降低系统的线性度。

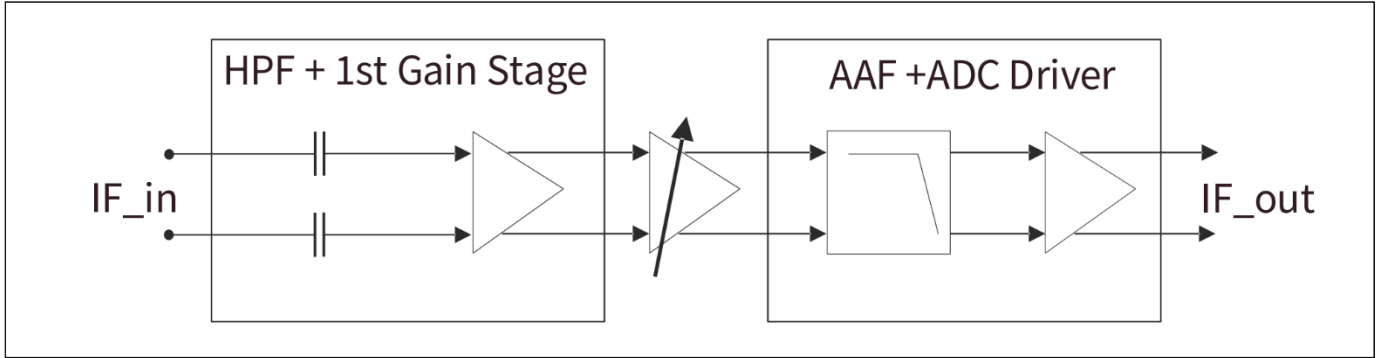


图67 基带简化框图，每个通道一个

交流耦合后，中频信号由第一级放大器放大。第一级显示可选电压增益为 18 或 30 dB。可以在 VGA 中以 6 个步骤（每个步骤 5 dB）调整增益，最大增益为 30 dB。VGA 后面跟着一个两级四极抗混叠滤波器。然后将信号施加到增益为 1 的 ADC 驱动放大器。总体而言，基带链的最大增益可设置为 60 dB。

基带链的具体参数总结在表 56，表 56和表 57

模拟射频域功能规范

表 56 高通滤波器选择。VDDRF = 1.71 至 1.89 V, Tb = -20 至 +70 °C

Spec	Unit	Value			Description
Parameter		Min	Typ	Max	
Fc_HPF_0	kHz	12	20	28	HPF 3 dB cutoff frequency
Fc_HPF_1	kHz	32	40	48	HPF 3 dB cutoff frequency
Fc_HPF_2	kHz	63	70	93	HPF 3 dB cutoff frequency
Fc_HPF_3	kHz	65	80	95	HPF 3 dB cutoff frequency

表 57 基带增益级, VDDRF = 1.71 至 1.89 V, Tb = -20 至 +70 °C

Spec	Unit	Value			Description
Parameter		Min	Typ	Max	
1 st Gain Stage	dB		18/30		Selectable, by design
VGA	dB		30		6 steps
VGA Step Size	dB	4	5	6	

表 58 抗混叠滤波器规格, VDDRF = 1.71 至 1.89 V, Tb = -20 至 +70 °C

Spec	Unit	Value			Description
Parameter		Min	Typ	Max	
fcLPF	kHz	450	500	650	3 dB cutoff frequency
LPF_Order			2 nd		Four poles, by design
LPF_Flatness	dB		1		In band flatness, guaranteed by design

MADC域功能规范

8 MADC域功能规范

多通道ADC (MADC) 模块由三个差分SAR ADC组成。这三个ADC负责捕捉来自基带的三个差分中频输出信号，并将其转换为相同的数字信号。一个1.5 V电源 (VDDC) 由专用LDO内部生成（参见图 4）。此模块由表 30中的 MADC_EN 位启用，参数在4.3中设置。MADC 的每个通道均可通过表 30中的 BBCH_SEL 位与相应的基带通道一起启用/禁用。为了简化到存储器的数据流，可以通过表 30 中的 BBCH_SEL 选择一个单 ADC 通道、两个单 ADC 通道或三个单 ADC 通道。另请参阅表 37 中的 APU 和 APD和第5.2段。

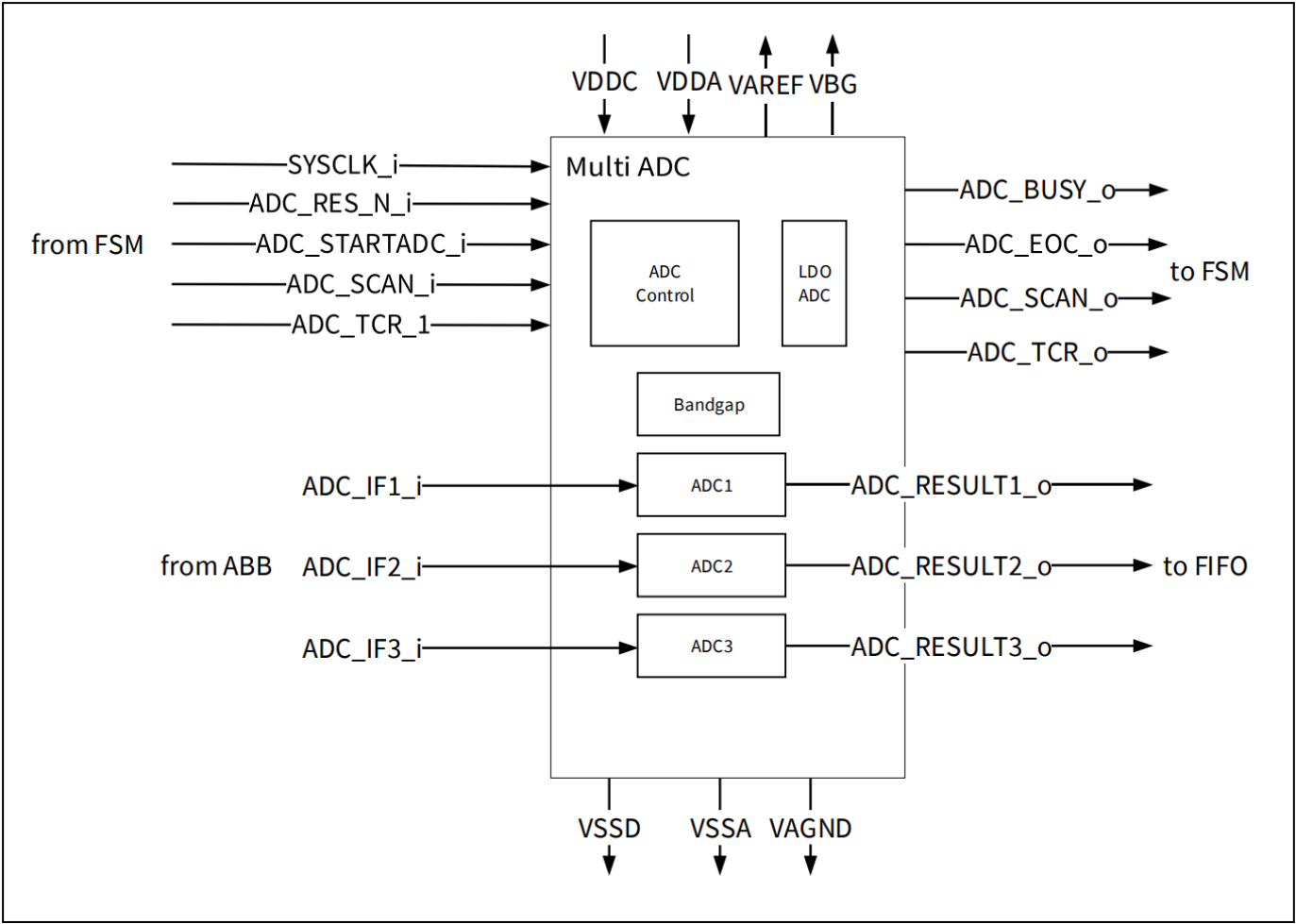


图 68 MADC框图

8.1 MADC 电源电压要求

ADC 域电源由引脚 VDDA 提供，内部 ADC 参考电压的输出由引脚 VAREF 提供。为了滤除开关效应引起的电压纹波，应在 PCB 上使用 $C_{b2} = 470 \text{ nF}$ 的低 ESR 旁路电容。

MADC域功能规范

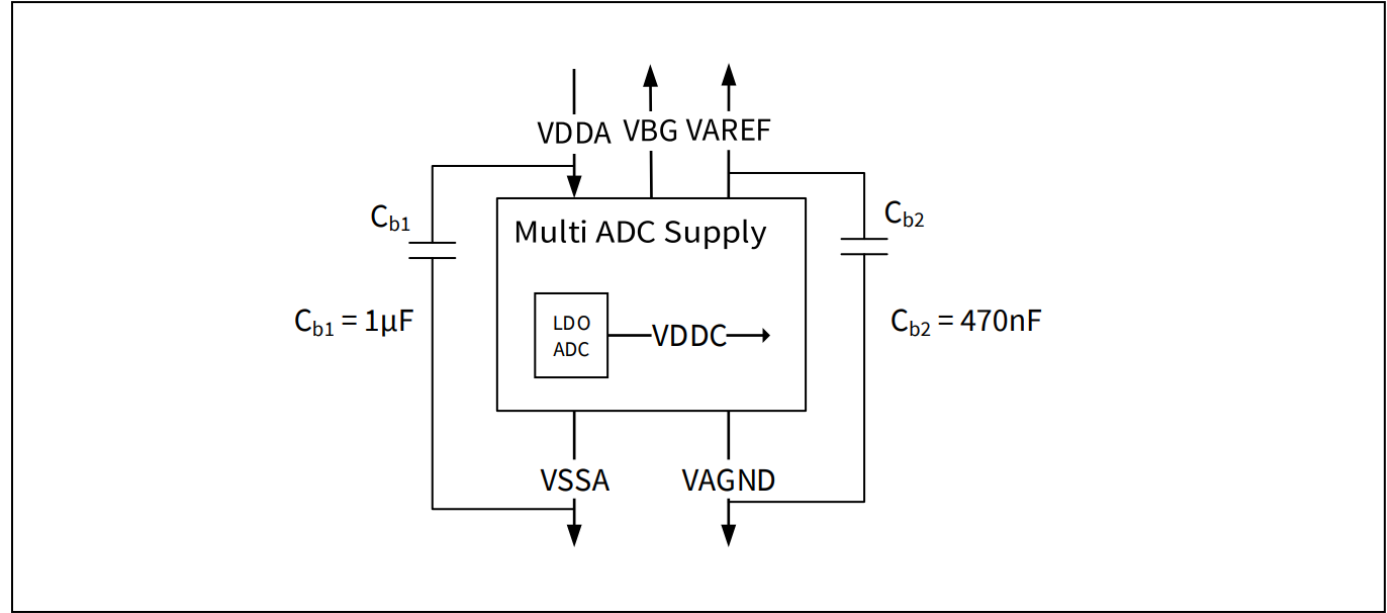


图 69 MADC 输入引脚要求

两个接地引脚 VSSA 和 VAGND 共享 PCB 上的相同模拟接地连接。旁路电容器应尽可能靠近这些引脚安装。

表 59 MADC 电压参考, VDDA = 1.71 至 1.89 V, Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
Positive reference voltage with respect to VAGND, generated internally	VREFP	V	1.14	1.2	1.26	
Negative analog reference voltage	VAGND	V	0		0.1	Refers to board design ground plane

8.2 MADC 规格

下表 60 列出了 ADC 参数。数值包含一次过转换。所有参数仅在执行启动校准后有效。所有参数均不针对生产测试。

注释

$f_{ADC_CLK} = f_{SYS_CLK}$

备注:

如果 ADC 在带隙上电 (表 32 中的 BG_EN) 之前开始采样, 结果将显示一些增益误差。为避免这种情况, 请遵循第 8.4 节中介绍的带隙上电时序。

表 60 MADC 规格, VDDA = 1.71 至 1.89 V, Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
Resolution				12		With default settings and

MADC域功能规范

表 60 MADC 规格, VDDA = 1.71 至 1.89 V, Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
						tracking conversion Table 63
Analog input voltage	V _A	V	0.145		1.455	
ADC Clock Frequency	f _{ADC_CLK}	MHz	75	80	85	f _{ADC_CLK} = f _{SYS_CLK} See 2.2 78 MHz not allowed
Signal to noise ratio	SNR	dB	55	64		@ -6dB FS
Spurious free dynamic range	SFDR	dB	58	69		@ -6dB FS @ 600kHz
Inter modulation product	IM3	dB	62	69		@ -12dB FS each input tone @ 600kHz max f @ 50KHz Δf
Bandwidth input buffer	BW	kHz	600			1 st order Filter in input Buffer
Conversion time – excluding sample time	Nconv	Count s of clk		24		Including one tracking conversion, sampling time not included
Sampling time	T _s	Count s of clk	4	8		@ 80 MHz clk
Wake up time – bandgap and BG reference Buffer	T _{WUBGB}	us	300	600	1000	
Wake up time – ADC	T _{WUADC}	Count s of clk		660		without startup calibration
Startup calibration time ¹⁾	T _{SUCAL}	Count s of clk	3361	6049	16801	ADC0:DSCAL= 0 _B Typical conditions: ADC0:STC=1 _B ADC0:MSB_CTRL= 1 _B
Setup time common mode input voltage	T _{VCM}	μs			1	
Power supply Rejection Ration on VDDS	PSRR	dB	20			

* 设计保证的参数

$$1) T_{SUCAL} = (1792 * 2^{(ADC0:STC)} + 896 * ADC0:MSB_CTRL + 1569) * 1/f_{SYS_CLK}$$

$$2) \text{ 启用校准时间时的总唤醒时间} = T_{WUADC} + T_{SUCAL}$$

MADC域功能规范

8.3 MADC时序图

该接口与主时钟完全同步。图70显示了单次跟踪且无过采样情况下的12位转换时序。因此，在80 MHz时钟输入下，ADC的最大速度设置为2.5 MSps。图70显示了SAR ADC时序。

重要提示：所有配置信号在运行转换期间（start_adc 和 eoc 之前的一个周期之间）必须稳定。

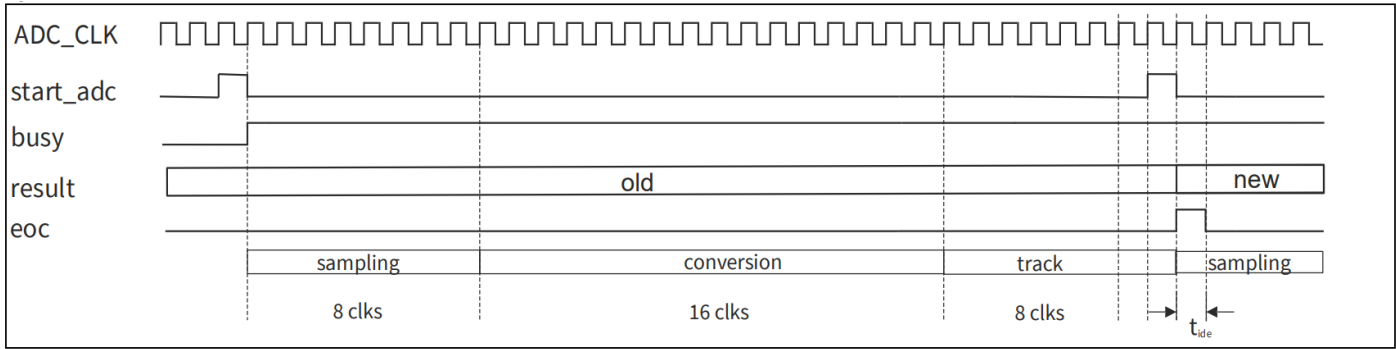


图70 SAR ADC转换时序图，12位

8.4 MADC启动序列

下图显示了完整 ADC 的启动顺序。

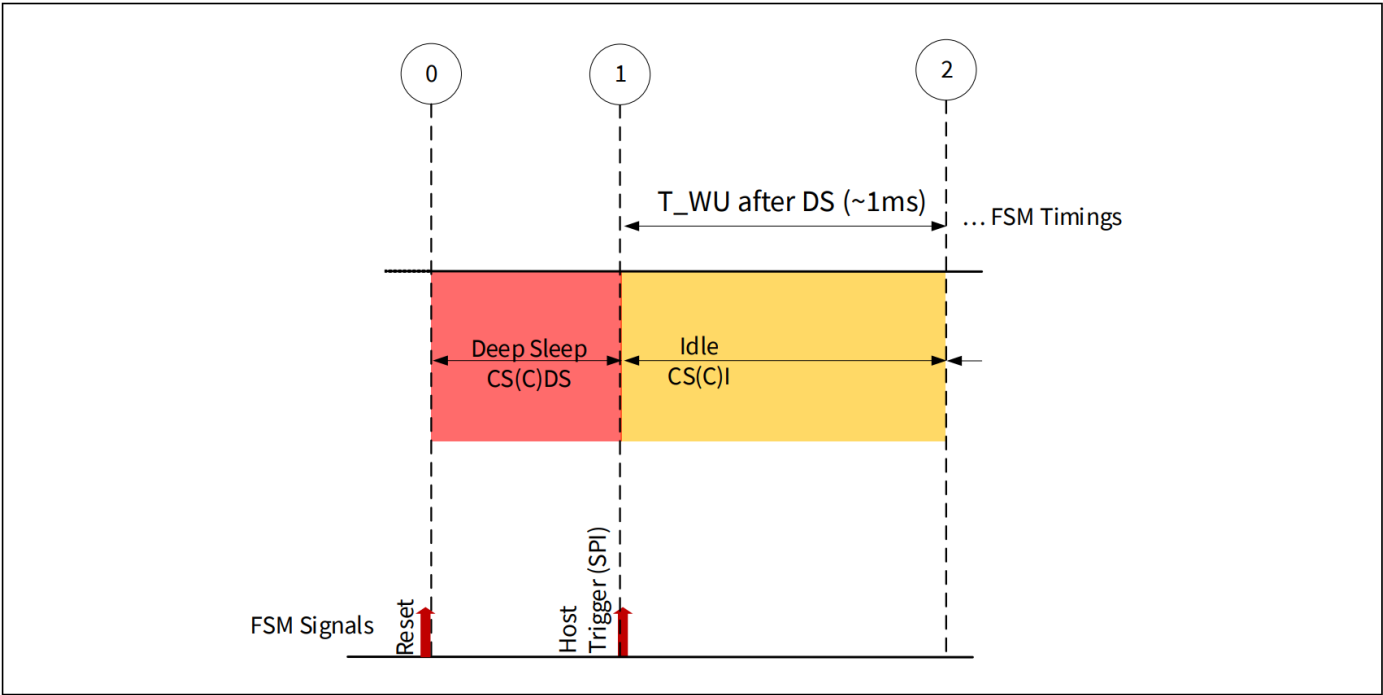


图71 MADC启动时序约束

主机复位并触发后，FSM 将从深度睡眠模式转入空闲模式。此处， T_{WKUP} 表示带隙稳定所需的总时间，也是ADC 稳定所需的最长时间。

下表 61 显示启动时序约束：

MADC域功能规范

表 61 MADC 时序约束, $V_{DDA} = 1.71$ 至 1.89 V, $T_b = -20$ 至 $+70$ °C

Spec	Symbol	Unit	Value			Condition
			Min	Typ	Max	
Parameter						
Wake up time	T_{WUADC}	μs		8.25		@80 MHz
Setup time common mode input voltage	T_{VCM}	μs			1	
Wake-up time for bandgap and bandgap reference buffer	T_{WU}	μs	300		1000	

8.5 MADC 转换率

ADC时钟输入为 $f_{ADC_CLK} = f_{SYS_CLK} = 80$ MHz, 源自系统时钟。转换可以包含三个不同的阶段:

- 采样
- 转换
- 跟踪

8.5.1 采样

在第一阶段, 模拟输入电压被采样到输入电容上。持续时间由 ADC0:STC 位控制。下表 62 显示了寄存器值 ADC0:STC、时钟周期 STC_NUM 和采样时间之间的联系。

表 62 ADC0: STC 值表 (参见4.3节)

	Sampling clock periods	Sampling time in ns ($f_{ADC_CLK} = 80$ MHz)
ADC0:STC	STC_NUM	t_{sample}
0_D	4	50
1_D (default)	8	100
2_D	16	200
3_D	32	400

采样时间计算公式为: $N_{sample} = STC_NUM$

8.5.2 转换

来自采样电容器的电荷被重新分配到 $13 + 2$ 个电容器。为了识别结果的 LSB 位, 需要 13 个时钟周期。

为了识别结果的 MSB 位, 使用一个或两个时钟周期, 具体取决于寄存器设置 ADC0:MSB_CTRL:

- 如果 MSB_CTRL 设置为 0_B , 则仅使用单个 (1) 时钟周期
- 如果 MSB_CTRL 设置为 1_B , 则使用两个 (2) 个时钟周期重新分配时间计算如下:

$$N_{conv} = (13 + 2 + ADC0:MSB_CTRL)$$

MADC域功能规范

8.5.3 跟踪

在此模式下，ADC 执行单次采样转换，然后执行几次跟踪转换，具体取决于位 ADC0:TRACK_CFG 的设置：

表 63 ADC0:TRACK_CFG 值表

ADC0:TRACK_CFG	Additional conversions TRACK_CFG_NUM	Remarks
0 _D	0	
1 _D	1	Default
2 _D	3	
3 _D	7	

一次跟踪转化的持续时间为：

$$N_{\text{track}} = 8$$

单个结果的所有跟踪转换的持续时间为：

$$N_{\text{track_all}} = 8 \times \text{TRACK_CFG_NUM}$$

8.5.4 ADC转换率

根据 8.5.1，8.5.2 和 8.5.3 中的定义对于单次转换定义了以下循环：

$$N_{\text{ADC_CONV}} = N_{\text{samp}} + N_{\text{conv}} + N_{\text{track_all}}$$

其中 N_{samp} 表示采样次数， N_{conv} 表示转换次数， N_{track} 表示跟踪周期。
所有 ADC 均与 $f_{\text{SYS_CLK}}$ 同步。

8.5.5 ADC采样率

ADC 采样率由 ADC0:ADC_DIV 值控制（见表 22）。ADC 的采样率由 $f_{\text{ADC_SAMP}} = f_{\text{ADC_CLK}} / \text{ADC_DIV}$ 给出。
ADC0:ADC_DIV 值需要大于单个 ADC 转换所需的时钟周期数，如 8.5.4 所述。

ADC 的采样率为：

$$f_{\text{ADC_SAMP}} = f_{\text{ADC_CLK}} / \text{ADC_DIV}$$

with $\text{ADC_DIV} > N_{\text{ADC_CONV}}$

表 64 ADC 采样率，VDDA = 1.71 至 1.89 V，Tb = -20 至 +70 °C

Spec	Symbol	Unit	Value			Condition
Parameter			Min	Typ	Max	
ADC sampling rate	$f_{\text{ADC_SAMP}}$	MHz		2	4	
Effective number of bits resolution	ENOB	1		10.5		

SADC 域功能规范

9 SADC 域功能规范

传感器 ADC（SADC）是单通道单端 8 位 SAR ADC。

传感器 ADC 可用于监测温度输出以及发射器通道的功率检测器输出。转换数据可通过 SADC 寄存器读取（另见4.22节）。该数据也可添加到 FIFO 中 MADC 数据帧的报头中（另见5.1节）。默认情况下，SADC 设置为读取温度传感器数据（SADC_CTRL:SADC_CHSEL=0，见4.9节）。更多设置请参见4.9 节。另见图 72。SADC可通过过采样实现 10 位更高分辨率（另见9.2节）。

由于所需的转换时间，ADC 数据在一个形状期间不可用，但它们将在下一个形状期间可用（这些数据有一个形状的延迟）。

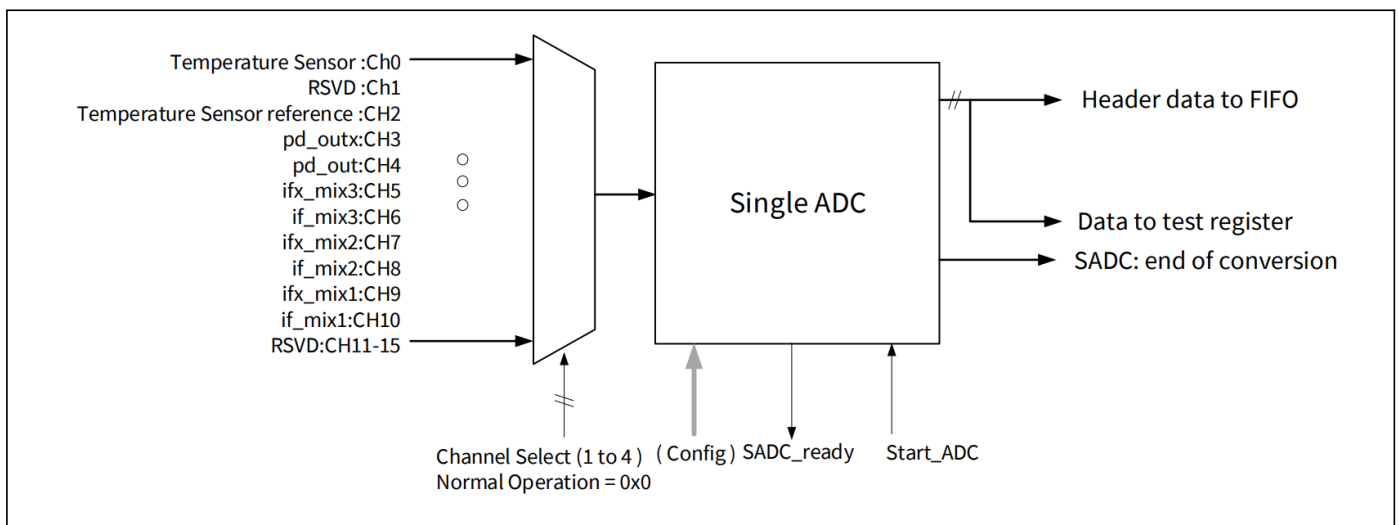


图 72 SADC一体化

9.1 SAC的功能

FSM 控制 SADC 的主要任务有四项：

- 启用：
 - SADC 模块在 FSM 状态的任何阶段都可以通过 CSCx 寄存器启用（另见4.11）
- 初始化：
 - 主机从 SADC_CTRL 控制寄存器中选择通道寄存器中的通道（另请参阅第4.9节）
- 触发：
 - 形状活跃阶段期间的每个 chirp-start 都会触发 SADC 采样/转换
 - 或者通过发送 SADC_START 到 SADC_CTRL 寄存器（参见第4.9节）
- 结果：
 - 采样和转换完成后，转换结果存储在结果寄存器 SADC_RESULTS 寄存器中（参见 4.22 节）

SADC 域功能规范

9.2 SADC 转换公式

SADC 时钟信号运行频率为 20 MHz，由 $f_{\text{ADC_CLK}} = f_{\text{SYS_CLK}} = 80 \text{ MHz}$ 得出。SADC 启动时间（无启动校准）为 101 个时钟周期，（有启动校准）为 422 个时钟周期。如果温度或电源条件没有发生显著变化，则可以在帧期间避免启动校准。

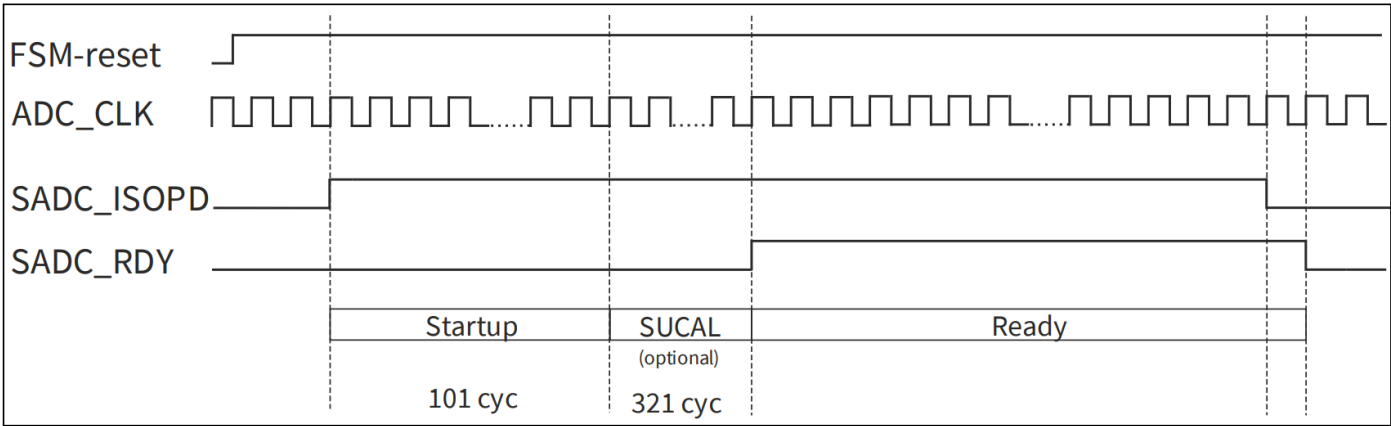


图73 SADC启动时序

单次模拟到数字转换到结果寄存器 SADC_RESULT 的转换时间 $N_{\text{CONV_LEN}}$ （参见第 4.22 节）由以下关系定义：

$$N_{\text{CONV_LEN}} = (N_{\text{conv}} + N_{\text{sample_dflt}} + \text{SESP} \times N_{\text{spread_early_sample}}) \times \text{OVS}$$

这里：

- $N_{\text{conv}} = 13$ 个时钟周期
- $N_{\text{sample_dflt}} = 16$ 个时钟周期
- $N_{\text{spread_early_sample}} = 16$ 个时钟周期
- OVS ...参见 SADC_CTRL:OVERS_CFG（参见第 4.9 节）
- SESP ...参见 SADC_CTRL:SESP（见第 4.9 节）。

8 位分辨率的 SADC 转换公式为：

$$D_{\text{out}_{8b}} = ((2^8 \times V_{\text{Ain}}) / \text{VREFP}) \times G_{\text{Ain}}, \text{ 误差为 } \pm 0.1\%$$

这里：

- V_{Ain} 是 SADC 的模拟输入
- G_{Ain} 是 ADC 模块的增益，可以设置为 1 或 0.75（参见第 4.9 节） $\text{VREFP} = 1.21\text{V}$ 。

为了达到 10 位分辨率，过采样率应设置为 32（参见 4.9 节）。为了正确测量功率传感器输出，请参阅 7.1.2 节和 4.9。

注释：禁用 SADC

要禁用 SADC，只需在寄存器 CSCx 中设置（参见第 4.11 节） $\text{SADC_ISOPD} = '0_B'$ （ $f_{\text{SYS_CLK}}$ 必须至少提供一个额外周期才能使命令生效）。

增强功能

10 增强功能

10.1 数据测试模式

芯片内置线性反馈移位寄存器 (LFSR)。它将生成一个伪随机位 M 序列，可用于填充 FIFO。这可用于开发和测试从 BGT60TR13C 上的 FIFO 到应用处理器 (AP) 内存的完整管道，包括固件和驱动程序，具有定义的位序列。

实现的 LFSR 由以下多项式描述: $x^{12}+x^{11}+x^{10}+x^4+1$ 。

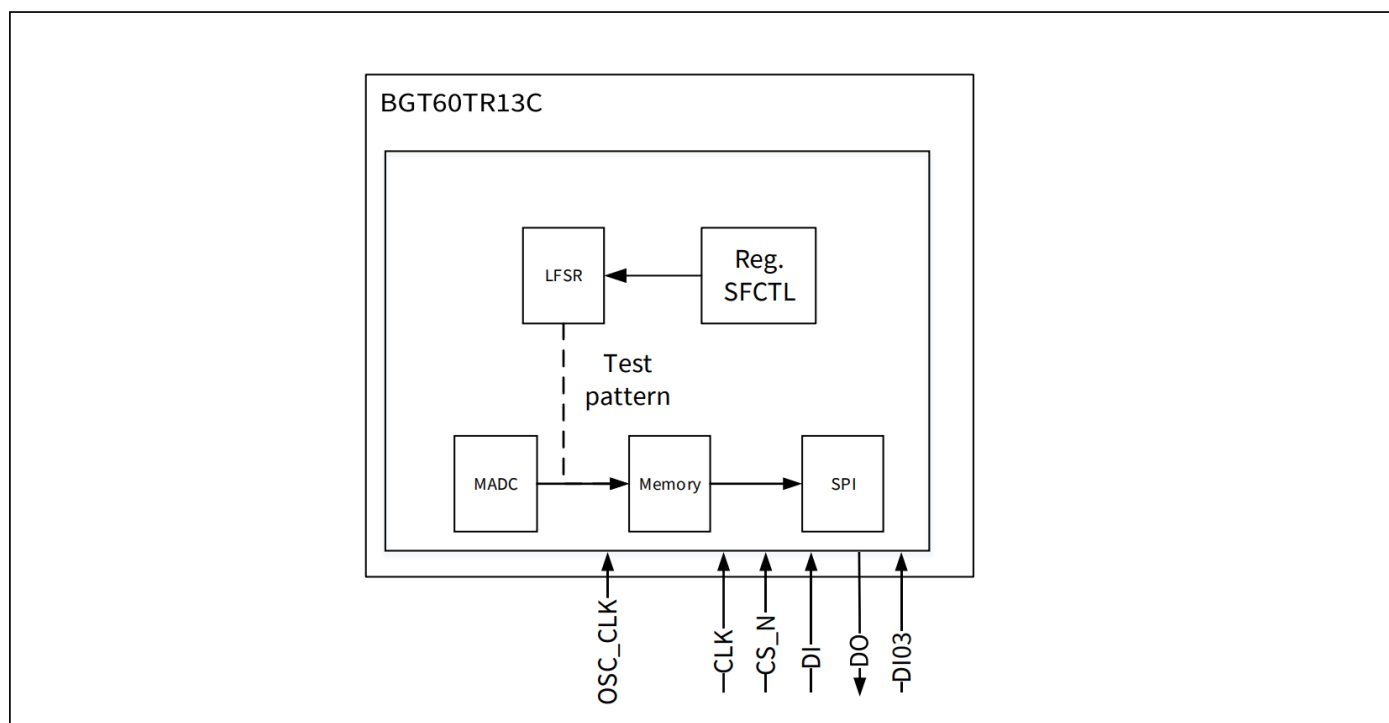


图74 数字流水线简化框图

第一个 ADC 通道 ADC_CH1 输出数据流被来自 LFSR 生成器的数据序列旁路。其他通道可以禁用或在正常运行中使用。

- 可以通过位 SFCTL:LFSR_EN= 1_B 启动此测试模式（另请参见 4.8）：
- 激活测试数据而不是 ADC 数据
- 使用 MAIN:FSM_RESET= 1_B 进行初始化

10.2 CW模式

在连续波 (CW) 模式下，该设备将设置为提供恒定的输出频率。在 CW 模式期间不执行任何形状。在此模式执行期间：

- 形状寄存器中定义的频率/时间参数被忽略
- PLL / RF / ADC 使用 PLL DFT0 (4.18) 和 CSU1 (0) 中编程的值运行。
- 所有其他 CS_x/形状设置均不移交给功能块

增强功能

- REPS/REPC/REPT 的值和帧相关时间用于形成“虚拟帧”
- 可以按照该“虚拟帧”的结构从 FIFO 中读出数据

注释

出于测试目的，“虚拟框架”定义应保持不变：例如1 个形状，1 个CS，

10.2.1 启用 CW 模式

进入 CW 模式之前应先进行 HW 或 SW 重置。

此后，为了启用 CW 模式，应遵循以下步骤：

- 启用 MAIN: CW_MODE = 1_B（参见4.2）
- 根据定义的“虚拟帧”初始化芯片寄存器（4.10 和4.16 中的设置）
- 启用时钟：PACR1: OSCCLKEN（参见4.6）
- 通过形状 1 中的 PLLx: FSU 设置来设置频率
- 设置 CSD/CSI/CSU1 的通道集（参见4.11）
- 设置 PLL DFT0: BYPRMPEN = 1_B（参见4.18）

通过使用FRAME_START作为触发器，芯片可以设置为如图 75所示的不同形状状态：

- TRIG#1：跳转到 1 (DS -> IDLE)
- TRIG#2：跳转到 2 (IDLE -> INIT0)
- TRIG#3：跳转到 3 (INIT0 -> INIT1)
- TRIG#4：跳至 4
- TRIG#5：跳至 6

频率更新：在此阶段，输出频率可以更新/编程（FSU）为任意值，并且当前频率将在 DFT0: BYPRMPEN = 0_B -> 1_B 的 PLL 转换后立即更新。

- TRIG#6：跳至 7

在此阶段，APU的采样数由ADC根据ADC0的设置产生。如果 APU=0 未生成触发器，则可以通过 ADC0: TRIG_MADC 手动触发 MADC。一旦生成了 APU 数量的样本，就可以在 FSM 重置后自动生成另一个样本。

-
- TRIG7：跳至8
- TRIG8：跳至 10
- TRIG9：跳至 11
- TRIGx

增强功能

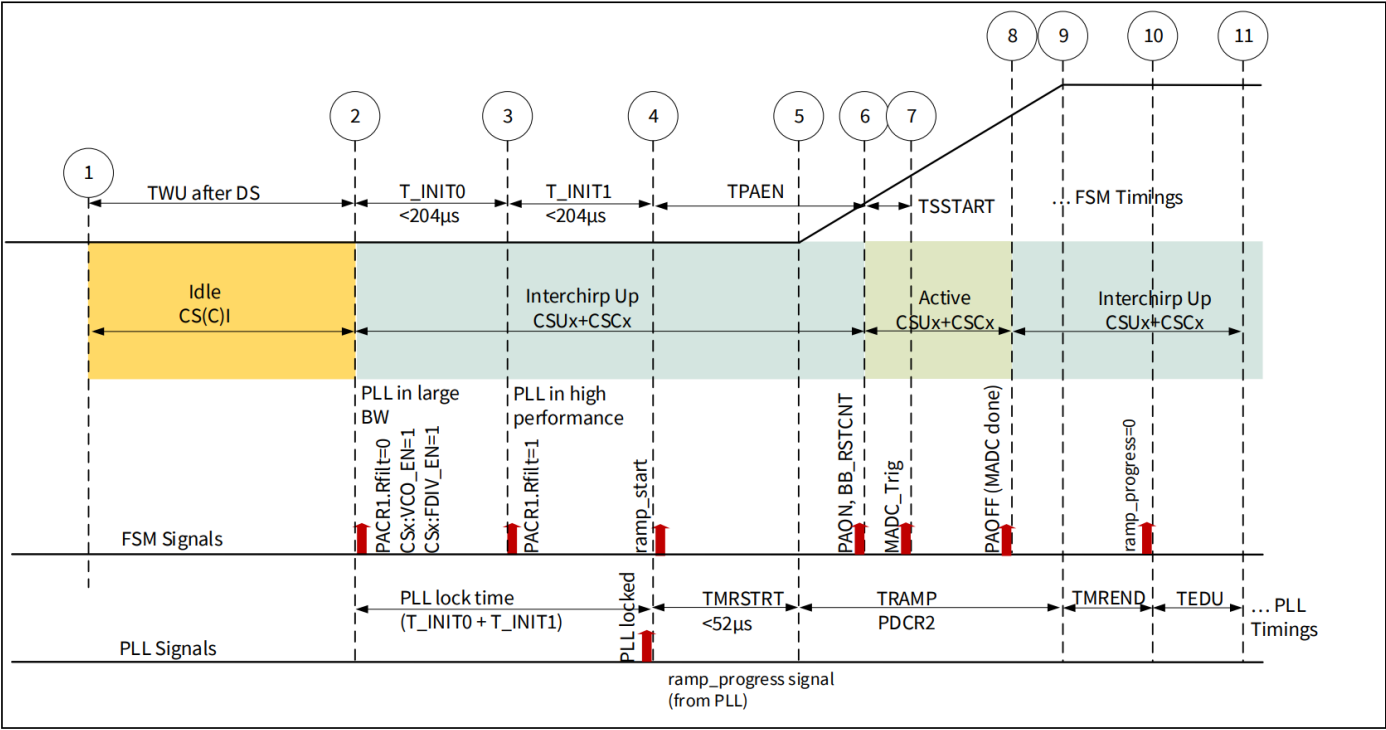


图 75 “虚拟帧”期间可遵循的步骤

FSM 重置将把 FSM 设置回初始状态，以便通过 TRIG1 重新启动。

此特定模式还用于测试芯片在特定序列期间的功耗。它将提供机会来打破在雷达（主动）模式期间以静态步骤运行的预期形状，其中可以测量电流消耗。

10.2.2 基带和 ADC 测试模式

测试音发生器可与 CW 模式配合使用。模拟接收链中可激活一个源自 80 MHz OSC_CLK 输入的测试信号源；每个接收链中也一样。该测试信号可在寄存器 RFT0 中编程（参见 4.19 节）。通过启用专用路径，测试音可以传播到每个基带链。MADC 由图 75 中 TRIG7 的触发,并将采样 APU1 中指定的样本数量（参见 4.16 节）。要运行新的测量，需要执行 FSM 重置。

增强功能

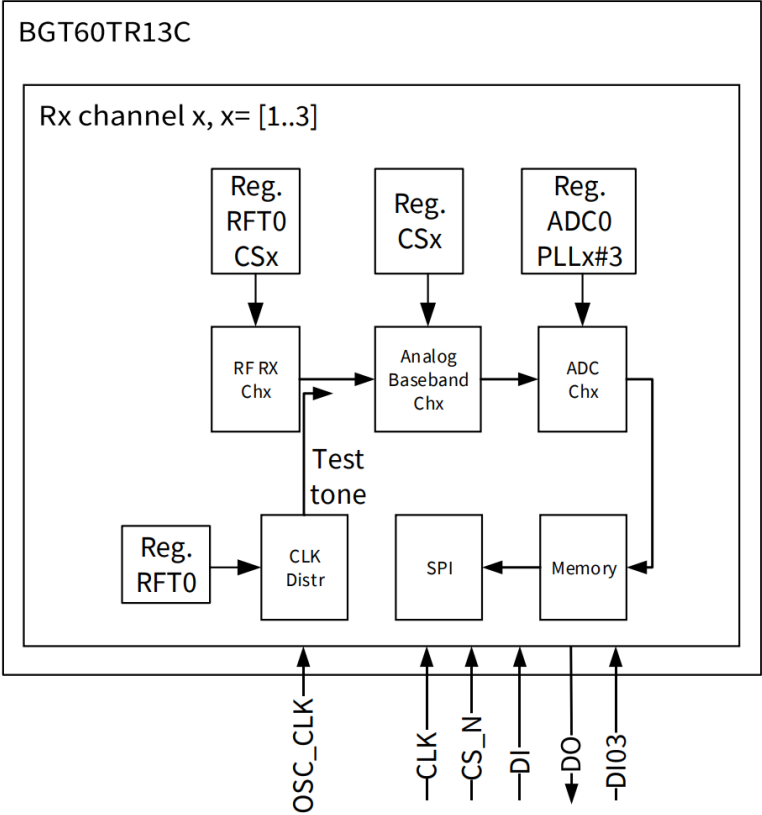


图76 基带/ADC测试框图

此功能提供了一种非常便捷的测试和调试完整系统的方法。客户可以编程指定频率，设置 HPF 的基带增益和截止滤波器 (0)，设置 ADC (参见4.3)，并通过 SPI 将采样数据读入应用处理器或微控制器单元，以验证完整的基带链是否按预期工作。

图77显示了 ADC 读数的一个示例，当基带输入一个内部源自 OSC_CLK 输入的 400kHz 测试音时。报告了不同 VGA 设置下的不同读数。

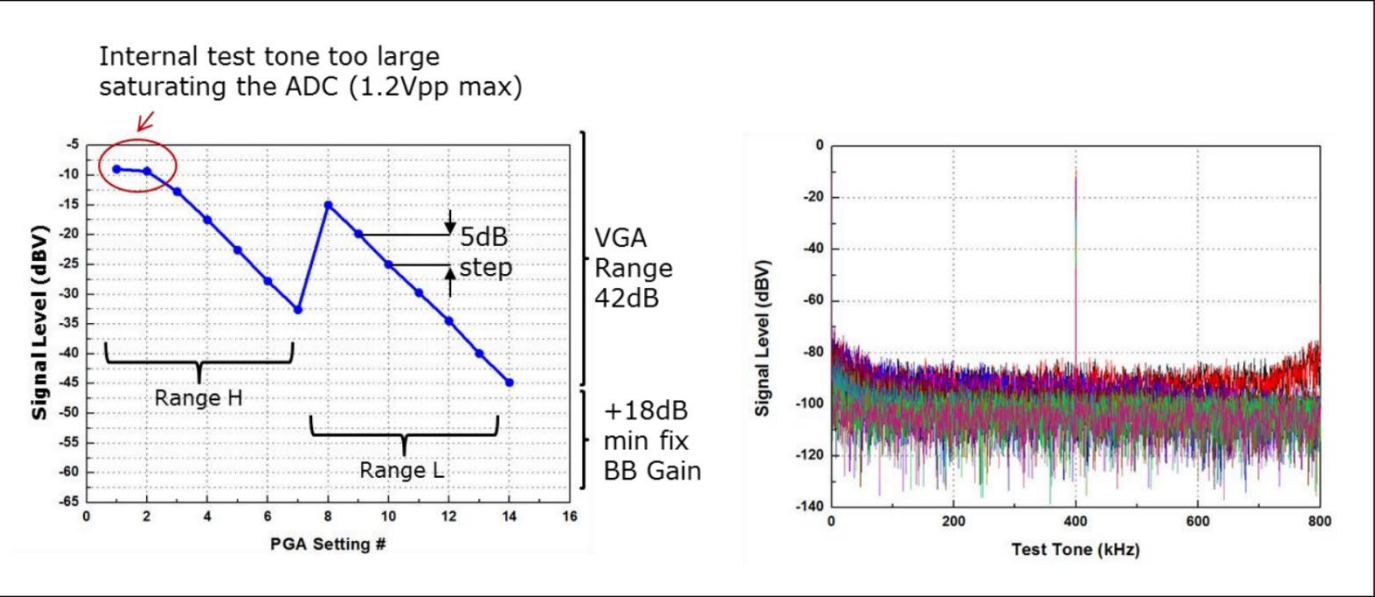


图 77 示例：FFT 后的 ADC 读数

增强功能

10.3 IRQ输出

BGT60TR13C 提供一个中断引脚输出 (IRQ)。在默认模式下, IRQ 信号用于监视 FIFO 的填充水平, 如下所述。

IRQ状态定义:

- IRQ 在以下情况下为高:
 - CS_N 变为高电平, 并且 $FSTAT:FILL_STATUS \geq SFCTL:FIFO_CREF$ (另见4.8和4.23)。
- IRQ 较低 (由于):
 - CS_N 变为高电平, 且 $FSTAT:FILL_STATUS < SFCTL:FIFO_CREF$ (另见4.8和4.23)。
 - 或 CS_N 为低电平有效

下图显示了 FIFO 突发读取情况下的 IRQ 信号。

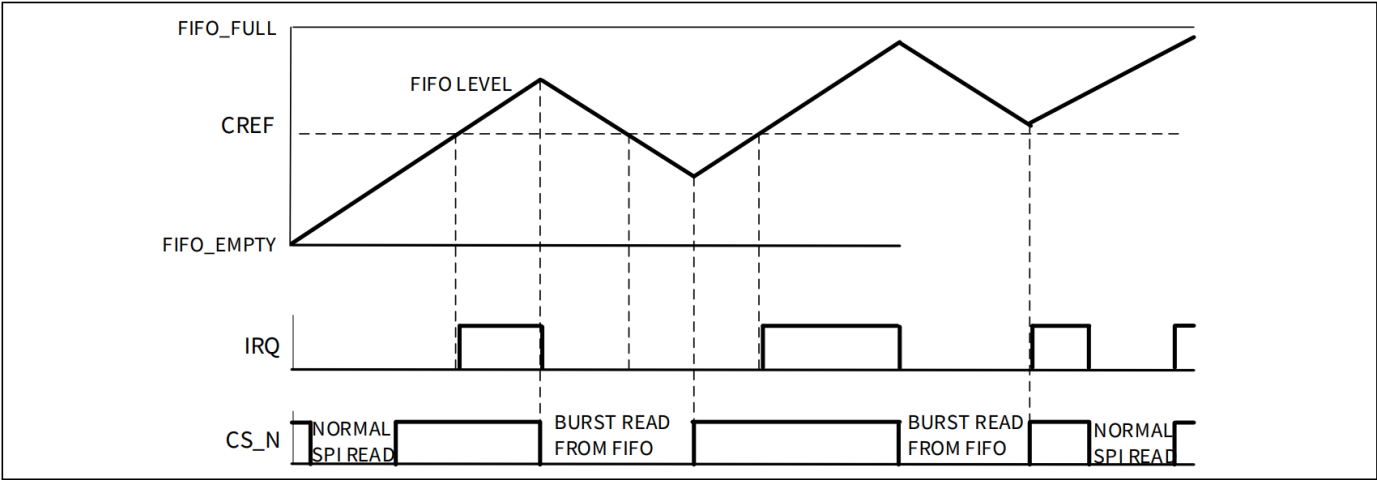


图 78 FSM 捕获数据时雷达模式下的 IRQ 状态行为

典型配置示例

11 典型配置示例

11.1 案例 #1

本文介绍了一个针对长距离和短距离两种交替工作模式的具体用例。在短距离模式下，传感器预计实现高分辨率并传输低功率；而在长距离模式下，预计传输功率较大，但分辨率较低。参数的选择也是为了避免 FIFO 中出现上溢和下溢错误。如图 79 所示，报告了拟议案例 #1 的概述。

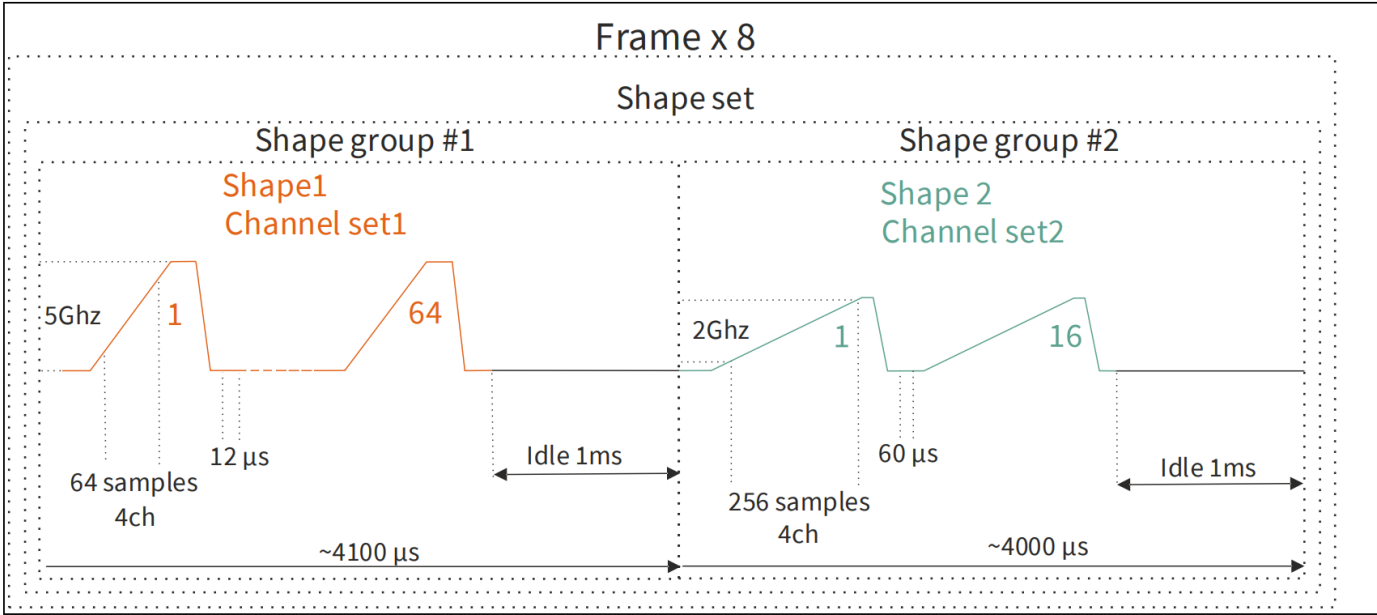


图 79 案例 #1 的定义

常规设置:

T_WU	= 1000 µs (参见第4.2节)
T_INIT0	= 70 µs (参见第4.15节)
T_INIT1	= 15 µs (参见第4.12节)

ADC0 寄存器中的 ADC 设置:

ADC_DIV	= 40 _D → f _{ADC_SAMP} = 2 MSps
TRIG_MADC	= 0 _B
MSB_CTRL	= 1 _B
TRACK_CFG	= 1 _D
DSCAL	= 0 _B
STC	= 1 _B
BG_CHOP_EN	= 0 _B
BG_TC_TRIM	= 0 _D
ADC_OVERS_CFG	= 00

Frame Definition (see section 3):

典型配置示例

Frames to be run	= 8	
Shape set	= 1 (shape set=frame in this case)	→ RT=1 → REPT=0
N_SHAPE_EN	= 2	
FRAME_LEN	= 2*1	
Shape group	= 2	
Shape1	= enabled and repeated 64 times	→ RS=64 → REPS=6
Shape2	= enabled and repeated 16 times	→ RS=16 → REPS=4
Channel set 1	= enabled	→ RC=64 → REPC=6
Channel set 2	= enabled	→ RC=16 → REPC=4
T_SED	= 1000 μ s (see section 4.17)	
T_EDU	= 0 μ s (see section 4.16)	
T_EDD shape1	= 12 μ s (see section 4.16)	
T_EDD shape2	= 60 μ s (see section 4.16)	

频率参数定义：

形状 1

锯齿形	→ PACR2: FSTDNEN 设置为 1 至 3 _D 。（参见第4.7节）
	→ PLL4:FSD set 0 _B
	→ PLL5:RSD set 0 _B
	→ PLL6:RTD set 0 _B
起始第一个频率， FSU	→ 58 GHz → 以 24 位映射：101010100000000000000000 _b
预期带宽	→ 5 GHz
样本数量， APU	→ 64
ADC 采样率， f_{ADC_SAMP}	→ 2 MSps
然后： 采集时间， T_ACQUx	→ (APU) / f _{ADC_SAMP} = 31.5 μ s
斜坡时间， T_RAMP	→ T_PAEN + T_SSTART + T_ACQUx + T_ECM – T_START = 37.5 μ s
和：	
T_SSTART	→ 1 μ s
T_PAEN	→ 10 μ s
T_ECM	→ 3 μ s
T_START	→ 8 μ s
于是：	

典型配置示例

步数, **RTU**→ $37.5 \mu\text{s}/100 \text{ ns} = 375$ 步长, **RSU**→ $\sim 1.667 \text{ MHz}$ → 映射到24位: 101010101010_b

计算带宽

→ $\text{RTU} * 8 * \text{RSU} = 4.998779297 \text{ GHz}$

形状 2

锯齿形

→ PACR2: FSTDNEN: 1 至 3_D (参见第4.7节)→ PLL4: FSD set 0_B→ PLL5: RSD set 0_B→ PLL6: RTD set 0_B起始第一个频率, **FSU**→ 60 GHz → 以 24 位映射: 110111000000000000000000_b

预期带宽

→ 2 GHz 样本数量, **APU**

→ 256

ADC 采样率, **f_{ADC_SAMP}**→ 2 MSps

然后:

采集时间, **T_{ACQUx}**→ $(\text{APU}) / f_{\text{ADC_SAMP}} = 127.5 \mu\text{s}$ 斜坡时间, **T_{RAMP}**→ $T_{\text{PAEN}} + T_{\text{SSTART}} + T_{\text{ACQUx}} + T_{\text{ECM}} - T_{\text{START}} = 133.5 \mu\text{s}$

和:

T_{SSTART}→ $1 \mu\text{s}$ **T_{PAEN}**→ $10 \mu\text{s}$ **T_{ECM}**→ $3 \mu\text{s}$ **T_{START}**→ $8 \mu\text{s}$

于是:

步数, **RTU**→ $133.5 \mu\text{s}/100 \text{ ns} = 1335$ 步长, **RSU**→ $\sim 0.187 \text{ MHz}$ → 映射到24位: 100110010_b

计算带宽

→ $\text{RTU} * 8 * \text{RSU} = 1.994677734 \text{ GHz}$

典型配置示例

通道组参数定义：通道组 1

表 65 CSU1_0 寄存器设置

Symbol	Bits	SET	Comment
TEMP_MEAS_EN	21	1 _B	
BBCHGLOB_EN	20	1 _B	
RX3MIX_EN	17	1 _B	
RX3LOBUF_EN	16	1 _B	
RX2MIX_EN	15	1 _B	
RX2LOBUF_EN	14	1 _B	
RX1MIX_EN	13	1 _B	
RX1LOBUF_EN	12	1 _B	
LO_DIST1_EN	11	1 _B	
LO_DIST2_EN	10	1 _B	
FDIV_EN	6	1 _B	
TEST_DIV_EN	5	0 _B	
VCO_EN	4	1 _B	
PD1_EN	1	1 _B	
TX1_EN	0	1 _B	

表 66 CSU1_1 寄存器设置

Symbol	Bits	SET	Comment
BBCH_SEL	23:20	0111 _B	3ch ADC mode
BB_RSTCNT	19:13	101000 _D	
TEMP_MEAS_EN	12	0 _B	It will be removed
MADC_EN	10	1 _B	
TX_DAC	4:0	00111 _B	Low Tx power

表 67 CSU1_2 寄存器设置

Symbol	Bits	SET	Low gain settings
HP_GAIN	23:20	0111 _B	
VGA_GAIN3	14:12	0 _B	
HPF_SEL3	11:10	11 _B	
VGA_GAIN2	9:7	0 _B	
HPF_SEL2	6:5	11 _B	
VGA_GAIN1	4:2	0 _B	
HPF_SEL1	1:0	11 _B	

典型配置示例

通道设置2

表 68 CSU2_0 寄存器设置

Symbol	Bits	SET	Comment
TEMP_MEAS_EN	21	1 _B	
BBCHGLOB_EN	20	1 _B	
RX3MIX_EN	17	1 _B	
RX3LOBUF_EN	16	1 _B	
RX2MIX_EN	15	1 _B	
RX2LOBUF_EN	14	1 _B	
RX1MIX_EN	13	1 _B	
RX1LOBUF_EN	12	1 _B	
LO_DIST1_EN	11	1 _B	
LO_DIST2_EN	10	1 _B	
FDIV_EN	6	1 _B	
TEST_DIV_EN	5	0 _B	
VCO_EN	4	1 _B	
PD_EN	1	1 _B	
TX_EN	0	1 _B	

表 69 CSU2_1 寄存器设置

Symbol	#Bits	SET	Comment
BBCH_SEL	23:20	1111 _B	4ch ADC mode
BB_RSTCNT	19:13	101000 _D	
TEMP_MEAS_EN	11	1 _B	It will be removed
MADC_EN	10	1 _B	
TX_DAC	4:0	11111 _B	Highest Tx power

表 70 CSU2_2 寄存器设置

Symbol	Bits	SET	Comment
HP_GAIN	23:20	0111 _B	Highest gain settings for longest range detection
VGA_GAIN3	14:12	111 _B	
HPF_SEL3	11:10	11 _B	
VGA_GAIN2	9:7	111 _B	
HPF_SEL2	6:5	11 _B	
VGA_GAIN1	4:2	111 _B	
HPF_SEL1	1:0	11 _B	

典型配置示例

CSCx寄存器设置：

表 71 CSCx 寄存器设置

CSCx Register	RST	CSC1	CSC2	CSC3	CSC4	CSCI	CSCDS
PLL_ISOPD	1	0	0	1	1	1	1
BG_TMRF_EN	0	1	1	0	0	0	0
SADC_ISOPD	1	0	0	1	1	1	1
MADC_ISOPD	1	0	0	1	1	1	1
BG_EN	0	1	1	0	0	1	0
RF_ISOPD	1	0	0	1	1	1	1
ABB_ISOPD	1	0	0	1	1	1	1
CS_EN	0	1	1	0	0	0	0
REPC	0	0	0	0	0	0	0

封装

12 封装

BGT60TR13C 芯片组采用层压封装，焊球直径为 300 μm ，支脚间距为 240 μm 。根据 IPC/JEDEC 的 J-STD0 标准，其潮湿敏感度等级 (MSL) 为 3。图 80 显示了 BGT60TR13C 封装的顶视图及其物理尺寸。底视图如图 81 所示。封装尺寸为 6.5 x 5 x 0.9 mm³，焊球间距为 500 μm 。封装外形如图 82 所示。封装名称：PG-VF2BGA40-1。

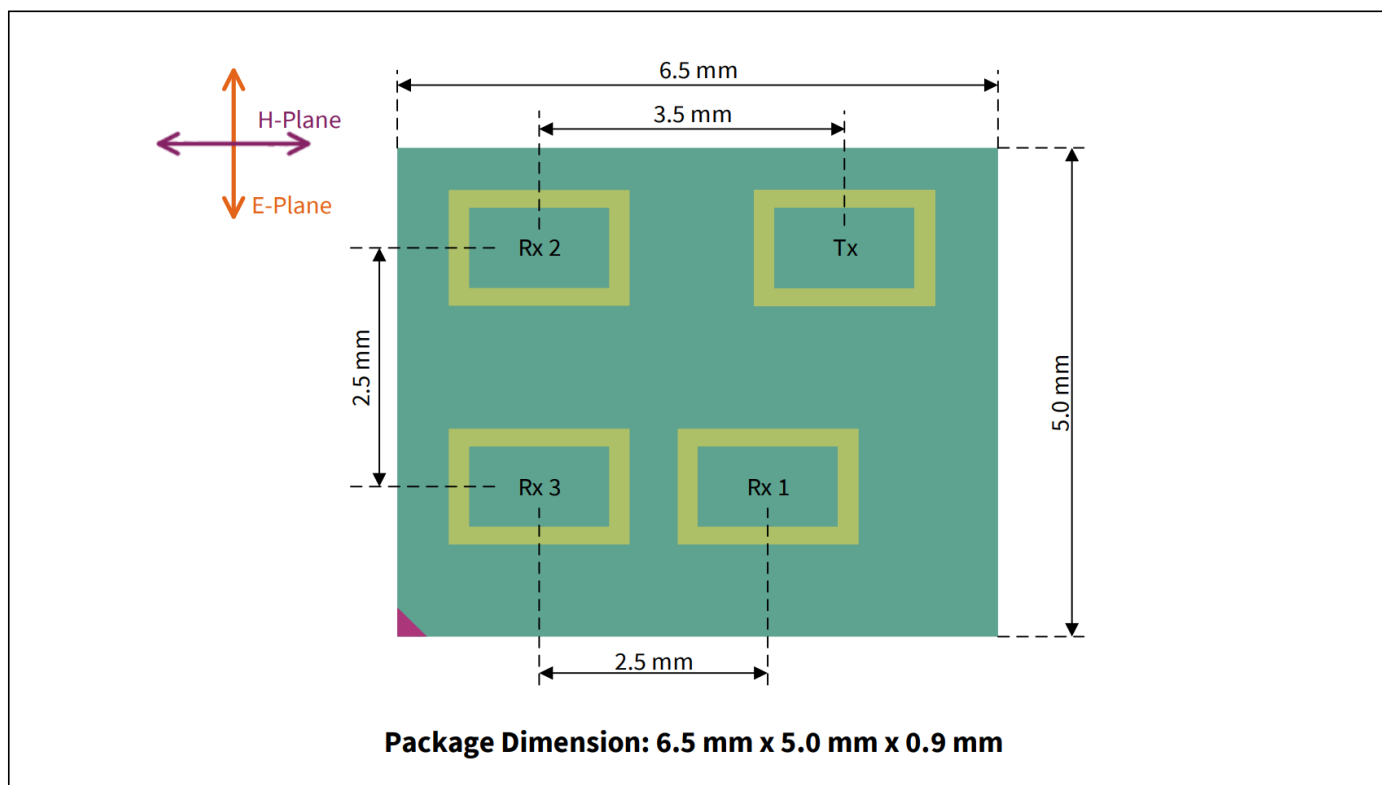


图 80 **BGT60TR13C 顶视图**

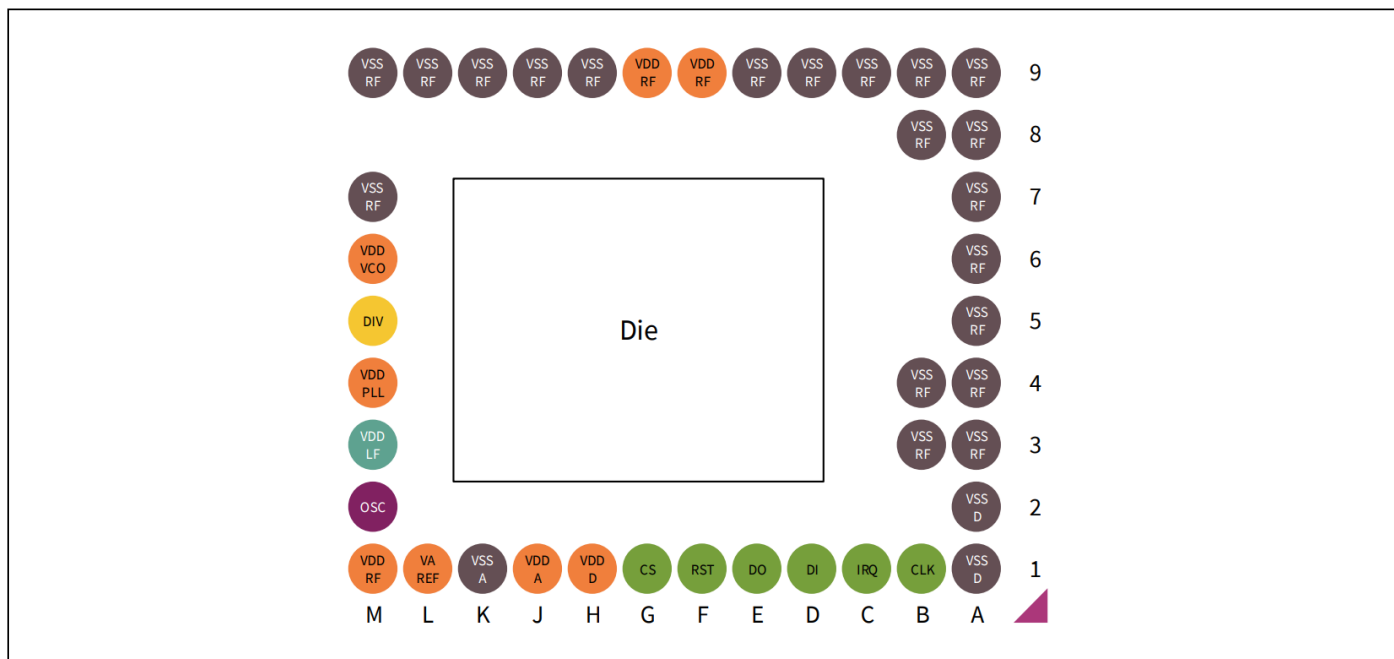


图 81 **BGT60TR13C 底视图**

封装

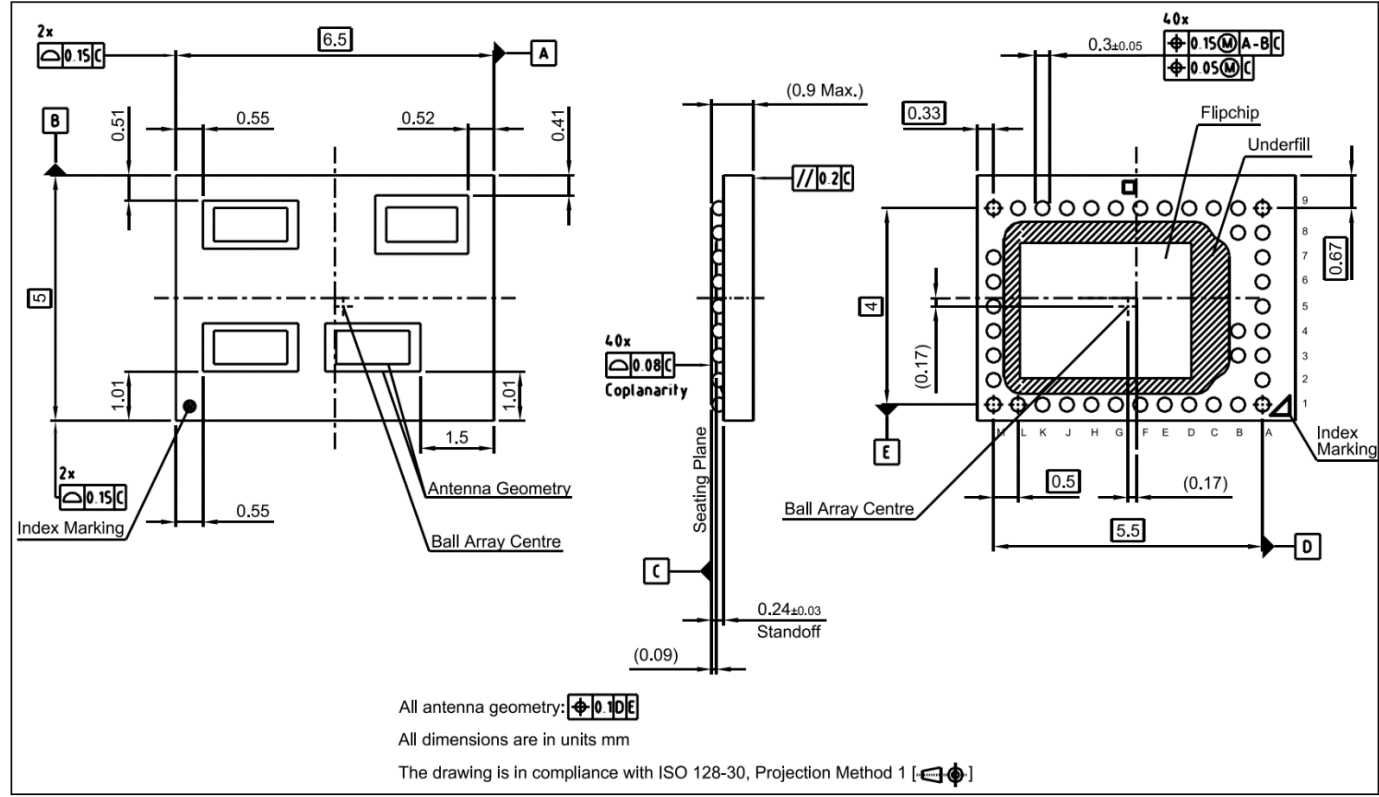


图 82 PG-VF2BGA-40-1 封装外形

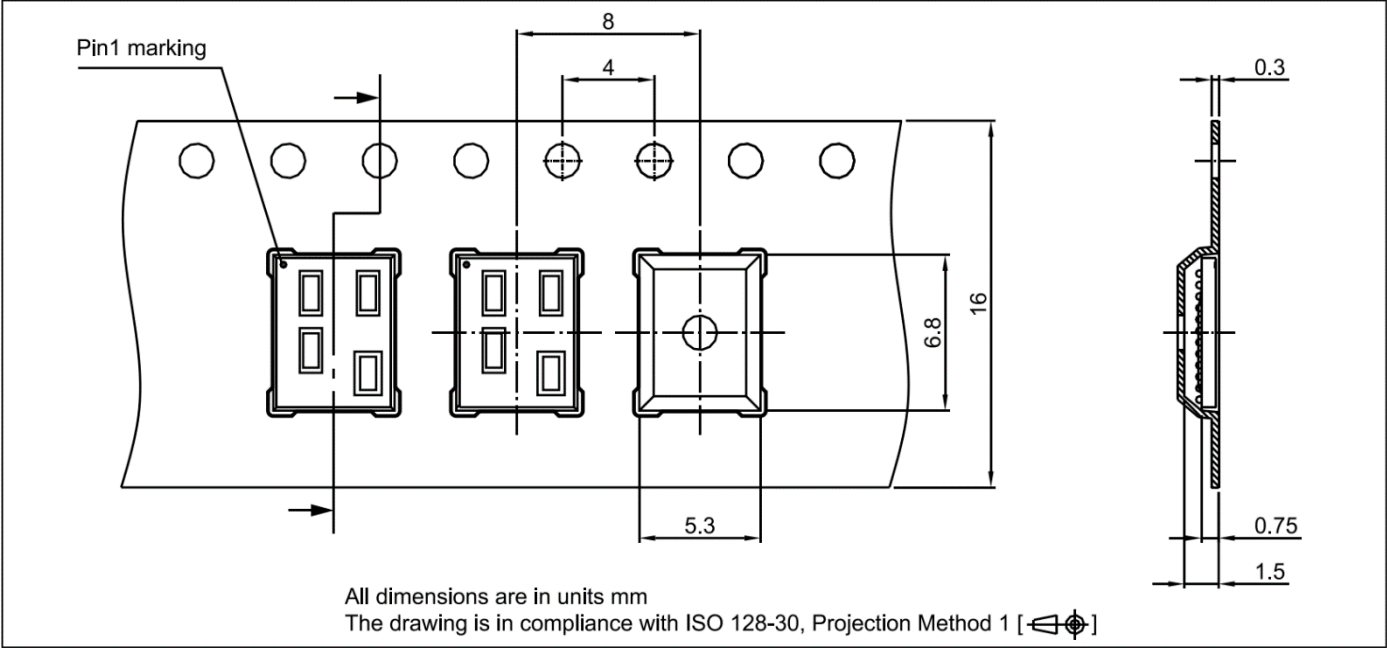


图 83 PG-VF2BGA-40-1 卷带

封装

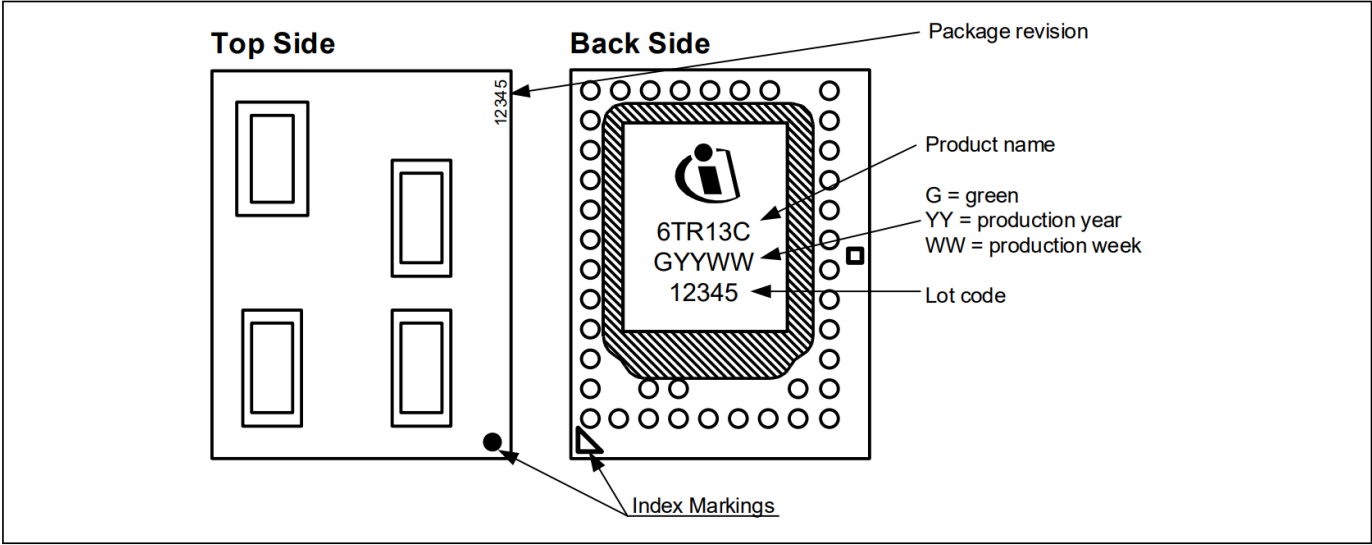


图 84 PG-VF2BGA-40-1 的标记布局（示例）

12.1 内置天线规格

表 72 中报告的天线性能由设计保证。典型的天线行为是在英飞凌参考板上测量的。典型的天线波束图可在特定的应用说明中获取，也可根据具体要求提供。

表 72 封装内天线规格

Spec	Unit	Value			Condition
		Min	Typ	Max	
Parameter		Min	Typ	Max	
RX_BW, TX_BW	GHz	58.0		63.5	Antenna bandwidth
GTX	dBi	2.0	3.5	5.0	Antenna gain of a single TX antenna
GRX	dBi	2.0	3.5	5.0	Antenna gain of a single RX antenna
HPBW_RX_E	Deg	50	65	80	Half-power beam width of a single RX antenna in the E-plane direction
HPBW_RX_H	Deg	20	35	50	Half-power beam width of a single RX antenna in the H-plane direction.
HPBW_TX_E	Deg	50	65	80	Half-power beam width of a single TX antenna in the E-plane direction
HPBW_TX_H	Deg	25	40	55	Half-power beam width of a single TX antenna in the H-plane direction
D_RX_RX	mm		2.5		Center-to-center distance between RX antennas in X and Y direction

缩略词

13 缩略词

表 73 缩写

Symbol	Description
AAF	Anti-aliasing filter
ADC	Analog to digital converter
AP	Application Processor
DAC	Digital to analog converter
ESD	Electrostatic discharge
FMCW	Frequency modulated continuous wave
HBM	Human body model (related to ESD)
CDM	Charge device model (related to ESD)
HPF	High pass filter
IC	Integrated circuit
LPF	Low pass filter
MCU	Microcontroller Unit
PLL	Phase locked loop integrated circuit
RF	Radio Frequency
RSVD	Reserved
RX	Receiver
SPI	Serial peripheral interface
TX	Transmitter
LDO	Low dropout voltage regulator
RST	Reset or Default setting
MSB	Most significant bit
LSB	Least significant bit

修订记录

14 修订记录

Document version	Date of release	Description of changes
2.4.2	2020-02-21	Updated description for FRAME_CNT in Table 24 and Table 45. Updated Figure 49 and Figure 50. Remove typo in Chapters 5.3 and 8. Changed text in Chapters 4.6 and 4.7. Changed Table 60.
2.4.3	2020-03-25	Added line for DFT0 in Table 20. Typo in package name in Chapter 12. Added Figure 83 and Figure 84 in Chapter 12. Removed remaining QSPI statements in chapters 4.8 and 5.8.
2.4.4	2020-05-04	Updated Min values for Table 6.
2.4.5	2020-06-23	Updated description for: - TR_WKUP and TR_WKUP_MUL in Table 21 - TR_INIT1 and TR_INIT1_MUL in Table 33 - TR_END in Table 33 - TR_FED and TR_FED_MUL in Table 34 - TR_START in Table 34 - TR_INIT0 and TR_INIT0_MUL in Table 36 - TR_SSTART in Table 36 - FSU and FSD in Table 37 - TR_EDD in Table 37 - TR_SED and TR_SED_MUL in Table 38
2.4.6	2021-01-08	Update paragraph 4.2 and 5.3. Added paragraphs 5.4 and 5.5. Updated Table 26, 27, 30, 32, 40, 41 and corresponding Figures.
2.4.7	2023-01-08	Updated T_INIT0 and T_INIT1 in Table 15. Updated Note 3 of CCR3 register. Updated T _{WUADC} in Table 61. Updated input capacitance. Added Typ. and removed Min. values Table 48.
2.4.8	2023-06-06	Updated “CW Mode” trigger5 and trigger6.
2.4.9	2023-11-21	Removed output slewrates from input pad timing Table 48. Fixed several typos.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

版本 2026-01-26

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。