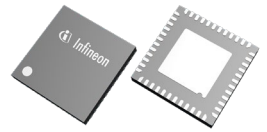


英飞凌 MOTIX™ 三相智能栅极驱动器

特性

- 三相智能栅极驱动器
 - 建议工作电压为 5.5 V 至 70 V
 - 1.5 A 灌电流 / 1.5 A 拉电流峰值栅极驱动器电流，具备 SPI 可编程的独立高压侧和低压侧压摆率控制
 - 可编程驱动电压 (7 V、10 V、12 V、15 V)
 - 支持高达 200 kHz 的 1PWM、3PWM 或 6PWM 输入
- 600 mA 同步降压转换器、300 mA LDO (3.3 V 或 5 V) 和双电荷泵
- 三个具有可调增益和偏移的电流检测放大器，用于分流电阻或 $R_{DS(ON)}$ 检测
- 用于信号监控的 ADC
- 采用 VDS 传感器、OCP、UVLO、OVLO、OTW、OTS、看门狗定时器、堵转检测等保护
- 耐热增强型 48 引脚 VQFN 封装



潜在应用

- 电池供电的电动工具和园艺工具
- 机器人割草机
- 电动自行车
- 机器人、遥控玩具、民用无人机和多旋翼飞行器
- 泵和风扇
- 其他三相 BLDC 和 PMSM 电机

产品验证

完全符合 JEDEC 工业应用标准。

描述

6EDL7151 是用于三相 BLDC 或 PMSM 电机驱动应用的栅极驱动器 IC。它提供三个半桥驱动器，每个驱动器能够驱动高压侧和低压侧 N 型 MOSFET。

栅极驱动器还具有可编程死区时间延迟，以防止正常运行时高压侧和低压侧开关之间的电流直通。低压侧和高压侧栅极驱动器的独立电荷泵支持 100% 占空比和低压电源操作。栅极驱动器的电源可编程为以下级别之一：7 V、10 V、12 V 或 15 V。此外，驱动信号的压摆率可以精细地进行编程，以减少 EMI 辐射。

集成同步降压转换器为系统的其余部分提供高效的电流供应。然而，电动工具系统需要高精度电流测量，涉及非常精确的 ADC 参考电压。为此，6EDL7151 使用线性电压调节器（高达 300 mA），由降压转换器供电，为系统中的 MCU 和其他敏感组件供电。通过这种先进的电源架构，不仅可以实现最佳的信号质量，而且还可以在任何输入和输出条件下优化电源效率。

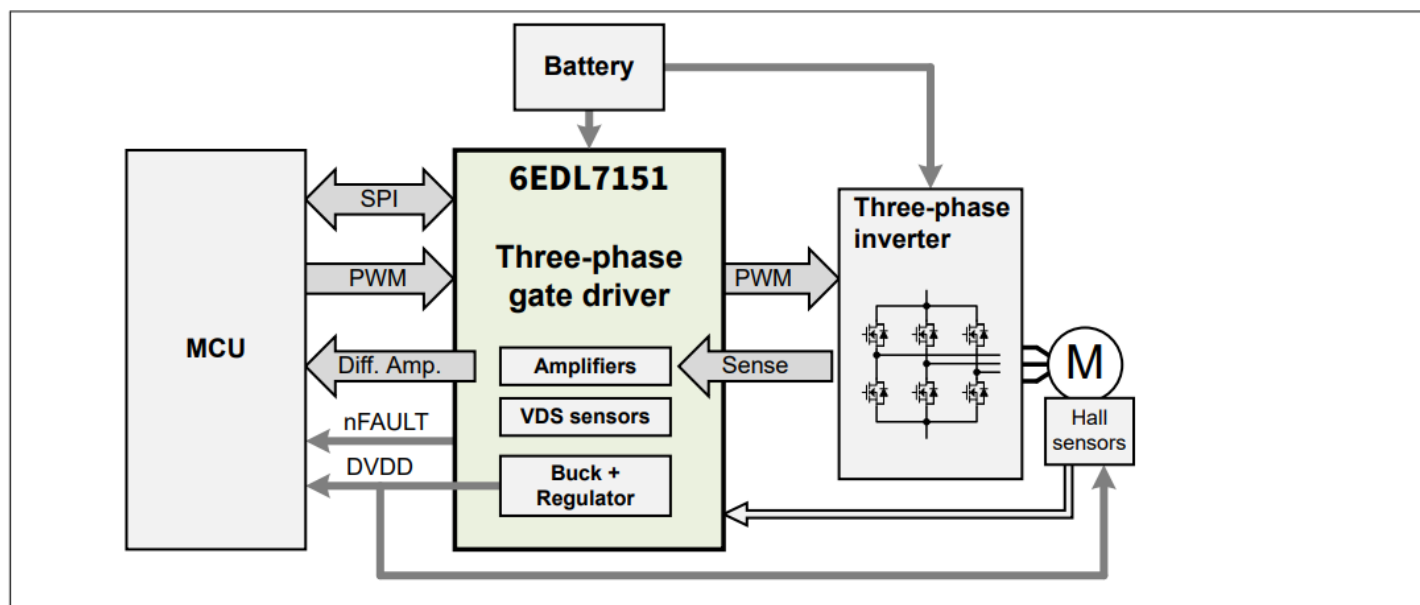
6EDL7151 包含三个电流检测放大器，用于精确测量电流，支持双向低侧电流检测和可编程增益。通过将相位节点内部连接到电流检测放大器输入端，可实现导通电阻 ($R_{DS(ON)}$) 检测。如有需要，温度补偿由用户应用程序提供。电流检测放大器的输出支持 3.3 V 和 5 V 电压，从而兼容大多数商用控制器。低噪声、短建立时间和高精度是集成运算放大器的主要特性。内部缓冲器可用于偏移检测放大器输出，以优化动态范围。

该器件提供多种保护功能，例如用于保护逆变器 MOSFET 的高度可编程 VDS 传感器、具有可编程制动响应的外部制动器、电流检测放大器的过流保护 (OCP)、降压转换器和 DVDD 线性稳压器的过流保护 (OCP)、内部和外部电源的欠压锁定 (UVLO)、降压转换器和 DVDD 线性稳压器的过压故障 (OVLO) 报告、带有独立电源系统温度传感器的过温警告和关断 (OTW 和 OTS) 以及可编程看门狗定时器。这些功能用于监控电源电压、系统参数以及外部功率 MOSFET 的 VDS 电压，以提高应用在恶劣条件下的稳定性。该器件监控的故障行为、阈值电压和滤波时间可通过 SPI 进行调整。监控的方面包括逆变器电流、栅极驱动电压和电流、器件温度以及转子堵转。发生故障时，器件停止驱动并将 nFAULT 引脚拉低，以防止系统损坏或其他可能的故障。该信号可以连接到微控制器，以通知处理器已有故障发生。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

描述

微控制器可以通过 SPI 命令请求有关故障的更多信息。集成的SPI接口可用于为应用程序配置6EDL7151。SPI 提供详细的故障报告和灵活参数设置，例如电流检测放大器的增益、栅极驱动器的压摆率控制、各种保护功能或栅极驱动器电压。



Product name	Package	Body size	Pin pitch
6EDL7151	PG-VQFN-48-78	7 mm x 7 mm	0.5 mm

目录

	目录	3
1	引脚配置和功能	7
1.1	引脚配置	7
1.2	引脚定义和功能	7
2	框图	11
3	功能说明	12
3.1	PWM 模式	12
3.1.1	具有六个独立输入的PWM - 6PWM	12
3.1.2	具有三个独立输入的PWM - 3PWM	13
3.1.3	具有一个输入和换向模式的PWM- 1PWM	14
3.1.3.1	12步梯形换向	16
3.1.4	带一个输入的PWM，通过霍尔传感器输入进行换向 - 带霍尔传感器的1PWM	17
3.1.5	带霍尔传感器输入和交替循环的单输入PWM - 带霍尔传感器和交替循环的1PWM	20
3.1.6	PWM制动模式	23
3.1.7	死区时间嵌入	24
3.2	三相栅极驱动器	25
3.2.1	栅极驱动器架构	25
3.2.2	压摆率控制	26
3.2.2.1	压摆率控制参数及使用方法	27
3.2.2.2	栅极驱动器钳位：CdV/dt抑制器	28
3.2.2.3	VGS比较器	29
3.2.3	栅极驱动器电压可编程性	32
3.3	电荷泵配置	34
3.3.1	电荷泵时钟频率选择	34
3.3.2	电荷泵时钟扩频功能	34
3.3.3	用于VCCLS的电荷泵预充电	34
3.3.4	电荷泵调节	35
3.3.5	电荷泵和栅极驱动器保护	35
3.3.5.1	VCCLS欠压锁定 (VCCLS UVLO)	35
3.3.5.2	VCCHS 欠压锁定 (VCCHS UVLO)	35
3.3.5.3	浮栅强下拉	35
3.4	供电系统	36
3.4.1	同步降压转换器	37
3.4.1.1	降压转换器输出电压依赖于PVCC_SETPT	38
3.4.1.2	同步降压转换器保护	39
3.4.2	DVDD线性稳压器	39
3.4.2.1	DVDD线性稳压器OCP	39
3.5	电流检测放大器	40

3.5.1	RDSON感应和分流电阻感应模式	41
3.5.2	电流检测放大器时序模式	42
3.5.3	电流检测放大器消隐时间	44
3.5.4	电流检测放大器偏移生成	45
3.5.5	电流检测放大器	46
3.5.5.1	OCP用例	47
3.5.5.2	OCP故障报告	47
3.5.5.3	OCP故障锁存	47
3.5.5.4	PWM 截断	48
3.5.6	电流检测放大器增益选择	49
3.5.7	电流检测放大器直流校准	49
3.5.8	电流检测放大器自动归零	49
3.5.8.1	内部自动归零	50
3.5.8.2	通过CS_GAIN/AZ 引脚实现外部自动零同步	50
3.5.8.3	通过具有增强传感功能的CS_GAIN/AZ 引脚实现外部自动归零同步	51
3.6	VDS传感器系统	51
3.7	VDS传感器OFF状态诊断模式	54
3.8	霍尔比较器	55
3.9	看门狗计时器	55
3.9.1	降压转换器看门狗计时器	56
3.9.2	通用看门狗计时器	56
3.9.3	通用看门狗故障制动	57
3.9.4	堵转保护看门狗计时器	57
3.9.4.1	霍尔传感器故障	57
3.9.4.2	PWM信号保持情况	57
3.10	多功能引脚	58
3.10.1	EN_DRV引脚	58
3.10.2	VSENSE/nBRAKE引脚	58
3.10.3	CS_GAIN/AZ引脚	59
3.11	ADC模块	59
3.11.1	ADC测量排序和按需转换	61
3.11.2	芯片温度传感器	61
3.12	设备启动	62
3.12.1	电源启动	62
3.12.2	栅极驱动器和CSAMP启动	64
3.13	设备功能状态	64
3.14	保护和故障处理	66
3.15	设备编程-OTP和SPI接口	70
3.15.1	OTP用户编程流程：加载自定义默认值	71
3.15.2	SPI通信	72
3.15.2.1	SPI通信示例	73
3.16	寄存器映射	74

目录

3.16.1	设备可编程性.....	74
3.16.2	寄存器映射.....	77
3.16.2.1	故障状态寄存器.....	78
3.16.2.2	温度状态寄存器.....	80
3.16.2.3	电源状态寄存器.....	81
3.16.2.4	功能状态寄存器.....	82
3.16.2.5	OTP状态寄存器.....	84
3.16.2.6	ADC状态寄存器.....	85
3.16.2.7	电荷泵状态寄存器.....	86
3.16.2.8	设备ID寄存器.....	87
3.16.2.9	VDS传感器配置寄存器.....	88
3.16.2.10	故障清除寄存器.....	91
3.16.2.11	电源配置寄存器.....	92
3.16.2.12	ADC配置寄存器.....	94
3.16.2.13	PWM配置寄存器.....	96
3.16.2.14	传感器配置寄存器.....	97
3.16.2.15	看门狗配置寄存器.....	98
3.16.2.16	看门狗配置寄存器 2.....	99
3.16.2.17	栅极驱动器电流控制寄存器.....	101
3.16.2.18	栅极驱动器预充电电流控制寄存器.....	102
3.16.2.19	TDRIVE源控制寄存器.....	104
3.16.2.20	TDRIVE灌电流控制寄存器.....	105
3.16.2.21	死区时间寄存器.....	106
3.16.2.22	电荷泵配置寄存器.....	107
3.16.2.23	电流检测放大器配置寄存器.....	108
3.16.2.24	电流检测放大器配置寄存器 2.....	110
3.16.2.25	OTP程序寄存器.....	113
4	电气特性	114
4.1	绝对最大额定值.....	114
4.2	ESD稳健性.....	117
4.3	封装特性.....	118
4.4	工作条件.....	118
4.5	特性.....	119
4.6	特征图.....	136
5	应用信息	145
5.1	推荐的外部元件.....	145
5.2	PCB布局建议.....	146
5.2.1	接地和供电.....	146
5.2.2	热设计.....	146
5.2.3	降压转换器和DVDD线性稳压器.....	146
5.2.4	栅极驱动器和电荷泵.....	147

目录

5.2.5	电流检测.....	148
5.3	典型应用.....	149
6	ESD保护和引脚图	151
7	封装信息	155
8	修订记录	157
	免责声明.....	158

1 引脚配置和功能

1.1 引脚配置

图1 展示了6EDL7151的引脚排列。

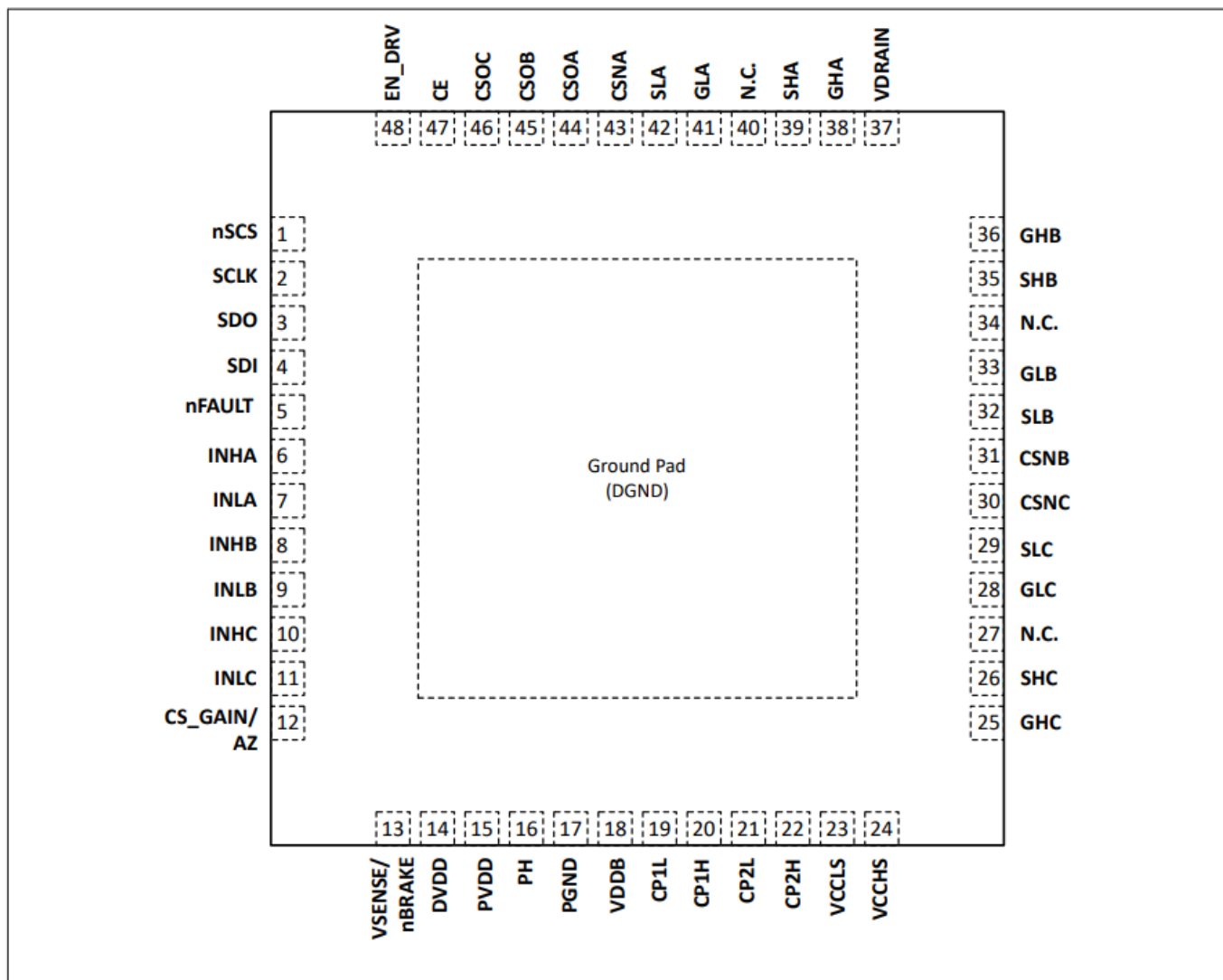


图 1 引脚配置

1.2 引脚定义和功能

表 1 描述 6EDL7151 设备不同引脚的特性和功能。

I: 输入, O: 输出, IO: 输入和/或输出, D: 数字, A: 模拟, AD: 模拟和/或数字, P: 电源, G: 接地。

表 1 引脚定义

Pin No.	Pin name	IO	Type	Description
1	nSCS	I	D	Chip select for SPI. Active low.
2	SCLK	I	D	SPI clock signal.

(表格续下页.....)

1 引脚配置和功能

表 1 (续) 引脚定义

Pin No.	Pin name	IO	Type	Description
3	SDO	O	D	SPI data output signal.
4	SDI	I	D	SPI data input signal.
5	nFAULT	O	D	When low indicates that a fault has occurred; open drain. Connect external pull-up to MCU power supply.
6	INHA	I	D	PWM input signal for channel A high-side. PWM input for 1PWM modes. Connect to DGND if not used.
7	INLA	I	D	PWM input signal for channel A low-side. Input of Hall sensor A in 1PWM modes. Connect to DGND if not used.
8	INHB	I	D	PWM input signal for channel B high-side. Connect to DGND if not used.
9	INLB	I	D	PWM input signal for channel B low-side. Input of Hall sensor B in 1PWM modes. Connect to DGND if not used.
10	INHC	I	D	PWM input signal for channel C high-side. DIR signal for 1PWM modes. Connect to DGND if not used.
11	INLC	I	D	PWM input signal for channel C low-side. Input of Hall sensor C in 1PWM modes. Connect to DGND if not used.
12	CS_GAIN/ AZ	I	A	Analog programming for the current sense amplifier gain. Dual function as auto-zero: input to control the external auto-zero function.
13	VSENSE/ nBRAKE	I	A/D	Analog programming of DVDD output voltage during start-up. Connect a pull-down resistor R_{SENSE} to select DVDD voltage: $R_{SENSE} \leq 3.3 \text{ k}\Omega \Rightarrow \text{DVDD} = 3.3 \text{ V}$ $R_{SENSE} \geq 10 \text{ k}\Omega \Rightarrow \text{DVDD} = 5 \text{ V}$ After start-up, the pin is in nBRAKE mode: used for motor braking. Active low.
14	DVDD	-	P	Supply for external MCU, Hall sensors, and so on. Voltage is generated by an integrated linear regulator and defined by VSENSE pin or SPI.
15	PVDD	-	P	Power supply of the device.
16	PH	-	P	Buck phase node voltage. Connect to output inductor.
17	PGND	-	G	Power ground used for buck converter, charge pumps, and gate drivers.
18	VDDDB	-	P	Buck output voltage. Connect capacitor between VDDDB and PGND.
19	CP1L	-	P	Bottom connection of the charge pump flying capacitor 1.
20	CP1H	-	P	Top connection of the charge pump flying capacitor 1.
21	CP2L	-	P	Bottom connection of the charge pump flying capacitor 2.
22	CP2H	-	P	Top connection of the charge pump flying capacitor 2.

(表格续下页.....)

1 引脚配置和功能

表 1 (续) 引脚定义

Pin No.	Pin name	IO	Type	Description
23	VCCLS	-	P	Output of low-side charge pump. Connect a capacitor from VCCLS to PGND.
24	VCCHS	-	P	Output of high-side charge pump. Connect a capacitor from VCCHS to PVDD or PGND.
25	GHC	O	A	High-side gate driving signal for phase C. Not connected or connected to PVDD if not used.
26	SHC	IO	A	High-side source connection (phase node) for phase C. Positive input of current sense amplifier C for $R_{\text{DS(on)}}$ sensing. Not connected if not used.
27	N.C.	-	-	Not connected.
28	GLC	O	A	Low-side gate driving signal for phase C. Not connected if not used
29	SLC	IO	A	Low-side source connection for phase C. Positive input of current sense amplifier C for shunt resistor sensing. Short to PGND if not used.
30	CSNC	I	A	Current sense amplifier negative input for phase C. Short to PGND or DGND if not used.
31	CSNB	I	A	Current sense amplifier negative input for phase B. Short to PGND or DGND if not used
32	SLB	IO	A	Low-side source connection for phase B. Positive input of current sense amplifier B for shunt resistor sensing. Short to PGND if not used.
33	GLB	O	A	Low-side gate driving signal for phase B. Not connected if not used.
34	N.C.	-	-	Not connected.
35	SHB	IO	A	High-side source connection (phase node) for phase B. Positive input of current sense amplifier B for $R_{\text{DS(on)}}$ sensing. Not connected if not used.
36	GHB	O	A	High-side gate driving signal for phase B. Not connected or connected to PVDD if not used.
37	VDRAIN	I	A	High-side drain, the common sense pin for high-side VDS sensors
38	GHA	O	A	High-side gate driving signal for phase A. Not connected or connected to PVDD if not used.
39	SHA	IO	A	High-side source connection (phase node) for phase A. Positive input of current sense amplifier A for $R_{\text{DS(on)}}$ sensing. Not connected if not used.
40	N.C.	-	-	Not connected.
41	GLA	O	A	Low-side gate driving signal for phase A. Not connected if not used.

(表格续下页.....)

1 引脚配置和功能

表 1 (续) 引脚定义

Pin No.	Pin name	IO	Type	Description
42	SLA	IO	A	Low-side source connection for phase A Positive input of current sense amplifier A for shunt resistor sensing. Short to PGND if not used.
43	CSNA	I	A	Current sense amplifier negative input for phase A. Short to PGND or DGND if not used.
44	CSOA	O	A	Current sense amplifier output for phase A. Not connected if not used.
45	CSOB	O	A	Current sense amplifier output for phase B. Not connected if not used.
46	CSOC	O	A	Current sense amplifier output for phase C. Not connected if not used.
47	CE	I	A	Chip enable. Starts up the device upon the rising edge.
48	EN_DRV	I	D	Enables the gate driver section and internal circuitry based on the configuration. Can be configured as a watchdog clock. Internal pull-down.
-	Ground pad	-	G	Ground connection for digital section. Solder to PCB (Printed circuit board).

2 框图

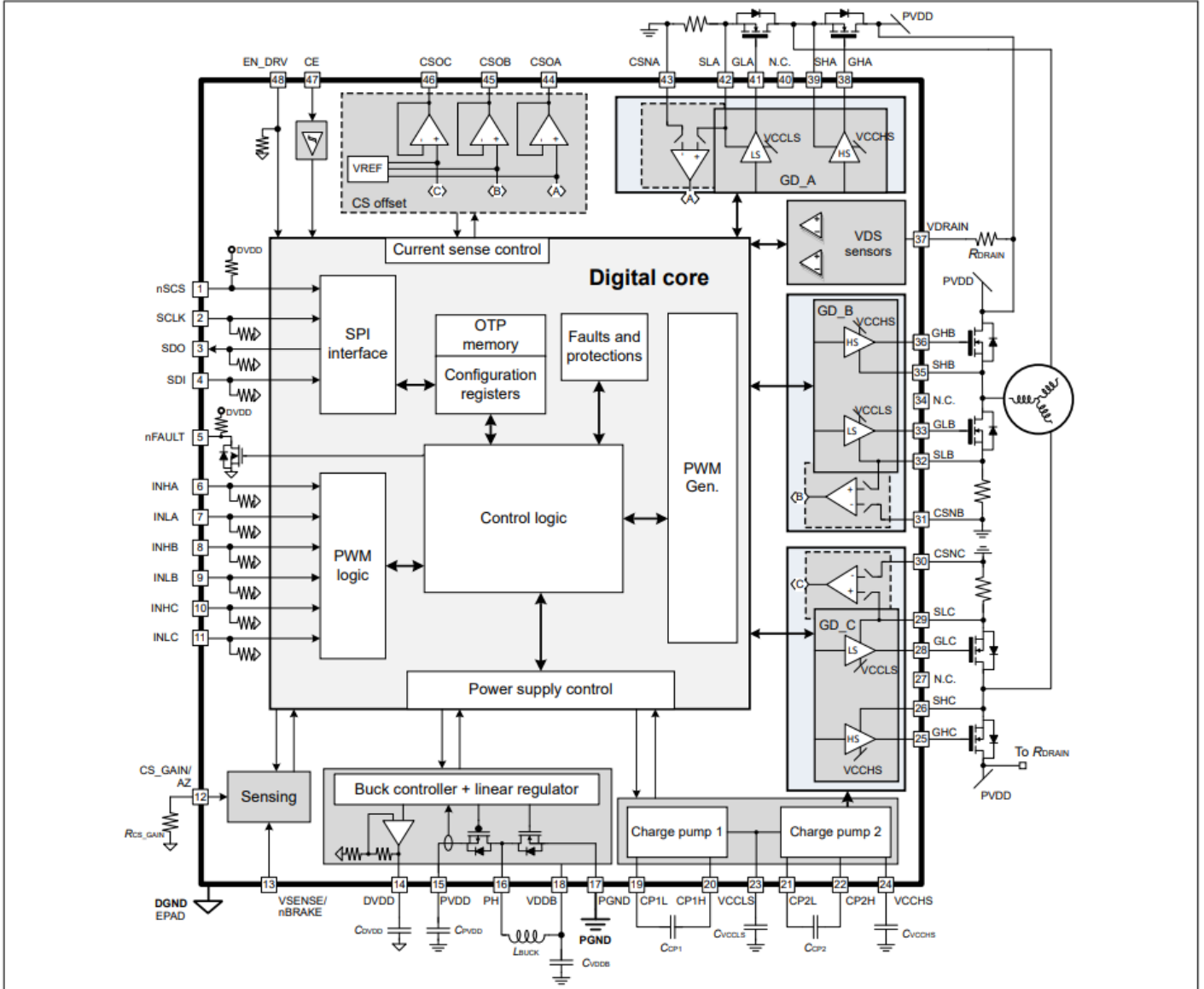


图 2 框图

3 功能说明

3.1 PWM 模式

6EDL7151 提供四种不同的 PWM 模式和一个子变体来满足不同的 MCU 需求。第一种模式是 6PWM，使用来自 MCU 的六个 PWM 信号以经典方式驱动栅极驱动器。6EDL7151 实现了另外三种模式，它应用智能来简化微控制器端的 PWM 生成。结合集成的保护功能，它可以为驱动应用带来高度稳健和更快的开发。智能死区时间单元确保在任何情况下都不会发生直通。高度可配置的制动模式可对电机或系统事件做出安全的反应。

6EDL7151 支持以下 PWM 模式，可通过位域 PWM_MODE 选择：

1. 6PWM
2. 3PWM
3. 1PWM和换向模式
4. 带霍尔传感器换向的 1PWM
5. 带霍尔传感器换向和交替再循环的 1PWM

以下小节提供了有关每种 PWM 模式和子模式的更多详细信息。

注释：可以仅使用一相或两相，而不是全部三相，例如在全桥配置中。在这种情况下，建议将未使用相的 INHx 和 INLx 信号短接至 DGND，并将相应的 GHx、GLx、SHx 和 SLx 信号开路。

3.1.1 具有六个独立输入的 PWM - 6PWM

如果 PWM_MODE 设置为 b000，则 6EDL7151 配置为六个独立的 PWM 输入。在此模式下，微控制器 (MCU) 提供三对互补的 PWM 信号，高压侧和低压侧 PWM 之间具有死区时间。出于安全原因，6EDL7151 遵守最短死区时间，以防止出现强直通情况。

VSENSE/nBRAKE 引脚可用于以受控方式制动电机。参见第 3.1.6 章有关 PWM 制动模式的更多信息。

表 2 显示了 6PWM 模式的真值表，图 3 显示了此模式的系统图。

表 2 6PWM 模式真值表

INHx	INLx	VSENSE/nBRAKE	GHx	GLx	SHx
1	1	1	LOW	LOW	High-Z
1	0	1	HIGH	LOW	HIGH
0	1	1	LOW	HIGH	LOW
0	0	1	LOW	LOW	High-Z
X	X	0	Brake cfg.	Brake cfg.	Brake cfg.

注释：X 表示任意电平。

注释：制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替，或将所有输出设置为高阻抗。

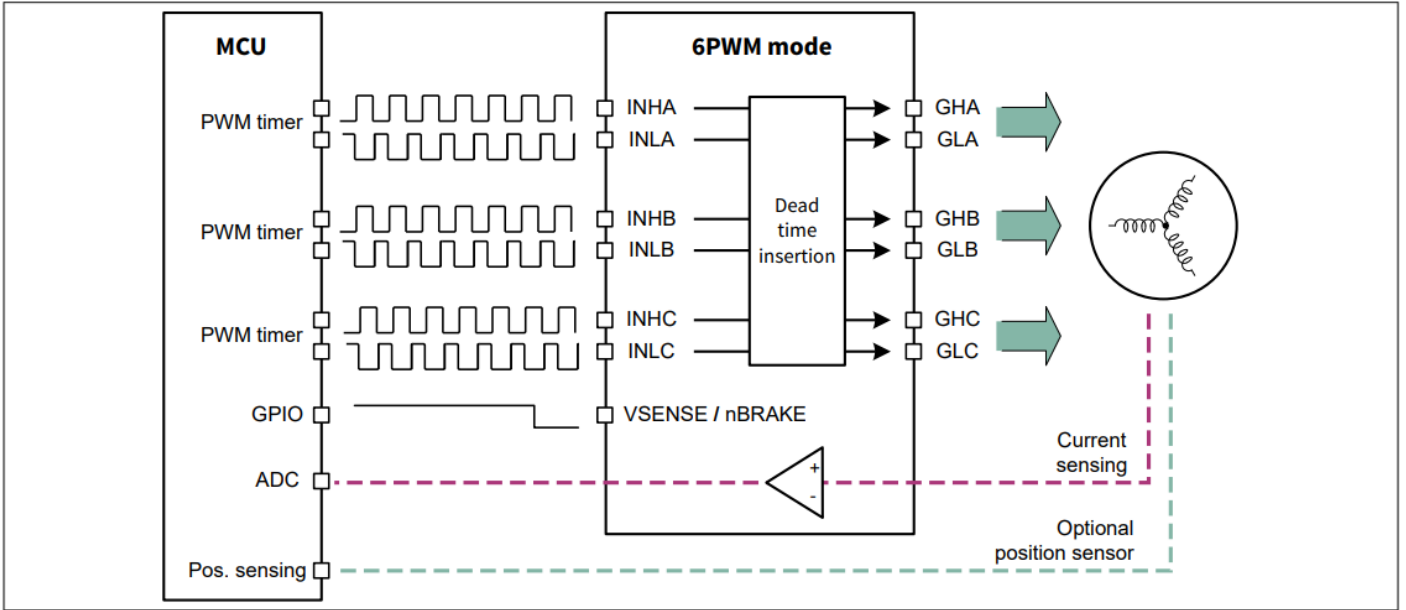


图3 6PWM模式方案

3.1.2 具有三个独立输入的PWM - 3PWM

通过将 PWM_MODE 位域设置为 b001，可将 6EDL7151 配置为 3PWM 模式。在这种情况下，每相只需一个输入 PWM 信号（高侧）。6EDL7151 会根据表 3 自动生成低侧信号。并插入可配置的死区时间。死区时间可通过位域 DT_RISE 和 DT_FALL 独立编程，用于高到低（相节点电压下降）和低到高（相电压上升）的转换。

在此模式下可以忽略 INLx 信号。

VSENSE/nBRAKE 引脚可用于电机制动。参见章节 3.1.6 了解有关制动模式的更多信息。图 4 描绘了该 PWM 模式的系统图。

表3 3PWM模式真值表

INHx	INLx	VSENSE/nBRAKE	GHx	GLx	SHx
1	0	1	HIGH	LOW	HIGH
0	0	1	LOW	HIGH	LOW
X	1	1	LOW	LOW	High-Z
X	X	0	Brake cfg.	Brake cfg.	Brake cfg.

注释: X 表示任意电平。

注释: 制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替，或将所有输出设置为高阻抗。

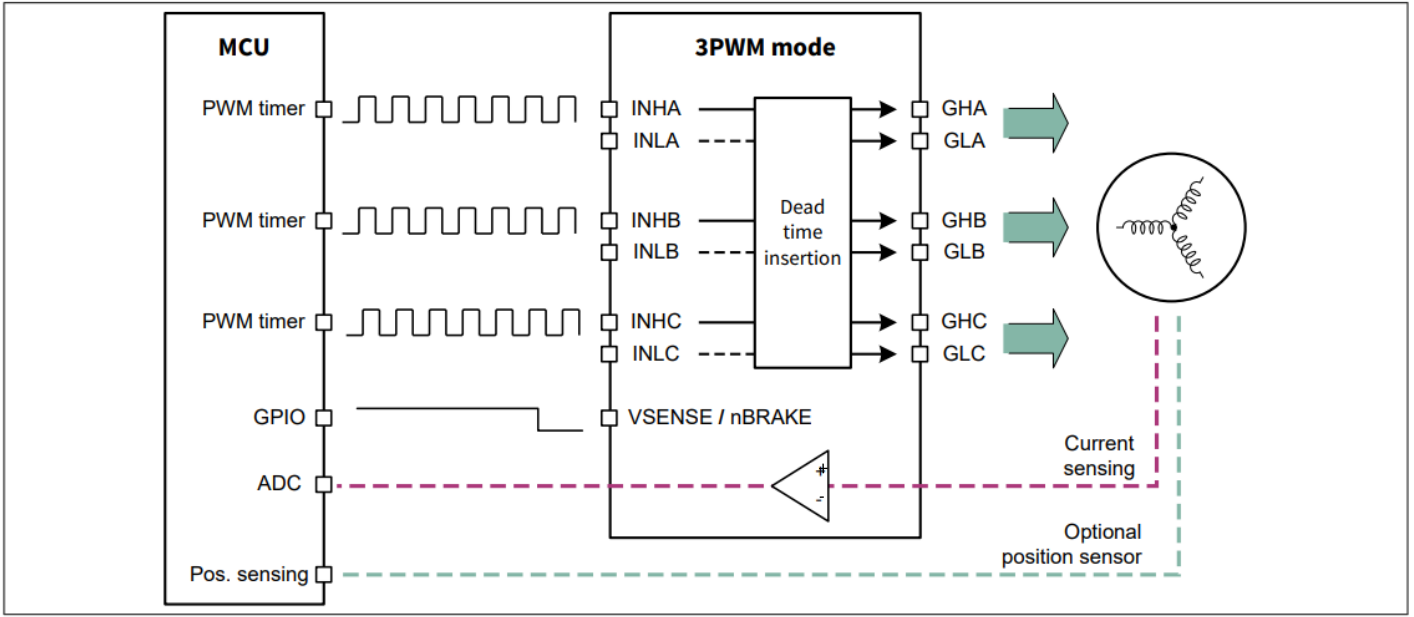


图4 3PWM模式方案

3.1.3 具有一个输入和换向模式的PWM - 1PWM

当PWM_MODE设置为b010时，6EDL7151配置为1PWM模式。在这种情况下，信号 INHA 的占空比和频率用于确定 6EDL7151 产生的 PWM 输出的占空比（或幅度）和频率。捕获其余输入以决定输出的换向模式或状态。利用 INHC信号可实现12步梯形换向（也称块式换向）。根据位域 DT_RISE 和 DT_FALL 中的编程值自动插入死区时间。

图 5 为1PWM模式的系统图。

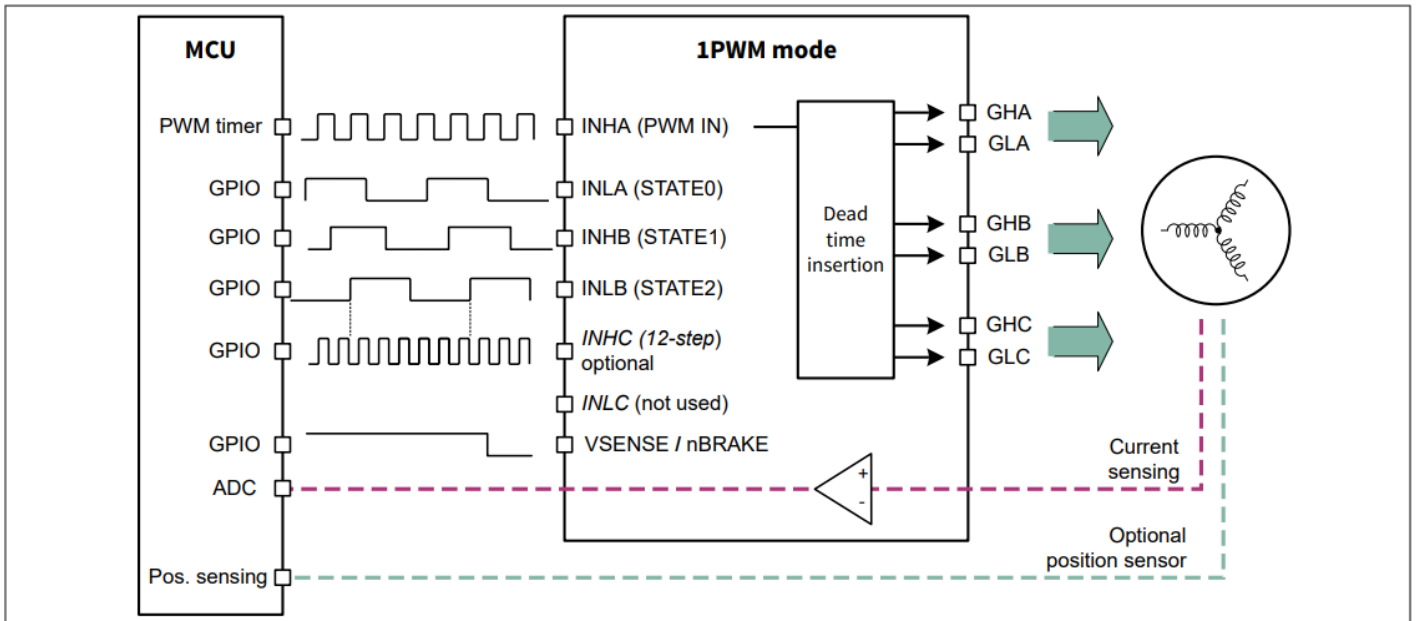


图5 1PWM模式方案

此外，用户可以通过寄存器位域 PWM_FREEW_CFG 在两种主要换向方案之间进行选择：

3 功能说明

- **二极管续流**- 位域 PWM_FREEW_CFG = b1: 在这种情况下, 续流电流流过低侧 MOSFET 体二极管。此模式的真值表如表 4 所示。
- **主动续流**- 位域 PWM_FREEW_CFG = b0: 在这种情况下, 低侧 MOSFET 同步开关, 以减少体二极管导通时的导通损耗。此模式的真值表如表 5 所示。

表4 带二极管续流的1PWM模式真值表

State	INLA, INHB , INLB,	INHC	VSSENS E/ nBRAK E	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
AB	011	0	1	PWM	LOW	LOW	HIGH	LOW	LOW	HIGH	LOW	-
AB_CB	010	1	1	PWM	LOW	LOW	HIGH	PWM	LOW	HIGH	LOW	HIGH
CB	010	0	1	LOW	LOW	LOW	HIGH	PWM	LOW	-	LOW	HIGH
CB_CA	110	1	1	LOW	HIGH	LOW	HIGH	PWM	LOW	LOW	LOW	HIGH
CA	110	0	1	LOW	HIGH	LOW	LOW	PWM	LOW	LOW	-	HIGH
CA_BA	100	1	1	LOW	HIGH	PWM	LOW	PWM	LOW	LOW	HIGH	HIGH
BA	100	0	1	LOW	HIGH	PWM	LOW	LOW	LOW	LOW	HIGH	-
BA_BC	101	1	1	LOW	HIGH	PWM	LOW	LOW	HIGH	LOW	HIGH	LOW
BC	101	0	1	LOW	LOW	PWM	LOW	LOW	HIGH	-	HIGH	LOW
BC_AC	001	1	1	PWM	LOW	PWM	LOW	LOW	HIGH	HIGH	HIGH	LOW
AC	001	0	1	PWM	LOW	LOW	LOW	LOW	HIGH	HIGH	-	LOW
AC_AB	011	1	1	PWM	LOW	LOW	HIGH	LOW	HIGH	HIGH	LOW	LOW
Align	111	X	1	PWM	LOW	LOW	HIGH	LOW	HIGH	HIGH	LOW	LOW
Stop	000	X	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-
Brake	XXX	X	0	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.

注释: X 表示任意电平。

注释: SHx HIGH 表示 SHx 引脚根据 PWM 信号在 GND 和直流总线电压或电池电压之间切换。'-' 表示浮动状态, 即高侧和低侧 MOSFET 都处于关闭状态。

注释: 制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。

表5 带主动续流的1PWM模式真值表

State	INLA, INHB , INLB,	INHC	VSSENS E/ nBRAK E	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
AB	011	0	1	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-

(表格续下页.....)

表 5 (续) 带主动续流的 1PWM 模式真值表

State	INLA, INHB , INLB,	INHC	VSENSE/ nBRAKE	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
AB_CB	010	1	1	PWM	!PWM	LOW	HIGH	PWM	!PWM	HIGH	LOW	HIGH
CB	010	0	1	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
CB_CA	110	1	1	LOW	HIGH	LOW	HIGH	PWM	!PWM	LOW	LOW	HIGH
CA	110	0	1	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
CA_BA	100	1	1	LOW	HIGH	PWM	!PWM	PWM	!PWM	LOW	HIGH	HIGH
BA	100	0	1	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
BA_BC	101	1	1	LOW	HIGH	PWM	!PWM	LOW	HIGH	LOW	HIGH	LOW
BC	101	0	1	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
BC_AC	001	1	1	PWM	!PWM	PWM	!PWM	LOW	HIGH	HIGH	HIGH	LOW
AC	001	0	1	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
AC_AB	011	1	1	PWM	!PWM	LOW	HIGH	LOW	HIGH	HIGH	LOW	LOW
Align	111	X	1	PWM	!PWM	LOW	HIGH	LOW	HIGH	HIGH	LOW	LOW
Stop	000	X	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-
Brake	XXX	X	0	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.

注释: X 表示任意电平。

注释: SHx HIGH 表示 SHx 引脚根据 PWM 信号在 GND 和直流总线电压或电池电压之间切换。'-' 表示浮动状态, 即高侧和低侧 MOSFET 都处于关闭状态。

注释: 制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。

3.1.3.1 12步梯形换向

输入 INHC 可选择性地用于创建 12 步梯形换向。与典型的 6 步梯形换向 (任何时候只有两相通电) 相比, 该方法可同时为两相或三相通电。在 12 步梯形换向中, 扭矩波动得到改善, 定子和转子磁通矢量之间产生的夹角可控制在 30° (电角度, 下同) 以内, 而 6 步梯形换向的夹角为 60°。该方法提高了电机效率和扭矩波动, 但需要额外的位置信息。微控制器可处理这些信息, 并根据表 4 或表 5 中的数据产生信号 INHA、INLA、INHB、INLB 和 INHC。从系统角度可以看出, INHC 信号必须每旋转 30° 切换一次。

如果 INHC 信号未切换, 则设备将应用如表 4 或表 5 所示的换向。

例如, 如果 INHC 处于低位, 则会产生经典的 6 步梯形换向模式。如果 INHC 被拉高, 则模式相对于标准 6 步梯形换向将显示 30° 的提前。用户可以使用这些变体或每旋转 30° 切换一次 INHC 引脚来创建 12 步换向模式。

VSENSE/nBRAKE 引脚可用于电机制动。参见章节 3.1.6 有关制动模式的更多信息。以下是输入和输出功能的摘要:

3 功能说明

- INHA - PWM 输入，定义 PWM 输出占空比和频率
- INLA、INHB、INLB - 为调制模式变化提供定时
- INHC - 通过每 30° 切换一次来发出 12 步换向信号，否则保持低电平（或高电平）以进行 6 步换向
- INLC—在此模式下该输入被忽略。建议将其拉低
- VSENSE/nBRAKE 信号 - 激活时，6EDL7151 强制电机制动
- GHA、GLA、GHB、GLB、GHC、GLC - 互补 PWM 输出信号

表 4 显示了二极管续流的 1PWM 模式的可能状态，而表 5 用于主动主动续流。

3.1.4 带一个输入的 PWM，通过霍尔传感器输入进行换向 - 带霍尔传感器的 1PWM

6EDL7151 集成三个霍尔比较器（见第 3.8 章），用于检测电机的运动模式。这不仅可用于转子堵转检测，还可用于自动驱动 PWM 换向模式，从而简化 MCU 中的 PWM 模式。这将使成本敏感型应用成为可能，这些应用通常使用低端控制器或某种更简单的电路来为 INHA 输入创建时钟信号。

要启用此模式，需要将 PWM_MODE 位域配置为值 b011。真值表如表 6 决定换向模式。在此模式下，6EDL7151 与霍尔传感器输入共同决定 PWM 输出信号的开关模式。输出信号的占空比和频率由 INHA 占空比和频率决定。死区时间根据 DT_RISE 和 DT_FALL 中的编程值自动插入。

图 6 为带霍尔传感器的 1PWM 模式示意图。

与第 3.1.3 章类似，用户可以选择两种主要的换向方案，这些方案可通过 PWM_CFG 寄存器中的位域 PWM_FREEW_CFG 进行编程：二极管和主动续流。二极管模式未显示真值表。用“LOW”代替表 6 中的“!PWM”单元即可构建。

与其他 PWM 模式类似，VSENSE/nBRAKE 引脚可用于电机制动。参见章节 3.1.6 有关制动模式的更多信息。

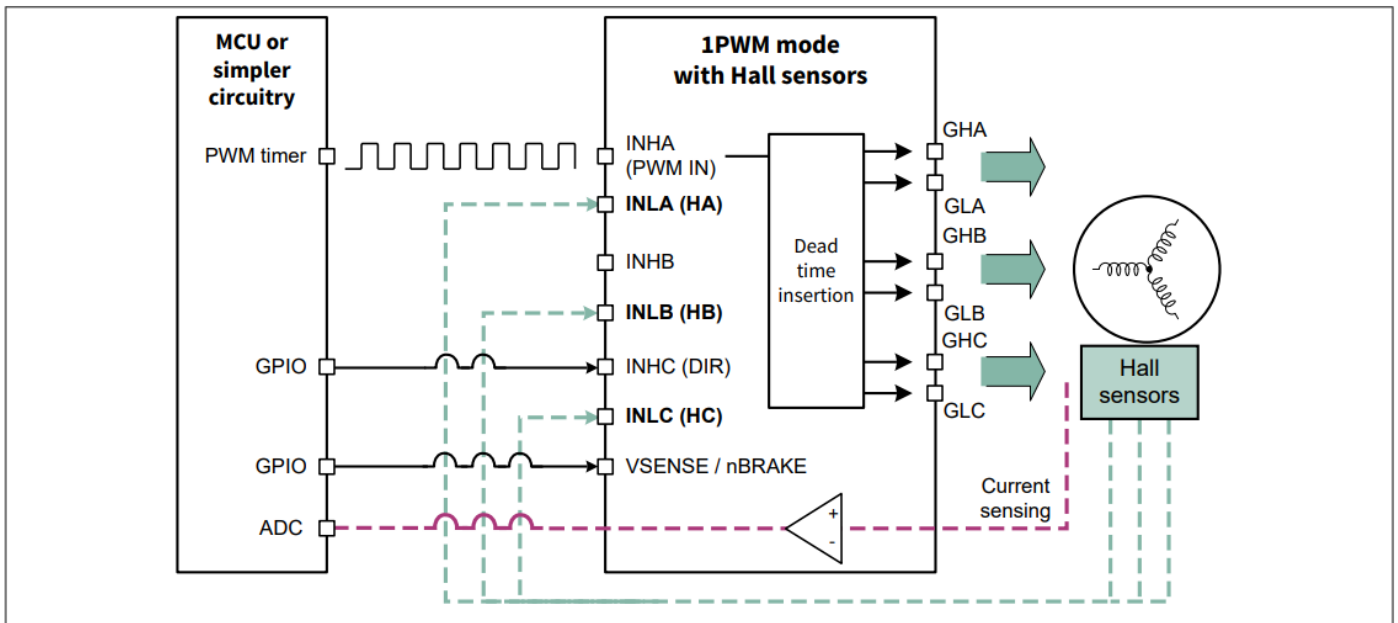


图6 1PWM模式带霍尔传感器，自控模式切换

表 6 带霍尔传感器的 1PWM 真值表，主动续流

INLx [A,B,C]	INHC (DIR)	VSENSE / nBRAKE	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
101	1	1	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
100	1	1	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
110	1	1	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
010	1	1	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
011	1	1	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
001	1	1	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-
101	0	1	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
100	0	1	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
110	0	1	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-
010	0	1	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
011	0	1	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
001	0	1	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
XXX	X	0	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.
111 (Forbidd en state)	X	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-
000 (Forbidd en state)	X	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-

注释： X 表示任意电平。XXX 表示未显示的任何其他输入组合。

注释： SHx HIGH 表示 SHx 引脚正在 GND 和直流总线电压或电池电压之间切换。'-' 表示浮动状态，即高侧和低侧 MOSFET 都处于关闭状态。

注释： 对于二极管续流模式，用“LOW”替换“! PWM”单元。

注释： 制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。

以下是带有霍尔传感器的 1PWM 模式的信号功能：

- INHA - PWM 输入，定义 PWM 输出信号的占空比和频率
- INLA、INLB、INLC - 霍尔传感器输入（HA、HB、HC）根据电机位置定义 PWM 输出模式
- VSENSE/nBRAKE 信号 - 激活时，6EDL7151 强制执行制动事件
- INHC—方向（DIR）控制。由 MCU 提供，用于定义电机旋转方向
- GHA、GLA、GHB、GLB、GHC、GLC - 高侧和低侧的 PWM 输出信号。图 7 给出了换向状态的示意图。

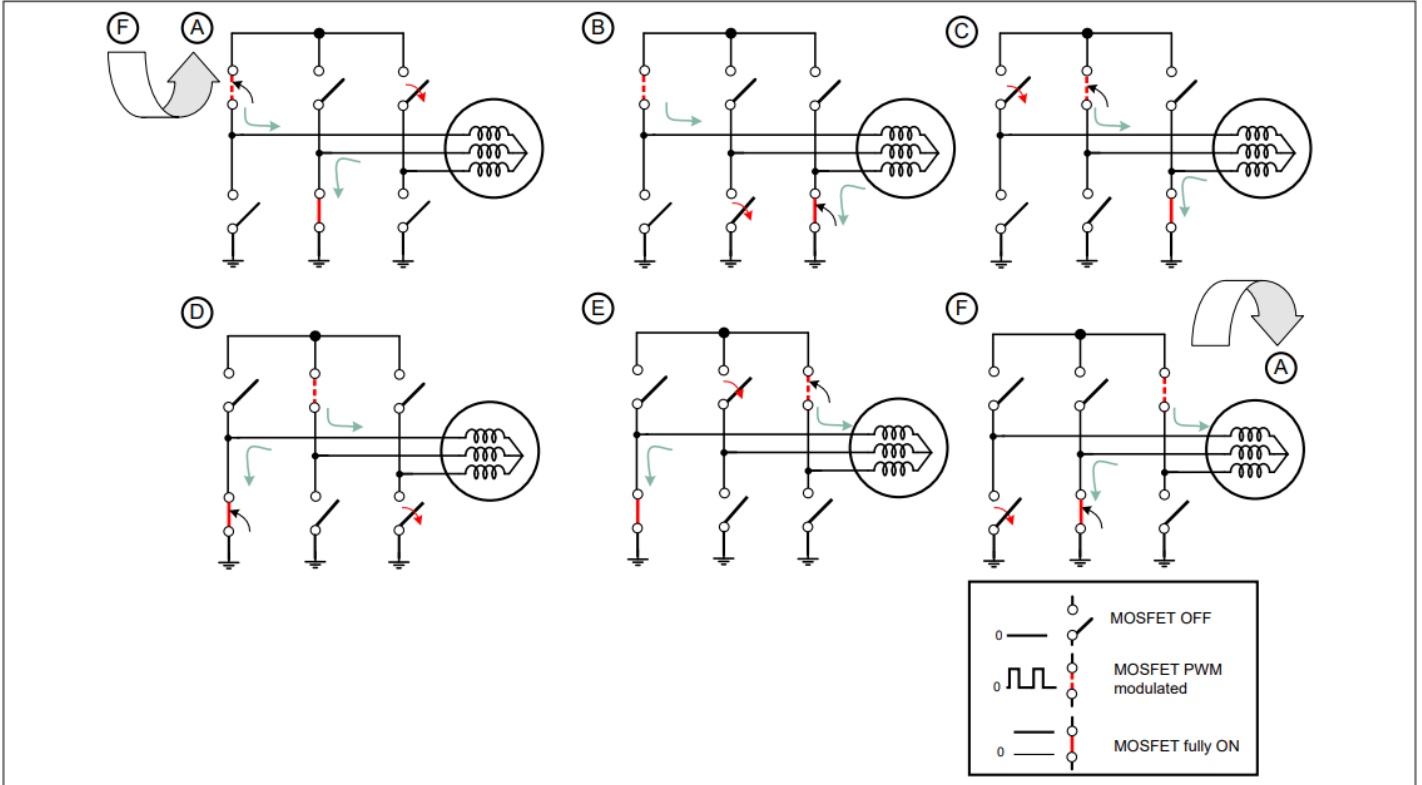


图7 6态开关概览，此处为了简化起见仅表示二极管续流模式，仅考虑单方向

3.1.5 带霍尔传感器输入和交替循环的单输入 PWM - 带霍尔传感器和交替循环的 1PWM

电动工具系统中的热管理是实现更高功率密度的关键因素。更先进的热管理可以实现更小的散热器元件或更小的PCB面积。这种PWM模式专注于在逆变器的所有MOSFET之间更均匀地分配MOSFET应力。该概念在高侧和低侧MOSFET之间交替循环续流电流。这可以通过扩展表6所示的真值表到表7来实现。

在第一次电气旋转中，逆变器使电流循环流经高侧MOSFET（PWM调制MOSFET），而低侧MOSFET始终处于导通状态。在第二次电气旋转中，低侧MOSFET使续流电流循环流经PWM调制MOSFET，因此高侧MOSFET完全导通。此循环在后续旋转中重复进行。图8以图形方式显示了开关状态。图中，状态A至F表示高侧调制，状态G至L表示低侧调制。状态机在状态L之后返回状态A，重新开始循环。

PWM_FREEW_CFG 可将此模式配置为二极管或主动续流。二极管模式未显示真值表。可以通过将表7中的“!PWM”单元替换为 LOW 来构建。

表 7 带霍尔传感器、主动续流和交替再循环的 1PWM 模式真值表

INLx [A,B,C]	VSENSE / nBRAK E	Fully ON	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
INHC (DIR) = 1											
101	1	Low-side	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
100	1	Low-side	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
110	1	Low-side	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
010	1	Low-side	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
011	1	Low-side	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
001	1	Low-side	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-
101	1	High-side	HIGH	LOW	LOW	LOW	!PWM	PWM	HIGH	-	LOW
100	1	High-side	LOW	LOW	HIGH	LOW	!PWM	PWM	-	HIGH	LOW
110	1	High-side	!PWM	PWM	HIGH	LOW	LOW	LOW	LOW	HIGH	-
010	1	High-side	!PWM	PWM	LOW	LOW	HIGH	LOW	LOW	-	HIGH

(表格续下页.....)

3 功能说明

表 7 (续) 带霍尔传感器、主动续流和交替再循环的 1PWM 模式真值表

INLx [A,B,C]	VSENSE / nBRAK E	Fully ON	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
011	1	High-side	LOW	LOW	!PWM	PWM	HIGH	LOW	-	LOW	HIGH
001	1	High-side	HIGH	LOW	!PWM	PWM	LOW	LOW	HIGH	LOW	-
INHC (DIR) = 0											
101	1	Low-side	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
100	1	Low-side	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
110	1	Low-side	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-
010	1	Low-side	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
011	1	Low-side	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
001	1	Low-side	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
101	1	High-side	!PWM	PWM	LOW	LOW	HIGH	LOW	LOW	-	HIGH
100	1	High-side	LOW	LOW	!PWM	PWM	HIGH	LOW	-	LOW	HIGH
110	1	High-side	HIGH	LOW	!PWM	PWM	LOW	LOW	HIGH	LOW	-
010	1	High-side	HIGH	LOW	LOW	LOW	!PWM	PWM	HIGH	-	LOW
011	1	High-side	LOW	LOW	HIGH	LOW	!PWM	PWM	-	HIGH	LOW
001	1	High-side	!PWM	PWM	HIGH	LOW	LOW	LOW	LOW	HIGH	-
XXX	0	X	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.
111 (Forbidden state)	1	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-
000 (Forbidden state)	1	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-

3 功能说明

注释: X 表示任意电平。

注释: SHx HIGH 表示 SHx 引脚正在 GND 和直流总线电压或电池电压之间切换。'-' 表示浮动状态，即高侧和低侧 MOSFET 都处于关闭状态。

注释: 对于二极管续流模式，用“LOW”替换“!PWM”单元。

注释: 制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。

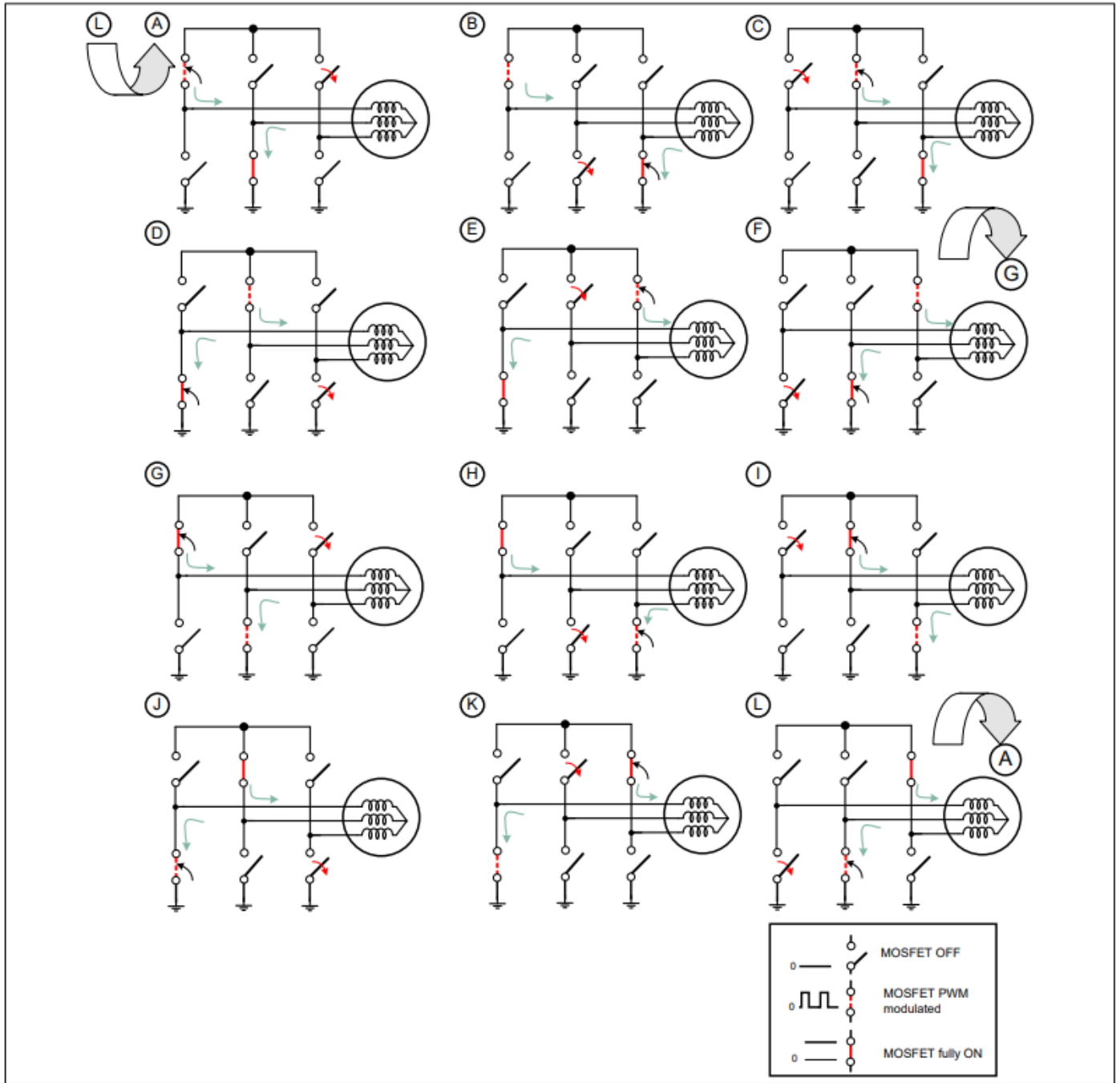


图8 交替循环的12状态切换概览。与其他 1PWM 模式相比，新增了 6 个状态（G 到 L），此处以二极管续流模式表示，以简化形式表示，仅考虑单方向

3.1.6 PWM制动模式

在之前介绍的所有 PWM 模式中，设备都可以进入受控制制动模式。这种制动模式以受控的方式驱动 PWM 信号，使电机进入安全状态。这对于某些电动工具应用至关重要，因为突然或不受控制的制动可能会损坏工具的元件或对用户造成危险。以下事件可触发 6EDL7151 中的制动动作：

- 下拉引脚 VSENSE/nBRAKE
- 电流检测放大器上的可编程过流保护 (OCP) 故障
- 可编程看门狗定时器

在上述所有引脚中，VSENSE/nBRAKE 是唯一可以被微控制器等主动用来启动制动事件的引脚。另外两个是对故障检测的反应。

为了保证电机正常运行，引脚 VSENSE/nBRAKE 应处于高电平。然而，一旦检测到低电平，栅极驱动器逻辑就会激活高侧 MOSFET 或低侧 MOSFET，从而主动制动电机。

6EDL7151 制动电路可按照图 9 所示进行配置 通过对寄存器 PWM_CFG 中的位域 BRAKE_CFG 进行编程，可以实现以下模式：

- **高侧制动模式：**发生制动事件时，所有高侧 MOSFET 均被激活，所有低侧 MOSFET 均被关闭。
- **低侧制动模式：**发生制动事件时，所有低侧 MOSFET 均被激活，而所有高侧 MOSFET 均被关闭。
- **交替制动模式：**每次新的制动事件时，系统在高侧制动和低侧制动之间交替。在交替制动模式下，MOSFET 上的应力分布均匀，从而提高了系统的稳健性。
- **无功率制动模式-高阻抗（高阻）输出：**发生制动时，所有开关强制进入高阻模式。电机绕组中的电流将通过 MOSFET 体二极管或逆变器中的其他可用结构进行再循环。如果逆变器中发生 MOSFET 短路，建议使用此模式。

系统微控制器（MCU）可以在系统运行期间修改与制动相关的位位域，以适应特定条件。

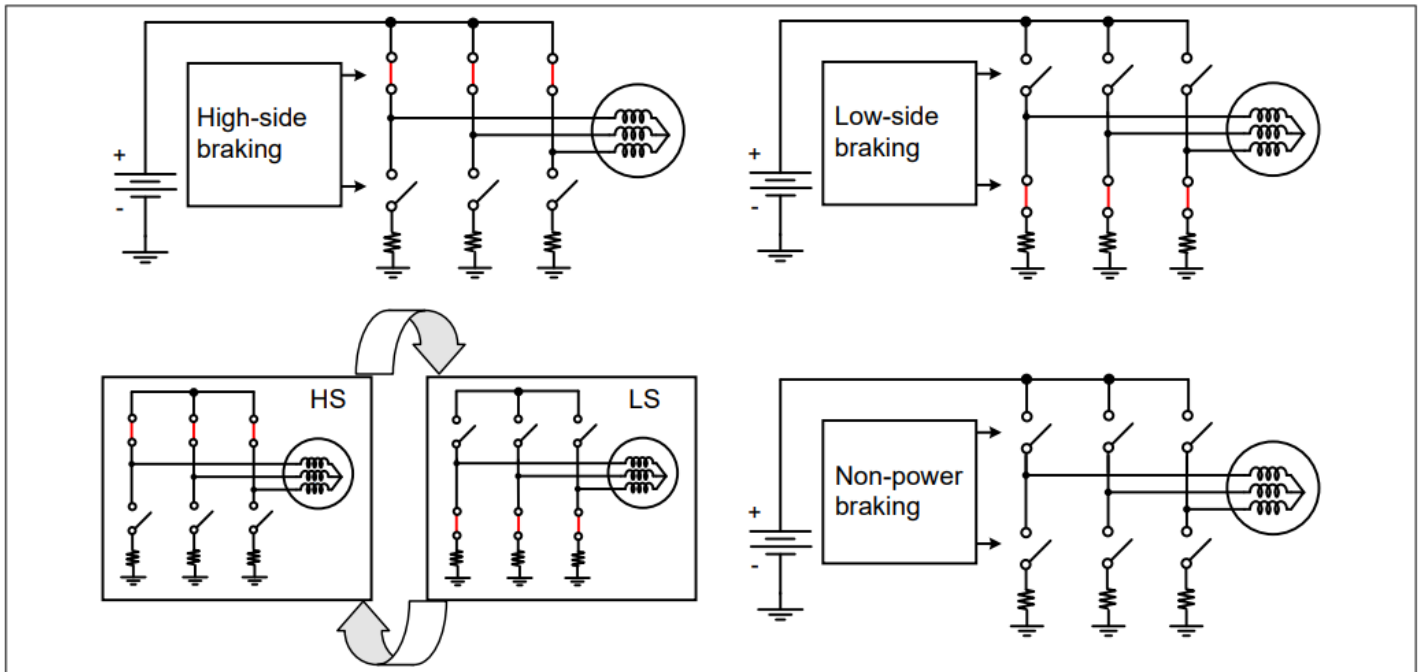


图 9 PWM 制动模式的系统概览

在制动动作开始之前，6EDL7151 会尽快准备好逆变器以进行安全制动。根据制动请求时的逆变器状态，该设备需要关闭一些 MOSFET 并插入死区时间。例如，当 A 相高侧关闭、低侧打开时，制动信号到达，假设高侧制动配置，则 6EDL7151 立即关闭低侧 MOSFET，插入配置的死区时间，最后打开 A 相高侧 MOSFET 以及其余高侧 MOSFET。

3.1.7 死区时间嵌入

6EDL7151 中的 PWM 单元会自动在互补信号（GHx 和 GLx）之间插入死区时间。DT_RISE 位域定义（相节点电压的）上升沿的死区时间，而 DT_FALL 位域则独立定义下降沿的死区时间。最小死区时间（见表 21 对于值和条件）始终要遵守，以防止出现强烈的直通情况。

3 功能说明

图 10 显示了 1PWM 模式死区插入的详细时序图，包括时序定义。输入信号和实际栅极驱动器输出信号之间有一段传播时间 (t_{PROP_HS} 和 t_{PROP_LS})。这些时序定义适用于所有其他 PWM 模式。

死区时间和压摆率控制功能采用安全的方式设计，以便压摆率的变化以与 PWM 开关同步的方式更新。这消除了由于时间不一致而导致操作期间转换率可能更新过程中可能出现的直通。

注释： 电流检测放大器 OCP 和 MDS 传感器可用于检测系统中的过大电流。尽管如此，应用软件必须确保死区时间足以满足压摆率配置和 MOSFET 的选择。

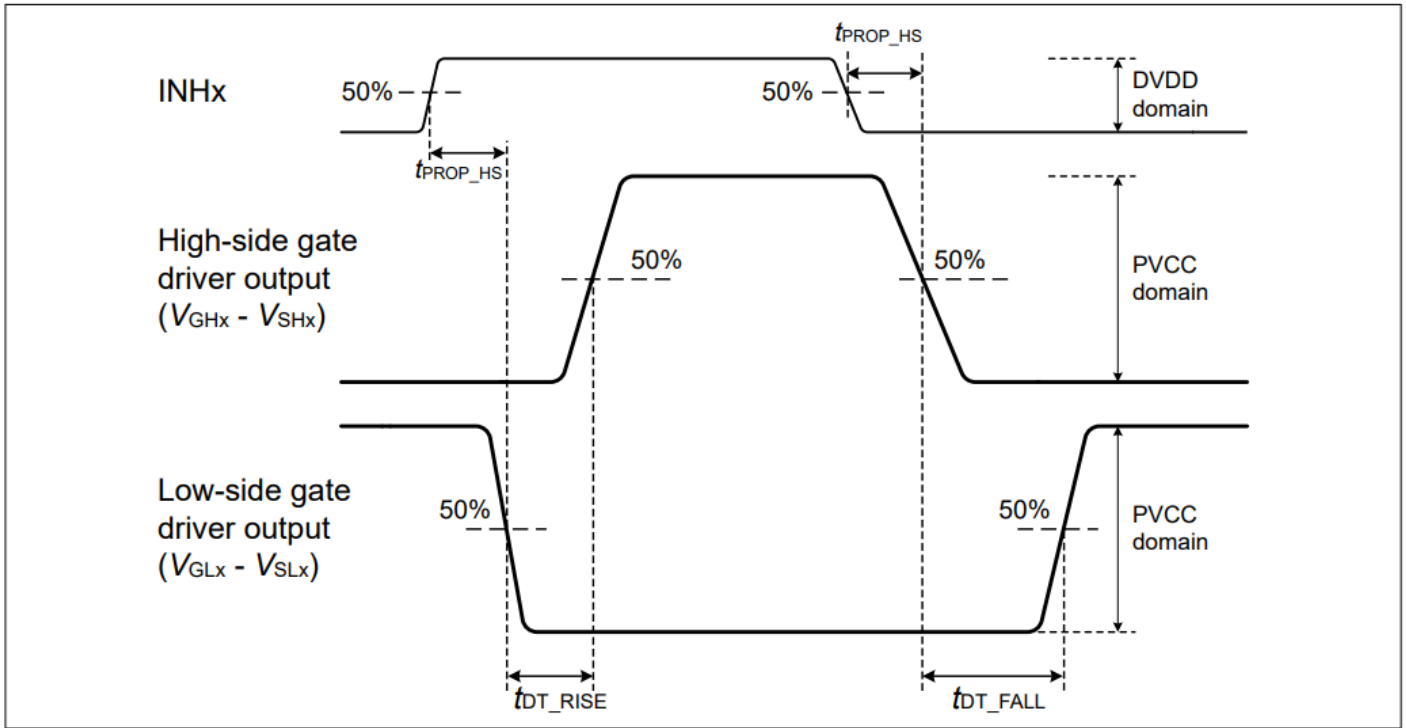


图 10 1PWM 模式下死区插入时序图

3.2 三相栅极驱动器

6EDL7151 三相栅极驱动器是用于三相两电平逆变器的浮动驱动器。它能够以可配置的压摆率和驱动电压进行驱动，拉电流和灌电流峰值均高达 1.5A。

所有三个半桥驱动器共享配置和设置。可编程电荷泵为栅极驱动器供电，确保 100% 的占空比和可配置的驱动电压，从而最大限度地优化栅极驱动器。

其中包括多种保护措施，以确保栅极驱动器系统在压力条件下安全运行，包括提高相位节点 (V_{SHx}) 对负电压尖峰的耐受性 (见表 17)。本节介绍集成三相栅极驱动器的以下特性：

- 栅极驱动器架构
- 压摆率控制
- 栅极驱动器电压可编程性

3.2.1 栅极驱动器架构

该器件集成了三对相同的栅极驱动器。高侧驱动器和低侧驱动器采用相同的架构设计。然而，这两个部分的电源域设计不同。精密电荷泵用于为两个驱动器供电，低侧栅极驱动器由 VCCLS 供电，高侧栅极驱动器由 VCCHS 供电。通用架构概览如图 11 所示。

3 功能说明

栅极驱动器的低侧部分由 VCCLS 供电。器件正常工作时，VCCLS 电压高于地电位“PVCC”伏，PVCC 电压可通过 SPI 寄存器编程，并定义逆变器功率 MOSFET 的栅极驱动电压。VCCLS 电压由低侧电荷泵从 VDDB 电压（集成降压转换器输出电压）产生。电荷泵正常工作需要外部“飞跨”电容 C_{CP1} 。

栅极驱动器的高侧部分由独立的电荷泵 VCCHS 供电，该电荷泵可产生高于 PVDD 的“PVCC”电压，从而为高侧 MOSFET 驱动器提供适当的偏置。与低侧部分类似，需要一个“飞跨”电容 C_{CP2} 来确保电荷泵正常工作，并且 PVCC 电压可通过相同的 SPI 寄存器进行编程。

VCCLS 和 VCCHS 引脚分别需要额外的“储能”电容 C_{VCCLS} 和 C_{VCHHS} 。这些以及其他所需元件的推荐值列于表 22。这些电容器的选择将对电荷泵中的不同参数产生影响，包括 VCCLS 和 VCCHS 中的电压纹波，以及启动时间或栅极驱动器可以提供的最大电流。

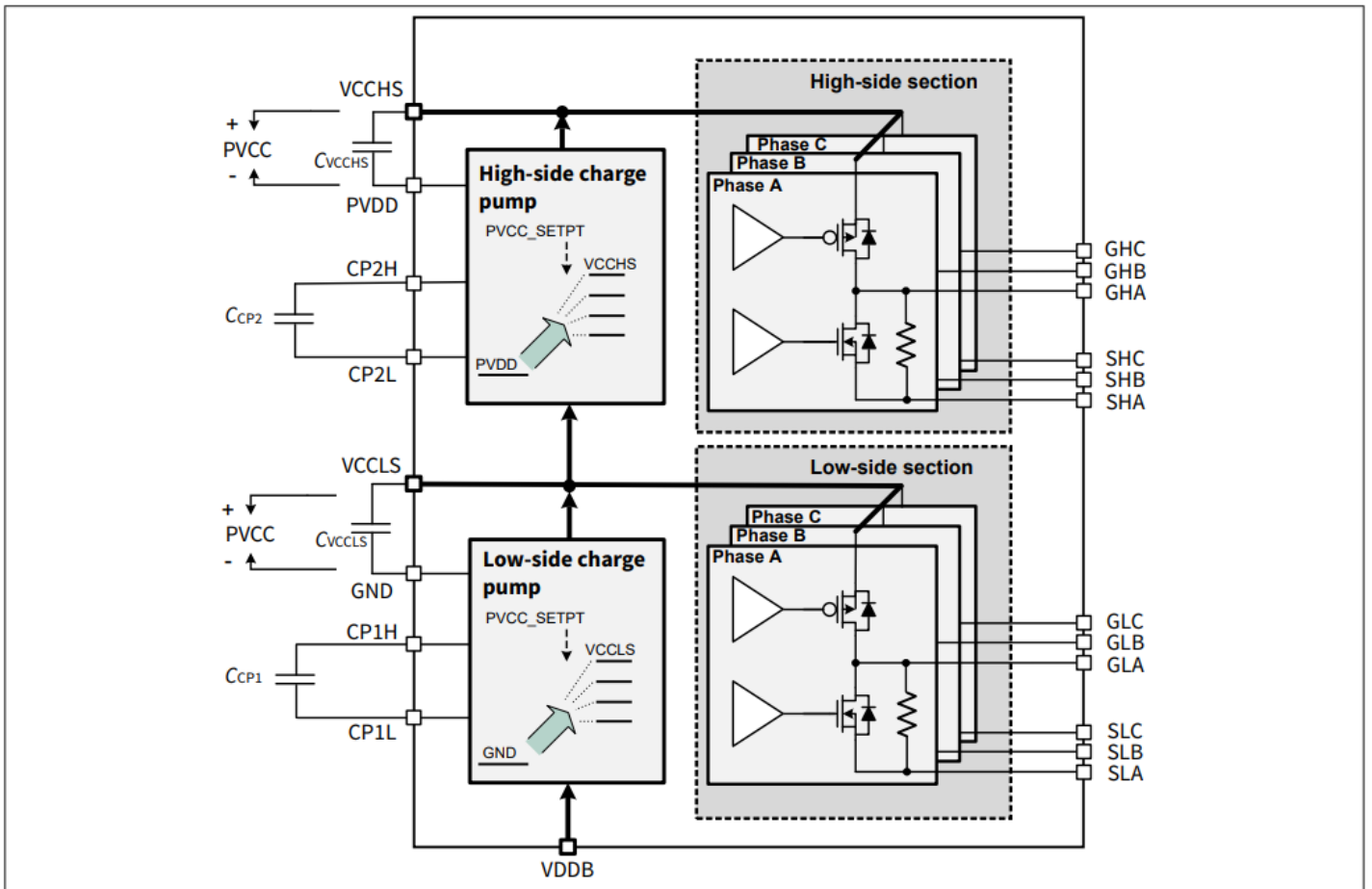


图11 栅极驱动器架构概览

3.2.2 压摆率控制

控制 MOSFET V_{DS} 上升和下降时间是优化驱动系统最重要的参数之一，影响以下关键因素：

- 开关损耗
- 死区时间优化
- V_{DS} 振荡，MOSFET 可能出现雪崩事件。雪崩是 MOSFET 的一个关键因素，可能导致器件损坏或可靠性问题
- EMI 设计和优化

3 功能说明

- SHx 引脚负尖峰的控制
- 可能的缓冲器设计 (MOSFET 缓冲器或桥旁路电容器)

6EDL7151 能够调节 MOSFET 开关的压摆率 (V_{DS})。压摆率控制功能通过调节施加到 MOSFET 栅极的栅极电流，独立控制漏源电压的上升 (从低到高) 和下降 (从高到低) 压摆率。

注释: 可以使用 R_g 电阻, 但是, 当使用 6EDL7151 提供的恒定电流驱动 MOSFET 时, 用户必须考虑电阻上的电压降。

3.2.2.1 压摆率控制参数及使用方法

用户可以通过 SPI 可访问寄存器使用以下参数配置栅极驱动器电流和时序:

- I_{HS_SRC} - 位位域 IHS_SRC: 用于打开高侧 MOSFET 的栅极驱动器电流值
- I_{HS_SINK} - 位位域 IHS_SINK: 用于关闭高侧 MOSFET 的栅极驱动器电流值
- I_{LS_SRC} - 位位域 ILS_SRC: 用于开启低侧 MOSFET 的栅极驱动器电流值
- I_{LS_SINK} - 位位域 ILS_SINK: 用于关闭低侧 MOSFET 的栅极驱动器电流值
- I_{PRE_SRC} - 位域 I_PRE_SRC: 用于开启高侧和低侧 MOSFET 的预充电栅极驱动器电流值。需要通过位域 I_PRE_SRC_DIS 启用, 否则预充电电流将设置为最大电流
- I_{PRE_SINK} - 位域 I_PRE_SINK: 用于关闭高侧和低侧 MOSFET 的预放电栅极驱动器电流值。需要通过位域 I_PRE_SINK_DIS 启用, 否则预放电将设置为最大电流。
- T_{DRIVE1} - 位位域 TDRIVE1: 应用 I_{PRE_SRC} 的时间量。高侧和低侧驱动器共享配置。
- T_{DRIVE2} - 位位域 TDRIVE2: 应用 I_{HS_SRC} 和 I_{LS_SRC} 的时间量。高侧和低侧驱动器之间共享配置。
- T_{DRIVE3} - 位位域 TDRIVE3: 应用 I_{PRE_SINK} 的时间量。高侧和低侧驱动器共享配置。
- T_{DRIVE4} - 位位域 TDRIVE4: I_{HS_SINK} 和 I_{LS_SINK} 的应用时间。高侧和低侧驱动器共享配置。

图12 中以图形方式显示了一种可能的配置。这表示一种 6PWM 模式, 微控制器在 INHx 和 INLx 信号之间插入特定的死区时间。该驱动方案适用于其他 PWM 模式。为简化图示, 图中未显示传播延迟 (参见图 10)。有关传播延迟的详细信息)。

一旦命令栅极对输出应用更改, 栅极驱动器就会应用由用户可编程值 I_{PRE_SRC} 定义的恒定电流, 持续时间由 T_{DRIVE1} 定义。在 T_{DRIVE1} 周期之后, MOSFET 栅极电压理想情况下应该达到阈值电压 ($V_{GS(th)}$)。在 T_{DRIVE1} 之后, 栅极驱动器应用下一个栅极电流配置, 持续时间由 T_{DRIVE2} 定义。此周期内应用的电流对于确定 MOSFET 的 di/dt 和 dV/dt 至关重要, 因为它会对 MOSFET 的 Q_{sw} 充电。用户也可以决定缩短此周期以仅覆盖 Q_{gd} 部分, 从而使用 T_{DRIVE1} 周期控制 di/dt 区域以进行独立控制。为确保正确微调, 6EDL7151 为第二个周期的高侧和低侧 (分别为 I_{HS_SRC} 和 I_{LS_SRC}) 提供了单独的配置寄存器。

T_{DRIVE2} 周期结束后, 栅极驱动器施加最大电流 (1.5 A), 以确保 MOSFET 以最快的速度导通。这将使 MOSFET 栅极完全充电 ($Q_{od} = Q_g - Q_{sw} - Q_{g(th)}$), 直至达到设定的 PVCC 值。

MOSFET 放电时也会发生类似的过程。

注释: 考虑到压摆率变化会影响实际死区时间值, 用户必须相应地选择死区时间。

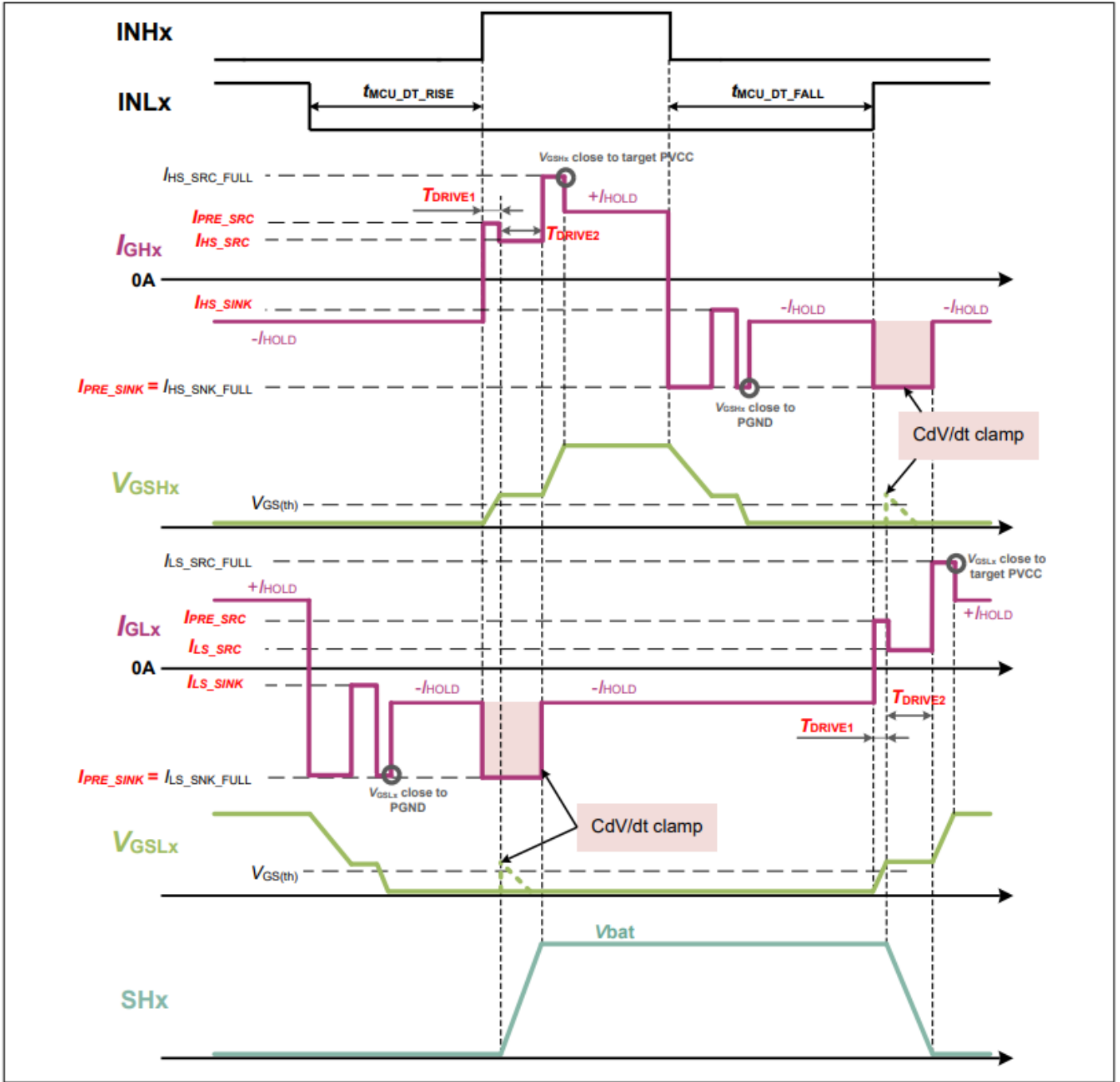


图12 CdV/dt钳位波形

3.2.2.2 栅极驱动器钳位：CdV/dt抑制器

在使用三相逆变器的电机驱动应用中，众所周知，在半桥（高侧或低侧）的一个 MOSFET 导通期间，互补 MOSFET 栅极电压会受到影响，从而产生自导通效应，可能造成击穿情况。这在以下情况下尤其重要：为了抑制互补 MOSFET 中的 CdV/dt，当另一个 MOSFET 开始开关时，压摆率控制器应用最强的下拉电流来将栅极紧紧地保持在源极上。

注释：预计 V_{GS} 仍会上升，但强大的栅极驱动器设置应该有助于减轻 $V_{GS(th)}$ 交叉的风险。

该器件在互补信号的 T_{DRIVE1} 和 T_{DRIVE2} 期间激活强下拉。

3 功能说明

- 如果 $T_{DRIVE1} = 0$ ，则强下拉的启动由 T_{DRIVE2} 启动触发，并持续 T_{DRIVE2} 周期。
- 如果 $T_{DRIVE2} = 0$ ，强下拉的启动由 T_{DRIVE1} 启动触发，并持续 T_{DRIVE1} 周期。
- 如果 $T_{DRIVE1} = T_{DRIVE2} = 0$ ，则栅极驱动器以 1.5 A 电流激活。在这种情况下，抑制器/钳位器未激活。

注释：如果用户想要将设备用作“压摆率控制停用”，则必须将 T_{DRIVE1} 设置为不同于 0 的值，并将 T_{DRIVE2} 设置为 0，以实现 1.5 A 始终设置。

IDRIVE_PRE_CFG 通过位域 I_CLAMP_DIS 控制此功能的使用。钳位或抑制器的概念如图 12 所示。

注释：启用钳位功能时，VCCLS 和 VCCHS 引脚中的电流消耗可能会增加。

3.2.2.3 VGS比较器

栅极驱动器模块还集成了栅极到源极比较器。这些比较器用于检测 V_{GS} 信号何时接近目标值，即在开启期间 $V_{GSx} \geq PVCC - V_{GS_CMP_TH}$ ，在关闭期间 $V_{GSx} \leq V_{GS_CMP_TH}$ 。当发生上述任一情况时，比较器都会触发并将栅极电流设置为 I_{HOLD} 值。这是为了降低功耗和自导通效应的影响，例如，当高侧 MOSFET 开启而低侧 MOSFET 关断时。在这种情况下，低侧 MOSFET 的保持电流会以 I_{HOLD} 强度将 MOSFET 的栅极保持在源极。如图 13 所示 I_{HOLD} 如图 14 所示，取决于 V_{GS} 值，迟早会应用。在图 14 中显示了激活 I_{HOLD} 电流的阈值。

比较器集成了一个去毛刺阶段，以防止噪声在噪声事件期间错误地激活比较器。去毛刺时间由 $t_{VGS_CMP_DEGLITCH}$ 定义。

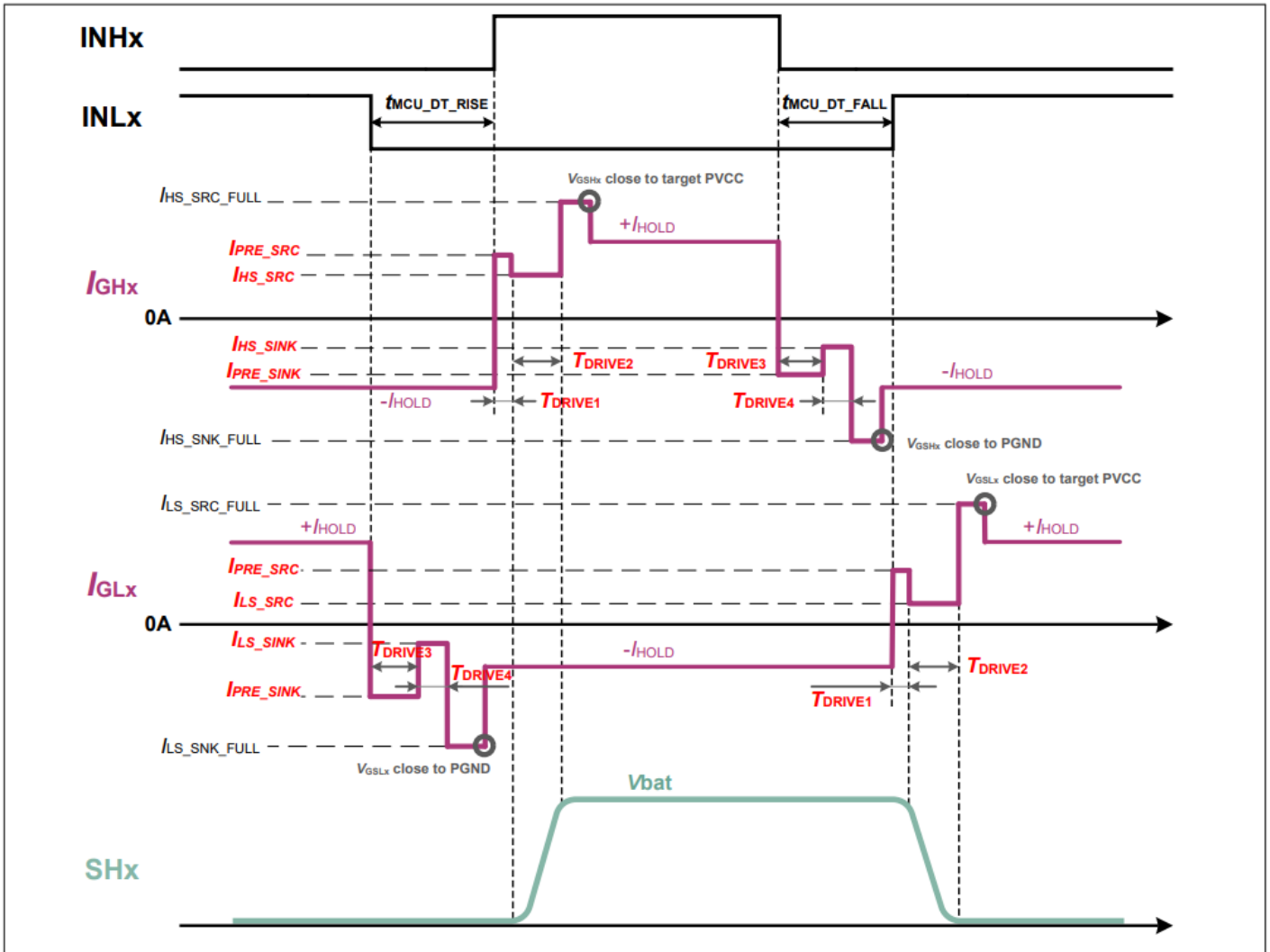


图 13 6PWM 模式下完整开关周期的压摆率控制时序，为简化起见未考虑 MCU 插入的死区时间和传播延迟 (INxy->Gxy)。红色参数表示可编程值

图 14 显示了高侧 MOSFET 的充电和放电转换细节。类似情况也适用于低侧 MOSFET。图中显示了 MOSFET 的不同栅极电荷区域。由于灵活的时序结构和高 T_{DRIVEx} 分辨率，用户可以完全控制在关键充电区域（如 Q_{sw} ）施加的栅极电流，而 Q_{sw} 是控制 MOSFET V_{DS} 压摆率的关键参数。同时，还可以保持其他区域（如 Q_{od} ）的快速充电， Q_{od} 通常与 Q_{sw} 相比较较大，因此，由于它既不影响 dV/dt 也不影响 dI/dt ，因此可以通过增加栅极电流来加速充电。此外，预充电区域 ($Q_{g(th)}$)（取决于特定的 MOSFET）可以从比施加于需要最大控制的 Q_{sw} 区域的栅极电流更大的栅极电流中受益。使用预充电电流配置可以为 $Q_{g(th)}$ 选择更高的栅极电流，从而显著减少预充电时间，否则可能需要几百纳秒才能达到 $V_{GS(th)}$ 。

预充电电流有 17 个不同的值可供选择。其中 16 个由 $I_{PRE_SRC/SINK}$ 定义，另外还有一个 1.5 A，这是栅极驱动器的最大峰值电流能力。对于大型 MOSFET，开启时的 $Q_{g(th)}$ 或关闭时的 Q_{od} 可能受益于使用整个栅极驱动器的能力。为了在预充电区域启用最大强度，必须在寄存器 IDRIVE_PRE_CFG 中设置位域 $I_{PRE_SNK_DIS}$ 和 $I_{PRE_SRC_DIS}$ 。

注释：从一种电流设置转换到另一种电流设置时，用户可能会经历一段过渡期，直到新的电流值达到并稳定。在此期间，电流可能会在达到目标值之前短暂地低于设定值。

注释：当栅源电压接近目标电压时（无论是充电时的PVCC 还是放电时的PGND），栅极驱动器都无法完全维持目标 I_G 电流。这种效应与之前显示的理想行为有所不同，并且可能遵循与图 14 中虚线类似的行为。这与之前描述的 I_{HOLD} 值无关。

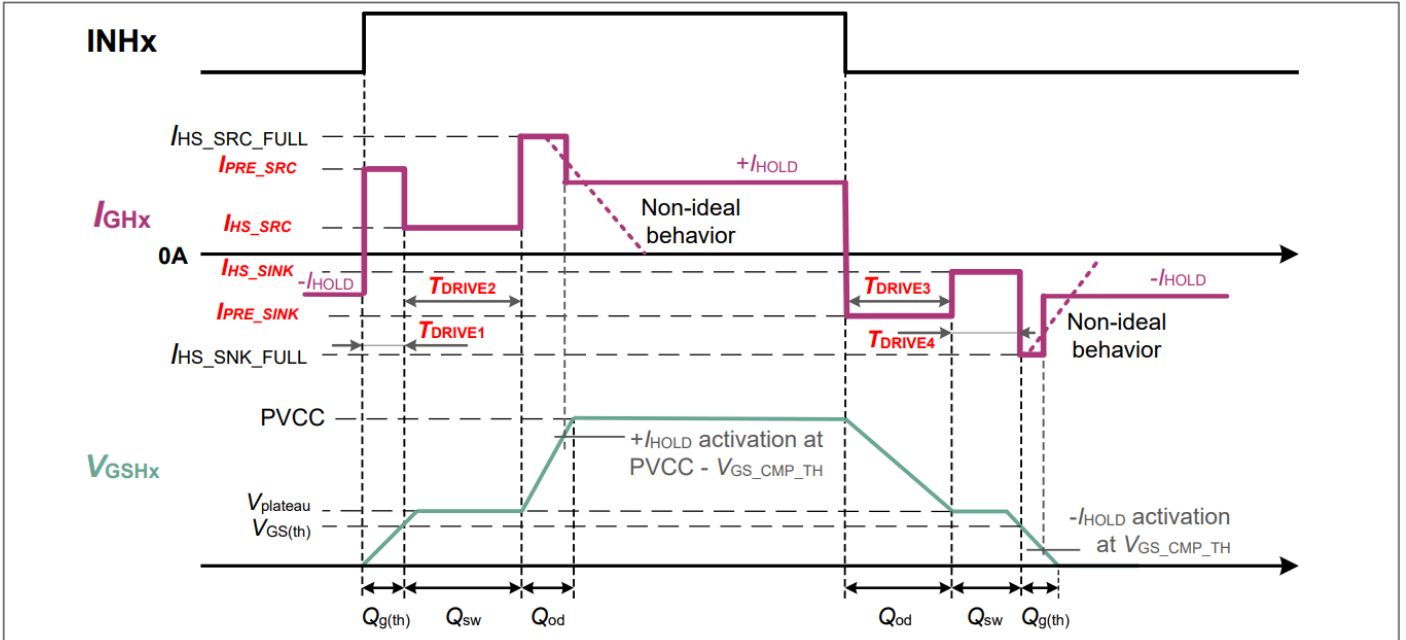


图 14 充电和放电转换期间 MOSFET 栅极电荷的细节

如果 $Q_{g(th)}$ 太小，无法施加比用于压摆率控制的电流更大的电流，用户可以将 T_{DRIVE2} 设置为 0。这样，栅极驱动器就会开始以 T_{DRIVE1} 驱动 MOSFET，并且一旦周期结束，它将施加 1.5 A 电流，忽略 T_{DRIVE2} 的配置。这确保了大型和小型 MOSFET 的最佳设置，并完美适配 OptiMOS™ 或 StrongIRFET™ 等不同技术。同样，可以将 T_{DRIVE2} 、 T_{DRIVE3} 和/或 T_{DRIVE4} 设置为 0，从而跳过这些配置。

图 15 显示了此行为的一个示例，其中 $T_{DRIVE2} = 0$ ，而其他 T_{DRIVEx} 设置不为零。

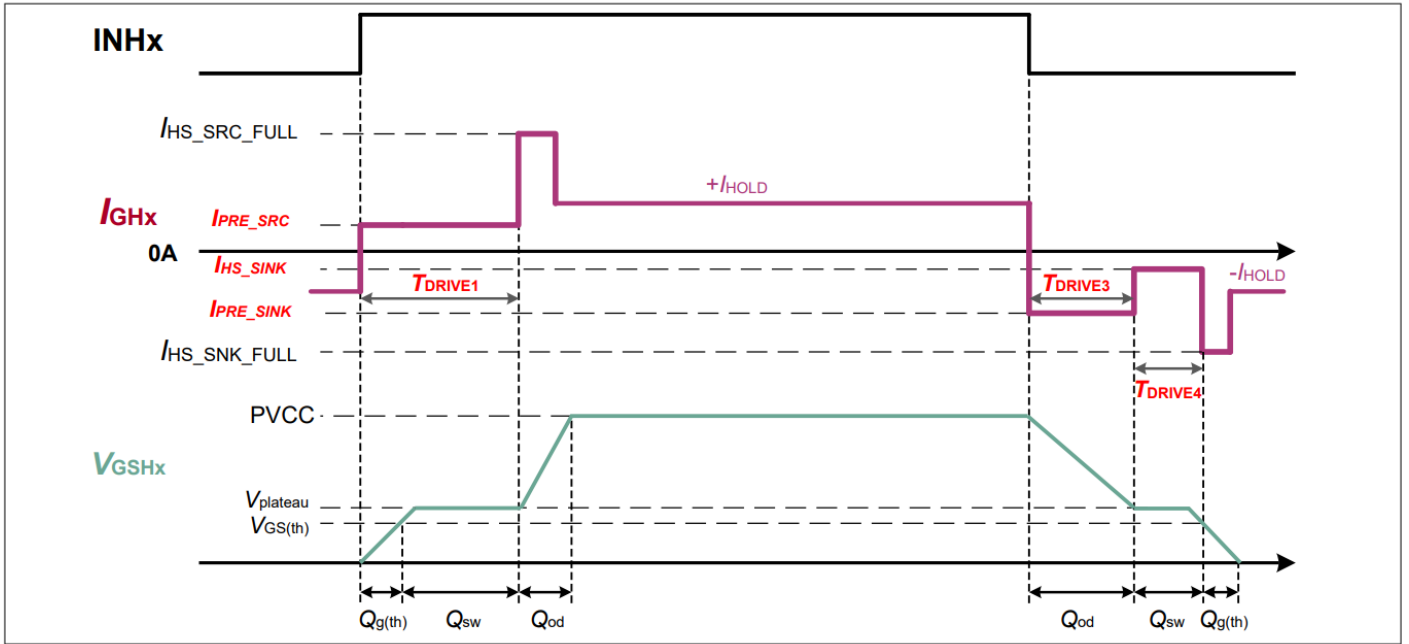


图15 充电和放电转换期间MOSFET栅极电荷的细节。以 $T_{DRIVE2} = 0$ 为例

3.2.3 栅极驱动器电压可编程性

不同的驱动系统可能受益于不同的 MOSFET 技术。例如，逻辑电平 MOSFET 的常见用途，与标准或常规电平 MOSFET 相比，后者具有更高的阈值电压 ($V_{GS(th)}$)。对于相同的栅源电压，逻辑电平 MOSFET 的 $R_{DS(on)}$ 值低于常规电平 MOSFET。

提高驱动电压有助于降低导通时 MOSFET 沟道的 $R_{DS(on)}$ ，如图 16。因此，它降低了系统的传导损耗。然而，提高驱动电压会增加开关时间（上升和下降时间），从而导致更高的开关损耗。用户必须根据系统条件选择合适的驱动电压。

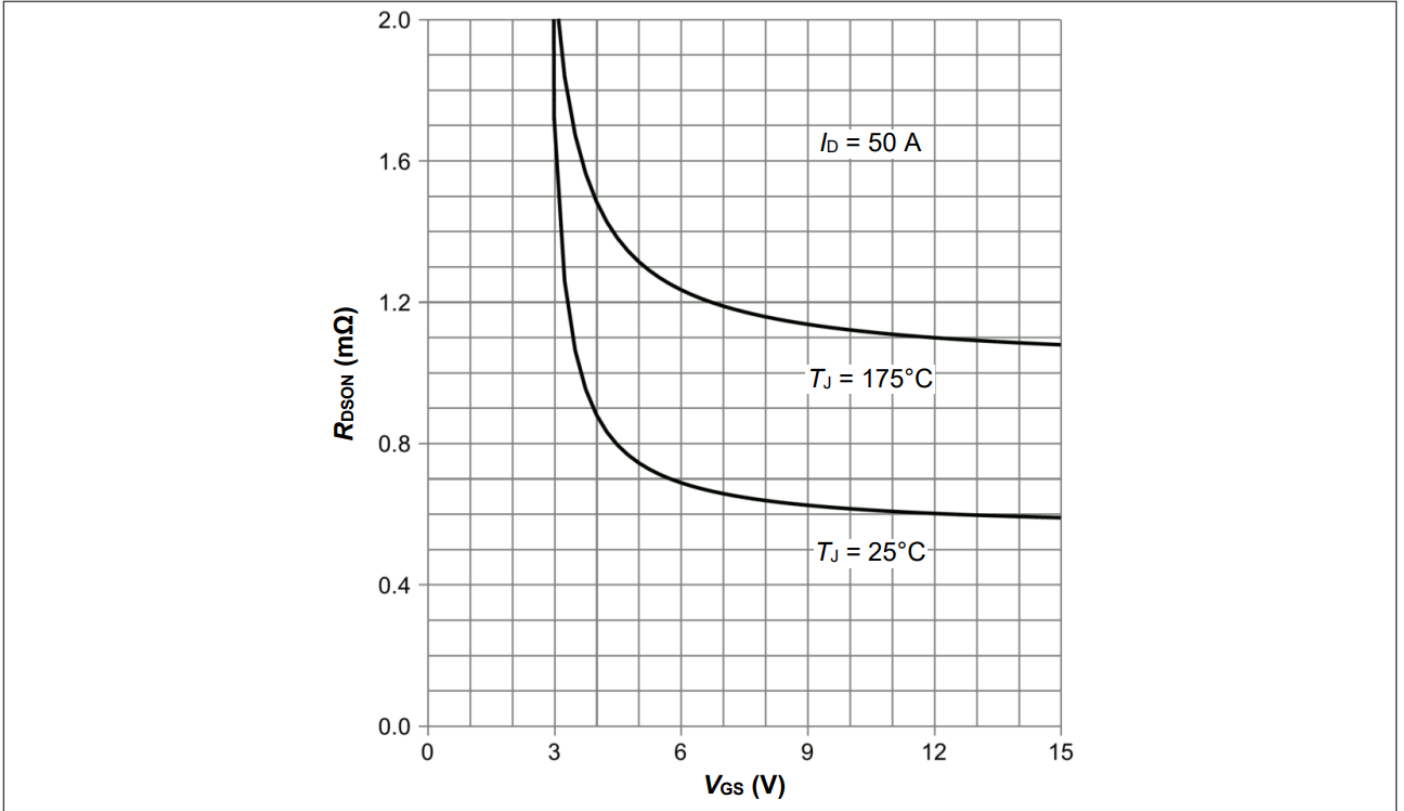


图16 MOSFET的典型 $R_{DS(on)}$ 与 V_{GS} 关系曲线。较高的 V_{GS} 电压会降低 MOSFET 的 $R_{DS(on)}$

6EDL7151 允许设计人员通过 SPI 寄存器调整 MOSFET 驱动电压（PVCC 电压）。相同的值 PVCC 适用于高侧和低侧电荷泵，有四个可能的值：7 V、10 V、12 V 和 15V. 这是通过位域 PVCC_SETPT 完成的。

注意：由于内部电路（二极管）的原因，高侧电荷泵产生的电压预计会略低。参见第 4.6 章。

图17 展示了理想示例，展示了驱动器电源电压和压摆率控制如何在低侧 MOSFET 的理想导通过程中共同发挥作用。图中 A 部分显示了如何通过编程不同的电流值（本例中为 I_{LS_SRC} ）来设置 MOSFET 的 V_{GS} 压摆率。B 部分显示了在栅极驱动器电流 I_{LS_SRC} 固定的情况下，PVCC 变化的情况。

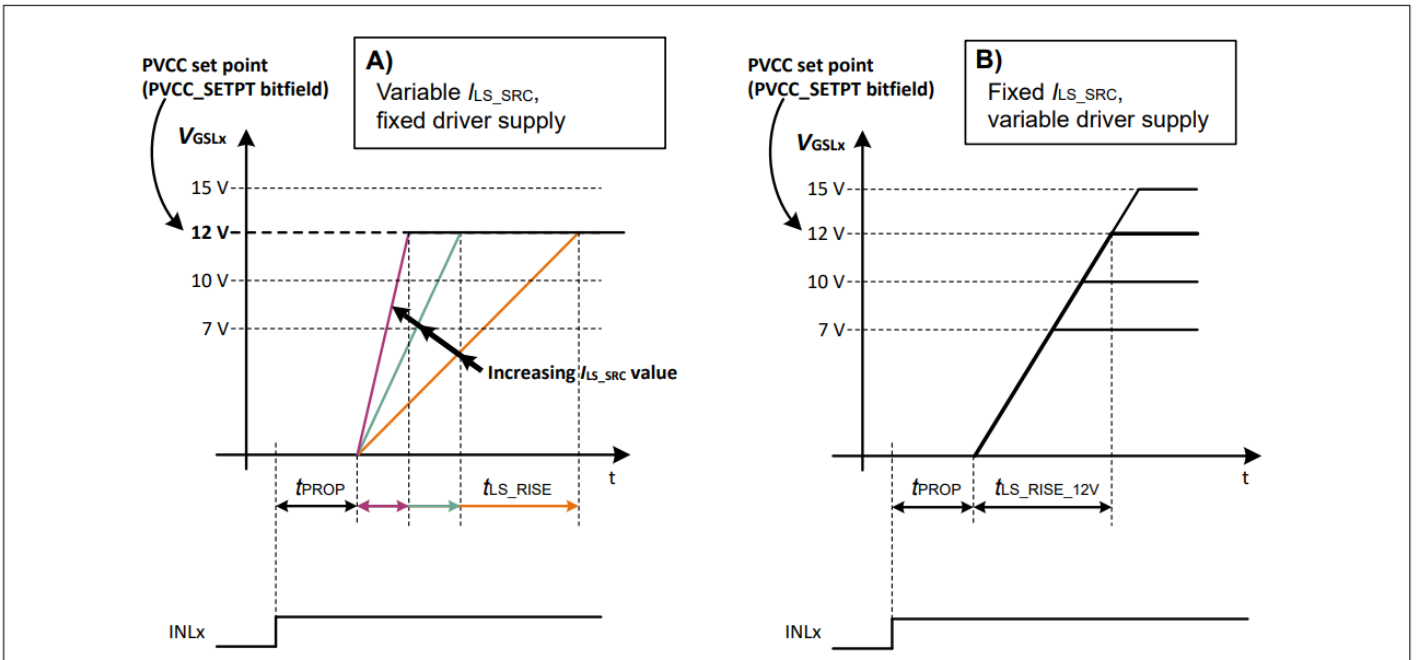


图 17 理想低侧 MOSFET 开关中栅极驱动器压摆率的可配置性，A) 给定一个固定电源电压 ($PVCC = 12\text{ V}$)，变量 I_{LS_SRC} ，B) 固定充电电流， $PVCC$ 的变化产生不同的上升时间

3.3 电荷泵配置

用户可以根据具体需要调整电荷泵的操作。以下部分描述了这些配置。

3.3.1 电荷泵时钟频率选择

电荷泵基于以给定开关频率工作的开关电容电路。6EDL7151 可以通过对寄存器 CP_CFG 中的位域 CP_CLK_CFG 进行 SPI 编程来选择四种不同的时钟频率。必须根据此配置选择电荷泵的飞跨电容器和槽路电容器，它们都会影响 $VCCLS$ 和 $VCCHS$ 轨的启动时间以及这些引脚可能出现的电压纹波。

3.3.2 电荷泵时钟扩频功能

当电荷泵时钟扩频启用时，它会人为地引入频率变化（值见表 21）注入电荷泵时钟信号。电荷泵的工作频率在这些限值之间变化，通过将能量分布在更宽的频率范围内，降低目标频率值上的发射强度。

3.3.3 用于 $VCCLS$ 的电荷泵预充电

电荷泵 $VCCLS$ 预充电是一项功能，如果通过 SPI 寄存器启用，则会在 EN_DRV 引脚激活之前将 $VCCLS$ 轨预充电至降压转换器输出电压 (V_{DDb}) 以下。此预充电仅在上电 (CE 周期) 序列之后第一次发生。

在这种情况下，当激活 EN_DRV 以启用驱动器级时，电荷泵需要将 C_{VCCLS} 中的电压从现有的预充电电压上升到 $PVCC$ 选定的值，因此与 C_{VCCLS} 需要充电整个 $PVCC$ 电压的默认情况相比，大大减少了电荷泵的启动时间。

要启用 $VCCLS$ 的预充电，必须设置寄存器 $SUPPLY_CFG$ 中的位域 $CP_PRECHARGE_EN$ 。

3.3.4 电荷泵调节

电荷泵的启动时间定义为 VCCLS 电压达到目标编程电压 (PVCC 设定点) 所需的时间, 取决于以下几个因素:

- 目标电压通过 PVCC_SETPT 位域进行编程。PVCC 电压越高, 启动时间越长
- 电荷泵时钟频率: 更高的时钟频率可缩短启动时间
- 电荷泵电容 (C_{VCCLS} 和 C_{VCCHS}): 以 VCCLS 为例, 较小的 C_{VCCLS} 值会导致:
 - 更高的 VCCLS 纹波
 - 启动时间短
- 电荷泵飞跨电容器 (C_{CP1} 和 C_{CP2}): 电容器越小, 启动时间就越长。

这些参数的选择也会影响 VCCLS 和 VCCHS 电压纹波。如果设计目标不是短启动时间, 建议增加 C_{VCCLS} 值以降低纹波并改善负载瞬态性能。对于给定的 C_{VCCLS} 值, 飞跨电容 C_{CP1} 的选择也会影响 VCCLS 的纹波和启动时间。

如果需要优化启动时间, 建议使用电荷泵预充电功能。这将在第 3.3.3 章说明。

电荷泵和其余电源的启动行为在第 3.12 章中详细展示。

3.3.5 电荷泵和栅极驱动器保护

栅极驱动器具有以下保护功能:

- VCCLS 欠压锁定
- VCCHS 欠压锁定
- 浮动栅极驱动器下拉
- 死区时间插入, 这将在第 3.1.7 章说明。

3.3.5.1 VCCLS 欠压锁定 (VCCLS UVLO)

如果驱动电压未超过表 21 中规定的 UVLO 阈值, UVLO 会阻止栅极驱动器传播 PWM 信号。

在启动期间, 电荷泵电压 VCCLS 逐渐上升, 直到超过 UVLO 上升阈值并释放 UVLO 状态, 从而允许 PWM 信号传播到栅极驱动器输出。

如果 VCCLS 电源轨过载超过电荷泵的额定最大负载, VCCLS 电压将下降。最终, VCCLS 电压可能会超过 VCCLS UVLO 下降阈值, 从而导致 VCCLS UVLO 故障。请参阅表格 12 了解更多关于 VCCLS UVLO 故障处理的信息。由于 VCCLS UVLO, nFAULT 引脚被拉低, 以便系统中的微控制器可以决定如何进行。

3.3.5.2 VCCHS 欠压锁定 (VCCHS UVLO)

与 VCCLS 类似, VCCHS 电压轨也集成了 UVLO 机制。UVLO 上升和下降阈值可在表 21 中找到。

在启动过程中, 电荷泵电压 VCCHS 会逐渐上升, 直至超过 UVLO 上升阈值, 并释放 UVLO 状态, 从而允许 PWM 输出。如果 VCCHS 电源轨过载超过电荷泵的额定最大负载, VCCHS 电压就会开始下降。随后, VCCHS 电压可能会超过 VCCHS UVLO 下降阈值, 导致 VCCHS UVLO 故障。请参阅表 12。了解更多关于 VCCHS UVLO 故障处理的信息。由于 VCCHS UVLO, nFAULT 引脚被下拉, 以便系统中的微控制器可以决定如何处理。

3.3.5.3 浮栅强下拉

当控制器或栅极驱动器关闭时, 逆变器中的 MOSFET 可能会暴露于非零栅极电压水平。有时这些电压足以激活或部分激活 MOSFET, 从而导致系统故障或损坏, 例如, 逆变器支路中的高侧 MOSFET 和低侧 MOSFET 同时激活。为抑制该现象, 通常在 MOSFET 的栅极与源极之间接入一个弱下拉电阻, 阻值一般在 100 kΩ 左右。

3 功能说明

栅极驱动器关闭时，栅极被下拉至源极，以防止任何导通或部分导通。由于是弱下拉，因此在栅极驱动器工作并正常驱动 MOSFET 时，这不会产生太大影响。然而，这些外部 R_{GS} 电阻需要占用大量的 PCB 面积，并且需要放置在能够优化电源布局且不影响布局的位置。

为了解决这个问题，6EDL7151 栅极驱动器集成了浮动栅强下拉机制，其中包括无源下拉和有源下拉，如图 18 所示。

- 弱下拉：每个栅极驱动器输出的栅极和源极之间始终连接一个弱下拉电阻 ($R_{GS_PD_WEAK}$)。这确保在栅极驱动器关闭（无论是由于 EN_DRV 关闭还是由于器件完全关闭（CE 关闭））期间保持弱下拉。此机制与上面描述的机制 (R_{GS}) 类似。
- 强下拉：此外，在栅极驱动器关闭期间，如果外部栅极到源极电压由于上述任何原因而增加，则会激活更强的额外下拉 ($R_{GS_PD_STRONG}$)，确保紧密下拉并阻碍任何可能的部分导通。

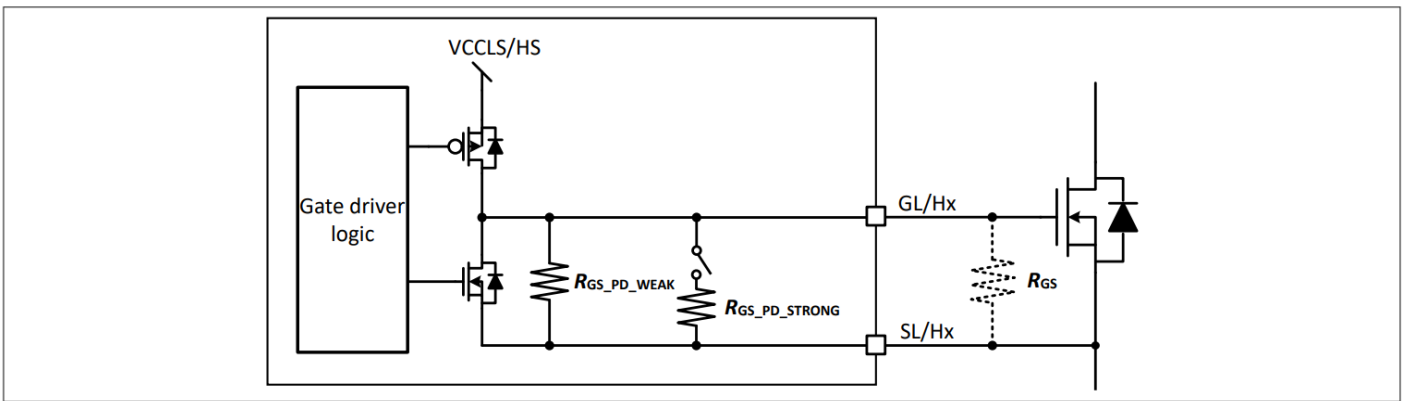


图 18 浮动栅极驱动器下拉电阻。当栅极驱动器关闭且栅极-源极电压升高时，强下拉功能激活。

3.4 供电系统

该设备嵌入了先进的电源系统，包括：

- 包含两个电源开关的同步降压转换器
- DVDD 线性电压调节器可编程输出 3.3 V 或 5 V
- 低侧栅极驱动器的电荷泵（详见第 3.2 章）
- 用于高侧栅极驱动器的电荷泵（详见第 3.2 章）

6EDL7151 的设计目标是最低的 BOM（物料清单）。同步降压转换器不需要二极管、分压器或自举电容器等外部组件，同时由于它使用 NMOS 代替二极管，因此可以降低低侧传导损耗。

降压转换器的总体目标是支持电源系统的其余部分。借助外部电感 L_{BUCK} 和电容 C_{VDD} ，它同时为（高侧和低侧）电荷泵以及集成 DVDD 稳压器供电。与仅采用线性稳压器的系统相比，这种架构显著提高了器件的效率，同时保持了非常紧凑的系统解决方案。此外，它还允许在高额定电源电压 (PVDD) 下工作。

集成 DVDD 线性电压调节器，可为其他外部组件提供 3.3 V 或 5 V 的精确稳定电压。图 19 展示了完整的功率转换器架构和互连的示意图。

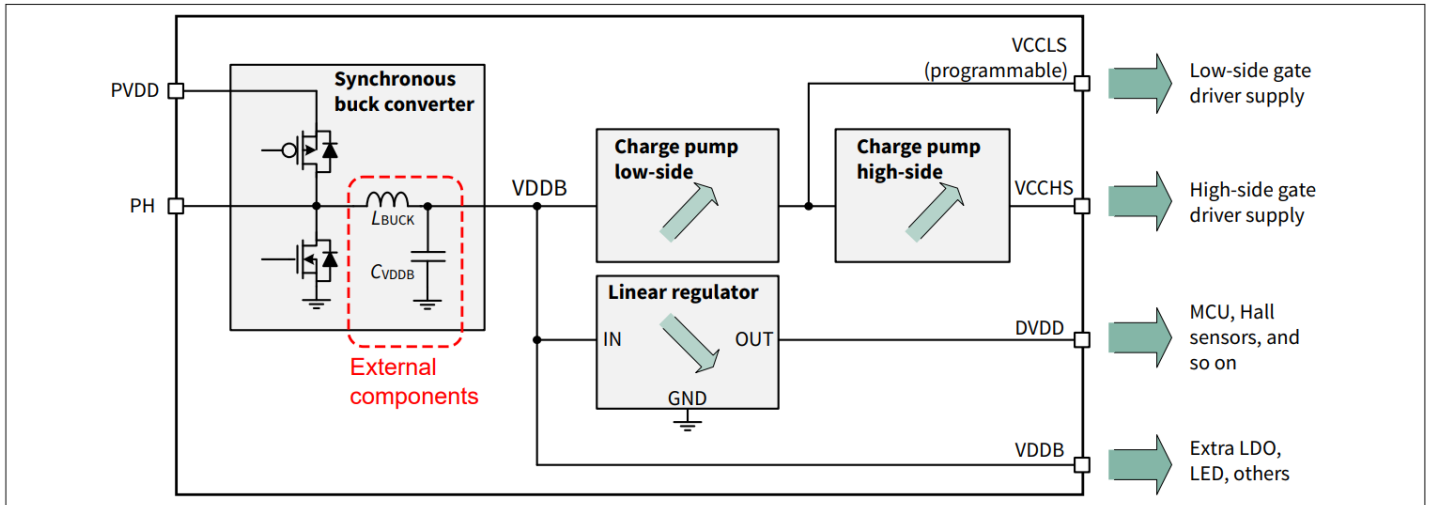


图19 电源转换器架构框图

只要不超过降压转换器（包括电荷泵和线性稳压器）的电流限制，设计人员就可以使用 VDDB 引脚为外部组件供电。尽管如此，降压转换器和线性稳压器都实施了过流保护（OCP），以防止 VDDB 引脚过载时对设备造成任何损坏。集成了额外的过温保护（OTS 和 OTW）以确保设备随时处于正确的热条件下。

3.4.1 同步降压转换器

尽管集成在同一封装中，同步降压转换器的设计却完全独立于其余栅极驱动器电路。这使得供电系统能够抵御栅极驱动器故障。例如，即使栅极驱动器部分发生故障（例如，VCCLS UVLO），降压转换器和线性稳压器仍能运行，从而确保由降压转换器或集成的 LDO 供电的微控制器和其他电路的正常运行。

所采用的控制方法是自适应恒定“开启”时间 (ACOT)。与纯恒定导通时间控制方法相比，ACOT 允许转换期间导通时间发生变化，以避免频率大幅跳跃。结合前馈技术，降压转换器可以以降低的开关频率运行。

可以通过 SPI 从 BK_FREQ 位域为降压转换器选择两种不同的开关频率（500 kHz 和 1 MHz）。第 5.1 章中表 22 提供了每种配置的电感和电容的推荐值。

注释：建议仅通过 OTP 修改降压转换器频率。

同步降压转换器和线性稳压器电路的详细图如图 20 所示。

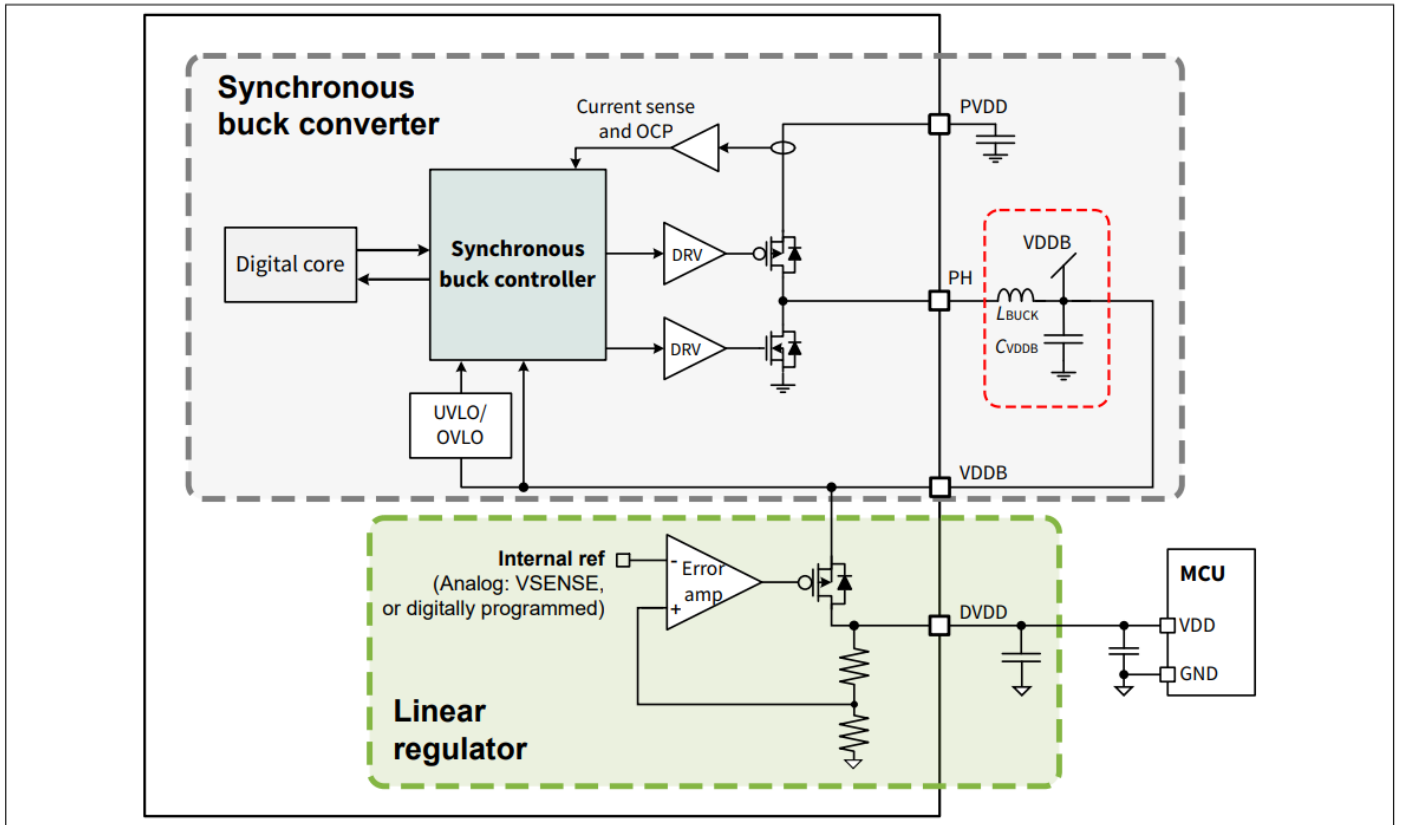


图20 集成同步降压转换器和线性稳压器的细节

3.4.1.1 降压转换器输出电压依赖于PVCC_SETPT

降压转换器的一个重要特性是能够根据用户通过SPI命令配置的目标栅极驱动器电压PVCC（目标栅极驱动器电压）自动调整VDDB目标值。这样做是为了优化器件的功耗。例如，如果驱动电压PVCC为7V，则降压转换器的目标电压将自动设置为6.5V。在这种情况下，电荷泵在“倍压器”配置下仍有足够的空间使PVCC = 7V。VDDB和PVCC之间的关系如表8所示。

表8 降压转换器输出目标电压与PVCC_SETPT设置的关系

PVCC_SETPT bitfield	PVCC target voltage (V)	VDDB (V)
b11	7	6.5
b10	10	7
b00	12	8
b01	15	8

同步降压转换器输出目标电压中需要考虑的另一个重要因素是PVDD或电源电压。如果6EDL7151采用相对较低的供电电压，则适用VDDB_{NOM_LV}额定值（参见表21）。在这种情况下，降压转换器在开环中工作，占空比饱和极限由 D_{BUCK_MAX} 给出（见表21）。如果在这种情况下降压转换器负载增加或PVDD电压进一步降低，VDDB电压就会下降。在低侧，VDDB UVLO下降阈值可防止电压跌落至下限。

因此，根据PVDD电压，VDDB有可能无法达到目标电压，从而限制实际的PVCC电压，即使在倍压器配置中也可能不够用。倍增器配置中可能的近似PVCC电压(=VCCL)由以下公式给出：

$$PVCC_{max} \approx \min(PVCC \text{ target voltage}, 2 * VDDDB - 1 \text{ V}) \quad (1)$$

例如，如果 PVDD = 7.5 V，VDDDB ≈ 6.5 V（受低 PVDD 电压限制），如果 PVCC_SETPT 目标为 15 V，则电荷泵上的倍增器能够达到最大值约 $2 * VDDDB - 1 \text{ V} \approx 12 \text{ V}$ 。如果 PVDD 上升至 12 V，则 VCCLS 能够调节至 15 V，因为该值低于/等于该值 = $2 * VDDDB (8 \text{ V}) - 1 \text{ V} = 15 \text{ V}$ 。

参见[章节 4.6](#) 有关 VCCLS、VCCHS 和 PVDD 之间关系的更多详细信息。

3.4.1.2 同步降压转换器保护

实施以下保护措施以确保降压转换器正确运行：

- **输出欠压锁定 (UVLO)**：见[表 21](#) 以获得特定值。
- **输出过压锁定 (OVLO)**：见[表 21](#) 特定值。如果达到该值，降压转换器将关闭，高侧和低侧 MOSFET 将中断任何进一步向输出端传输的能量。
- **逐周期过流保护 (OCP)**：假设电流增加到 OCP 水平（见[表 21](#)（详情请见下文）降压转换器控制器会截断高侧 FET PWM 信号，直到下一个 PWM 周期开始。插入死区时间后，低侧 FET 会相应地进行驱动。

一旦发生过流保护 (OCP) 事件，计数器便会开始对达到峰值电流的每个连续周期进行计数。16 个周期后，降压型 OCP 故障会被触发，nFAULT 引脚（参见[表 12](#)）将被置低，以通知 MCU 可以继续执行校正操作。降压型转换器继续在电流限制下运行，以确保 MCU 获得供电。如果 OCP 在连续三个 PWM 周期内未触发，则计数器将重置，并且不会触发降压型 OCP 故障。如果降压型 OCP 故障被激活，则寄存器 FAULT_ST 中的 BK_OCP_FLT 位域将被置位。

3.4.2 DVDD 线性稳压器

产生 DVDD 的集成线性稳压器可以通过外部电阻 R_{SENSE} 设置为提供 3.3 V 或 5 V，如[表 21](#)所示 或者通过位域 DVDD_SETPT 进行设置。可以通过 SPI 在寄存器 FUNCT_ST 中的位域 DVDD_ST 中读取所选的 DVDD 值。

DVDD 线性稳压器也可用于为集成的电流检测放大器提供偏移，从而实现负电流测量。参见[章节 3.5.4](#) 了解更多详情。如[图 45](#) 所示，线性稳压器在器件升压过程中软启动。降压转换器达到其欠压锁定 (UVLO) 电平 ($V_{VDDDB_UVLO_R}$) 后，经过延迟时间 $t_{DVDD_TON_DELAY}$ ，并且 CS_GAIN/AZ 和 VSENSE/nBRAKE 的模拟编程完成。DVDD 上升时间可通过 SPI 接口利用位域 DVDD_SFTSTRT 进行配置。

DVDD 线性稳压器及其与降压转换器相互作用的示意图如[图 20](#)所示。

DVDD 电压可用于为微控制器 (MCU) 和电路中的附加元件（如霍尔传感器、LED 等）供电。

3.4.2.1 DVDD 线性稳压器 OCP

DVDD 具有 OCP 机制，可通过写入寄存器 DVDD_OCP_CFG 在四个不同级别之间进行配置。如果达到 DVDD 的 OCP 值，则会在 nFAULT 引脚上报告故障。DVDD OCP 工作在两个不同的阶段，如[图 21](#)所示：

1. **所选过流保护 (OCP) 电平达到 66% 时进入预警模式**：nFAULT 引脚被下拉，向控制器发出已发生过流保护 (OCP) 警告的信号。如果电流在达到 100% 之前降低，则系统将正常操作，并释放 nFAULT 引脚。预警模式为微控制器提供了额外的时间来决定如何应对可能发生的 DVDD 过流保护 (OCP) 事件。
2. **所选 OCP 电平为 100% 时的限流模式**：如果电流超过配置的 OCP 电平，DVDD 稳压器将开始限制输出电流。这会导致 DVDD 电压下降，最终在超过 DVDD UVLO 阈值时导致 DVDD UVLO 故障。由于此限制，DVDD 电源轨上可能发生的短路不会影响系统的其余部分，从而确保其他组件的安全。

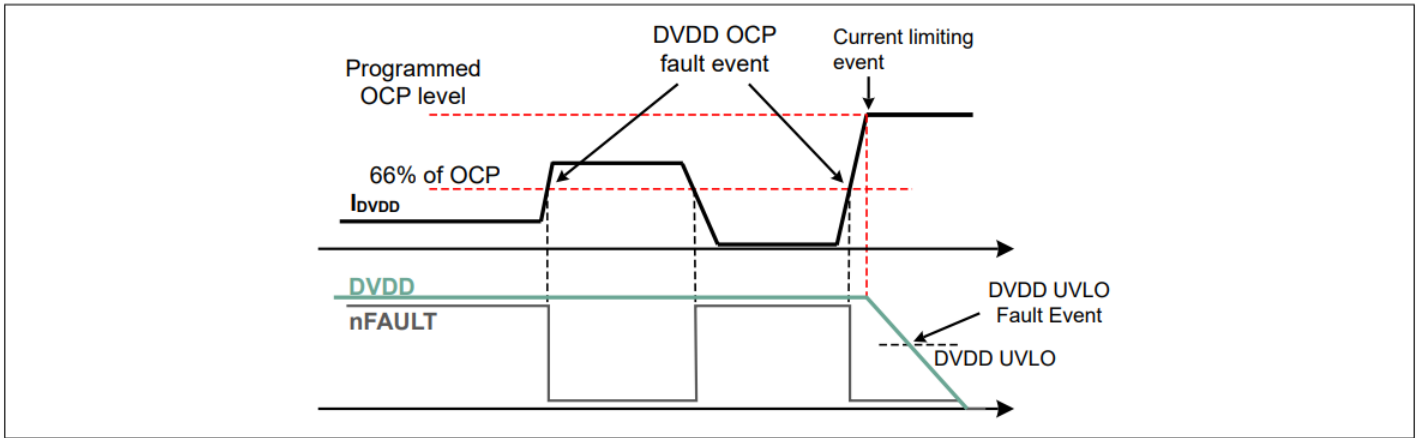


图 21 DVDD OCP 行为，包括预警和限流模式

注释：在设备加速期间，DVDD 中的 OCP 受到抑制，以避免 DVDD 去耦电容器（最终为大电容器）的初始充电触发 OCP 故障。

过热故障（OTS 和 OTW）提供了额外的保护级别。如果设备温度过高，例如 DVDD 线性稳压器或降压转换器输出过大的负载电流，这些电路就会跳闸。

3.5 电流检测放大器

该器件集成三个电流检测放大器，可用于通过分流电阻测量电源逆变器中的电流。支持单、双和三分流电阻测量，如图 22 所示。

CS_EN 位位域单独启用每个电流检测放大器。增益和偏移在内部产生并且可编程。

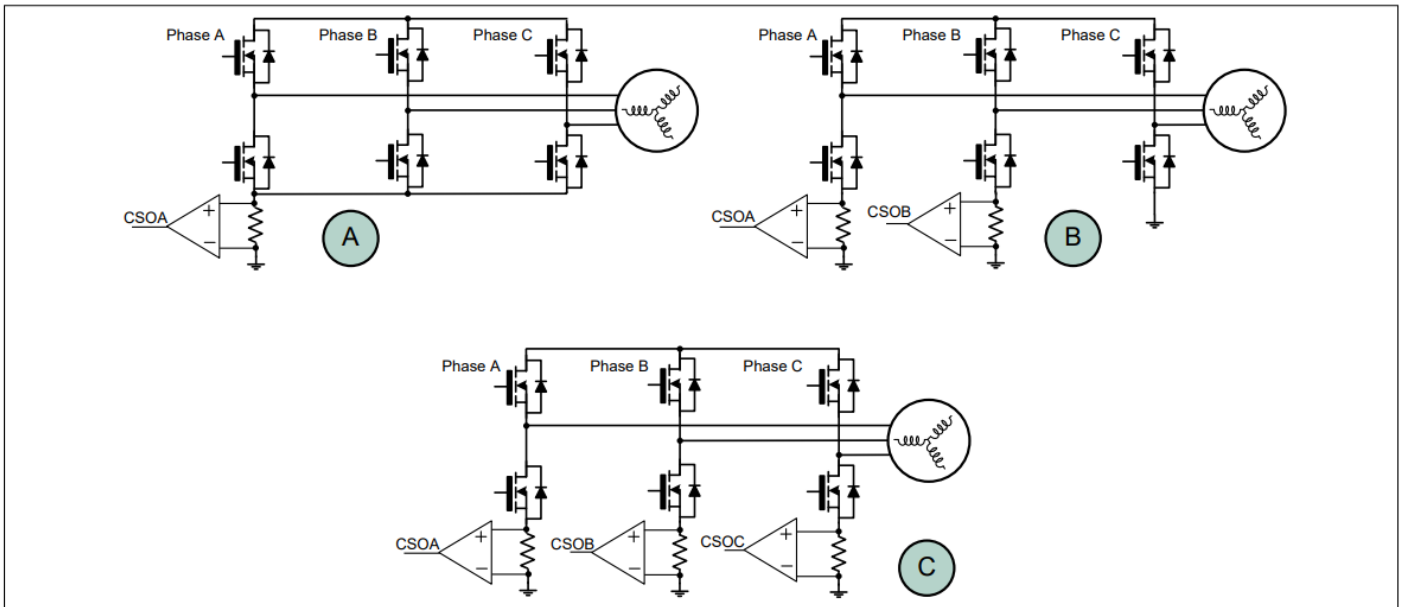


图 22 单 (A)，双 (B) 和三 (C) 分流电流感应配置

电流检测放大器模块包含以下子模块，本节将对其进行详细说明：

- **电流检测放大器：**连接到外部分流电阻或内部连接到 SHx 和 SLx 引脚，用于 $R_{DS(ON)}$ 检测配置。该模块将分流电压或低侧 V_{DS} 电压放大到更适合微控制器 ADC 的电压电平。当噪声干扰测量时，它还可以消隐与 PWM 转换同步的信号。

3 功能说明

- **输出缓冲器**：允许在感测放大器输出端添加可变偏移电压。偏移量可通过编程内部产生的电平设置为四个不同的值。通过此实现，可以测量分流电阻中的负电流。此外，它还可以根据系统条件优化控制器ADC的动态范围。
- **正过流比较器**：用于检测电机绕组正向分流电压的过流情况。该比较器可用于在块状或梯形换向方案中应用PWM截断，将电机电流限制在配置的OCP阈值内。
- **负过流比较器**：用于检测电机绕组负分流电流的过流情况。
- **OCP 数模转换器 (DAC)**：用于设置过流比较器的阈值。一个用于正电平，另一个用于负电平。DAC 电平的设置由三个不同的 OCP 比较器共享。

电流检测放大器自动“自动归零”。这发生在操作期间并确保设备使用寿命期间的最佳测量精度。此外，6EDL7151 还包括电流检测放大器的直流校准模式，可用于在已知分流电流为零时计算残余偏移，例如，因为还没有 PWM 传播到 MOSFET。微控制器固件可以从未来的测量中删除这个初始偏移值，以提高准确性。

图 23 显示这些块及其互连。

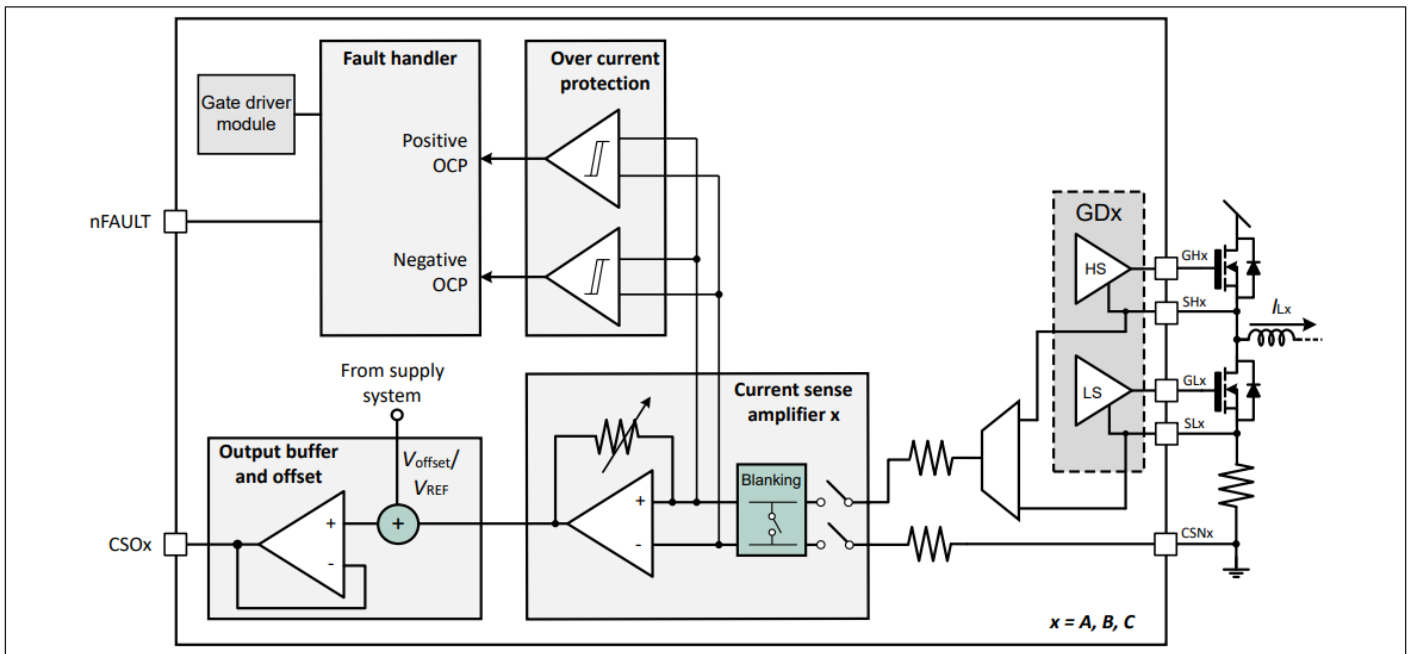


图 23 电流检测放大器框图

注意：建议停用未使用的电流检测放大器。

3.5.1 RDSON 感应和分流电阻感应模式

6EDL7151 中的电流检测放大器可配置为分流电阻检测或 $R_{DS(on)}$ 检测，其中 MOSFET 的“导通”电阻用作分流电阻，从而实现“无损”测量。在 $R_{DS(on)}$ 检测模式下，6EDL7151 将低侧 MOSFET 的漏极连接到电流检测放大器的正输入端。负输入连接到源极，如图 24 所示。这与图 25 所示的分流电阻感测模式形成对比，其中电流检测放大器的正输入连接到低侧 MOSFET 的源极。内部串联电阻有助于在放大之前滤除可能产生的噪声。根据电路和电路板设计，在 SLx 和 CSNx 引脚之间放置一个小型滤波电容可以帮助净化电流信号。

3 功能说明

注释: $R_{\text{DS(on)}}$ 感应模式仅适用于三相电流感应 (图 22 中的配置 C 所有放大器均处于 $R_{\text{DS(on)}}$ 感应模式, 并且分流电阻器被移除)。

注释: 在 $R_{\text{DS(on)}}$ 感应模式下, CSAMP (电流感应放大器) 被强制设置为 $\text{CS_TMODE} = \text{b00}$, 这意味着当 GLx 信号为高电平 (GL ON 模式) 时, 电流感应放大器输出有效。如果 CS_TMODE 位域写入非 b00 的值, 内部逻辑将忽略该配置。

注释: 如果需要, $R_{\text{DS(on)}}$ 测量的温度补偿必须在 MCU 上进行。

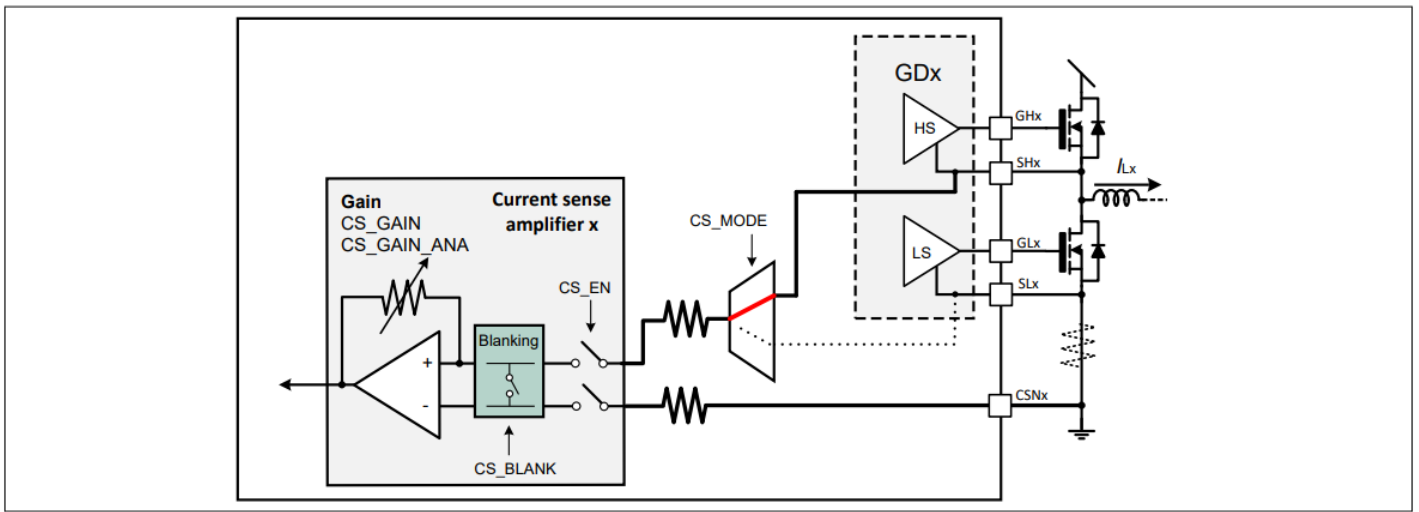


图 24 低侧 $R_{\text{DS(on)}}$ 感应配置的系统图

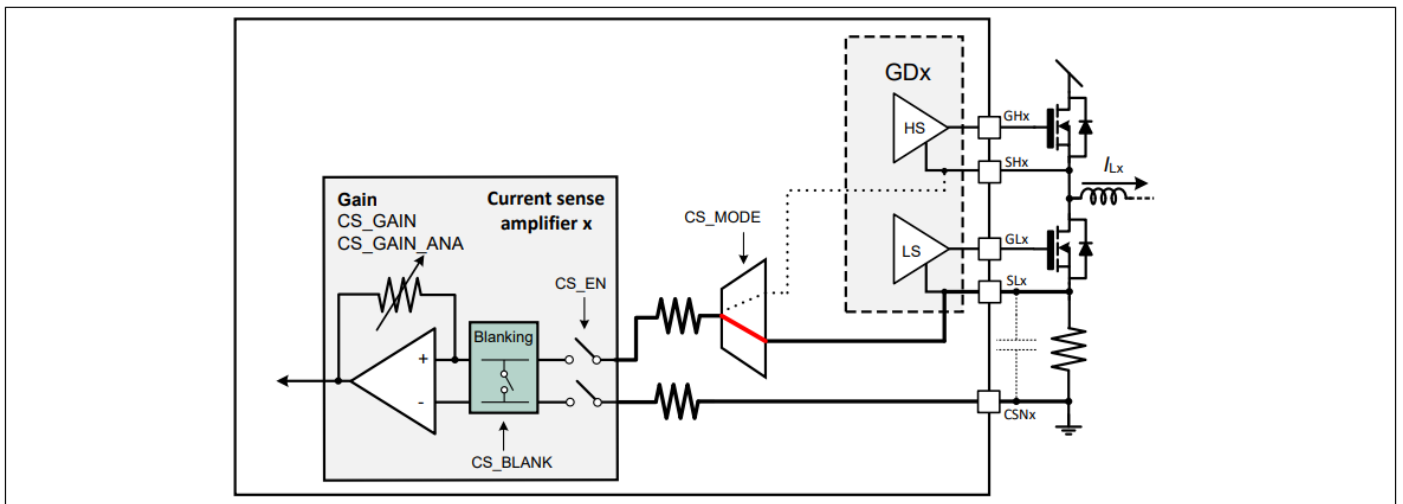


图 25 分流电阻感测配置的系统图

3.5.2 电流检测放大器时序模式

在驱动应用中, 电流通常通过支路分流器进行采样。在这种情况下, 仅当低侧 MOSFET 导通时, 分流器中需要放大的电压才会出现。在其他情况下, 连续传播信号可能会有用。6EDL7151 支持电流感应放大器的四种不同操作模式, 具体取决于输出引脚 CSOx 何时连接到放大器级。这四种模式是:

- **始终关闭:** 电流检测放大器输出停用。这是通过寄存器 CSAMP_CFG 中的 CS_EN 位域停用放大器来实现的。

3 功能说明

- GL ON**：在此模式下，仅当同一条腿或同相 GLx 信号有效时，CSOx 引脚才连接到放大器。在单分流模式下，CSOx 根据所有两个或三个 GLx 信号的“或”运算连接。如果启用了两个或三个放大器，则用于启用 CSOx 的信号专用于该 GLx 信号。如果选择了 $R_{DS(on)}$ 感测，则强制使用此模式，以防止内部电路出现任何可能的过压损坏。要启用此模式，必须通过 CS_EN 位域启用放大器，并通过写入寄存器 SENSOR_CFG 中的 CS_TMODE 位域来选择时序模式。
- GH OFF**：与 GL ON 类似，此模式在 GL ON 期间连接 CSOx 输出，但连接会延伸至上升沿和下降沿的死区时间，因此比 GL ON 模式更长。在某些情况下，例如二极管再循环电流期间，二极管可能会承载有用的电流，尤其是在 PWM 脉冲非常窄的情况下。与 GL ON 相同，单分流器将对 GLx 激活信号进行逻辑或运算，并且仅根据每个 GLx 信号激活三种分流器模式。要启用此模式，必须通过 CS_EN 位域启用放大器，并通过写入 CS_TMODE 位域选择时序模式。
- 始终开启**：此模式持续将激活的放大器 CSOx 信号连接到放大器，不受 PWM 信号影响。要启用此模式，必须通过 CS_EN 位域启用放大器，并通过写入 CS_TMODE 位域选择模式。

图 26 显示了电流检测放大器在 GL ON 和 GH OFF 两种模式下的比较，该电流检测放大器采用分流电阻检测配置，并包含三个有源放大器。当二极管再循环电流时，GH OFF 模式可能会传播电流信息。自动归零发生在一个 GHx 上升沿。

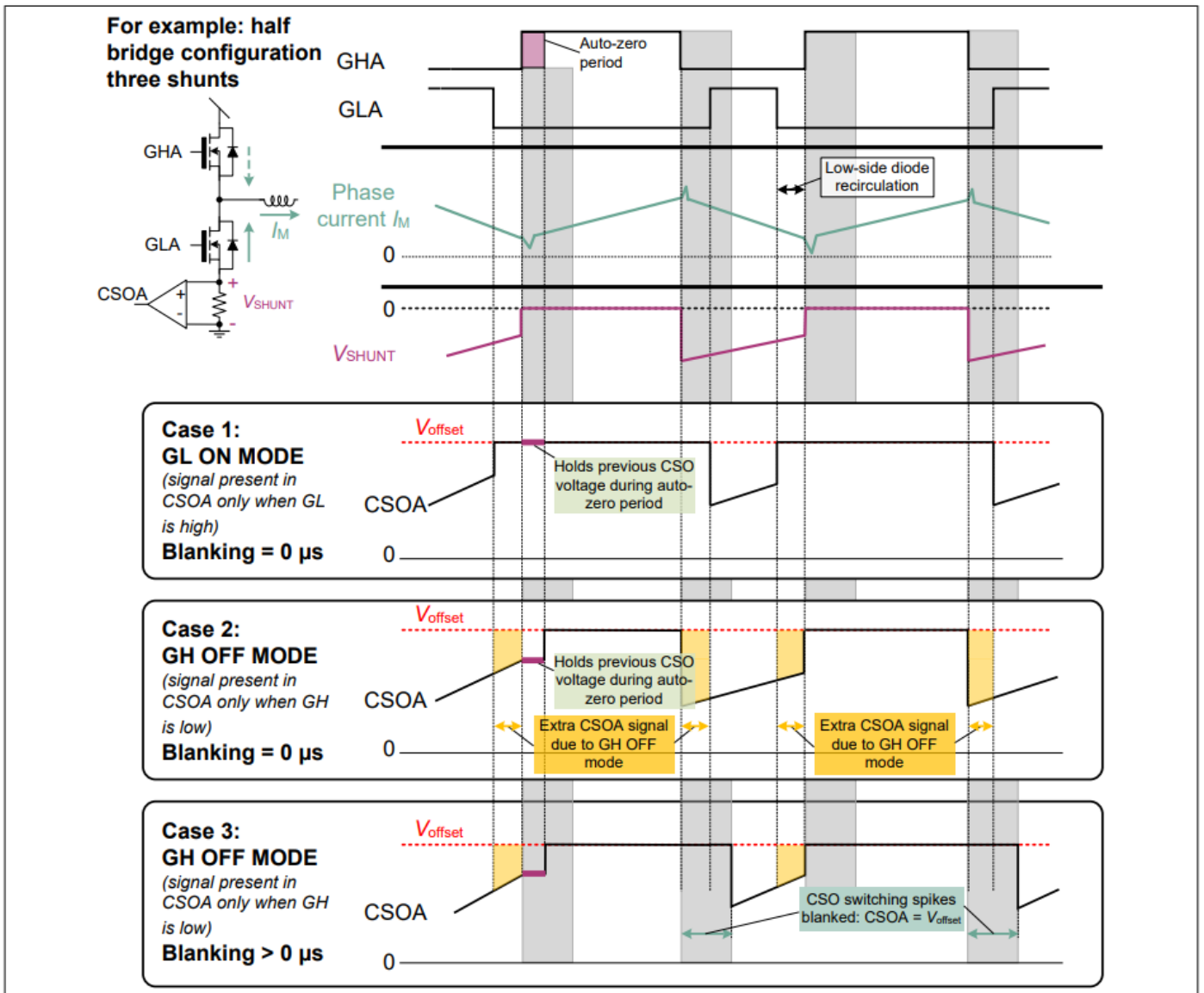


图 26 电流检测放大器理想时序模式示例

3.5.3 电流检测放大器消隐时间

可以在电流检测放大器中配置可编程消隐期，目的是防止在 MOSFET 开关转换期间将失真信号传输到微控制器 ADC。由于 SHx 和 SLx 引脚（或 CSNx）上的电压都可能因开关活动而产生振铃，因此消隐模块会在可配置的消隐时间内 (t_{CS_BLANK}) 断开输入。此操作与驱动外部 MOSFET 的 GHx 信号（上升沿和下降沿）同步发生。

在消隐时间内，引脚 CS0x 会显示 V_{offset} 电压，直到编程的消隐时间段到期并且输入再次连接到电流检测放大器。

图 27 中显示了两个示例：

示例 A) 表示一个梯形换向方案，有一个分流器，类似于图 73。在这种情况下，一相（B相）的高侧正在切换，而另一相（A相）的低侧始终处于导通状态，从而允许电流流过电机绕组。由于A相的低侧MOSFET在120度旋转期间处于导通状态，因此电流检测放大器会持续放大分流电压（消隐期和再循环期除外）。这些消隐期对应于高侧的上升沿和下降沿（对所有相进行“或”运算）。在这种情况下，分流器两端的电压为正。

示例 B) 对应于通用半桥配置（例如，同步降压转换器）。在这种情况下，当高侧导通时，电感器中的电流在互补周期内增加，当高侧关闭且低侧在死区时间后导通时，电流流过低侧并开始减小。在低侧导通期间，电流检测放大器产生如图所示的输出，该输出与分流器两端的电压成比例，在这种情况下，该电压为负。

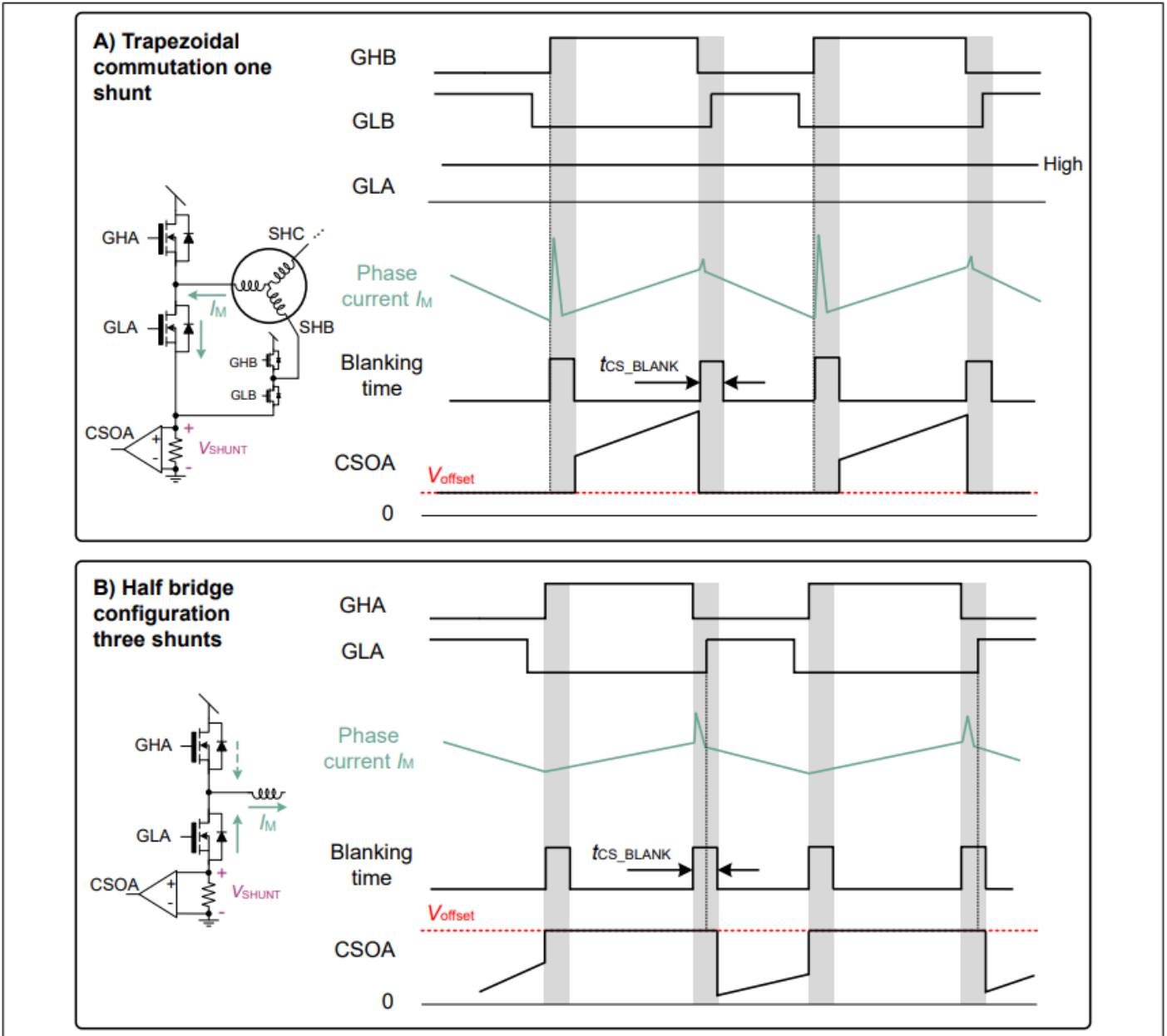


图 27 利用消隐时间功能抑制 MOSFET 开关期间的电流尖峰的电流量测量时序图

3.5.4 电流检测放大器 偏移生成

内部线性稳压器 DVDD 用于所有集成电流检测放大器的偏移生成。DVDD 电压被缩小到不同的可编程值，以调整所需的偏移电压水平。位域 CS_REF_CFG 控制该比例因子。

一些微控制器会利用电源电压在内部生成集成 ADC 的基准电压。这样，微控制器就能以比例式精确测量电流检测放大器的输出，从而提高抗噪能力。图 28 显示了代表此实现的框图。

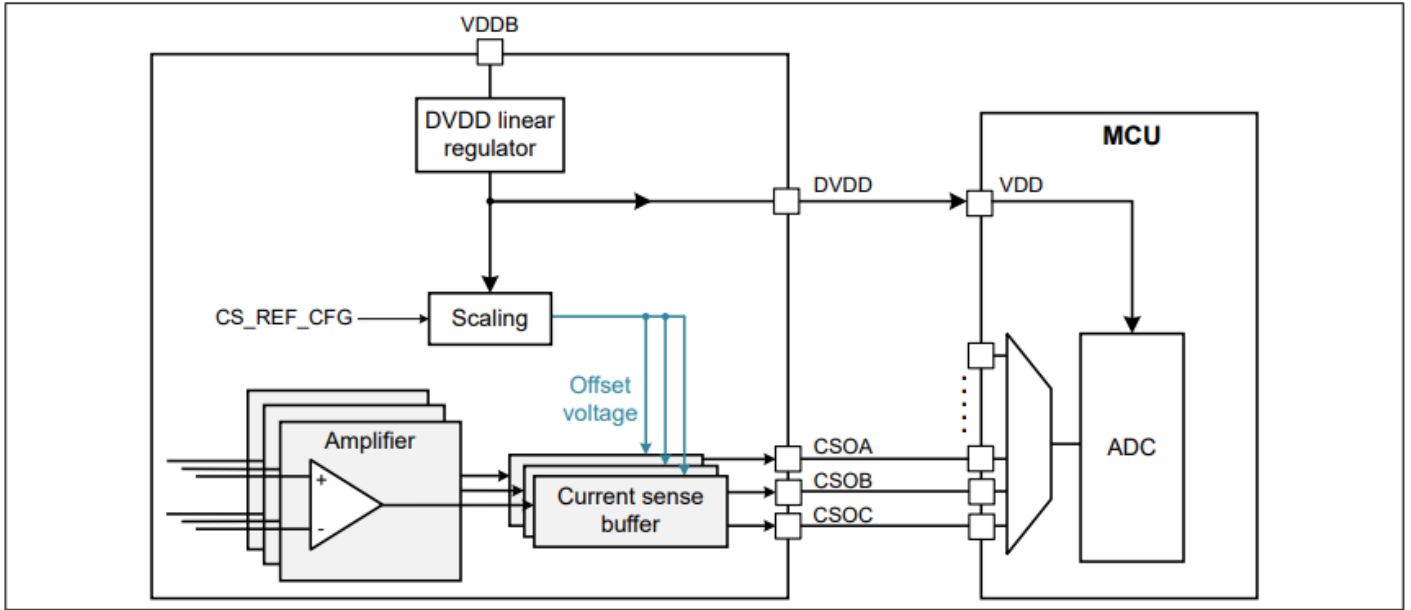


图28 电流检测放大器偏移产生框图

3.5.5 电流检测放大器

集成两个过流比较器，用于监控正向和负向电流，并具有广泛的可编程性。图29显示了此实现的示意图。两个比较器均监测流过分流器的电流。触发电平与电流检测放大器的增益设置无关，定义为分流器两端的电压。比较器具有迟滞功能 (VCS_OC_HYS)，可确保稳定的工作。

比较器的正负触发电平由两个独立的数模转换器 (DAC) 设置。这些 DAC 通过位域 CS_OCP_PTHR 进行编程，用于正向过流保护；通过位域 CS_OCP_NTHR 进行编程，用于负向过流保护。有关可能的阈值电平，请参阅第 3.16 章中的寄存器描述。

在到达故障处理程序之前，可以通过对寄存器 CS_OCP_DEGLITCH 进行编程来实现比较器输出的去毛刺，在故障处理程序中处理故障（参见第 3.14 章），并最终拉低 nFAULT 引脚，向微控制器或其他电路报告故障。

或者，比较器输出传输至 PWM 模块。PWM 截断可通过位域 CS_TRUNC_DIS 启用。如果 PWM 截断被激活，PWM 模块会立即中断 PWM 信号，而无需等待微控制器在达到 OCP 电平时做出此类决定。这确保了对 OCP 事件的最快响应。PWM 截断的详细说明请参见第 3.5.5.4 节。

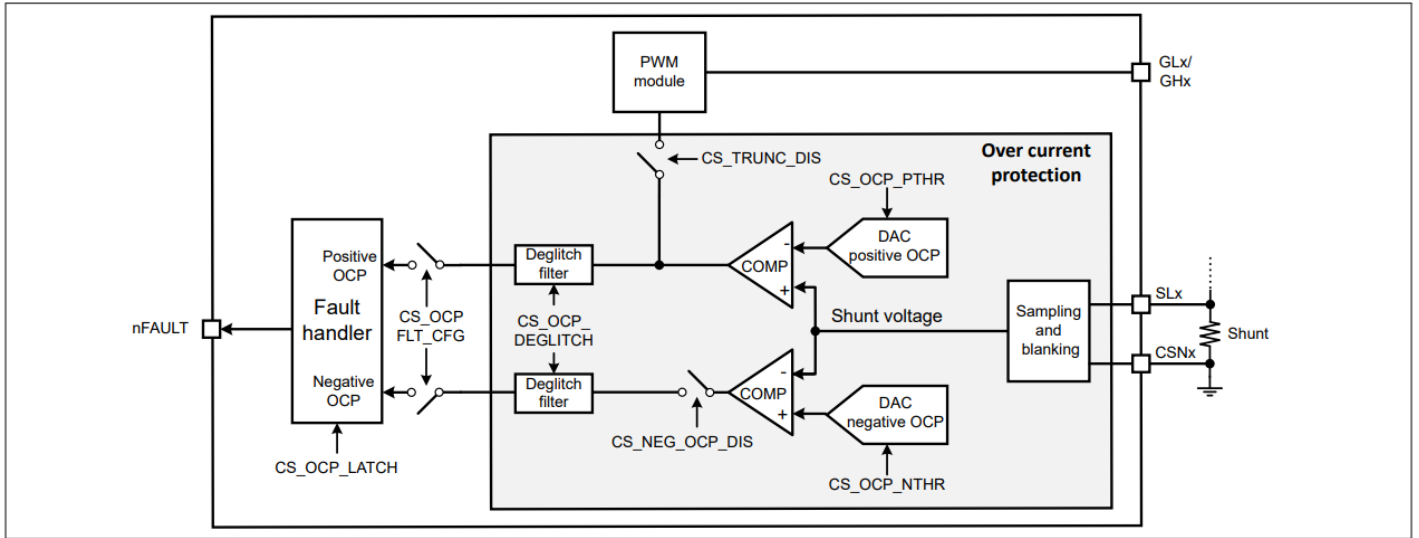


图29 电流检测放大器保护原理框图

3.5.5.1 OCP 用例

对 OCP 事件的反应可通过 SPI 进行编程。以下场景可能对不同的应用程序有用：

- 在 OCP 事件后立即应用 **PWM 截断**，并在 OCP 事件后在 nFAULT 引脚上报告 - 如果启用了 PWM 截断，则停用去毛刺功能。这在梯形控制方案中很有用。
- **停用报告并保留 PWM 截断**。这在不需要向微控制器报告功能的事件中非常有用。这在梯形控制方案中很有用。
- 在发生 OCP 事件时**触发可配置的制动操作**。如果不需要 PWM 截断，可以将制动事件配置为例如通过短路所有低侧 MOSFET 来制动电机。通过使用去尖峰脉冲功能，可以滤除模拟信号中可能存在的噪声，避免 OCP 误跳闸。鉴于其灵活性，此配置对于 FOC（磁场定向控制）方案非常有用。第 3.1.6 章和第 3.14 章将更详细地解释制动操作。
- **停用 OCP 保护**，保留 nFAULT 报告和 PWM 截断。在这种情况下，OCP 将被忽略。这对于过渡状态或停止程序可能也很有用。

这些配置也可以在设备活动状态下进行调整。还可以通过位域 CS_OCP_LATCH 选择 OCP 故障是在单个事件还是多个事件上跳闸以及是否锁存。

3.5.5.2 OCP故障报告

OCP 故障可以通过拉低 nFAULT 引脚报告给 MCU。寄存器 CSAMP_CFG 中的 CS_OCPFLT_CFG 允许用户设置触发 OCP 故障的连续事件的目标数量（电流高于 OCP 阈值的 PWM 周期）。这意味着用户可以将设备配置为等待几个 PWM 周期再声明故障，因此更加保守。有三种可能的选择：无故障、立即触发（即所有事件触发）或一定数量的计数（8 或 16）触发。计数模式的逻辑如下：

1. 每次发生 OCP 事件时，计数器就会递增。所有三个阶段都有专用计数器。
2. 如果任何计数器（ORing）达到 CS_OCPFLT_CFG 中配置的目标值，则故障被触发并且 nFAULT 引脚被拉低。
3. 如果在达到目标值之前，连续三个 PWM 周期都没有发生 OCP 事件，则计数器将重置为 0 值，并在下次发生 OCP 事件时重新开始。

3.5.5.3 OCP故障锁存

OCP 故障可通过位域 CS_OCP_LATCH 配置为锁存或非锁存。这定义了如何通过寄存器写入来清除故障。如果配置为锁存：

3 功能说明

- 并且在计数模式（8 或 16）下：直到整个 PWM 周期没有故障，才能清除故障。
- 并且在立即或所有事件模式下：只有在故障条件解除后才能清除故障。

如果没有锁存，故障可以随时清除。如果清除后条件仍然存在，则清除事件后将再次设置故障。无论锁存器配置如何，状态寄存器都会显示故障发生。

3.5.5.4 PWM截断

PWM 截断是一种通过在 OCP 检测后立即关闭 PWM 信号来从本质上限制流入电机的电流的方法。这样，当达到配置的峰值电流水平时，GHx 信号（所有三个）都会自动下拉。低侧保持不受影响，直到下一个 PWM 周期电机电流再次增加。这发生在 PWM 逐周期基准中。图 30 详细展示了 PWM 截断的示例。

注释：除具有交替再循环的 1PWM 模式外，截断总是发生在高侧，其中截断在高侧再循环期间发生在低侧，在低侧再循环期间发生在高侧。

如果启用，PWM 截断将在所有阶段的 OCP 事件发生时发生。例如，如果在电流检测放大器 A 中触发保护，则 A、B 和 C 相中的 PWM 信号将被截断。这使得单分流系统能够利用任何电流检测放大器。

消隐应用于高侧上升沿和下降沿的截断逻辑，如图 27 所示，使用位域 CS_BLANK 配置消隐时间。所有相位的消隐都经过“或”运算，以防止在用户选择的消隐时间内发生 PWM 截断的错误触发。

如果启用了 PWM 截断，则去毛刺滤波器将自动停用，这意味着 nFAULT 引脚仅发出信号，表明发生了 PWM 截断。

注意：根据所使用的 PWM 调制方式，PWM 截断可能无法提供预期结果。在调制方案中，例如 SVM FOC（空间矢量调制磁场定向控制）等可能在给定时间内有多个相为电机供电的方案中，建议停用截断并改用 OCP 故障。

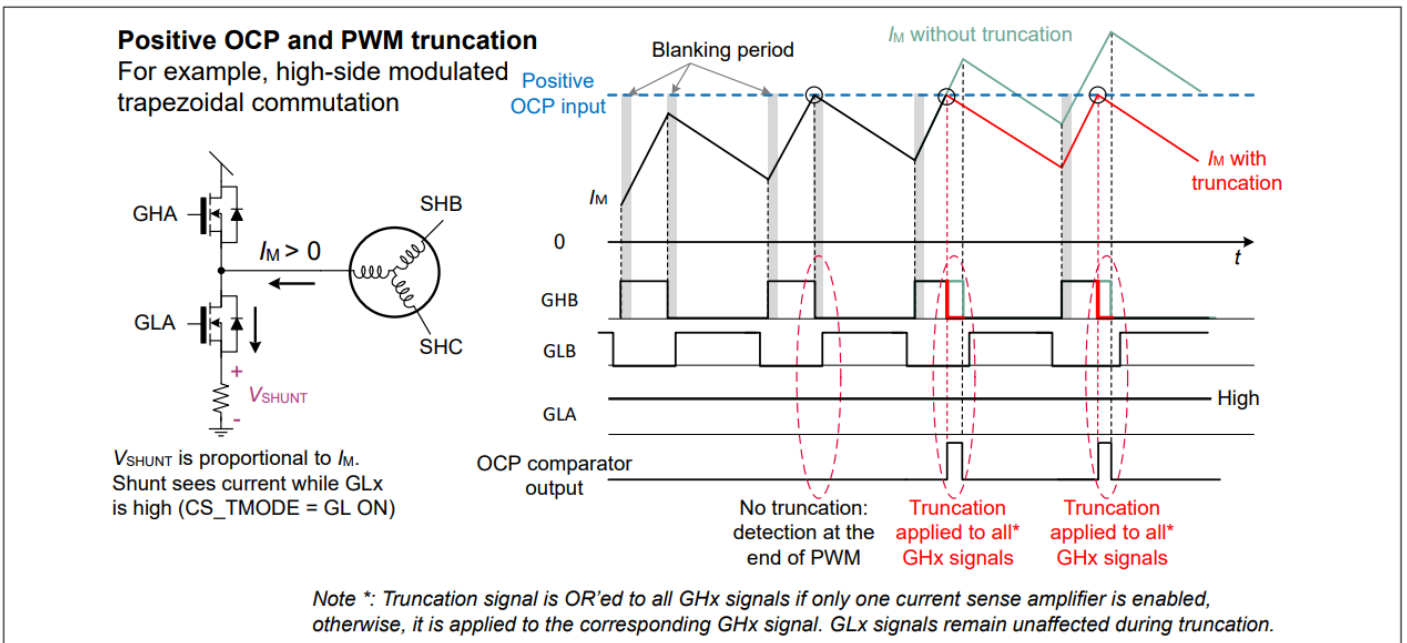


图 30 正向 OCP PWM 截断示例

3.5.6 电流检测放大器增益选择

电流检测放大器的增益可以通过位域 CS_GAIN 以数字方式编程为以下值之一：4、8、12、16、20、24、32 和 64。或者，可以通过连接外部电阻 R_{CS_GAIN} 从 CS_GAIN/AZ 引脚接地来选择增益。为了通过外部电阻启用电流检测放大器的模拟编程，用户必须确保位域 CS_GAIN_ANA 已正确设置。 R_{CS_GAIN} 的值在器件启动期间进行评估（参见 章节 3.10.3）。表 9 通过模拟和数字编程提供增益选择的电阻值和寄存器设置。

表 9 电流检测放大器增益的编程

Gain value	Digital programming	Analog programming
	CS_GAIN (Hexadecimal)	R_{CS_GAIN} (k Ω)
4	0x0	0
8	0x1	1.5
12	0x2	3.0
16	0x3	4.7
20	0x4	6.2
24	0x5	7.5
32	0x6	9.1
64	0x7	11

注释：对于模拟编程，建议电阻的公差为 1% 或更低。

电流检测放大器增益的实际值可以通过寄存器 FUNCT_ST 的位域 CS_GAIN_ST 读取。

3.5.7 电流检测放大器直流校准

6EDL7151 具有电流检测放大器的校准方法。例如，这有助于在电机启动之前消除放大器输出中任何不必要的偏移。通过位域 CS_EN_DCCAL 配置激活直流校准模式（仅在 EN_DRV 为高时处于活动状态）将短路放大器的输入。一旦启用 DC 校准，CSOx 引脚上的输出就可以通过 MCU 中的精确 ADC 通道进行测量，以记录放大器中任何可能的偏移。可以从 MCU 的未来测量中减去 CSOx 引脚上的过高电压，例如通过软件方式。建议在 PWM 启动之前执行直流校准，此时已知分流器中的电流为零。

一旦捕获到偏移值，MCU 应将 CS_EN_DCCAL 位域设置回 b0，以结束校准过程并将运算放大器重新连接到输入引脚。此后 PWM 信号可以启动。

注释：如果启用自动归零，则在直流校准期间每 100 μ s 执行一次，而不是每 200 μ s 执行一次。

3.5.8 电流检测放大器自动归零

电流检测放大器若未进行校正，在运行过程中容易累积偏移。这可能是由于温度或老化效应造成的。电流检测放大器的自动归零功能可自动补偿放大器中任何可能的漂移。放大器内部会短路输入端，以在 t_{AUTO_ZERO} 时间段内校正任何可能的过量偏移。在自动归零期间，CSOx 引脚会保持自动归零启动前的电压。

可以通过寄存器 CSAMP_CFG2 中的位域 CS_AZ_CFG 停用自动归零功能。

3.5.8.1 内部自动归零

如果通过位域 CS_AZ_CFG 配置为内部触发或内部同步，则自动归零周期将从上一个自动归零周期至少 100 μ s 后 GHx (x 取决于激活的电流检测放大器 A、B 或 C) 信号上升沿开始。选择自动归零周期的同步启动方式是为了最大程度地减少对分流电阻检测的干扰。信号行为示例的详细信息如图 26 或图 31 所示。自动归零发生在计时器达到 100 μ s 后的下一个 GHx 上升沿。

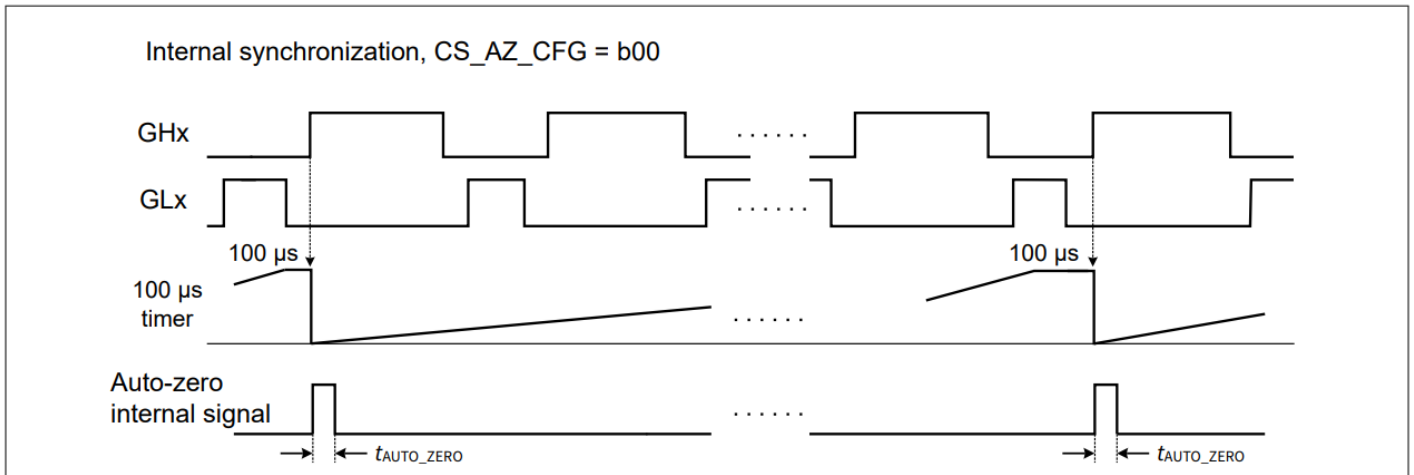


图 31 自动归零操作与 GHx 信号内部同步

在启动过程中，自动归零功能会自动激活，以确保放大器在进入活动状态之前得到优化。这发生在电荷泵启动期间，即从 EN_DRV 开启直到电荷泵 UVLO 释放。

如果在给定时间内 ($t_{\text{AUTO_ZERO_CYCLE}}$) 没有发生 GHx 上升沿，例如在 6 步换向中低侧长时间完全开启，则内部看门狗会强制执行自动归零补偿。待机状态下，自动归零功能将继续执行。

注释：当自动归零周期结束且 CS0x 恢复正常时，预计会出现轻微的电位毛刺。该毛刺可以通过消除或滤除，例如在 ADC 转换之前的信号路径上进行消除或滤除。

3.5.8.2 通过 CS_GAIN/AZ 引脚实现外部自动零同步

用户可以通过写入位域 CS_AZ_CFG 来启用自动归零功能的外部同步。在这种情况下，使用 GHx 信号的内部同步将被停用，并且引脚 CS_GAIN/AZ 的下降沿将成为自动归零校正周期的触发信号，如图 32 所示。CS_GAIN/AZ 引脚下降沿触发自动归零校正期。

如果由外部触发，系统中的微控制器可以根据特定的电流检测方法决定何时执行自动归零校正。由于此功能，可以将自动调零效果移开，例如，远离微控制器中的 ADC 采样，这样它可以从自动调零校正中受益，但仍然能够在不受自动调零过程干扰的情况下进行采样。

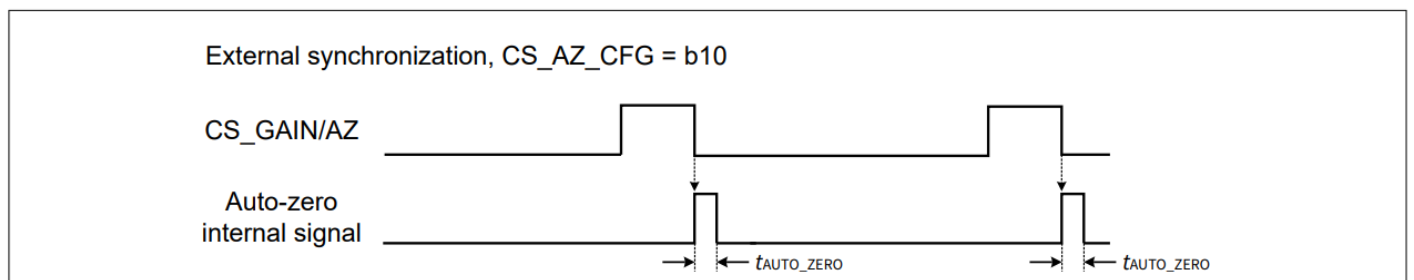


图 32 具有外部同步的自动归零功能

3.5.8.3 通过具有增强传感功能的 CS_GAIN/AZ 引脚实现外部自动归零同步

6EDL7151 允许根据 CS_GAIN/AZ 引脚状态停止电荷泵模块的时钟（时钟门控）。如果该功能由位域 CS_AZ_CFG 激活，则电荷泵时钟从 CS_GAIN/AZ 引脚的上升沿开始门控，直到自动归零周期结束，并且时钟在同一引脚的下降沿之后启动。时钟门控的效果是减少可能耦合到敏感 PCB 信号（如 CS_{Ox} 或其他 ADC 测量电压）到系统 MCU 或其他采样电路的开关噪声。

具有外部同步和电荷泵时钟门控的自动归零如图 33 所示。对电荷泵时钟进行门控，以减少系统中执行敏感测量期间的开关噪声耦合，一个例子是 MCU 中的 ADC 采样周期。

注释：在时钟门控期间，电荷泵停止工作。因此，VCCLS 和 VCCHS 电源轨停止调节，并可能降至其稳定电压以下。在大多数情况下，VCCLS 和 VCCHS 电容维持足够的电压以有效驱动 MOSFET。用户必须遵循第 4 章中规定的工作范围和电气特性。发生故障时，VCCLS 和 VCCHS 均提供 UVLO 保护，以保护逆变器。

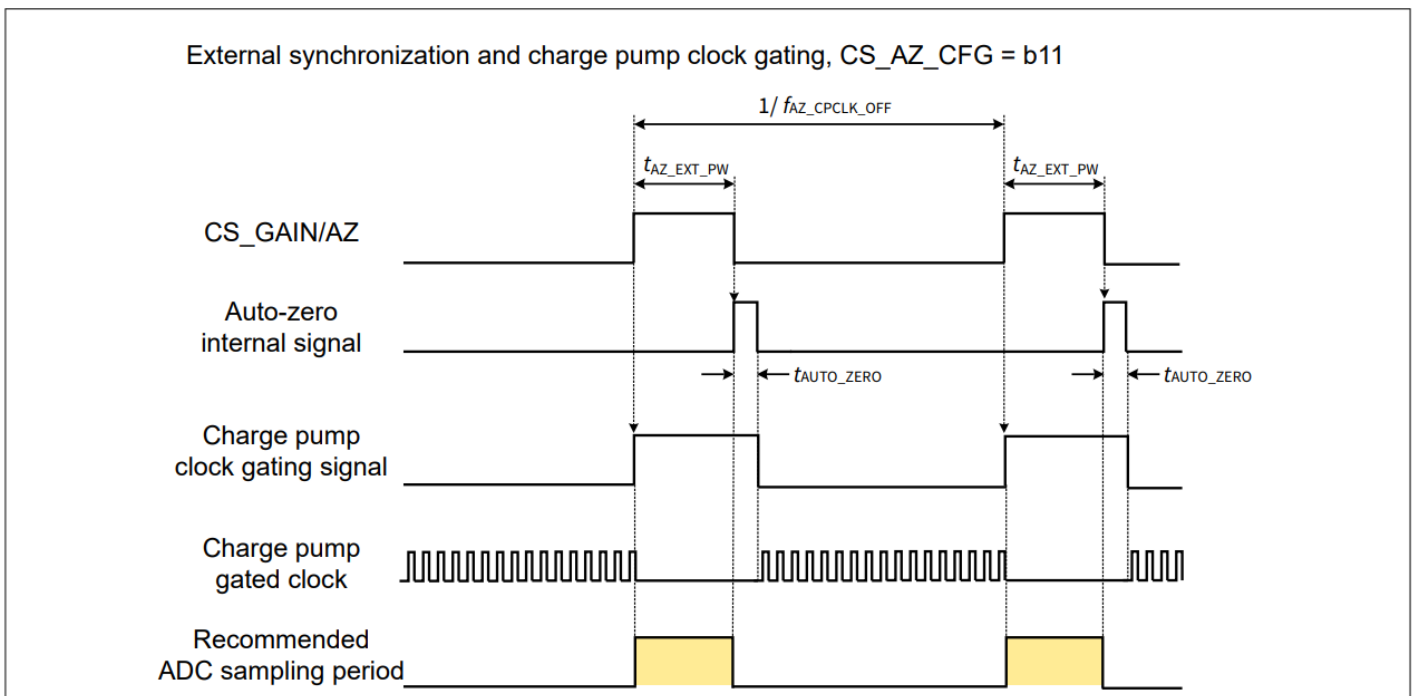


图 33 使用自动归零功能外部同步的增强感测模式的信号图

3.6 VDS 传感器系统

VDS 传感器可以监控外部 MOSFET 的状态并检测潜在的故障情况。三相逆变器中的每个 MOSFET 都配备一个 VDS 传感器，高侧 MOSFET 和低侧 MOSFET 各配备三个。传感器使用漏极（高侧 MOSFET 的 VDRAIN 引脚和低侧 MOSFET 的 SH_x 引脚）和源极（高侧 MOSFET 的 SH_x 引脚和低侧 MOSFET 的 SL_x 引脚）端子作为六个 VDS 传感器的输入。独立于高侧 (VDS_HS_TH) 和低侧 (VDS_LS_TH) MOSFET 的可编程阈值允许针对不同的工作条件定制检测水平。此外，还存在一个消隐电路，用于在可编程时间 (t_{VDS_BLANK}) 内停用 VDS 传感器，此时 MOSFET 预计会从电池电压切换到地电压或反之亦然。最后，为了避免因噪声而导致的错误触发，还可以通过 SPI 寄存器配置去毛刺滤波器 (VDS_FILTER)。

图 34，图 35 和图 36 显示 6EDL7151 中的 VDS 传感器模块的框图。

3 功能说明

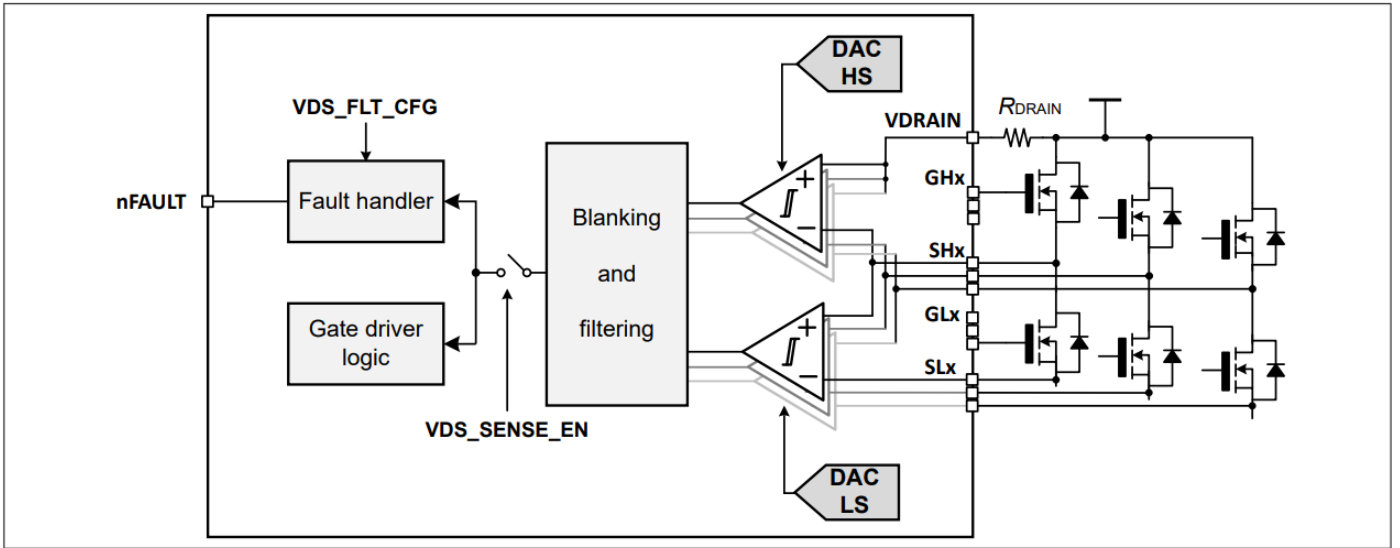


图 34 VDS传感器框图

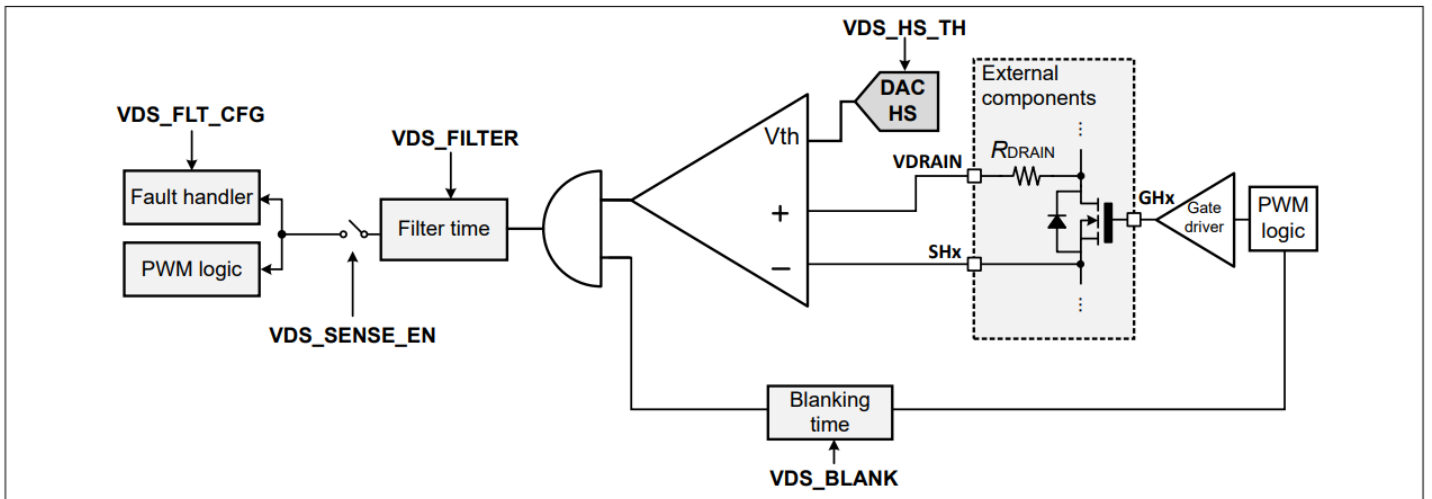


图 35 包含栅极驱动器逻辑的高侧 VDS 传感器框图

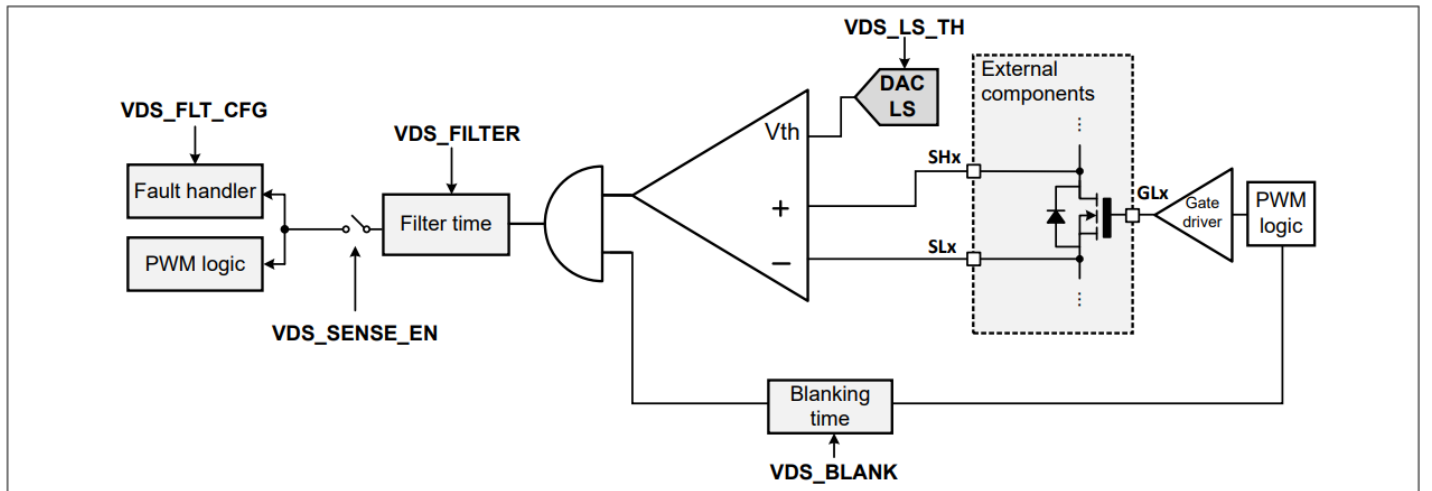


图 36 包括栅极驱动器逻辑的低侧 VDS 传感器框图

图 37 显示了一次半桥开关事件的理想行为。MCU 驱动引脚 INHx 和 INLx，根据编程的 PWM 模式打开和关闭相应的外部 MOSFET。

仅当 MOSFET 被激活时，MOSFET 的 VDS 传感器才会启用。在 MOSFET 的关闭期间，该 MOSFET 的 VDS 传感器也会关闭。

在 MOSFET 开关期间，逆变器相节点 (SHx) 从地转换为电池电压，反之亦然。需要消隐该时间段以确保 VDS 传感器不会将这些转换检测为过流情况。可通过 SPI 编程获得可配置的消隐期，以配置从 Gxy 信号激活开始忽略的时间段。仅当消隐时间过去后，才会将输入与编程阈值进行比较以检测故障情况。

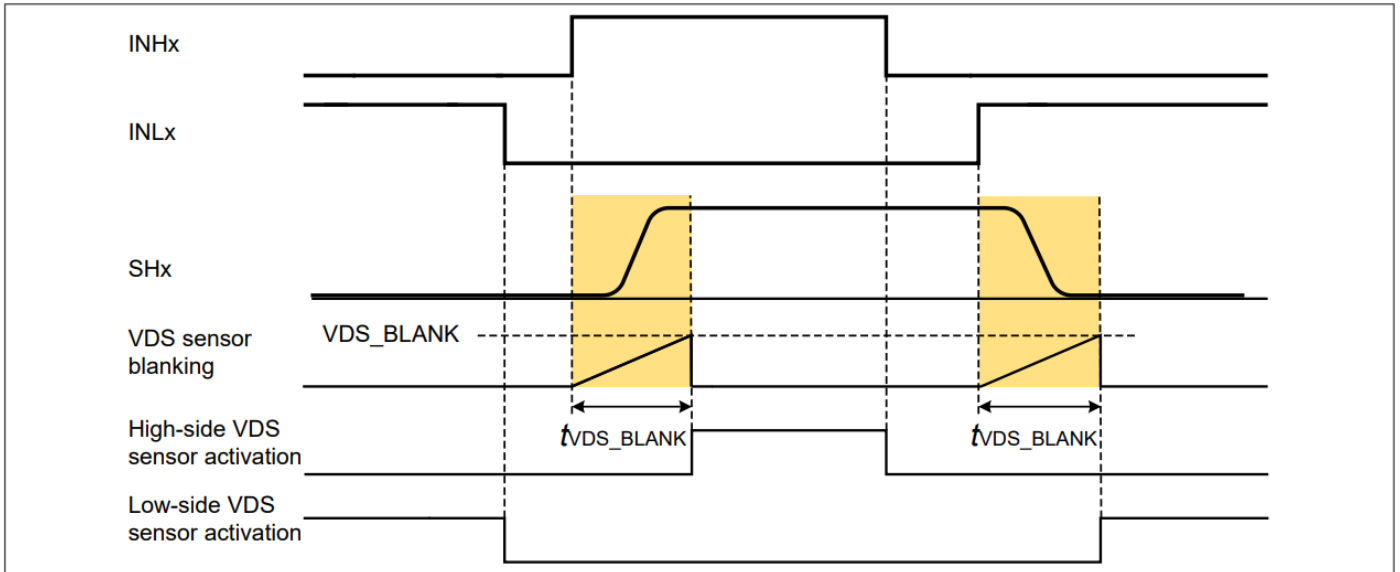


图 37 VDS 传感器消隐行为和工作波形

一旦 VDS 传感器激活，漏源电压就会受到监控，并与可编程值进行比较：高侧为 $V_{VDS_HS_TH}$ ，低侧为 $V_{VDS_LS_TH}$ 。当比较器激活时间超过 t_{VDS_FILTER} 时间（可通过 SPI 配置）时，将触发 VDS 故障，从而停止逆变器运行并向 nFAULT 引脚报告。滤波功能可消除 OCP 故障，防止噪声、毛刺或过短过流事件被检测为故障。滤波功能如图 38 所示。

微控制器可以通过轮询状态寄存器或监控 nFAULT 引脚来检查检测到的 VDS 故障，而故障的报告行为可通过位域 VDS_FLT_CFG 配置。六个 VDS 传感器均提供状态位。这些故障会被锁存，只有当 MCU 清除故障或进行电源循环后才能恢复运行。有关 VDS 故障处理的更多详细信息，请参阅章节 3.14。

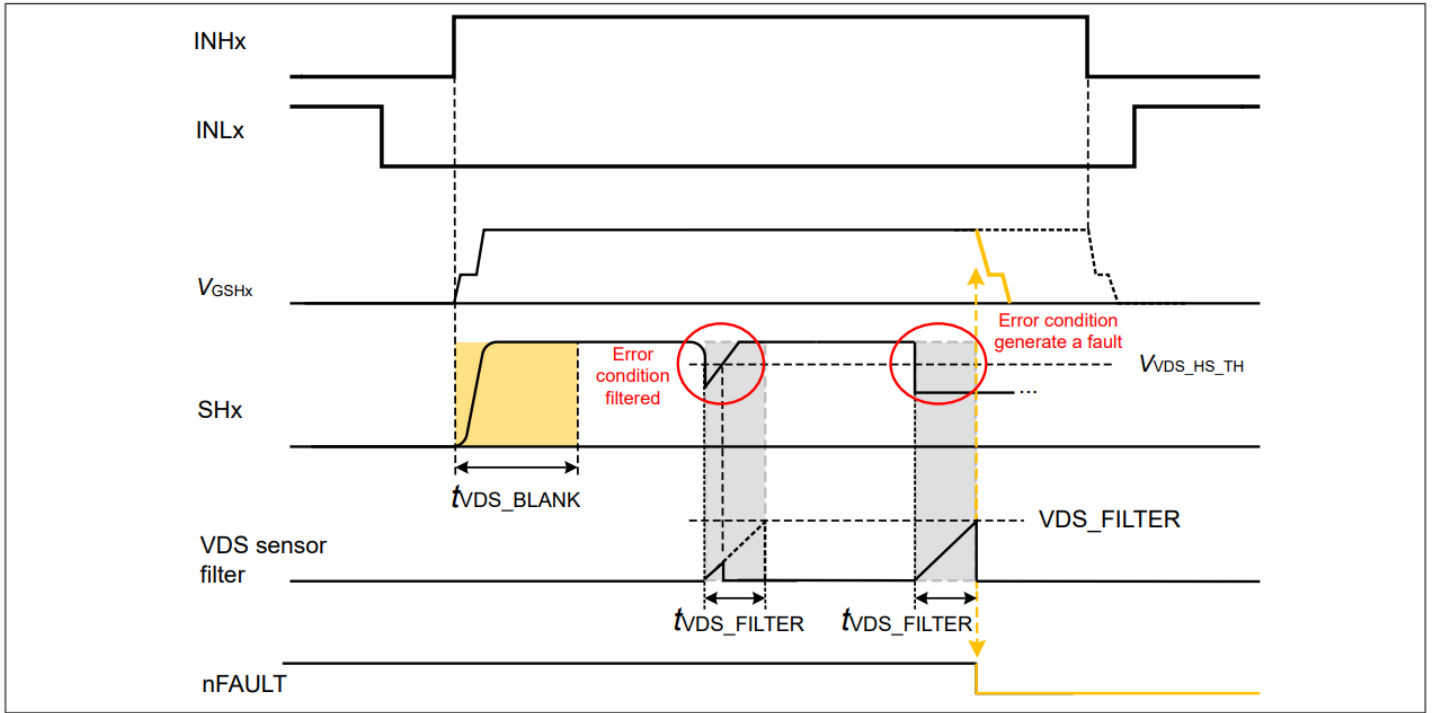


图 38 VDS 传感器滤波器行为

3.7 VDS 传感器 OFF 状态诊断模式

VDS 传感器也可在待机模式 (EN_DRV 引脚为低电平) 下激活。这可用于关闭状态诊断, 通过写入 SENSOR_CFG 寄存器中的 VDS_OFF_DIAG_EN 位域来激活。在这种情况下, VDS 传感器会根据输入 PWM 信号 (INHx 和 INLx) 以及前面所述的消隐时间激活, 但不会激活栅极驱动器输出。这意味着, 如果 INHA 为高电平, 则高侧 MOSFET A 的 VDS 传感器将被激活。但是, 栅极驱动器级不会在 GHA 引脚输出任何信号。在本例中, 将高侧 MOSFET A 的漏源电压与编程的 $V_{VDS_HS_TH}$ 值进行比较, 并将状态报告给寄存器 FUNCT_ST 的 VDS 高侧 A 传感器状态位域 VDS_HSA_ST。

注意: OFF 状态诊断中检测到的故障不会通过 nFAULT 引脚报告, 而只能通过寄存器报告。

注意: OFF 状态诊断必须仅与 6PWM 模式一起使用。

注意: 要激活 VDS 传感器的 OFF 状态诊断模式, 建议首先拉低 EN_DRV 引脚, 写入 VDS_SENSE_EN 和 VDS_OFF_DIAG_EN 位域以启用 VDS 传感器和 OFF 状态诊断模式, 然后拉高 EN_DRV 引脚。

表 10 总结了 VDS 传感器、CSAMP 和栅极驱动器输出对于 VDS_OFF_DIAG_EN 和 EN_DRV 组合的预期行为。

表 10 OFF 状态诊断真值表

VDS_OFF_DIAG_EN	EN_DRV	VDS sensors	CSAMP	Gate driver outputs	Description
1	0	OFF	OFF	Disabled, High-Z	-
1	1	ON	OFF	Disabled, High-Z	OFF state diagnostics mode. Charge pumps are enabled

(表格续下页.....)

表 10 (续) OFF 状态诊断真值表

VDS_OFF_DIAG_EN	EN_DRV	VDS sensors	CSAMP	Gate driver outputs	Description
0	0	OFF	OFF	Disabled, High-Z	-
0	1	ON or OFF (user choice)	ON	Enabled, follow PWM inputs	Normal operation. Charge pumps are enabled

图 39 显示了 OFF 状态诊断模式激活期间不同信号的时序示例。

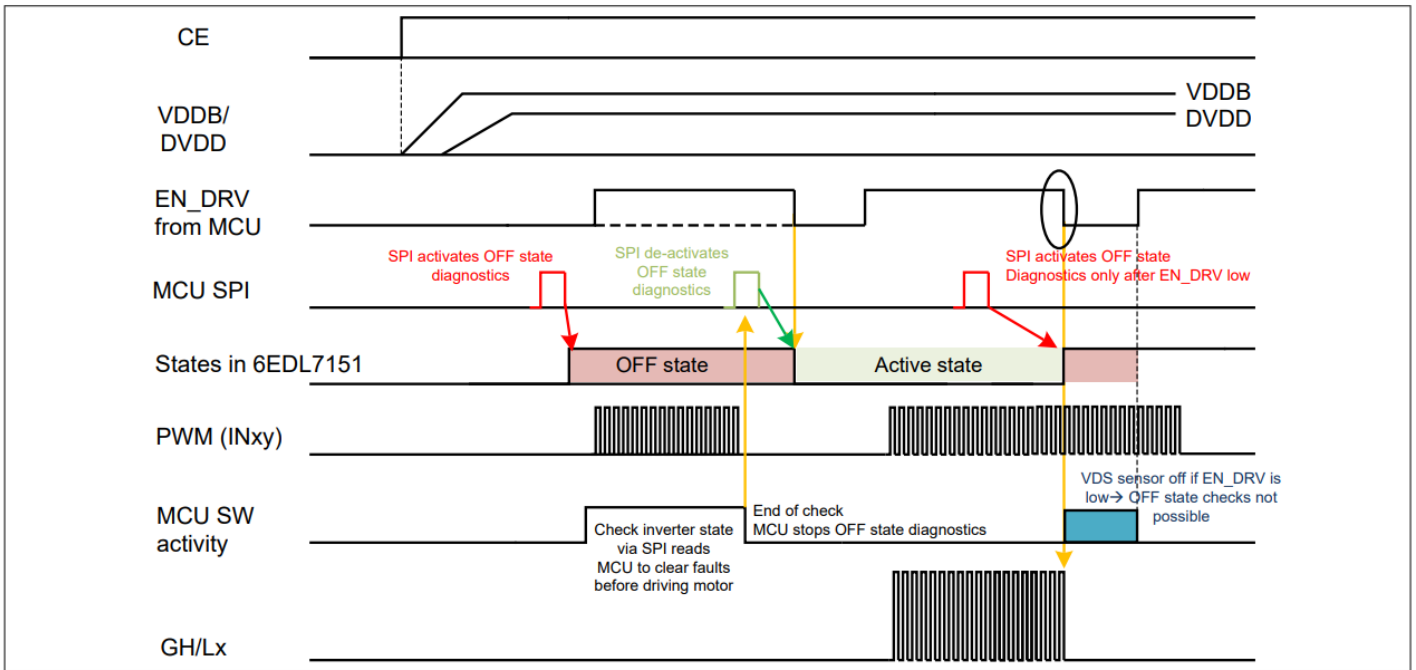


图 39 关闭状态诊断模式波形 - 关闭状态期间，VDS 传感器需要通过 EN_DRV 低电平激活

3.8 霍尔比较器

6EDL7151 具有三个相同的霍尔比较器通道，霍尔传感器输入能够与具有开漏输出的数字霍尔传感器接口。每个霍尔传感器应连接到其中一个 INLx 数字引脚。霍尔比较器设计用于霍尔传感器的 1PWM 模式，如 第 3.1.4 章 所述以及 第 3.9.3 章 中描述的锁定转子检测功能。霍尔输入经过数字去毛刺处理，因此这些输入会在可配置的时间段内忽略任何额外的霍尔转换。这是在位域 HALL DEGLITCH 中选择的，可以通过 SPI 命令访问。它可以防止 PWM 噪声耦合到霍尔输入中，从而避免造成错误换向。霍尔传感器输入的极性可随时由 MCU 在寄存器 FUNCT_ST 的位域 HALLIN_ST 中读取。集成的 DVDD 线性稳压器可根据编程为霍尔传感器提供 3.3 V 或 5 V 电压。在这种情况下，霍尔传感器不由 DVDD 供电轨供电，而由其他电源供电。如果 DVDD 电源因 IDLE 或 OFF 模式 ($V_{CE} < V_{CE_TH_F}$) 而停用，则霍尔输入不应由外部电压驱动。此外，应在启动电机前为霍尔输入上电，否则无效的霍尔状态可能会导致电机运行故障。

3.9 看门狗定时器

6EDL7151 集成了三个可通过 SPI 配置的独立看门狗定时器。这些保护功能用于确保设备内部和外部不同模块的正确功能，例如，通过服务或“踢”6EDL7151 看门狗来确保微控制器具有正确的行为。

3 功能说明

配置6EDL7151中的看门狗定时器，有两个寄存器WD_CFG和WD_CFG2可用。三个独立的看门狗定时器是：

- 降压转换器看门狗
- 通用看门狗
- 转子锁定看门狗

每个看门狗定时器核心单元都包含一个数字定时器（看门狗定时器）。源信号连接到该定时器，每当信号发生切换时，定时器都会复位。否则，定时器将继续计数。如果在没有复位输入的情况下达到看门狗定时器的限值，则会发生故障，并根据表 12 执行相应的操作。

对看门狗故障的反应可编程为以下操作：

- 仅向状态寄存器报告
- 报告状态寄存器和 nFAULT 引脚
- 触发可配置的制动事件
- 选择看门狗故障是否锁存

图 40 展示了看门狗操作的一个示例。在本例中，通用信号“WD 输入”会定期重置计数器（例如，读取状态寄存器或以适当的频率切换 EN_DRV 时）。如果输入信号停止切换，则看门狗定时器会在看门狗周期后到期，从而导致看门狗故障。

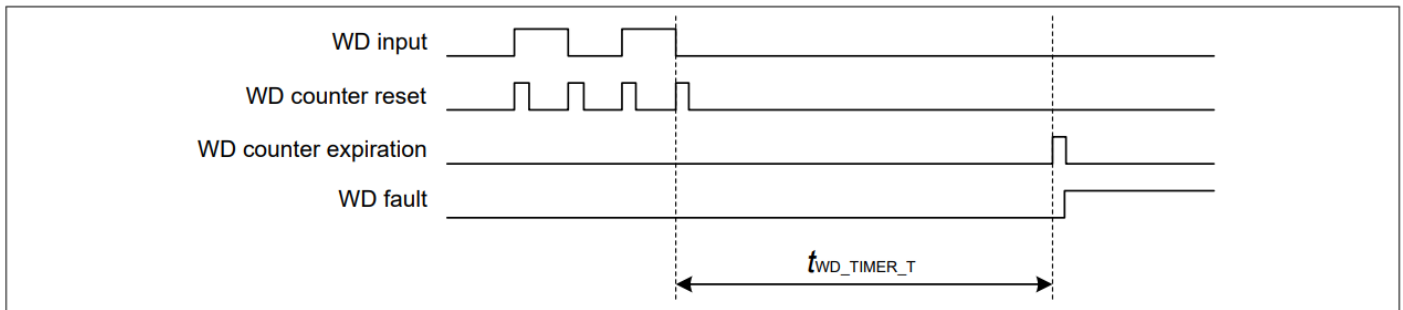


图40 看门狗操作图

3.9.1 降压转换器看门狗定时器

在器件启动期间，降压转换器看门狗会监控 VDDB 的 UVLO 信号。当 VDDB 的 UVLO 置位时，看门狗会被清除。如果在看门狗周期 ($t_{WD_BUCK_T}$) 内 VDDB 的 UVLO 未置位，系统将停止（状态机中的 STOP 状态详见第 3.13 章）并保持停用状态，直到电源循环发生。此看门狗可用于安全启动调试。要启用此功能，需要清除寄存器 WD_CFG2 的位域 WD_BK_DIS。

3.9.2 通用看门狗定时器

该看门狗定时器可通过位域 WD_INSEL 配置为使用不同的通用输入（定时器复位信号）。可能的输入有：

1. **EN_DRV**：EN_DRV 编码中，一个时钟信号可用作看门狗定时器的时钟输入。看门狗会测量该信号的频率和占空比是否正确。正确的频率可作为看门狗“启动”，请参阅章节 3.10.1。需要通过 WD_EN 启用看门狗，并通过 WD_INSEL 选择输入。发生故障后，必须在两个周期 (500 Hz) 后清除故障。EN_DRV 看门狗周期固定，不可编程。
2. **DVDD 启动**：启动期间，如果选择此输入，则在 DVDD UVLO 信号置位后，看门狗将被清除。如果 DVDD 在看门狗周期之前未达到正确值，DVDD 稳压器将重试启动。启动失败时，DVDD 稳压器重启的尝试次数可在 WD_DVDD_RSTRT_ATT 中配置。此外，重启尝试的间隔时间可在位域 WD_DVDD_RSTRT_DLY 中设置。

3 功能说明

3. **电荷泵启动:** 同样, 可以监控电荷泵 (VCCLS 和 VCCHS) 的启动时间。VCCLS 和 VCCHS 的 UVLO 信号会清除看门狗, 否则会报告故障。要选择此输入, 必须相应地设置 WD_INSEL 中的位域。
4. **状态寄存器 SPI 读取操作:** 在此配置下, 每次通过 SPI 命令读取 FAULT_ST 状态寄存器时, 看门狗都会复位。通过这种方式, 看门狗会检查 MCU 是否处于活动状态以及 SPI 通信是否正常工作。

通用看门狗定时器需要通过 WD_EN 位域启用。除 EN_DRV 作为看门狗输入外, 看门狗周期在 WD_TIMER_T 中编程。

3.9.2.1 通用看门狗故障制动

通用看门狗定时器可配置为在比较器跳闸时触发制动事件。该功能在位域 WD_BRAKE 中激活, 并且仅在选择“EN_DRV 引脚”或“状态寄存器读取”作为输入时才有效。制动事件可配置为通过短路所有高侧 MOSFET、所有低侧 MOSFET 来制动电机, 在这两个选项之间交替, 或将所有 MOSFET 设置为高阻态。该功能在 PWM_CFG 寄存器的位域 BRAKE_CFG 中配置。更多详情, 请参阅[3.1.6 章节](#) 和 [3.14 章节](#)。

3.9.3 堵转保护看门狗定时器

6EDL7151 通过集成专用看门狗定时器提供锁定或失速转子保护功能。转子锁定看门狗定时器输入是三个霍尔传感器信号 (INLA、INLB 和 INLC)。因此, 只有在使用基于控制方案或 1PWM 模式的霍尔传感器时才有可能实现这种保护。

如果发生机械故障或负载扭矩过大, 导致电机在启用状态下停止旋转, 则可能发生转子锁定或失速。锁定转子功能可以通过将位域 WD_RLOCK_EN 设置为 b1 来启用。如果霍尔效应持续 t_{LOCK} 时间, 则检测到转子锁定状态。 t_{LOCK} 时间可通过 SPI (位域 WD_RLOCK_T) 配置。

为了提高稳健性, 实现了一种特殊的转子锁定检测情况。在某些情况下, 电机可能会停在霍尔传感器仍能提供循环或重复切换的位置。在某些情况下, 电机的振动或弯曲会导致这种影响, 在其他情况下, 霍尔传感器会在靠近磁铁的地方失速。6EDL7151 将此情况检测为转子锁定。报告故障的霍尔传感器输入序列示例如下:

100、101、100、101、100、101、.....

一旦检测到转子锁定情况, 设备就会将 FAULT_ST 寄存器的位域 WD_FLT 和 RLOCK_FLT 设置为 b1。一旦检测到转子锁定情况, 设备就会进入高阻抗状态 (高阻态)。此外, nFAULT 引脚被拉低。MCU 可以读取该信号并请求设备状态更新或执行其他纠正措施。

3.9.3.1 霍尔传感器故障

如果霍尔传感器发生故障, 转子锁定保护可以帮助电机进入安全状态。两个或三个霍尔传感器故障导致 6EDL7151 出现转子堵转故障。然而, 单个霍尔传感器故障无法被检测为故障, 也不会触发故障。

可以通过切换 EN_DRV (关闭并再次打开) 来重置转子锁定状态。

3.9.3.2 PWM 信号保持情况

如果在启用转子堵转保护的情况下, 控制器生成的 PWM 输入信号停止切换, 6EDL7151 会将随后的电机停止识别为故障, 并在 t_{LOCK} 周期后触发转子堵转保护。如果不希望出现这种情况, 则必须在控制器中停止 PWM 切换的用户代码之前发送 SPI 命令以停用转子堵转保护。

3.10 多功能引脚

3.10.1 EN_DRV引脚

引脚 EN_DRV 具有两种可同时工作的不同功能：

1. 启用引脚：启动电荷泵操作，并最终在拉高时启用栅极驱动器和电流检测放大器： $V_{EN_DRV} > V_{EN_DRV_TH}$ （参见表 21）。
2. 看门狗时钟输入：此时钟信号可由系统中的微控制器生成，并允许 6EDL7151 检测微控制器是否生成正确的信号，从而检测控制器是否正常工作（例如软件故障），从而提高整个系统的稳健性。如果时钟信号不存在或该时钟的周期超出预期值的 10%（参见表格 21），6EDL7151 的看门狗将以预编程的动作作出反应（更多详细信息请参见第 3.9 章）。

如果同时使用这两个功能，微控制器可以使用两个 GPIO，一个用于 EN_DRV（GPIO），另一个用于时钟生成（例如 GPIO 或 PWM 信号）。这两个信号的模拟求和在 6EDL7151 内部进行解码。图 41 描述这种配置中的连接和电信号。

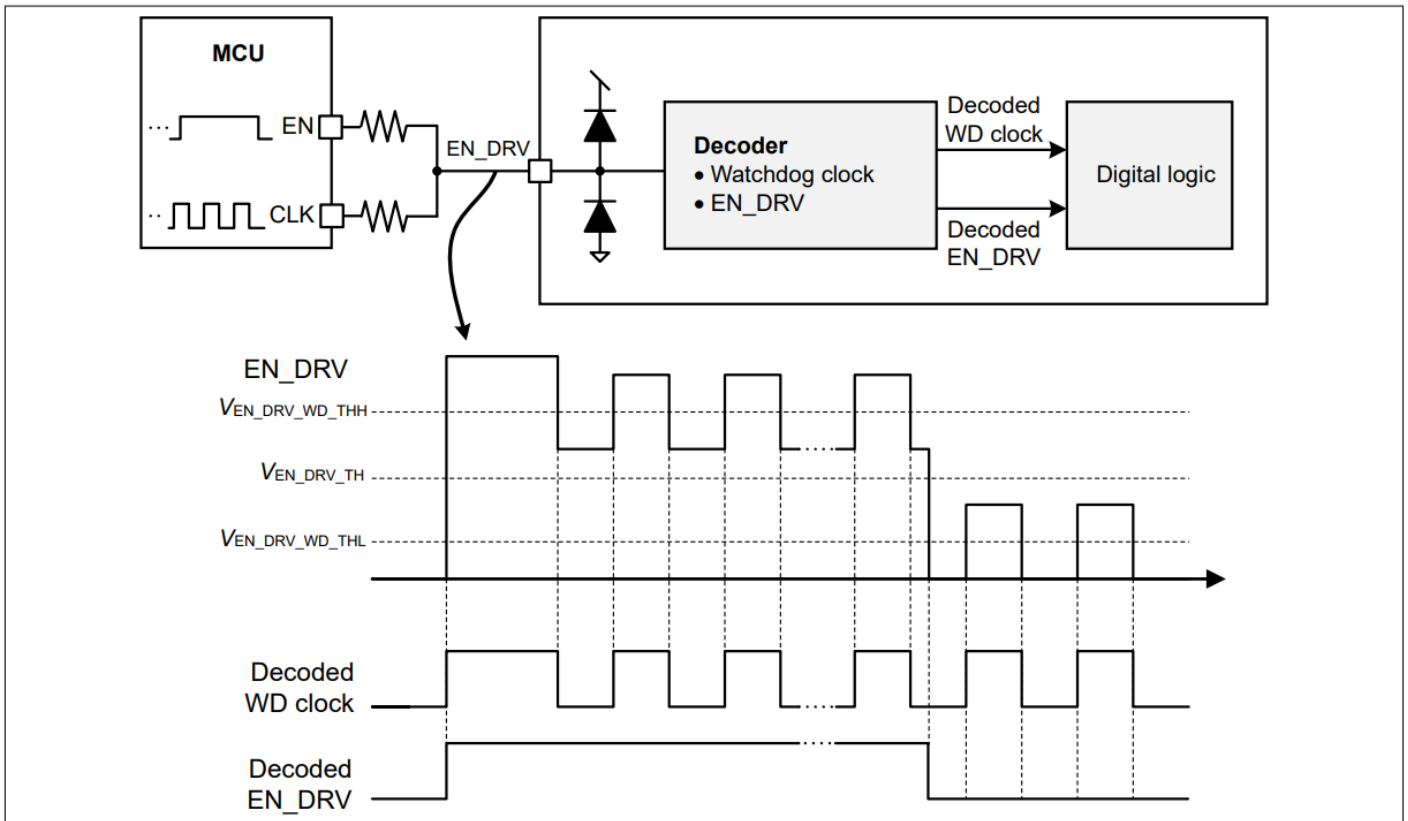


图 41 EN_DRV 引脚用于启用栅极驱动器和解码看门狗时钟信号

3.10.2 VSENSE/nBRAKE引脚

引脚 VSENSE/nBRAKE 支持两种不同的功能：

1. VSENSE 功能：在启动过程中，6EDL7151 读取连接到引脚 VSENSE/nBRAKE 的电阻值。根据读数，6EDL7151 选择 DVDD 设定点为 3.3 V 或 5 V。此后，该设备将以目标 DVDD 设定点启动 DVDD 线性稳压器。
2. nBRAKE 功能：在正常运行期间（DVDD UVLO 释放后），该引脚是一个输入（具有低电平有效逻辑），可以将其拉低，例如，由 MCU 启动制动事件，以受控方式使电机停止。通常该引脚处于高电平，以便 PWM 信号正常传播到栅极驱动器输出。

3.10.3 CS_GAIN/AZ引脚

CS_GAIN/AZ 引脚实现两种不同的功能：

1. CS_GAIN 功能：启动期间，连接到此引脚的电阻 R_{CS_GAIN} 将被读取，从而对电流检测放大器的增益进行模拟编程。这将在第 3.5.6 章中详细说明。
2. AZ 功能：在正常运行期间，该引脚可用作输入，以启用第 3.5.8 章中描述的外部自动归零功能。

为了避免通过外部电阻影响电流检测放大器增益的模拟编程，建议将 MCU 通过串联二极管连接到 CS_GAIN 引脚。这样，当 DVDD 仍未达到最终目标值时，MCU 输出电路就不会加载 CS_GAIN 引脚，从而导致放大器增益编程错误。建议的电路如图 42 所示。如果需要对电流检测放大器增益进行数字编程，则不需要 R_{CS_GAIN} ，要也可以从电路中排除二极管。

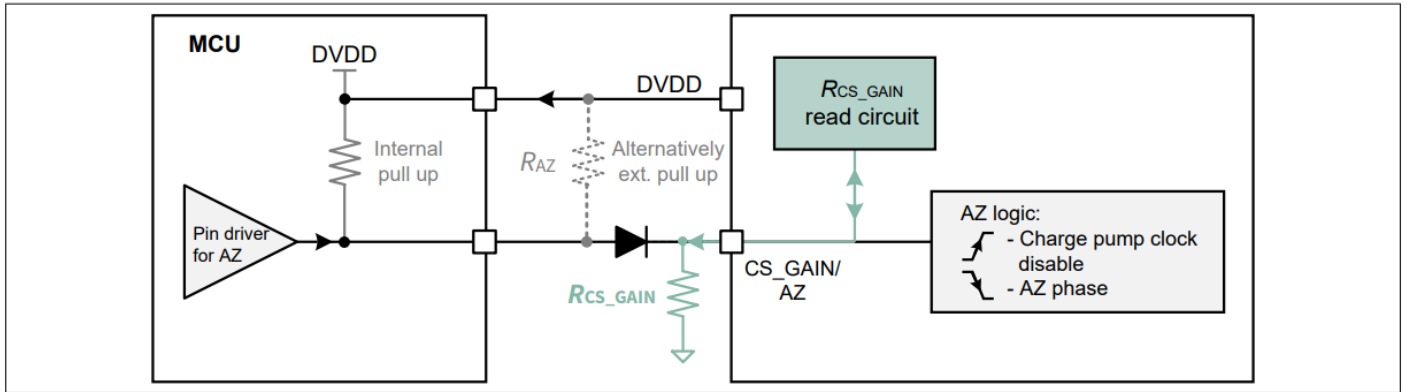


图 42 CS_GAIN/AZ 多功能引脚使用示例

注释：MCU 端的内部上拉电阻取决于具体的微控制器。某些微控制器可能没有足够的上拉能力，可能需要如图所示使用外部上拉电阻。

3.11 ADC 模块

6EDL7151 集成了基于 SAR 架构的 7 位分辨率 ADC（模数转换器）。该 ADC 可用于对 MCU 中执行的测量进行冗余测量或测量栅极驱动器相关电压。MCU 可以通过 SPI 读取结果寄存器来请求这些内部测量的 ADC 结果。ADC 可以在活动模式下测量以下输入：

- 自动进入 ADC 转换序列：
 - 芯片上的温度传感器（参见第 3.11.2 章）
 - PVDD：电源电压
 - VCCLS：低侧栅极驱动器电源
 - VCCHS：高侧栅极驱动器电源
- 通过位域 ADC_OD_INSEL 选择的其他（按需）转换输入：
 - $I_{DIGITAL}$ ：设备数字部分电流消耗
 - DVDD：线性稳压器输出电压
 - VDDB：降压转换器输出电压

这些 ADC 输入按顺序连续转换。每次转换完成后，转换结果可通过集成数字滤波器进行处理，这些滤波器是可配置样本数量的移动平均滤波器。PVDD 使用专用滤波器 (ADC_FILT_CFG_PVDD)，其余输入共用第二个滤波器 (ADC_FILT_CFG)。ADC 模块的完整架构如图 43 所示。

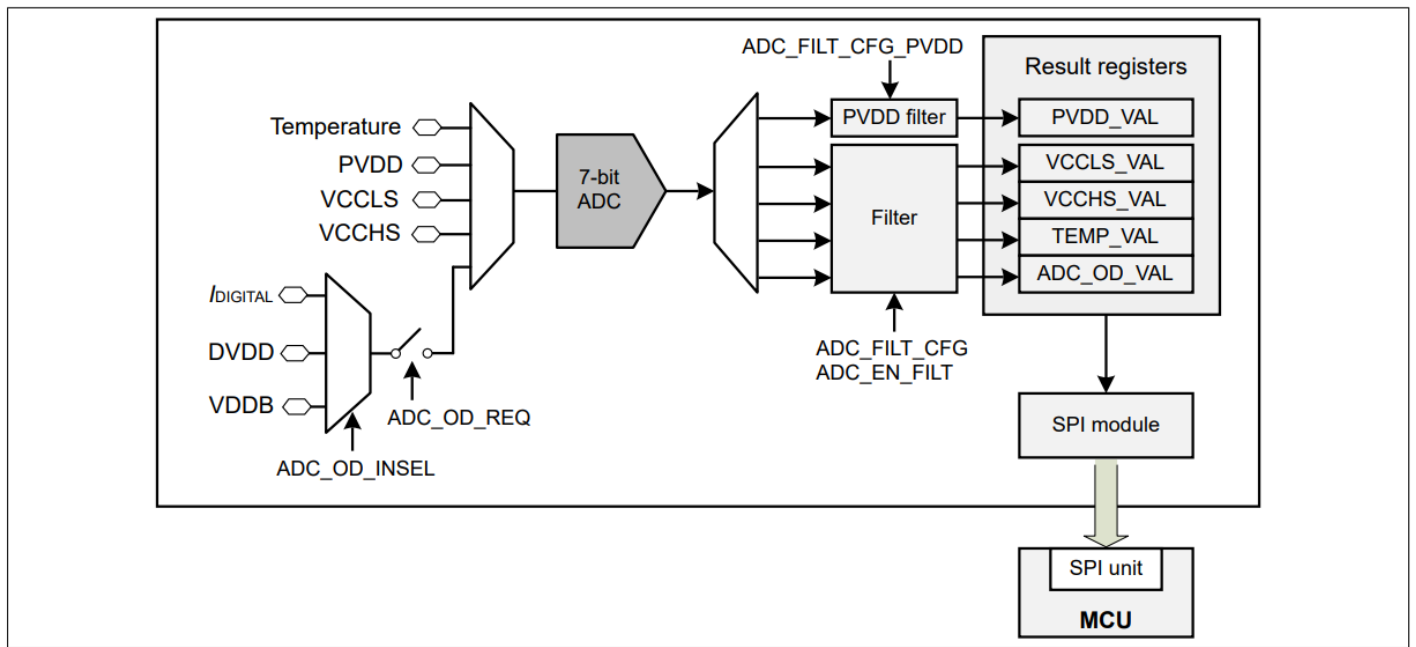


图43 模块框图

表 11 总结ADC输入特性，包括比例因子。MCU可以使用这些比例因子计算以伏特、毫安或摄氏度为单位的实际模拟值。

表 11 ADC 测量概述

Measurement	On demand conversion	ADC result bitfield	Filter bitfield	Scaling factor
PVDD	N	PVDD_VAL	ADC_FILT_CFG_PVDD	$= (0.581 * PVDD_VAL + 5.52)V$
Temperature	N	TEMP_VAL	ADC_FILT_CFG	$= (2 * TEMP_VAL - 94)^{\circ}C$
VCCLS	N	VCCLS_VAL	ADC_FILT_CFG	$= (VCCLS_VAL * 16 / 127)V$
VCCHS	N	VCCHS_VAL	ADC_FILT_CFG	$= (VCCHS_VAL * 16 / 127)V$
Device current (IPVDD)	Y	ADC_OD_VAL	ADC_FILT_CFG	$= (0.24 * ADC_OD_VAL)mA$
DVDD	Y	ADC_OD_VAL	ADC_FILT_CFG	$= (ADC_OD_VAL * DVDD_{TARGET} / 127)V$
VDDB	Y	ADC_OD_VAL	ADC_FILT_CFG	$= (ADC_OD_VAL * VDDB_{TARGET} / 127)V$

例如，DVDD 已设置为 3.3 V ($DVDD_{TARGET}$)，DVDD 电压为按需转换电压，MCU 读取位域 $ADC_OD_VAL = 0x78 = 120$ 十进制值。ADC 测量的 DVDD 电压计算如下：

$$DVDD = ADC_OD_VAL * \frac{DVDD_{TARGET}}{127} = 120 * \frac{3.3 V}{127} = 3.118 V \quad (2)$$

3.11.1 ADC 测量排序和按需转换

在活动状态下，ADC 按照以下六次测量序列反复循环转换：

1. PVDD
2. 温度感应器
3. PVDD
4. VCCLS
5. PVDD
6. VCCHS

如图44所示。这些转换的结果存储在专用结果寄存器中，MCU 可以通过 SPI 读取这些寄存器。PVDD 结果存储在 SUPPLY_ST 寄存器中，VCCLS 和 VCCHS 结果存储在 CP_ST 寄存器中，温度测量结果存储在 TEMP_ST 寄存器中。

除了标准序列之外，用户还可以选择根据需要转换其他信号。任何这种“按需”转换输入都可以按照标准序列注入一次。这是通过在位域 ADC_OD_INSEL 中选择要转换的信号并将 b1 设置为请求位域 ADC_OD_REQ 来完成的，这两个位域都在寄存器 ADC_CFG 中。

注释：ADC_CFG 位域的写入必须在单次 SPI 写入中完成。对单个位域的写入会将其余位域覆盖为默认值，因此必须在单次写入中或通过读取-修改-写入序列提供所需的完整寄存器值。

如果请求按需转换，ADC 将等待完成（转换结束，EOC）正在进行的转换（如果有）。然后启动请求的按需转换。按需转换完成后，位域 ADC_OD_RDY 将被置位。MCU 可以轮询此位域，以确保结果寄存器包含请求转换的最新值。按需转换的结果位于位域 ADC_OD_VAL 中，并且该序列在按需转换 EOC 之后从中断处继续执行。如图所示 44。

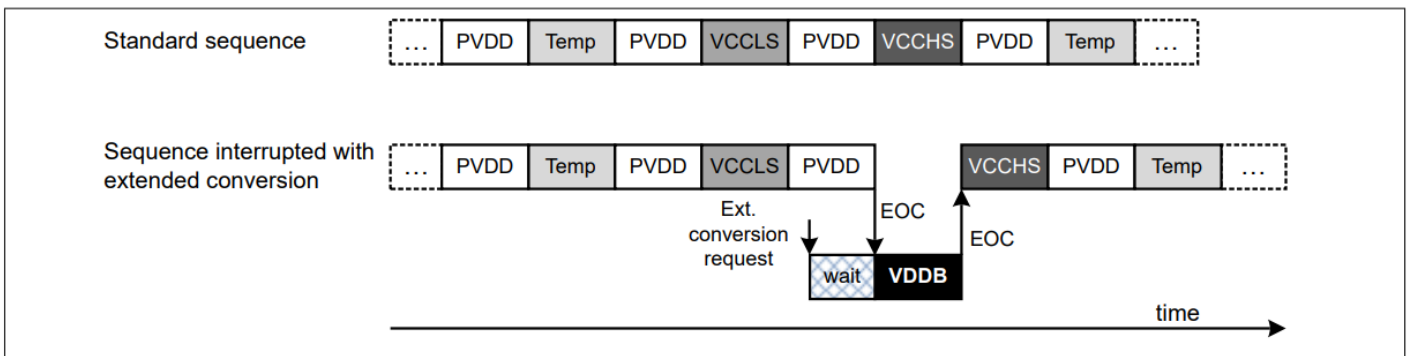


图 44 VDDDB 信号的扩展转换请求导致的 ADC 排序和中断

3.11.2 芯片温度传感器

一个非常有益的 ADC 测量是器件温度，因为 6EDL7151 集成了一个芯片温度传感器，该传感器由集成 ADC 进行采样。器件温度可以通过 TEMP_ST 寄存器的 TEMP_VAL 位域读取。该值以 2 摄氏度的分辨率测量。例如，TEMP_VAL = 0x4A = 74 十进制值，根据表 11，温度计算如下：

$$\text{Temperature} = (2 * \text{TEMP_VAL} - 94)^\circ\text{C} = (2 * 74 - 94)^\circ\text{C} = 54^\circ\text{C} \quad (3)$$

此外，还实施过热警告和关断故障，并在表中提供了阈值 21。过温关断保护可通过寄存器 SENSOR_CFG 中的 OTS_DIS 位域停用。这些故障的发生可通过读取寄存器 FAULT_ST 中的 OTW_FLT 和 OTS_FLT 位域来检测。

3.12 设备启动

设备启动可分为两个主要阶段：

- **电源启动**：由 $V_{CE} > V_{CE_TH_R}$ 启动，导致 VDDDB 和 DVDD 轨上升。
- **栅极驱动器和 CSAMP 启动**：从 EN_DRV 上升开始，导致电荷泵上升和电流感应放大器激活。

3.12.1 电源启动

在电池供电电压（PVDD）稳定的情况下，输入 CE 引脚控制电源系统的启动。图 45 图表显示了 CE 电压超过 $V_{CE_TH_R}$ 值后降压转换器电压的上升过程。如果外部去耦电容过大，上升时间可能会超过表 21 中提供的 $t_{VDDDB_SFT_START}$ 值。可启用集成看门狗来监控和调试 VDDDB、DVDD 或电荷泵的启动。

降压转换器的软启动功能通过集成 DAC 自动实现，用于生成目标基准电压。一旦 VDDDB 达到其 UVLO 电压，模拟编程便开始。这将启动 t_{AN_T} 周期，此时 CS_GAIN/AZ 和 VSENSE/nBRAKE 引脚上的外部电阻会被内部读取。用户可以通过 OTP 编程停用这两个功能的模拟编程，从而缩短启动时间。

在这些模拟编程周期结束后，会在 DVDD 电压开始上升之前插入另一个 OTP 可编程延迟 ($t_{DVDD_TON_DELAY}$)。较长的延迟时间可使降压转换器电压在 DVDD 开始充电之前稳定下来。如果需要更短的启动时间，可以考虑降压输出电压和所使用的外部元件 (L_{BUCK} 和 C_{VDDDB}) 来缩短延迟时间。DVDD 会在可配置的时间内上升 ($t_{DVDD_SFTSTRT}$)。调整此值有助于确保正确启动。

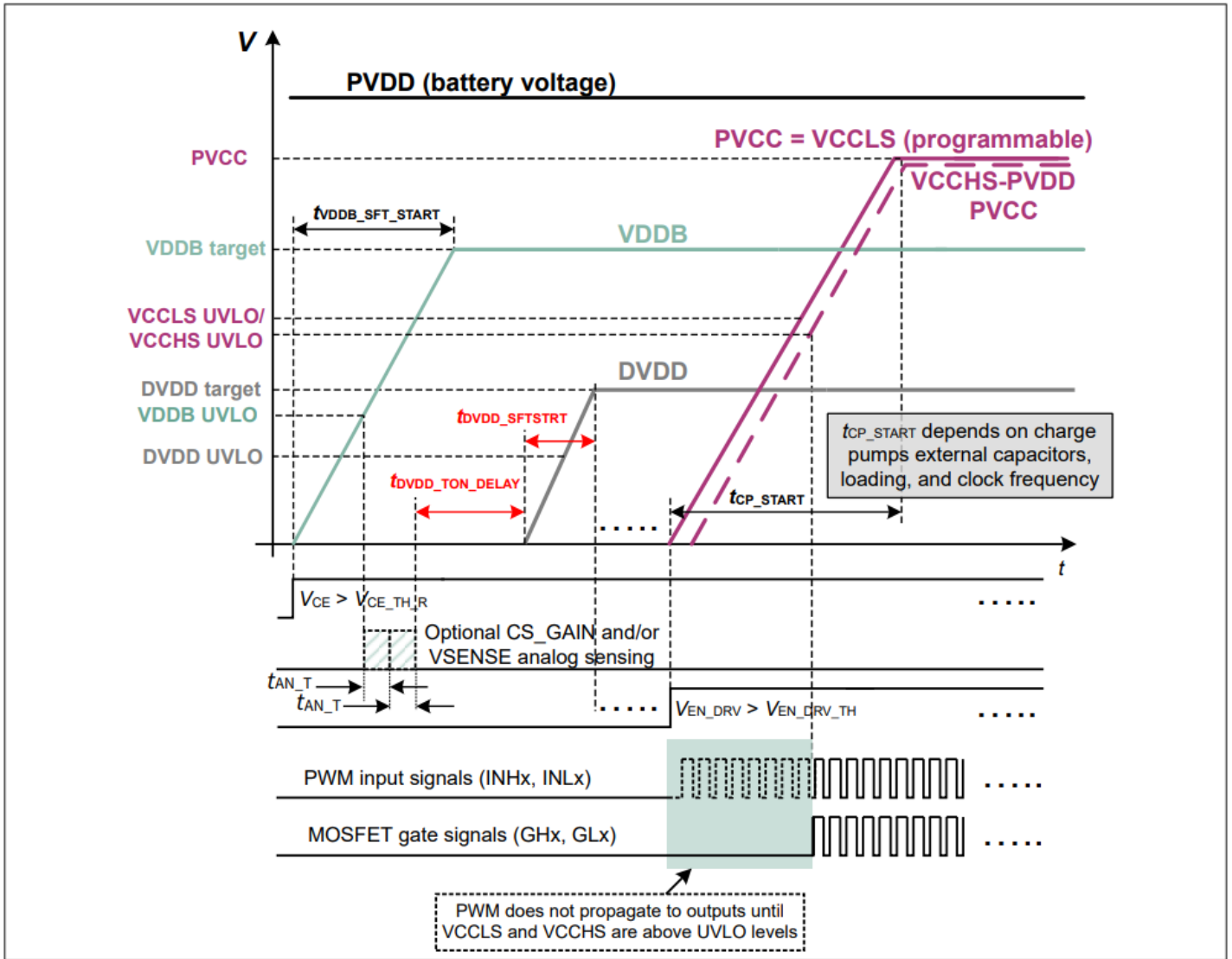


图 45 稳定 PVDD 电源下的电源电压启动行为

如果 CE 由 PVDD 生成，例如通过分压器，如 第5.3章 所示，启动行为大致遵循 图 46 中的行为或类似情况。在这种情况下，需要注意的是，器件不会启动，也就是说，降压转换器不会开始开关，直到 PVDD UVLO 被释放，并且 CE 上升电压阈值 ($V_{CE_TH_R}$) 被超过，如图47 所示流程图所示。CE 和 PVDD 的顺序可以互换，结果相似。

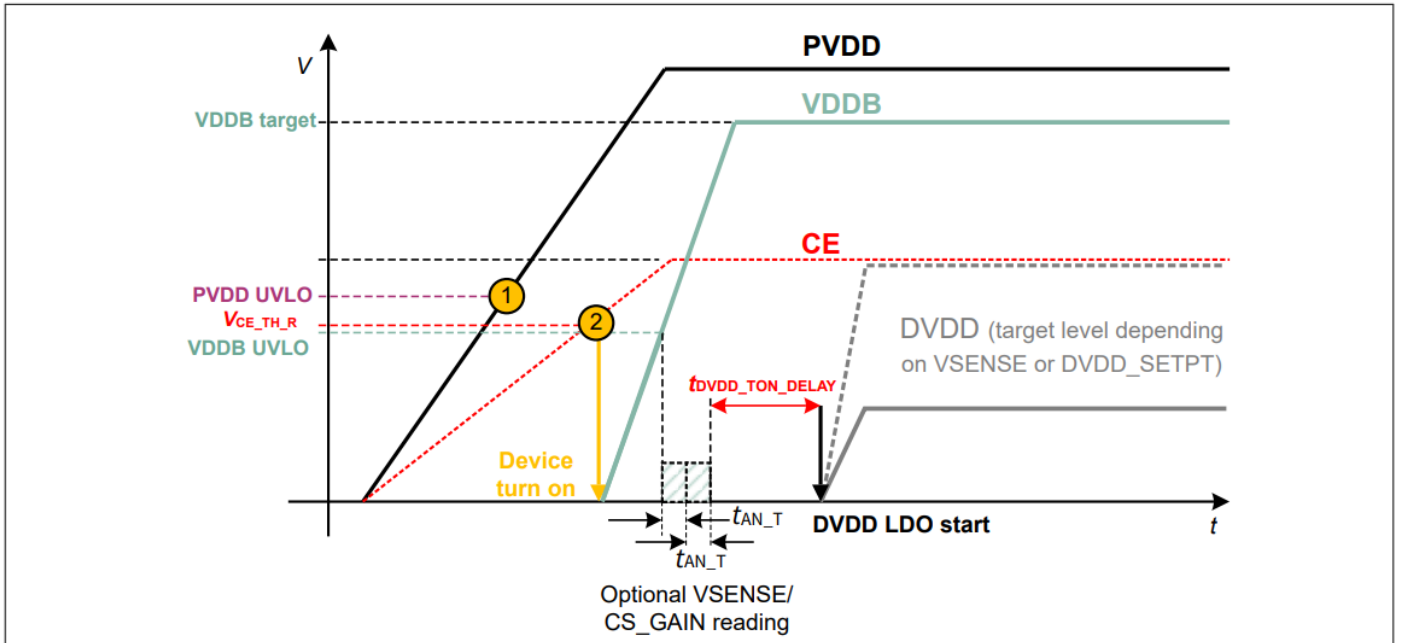


图46 PVDD上升时，CE由PVDD分压器产生时的启动行为。器件仅在事件1和2发生后开启，并启动降压转换器控制器

3.12.2 栅极驱动器和 CSAMP 启动

DVDD 启动并稳定后，微控制器即可启用栅极驱动器。需要将 EN_DRV 引脚设置为高于 $V_{EN_DRV_TH}$ 值才能启用驱动器部分。在此之前，没有 PWM 信号传输到 MOSFET 的栅极。一旦 EN_DRV 高于 $V_{EN_DRV_TH}$ ，低侧和高侧电荷泵都会上升至目标值 PVCC。电荷泵上升时间 t_{CP_START} 取决于不同的配置（电容、电荷泵频率、PVCC 电压），如第 3.3 章所述。

当低侧电荷泵中建立足够的电压后，高侧电荷泵就会启动。当高侧和低侧电荷泵均达到 UVLO 时，PWM 路径被激活，并且栅极驱动器可以向功率 MOSFET 输出信号。

注释：根据 PWM 发送至输入端的时间和电荷泵电容值，如果 PWM 信号过早激活，栅极驱动器可能会在电荷泵尚未完全达到目标电压时就开始驱动 MOSFET。如果需要，用户可以延迟 PWM 信号的启动，直到电荷泵充满电为止。

3.13 设备功能状态

该设备的功能由状态机控制。该状态机的流程图如图 47 所示。VDS 传感器的激活取决于不同的因素，详见第 3.6 和 3.7 章节。

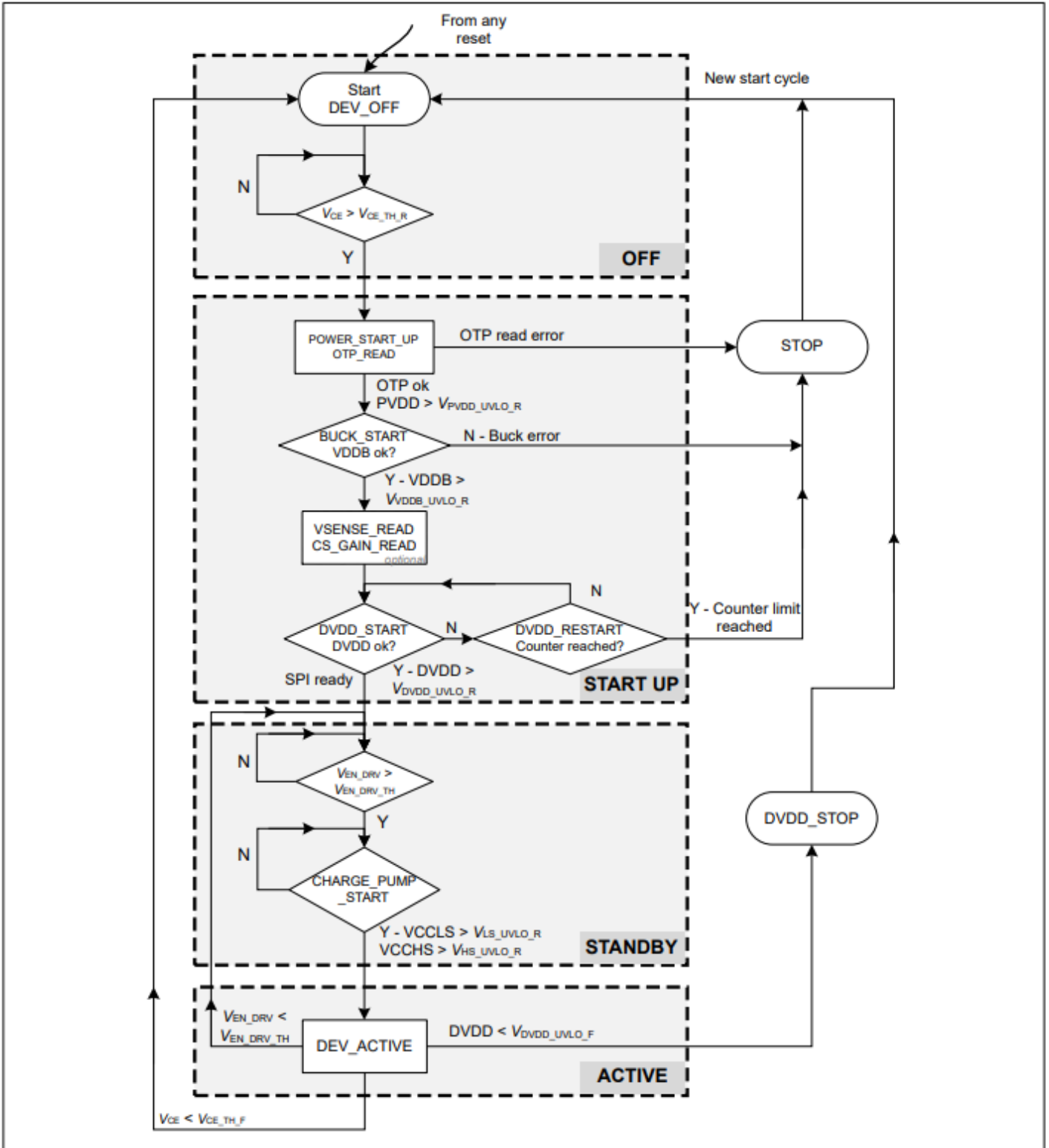


图47 设备功能状态流程图

6EDL7151 有四种主要模式：OFF_STATE、START_UP、STANDBY 和 ACTIVE。状态描述如下：

- **DEV_OFF**-此状态是设备重置时的默认状态。

3 功能说明

- **POWER_START_UP**、**OTP_READ** - 在此状态下，PVDD 电压逐渐上升，并由设备进行检查。检查无误后，将读取 OTP 存储器。此操作在启用任何其他模块之前完成，以确保配置信息已知。如果 OTP 模块发出故障信号，则将进入 STOP 状态。
- **BUCK_START** - 降压转换器在此状态下启用，退出此状态前 VDDB 电压必须保持正确。如果 VDDB 在一定时间内未达到目标电压，则降压转换器将关闭，器件将进入 STOP 状态。
- **VSENSE_READ**、**CS_GAIN_READ** - 设备将选择性地（可编程）检测 VSENSE 和 CS_GAIN 等引脚，以检查待编程的参数。如果位域 CS_GAIN_ANA 设置为 b0，则电流检测放大器增益将由寄存器 CS_GAIN 设置。否则，如果 CS_GAIN_ANA 设置为 b1，则启用模拟编程。
- **DVDD_START** - 此时，一旦降压转换器输出稳定，DVDD 的线性稳压器便会根据启动延迟和软启动编程逐渐升高。在此状态结束时，DVDD 达到目标电压并稳定。至此，设备的启动过程完成，并进入等待状态，直到来自微控制器等设备的 EN_DRV 信号到达。这将启动待机部分。
- **CHARGE_PUMP_START** - 电荷泵已启用。如果达到目标电压，设备将进入 DEV_ACTIVE 状态。
- **DEV_ACTIVE**（或 ACTIVE 状态）- 在此状态下，驱动器已准备就绪，可供使用。PWM 路径已启用。如果 EN_DRV 信号在激活期间变为低电平，则设备会关闭两个电荷泵，并进入待机状态以停用 PWM 路径。
- **DVDD_STOP** - DVDD 已通电且 DVDD 电源轨发生故障后，设备将进入此状态。设备停止运行，需要 CE 切换或电源循环才能重新启动。降压转换器和 ADC 保持活动状态。
- **停止** - 如果进入此状态，则表示降压转换器 DVDD 启动出现严重故障。器件将无法工作，直至电源循环或 EN_DRV 切换发生。在此状态下无法使用 SPI。

3.14 保护和故障处理

6EDL7151 包含大量保护措施。分别是：

- 过流保护 (OCP)
 - DVDD 线性稳压器
 - 降压转换器
 - 电机桥臂分流器 OCP
- 欠压锁定 (UVLO) 保护：
 - 高侧和低侧驱动器的栅极驱动器电源电压
 - 电源电压 PVDD
 - DVDD 线性稳压器输出电压
 - 降压转换器输出电压
- DVDD 线性稳压器过压锁定 (OVLO) 保护
- VDS 传感器和 OFF 状态诊断
- 基于霍尔传感器输入的转子锁定检测
- 可配置的看门狗
- 过温关断 (OTS) 和过温警告 (OTW)
- 降压转换器和 LDO 的过热关断
- OTP 存储器故障

仲裁状态机接收来自特定故障块的所有故障输入，并在多个故障同时发生（同一时钟周期）的情况下，决定哪个故障需要优先处理。一旦故障被确认，系统将采取如表 12 所示的具体措施。仲裁轮次停止，直到故障清除。状态机分为两个主要的独立仲裁部分：

- **电源故障**（B0 至 B4）。B0 为最高优先级。
- **其他故障**（F0 至 F7）。先发生的故障优先处理，其他故障将被忽略，直至该故障消除。如果同时发生多个故障，则优先处理优先级最高的故障。F0 为最高优先级。

3 功能说明

两个部分的结果操作在 nFAULT 引脚上进行“或”运算。如果故障未锁定，则故障状态将保持，但当故障条件解除时操作将停止。除了关闭 PWM 信号等可能的操作之外，还会更新状态位以通知 MCU 任何警告或/和故障发生。无论优先级如何，此操作均可完成，并且系统中的微控制器可以通过 SPI 命令读取这些状态位。

注释：强烈建议通过读取状态寄存器来确定故障源，并在故障发生时立即清除故障，以便捕获新的故障事件。通过 SPI 接口写入寄存器 FAULTS_CLR 可以清除故障。

以下寄存器提供有关设备故障状态的信息：

- **FAULT_ST**：保存大多数与功能相关的故障。故障可能仅在发生一系列故障事件后才会触发。状态会立即记录事件信息。
- **TEMP_ST**：提供温度警告和温度读数本身的状态。
- **SUPPLY_ST**：报告所有电源 UVLO/OVLO 和 OCP 的状态。
- **FUNCT_ST**：电流感测放大器的增益状态、霍尔传感器的状态、错误的霍尔模式的状态以及 VDS 传感器的状态。
- **OTP_ST**：编程和读取 OTP 相关故障。

要清除故障，用户必须通过 SPI 将位域 CLR_FLTS 写入 FAULTS_CLR 寄存器中。然而，要清除锁存故障，需要写入 CLR_LATCH 位位域。

如果“电机腿分流 OCP”故障被编程为锁存，则该故障无法清除，直到：

- 如果在 OCP 计数模式（8、16 个周期）下，有一个完整的 PWM 周期没有发生 OCP 事件，则进入待机状态。
- 如果处于立即触发模式，则可以在故障消失后清除。

表 12 故障和保护表 - 优先级数字越低，优先级越高

Name	Description	Program mability	Latched	nFAULT report	Active state	Prio	Action(s)
VCCL S UVLO	Charge pump low-side UVLO fault	-	N	Y	DEV_ACTI VE	F1&2 (shared)	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to $R_{GS_PD_WEAK}$ and $R_{GS_PD_STRONG}$ as shown in Figure 76
VCCHS UVLO	Charge pump high-side UVLO fault	-	N	Y	DEV_ACTI VE	F1&2 (shared)	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to $R_{GS_PD_WEAK}$ and $R_{GS_PD_STRONG}$ as shown in Figure 76
DVDD OVLO	DVDD OVLO fault	-	N	Y	STANDBY and DEV_ACTI VE	B1	No action. MCU to perform action
DVDD OCP	DVDD OCP fault	Threshold level	N	Y	STANDBY and DEV_ACTI VE	B3	No action. MCU to perform action

(表格续下页.....)

表 12 (续) 故障和保护表 - Prio 数字越低, 优先级越高

Name	Description	Program mability	Latched	nFAULT report	Active state	Prio	Action(s)
DVDD UVLO	DVDD UVLO fault	-	N(require s power cycle - CE toggle)	Y (however nFAULT is supplied by DVDD)	All states after BUCK_ST ART	B0 and F0	<p>Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. Note: the behavior can be interrupted depending on DVDD as logic is supplied by it.</p> <p>After that, gate signals are pulling down according to $R_{GS_PD_WEAK}$ and $R_{GS_PD_STRONG}$ as shown in Figure 76. These are always active.</p> <p>Waits for power cycle (CE pin low and high).</p> <p>Buck converter continues operation.</p> <p>When DVDD UVLO happens the functional state machine changes from DEV_ACTIVE to DVDD_STOP. Refer to Chapter 3.13 for details.</p> <p>From the application perspective, this fault is the highest priority.</p> <p>Requires a power cycle (CE toggle)</p>
BUCK OCP	Buck converter overcurrent protection	-	N	Y	All states after DVDD ok (after Standby) - fault blanked during charge pump start	B2	No action. MCU to perform action. Protection is blanked during start-up of charge pumps
Motor leg shunt OCP [2:0]	Current sense amplifier overcurrent protection for each phase	Threshold level, count on number of trips, reaction, PWM truncatio n	Program mable - latched if brake on OCP is active	Y	DEV_ACTI VE	F4	<p>PWM truncation if configured.</p> <p>If fault is configured as “Latched” then: gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to $R_{GS_PD_WEAK}$ and $R_{GS_PD_STRONG}$ as shown in Figure 76.</p> <p>Brake as defined in PWM_CFG register when CS_OCP_BRAKE register enabled. Fault latched if braking active</p>

(表格续下页.....)

表 12 (续) 故障和保护表 - Prio 数字越低, 优先级越高

Name	Description	Program mability	Latched	nFAULT report	Activ e state	Prio	Action(s)
VDS Sensor	VDS sensor comparator protection	Threshold, blanking, deglitch filter	Y	Y	DEV_ACTI VE	F5	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to $R_{GS_PD_WEAK}$ and $R_{GS_PD_STRONG}$ as shown in Figure 76
Locked rotor	Locked rotor watchdog overflow	Timing	Y	Y, Program mable	DEV_ACTI VE	F6	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to $R_{GS_PD_WEAK}$ and $R_{GS_PD_STRONG}$ as shown in Figure 76 . Requires toggle of EN_DRV to re-start normal operation again
Watch dog timers	Watchdog timer overflow. Several inputs programmable	Timing, reaction. Dependin g on input	Program mable - latched if brake on watchdog fault is enabled	Y (with input EN_DRV only, otherwise not)	Dependin g on input, either START UP or DEV_ACTI VE	F7	<p>If input:</p> <ul style="list-style-type: none"> · EN_DRV: gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to $R_{GS_PD_WEAK}$ and $R_{GS_PD_STRONG}$ as shown in Figure 76. · Buck input: no action required from user or device. · Charge pump input: nFAULT reported. Driver won't start-up. · Others: brake as defined in PWM_CFG register when WD_BRAKE register enabled. Always latched if braked enabled
OTS	Overtempera ture shutdown	-	Y	Y	DEV_ACTI VE	F3	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to $R_{GS_PD_WEAK}$ and $R_{GS_PD_STRONG}$ as shown in Figure 76
OTW	Overtempera ture warning	-	N	N (only status register report)	DEV_ACTI VE	F9	No action. MCU to perform action

(表格续下页.....)

表 12 (续) 故障和保护表 - Prio 数字越低，优先级越高

Name	Description	Program mability	Latched	nFAULT report	Active state	Prio	Action(s)
OTP Fault	OTP read fault or OTP user programming error	-	Y	Y	All states	F8	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to $R_{GS_PD_WEAK}$ and $R_{GS_PD_STRONG}$ as shown in Figure 76

3.15 设备编程—OTP和SPI接口

6EDL7151 包含一些可由用户编程的智能功能。这些功能的配置（包括放大器的增益、栅极驱动器的驱动电压或故障反应）在设备处于活动状态时存储在寄存器中。这些功能的配置可以在运行时通过 SPI 命令进行更改。这些寄存器是易失性存储单元，因此，每次设备断电时其信息就会丢失。

因此，6EDL7151 集成了 OTP NVM（一次性可编程非易失性存储器），即使在断电时也能存储指定的默认配置。最初，器件使用第 3.16 章中提供的默认寄存器设置进行编程。在器件启动阶段（参见图 47 中的状态机流程图），OTP 中的配置被复制或镜像到易失性寄存器中。这些寄存器控制着设备的实际行为。如图 48 所示。

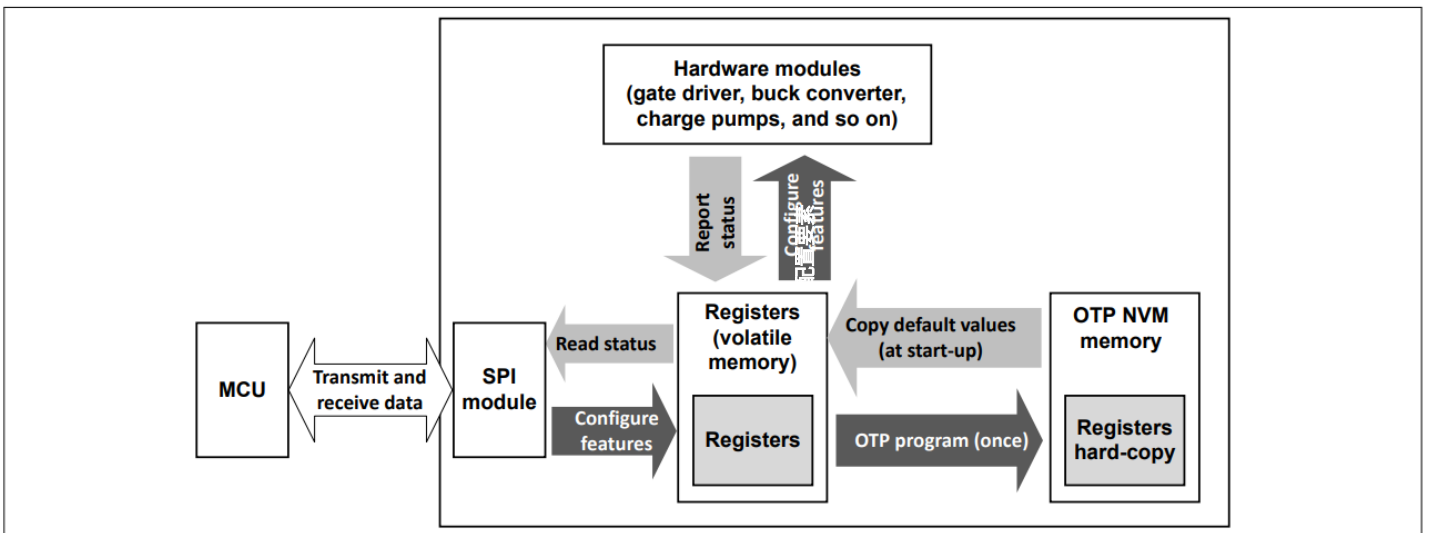


图 48 编程概览

如果 OTP 中存储的器件默认配置（“出厂配置”）并非理想配置，设计人员可以为其应用选择其他配置，并将其无限期地存储在 OTP 存储器中（硬拷贝）。请参阅第 3.15.1 章详细编程步骤请见此处。此操作仅可执行一次。无法再次写入 OTP。不过，如上所述，启动后可以通过 SPI 命令覆盖易失性寄存器上的配置。

可以使用位于 OTP_PROG 寄存器中的软件 ID 位域 USER_ID 来跟踪用户配置。

注释： 建议对 6EDL7151 中的寄存器进行每次写入操作后都进行确认读取，以确保寄存器中写入和读取的数据匹配，从而确认编程正确。

3.15.1 OTP用户编程流程：加载自定义默认值

6EDL7151 OTP 用于用户配置存储。OTP 模块在编程时实现双重错误校正，外加一次额外的错误检测。

OTP 编程必须仅在受控环境中进行。这要求用户确保编程在正确的电源电压下进行，即 $PVDD > PVDD_{OTP_PROG}$ 。此外，温度必须低于 T_{OTP_PROG} 。这两个参数在内部受到监控。这意味着，如果尝试在这些参数之外进行编程，编程将被阻止。如果发生这种情况，则位域 `OTP_PROG_BLOCK` 设置为 b1，以指示其中一个参数超出了要求的范围。默认值（如第 3.16.2 章中粗体所示）在这种情况下，启动后将使用 3.16.2 中的说明。可以进行进一步的编程尝试。`OTP_PROG_BLOCK` 会在编程成功完成或断电后重置。

要使用特定配置写入 OTP，应执行以下编程步骤：

1. 启动器件进入待机模式 ($V_{EN_DRV} < V_{EN_DRV_TH}$)。
2. 通过 SPI 写入命令将寄存器写入所需的默认值。
3. 使用 `OTP_PROG` 位域将这些值编程到 OTP 中。
 - 如果温度高于 T_{OTP_PROG} 或 $PVDD < PVDD_{OTP_PROG}$ ，则编程不会启动，且 `OTP_PROG_BLOCK` 设置为 b1。条件可以修改，然后可以再次尝试编程。如果编程失败两次，器件将被锁定，信号为 `OTP_USED = b1` 和 `OTP_PASS = b0`。
 - 如果温度和 `PVDD` 值在范围内，则编程开始，将寄存器参数复制到 OTP 存储器中。这只能做一次。
4. (推荐) 通过位域 `OTP_USED` 和 `OTP_PASS` 或 `OTP_PROG_FAIL` 检查 OTP 编程是否成功：
 - 如果 OTP 编程失败，则设备将被锁定，直到进行电源循环（CE 引脚下拉和上拉）。由 `OTP_USED = b1` 和 `OTP_PASS = b0` 或简单的 `OTP_PROG_FAIL = b1` 发出信号。无法对 OTP 进行进一步编程。内存内容被认为已损坏，因此应丢弃该部分。
 - 如果编程成功，则正常功能继续。这是由 `OTP_USED = b1` 和 `OTP_PASS = b1` 或简单的 `OTP_PROG_FAIL = b0` 表示的。建议在成功编程后执行电源循环（CE 引脚向下和向上拉）以使新值生效。

写入已编程 OTP 的尝试将被忽略。OTP 状态总结在 表格 13 中。

表 13 OTP 编程状态

Device status	OTP_USED	OTP_PASS	OTP_PROG_BLOCK	OTP_PROG_FAIL	Status description
Non-programmed device	0	0	0	0	Default values used
Successful programming of OTP	1	1	X	X	User programming was successful. Upon start-up, the newly programmed default values are loaded into registers for custom configuration
Programming blocked due to PVDD or temperature conditions	0	0	1	0	Part can be reprogrammed once condition are within limits

(表格续下页.....)

表 13 (续) OTP 编程状态

Device status	OTP_USED	OTP_PASS	OTP_PROG_BLOCK	OTP_PROG_FAIL	Status description
Programming started but failed during operation due to PVDD or temperature conditions	1	0	1	1	Part must be discarded
Programming started but failed due to OTP issue	1	0	0	1	Part must be discarded

OTP 编程失败（将寄存器错误地复制到 OTP 存储器中）会迫使设备在读出过程中进入停止状态（见图 47）。在这种情况下，故障会在 nFAULT 引脚上报告。微控制器一旦获悉故障，即可通过读取位域 OTP_USED、OTP_PASS 或 OTP_PROG_FAIL 以及 OTP_PROG_BLOCK 来请求 6EDL7151 提供存储器状态。

如果用户选择在微控制器软件启动期间对 OTP 进行编程，则每次编程之前都应检查 OTP_USED = b1。否则可能会出现错误的编程。

3.15.2 SPI通信

6EDL7151 与外部微控制器之间的所有通信都通过集成 SPI 接口进行。该模块用于对配置寄存器进行编程，从而命令设备，例如，更改设置或编程 OTP 内存。

SPI 模块基于 4 针配置。数据采集发生在 SPI 时钟信号的下降沿。所有通信都发生在 24 位长度的移位寄存器中。

- 7位地址
- 16位数据字节
- 1位命令

定义了两个命令：

- 1 - 寄存器写入
- 0 - 寄存器读取

数据以MSB优先的方式移入。图49和图50分别展示SPI接口的写入和读取操作。

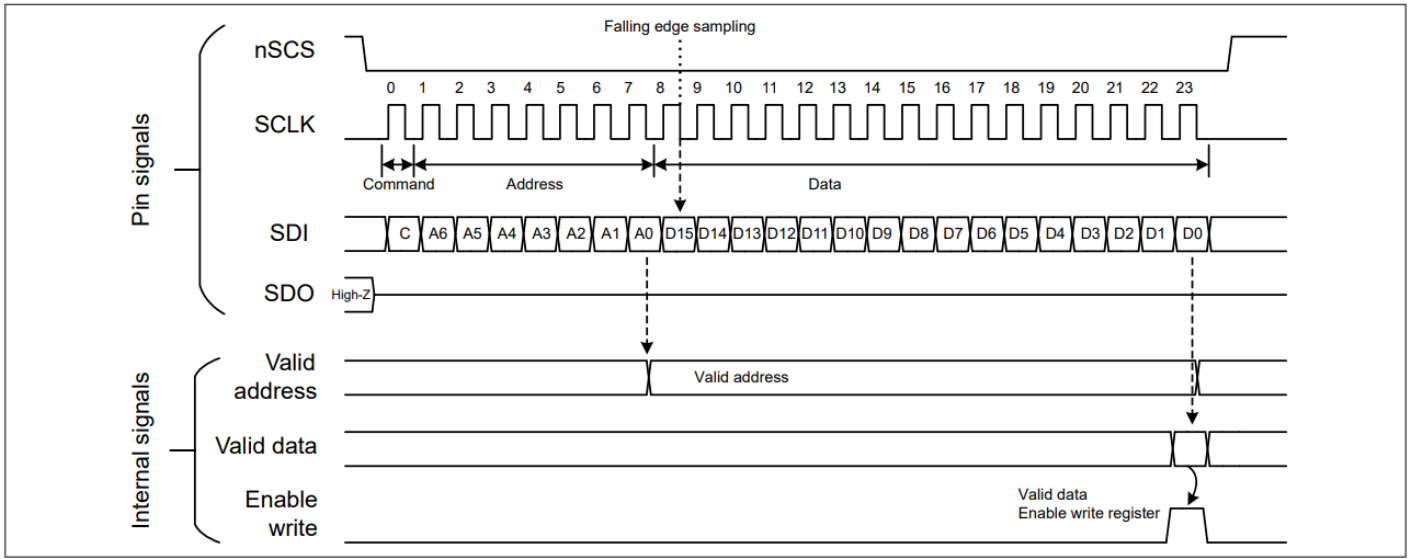


图49 SPI写操作

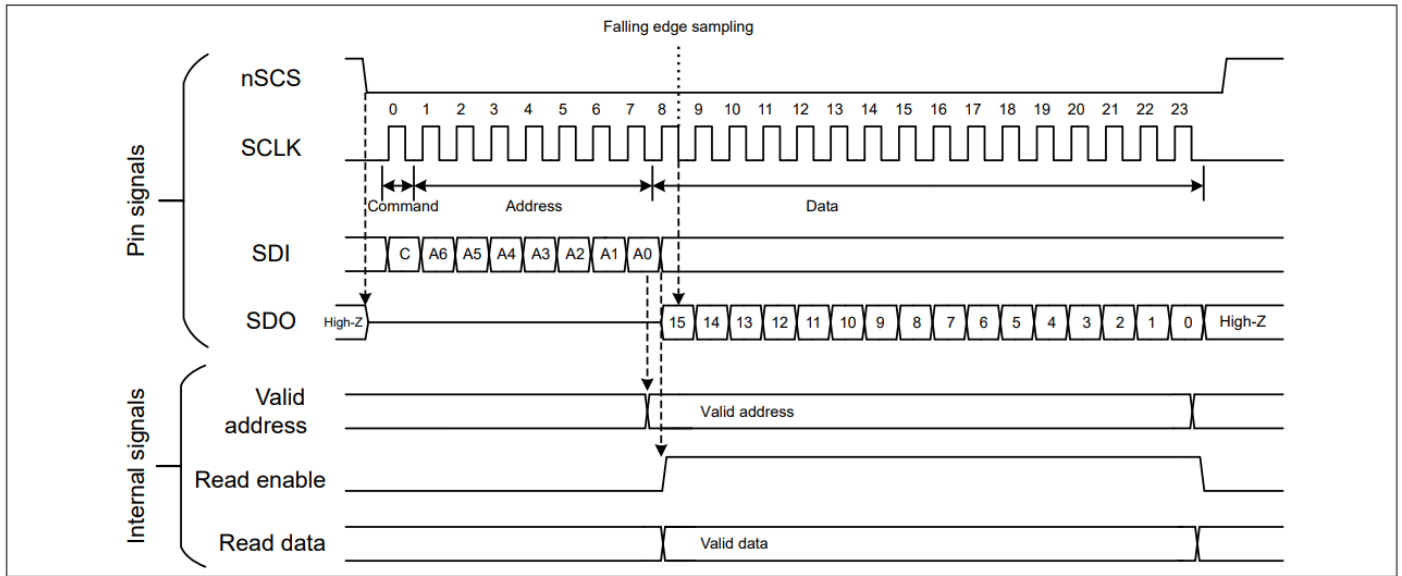


图50 SPI读操作

3.15.2.1 SPI通信示例

例如，用户想将新值 $TDRIVE1 = 50 \text{ ns}$ (0x01)、 $TDRIVE2 = 2540 \text{ ns}$ (0xFE) 写入寄存器 $TDRIVE_SRC_CFG$ (地址 0x19)，则需要通过整理 $TDRIVE2$ 和 $TDRIVE1$ 的值，使寄存器的内容为 0xFE01。因此，一旦 $nSCS$ 信号被拉低，MCU 需要在 SPI 总线 (SDI 信号) 中写入以下命令：

二进制：b 1001 1001 1111 1110 0000 0001

十六进制：0x99 FE 01

写入后，如果需要读取，则 MCU 必须应用以下序列。通过写入 SDI 信号来读取 $TDRIVE_SRC_CFG$ 寄存器：

二进制：b 0001 1001 -----

十六进制：0x19 ----

3.16 寄存器映射

表 14 显示可通过 SPI 接口访问的 6EDL7151 中的寄存器完整列表。

表 14 寄存器映射概述

Register name	Short description	Offset address
FAULT_ST	Faults status	00 _H
TEMP_ST	Temperature status	01 _H
SUPPLY_ST	Power supply status	02 _H
FUNCT_ST	Functional status	03 _H
OTP_ST	OTP status	04 _H
ADC_ST	ADC status	05 _H
CP_ST	Charge pump status	06 _H
DEVICE_ID	Device ID	07 _H
VDS_SENSE_CFG	VDS sensors configuration	0F _H
FAULTS_CLR	Faults clear	10 _H
SUPPLY_CFG	Power supply configuration	11 _H
ADC_CFG	ADC configuration	12 _H
PWM_CFG	PWM configuration	13 _H
SENSOR_CFG	Sensor configuration	14 _H
WD_CFG	Watchdog configuration	15 _H
WD_CFG2	Watchdog configuration 2	16 _H
IDRIVE_CFG	Gate driver current configuration	17 _H
IDRIVE_PRE_CFG	Gate driver precharge current configuration	18 _H
TDRIVE_SRC_CFG	TDRIVE source configuration	19 _H
TDRIVE_SINK_CFG	TDRIVE sink configuration	1A _H
DT_CFG	Dead time configuration	1B _H
CP_CFG	Charge pump configuration	1C _H
CSAMP_CFG	Current sense amplifier configuration	1D _H
CSAMP_CFG2	Current sense amplifier configuration 2	1E _H
OTP_PROG	OTP program	1F _H

3.16.1 设备可编程性

6EDL7151 可编程寄存器可以在 SPI 接口激活后的任何时间进行编程，但是，某些位域更改在某些条件发生之前不会产生效果。这是为了防止错误行为或避免操作中出现故障。定义了三个类别：

- 始终可编程：**在器件的任何状态下，对这些位域进行编程都会立即生效。在某些情况下，该效果可以与 PWM 或制动事件同步。
- 待机可编程：**仅当 EN_DRV 电平为低时，对这些位域进行编程才有效。如果在 EN_DRV 为高时进行编程，寄存器将显示新值，但直到 EN_DRV 为高时才会生效。

3 功能说明

拉下。这是为了防止系统故障。因此建议在启用 EN_DRV 之前对这些寄存器进行编程。

3. **仅限 OTP**：这些位域的编程仅在 OTP 模式下进行，且在器件新上电 (PVDD) 后才会生效。这些设置会影响器件的启动，即在 DVDD 上升之前就已经生效的位域，因此必须将其烧录到 OTP 中才能在下次上电时生效。例如，如果在 ACTIVE 状态下写入“待机”值，则该值会被写入，而读取该寄存器则会返回写入的值，但是，直到器件状态机进入 STANDBY 状态，该值才会（影子）传输到实际有效寄存器。

表 15 为设备的每个配置 ('rw' 或 'w' 类型位域) 提供分类。

表 15 寄存器可编程性

Register name	Bitfield name	Programmability
VDS_SENSE_CFG	VDS_HS_TH	Always
	VDS_LS_TH	Always
	VDS_BLANK	Always
	VDS_FILTER	Always
	VDS_FLT_CFG	Always
	VDS_SENSE_EN	Always
SUPPLY_CFG	PVCC_SETPT	Standby
	CS_REF_CFG	Standby
	DVDD_OCP_CFG	Always
	DVDD_SFTSTRT	OTP only
	DVDD_SETPT	OTP only
	BK_FREQ	Standby
	DVDD_TON_DELAY	OTP only
CP_PRECHARGE_EN	Standby	
ADC_CFG	ADC_OD_REQ	Always - no OTP field, just register
	ADC_OD_INSEL	Always - no OTP field, just register
	ADC_EN_FILT	Always - no OTP field, just register
	ADC_FILT_CFG	Always
	ADC_FILT_CFG_PVDD	Always
PWM_CFG	PWM_MODE	Standby
	PWM_FREEW_CFG	Always
	BRAKE_CFG	Always
	PWM_RECIRC	Standby
SENSOR_CFG	HALL_DEGLITCH	Always
	OTS_DIS	Always
	CS_TMODE	Always
	VDS_OFF_DIAG_EN	Standby

(表格续下页.....)

表 15 (续) 寄存器可编程性

Register name	Bitfield name	Programmability
WD_CFG	WD_EN	Standby
	WD_INSEL	Standby
	WD_FLTCFG	Standby
	WD_TIMER_T	Standby
WD_CFG2	WD_BRAKE	Standby
	WD_EN_LATCH	Standby
	WD_DVDD_RSTRT_ATT	Standby
	WD_DVDD_RSTRT_DLY	Standby
	WD_RLOCK_EN	Always
	WD_RLOCK_T	Always
IDRIVE_CFG	WD_BK_DIS	OTP only
	IHS_SRC	Always
	IHS_SINK	Always
	ILS_SRC	Always
IDRIVE_PRE_CFG	ILS_SINK	Always
	I_PRE_SRC	Always
	I_PRE_SINK	Always
	I_PRE_SRC_DIS	Always
	I_PRE_SNK_DIS	Always
TDRIVE_SRC_CFG	I_CLAMP_DIS	Always
	TDRIVE1	Always
TDRIVE_SINK_CFG	TDRIVE2	Always
	TDRIVE3	Always
DT_CFG	TDRIVE4	Always
	DT_RISE	Always
CP_CFG	DT_FALL	Always
	CP_CLK_CFG	Always
CSAMP_CFG	CP_CLK_SS_DIS	Always
	CS_GAIN	Always – recommended to stop PWM first
	CS_GAIN_ANA	Standby (change to digital mode)- change to analog mode only possible if written in OTP followed by power cycle
	CS_EN	Always
	CS_BLANK	Always – recommended to stop PWM first

(表格续下页.....)

表 15 (续) 寄存器可编程性

Register name	Bitfield name	Programmability
	CS_EN_DCCAL	Standby
	CS_OCP_DEGLITCH	Standby
	CS_OCPFLT_CFG	Standby
CSAMP_CFG2	CS_OCP_PTHR	Always
	CS_OCP_NTHR	Always
	CS_OCP_LATCH	Standby
	CS_MODE	Standby
	CS_OCP_BRAKE	Standby
	CS_TRUNC_DIS	Always
	CS_NEG_OCP_DIS	Always
OTP_PROG	CS_AZ_CFG	Always
	OTP_PROG	Standby (programming of OTP only in Standby)
	USER_ID	Always

表 16 寄存器读写编码说明

Code	Access type	Description
RES	No access	Reserved
r	Read	Read only. A write produces no action
rh	Read Hardware	Read only, the bitfield is modified by hardware (typical example: status bitfields)
rw	Read/Write	Read or write by user
w	Write	Write only. A read returns 0

注释: 寄存器位域的默认值以粗体显示。

3.16.2 寄存器映射

3 功能说明

3.16.2.1 故障状态寄存器

如果其中一个位的状态切换为值 b1，则发生相应的故障/警告。要清除故障，请使用 FAULTS_CLR 寄存器中的清除故障位

FAULT_ST

偏移地址: 00_H

故障状态寄存器

AsyncReset值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
RES		OTP_FLT	WD_FLT	RLOCK_FLT	OTW_FLT	OTS_FLT	BK_OCP_FLT	DVDD_OV_FLT	DVDD_UV_FLT	DVDD_OCP_FLT	CP_FLT	CS_OCP_FLT				
r		rh	rh	rh	rh	rh	rh	rh	rh	rh	rh	rh	rh			

Field	Bits	Type	Description
CS_OCP_FLT	2:0	rh	Current sense amplifier OCP fault status Current sense amplifier OCP fault status bxx0: No fault on phase A bxx1: Fault on phase A bx0x: No fault on phase B bx1x: Fault on phase B b0xx: No fault on phase C b1xx: Fault on phase C
CP_FLT	3	rh	Charge pumps fault status Charge pump low-side and high-side combined fault status b0: No fault has occurred b1: A fault has occurred
DVDD_OCP_FLT	4	rh	DVDD OCP (Over-Current Protection) fault status DVDD linear voltage regulator Over-Current Protection fault status b0: No fault has occurred b1: A fault has occurred
DVDD_UV_FLT	5	rh	DVDD UVLO (Under-Voltage Lock-Out) fault status DVDD UVLO fault status b0: No fault has occurred b1: A fault has occurred
DVDD_OV_FLT	6	rh	DVDD OVLO (Over-Voltage Lock-Out) fault status DVDD OVLO fault status b0: No fault has occurred b1: A fault has occurred
BK_OCP_FLT	7	rh	Buck OCP fault status Buck Over-Current Protection fault status b0: No fault has occurred b1: A fault has occurred

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
OTS_FLT	8	rh	Overtemperature shutdown fault status Overtemperature shutdown event status b0: No fault has occurred b1: A fault has occurred
OTW_FLT	9	rh	Overtemperature warning status Overtemperature warning signal status b0: No warning signal has occurred b1: A warning signal has occurred
RLOCK_FLT	10	rh	Locked rotor fault status Locked rotor fault status using Hall sensors b0: No fault has occurred b1: A fault has occurred
WD_FLT	11	rh	Watchdog fault status Watchdog status b0: No fault has occurred b1: A fault has occurred
OTP_FLT	12	rh	OTP status OTP (One Time Programmable) memory fault status b0: No fault has occurred b1: A fault has occurred
RES	15:13	r	Reserved A read always returns 0

3 功能说明

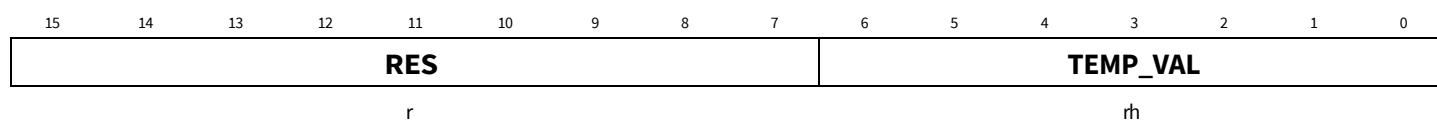
3.16.2.2 温度状态寄存器

该寄存器包含MCU读取的温度值

TEMP_ST

偏移地址: 01_H

温度状态寄存器

AsyncReset值: 0000_H

Field	Bits	Type	Description
TEMP_VAL	6:0	rh	Temperature reading Temperature value in steps of 2 degrees Celsius b000000: -94 degrees Celsius every 2 degrees Celsius b1111111: 160 degrees Celsius
RES	15:7	r	Reserved A read always returns 0

3 功能说明

3.16.2.3 电源状态寄存器

该寄存器包含电源相关块的状态

SUPPLY_ST

偏移地址:

02_H

电源状态寄存器

AsyncReset值:

0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES			PVDD_VAL							VDDB _OVS T	VDDB _UVS T	DVDD _OVS T	DVDD _UVS T	VCCH S_UV ST	VCCL S_UV ST
r			rh							rh	rh	rh	rh	rh	rh

Field	Bits	Type	Description
VCCLS_UVST	0	rh	Charge pump low-side UVLO status b0: Below threshold b1: Above threshold
VCCHS_UVST	1	rh	Charge pump high-side UVLO status b0: Below threshold b1: Above threshold
DVDD_UVST	2	rh	DVDD UVLO status b0: Below threshold b1: Above threshold
DVDD_OVST	3	rh	DVDD OVLO (Over-Voltage Lock-Out) status b0: Below threshold b1: Above threshold
VDDB_UVST	4	rh	VDDB UVLO status b0: Below threshold b1: Above threshold
VDDB_OVST	5	rh	VDDB OVLO status b0: Below threshold b1: Above threshold
PVDD_VAL	12:6	rh	PVDD ADC result reading value Holds the analog to digital conversions value for PVDD input voltage
RES	15:13	r	Reserved A read always returns 0

3 功能说明

3.16.2.4 功能状态寄存器

各种功能信号的状态

FUNCT_ST

功能状态寄存器

偏移地址: 03_H

AsyncReset值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES	VDS_LSC_ST	VDS_HSC_ST	VDS_LSB_ST	VDS_HSB_ST	VDS_LSA_ST	VDS_HSA_ST	CS_GAIN_ST			DVDD_ST	HALL_POL_ST	HALLIN_ST			
r	rh	rh	rh	rh	rh	rh	rh			rh	rh	rh			

Field	Bits	Type	Description
HALLIN_ST	2:0	rh	Hall sensor inputs status Hall sensor input status for each phase b0: signal is low b1: signal is high bit 0: Phase A bit 1: Phase B bit 2: Phase C
HALLPOL_ST	3	rh	Hall sensor polarity equal indicator Status bit that indicate if all phases of the Hall sensors have the same polarity at the same time b0: Hall sensors have different polarity b1: Hall sensors have the same polarity
DVDD_ST	4	rh	DVDD set point status DVDD set point read value. The reading is independent of whether DVDD is analog or digitally programmed b0: 3.3 V b1: 5 V
CS_GAIN_ST	7:5	rh	Status of the current sense amplifier gain Shows the value of the current sense amplifier gain independently of whether programmed digitally or via external resistor b000: 4 V/V b001: 8 V/V b010: 12 V/V b011: 16 V/V b100: 20 V/V b101: 24 V/V b110: 32 V/V b111: 64 V/V
VDS_HSA_ST	8	rh	VDS high-side A sensor status Indicates the comparator status for high-side phase A b0: No fault has occurred b1: A fault has occurred

(表格续下页.....)

3 功能说明

(续)

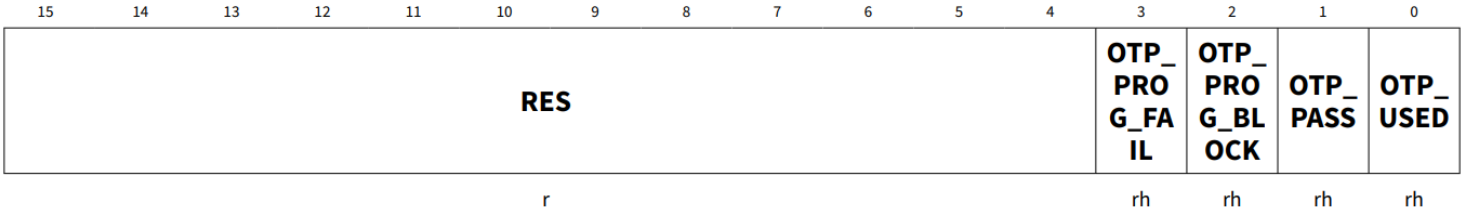
Field	Bits	Type	Description
VDS_LSA_ST	9	rh	VDS low-side A sensor status Indicates the comparator status for low-side phase A b0: No fault has occurred b1: A fault has occurred
VDS_HSB_ST	10	rh	VDS high-side B sensor status Indicates the comparator status for high-side phase B b0: No fault has occurred b1: A fault has occurred
VDS_LSB_ST	11	rh	VDS low-side B sensor status Indicates the comparator status for low-side phase B b0: No fault has occurred b1: A fault has occurred
VDS_HSC_ST	12	rh	VDS high-side C sensor status Indicates the comparator status for high-side phase C b0: No fault has occurred b1: A fault has occurred
VDS_LSC_ST	13	rh	VDS low-side C sensor status Indicates the comparator status for low-side phase C b0: No fault has occurred b1: A fault has occurred
RES	15:14	r	Reserved A read always returns 0

3 功能说明

3.16.2.5 OTP 状态寄存器

OTP 存储器状态信息可在此寄存器中找到

OTP_ST 偏移地址: 04_H
 OTP状态寄存器 AsyncReset值: 0000_H



Field	Bits	Type	Description
OTP_USED	0	rh	OTP used Shows if OTP memory has been written by user or still holds factory defaults b0: OTP memory is not used: factory defaults b1: OTP memory is used: new custom values loaded
OTP_PASS	1	rh	User OTP programming passed Is set if USER OTP programming has passed without error b0: Not programmed or not passed b1: Programming passed without error
OTP_PROG_BLOCK	2	rh	User OTP programming blocked Signals if OTP programming has been attempted when voltage or temperature outside range b0: Programming was not blocked b1: Programming blocked
OTP_PROG_FAIL	3	rh	OTP programming fail If set, indicates that the programming of the OTP has failed b0: No failure b1: Programming failed
RES	15:4	r	Reserved A read always returns 0

3 功能说明

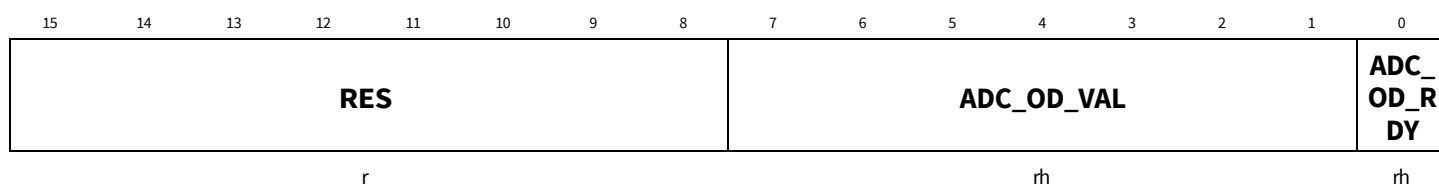
3.16.2.6 ADC状态寄存器

ADC状态寄存器

ADC_ST

偏移地址: 05_H

ADC状态寄存器

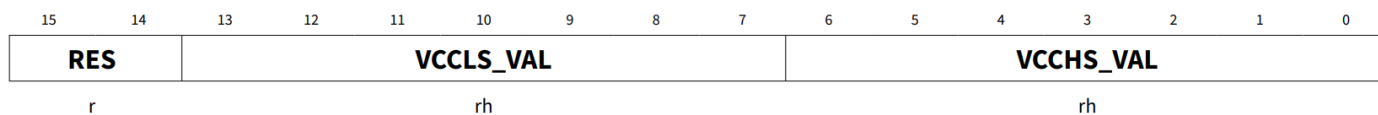
AsyncReset值: 0000_H

Field	Bits	Type	Description
ADC_OD_RDY	0	rh	ADC on demand conversion result ready Indicates if ADC result for one of the extended conversions is ready to be read b0: Not ready b1: Ready
ADC_OD_VAL	7:1	rh	ADC on demand result value ADC result value for on demand conversions
RES	15:8	r	Reserved A read always returns 0

3 功能说明

3.16.2.7 电荷泵状态寄存器

电荷泵状态

CP_ST 偏移地址: 06_H电荷泵状态寄存器 AsyncReset值: 0000_H

Field	Bits	Type	Description
VCCHS_VAL	6:0	rh	VCCHS ADC result reading value Holds the analog to digital conversions value for VCCHS voltage
VCCLS_VAL	13:7	rh	VCCLS ADC result reading value Holds the analog to digital conversions value for VCCLS voltage
RES	15:14	r	Reserved A read always returns 0

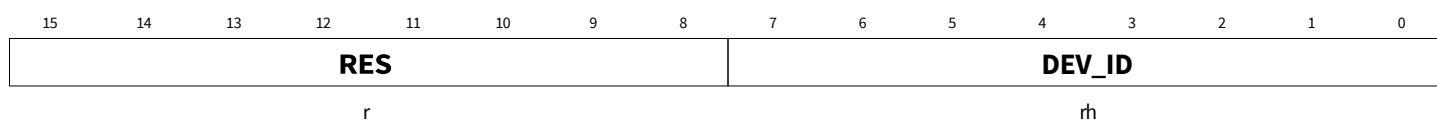
3 功能说明

3.16.2.8 设备ID寄存器

器件ID

DEVICE_ID 偏移地址: 07_H

设备ID寄存器 AsyncReset值: 0011_H



Field	Bits	Type	Description
DEV_ID	7:0	rh	Device ID Device identifier for user version control
RES	15:8	r	Reserved A read always returns 0

3 功能说明

3.16.2.9 VDS传感器配置寄存器

配置设备的VDS传感器

VDS_SENSE_CFG

偏移地址: 0F_H

VDS传感器配置寄存器

AsyncReset值: 3FFF_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
VDS_SENSE_EN	VDS_FLT_CFG	VDS_FILTER			VDS_BLANK			VDS_LS_TH			VDS_HS_TH				
rw	rw	rw			rw			rw			rw				

Field	Bits	Type	Description
VDS_HS_TH	3:0	rw	VDS high-side comparator threshold Configures the threshold of the high-side comparators in the VDS sensor block b0000: 0.1 V b0001: 0.15 V b0010: 0.2 V b0011: 0.25 V b0100: 0.3 V b0101: 0.35 V b0110: 0.4 V b0111: 0.45 V b1000: 0.5 V b1001: 0.55 V b1010: 0.6 V b1011: 0.65 V b1100: 0.8 V b1101: 1.0 V b1110: 1.5 V b1111: 2.0 V

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
VDS_LS_TH	7:4	rw	VDS low-side comparator threshold Configures the threshold of the low-side comparators in the VDS sensor block b0000: 0.1 V b0001: 0.15 V b0010: 0.2 V b0011: 0.25 V b0100: 0.3 V b0101: 0.35 V b0110: 0.4 V b0111: 0.45 V b1000: 0.5 V b1001: 0.55 V b1010: 0.6 V b1011: 0.65 V b1100: 0.8 V b1101: 1.0 V b1110: 1.5 V b1111: 2.0 V
VDS_BLANK	10:8	rw	VDS sensor blanking time Configures the VDS sensor blanking period during switching transitions b000: 1.0 us b001: 1.5 us b010: 2.0 us b011: 2.5 us b100: 3.0 us b101: 3.5 us b110: 4.0 us b111: 5.0 us
VDS_FILTER	13:11	rw	VDS sensor filter time Configures the VDS sensor filter time b000: 1.0 us b001: 1.5 us b010: 2.0 us b011: 2.5 us b100: 3.0 us b101: 3.5 us b110: 4.0 us b111: 5.0 us
VDS_FLT_CFG	14	rw	VDS sensor fault configuration Defines the behavior of the device after a VDS fault has occurred b0: Register reporting only b1: Register reporting and nFAULT signal reporting

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
VDS_SENSE_EN	15	rw	VDS sensor enable Setting this bitfield will enable the VDS sensor module b0: VDS sensor disabled b1: VDS sensor enabled

3 功能说明

3.16.2.10 故障清除寄存器

清除设备各种故障

FAULTS_CLR

偏移地址: 10_H

故障清除寄存器

AsyncReset 值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES													CLR_	CLR_	
													LATC	FLTS	
													H	H	
r													w	w	

Field	Bits	Type	Description
CLR_FLTS	0	w	Clear all faults Setting this bitfield will clear all faults of the device excluding latched faults. A reading always returns 0 b0: No action b1: Clear all fault status bits except latched ones
CLR_LATCH	1	w	Clear all latched faults Setting this bitfield will clear all (and only) latched faults in the device. A reading always returns 0 b0: No action b1: Clear latched fault status bits
RES	15:2	r	Reserved A read always returns 0

3 功能说明

3.16.2.11 电源配置寄存器

该寄存器包含用于配置和控制设备电源的位位域

SUPPLY_CFG

偏移地址:

11_H

电源配置寄存器

AsyncReset值:

F000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CP_P RECH ARGE _EN	DVDD_TON_ DELAY	BK_F REQ	DVDD_SETP T	DVDD_SFTSTRT				DVDD_OCP_ CFG	CS_REF_CFG	PVCC_SETP T					
rw	rw	rw	rw	rw				rw	rw	rw					

Field	Bits	Type	Description
PVCC_SETPT	1:0	rw	PVCC set point Configures the target PVCC (gate driving voltage) voltage level b00: 12 V b01: 15 V b10: 10 V b11: 7 V
CS_REF_CFG	3:2	rw	Current sense reference configuration Selects the VREF voltage that is applied as offset in all three current sense amplifiers b00: 1/2 DVDD b01: 5/12 DVDD b10: 1/3 DVDD b11: 1/4 DVDD
DVDD_OCP_CFG	5:4	rw	DVDD OCP threshold configuration DVDD OCP threshold selection b00: 450 mA b01: 300 mA b10: 150 mA b11: 50 mA
DVDD_SFTSTRT	9:6	rw	DVDD soft start configuration DVDD linear regulator soft start programming 100 us, stepping 100 us up to 1.6 ms b0000: 100 us b0001: 200 us 100 us steps b1111: 1.6 ms

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
DVDD_SETPT	11:10	rw	DVDD set point configuration Configures DVDD output voltage b0x: use VSENSE pin for analog programming b10: DVDD = 3.3 V - digitally programmed b11: DVDD = 5 V - digitally programmed
BK_FREQ	12	rw	Buck converter switching frequency selection Configures the switching frequency of the buck converter b0: Low frequency (500 kHz) b1: High frequency (1 MHz)
DVDD_TON_DELAY	14:13	rw	DVDD turn on delay configuration The device will wait for the configured time before turning on the DVDD starting counting from VDDB UVLO during start-up of the device b00: 200us b01: 400us b10: 600us b11: 800 us
CP_PRECHARGE_EN	15	rw	Charge pump precharge configuration Enables the precharge of the VCCLS charge pump during start-up b0: Precharge disabled b1: Precharge enabled

3 功能说明

3.16.2.12 ADC配置寄存器

注释：必须一次性写入寄存器的完整内容（读取-修改-写入）。一次写入一个位域会将所有其他位域设置为默认值。
ADC相关功能的配置

ADC_CFG

偏移地址：12_H

ADC配置寄存器

AsyncReset值：0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES								ADC_FILT_C FG_PVDD	ADC_FILT_C FG	ADC_ EN_F ILT	ADC_OD_IN SEL	ADC_ OD_R EQ			
r								rw	rw	w	rw	w			

Field	Bits	Type	Description
ADC_OD_REQ	0	w	ADC on demand conversion request Setting this bitfield will inject an additional measurement in the standard sequence. This additional measurement is selected in ADC_IN_SEL bitfield. A read always returns 0 b0: No action b1: Request the conversion of the signal selected in ADC_IN_SEL
ADC_OD_INSEL	2:1	rw	ADC input selection for on demand conversions Configures the input to the ADC b00: IDIGITAL: device digital area current consumption b01: DVDD b10: VDDB b11: Reserved
ADC_EN_FILT	3	w	Enable filtering for on demand ADC measurement Enables the moving average filter for on demand ADC measurements. A read always returns 0 b0: No action b1: Enable filtering
ADC_FILT_CFG	5:4	rw	ADC generic filtering configuration Selects the moving average filter characteristic for ADC measurements except PVDD measurement b00: 8 samples averaging filter b01: 16 samples averaging filter b10: 32 samples averaging filter b11: 64 samples averaging filter
ADC_FILT_CFG_PVDD	7:6	rw	PVDD ADC measurement result filtering configuration Selects the moving average filter characteristic for PVDD measurement b00: 32 samples b01: 16 samples b10: 8 samples b11: 1 sample

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
RES	15:8	r	Reserved A read always returns 0

3 功能说明

3.16.2.13 PWM配置寄存器

PWM相关配置

PWM_CFG

偏移地址: 13_H

PWM配置寄存器

AsyncReset值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES									PWM _REC IRC	BRAKE_CFG	PWM _FRE EW_C FG	PWM_MODE			
r									rw	rw	rw	rw			

Field	Bits	Type	Description
PWM_MODE	2:0	rw	PWM commutation mode selection PWM mode selection b000: 6PWM mode b001: 3PWM mode b010: 1PWM mode b011: 1PWM with Hall sensors b100: b111: Reserved
PWM_FREEW_C FG	3	rw	PWM freewheeling configuration Selects which rectification or freewheeling is desired (only for 1 PWM input modes) b0: Active freewheeling b1: Diode freewheeling
BRAKE_CFG	5:4	rw	Brake configuration Brake scheme configuration b00: Low-side b01: High-side b10: High-Z (non-power) b11: Brake toggle - alternates between low- and high-side braking on every braking event
PWM_RECIRC	6	rw	PWM recirculation selection (for PWM_MODE = b011 only) Setting this bitfield will activate the alternating recirculation feature of the 1PWM with Hall sensors and alternating recirculation PWM mode. For PWM_MODE = b011 only b0: Disable alternating recirculation mode b1: Enable alternating recirculation mode
RES	15:7	r	Reserved A read always returns 0

3 功能说明

3.16.2.14 传感器配置寄存器

传感器配置

SENSOR_CFG

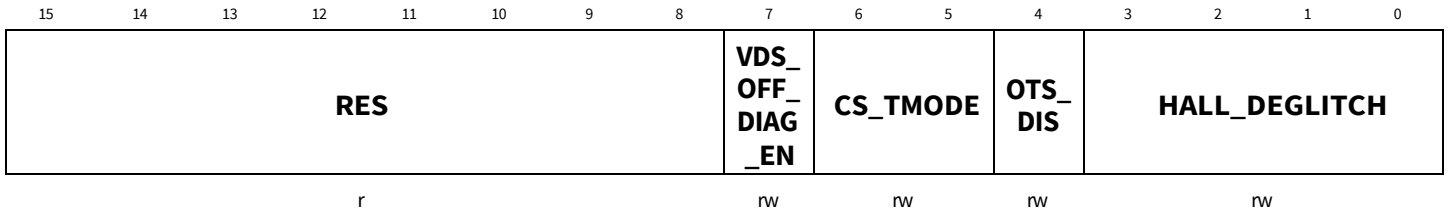
偏移地址:

14_H

传感器配置寄存器

AsyncReset值:

0001_H



Field	Bits	Type	Description
HALL_DEGLITCH	3:0	rw	Hall sensor deglitch Deglitch time configuration for Hall sensor inputs in steps of 640 ns b0000: 0 ns b0001: 640 ns ... in steps of 640 ns b1111: 9600 ns
OTS_DIS	4	rw	Overtemperature shutdown disable This bitfield allows to disable the shutdown feature due to overtemperature in the device b0: Enable shutdown protection b1: Disable shutdown protection
CS_TMODE	6:5	rw	Current sense amplifier timing mode Configures how the current sense amplifier operates regarding the timing related to the PWM signals b00: Current sense amplifier outputs are active when GLx signal is high b01: Current sense amplifier outputs are active when GHx signal is low b1x: Current sense amplifier outputs are always active
VDS_OFF_DIAG_EN	7	rw	VDS OFF state diagnostics enable Controls the activation of the OFF state diagnostics mode of the VDS sensor b0: Disable OFF state diagnostics mode b1: Enable OFF state diagnostics mode
RES	15:8	r	Reserved A read always returns 0

3 功能说明

3.16.2.15 看门狗配置寄存器

看门狗配置

WD_CFG

偏移地址: 15_H

看门狗配置寄存器

AsyncReset值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES	WD_TIMER_T										WD_F LTCF G	WD_INSEL		WD- EN	
r											rw	rw	rw	rw	

Field	Bits	Type	Description
WD_EN	0	rw	Watchdog enable Watchdog timer enable b0: Watchdog timer is disabled b1: Watchdog timer is enabled
WD_INSEL	3:1	rw	Watchdog input selection Selects the input to the watchdog timer b000: EN_DRV pin (measure input signal frequency) b001: Reserved b010: DVDD (linear regulator) b011: VCCLS and VCCHS (charge pumps) b100: Status register read b101: Reserved b110: Reserved b111: Reserved
WD_FLTCFG	4	rw	Watchdog fault configuration Controls the reaction to a watchdog fault event b00: Report to status register only b01: Report to status register and pull down the nFAULT pin
WD_TIMER_T	14:5	rw	Watchdog timer period value Configures the period of the watchdog timer. After this time is elapsed with no re-start of the timer by the watchdog input, a watchdog fault is triggered. In 100 us steps. Not applicable for VDDB (buck) and EN_DRV watchdog input b0000000000: 100 us b0000000001: 200 us b1111111111: 102.4 ms
RES	15	r	Reserved A read always returns 0

3 功能说明

3.16.2.16 看门狗配置寄存器2

看门狗配置寄存器扩展

WD_CFG2

偏移地址: 16_H

看门狗配置寄存器2

AsyncReset值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES		WD_BK_D IS	WD_RLOCK_T		WD_RLOC K_EN		WD_DVDD_RSTRT_DLY			WD_DVDD_R STRT_ATT		WD_EN_L ATCH	WD_BRAK E		
r		rw	rw		rw		rw			rw		rw	rw		

Field	Bits	Type	Description
WD_BRAKE	0	rw	Brake on watchdog timer overflow Provides the option to configure a braking event when the watchdog overflow occurs b0: Normal reaction to fault b1: Brake on watchdog fault (automatically latched). The braking mode is configured in PWM_CFG register. Status register is updated accordingly
WD_EN_LATCH	1	rw	Enable latching of the watchdog fault Enable latching of the watchdog fault b0: Fault not latched b1: Fault latched
WD_DVDD_RSTRT_ATT	3:2	rw	Restart delay for DVDD Number of restart attempts for DVDD WD b00: 0 attempts b01: 1 attempt b10: 2 attempts b11: 3 attempts
WD_DVDD_RSTRT_DLY	7:4	rw	DVDD restart delay Time after WD trigger signal until restart is attempted again for DVDD. In steps of 0.5 ms b0000: 0.5 ms b0001: 1 ms b1110: 7.5 ms b1111: 8 ms
WD_RLOCK_EN	8	rw	Enable rotor locked detection Enable rotor lock dedicated watchdog timer input b0: Disabled b1: Enabled

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
WD_RLOCK_T	11:9	rw	Rotor locked watchdog timeout Watchdog timer period value (overflow value). In steps of 1 s b000: 1 s b001: 2 s b111: 8 s
WD_BK_DIS	12	rw	Buck watchdog disable Buck watchdog (start-up) disable b0: Buck watchdog enabled b1: Buck watchdog disabled
RES	15:13	r	Reserved A read always returns 0

3 功能说明

3.16.2.17 栅极驱动器电流控制寄存器

用于控制压摆率的栅极驱动器电流设置

IDRIVE_CFG

偏移地址: 17_H

栅极驱动器电流控制寄存器

AsyncReset 值: BBBB_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ILS_SINK				ILS_SRC				IHS_SINK				IHS_SRC			
rw				rw				rw				rw			

Field	Bits	Type	Description
IHS_SRC	3:0	rw	High-side source current High-side gate driver rise or pull-up gate current applied during period TDRIVE2 b0000: 10 mA b0001: 20 mA b0010: 30 mA b0011: 40 mA b0100: 50 mA b0101: 60 mA b0110: 80 mA b0111: 100 mA b1000: 125 mA b1001: 150 mA b1010: 175 mA b1011: 200 mA b1100: 250 mA b1101: 300 mA b1110: 400 mA b1111: 500 mA
IHS_SINK	7:4	rw	High-side sink current High-side gate driver fall or pull-down gate current applied during period TDRIVE4 Same coding as IHS_SRC
ILS_SRC	11:8	rw	Low-side source current Low-side gate driver rise or pull-up gate current applied during period TDRIVE2 Same coding as IHS_SRC
ILS_SINK	15:12	rw	Low-side sink current Low-side gate driver fall or pull-down gate current applied during period TDRIVE4 Same coding as IHS_SRC

3 功能说明

3.16.2.18 栅极驱动器预充电电流控制寄存器

用于控制压摆率的栅极驱动器预充电电流设置

IDRIVE_PRE_CFG

偏移地址:

18_H

栅极驱动器预充电电流控制寄存器

AsyncReset 值:

00BB_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES				I_CLA MP_ DIS	I_PR E_SN K_DI S	I_PR E_SR C_DI S	I_PRE_SINK				I_PRE_SRC				
r				rw	rw	rw	rw				rw				

Field	Bits	Type	Description
I_PRE_SRC	3:0	rw	Precharge source current setting (TDRIVE1) Rise or pull-up gate current applied during precharge phase (TDRIVE1) b0000: 10 mA b0001: 20 mA b0010: 30 mA b0011: 40 mA b0100: 50 mA b0101: 60 mA b0110: 80 mA b0111: 100 mA b1000: 125 mA b1001: 150 mA b1010: 175 mA b1011: 200 mA b1100: 250 mA b1101: 300 mA b1110: 400 mA b1111: 500 mA
I_PRE_SINK	7:4	rw	Precharge sink current setting (TDRIVE3) Fall or pull-down current during precharge phase (TDRIVE3) Same coding as I_PRE_SRC
I_PRE_SRC_DIS	8	rw	Gate driver precharge mode disable for sourcing Enables extra precharge current configurations for source condition. In case of disabled, 1.5 A are applied during TDRIVE1 period b0: Precharge sourcing current enabled. Value selected I_PRE_SRC is applied during TDRIVE1 period b1: Precharge mode disabled. 1.5 A applied during TDRIVE1 period

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
I_PRE_SNK_DIS	9	rw	<p>Gate driver precharge mode disable for sinking</p> <p>Enables extra precharge current configurations for sinking condition. In case of disabled, 1.5 A are applied during TDRIVE3 period</p> <p>b0: Precharge current enabled. Value selected in I_PRE_SINK is applied during TDRIVE3 period</p> <p>b1: Precharge mode disabled. 1.5 A applied during TDRIVE3 period</p>
I_CLAMP_DIS	10	rw	<p>Gate driver clamp function disable</p> <p>Disables the gate clamp feature that applies maximum current setting during complementary switch turn on period (TDRIVE1 + TDRIVE2)</p> <p>b0: Gate clamp feature enabled</p> <p>b1: Gate clamp feature disabled</p>
RES	15:11	r	<p>Reserved</p> <p>A read always returns 0</p>

3 功能说明

3.16.2.19 TDRIVE源控制寄存器

用于栅极驱动器源模式的 TDRIVE1 和 TDRIVE2 配置寄存器

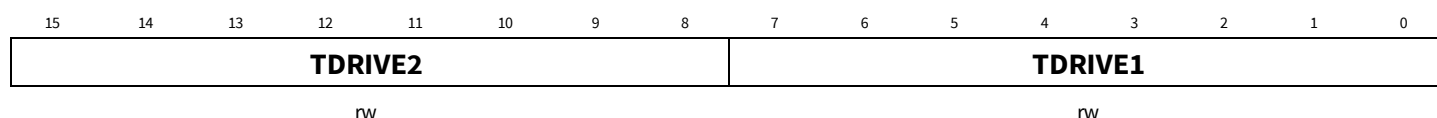
TDRIVE_SRC_CFG

偏移地址:

19_H

TDRIVE源控制寄存器

AsyncReset值:

FF00_H

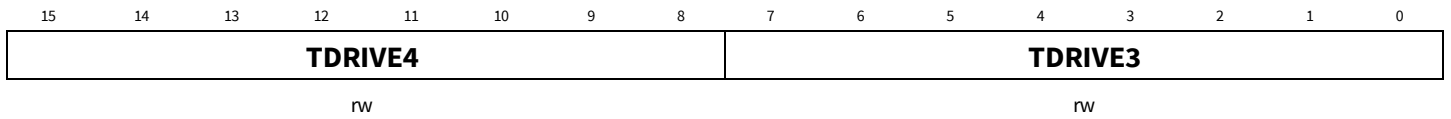
Field	Bits	Type	Description
TDRIVE1	7:0	rw	TDRIVE1 timing TDRIVE1 value for high- and low-side. First turn on or precharge period b00000000: 0 ns b00000001: 50 ns (values between 0 ns and 50 ns not allowed) 10 ns steps b11111111: 2590 ns
TDRIVE2	15:8	rw	TDRIVE2 timing TDRIVE2 value for high- and low-side b00000000: 0 ns b00000001: 10 ns 10 ns steps b11111111: 2550 ns

3 功能说明

3.16.2.20 TDRIVE 灌电流控制寄存器

用于栅极驱动器灌电流模式的 TDRIVE3 和 TDRIVE4 配置寄存器

TDRIVE_SINK_CFG 偏移地址: 1A_H
 TDRIVE 灌电流控制寄存器 AsyncReset 值: FF00_H



Field	Bits	Type	Description
TDRIVE3	7:0	rw	TDRIVE3 timing TDRIVE3 value for high- and low-side. First turn off or pre-discharge period b00000000: 0 ns b00000001: 50 ns (values between 0 ns and 50 ns not allowed) 10 ns steps b11111111: 2590 ns
TDRIVE4	15:8	rw	TDRIVE4 timing TDRIVE4 value for high- and low-side b00000000: 0 ns b00000001: 10 ns 10 ns steps b11111111: 2550 ns

3 功能说明

3.16.2.21 死区时间寄存器

死区时间配置

DT_CFG偏

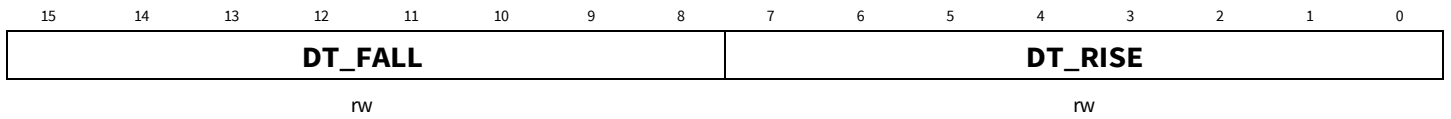
移地址:

1B_H

死区时间寄存器

AsyncReset值:

3131_H



Field	Bits	Type	Description
DT_RISE	7:0	rw	<p>Dead time rise (of phase node voltage) Dead time rise (of phase node voltage) value b00000000: 120 ns b00000001: 200 ns In steps of 80 ns ... b00110001: 4040 ns ... b10010101: 12040 ns b10010110: b11111111: Unused (defaults to 120 ns)</p>
DT_FALL	15:8	rw	<p>Dead time fall (of phase node voltage) Dead time fall (of phase node voltage) value b00000000: 120 ns b00000001: 200 ns In steps of 80 ns ... b00110001: 4040 ns ... b10010101: 12040 ns b10010110: b11111111: Unused (defaults to 120 ns)</p>

3 功能说明

3.16.2.22 电荷泵配置寄存器

电荷泵相关控制

CP_CFG

偏移地址:

1C_H

电荷泵配置寄存器

AsyncReset值:

0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RES													CP_C LK_S S_DI S	CP_CLK_CFG	
r													rw	rw	

Field	Bits	Type	Description
CP_CLK_CFG	1:0	rw	Charge pump clock frequency configuration Charge pump clock frequency configuration b00: 781.25 kHz b01: 390.625 kHz b10: 195.3125 kHz b11: 1.5625 MHz
CP_CLK_SS_DISS	2	rw	Charge pump clock spread spectrum disable Charge pump clock spread spectrum disable b0: Spread spectrum is enabled b1: Spread spectrum disabled
RES	15:3	r	Reserved A read always returns 0

3 功能说明

3.16.2.23 电流检测放大器配置寄存器

电流检测放大器配置

CSAMP_CFG

偏移地址:

1D_H

电流检测放大器配置寄存器

AsyncReset值:

2028_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CS_OCPFLT_CFG	CS_OCP_DEGLITCH	CS_EN_DC CAL	CS_BLANK				CS_EN			CS_GAIN_ANA	CS_GAIN				
rw	rw	rw	rw				rw			rw	rw				

Field	Bits	Type	Description
CS_GAIN	2:0	rw	Gain of current sense amplifiers Selects the gain of the current sense amplifier when digitally programmed b000: 4 V/V b001: 8 V/V b010: 12 V/V b011: 16 V/V b100: 20 V/V b101: 24 V/V b110: 32 V/V b111: 64 V/V
CS_GAIN_ANA	3	rw	Current sense amplifier gain analog programming enable Current sense amplifier gain analog programming enable b0: Gain is selected via register configuration (CS_GAIN bitfield) b1: Gain is defined by CS_GAIN pin resistor
CS_EN	6:4	rw	Enable of each current sense amplifier Enable of each current sense amplifier amplifier bit 0: phase A bit 1: phase B bit 2: phase C b0: Amplifier disabled b1: Amplifier enabled

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
CS_BLANK	10:7	rw	Current sense amplifier blanking time Current sense amplifier blanking time b0000: 0 ns b0001: 50 ns b0010: 100 ns b0011: 200 ns b0100: 300 ns b0101: 400 ns b0110: 500 ns b0111: 600 ns b1000: 700 ns b1001: 800 ns b1010: 900 ns b1011: 1 us b1100: 2 us b1101: 4 us b1110: 6 us b1111: 8 us
CS_EN_DCCAL	11	rw	DC calibration of current sense amplifier DC calibration of current sense amplifier b0: No calibration is executed b1: DC calibration mode executed, all power stages in high-Z (powered but not driving)
CS_OCP_DEGLI TCH	13:12	rw	Current sense amplifier OCP deglitch OCP deglitch timing configuration of the OCP on current sense amplifiers - deglitch disabled if CS_TRUNC_DIS = b0 (PWM truncation disabled in register CSAMP_CFG2) b00: 0 us b01: 2 us b10: 4 us b11: 8 us
CS_OCPFLT_C FG	15:14	rw	Current sense amplifier OCP fault trigger configuration OCP fault trigger configuration b00: Count 8 OCP events b01: Count 16 OCP events b10: Trigger on all OCP events b11: No fault trigger (PWM truncation continues as defined in bitfield CS_TRUNC_DIS in register CSAMP_CFG2)

3 功能说明

3.16.2.24 电流检测放大器配置寄存器2

电流检测放大器配置扩展寄存器

CSAMP_CFG2

偏移地址: 1E_H

电流检测放大器配置寄存器2

AsyncReset值: 0833_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CS_AZ_CFG	CS_N EG_O CP_D IS	RES	CS_T RUN C_DI S	CS_O CP_B RAKE	CS_M ODE	CS_O CP_L ATCH	CS_OCP_NTHR					CS_OCP_PTHR			
rw	rw	r	rw	rw	rw	rw	rw					rw			

Field	Bits	Type	Description
CS_OCP_PTHR	3:0	rw	<p>Current sense amplifier OCP positive thresholds Configures the threshold level for the positive OCP</p> <p>b0000: 300 mV b0001: 250 mV b0010: 225 mV b0011: 200 mV b0100: 175 mV b0101: 150 mV b0110: 125 mV b0111: 100 mV b1000: 90 mV b1001: 80 mV b1010: 70 mV b1011: 60 mV b1100: 50 mV b1101: 40 mV b1110: 30 mV b1111: 20 mV</p>

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
CS_OCP_NTHR	7:4	rw	Current sense amplifier OCP negative thresholds Configures the threshold level for the negative OCP b0000: -300 mA b0001: -250 mA b0010: -225 mA b0011: -200 mV b0100: -175 mA b0101: -150 mA b0110: -125 mA b0111: -100 mA b1000: -90 mA b1001: -80 mA b1010: -70 mA b1011: -60 mA b1100: -50 mA b1101: -40 mA b1110: -30 mA b1111: -20 mA
CS_OCP_LATCH	8	rw	OCP latch choice OCP fault can be selected with this bitfield to be a latched b0: Unlatched b1: Latched
CS_MODE	9	rw	Current sense amplifier sensing mode Select between shunt resistor and RDSON sensing modes b0: Shunt resistor sensing b1: RDSON sensing - CS_TMODE forced to be GL ON only
CS_OCP_BRAKE	10	rw	Current sense amplifier brake on OCP configuration Brake on OCP b0: No braking upon OCP fault b1: Brake on OCP fault (fault set to latched). The braking mode is configured in PWM_CFG register
CS_TRUNC_DISABLE	11	rw	PWM truncation disable Disables the PWM truncation when an OCP occurs. This does not affect fault triggering b0: PWM truncation enabled b1: PWM truncation disabled
RES	12	r	Reserved A read always returns 0

(表格续下页.....)

3 功能说明

(续)

Field	Bits	Type	Description
CS_NEG_OCP_DIS	13	rw	Current sense negative OCP disable Disables the negative Over Current Protection in the current sense amplifiers including both the PWM truncation and fault reporting b0: Negative OCP fault is enabled b1: Negative OCP fault is disabled
CS_AZ_CFG	15:14	rw	Current sense auto-zero configuration Configures the auto-zero feature b00: Auto-zero enabled with internal synchronization b01: Auto-zero disabled b10: Auto-zero enabled with external synchronization b11: Auto-zero enabled with external synchronization and charge pump clock gating

3 功能说明

3.16.2.25 OTP程序寄存器

OTP 编程命令和用户 ID

OTP_PROG

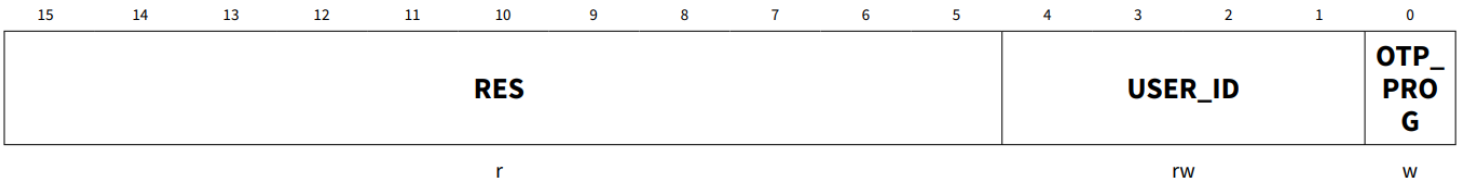
偏移地址:

1F_H

OTP 程序寄存器

AsyncReset 值:

0000_H



Field	Bits	Type	Description
OTP_PROG	0	w	Program OTP Setting this bitfield starts programming the OTP
USER_ID	4:1	rw	User ID Space for user to enter an ID into OTP for version control
RES	15:5	r	Reserved A read always returns 0

4 电气特性

4 电气特性

除非另有说明，所有电压均以地为基准（降压转换器、电荷泵和栅极驱动器相关参数以 PGND 为基准，其余参数以 DGND 为基准）。若不违反其他额定值，则电压电平有效。图 51 说明了本数据表中使用的电压和电流参数的定义。

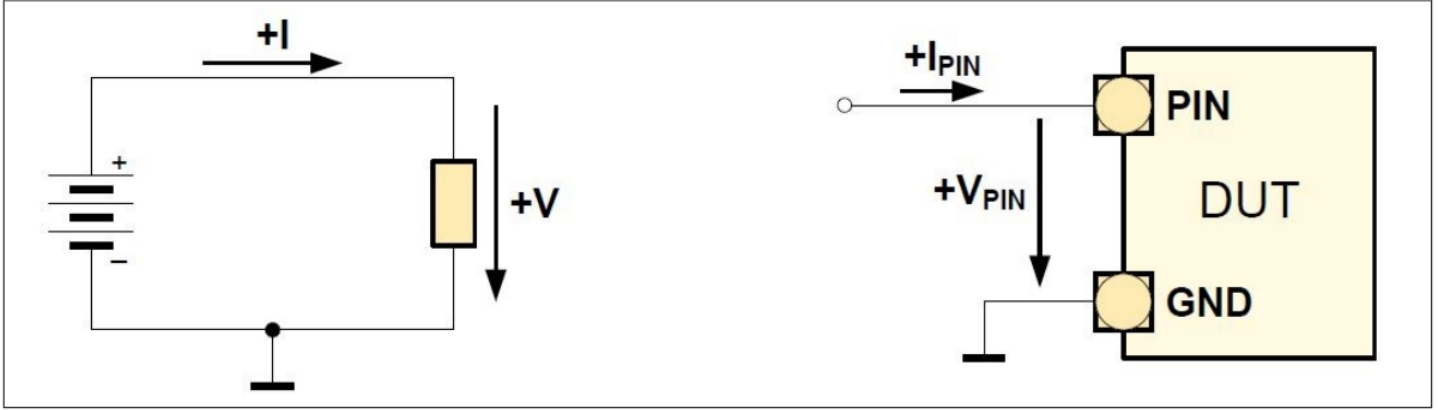


图 51 电压和电压定义

4.1 绝对最大额定值

注释： 除非另有规定，绝对最大额定值均在温度范围 $T_J = -40^{\circ}\text{C}$ 至 $T_J = 150^{\circ}\text{C}$ 内。
注释： 超过以下列出的值可能会导致器件永久性损坏。在绝对最大额定条件下暴露一段时间可能会影响器件的可靠性。最大额定值为绝对额定值；超过这些值中的任何一个都可能对器件造成不可逆的损坏。
注释： 绝对最大额定值不受生产测试的影响，由设计指定。

表 17 绝对最大额定值

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Supply voltage	PVDD	-0.3	-	80	V	-
Supply voltage slew rate, start-up	SR _{PVDD_START_UP}	-	-	2	V/ μs	During start-up
Supply voltage slew rate, active	SR _{PVDD_ACTIVE}	-	-	0.25	V/ μs	During active mode
CE pin voltage	V _{CE}	-0.3	-	7	V	-
Power ground to digital ground voltage	PGND - DGND	-0.3	-	0.3	V	-
Low-side gate driver supply voltage	VCCLS	-0.3	-	16.5	V	This is the same as PVCC

(表格续下页.....)

4 电气特性

表17 (续)绝对最大额定值

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
VCCHS voltage	VCCHS	PVDD - 0.3	-	86.5	V	VCCHS = PVDD + PVCC
VCCHS - VSHx voltage	VCCHS - V_{SHx}	-	-	86.5	V	-
VCCHS - VGHx voltage	VCCHS - V_{GHx}	-	-	86.5	V	-
Source high- side voltage, DC voltage	V_{SHx_DC}	-8	-	80	V	DC voltage
Source high- side voltage, 500 ns pulse	V_{SHx_500ns}	-10	-	80	V	500 ns pulse max
Source low- side voltage / amplifier positive input voltage, DC voltage	V_{SLx_DC}	-8	-	8	V	DC voltage
Source low- side voltage / amplifier positive input voltage, 500 ns pulse	V_{SLx_500ns}	-10	-	10	V	500 ns pulse max
Gate high-side voltage, DC voltage	V_{GHx_DC}	-8	-	VCCH S + 0.3	V	DC voltage
Gate high-side voltage, 500 ns pulse	V_{GHx_500ns}	-10	-	VCCH S + 0.3	V	500 ns pulse max
Gate low-side voltage, DC voltage	V_{GLx_DC}	-8	-	VCCLS + 0.3	V	DC voltage
Gate low-side voltage, 500 ns pulse	V_{GLx_500ns}	-10	-	VCCLS + 0.3	V	500 ns pulse max
Gate to source high-side voltage, DC voltage	$(V_{GHx} -V_{SHx})_{DC}$	-0.3	-	16	V	DC voltage, $T_J = 25^\circ\text{C}$

(表格续下页.....)

4 电气特性

表17 (续)绝对最大额定值

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Gate to source high-side voltage, 500 ns pulse	$(V_{GHx} - V_{SHx})_{500ns}$	-2	-	16	V	500 ns pulse max, $T_J = 25^\circ\text{C}$
Gate to source low-side voltage, DC voltage	$(V_{GLx} - V_{SLx})_{DC}$	-0.3	-	16	V	DC voltage, $T_J = 25^\circ\text{C}$
Gate to source low-side voltage, 500 ns pulse	$(V_{GLx} - V_{SLx})_{500ns}$	-2	-	16	V	500 ns pulse max, $T_J = 25^\circ\text{C}$
VDRAIN voltage	VDRAIN	-0.3	-	80	V	-
Amplifier negative input voltage	V_{CSN}	-0.3	-	DVDD + 0.3	V	-
Flying capacitor 1 voltage	$V_{CP1H} - V_{CP1L}$	-0.3	-	9	V	-
CP1L pin voltage	V_{CP1L}	-0.3	-	9	V	-
CP1H pin voltage	V_{CP1H}	-0.3	-	16.5	V	-
Flying capacitor 2 voltage	$V_{CP2H} - V_{CP2L}$	-0.3	-	80	V	-
CP2L pin voltage	V_{CP2L}	-0.3	-	16.5	V	-
CP2H pin voltage	V_{CP2H}	-0.3	-	86.5	V	-
Buck converter output voltage	VDDDB	-0.3	-	9	V	-
Buck converter phase voltage, DC condition	V_{PH_DC}	-0.3	-	80	V	DC condition
Buck converter phase voltage, less than 20 ns pulse	V_{PH_20ns}	-5	-	80	V	Less than 20 ns pulse
DVDD regulator output voltage	DVDD	-0.3	-	6	V	-

(表格续下页.....)

4 电气特性

表 17 (续)绝对最大额定值

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Input/output pin voltage	$V_{INHx}, V_{INLx}, V_{nFAULT}, V_{SCLK}, V_{nSCS}, V_{SDI}, V_{SDO}, V_{CSOx}$	-0.3	-	DVDD + 0.3	V	-
Maximum current for digital pins	$I_{DIG_IN_MAX}$	-1	-	1	mA	-
Analog input pin voltage	$V_{EN_DRV}, V_{VSENSE/nBRAKE}, V_{CS_GAIN/AZ}$	-0.3	-	7	V	Analog, or analog and digital pins
Maximum current for analog inputs	$I_{AN_IN_MAX}$	-1	-	10	mA	-
Maximum sink current for open-drain pin	$I_{OD_SINK_MAX}$	-	-	7	mA	-
Junction temperature	T_J	-40	-	150	°C	-
Storage temperature	T_s	-55	-	150	°C	-
Case temperature	T_{CASE}	-	-	145	°C	-

4.2 ESD 稳健性

注释: ESD 稳健性数据不受生产测试的影响, 由设计指定。

表 18 ESD 稳健性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
ESD robustness all pins, HBM	$ V_{ESD_HBM} $	-	-	2000	V	HBM ¹⁾
ESD robustness all pins, CDM	$ V_{ESD_CDM_1} $	-	-	500	V	CDM ²⁾
ESD robustness corner pins, CDM	$ V_{ESD_CDM_2} $	-	-	750	V	CDM ²⁾ for corner pins only

1) ESD 稳健性, 人体模型 (HBM) 符合 ANSI/ESDA/JEDEC JS-001 (1.5 kΩ, 100 pF)。

4 电气特性

2) ESD 稳健性, 符合 ANSI/ESDA/JEDEC JS-002 的充电设备模型 (CDM)。

4.3 封装特性

注释: 此热数据根据 JEDEC JESD51 标准生成。更多信息, 请访问 www.jedec.org。

注释: 热数据不受生产测试的影响, 由设计指定。

表 19 封装参数

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Junction-to-ambient thermal resistance	R_{thJA}	–	33.72	–	°C/W	$T_A = 25^\circ\text{C}$, FR4 PCB, size: 60.0 mm x 40.0 mm x 1.5 mm, stack 2S2P
Junction-to-case (top) thermal resistance	$R_{thJC(top)}$	–	23.66	–	°C/W	$T_A = 25^\circ\text{C}$
Junction-to-case (bottom) thermal resistance	$R_{thJC(bot)}$	–	4.72	–	°C/W	$T_A = 25^\circ\text{C}$

4.4 工作条件

下表显示了工作范围, 其中下一章所示的电气特性有效。

注释: 在工作范围内, IC 按照电路说明中的描述运行。电气特性只在电气特性表中注明的条件下成立。

表 20 工作范围

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Supply voltage	PVDD	5.5	–	70	V	–
Supply voltage slew rate, start-up	$SR_{PVDD_START_UP}$	–	–	2	V/ μs	During start-up
Supply voltage slew rate, active	SR_{PVDD_ACTIVE}	–	–	0.25	V/ μs	During active mode
CE pin voltage	V_{CE}	0	–	6	V	–

(表格续下页.....)

4 电气特性

表 20 (续) 工作范围

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Buck converter phase voltage, DC condition	V_{PH_DC}	0	–	70	V	DC condition
Buck converter phase voltage, less than 20 ns pulse	V_{PH_20ns}	0	–	70	V	Less than 20 ns pulse
Inverter phase voltage	V_{SHx}	-8	–	70	V	–
VDRAIN voltage	VDRAIN	5.5	–	70	V	–
Gate driver maximum operating frequency	f_{PWM_GD}	0	–	200	kHz	–
Digital pin I/O voltage range	$V_{INHx}, V_{INLx}, V_{nFAULT}, V_{CS_GAIN/AZ}, V_{EN_DRV}, V_{SCLK}, V_{nSCS}, V_{SDI}, V_{SDO}$	0	–	DVDD	V	When CS_GAIN/AZ pin works as digital input
Analog pins voltage range	$V_{CSOx}, V_{VSENS E/nBRAKE}, V_{CS_GAIN/AZ}$	0	–	DVDD	V	When CS_GAIN/AZ and VSENSE/nBRAKE pins work as analog pins
Amplifier input voltage range	V_{SLx}, V_{CSNx}	-0.3	–	0.3	V	Current sense amplifier configured for shunt resistor sensing
Junction temperature	T_J	-40	–	125	°C	–

4.5 特性

电气特性涉及在指定电源电压和结温范围内给出的数值范围。除非另有说明，典型值代表 $T_A = 25^\circ\text{C}$ 时的中值。

表 21 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
PVDD current, active mode	I_{PVDD_ACTIVE}	20	–	50	mA	$V_{EN_DRV} > V_{EN_DRV_TH}, V_{CE} > V_{CE_TH_R}, PVDD = 40\text{ V}$, typical application run

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
PVDD current, standby mode	$I_{PVDD_STANDBY}$	3	–	8	mA	$V_{EN_DRV} < V_{EN_DRV_TH}$, $V_{CE} > V_{CE_TH_R}$, PVDD = 40 V
PVDD current, OFF mode	I_{PVDD_OFF}	25	–	40	μ A	$V_{EN_DRV} < V_{EN_DRV_TH}$, $V_{CE} < V_{CE_TH_F}$, PVDD = 40 V
VDRAIN current, active mode	I_{VDRAIN_ACTIVE}	–	–	200	nA	$V_{EN_DRV} > V_{EN_DRV_TH}$, $V_{CE} > V_{CE_TH_R}$, VDRAIN = PVDD = 40 V, typical application run
VDRAIN current, standby mode	$I_{VDRAIN_STANDBY}$	–	–	200	nA	$V_{EN_DRV} < V_{EN_DRV_TH}$, $V_{CE} > V_{CE_TH_R}$, VDRAIN = PVDD = 40 V
VDRAIN current, OFF mode	I_{VDRAIN_OFF}	–	–	200	nA	$V_{EN_DRV} < V_{EN_DRV_TH}$, $V_{CE} < V_{CE_TH_F}$, VDRAIN = PVDD = 40 V

栅极驱动器

Low-side gate driver supply voltage target	VCCLS	7	–	15	V	Generated from charge pump. Gate driver supply voltage programmable via SPI
High-side gate driver supply voltage target	VCCHS	10.8	–	84.3	V	Generated from charge pump. Gate driver supply voltage programmable via SPI according to VCCLS
High-side gate driver output	$V_{GHx} - V_{SHx}$	–	–	VCCLS - 0.7	V	More details in Chapter 4.6
Low-side gate driver output	$V_{GLx} - V_{SLx}$	–	–	VCCLS	V	More details in Chapter 4.6
Peak source current (high-side and low-side drivers)	$I_{GD_SRC_PEAK}$	–	1.5	–	A	Current flowing from pin. Gate driver current programmable via SPI
Peak sink current (high-side and low-side drivers)	$I_{GD_SNK_PEAK}$	–	1.5	–	A	Current into the pin. Gate driver current programmable via SPI
Hold gate current, low-side	I_{HOLD_LS}	–	250	–	mA	¹⁾ Low-side gate driver
Hold gate current, high-side	I_{HOLD_HS}	–	50	–	mA	¹⁾ High-side gate driver
Source and sink current accuracy	A_{IGD}	-20		20	%	With respect to gate driver current mean value. Mean value for the different programmed settings can deviate from target value

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Charge pump clock frequency	f_{CP_CLK}	190	–	1600	kHz	Programmable via SPI
Charge pump clock accuracy	A_{CP_CLK}	-5	–	5	%	–
Charge pump clock frequency spread spectrum	$f_{CP_CLK_SS}$	0	–	30	%	¹⁾
High-side gate driver average current, PVDD \geq 9.5 V	$I_{GD_VCCHS_PVD}$ $D \geq 9.5V$	–	–	60	mA	PVDD \geq 9.5 V operation
High-side gate driver average current, PVDD < 9.5 V	$I_{GD_VCCHS_PVD}$ $D < 9.5V$	–	–	30	mA	PVDD < 9.5 V operation
Low-side gate driver average current, PVDD \geq 9.5 V	$I_{GD_VCCLS_PVD}$ $D \geq 9.5V$	–	–	60	mA	PVDD \geq 9.5 V operation
Low-side gate driver average current, PVDD < 9.5 V	$I_{GD_VCCLS_PVD}$ $D < 9.5V$	–	–	30	mA	PVDD < 9.5 V operation
Charge pump ramp up time, PVDD \geq 10 V	$t_{CP_START_PVD}$ $D \geq 10V$	–	–	250	μ s	¹⁾ PVDD \geq 10 V. $C_{CPx} = 220$ nF, $C_{VCCLS} = 1$ μ F, $I_{LOAD} < 50$ μ A, PVCC = 12 V. Depends on capacitance values and features like charge pump precharge for VCCLS
Charge pump ramp up time, PVDD < 10 V	$t_{CP_START_PVD}$ $D < 10V$	–	–	1	ms	¹⁾ PVDD < 10 V. $C_{CPx} = 220$ nF, $C_{VCCLS} = 1$ μ F, $I_{LOAD} < 50$ μ A, PVCC = 12 V. Depends on capacitance values and features like charge pump precharge for VCCLS
Gate driver PWM frequency	f_{PWM_GD}	–	–	200	kHz	¹⁾
Input pin pulse width	t_{INx_PW}	80	–	–	ns	Applies to INHx and INLx pins. Precharge current disabled, current setting to 1.5 A
Dead time	t_{DT_RISE} , t_{DT_FALL}	120	–	12040	ns	¹⁾ Programmable via SPI. This is the minimum dead time value possible. If input PWM signals have dead time lower than this, this value applies otherwise PWM signal dead time is used.

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Dead time matching, channel-to-channel	$\Delta t_{DT_CH_CH}$	0	-	10	ns	1)
Gate to source passive weak pull-down resistor	$R_{GS_PD_WEAK}$	70	100	130	k Ω	Always active
Gate to source active strong pull-down resistor	$R_{GS_PD_STRONG}$	0.25	1	2	k Ω	Pull-down resistor enabled when EN_DRV or PVDD are off and $V_{Gxy} - V_{Sxy} \geq 2$ V. Both high-side and low-side drivers
Propagation delay INHx to GHx	t_{PROP_HS}	80	-	250	ns	Dead time not considered. From 50% input to 50% output
Propagation delay INLx to GLx	t_{PROP_LS}	80	-	250	ns	Dead time not considered. From 50% input to 50% output
Propagation delay matching, high-low side	$\Delta t_{PROP_HS_LS}$	0	25	-	ns	1)
Propagation delay matching, channel-to-channel	$\Delta t_{PROP_CH_CH}$	0	-	10	ns	1)
Gate to source comparator threshold	$V_{GS_CMP_TH}$	-	250	-	mV	Threshold voltage referred to: For pull down GHx - SHx (resp. GLx - SLx for low-side driver). For pull up VCCHS - GHx (resp. VCCLS - GLx for low-side driver)
Gate to source comparator deglitch time	$t_{VGS_CMP_DEGLITCH}$	-	500	-	ns	1)

同步降压转换器

Buck converter output target voltage, PVCC_SETPT = b11	$V_{DDB_NOM_b11}$	-	6.5	-	V	PVCC_SETPT = b11, PVDD \geq 8 V, $I_{V_{DDB}} = 0$ A
--	---------------------	---	-----	---	---	--

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Buck converter output target voltage, PVCC_SETPT = b10	VDDB _{NOM_b10}	–	7.0	–	V	PVCC_SETPT = b10, PVDD ≥ 8.5 V, I _{VDDb} = 0 A
Buck converter output target voltage, PVCC_SETPT = b0x	VDDB _{NOM_b0x}	–	8.0	–	V	PVCC_SETPT = b0x, PVDD ≥ 9.5 V, I _{VDDb} = 0 A
Buck regulator output voltage at low input voltage (PVDD), PVCC_SETPT = b11	VDDB _{NOM_LV_b11}	4.6	6.5	6.65	V	PVCC_SETPT = b11, 5.5 V ≤ PVDD < 8 V. Buck with fixed duty cycle. VDDb dependent on I _{VDDb} . Min value defined at I _{VDDb} = 200 mA condition
Buck regulator output voltage at low input voltage (PVDD), PVCC_SETPT = b10	VDDB _{NOM_LV_b10}	4.6	7.0	7.15	V	PVCC_SETPT = b10, 5.5 V ≤ PVDD < 8.5 V. Buck with fixed duty cycle. VDDb dependent on I _{VDDb} . Min value defined at I _{VDDb} = 200 mA condition
Buck regulator output voltage at low input voltage (PVDD), PVCC_SETPT = b0x	VDDB _{NOM_LV_b0x}	4.6	8.0	8.21	V	PVCC_SETPT = b0x, 5.5 V ≤ PVDD < 9.5 V. Buck with fixed duty cycle. VDDb dependent on I _{VDDb} . Min value defined at I _{VDDb} = 200 mA condition
Buck converter output voltage load regulation, 500 kHz	Δ VDDB _{LOAD_500kHz}	-10	–	9	%	¹⁾ PVDD > VDDB _{NOM_bxx} + 2.5 V, I _{VDDb} transient from 60 mA to 540 mA (10% to 90% load transient), C _{VDDb} = 47 μF, L _{BUCK} = 22 μH, f _{BUCK_SW} = 500 kHz
Buck converter output voltage load regulation, 1000 kHz	Δ VDDB _{LOAD_1000kHz}	-9.5	–	5	%	¹⁾ PVDD > VDDB _{NOM_bxx} + 2.5 V, I _{VDDb} transient from 60 mA to 540 mA (10% to 90% load transient), C _{VDDb} = 47 μF, L _{BUCK} = 10 μH, f _{BUCK_SW} = 1000 kHz
Buck converter maximum average current, PVDD ≥ 9.5 V	I _{VDDb_MAX_PVD} D≥9.5V	–	–	600	mA	PVDD ≥ 9.5 V. VDDb supplies charge pumps, DVDD linear regulator and VDDb pin

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Buck converter maximum average current, PVDD at low voltage	$I_{VDD_MAX_PVD_D_LOW}$	–	–	200	mA	PVDD at low input voltage range so VDDDB = $VDDDB_{NOM_LV_bxx}$. VDDDB supplies charge pumps, DVDD linear regulator and VDDDB pin
Buck converter maximum duty cycle	D_{BUCK_MAX}	–	95	–	%	–
Buck converter high-side switch R _{DS(on)}	$R_{DS(on)_BUCK_H}$	0.7	1.4	2.2	Ω	–
Buck converter low-side switch R _{DS(on)}	$R_{DS(on)_BUCK_L}$	0.3	0.45	1.0	Ω	–
Buck switching frequency, 500 kHz	$f_{BUCK_SW_500k}$	450	500	590	kHz	¹⁾ Configurable via OTP write. May vary during load steps. Valid for the recommended component values $L_{BUCK} = 22 \mu H$ and $C_{VDDDB} = 47 \mu F$. See Table 22
Buck switching frequency, 1000 kHz	$f_{BUCK_SW_1000}$	850	1000	1150	kHz	¹⁾ Configurable via OTP write. May vary during load steps. Valid for the recommended component values $L_{BUCK} = 10 \mu H$ and $C_{VDDDB} = 47 \mu F$. See Table 22
Buck converter soft start timing	$t_{VDDDB_SFT_START}$	–	–	1500	μs	¹⁾ Actual value depends on buck output filter

线性稳压器 DVDD

Regulator target output voltage, 3.3 V	DVDD _{3.3V}	–	3.3	–	V	Programmable via SPI or external pull down resistor on VSENSE pin: $R_{SENSE} \leq 3.3 \text{ k}\Omega \Rightarrow DVDD = 3.3 \text{ V}$
Regulator target output voltage, 5 V	DVDD _{5V}	–	5	–	V	Programmable via SPI or external pull down resistor on VSENSE pin: $R_{SENSE} \geq 10 \text{ k}\Omega \Rightarrow DVDD = 5 \text{ V}$
Output voltage accuracy	A_{DVDD}	-2.5	–	2.5	%	–
Load current of DVDD	I_{DVDD}	–	–	300	mA	–
Static line regulation	$\Delta DVDD_{LINE}$	–	–	10	mV	VDDDB = 6.5 V to 8 V, $I_{DVDD} = 300 \text{ mA}$
Static load regulation	$\Delta DVDD_{LOAD}$	–	–	40	mV	VDDDB = DVDD + 1.5 V, $I_{DVDD} = 1 \text{ mA to } 300 \text{ mA step}$

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Analog programming pins period	t_{AN_T}	–	25	–	μs	¹⁾ Each VSENSE and/or CS_GAIN
DVDD turn on delay	$t_{DVDD_TON_DEL_AY}$	200	–	800	μs	¹⁾ Programmable via SPI. Delay between VDDB UVLO until DVDD ramp up start
DVDD soft start timing	$t_{DVDD_SFTSTRT}$	100	–	1600	μs	¹⁾ Configurable via SPI. Current limited by $I_{DVDD_I_LIM}$. If programmed timing is not achievable due to large C_{DVDD} value, start-up time is defined by $t_{DVDD_SFT_START} = (C_{DVDD} * DVDD) / I_{DVDD_I_LIM}$

电流检测放大器

Closed loop gain	G_{CS}	4	–	64	V/V	Configured via either external resistor or SPI
Gain error	ΔG_{CS_ERR}	-1	–	1	%	¹⁾ Measured at $V_{SLX} - V_{CSNx} = 0.025\text{ V}$
Offset input referred	V_{CS_OS}	-600	200	600	μV	¹⁾ Gain = 32, inputs shorted
Offset temperature drift	$\Delta V_{CS_OS} / \Delta T$	–	5	–	$\mu\text{V}/^\circ\text{C}$	¹⁾
Current sense blanking time	t_{CS_BLANK}	0	–	8	μs	¹⁾ Programmable via SPI
Amplifier output settling time, low gain	$t_{CSO_SETTLING_LOW}$	–	600	–	ns	¹⁾ Time from input signal step to output within 1% of final output voltage. Input voltage step of 0.2 V. Gain = 4 to 24
Amplifier output settling time, high gain	$t_{CSO_SETTLING_HIGH}$	–	1000	–	ns	¹⁾ Time from input signal step to output within 1% of final output voltage. Input voltage step of 0.2 V. Gain = 32 to 64
Unity gain bandwidth	GBW	5	8	–	MHz	¹⁾
Common mode rejection ratio	CMRR	60	80	–	dB	¹⁾ Gain = 8, f_{sw} from 0 Hz to 80 kHz
Power supply rejection ratio, 1 MHz	$PSRR_{1MHz}$	60	–	–	dB	¹⁾ Gain = 8, $f < 1\text{ MHz}$
Power supply rejection ratio, 10 MHz	$PSRR_{10MHz}$	40	–	–	dB	¹⁾ Gain = 8, $f < 10\text{ MHz}$
Input bias current	I_{BIAS}	–	–	50	μA	Current drawn into pin

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Common mode input range	V_{CS_COM}	-0.3	–	0.3	V	¹⁾
Differential mode input range	V_{CS_DIFF}	-0.3	–	0.3	V	–
Current sense output voltage range	V_{CSO}	0.3	–	DVDD - 0.3	V	–
Output voltage slew rate	SR_{CSO}	-10	–	10	V/ μ s	¹⁾ Gain = 8, $R_L = 470 \Omega$, $C_L = 330 \text{ pF}$. $V_{SLx} = +/- 250 \text{ mV}$
Propagation delay from gate driver (Gxy) transition to CSOx activation, shunt resistor sensing	$t_{CSAMP_PROP_SHUNT}$	–	130	–	ns	¹⁾ Shunt resistor sensing
Propagation delay from gate driver (Gxy) transition to CSOx activation, RDSON sensing	$t_{CSAMP_PROP_RDSON}$	–	400	–	ns	¹⁾ R_{DSON} sensing
Output target voltage reference (offset) – VREF	V_{CS_REF}	1/4 x DVDD	–	1/2 x DVDD	V	Depending on DVDD selected value: DVDD = 3.3 V or DVDD = 5 V
Accuracy of output voltage reference (offset) – VREF	A_{CS_REF}	-2	–	2	%	¹⁾ Current sense amplifier internal offset voltage error. DVDD error excluded
Output short circuit limit	I_{CS_SC}	–	20	–	mA	Pin CSOx shorted to ground
Auto-zero active time, shunt resistor sensing	$t_{AUTO_ZERO_SHUNT}$	–	1.7	–	μ s	¹⁾ Shunt resistor sensing
Auto-zero active time, RDSON sensing	$t_{AUTO_ZERO_RDSON}$	–	2	–	μ s	¹⁾ R_{DSON} sensing

(表格续下页.....)

4 电气特性

表 21

(续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Auto-zero cycle time, GHx switching	$t_{\text{AUTO_ZERO_CYCLE_SWITCHING}}$	-	-	100	μs	¹⁾ GHx is switching
Auto-zero cycle time, GHx not switching	$t_{\text{AUTO_ZERO_CYCLE_NO_SWITCHING}}$	-	-	200	μs	¹⁾ GHx is not switching
CS_GAIN/AZ external auto-zero signal frequency	$f_{\text{AZ_CPCLK_OFF}}$	5	-	100	kHz	¹⁾
CS_GAIN/AZ external auto-zero signal pulse width	$t_{\text{AZ_EXT_PW}}$	0.1	-	3.5	μs	¹⁾

电流检测放大器过流保护比较器和DAC

Current sense over-current comparator hysteresis	$V_{\text{CS_OC_HYS}}$	-	-	5	mV	-
Overcurrent comparator input offset	$V_{\text{CS_OCP_OFFS}}$	-12	-	12	mV	$V_{\text{CS_OCP_PTHR}} = 200 \text{ mV}$, $V_{\text{CS_OCP_NTHR}} = -200 \text{ mV}$
Overcurrent deglitch time	$t_{\text{CS_OCP_DEGLITCH}}$	0	-	8	μs	¹⁾ Programmable via SPI
Current sense input referred OCP threshold positive target level	$V_{\text{CS_OCP_PTHR}}$	20	-	300	mV	Programmable via SPI
Current sense input referred OCP threshold negative target level	$V_{\text{CS_OCP_NTHR}}$	-300	-	-20	mV	Programmable via SPI

VDS传感器

VDS comparator threshold target voltage, $V_{\text{DS_xS_TH}} = \text{b0000}$	$V_{\text{VDS_HS_TH_b0000}}$, $V_{\text{VDS_LS_TH_b0000}}$	0.071	0.10	0.129	V	$V_{\text{DS_HS_TH}} = \text{b0000}$, $V_{\text{DS_LS_TH}} = \text{b0000}$
---	---	-------	------	-------	---	---

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
VDS comparator threshold target voltage, VDS_xS_TH = b0001	$V_{VDS_HS_TH_b0001}$, $V_{VDS_LS_TH_b0001}$	0.122	0.15	0.178	V	¹⁾ VDS_HS_TH = b0001, VDS_LS_TH = b0001
VDS comparator threshold target voltage, VDS_xS_TH = b0010	$V_{VDS_HS_TH_b0010}$, $V_{VDS_LS_TH_b0010}$	0.171	0.20	0.229	V	¹⁾ VDS_HS_TH = b0010, VDS_LS_TH = b0010
VDS comparator threshold target voltage, VDS_xS_TH = b0011	$V_{VDS_HS_TH_b0011}$, $V_{VDS_LS_TH_b0011}$	0.219	0.25	0.281	V	¹⁾ VDS_HS_TH = b0011, VDS_LS_TH = b0011
VDS comparator threshold target voltage, VDS_xS_TH = b0100	$V_{VDS_HS_TH_b0100}$, $V_{VDS_LS_TH_b0100}$	0.268	0.30	0.332	V	¹⁾ VDS_HS_TH = b0100, VDS_LS_TH = b0100
VDS comparator threshold target voltage, VDS_xS_TH = b0101	$V_{VDS_HS_TH_b0101}$, $V_{VDS_LS_TH_b0101}$	0.310	0.35	0.390	V	VDS_HS_TH = b0101, VDS_LS_TH = b0101
VDS comparator threshold target voltage, VDS_xS_TH = b0110	$V_{VDS_HS_TH_b0110}$, $V_{VDS_LS_TH_b0110}$	0.364	0.40	0.436	V	¹⁾ VDS_HS_TH = b0110, VDS_LS_TH = b0110
VDS comparator threshold target voltage, VDS_xS_TH = b0111	$V_{VDS_HS_TH_b0111}$, $V_{VDS_LS_TH_b0111}$	0.412	0.45	0.488	V	¹⁾ VDS_HS_TH = b0111, VDS_LS_TH = b0111
VDS comparator threshold target voltage, VDS_xS_TH = b1000	$V_{VDS_HS_TH_b1000}$, $V_{VDS_LS_TH_b1000}$	0.460	0.50	0.540	V	¹⁾ VDS_HS_TH = b1000, VDS_LS_TH = b1000

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
VDS comparator threshold target voltage, VDS_xS_TH = b1001	$V_{VDS_HS_TH_b1001}$, $V_{VDS_LS_TH_b1001}$	0.508	0.55	0.592	V	¹⁾ VDS_HS_TH = b1001, VDS_LS_TH = b1001
VDS comparator threshold target voltage, VDS_xS_TH = b1010	$V_{VDS_HS_TH_b1010}$, $V_{VDS_LS_TH_b1010}$	0.556	0.60	0.644	V	¹⁾ VDS_HS_TH = b1010, VDS_LS_TH = b1010
VDS comparator threshold target voltage, VDS_xS_TH = b1011	$V_{VDS_HS_TH_b1011}$, $V_{VDS_LS_TH_b1011}$	0.605	0.65	0.695	V	¹⁾ VDS_HS_TH = b1011, VDS_LS_TH = b1011
VDS comparator threshold target voltage, VDS_xS_TH = b1100	$V_{VDS_HS_TH_b1100}$, $V_{VDS_LS_TH_b1100}$	0.744	0.80	0.856	V	VDS_HS_TH = b1100, VDS_LS_TH = b1100
VDS comparator threshold target voltage, VDS_xS_TH = b1101	$V_{VDS_HS_TH_b1101}$, $V_{VDS_LS_TH_b1101}$	0.937	1.00	1.063	V	¹⁾ VDS_HS_TH = b1101, VDS_LS_TH = b1101
VDS comparator threshold target voltage, VDS_xS_TH = b1110	$V_{VDS_HS_TH_b1110}$, $V_{VDS_LS_TH_b1110}$	1.415	1.50	1.585	V	¹⁾ VDS_HS_TH = b1110, VDS_LS_TH = b1110
VDS comparator threshold target voltage, VDS_xS_TH = b1111	$V_{VDS_HS_TH_b1111}$, $V_{VDS_LS_TH_b1111}$	1.890	2.00	2.110	V	VDS_HS_TH = b1111, VDS_LS_TH = b1111
VDS comparator propagation delay	$t_{VDS_CMP_PROP}$	–	–	250	ns	¹⁾ $V_{VDS_xS_TH} = 200$ mV and overdrive 100 mV at comparator input
Digital blanking time target	t_{VDS_BLANK}	1.0	–	5.0	μ s	¹⁾ Programmable via SPI
Digital blanking time accuracy	Δt_{VDS_BLANK}	–	10	–	ns	¹⁾

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Digital filter time target	t_{VDS_FILTER}	1.0	–	5.0	μs	¹⁾ Programmable via SPI
Digital filter time accuracy	Δt_{VDS_FILTER}	–	10	–	ns	¹⁾
Filter timer reset off time	$t_{FLT_RESET_OFF}$	–	100	–	ns	¹⁾ Comparator must be low for this time for filter to reset and therefore fault not to trigger. 1 V threshold, 1 V overdrive (highly dependent on overdrive)
SHx maximum slew rate	SR_{SHx}	–	–	5	V/ns	¹⁾
SHx pin current	I_{SHx}	-600	–	500	μA	¹⁾ See Chapter 4.6

模数转换器 (ADC)

ADC resolution	ADC_{RES}	–	7	–	bits	–
ADC gain error	$\epsilon_{ADC_GAIN_ERR}$	-1.05	–	1.05	%	–
ADC offset error	$\epsilon_{ADC_OFFS_ERR}$	-2	–	2	LSB	–
ADC conversion time	t_{CONV}	–	1.28	–	μs	–

数字输入 (INHx、INLx、SCLK、nSCS)

Input logic low voltage, DVDD = 3.3 V	$V_{INPUT_IL_3.3V}$	–	–	0.8	V	DVDD = 3.3 V. Applies also to nBRAKE function in VSENSE/nBRAKE pin
Input logic low voltage, DVDD = 5 V	$V_{INPUT_IL_5V}$	–	–	1.8	V	DVDD = 5 V. Applies also to nBRAKE function in VSENSE/nBRAKE pin
Input logic high voltage, DVDD = 3.3 V	$V_{INPUT_IH_3.3V}$	1.8	–	–	–	DVDD = 3.3 V. Applies also to nBRAKE function in VSENSE/nBRAKE pin
Input logic high voltage, DVDD = 5 V	$V_{INPUT_IH_5V}$	3.0	–	–	V	DVDD = 5 V. Applies also to nBRAKE function in VSENSE/nBRAKE pin
Internal pull-down resistor to GND	R_{PD_DIG}	–	200	–	k Ω	Applies to INHx, INLx and SCLK pins
Internal pull-up resistor to DVDD, nSCS	R_{PU_nSCS}	–	200	–	k Ω	–

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
数字输入 (CE、EN_DRV)						
Internal pull-down resistor to GND, CE	R_{PD_CE}	350	625	850	k Ω	–
Internal pull-down resistor to GND, EN_DRV	$R_{PD_EN_DRV}$	–	500	–	k Ω	–
CE threshold voltage rising	$V_{CE_TH_R}$	2.7	–	–	V	$T_A = -40^{\circ}\text{C}$ to 125°C . This is the minimum CE pin voltage above which, any device (operated within operating conditions) will activate the device operation.
CE threshold voltage falling	$V_{CE_TH_F}$	–	–	0.6	V	$T_A = -40^{\circ}\text{C}$ to 125°C . This is the maximum CE pin voltage below which, any device (operated within operating conditions) will stop the device operation.
CE pin sink current	I_{CE_SNK}	–	–	10	μA	Current flowing into CE pin
EN_DRV threshold voltage	$V_{EN_DRV_TH}$	–	0.5 x DVDD	–	V	–
EN_DRV watchdog function threshold voltage high	$V_{EN_DRV_WD_T_HH}$	–	0.8 x DVDD	–	V	–
EN_DRV watchdog signal threshold voltage low	$V_{EN_DRV_WD_T_HL}$	–	0.2 x DVDD	–	V	–
EN_DRV threshold voltage hysteresis	$V_{EN_DRV_TH_H_YS}$	–	4	–	%	Applies to $V_{EN_DRV_TH}$, $V_{EN_DRV_WD_THH}$ and $V_{EN_DRV_WD_THL}$ thresholds

数字输出 (nFAULT)

Output logic low voltage	V_{OL}	–	–	0.6	V	$I_o = 5\text{ mA}$
Internal pull-up resistor to DVDD, nFAULT	R_{PU_nFAULT}	–	200	–	k Ω	Pull up resistor for nFAULT

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
数字输出 (SDO)						
Output logic low voltage, DVDD = 3.3 V	$V_{OL_3.3V}$	-	-	0.7	V	DVDD = 3.3 V, $I_o = 5$ mA
Output logic low voltage, DVDD = 5 V	V_{OL_5V}	-	-	0.9	V	DVDD = 5 V, $I_o = 5$ mA
Output logic high voltage, DVDD = 3.3 V	$V_{OH_3.3V}$	2.4	-	-	V	DVDD = 3.3 V, $I_o = 5$ mA
Output logic high voltage, DVDD = 5 V	V_{OH_5V}	4.1	-	-	V	DVDD = 5 V, $I_o = 5$ mA
Internal pull-down resistor to GND, SDO	R_{PD_SDO}	-	200	-	k Ω	When nSCS is high

OTP编程

OTP programming supply voltage	PVDD OTP_PROG	13	-	-	V	¹⁾ Below this value an OTP blocking will occur
OTP programming temperature	T_{OTP_PROG}	-	-	150	°C	¹⁾ Above this value an OTP blocking will occur

看门狗

Watchdog period for buck converter watchdog timer	$t_{WD_BUCK_T}$	-	1.5	-	ms	Not configurable
Watchdog EN_DRV frequency	$f_{WD_EN_DRV}$	450	500	550	Hz	¹⁾

过载保护 - 栅极驱动器

PVDD UVLO threshold rising	$V_{PVDD_UVLO_R}$	4.95	5.1	5.25	V	-
PVDD UVLO threshold falling	$V_{PVDD_UVLO_F}$	4.85	5.0	5.15	V	-
VCCHS UVLO threshold rising, PVCC = 7 V	$V_{HS_UVLO_R_7V}$	5.6	5.85	6.1	V	PVCC = 7 V

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
VCCHS UVLO threshold falling, PVCC = 7 V	$V_{HS_UVLO_F_7V}$	4.60	4.85	5.10	V	PVCC = 7 V
VCCLS UVLO threshold rising, PVCC = 7 V	$V_{LS_UVLO_R_7V}$	6.1	6.45	6.7	V	PVCC = 7 V
VCCLS UVLO threshold falling, PVCC = 7 V	$V_{LS_UVLO_F_7V}$	4.60	4.85	5.1	V	PVCC = 7 V
VCCHS UVLO threshold rising, PVCC = 10 V, 12 V or 15 V	$V_{HS_UVLO_R_10TO15V}$	7.0	7.25	7.5	V	PVCC = 10 V, 12 V or 15 V
VCCHS UVLO threshold falling, PVCC = 10 V, 12 V or 15 V	$V_{HS_UVLO_F_10TO15V}$	6.0	6.25	6.5	V	PVCC = 10 V, 12 V or 15 V
VCCLS UVLO threshold rising, PVCC = 10 V, 12 V or 15 V	$V_{LS_UVLO_R_10TO15V}$	7.70	7.95	8.2	V	PVCC = 10 V, 12 V or 15 V
VCCLS UVLO threshold falling, PVCC = 10 V, 12 V or 15 V	$V_{LS_UVLO_F_10TO15V}$	6.60	6.85	7.10	V	PVCC = 10 V, 12 V or 15 V

过载保护 - 电源系统

VDDB UVLO rising threshold	$V_{VDDB_UVLO_R}$	4.2	4.3	4.4	V	-
VDDB UVLO falling threshold	$V_{VDDB_UVLO_F}$	4.1	4.2	4.3	V	-
VDDB OVLO rising threshold	$V_{VDDB_OVLO_R}$	105	108	111	%	Percentage of target output value
VDDB OVLO falling threshold	$V_{VDDB_OVLO_F}$	101	105	107	%	Percentage of target output value
Buck OCP (inductor current) threshold, 500 kHz	$I_{BUCK_OCP_TH_500kHz}$	-	1.0	-	A	$f_{BUCK_SW} = 500 \text{ kHz}$

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Buck OCP (inductor current) threshold, 1000 kHz	$I_{\text{BUCK_OCP_TH}}$ 1000kHz	-	1.3	-	A	$f_{\text{BUCK_SW}} = 1000 \text{ kHz}$
Buck OCP hysteresis	$I_{\text{BUCK_OCP_HYS}}$	-	50	-	mA	-
DVDD UVLO rising threshold	$V_{\text{DVDD_UVLO_R}}$	-	85	-	%	Percentage of target output value
DVDD UVLO falling threshold	$V_{\text{DVDD_UVLO_F}}$	-	75	-	%	Percentage of target output value
DVDD OVLO rising threshold	$V_{\text{DVDD_OVLO_R}}$	-	110	-	%	Percentage of target output value
DVDD OVLO falling threshold	$V_{\text{DVDD_OVLO_F}}$	-	105	-	%	Percentage of target output value
DVDD target output current limit	$I_{\text{DVDD_I_LIM}}$	50	-	450	mA	Programmable via SPI
DVDD target output current limit accuracy, 50 mA	$A_{\text{DVDD_I_LIM_50mA}}$	-30	-	10	%	$T_J = -40^\circ\text{C}$ to 125°C , limit setting to 50 mA
DVDD target output current limit accuracy, 150 mA, 300 mA or 450 mA	$A_{\text{DVDD_I_LIM_150TO450mA}}$	-18	-	10	%	$T_J = -40^\circ\text{C}$ to 125°C , limit setting to 150 mA, 300 mA or 450 mA

过温保护

Overtemperature warning threshold	$T_{\text{OTW_TH}}$	-	125	-	$^\circ\text{C}$	Measured via internal ADC
Overtemperature warning hysteresis	$T_{\text{OTW_TH_HYS}}$	-	10	-	$^\circ\text{C}$	-
Overtemperature shut-down threshold	$T_{\text{OTS_TH}}$	-	150	-	$^\circ\text{C}$	-
Overtemperature shut-down hysteresis	$T_{\text{OTS_TH_HYS}}$	-	10	-	$^\circ\text{C}$	-

(表格续下页.....)

4 电气特性

表 21 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
转子堵转保护						
Locked rotor detect time	t_{LOCK}	1	–	8	s	¹⁾ Programmable via SPI
SPI时序要求¹⁾						
Clock period	t_{CLK}	77	–	–	ns	–
Clock high time	t_{CLKH}	20	–	–	ns	–
Clock low time	t_{CLKL}	20	–	–	ns	–
SDI input data setup time	$t_{\text{SET_SDI}}$	10	–	–	ns	–
SDI input data hold time	$t_{\text{HD_SDI}}$	10	–	–	ns	–
SDO output data delay time	$t_{\text{DLY_SDO}}$	0	–	20	ns	SCLK high to SDO valid
SDO rise and fall time	$t_{\text{RF_SDO}}$	–	–	10	ns	–
nSCS enable time	$t_{\text{EN_nSCS}}$	–	–	50	ns	nSCS low to SDO transition
nSCS disable time	$t_{\text{DIS_nSCS}}$	–	–	50	ns	nSCS high to SDO high impedance
nSCS hold time	$t_{\text{HD_nSCS}}$	50	–	–	ns	Falling SCLK to rising nSCS
nSCS setup time	$t_{\text{SET_nSCS}}$	50	–	–	ns	Falling nSCS to rising SCLK
nSCS sequential delay time	$t_{\text{SEQ_nSCS}}$	450	–	–	ns	Rising nSCS to falling nSCS

¹⁾无需经过生产测试。

4 电气特性

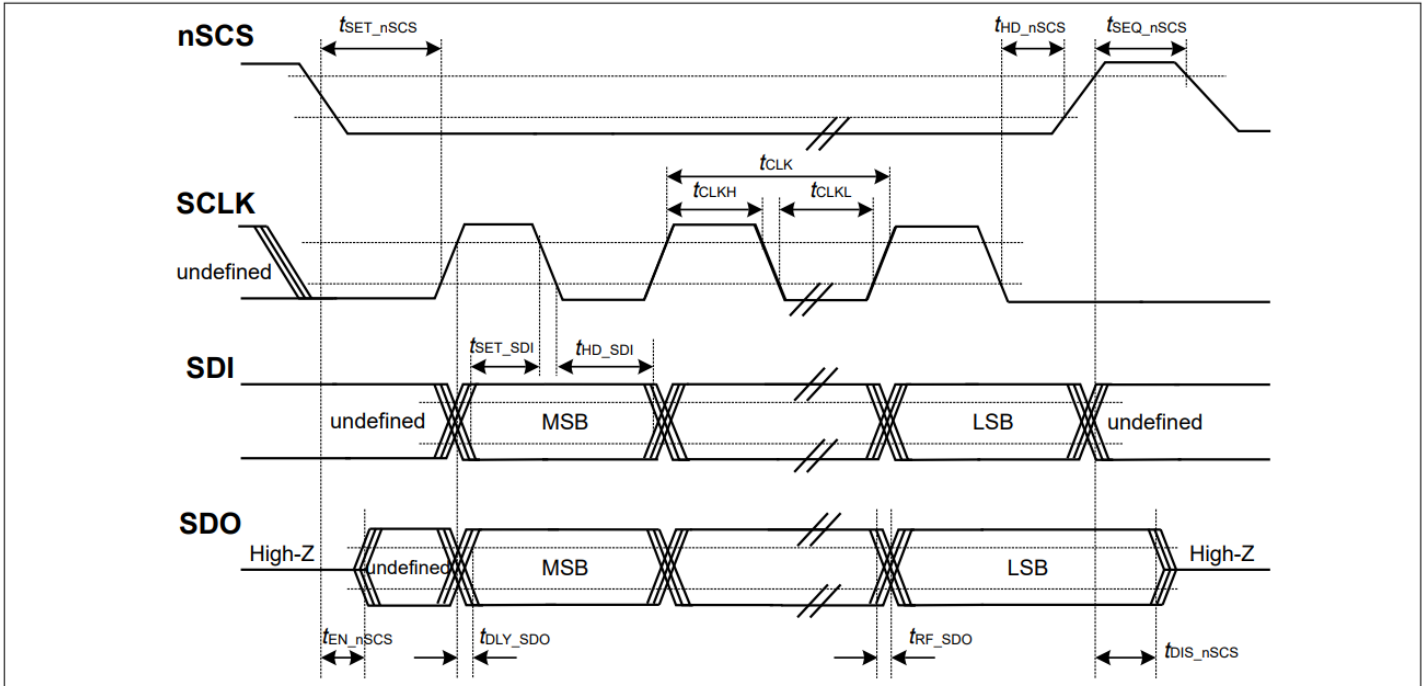


图52 SPI主动模式下的时序图

4.6 特征图

下图提供了器件在不同条件下的行为信息。此数据未经生产测试。除非另有说明， $T_A = 25^\circ\text{C}$ 。除非另有说明，所有电压均参考地（降压转换器、电荷泵和栅极驱动器相关参数参考PGND，其余参数参考DGND）。

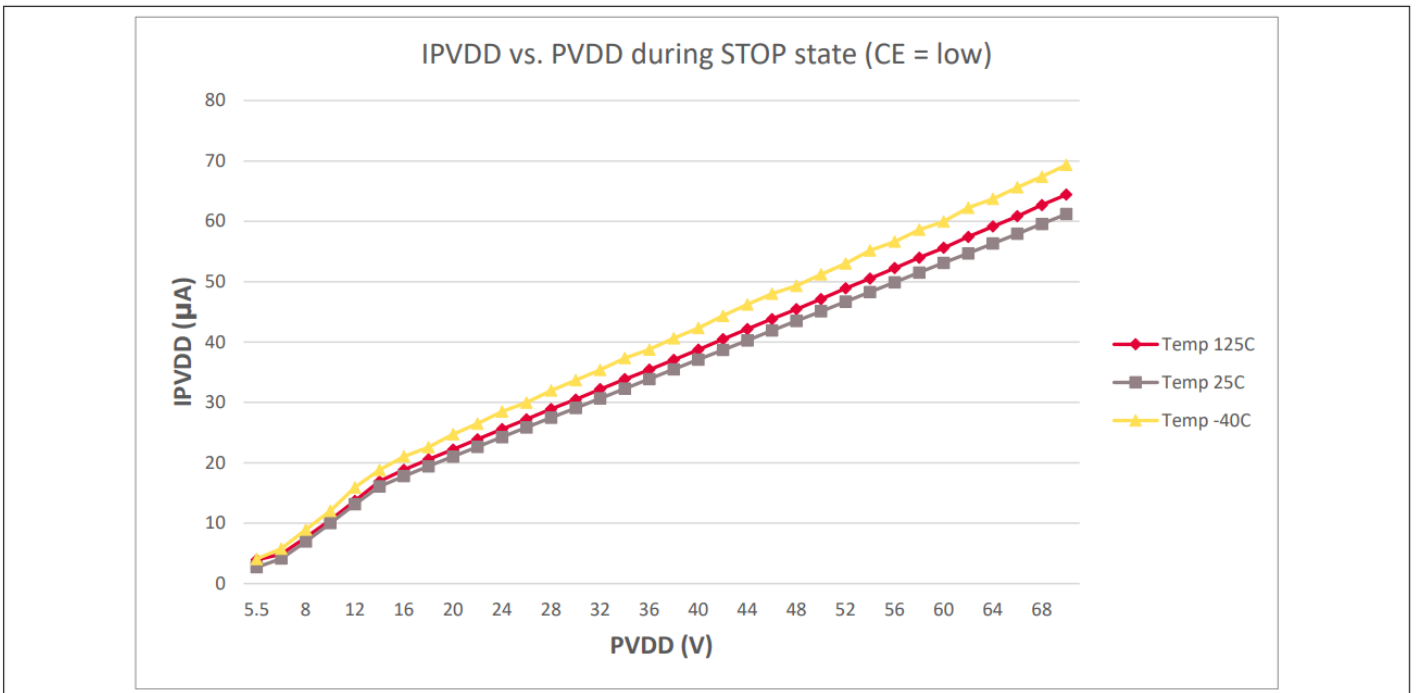


图 53 STOP 状态下 PVDD 引脚功耗与 PVDD 电压的关系 - CE 和 EN_DRV 均低于有效阈值

4 电气特性

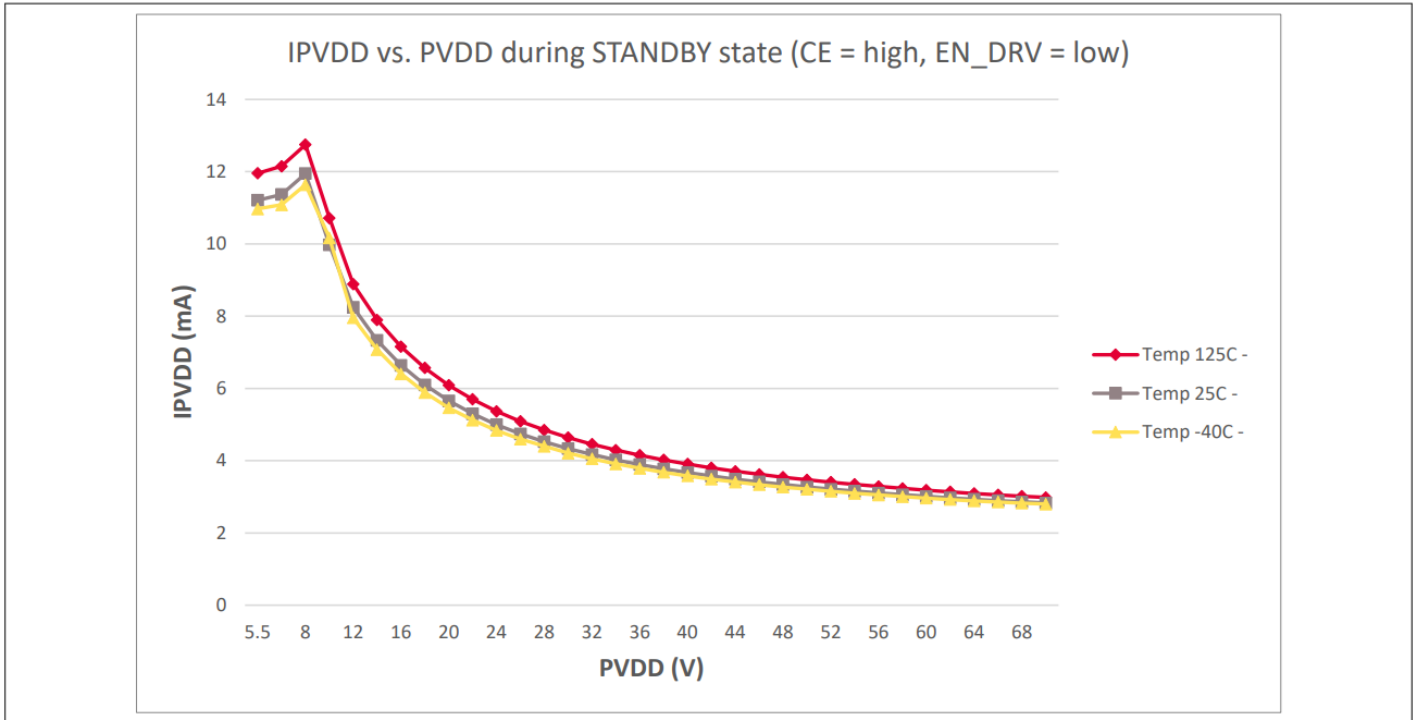


图 54 待机状态下 PVDD 上的功耗与 PVDD 电压的关系 - CE 高于活动阈值，EN_DRV 低于活动阈值

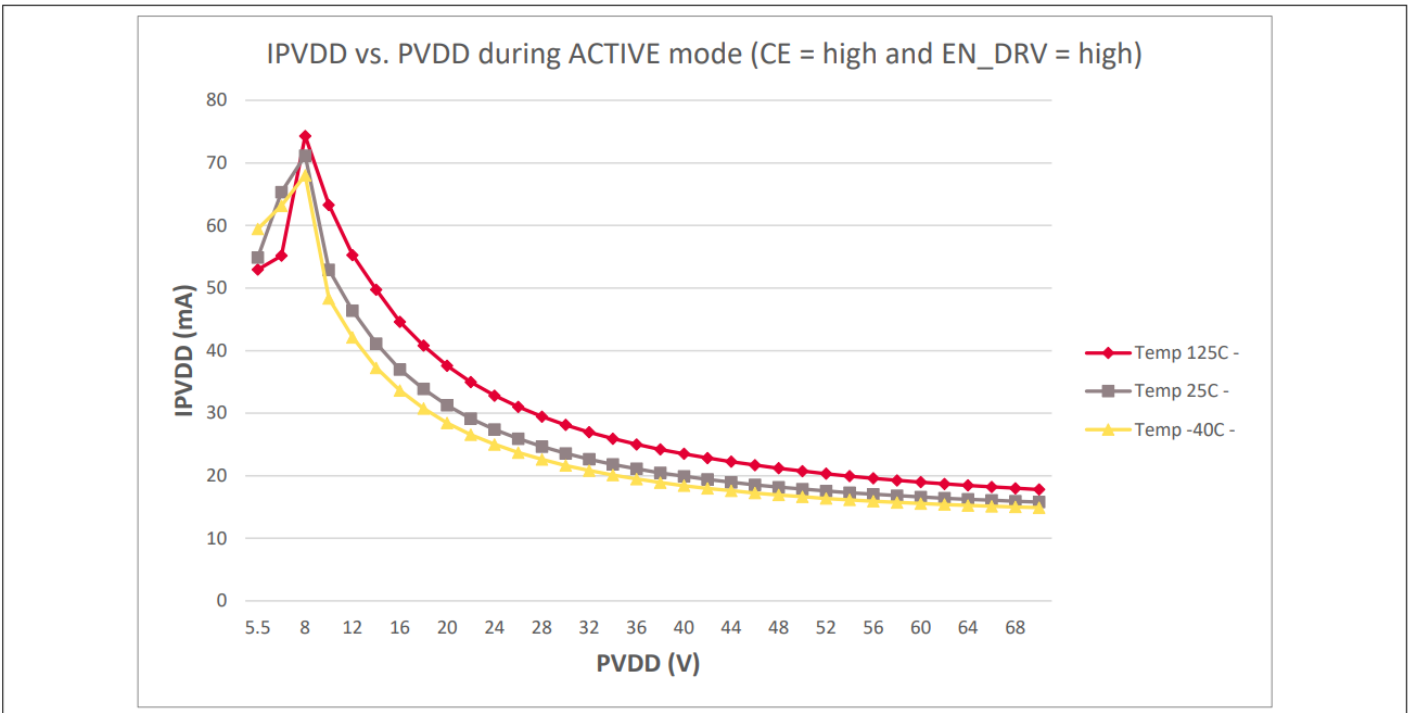


图 55 典型应用中 ACTIVE 状态下 PVDD 的功耗与 PVDD 电压的关系 - CE 和 EN_DRV 均高于活动阈值

4 电气特性

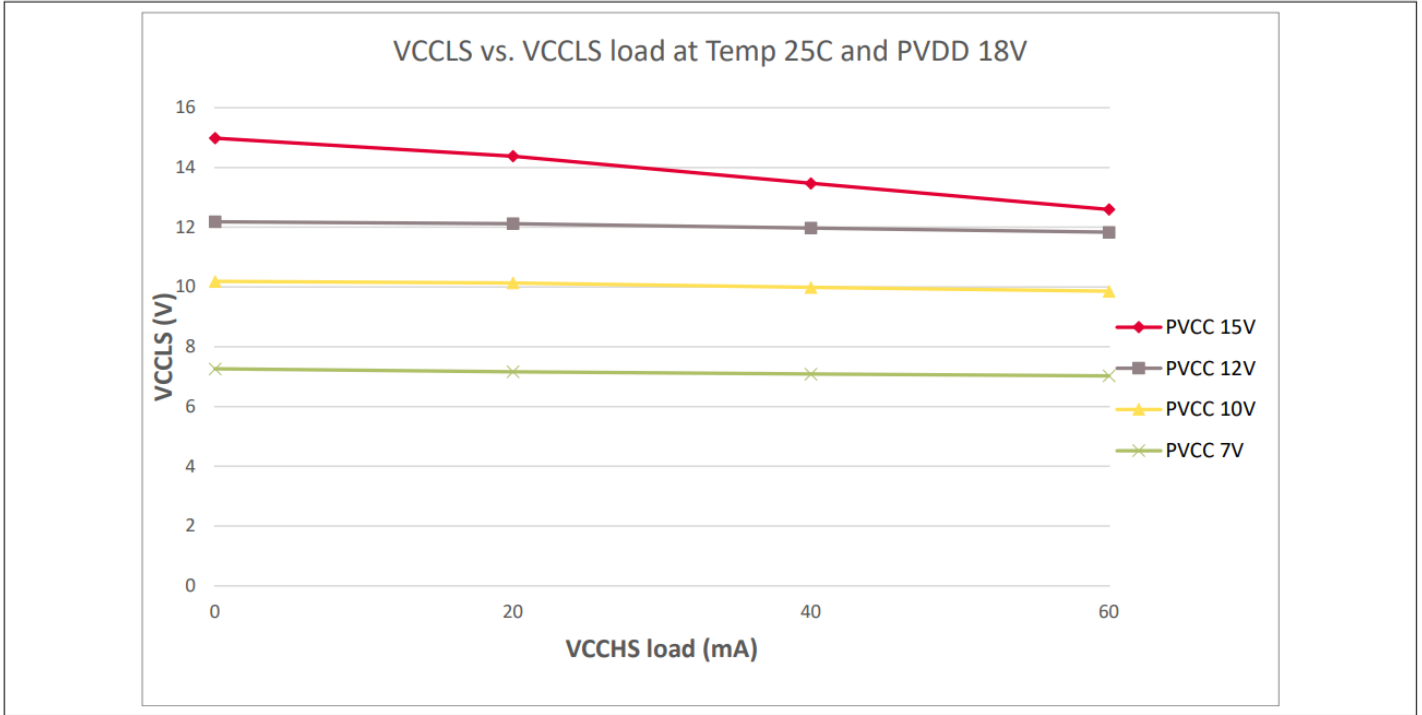


图 56 在 PVDD 18 V 时，不同 PVCC 配置的 VCCLS 平均电压与 VCCLS 负载的关系，典型应用为 $C_{CP1(2)} = 220 \text{ nF}$ 和 $C_{VCCLS} = 1 \mu\text{F}$ ，VCCHS 负载为 20 mA

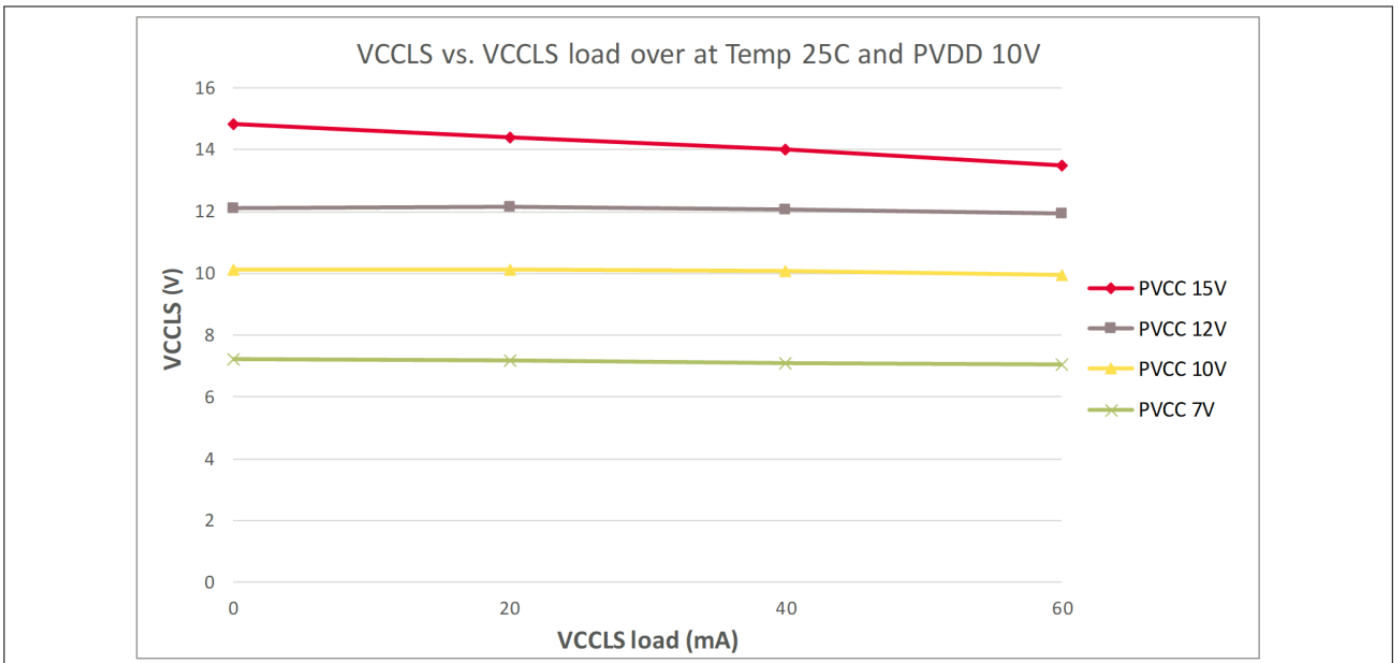


图 57 在 PVDD 10 V 时，不同 PVCC 配置的 VCCLS 平均电压与 VCCLS 负载的关系，典型应用为 $C_{CP1(2)} = 220 \text{ nF}$ 和 $C_{VCCLS} = 1 \mu\text{F}$ ，VCCHS 负载为 20 mA

4 电气特性

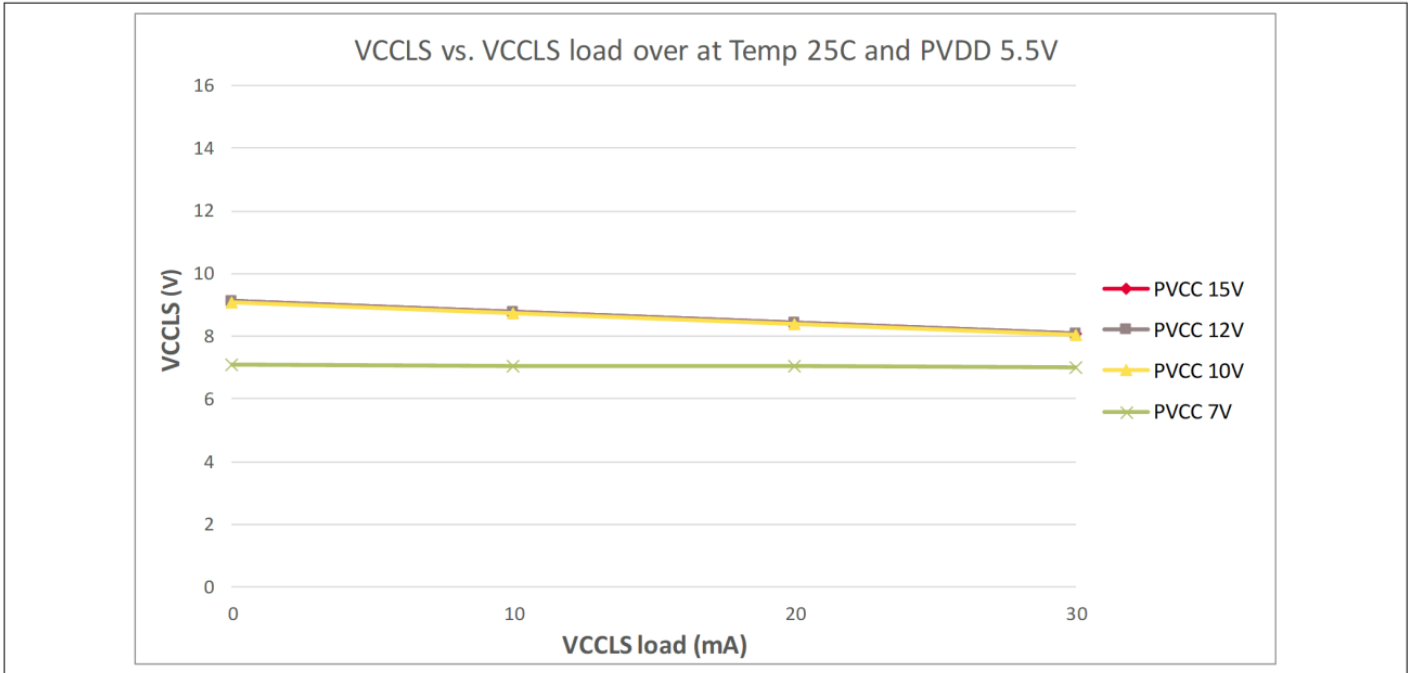


图 58 在 PVDD 5.5 V 时，不同 PVCC 配置的 VCCLS 平均电压与 VCCLS 负载的关系，典型应用为 $C_{CP1(2)} = 220 \text{ nF}$ 和 $C_{VCCLS} = 1 \mu \text{ F}$ ，VCCHS 负载为 20 mA

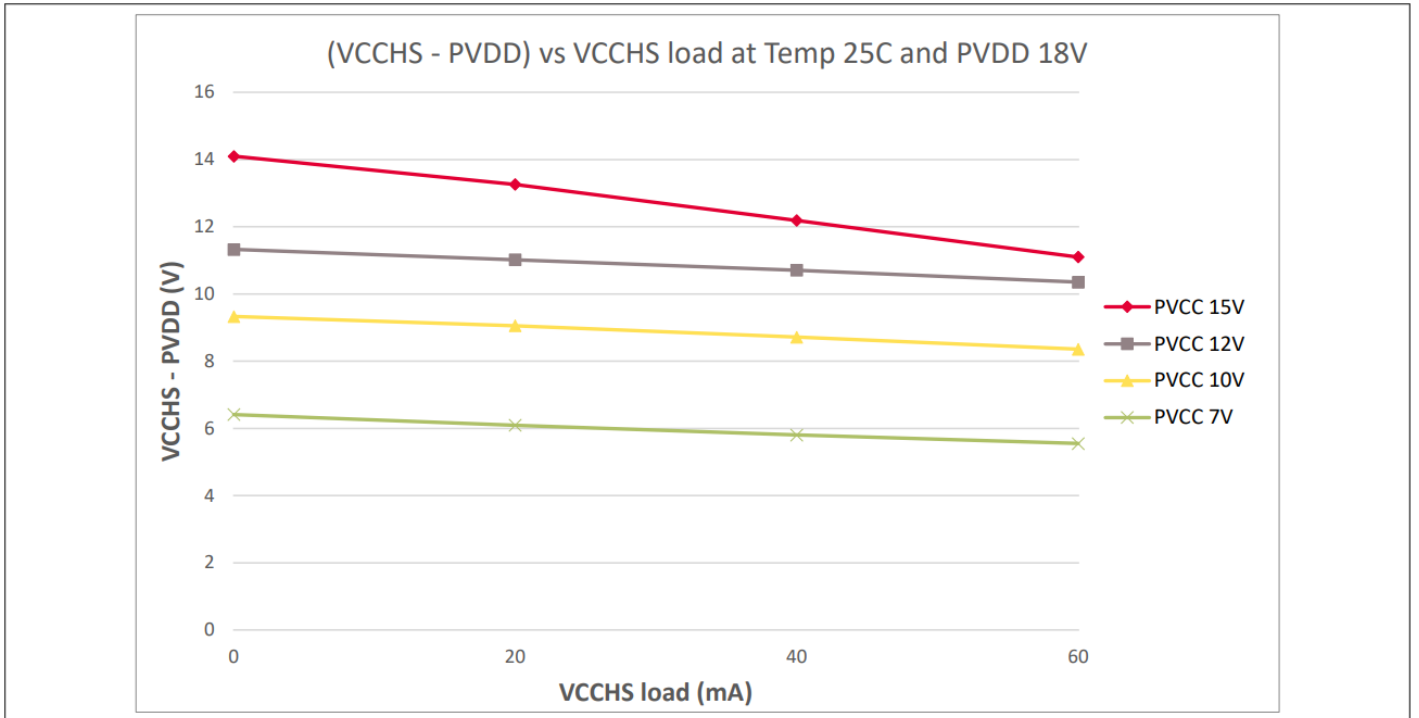


图 59 高侧栅极驱动器电源 (VCCHS - PVDD) 平均电压与不同 PVCC 配置的 VCCHS 负载的关系，PVDD 为 18 V，典型应用为 $C_{CP1(2)} = 220 \text{ nF}$ 和 $C_{VCCHS} = 1 \mu \text{ F}$ ，VCCLS 负载为 20 mA

4 电气特性

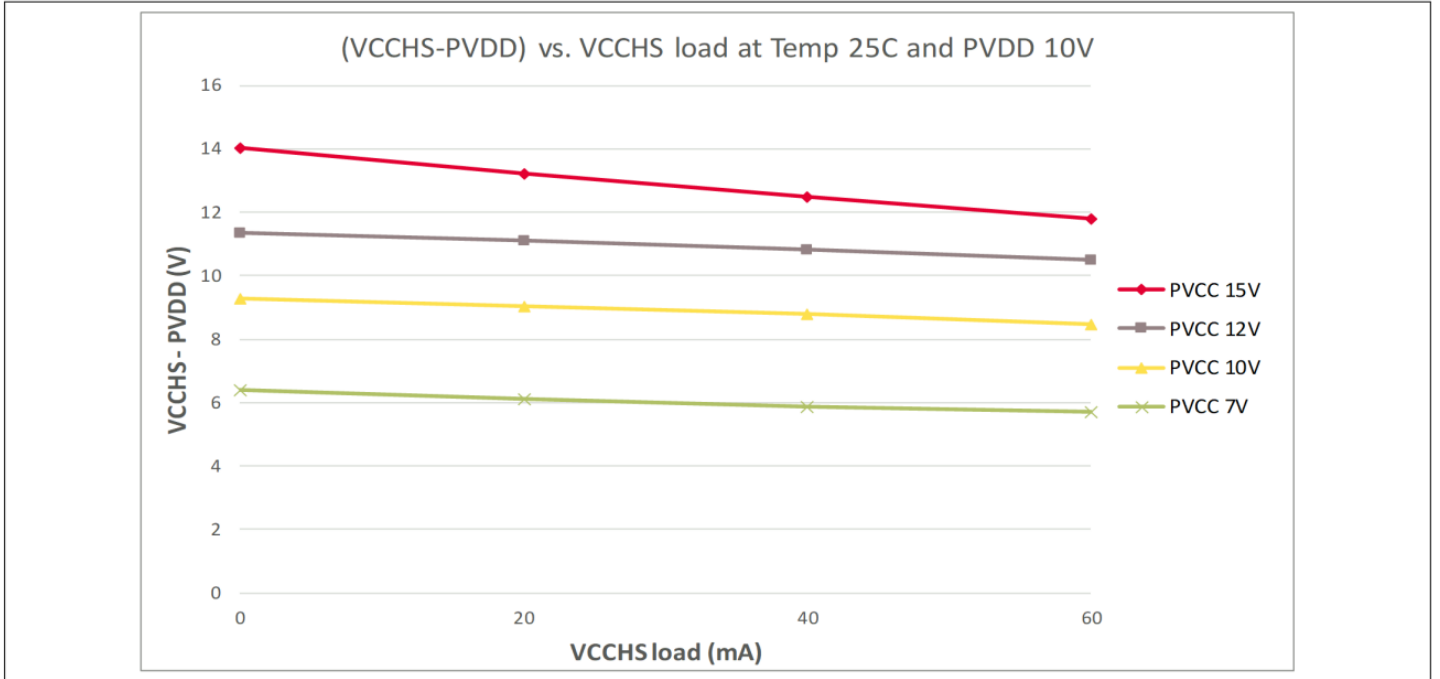


图 60 高侧栅极驱动器电源 (VCCHS - PVDD) 平均电压与不同PVCC 配置的 VCCHS 负载的关系, PVDD 为 10 V, 典型应用为 $C_{CP1(2)} = 220 \text{ nF}$ 和 $C_{VCCHS} = 1 \mu \text{ F}$, VCCLS 负载为 20 mA

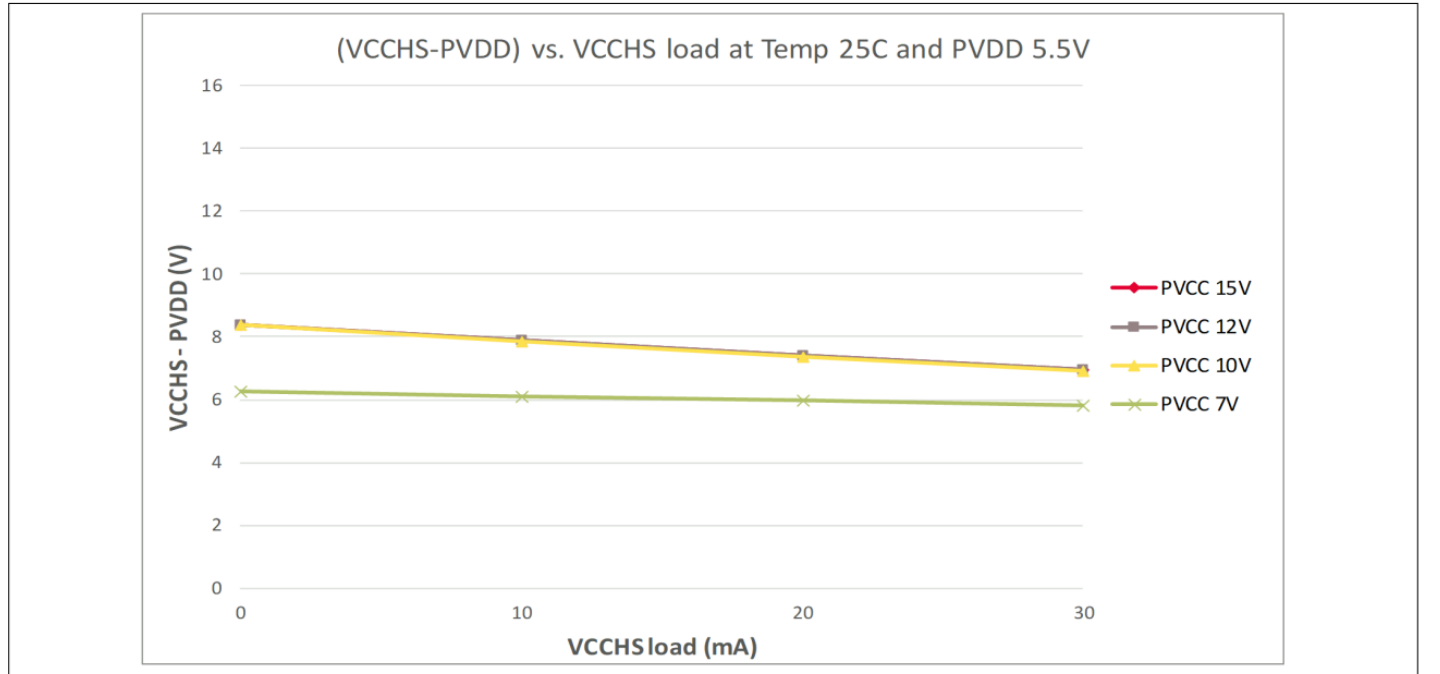


图 61 高侧栅极驱动器电源 (VCCHS - PVDD) 平均电压与不同PVCC 配置的 VCCHS 负载的关系, PVDD 为 5.5 V, 典型应用为 $C_{CP1(2)} = 220 \text{ nF}$ 和 $C_{VCCHS} = 1 \mu \text{ F}$, VCCLS 负载为 20 mA

4 电气特性

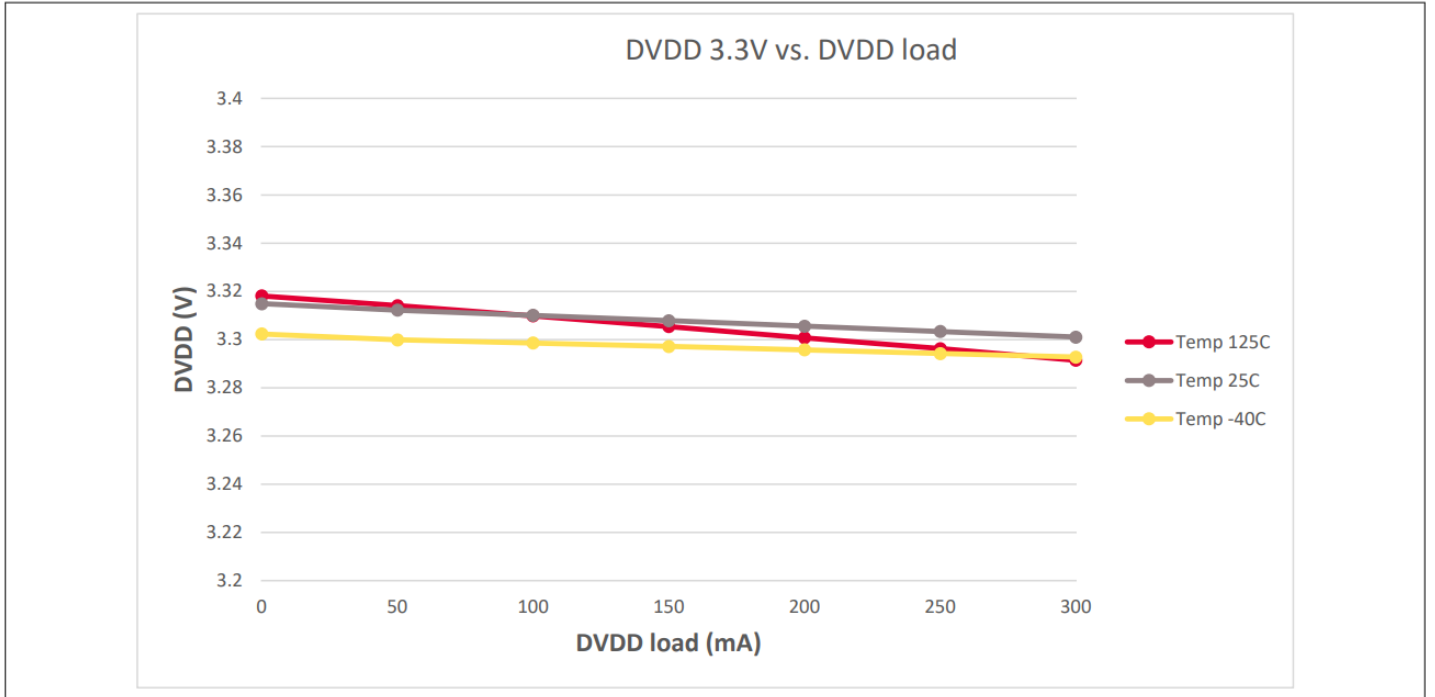


图 62 不同温度下 DVDD 3.3 V 输出电压与 DVDD 负载的关系

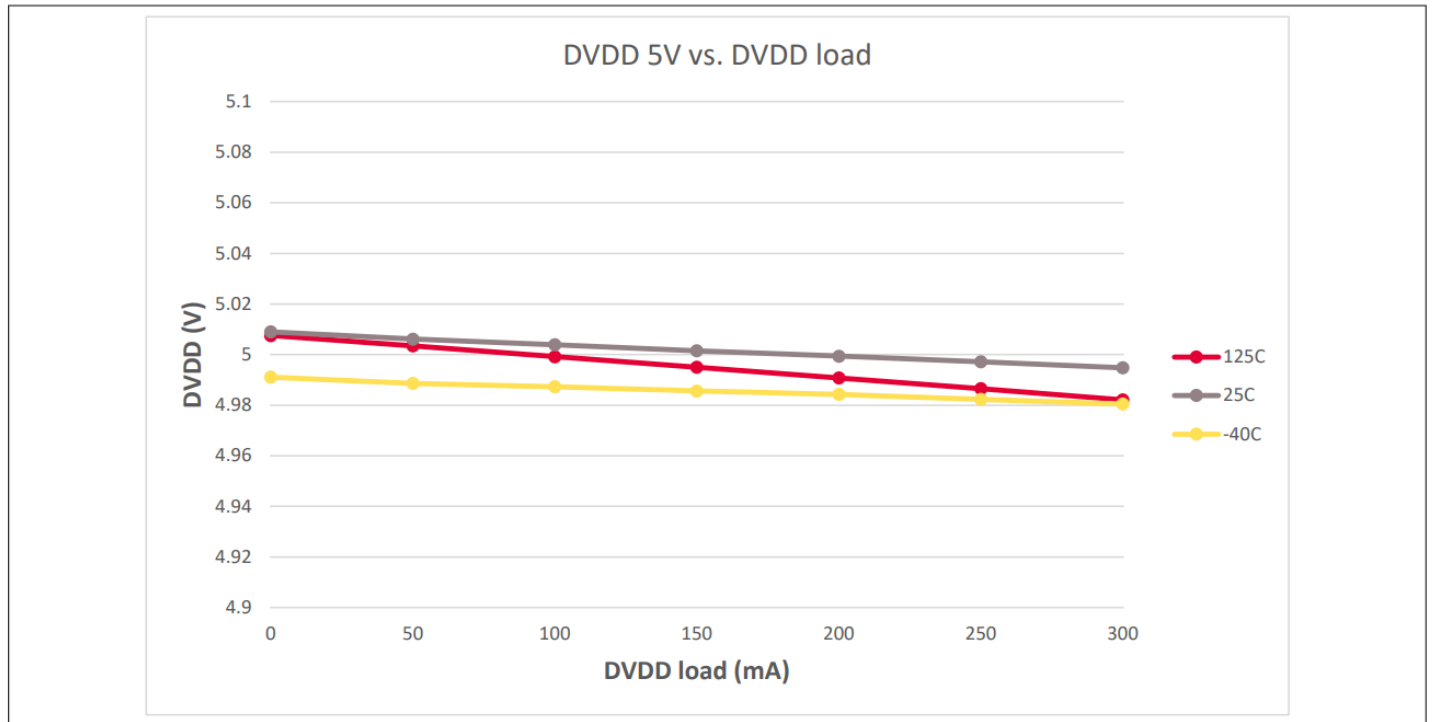


图 63 不同温度下 DVDD 5 V 输出电压与 DVDD 负载的关系

4 电气特性

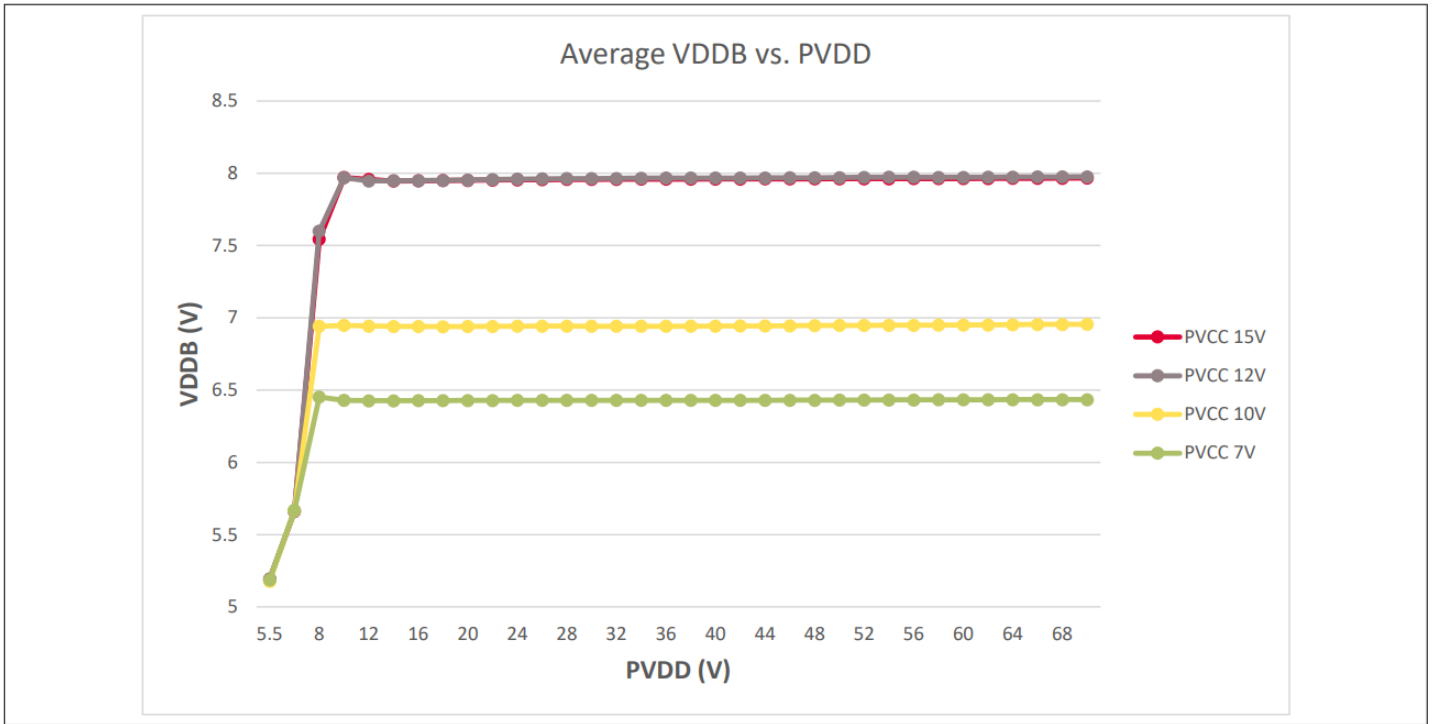


图 64 降压转换器平均输出电压 (VDDDB) 与 PVDD 电压的关系。典型配置, VDDDB负载200 mA, 降压转换器开关频率500 kHz

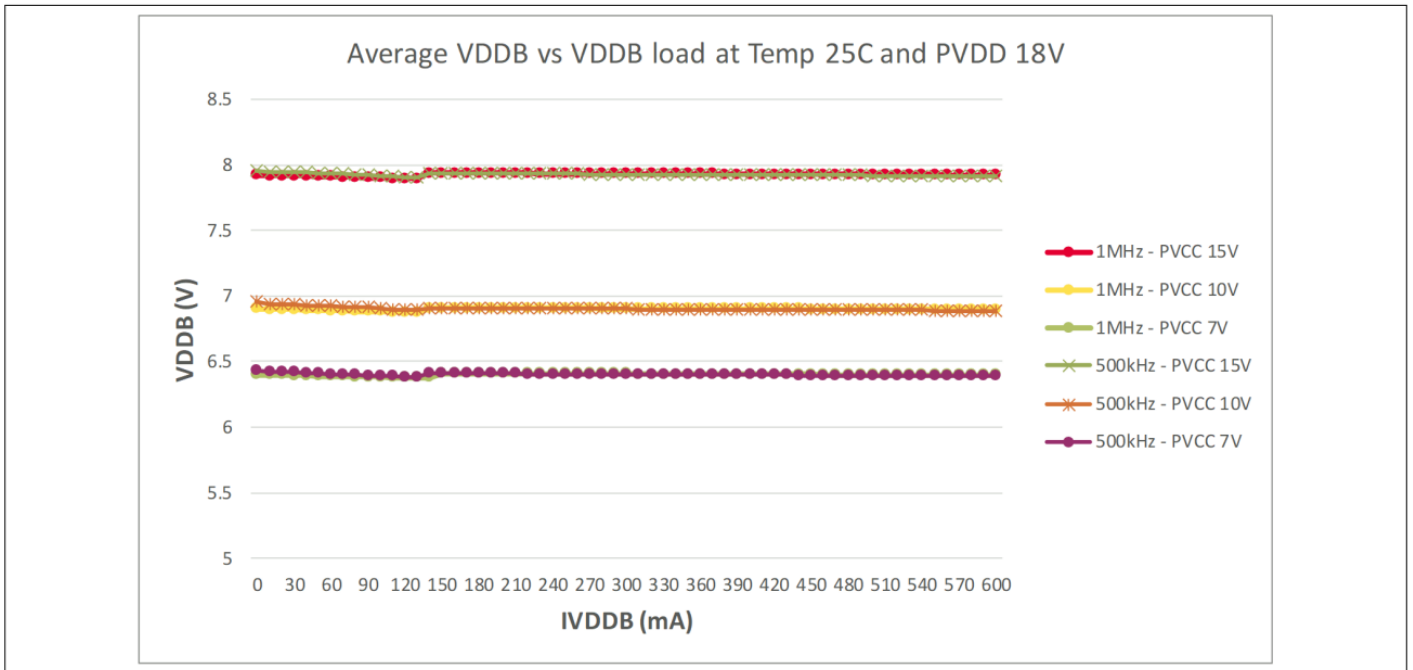


图 65 不同 PVCC 和降压开关频率下降压转换器平均输出电压 (VDDDB) 与 VDDDB 负载 (I_{VDDDB}) 的关系。典型配置

4 电气特性

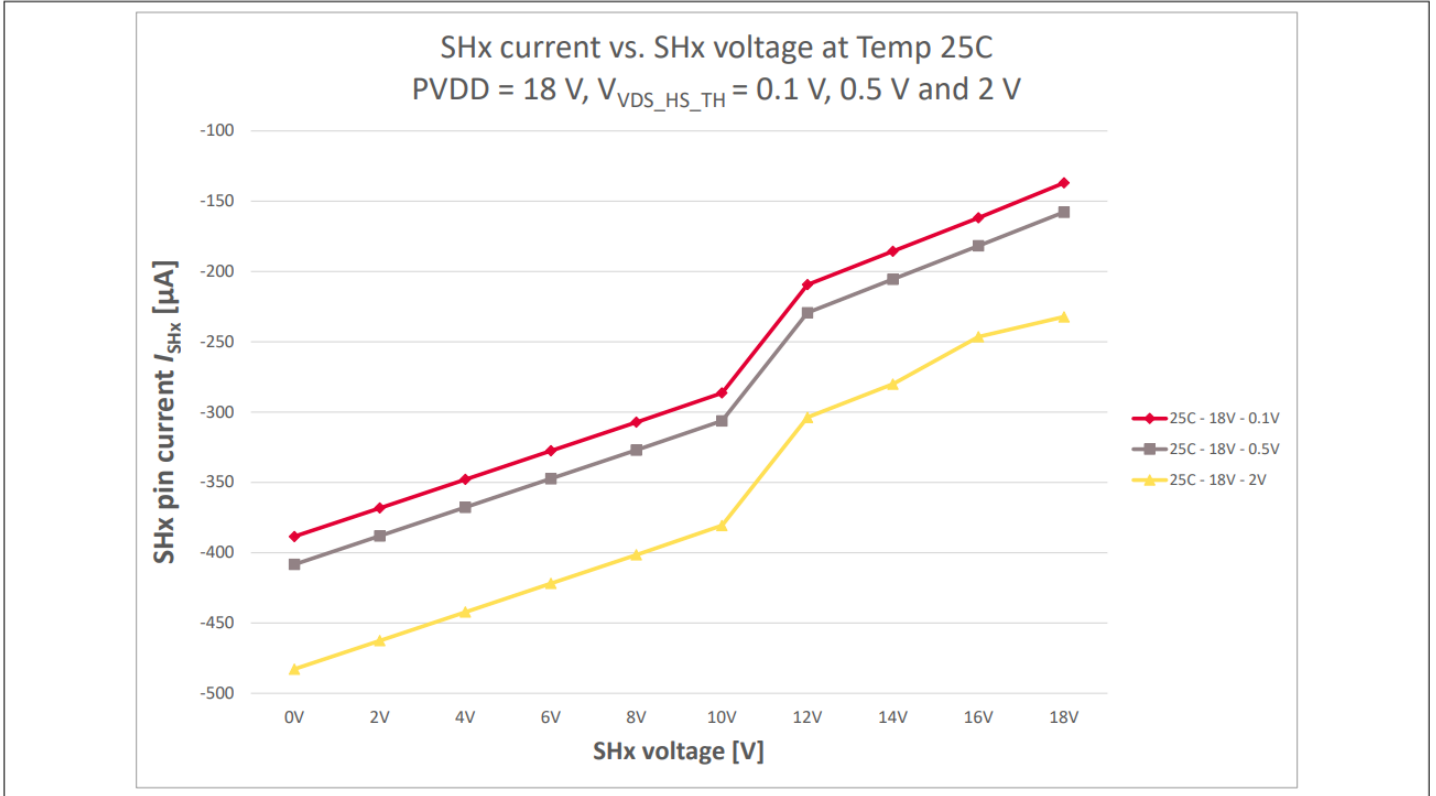


图 66 SHx 引脚电流与 SHx 电压的关系，其中 PVDD 为 18 V，VDS 比较器阈值电压分别为 0.1 V、0.5 V 和 2 V，关闭状态诊断和 VDS 传感器已启用

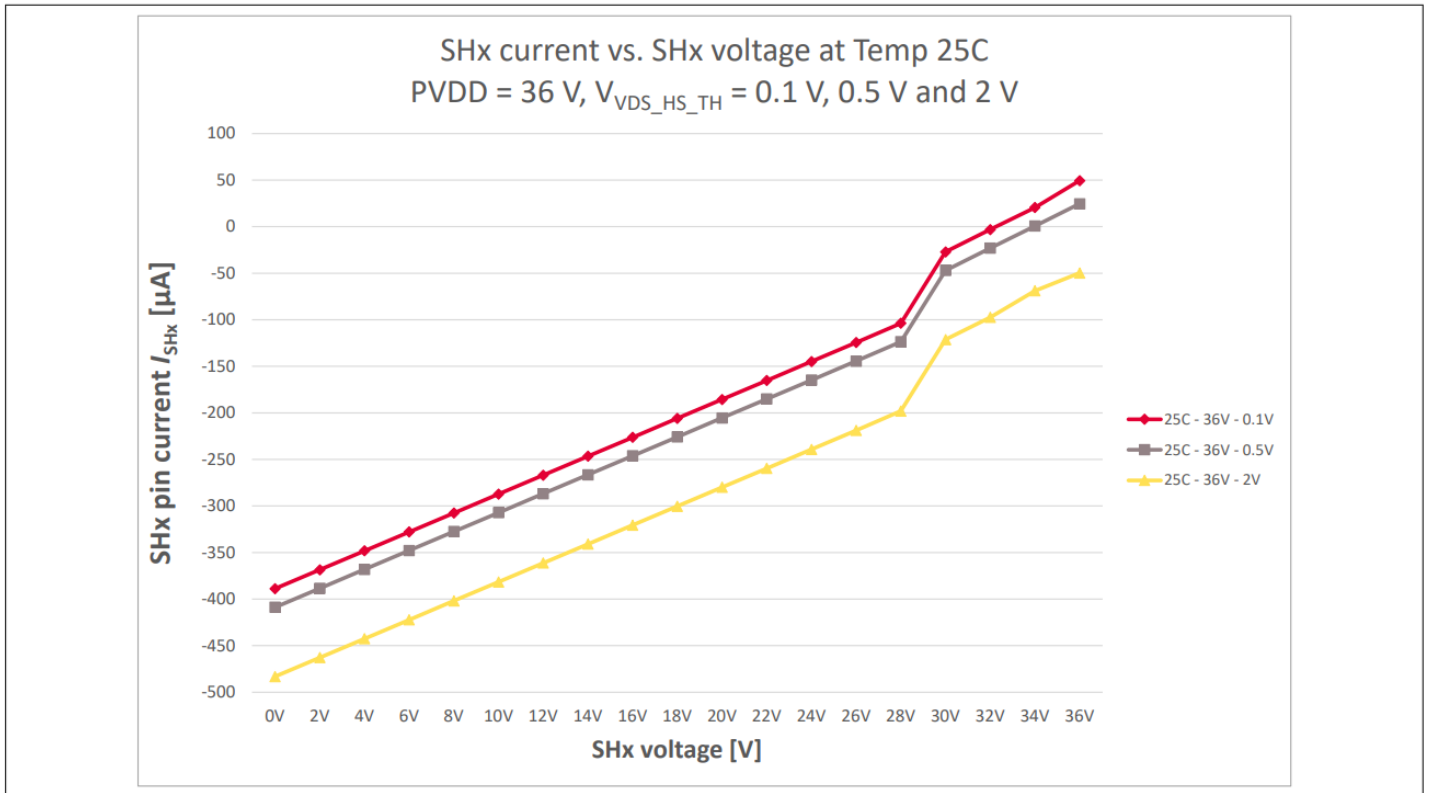


图 67 SHx 引脚电流与 SHx 电压的关系，其中 PVDD 为 36 V，VDS 比较器阈值电压分别为 0.1 V、0.5 V 和 2 V，关闭状态诊断和 VDS 传感器已启用

4 电气特性

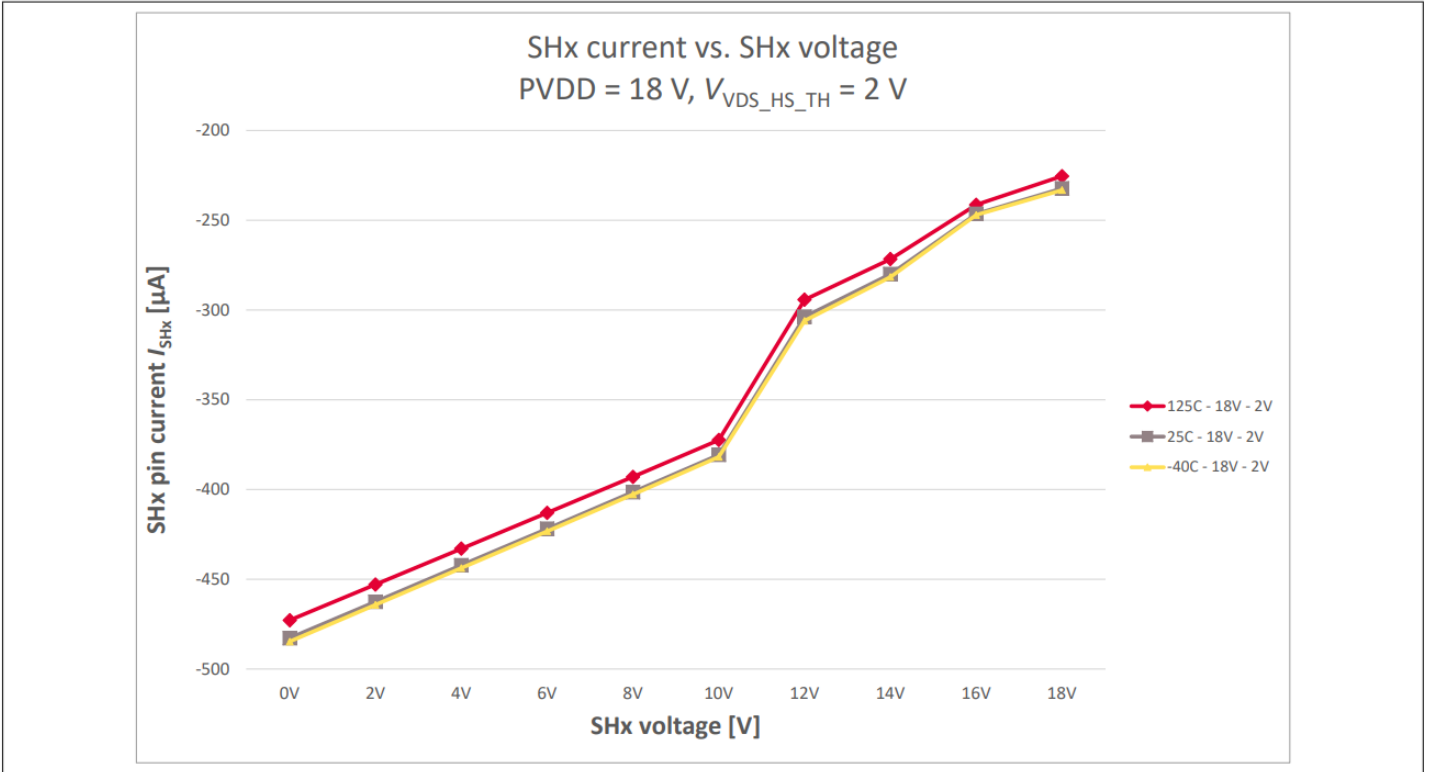


图 68 SHx 引脚电流与 SHx 电压的关系，PVDD 为 18 V，VDS 比较器阈值电压为 2 V，关闭状态诊断和 VDS 传感器已启用

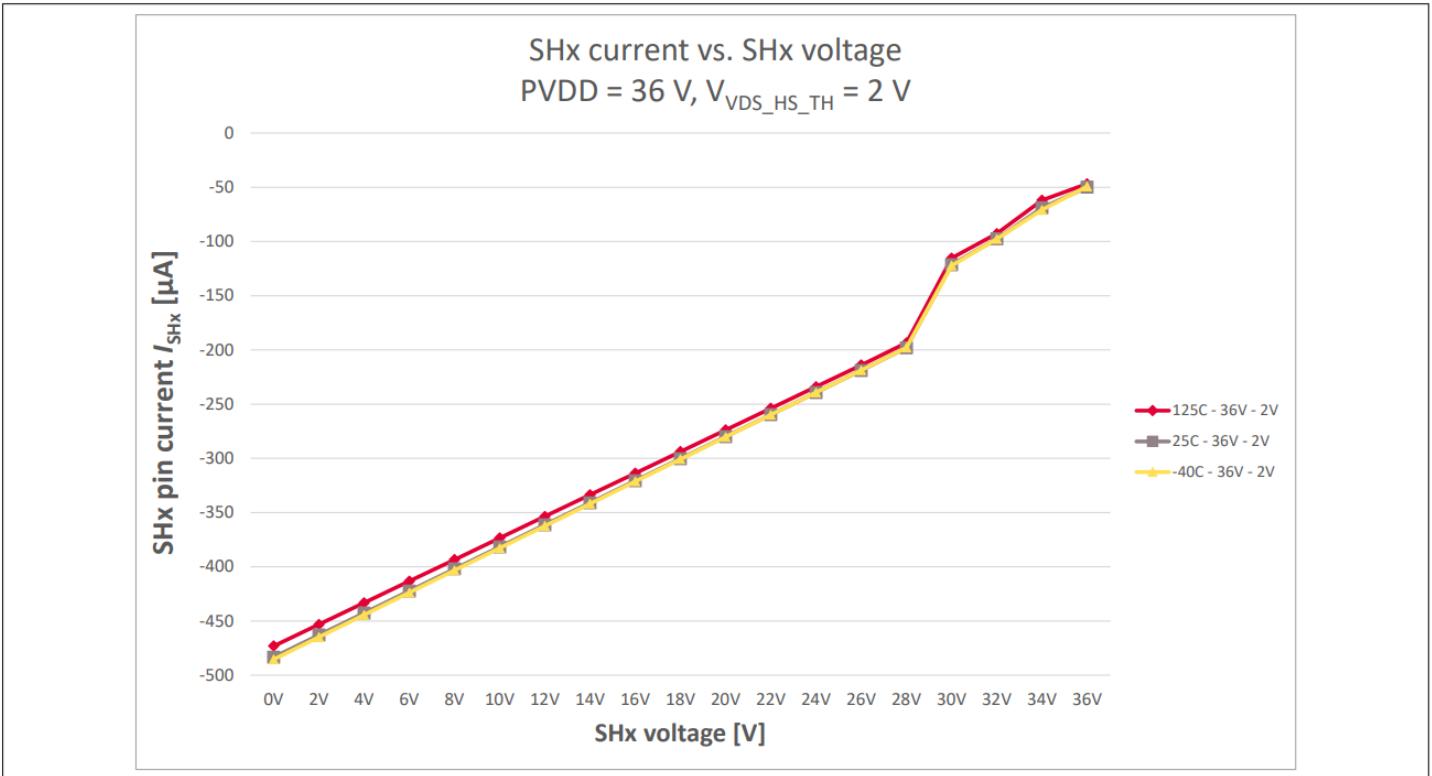


图 69 SHx 引脚电流与 SHx 电压的关系，PVDD 为 36 V，VDS 比较器阈值电压为 2 V，关闭状态诊断和 VDS 传感器已启用

5 应用信息

注： 以下信息是为了帮助设计和实现器件，而不是对器件的功能、性能或质量做出任何承诺或保证。

5.1 推荐的外部元件

6EDL7151 需要一些外部元件才能正常工作。推荐的元件和值列于表 22 中。

表 22 推荐的外部元件

Element	Pin1	Pin2	Recommended value	Rating	Note
C_{PVDD}	PVDD	PGND	4.7 μ F	According to PVDD	–
C_{DVDD}	DVDD	DGND	10 μ F and 0.1 μ F	16 V	According to MCU or other ICs' specifications
C_{VCCHS}	VCCHS	PVDD	$1 \mu\text{F} < C_{VCCHS} < 2.2 \mu\text{F}$	25 V if connected to PVDD or according to (PVDD + PVCC) if connected to PGND	Depending on VCCHS ripple and start-up requirements
C_{VCCLS}	VCCLS	PGND	$1 \mu\text{F} < C_{VCCLS} < 4.7 \mu\text{F}$	25 V	Depending on VCCLS ripple and start-up requirements
C_{CP1}	CP1H	CP1L	$220 \text{ nF} < C_{CP1} < 1 \mu\text{F}$	25 V	0.47 μ F recommended
C_{CP2}	CP2H	CP2L	$220 \text{ nF} < C_{CP2} < 1 \mu\text{F}$	According to PVDD	0.47 μ F recommended
L_{BUCK}	PH	VDDB	22 μ H	According to max expected peak current - (device limit /BUCK_OCP_TH)	500 kHz configuration
			10 μ H		1 MHz configuration
C_{VDDB}	VDDB	PGND	47 μ F	16 V	500 kHz configuration
			47 μ F		1 MHz configuration
R_{SENSE}	VSENSE/nBRAKE	DGND	$R_{SENSE} = 3.3 \text{ k}\Omega \Rightarrow DVDD = 3.3 \text{ V}$	–	Selects DVDD 3.3 V or 5 V respectively. Tolerance 5% or better
			$R_{SENSE} = 10 \text{ k}\Omega \Rightarrow DVDD = 5 \text{ V}$		
			Diode for nBRAKE (see Chapter 5.3)		
R_{CS_GAIN}	CS_GAIN/AZ	DGND	See Table 9 for gain programming	–	1% tolerance is recommended
R_{AZ}	CS_GAIN/AZ	DVDD	1 k Ω - 10 k Ω	–	Pull up to DVDD. Diode may be required (see Chapter 3.10.3)
R_{nFAULT}	nFAULT	DVDD	1 k Ω - 10 k Ω	–	–
R_{DRAIN}	PVDD	VDRAIN	2 k Ω	–	–

5.2 PCB 布局建议

布局对于确保高质量的信号和传感至关重要。本节提供了不同的建议，以获得最佳的电气、热和 EMI 结果。

5.2.1 接地和供电

PGND 是 6EDL7151 中以下部分使用的接地：

- 降压转换器
- 电荷泵
- 低侧和高侧 DGND 的栅极驱动器用于：
- DVDD 线性稳压器
- 数字逻辑
- 电流检测放大器

建议用 PGND 实体平面覆盖 PGND 参考组件，用 DGND 实体平面覆盖 DGND 参考组件，同时确保 PGND 和 DGND 平面之间没有重叠，以防止交叉耦合。

然而，PGND 和 DGND 必须连接到相同的电位，并且必须在 PCB 上的一个地方相互连接，并且该位置取决于许多因素。有时靠近电源或电池的负极（回路）可以产生最佳效果。

电源引脚（PVDD）的去耦电容应尽可能靠近 PVDD 引脚和 PGND 引脚。添加一个小的 0.1 μF 电容器也有助于抑制高频毛刺。

一般来说，屏蔽栅极和传感信号等关键信号非常重要，以防止噪声耦合和来自其他噪声区域的注入。如果预计电池电压会暂时下降至接近 PVDD 的 UVLO 电平，建议使用可以在这些瞬态期间维持电源电压的大电容器。

或者，也可以将二极管（例如，肖特基二极管）与 PVDD 串联，并置于 PVDD 去耦电容之前。如果电池电压短暂降至 6EDL7151 的 PVDD UVLO 电平以下，这可以防止 PVDD 去耦电容器放电至电池（或其他电源）。

类似地，如果 CE 信号是通过电阻分压器从电池电压获取的，则它可能也会受到这些瞬变的影响。最好在 CE 引脚附近添加一个小电容器，以确保这些噪声不会关闭设备。然而，CE 引脚的电流消耗极低。因此，如果 CE 引脚是电池关闭后对 CE 电容器放电的唯一途径，则设备可能会长时间保持开启状态。那么，设计一条放电路径将会很有用，以防这导致问题。

5.2.2 热设计

根据设备的配置和不同集成电源转换器（如同步降压、DVDD LDO 和电荷泵）的使用情况，设备会出现不同的功率损耗，从而转化为自热。例如，用户可以选择将 DVDD LDO 输出电压设为 5V 而不是 3.3V，以减少 LDO 模块的损耗。另一个例子是，降压转换器输出电压（DVDD LDO 的输入）可以根据栅极驱动电压需求进行配置。如果不需要 12 V 和 15 V 的栅极驱动电压，用户可以配置降压转换器以产生 7 V 输出电压，与标准情况 8 V 相比，LDO 中的损耗也会降低。

为了将产生的热量散发到 PCB，必须将器件裸露焊盘与 PCB 导热焊盘（DGND 焊盘）牢固连接。此外，强烈建议使用足够的散热过孔，以便有效地将热量从导热焊盘传导到 PCB。图 70 中显示了一个示例。

一般来说，较厚的 PCB 层（铜厚度 2 盎司/平方英尺²即 70 μm 或以上）有助于更快地消散设备产生的热量。

5.2.3 降压转换器和 DVDD 线性稳压器

降压转换器相对较高的开关频率和高电压开关（PVDD 至 PGND）使其成为设备中的敏感模块，需要在设计阶段格外注意。

主要目标是尽可能减少降压开关回路（PH-电感器-电容器-VDDB）。在 6EDL7151 中，同步降压中的大多数元件（如外部二极管、低侧 MOSFET 以及反馈或参考电阻）都集成在一起，以减轻 EMI 辐射。

除了环路本身之外，将 PH 走线缩短到最短并避免电感器连接中出现大量铜也非常重要。该 PH 节点以高频 PVDD 电压的幅度进行切换，因此可能成为其他元件的噪声源，所以该走线必须尽可能远离敏感的模拟感应，如电流感应。

图 70 显示了具有最小化 PH 迹线和降压环路面积的可能的降压转换器布局。

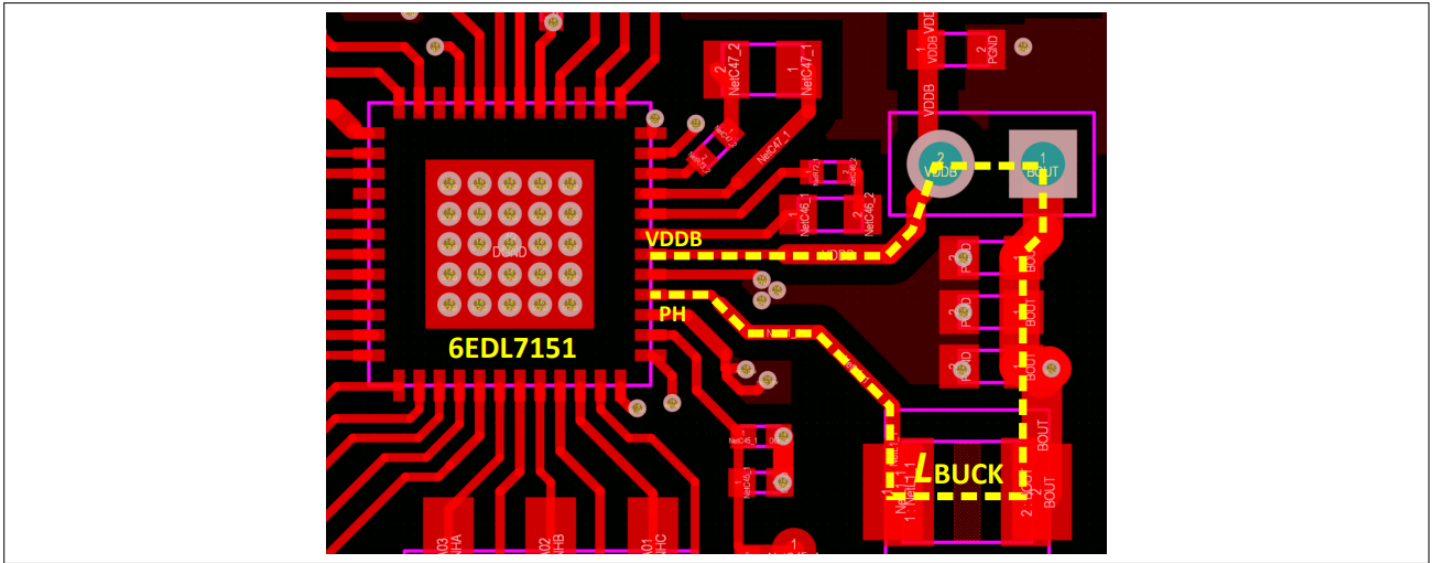


图 70 降压转换器布局建议，必须最小化 PH 走线和降压环路面积（以黄色突出显示）

DVDD 线性稳压器必须使用尽可能靠近 DVDD 引脚放置的电容器进行去耦，并尽可能短地连接到另一端子的 DGND。建议 MCU 和其他由 DVDD 电压供电的组件在这些组件上使用额外的局部去耦电容。这有助于抑制这些走线布线所捕获的噪声。

5.2.4 栅极驱动器和电荷泵

尽可能保持门信号对称，包括相位之间的对称性（相位 A、B 和 C 的长度相似），以最大限度地减少传播延迟不匹配。保持栅极电流环路尽可能短，并尝试尽可能接近发送和返回信号。

低侧 SLx 的源信号在低侧 MOSFET 的源极和分流元件的顶侧感测之间共享。建议针对电流感应进行优化（分流端子的对称抽头和直至电流感应输入的并行布线），但是，如果不使用电流感应，则针对栅极驱动器性能进行优化是一个不错的选择。

电荷泵环路应尽可能小，电荷泵飞跨电容器必须放置在靠近引脚 19、20、21 和 22 的位置。VCCHS（引脚 24）和 VCCLS（引脚 23）中的储能电容器也类似。只要与器件的距离尽可能短，就可以将其中一些电容器放置在不同的层中。

VDRAIN 信号可以连接到高侧漏极，此处信号安静且易于访问，理想情况下在低噪声 PCB 部分布线或适当屏蔽信号。

图 71 显示了 6EDL7151 布局的示例，突出显示了具有双 MOSFET 的三相逆变器中的栅极驱动器信号和电流感应。可以使用栅极电阻 R_g 。但是，用户必须知道，6EDL7151 的压摆率控制提供了一种以可编程方式微调 MOSFET 开关速度的新方法。使用 R_g 电阻会在 6EDL7151 和 MOSFET 栅极之间增加额外的压降。同样，可以使用逆变器中的缓冲元件（与 MOSFET 并联）和旁路电容（高侧漏极到低侧源极）。

尽管如此，6EDL7151 压摆率控制的灵活性允许用户移除这些外部元件，尤其是在高密度PCB布局，以便为电源部分提供更多空间，例如，实现PCB内更好的热量分布。它还可以最大限度地减少 BOM。

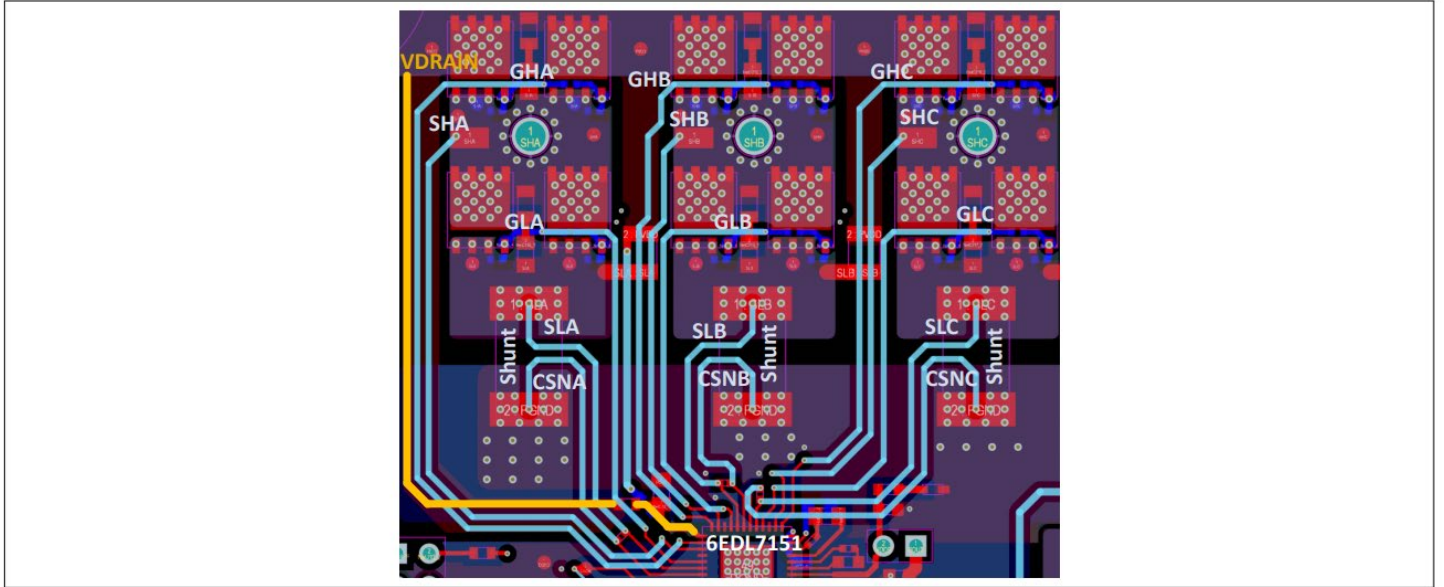


图 71 栅极驱动器和电流检测布局示例。信号在中间层路由

5.2.5 电流检测

SLx 和 CSNx 处的 RC 滤波器并非理想选择，因此必须谨慎操作。电阻 R1 和 R2 如图 72 所示，由于放大器偏置电流和/或栅极驱动器电流，会引入意外的压降，从而影响 R_{SHUNT} 电流检测精度。R1 还会限制低侧 (LS) 栅极驱动器的电流，实际上充当了 R_g 电阻。可以在 SLx 和 CSNx 之间并联一个电容 (如下所示的 C1)。这会增加 MOSFET 开关期间的开关噪声，同时提高稳态值。较大的电容值会加剧这种影响。根据应用情况，可以调整该值。并联电容器应靠近 PCB 上的 SLx 和 CSNx 输入引脚，100 pF 至 1 nF 之间的值可以是一个很好的起点。

强烈建议在 MCU 中的电流检测放大器输出 (CSOx) 和 ADC 输入之间使用 RC 滤波器。1MHz 的典型截止频率可以在滤波能力和动态行为之间取得良好的折衷，但用户必须根据整体性能目标来决定。

强烈建议采用分流电阻的开尔文连接，如图 71，在这种情况下，SLx 和 CSNx 的走线布置在中间层，并覆盖有实心接地层。

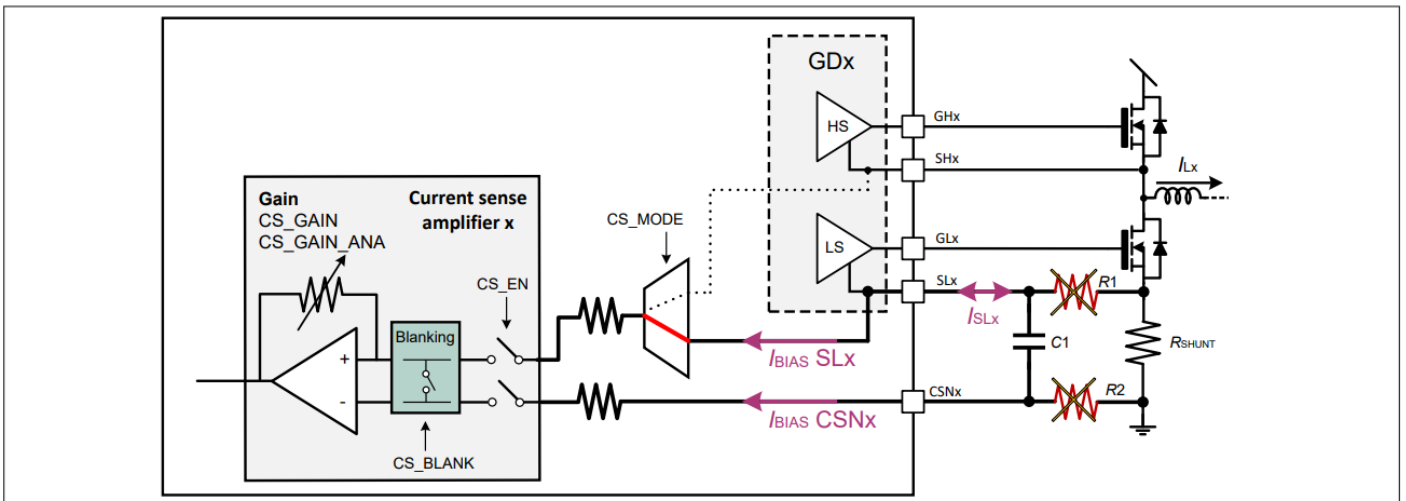


图 72 电流检测放大器输入滤波

5.3 典型应用

霍尔传感器可以直接连接到 6EDL7151 输入 INLA、INLB 和 INLC。该解决方案的示例配置如图 73 所示。在本例中，6EDL7151 配置为 1PWM 模式，并配备霍尔传感器以实现梯形控制。MCU GPIO 产生“方向”信号来改变电机转向。SPI 接口支持对 6EDL7151 进行编程。MCU 电源电压 DVDD 通过使用 R_{SENSE} 电阻设置为 5V。

图 74 展示了一个采用 6PWM 模式的替代应用。它展示了一种典型的 BLDC 电机无传感器控制。DVDD 通过 OTP 配置（SPI 寄存器）进行编程，可配置为 3.3V 或 5V。所有三个集成电流检测放大器均已启用，其输出连接到 MCU，以测量流过分流电阻的电流，从而实现正确的电机控制。nFAULT 信号用于报告 6EDL7151 中发生的任何故障，并且 MCU 可以在必要时通过下拉 nBRAKE 引脚来制动电机。

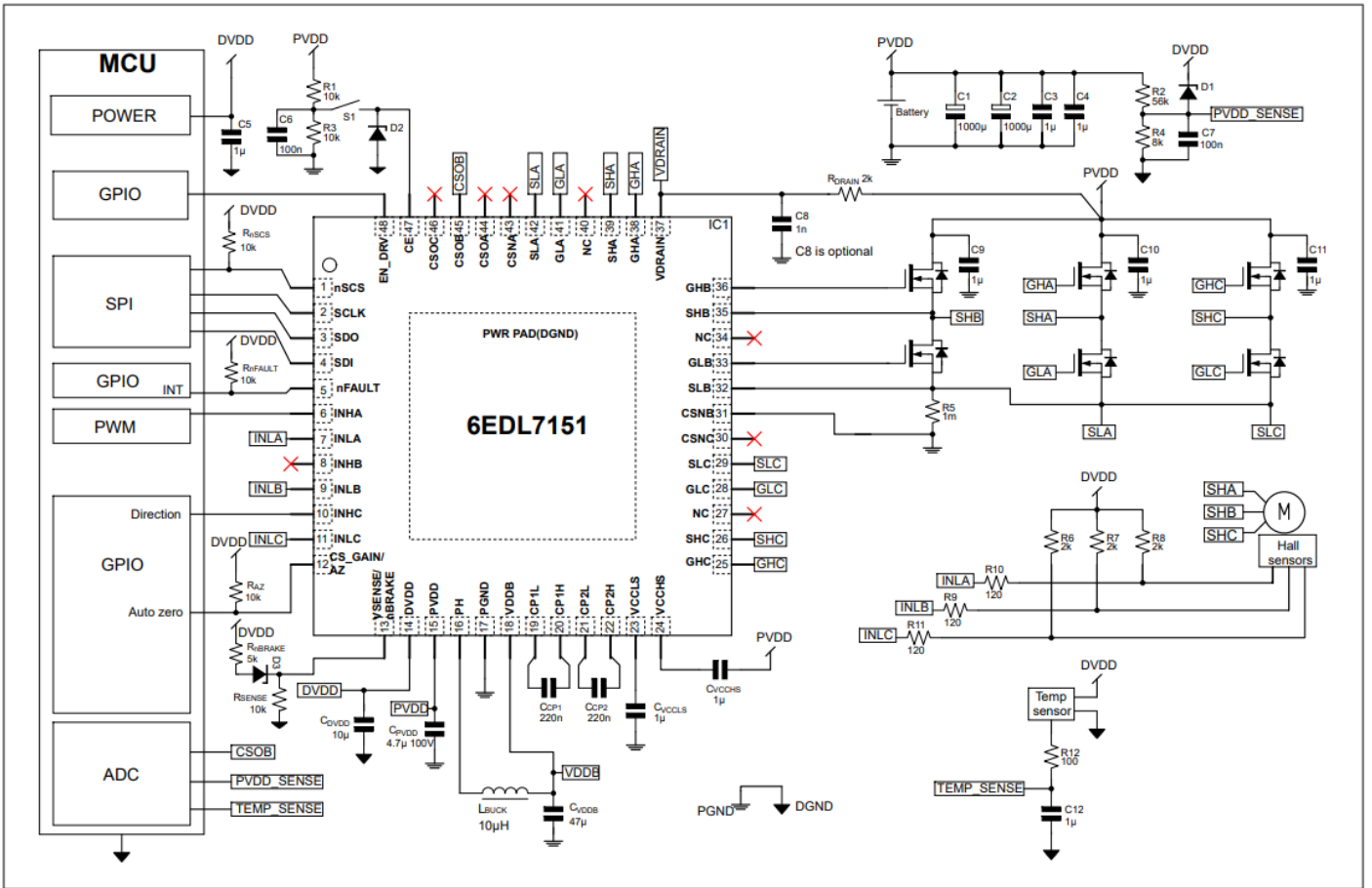


图 73 使用带有霍尔传感器和单分流电流测量的 1PWM 模式对 BLDC 电机进行梯形控制的示例原理图

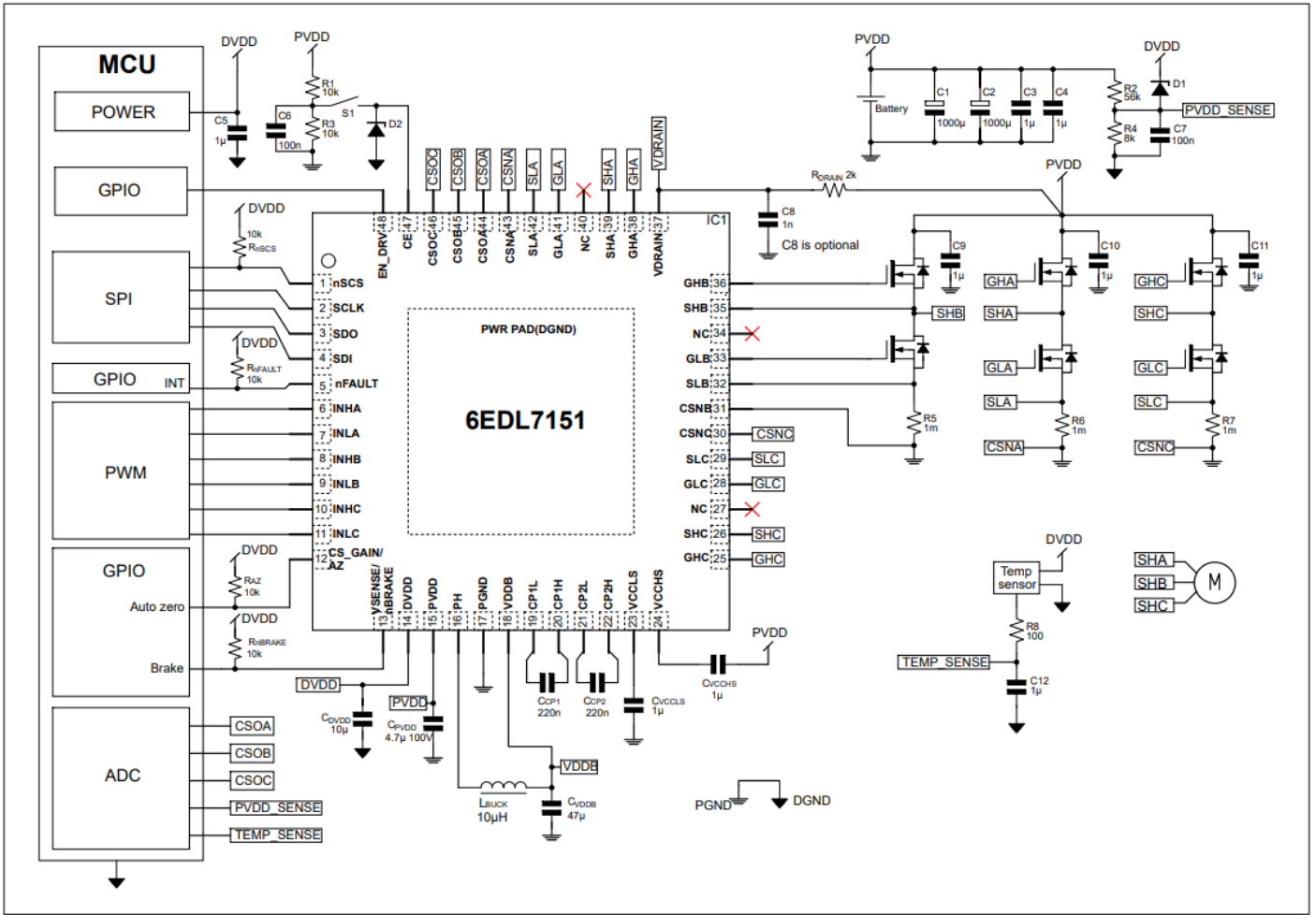


图 74 使用 6PWM 模式和三分流电流测量的 BLDC 电机无传感器控制示例原理图

6 ESD保护和引脚图

6 ESD保护和引脚图

下图显示了不同引脚的 ESD 保护和内部图。

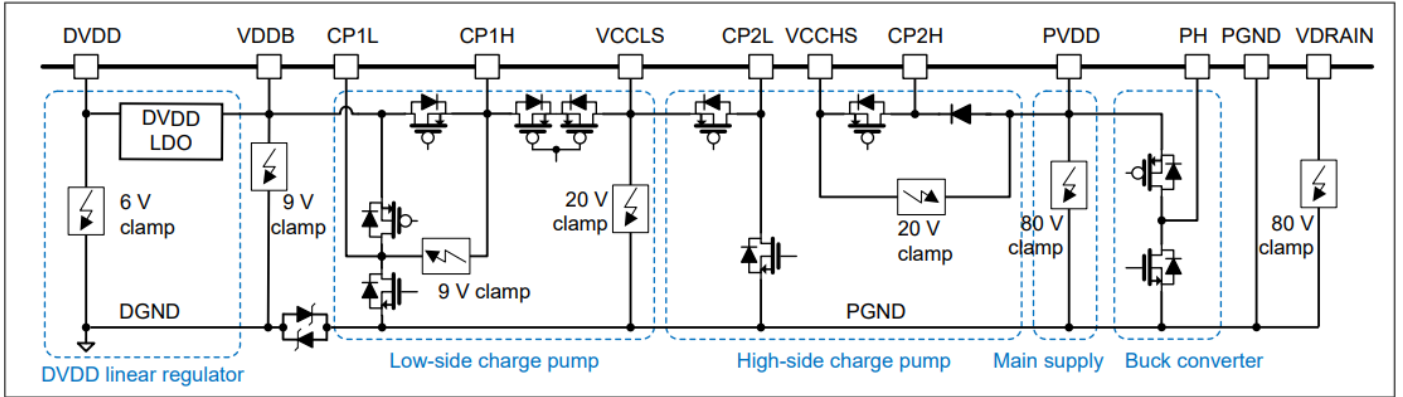


图75 电源相关引脚ESD保护图

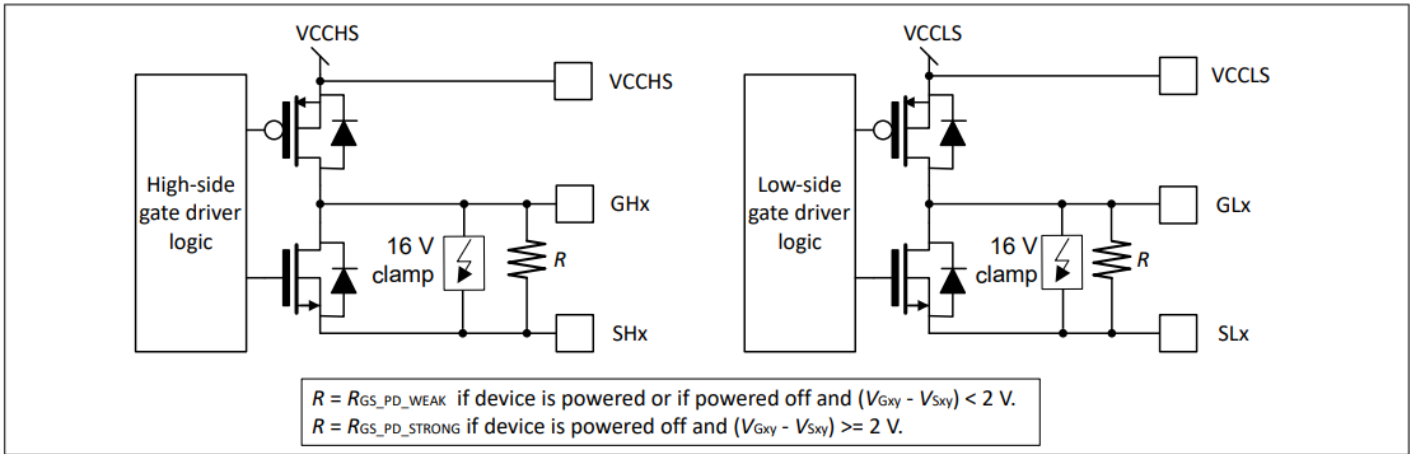


图 76 栅极驱动器输出引脚图

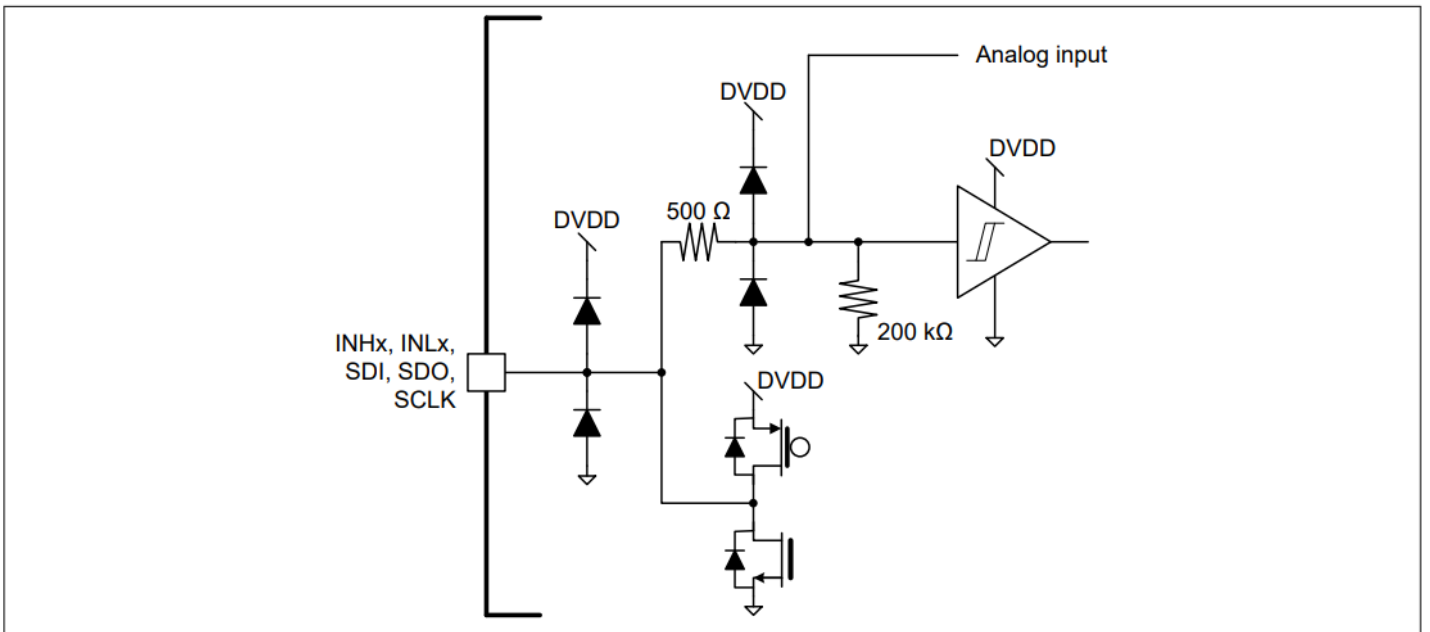


图 77 ESD 保护和数字引脚高电平有效引脚图

6 ESD保护和引脚图

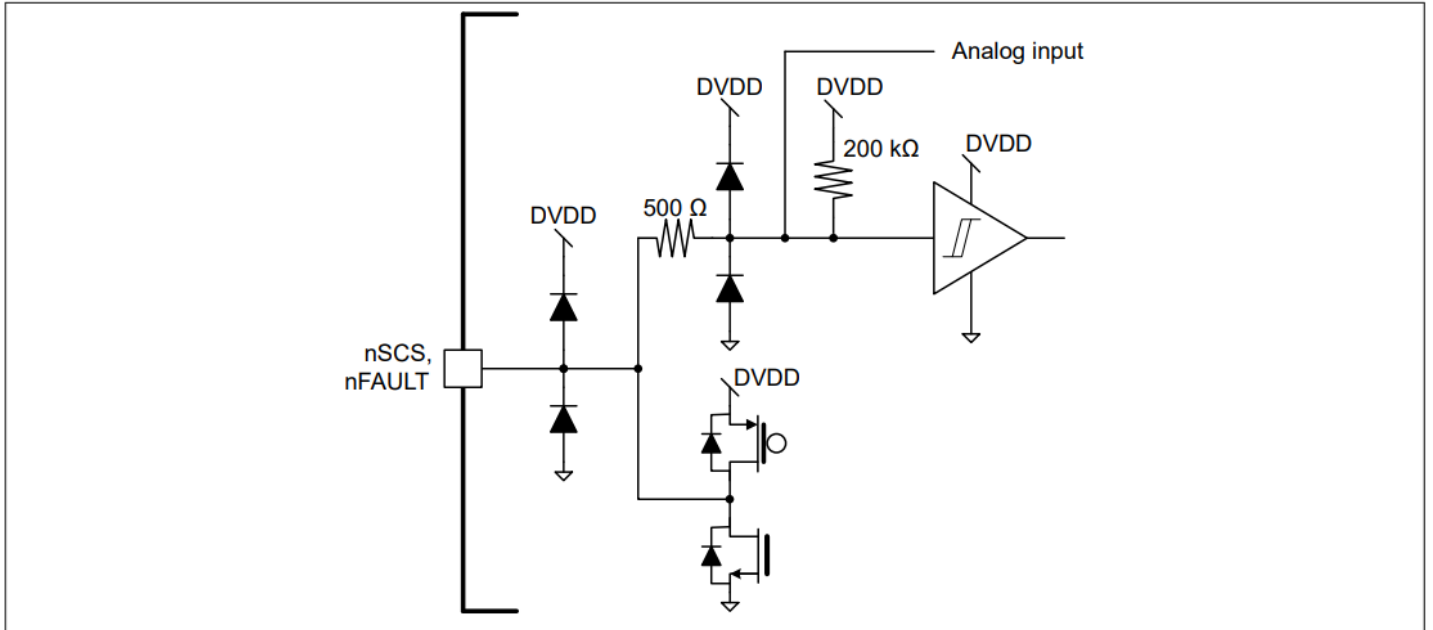


图 78 ESD 保护和数字引脚低电平有效引脚图

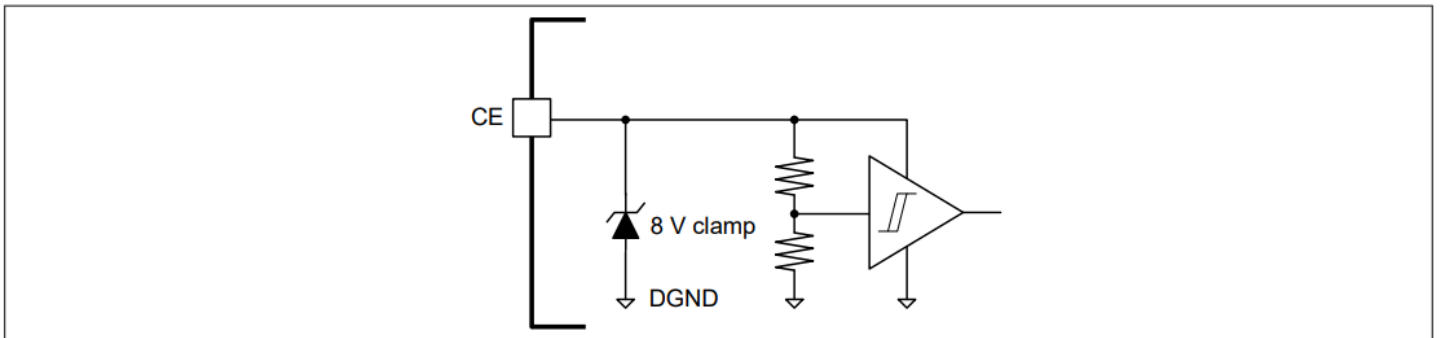


图 79 CE 引脚的 ESD 保护和引脚图

6 ESD保护和引脚图

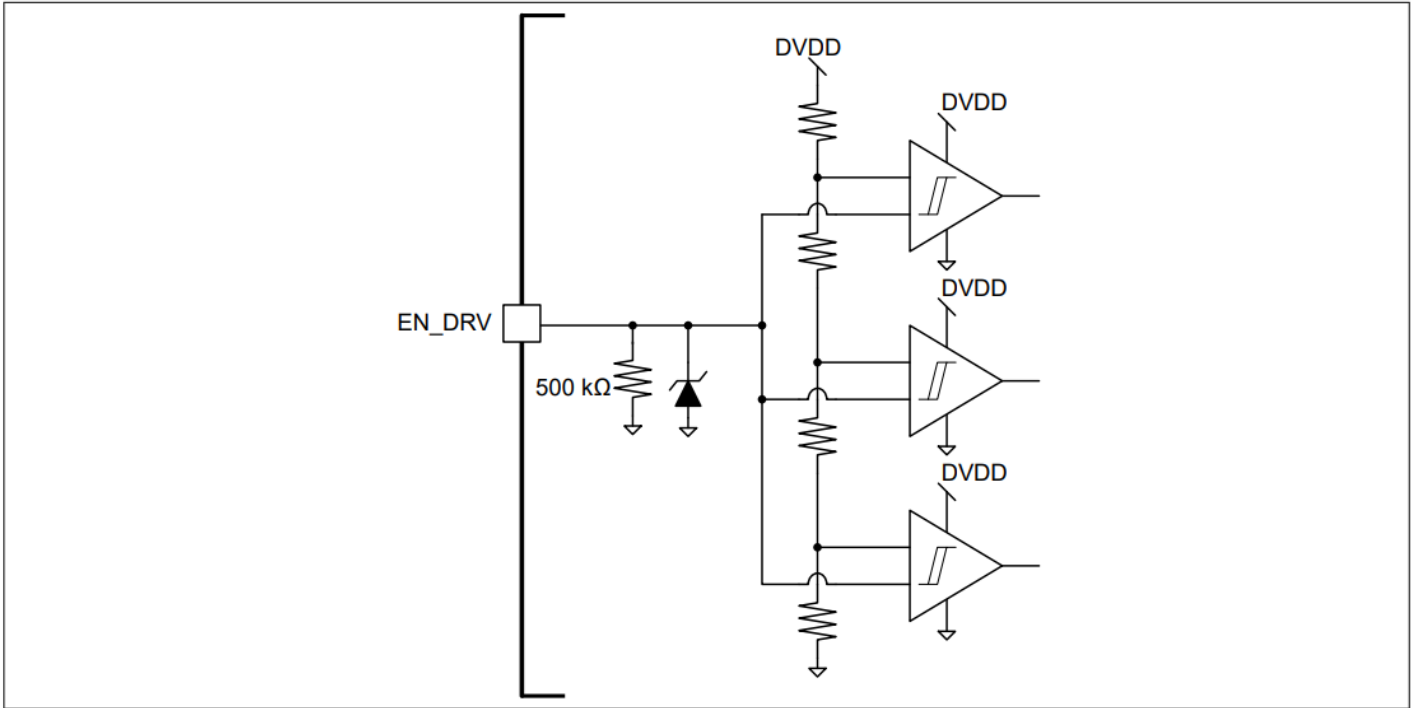


图80 EN_DRV引脚的ESD保护和引脚图

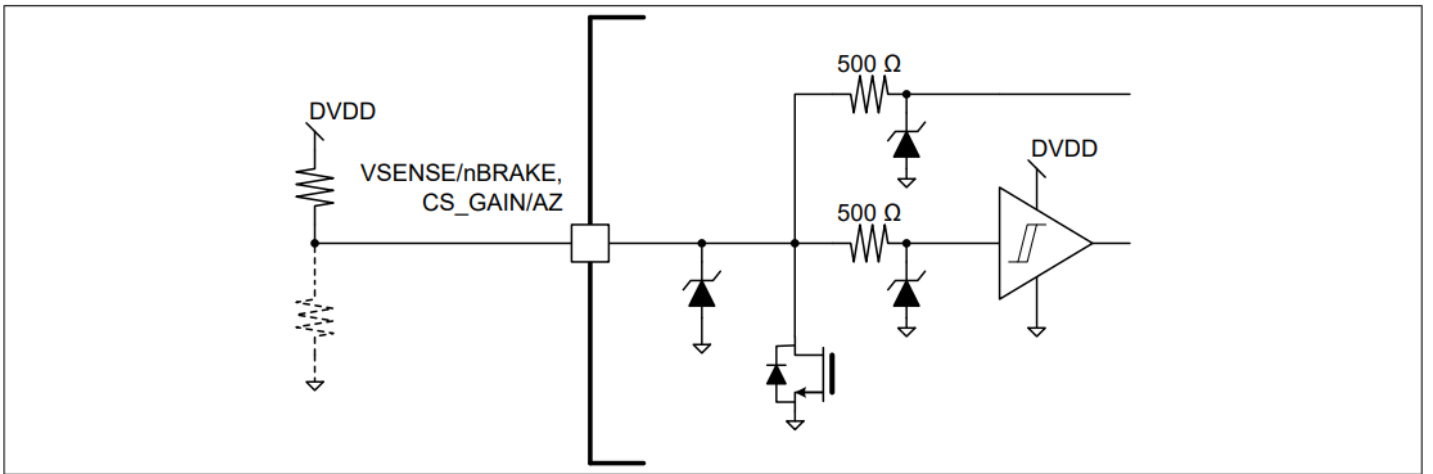


图81 VSENSE/nBRAKE和CS_GAIN/AZ引脚的ESD保护和引脚图

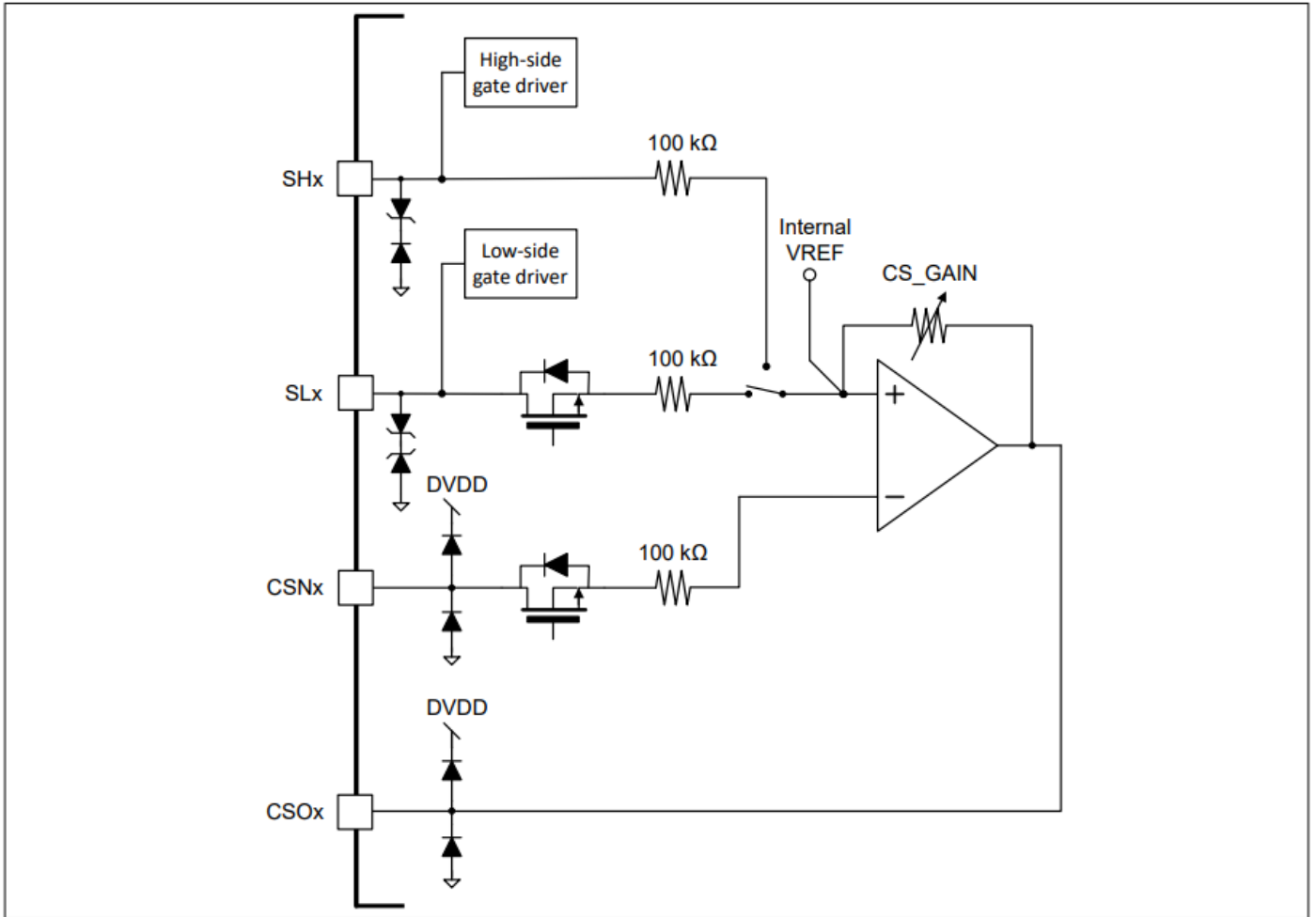


图82 电流检测放大器相关引脚的ESD保护和引脚图

7 封装信息

7 封装信息

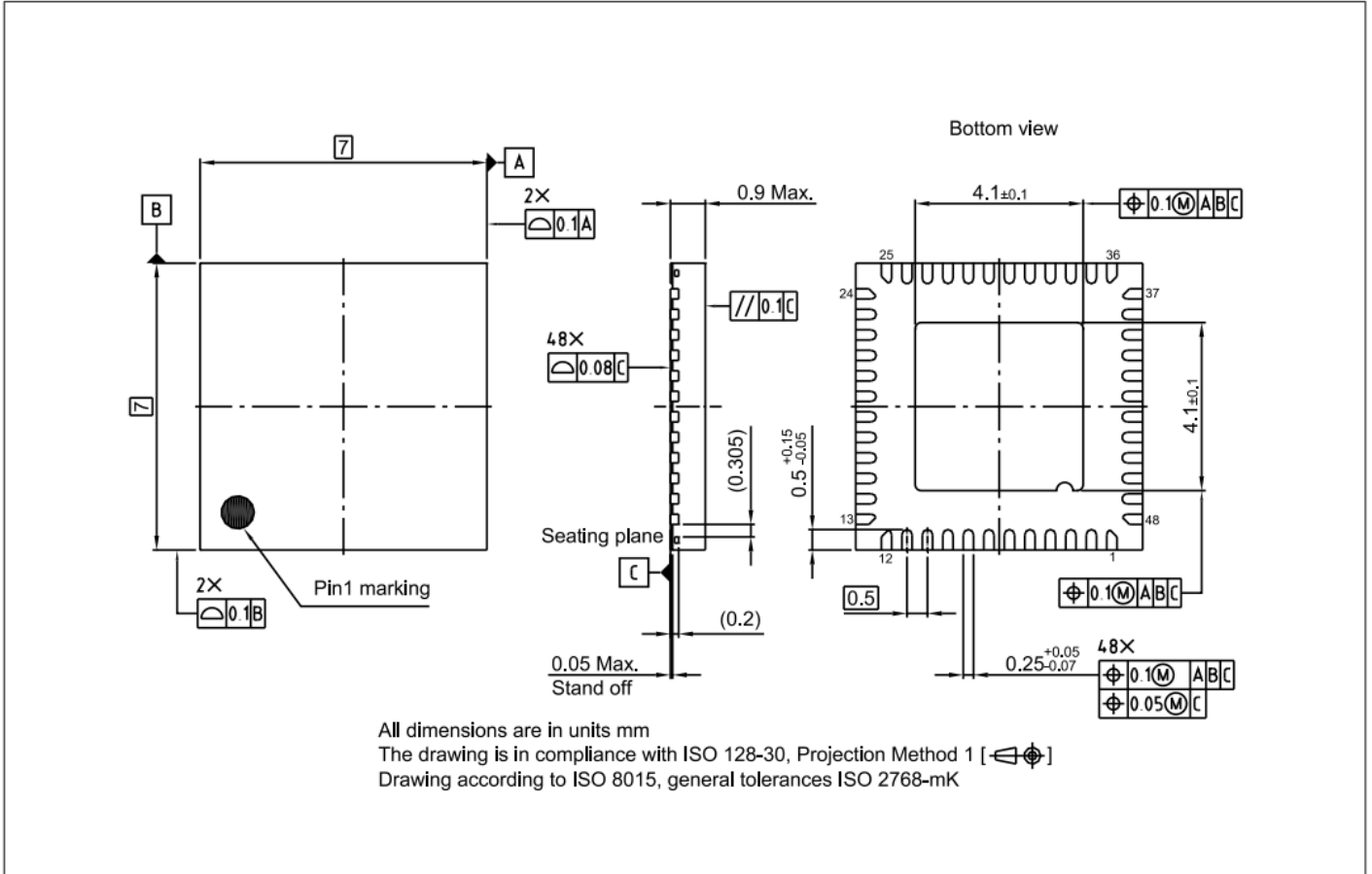


图83 PG-VQFN-48-78封装外形

7 封装信息

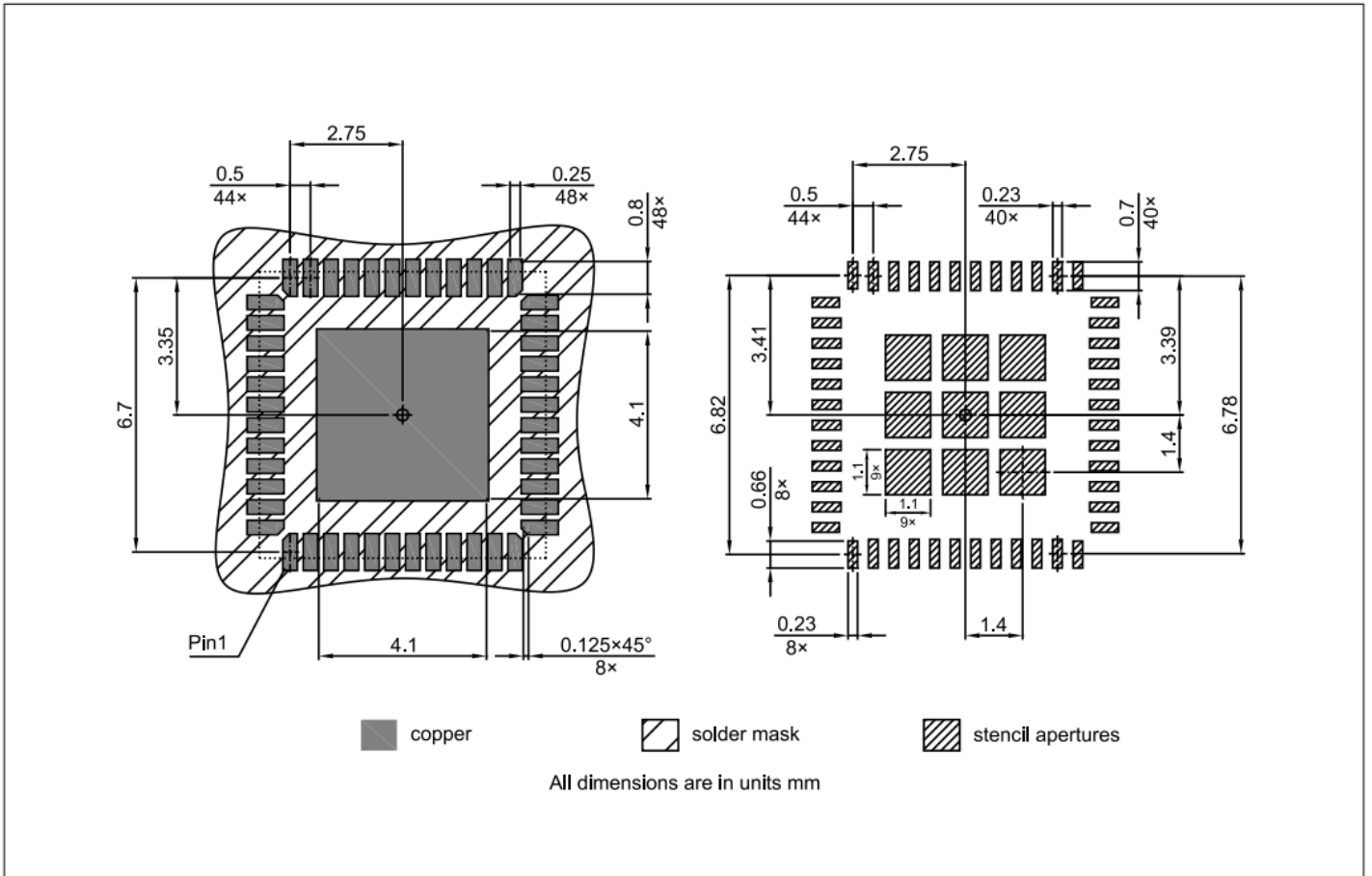


图 84 PG-VQFN-48-78 PCB 封装尺寸

绿色产品 (符合 RoHS 标准)

为了满足全球客户对环保产品的要求并符合政府法规，该器件提供绿色产品。绿色产品符合RoHS标准（即引脚采用无铅涂层，并符合IPC/JEDEC J-STD-020无铅焊接标准）。更多封装信息，请访问：
<https://www.infineon.com/packages>

8 修订记录**8 修订记录**

Revision	Date	Changes
1.0	2024-05-28	Initial release



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-11-25

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。