

英飞凌 MOTIX™ 6EDL7141

数据手册

产品特性概述

• 三相智能栅极驱动器

- 5.5V 至 60V 工作电源电压（推荐工作条件）
- 1.5 A 灌电流/1.5 A 拉电流峰值栅极驱动器电流
- 可编程驱动电压（7 V、10 V、12 V、15 V）
- 独立可编程的高压侧/低压侧压摆率控制
- 独立可编程的开启/关闭开关死区时间
- 支持高达 200 kHz 的 3PWM 或 6PWM 输入进行控制
- 内置换向表，支持带或不带霍尔传感器的 1PWM 模式

• 集成电源

- 具有可编程开关频率的高效同步降压转换器。供应栅极驱动器电荷泵、DVDD 线性稳压器以及内部和外部组件
- 具有 300 mA 电流能力的线性稳压器，用于 MCU 和其他元件供电 (DVDD)
- 双电荷泵即使在低电源电压下也能为栅极驱动器供电

• 三个集成电流检测放大器

- 可调节增益和偏移
- 可配置的低压侧 $R_{DS(on)}$ 传感

• 三个集成霍尔传感器比较器

• 用于信号监测的集成 ADC

• 堵转检测

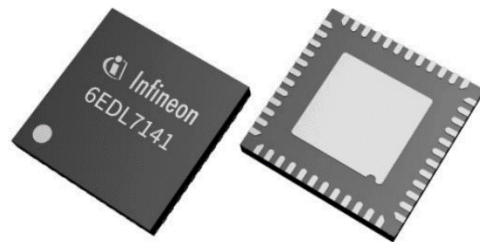
• 兼容 3.3V/5V 数字接口

• 可编程 SPI 数字接口

• 保护功能：

- 具有可编程制动响应的外部制动功能
- 电流检测放大器过流保护 (OCP)（可编程）
- 降压转换器和 DVDD 线性稳压器的过流保护 (OCP)（可编程）
- 内部和外部电源的欠压锁定 (UVLO)
- 降压转换器和 DVDD 线性稳压器的过压故障 (OVLO) 报告
- 过温警告和关断 (OTW、OTS)
- 可编程看门狗定时器
- 通过 nFAULT 和 SPI 寄存器进行报告

• 耐热增强型 48 引脚 VQFN 封装



本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

潜在应用

- 电池供电的电动工具和园艺工具
- 机器人割草机
- 电动自行车
- 机器人、遥控玩具、民用无人机和多旋翼飞行器
- 泵和风扇
- 其他三相 BLDC 和 PMSM 电机

产品描述

英飞凌的 MOTIX™ 6EDL7141 是一款用于三相 BLDC 或 PMSM 电机驱动应用的栅极驱动器 IC。它提供三个半桥驱动器，每个驱动器能够驱动高压侧和低压侧 N 型 MOSFET。

栅极驱动器还具有可编程死区时间延迟，以防止正常运行时高压侧和低压侧开关之间的电流直通。

低压侧和高压侧栅极驱动器的独立电荷泵支持 100% 占空比和低压电源操作。栅极驱动器的电源可编程为以下级别之一：7 V、10 V、12 V 或 15 V。此外，驱动信号的压摆率可以精细地进行编程，以减少 EMI 辐射。

集成同步降压转换器为系统的其余部分提供高效的电流供应。然而，电动工具系统需要高精度电流测量，涉及非常精确的 ADC 参考电压。为此，6EDL7141 使用线性电压调节器（高达 300 mA），由降压转换器供电，为系统中的 MCU 和其他敏感组件供电。通过这种先进的电源架构，不仅可以实现最佳的信号质量，而且还可以在任何输入和输出条件下优化电源效率。

6EDL7141 包含三个电流检测放大器，用于精确测量电流，支持双向低侧电流检测和可编程增益。通过将相位节点内部连接到电流检测放大器输入端，可实现导通电阻 ($R_{DS(on)}$) 检测。如有需要，温度补偿由用户应用程序提供。电流检测放大器的输出支持 3.3 V 和 5 V 电压，从而兼容大多数商用控制器。低噪声、短建立时间和高精度是集成运算放大器的主要特性。内部缓冲器可用于偏移检测放大器输出，以优化动态范围。

该设备提供多种保护功能，以提高应用在不利条件下的稳健性，例如监测电源电压和系统参数。器件监控的故障行为、阈值电压和滤波时间可通过 SPI 进行调整。监测的方面包括逆变器电流、栅极驱动电压和电流、器件温度和转子锁定。当发生故障时，设备停止驱动并将 nFAULT 引脚拉低，以防止系统损坏或其他可能的故障。该信号可以连接到微控制器，以通知处理器发生了故障。微控制器可以通过 SPI 命令请求有关故障的更多信息。

集成的 SPI 接口可用于针对应用配置 6EDL7141。SPI 提供详细的故障报告和灵活参数设置，例如电流检测放大器的增益、栅极驱动器的压摆率控制、各种保护功能或栅极驱动器电压。

系统框图

图 1 为一个简化的系统框图，其中MOTIX™ 6EDL7141用作基于微控制器的霍尔传感器BLDC电机控制系统中的三相栅极驱动器。集成的降压稳压器为微控制器单元 (MCU) 和BLDC电机中的霍尔传感器供电。

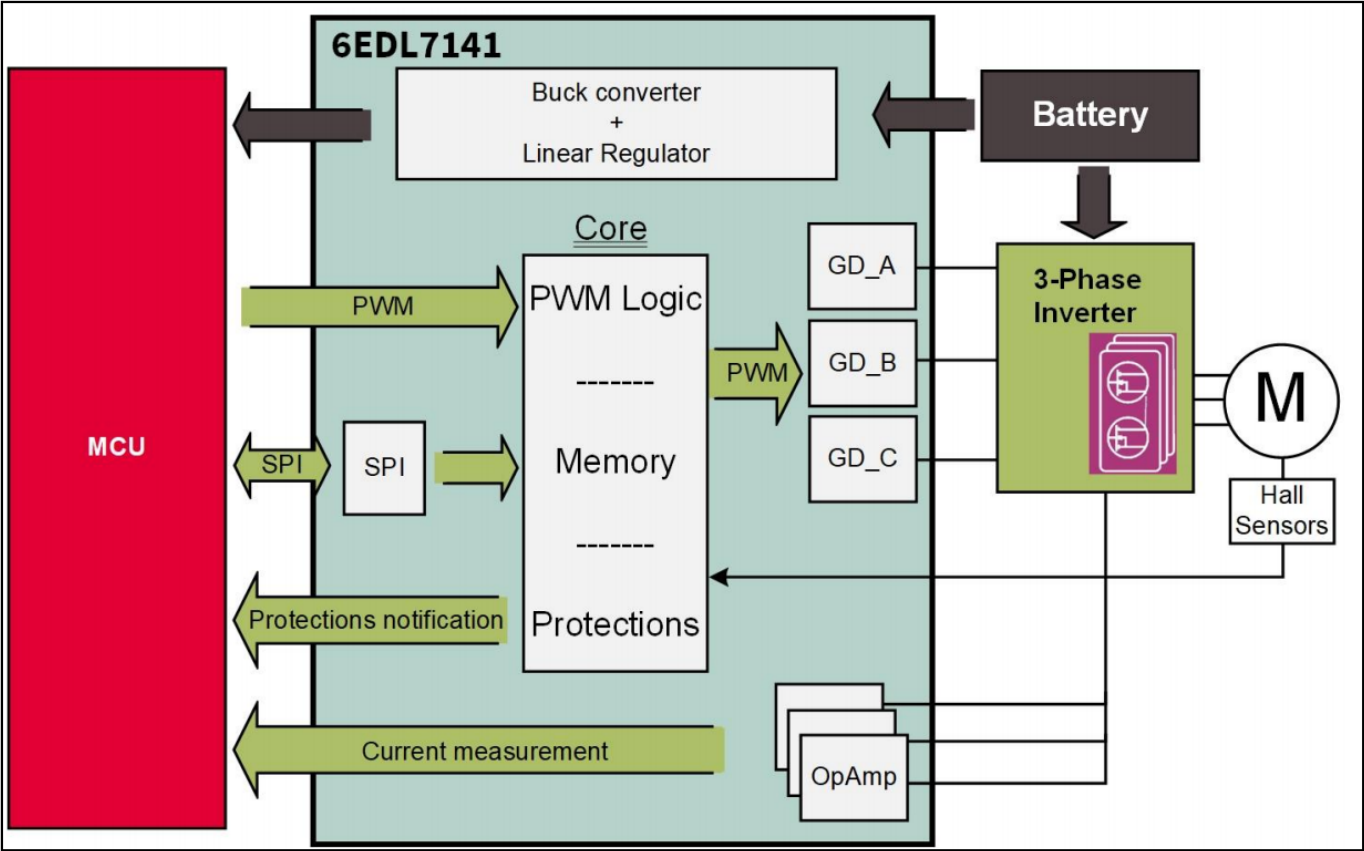


图 1 简化系统框图

封装描述

MOTIX™ 6EDL7141 集成于 7mm x 7mm 的 VQFN48 封装中，带有裸露的散热焊盘。器件和封装信息如表 1 所示。

表 1 器件和封装信息

Part Number	Package	Body Size	Lead Pitch
6EDL7141	PG-VQFN-48-78	7.0 mm × 7.0 mm	0.5 mm

目录

产品特性概述.....	1
潜在应用	2
产品描述.....	2
系统框图	3
封装描述	3
1 引脚配置.....	7
1.1 引脚分配.....	7
1.2 引脚定义和功能.....	8
2 产品一般特性	11
2.1 绝对最大额定值.....	11
2.2 推荐工作条件.....	13
2.3 ESD 稳健性.....	14
2.4 热阻.....	14
2.5 电气特性.....	14
2.6 电气特性图.....	26
3 产品特性.....	33
3.1 功能框图.....	33
3.2 PWM 模式	34
3.2.1 具有六个独立输入的PWM - 6PWM	34
3.2.2 具有三个独立输入的PWM - 3PWM	35
3.2.3 具有一个输入和换向模式的PWM - 1PWM	36
3.2.4 带一个输入的PWM，通过霍尔传感器输入进行换向 - 带霍尔传感器的1PWM.....	39
3.2.5 带霍尔传感器输入和交替循环的单输入PWM- 带霍尔传感器和交替循环的 1PWM.....	41
3.2.6 PWM制动模式	43
3.2.7 死区时间插入.....	45
3.3 集成三相栅极驱动器.....	46
3.3.1 栅极驱动器架构.....	46
3.3.2 压摆率控制.....	47
3.3.3 栅极驱动器电压可编程性.....	51
3.4 电荷泵配置.....	52
3.4.1 电荷泵时钟频率选择.....	52
3.4.2 电荷泵时钟扩频功能.....	52
3.4.3 用于 VCCLS 的电荷泵预充电	53
3.4.4 电荷泵调节.....	53
3.4.5 栅极驱动器和电荷泵保护.....	53
3.5 供电系统.....	56
3.5.1 同步降压转换器描述.....	56
3.5.2 DVDD 线性稳压器	58
3.6 电流检测放大器.....	60
3.6.1 R _{DS(on)} 检测模式和桥臂分流器模式	61
3.6.2 电流分流放大器时序模式.....	62
3.6.3 电流分流放大器消隐时间	64
3.6.4 电流检测放大器偏移生成：内部或外部（VREF 引脚）	66
3.6.5 用于电流检测放大器的过流比较器和 DAC.....	66
3.6.6 电流检测放大器增益选择	69
3.6.7 电流检测放大器直流校准.....	70
3.6.8 电流检测放大器自动归零补偿.....	70

3.7	霍尔比较器.....	72
3.8	看门狗计时器.....	72
3.8.1	降压转换器看门狗.....	73
3.8.2	通用看门狗.....	73
3.8.3	堵转保护看门狗定时器.....	74
3.9	多功能引脚.....	75
3.9.1	EN_DRV 引脚.....	75
3.9.2	VSENSE/nBRAKE 引脚.....	76
3.9.3	CS_GAIN/AZ 引脚.....	76
3.10	ADC模块-模数转换器.....	77
3.10.1	ADC 测量排序和按需转换.....	78
3.10.2	芯片温度传感器.....	79
4	设备启动.....	80
4.1	电源启动.....	80
4.2	栅极驱动器和CSAMP启动.....	80
5	设备功能状态.....	83
6	保护和故障处理.....	85
7	设备编程—OTP 和 SPI 接口.....	90
7.1.1	OTP 用户编程流程：加载自定义默认值.....	90
7.1.2	SPI通信.....	92
8	寄存器映射.....	94
8.1	设备可编程性.....	94
8.2	寄存器映射.....	98
	故障状态寄存器.....	98
	温度状态寄存器.....	99
	电源状态寄存器.....	100
	功能状态寄存器.....	101
	OTP 状态寄存器.....	102
	ADC 状态寄存器.....	103
	电荷泵状态寄存器.....	103
	器件 ID 寄存器.....	104
	故障清除寄存器.....	104
	电源配置寄存器.....	105
	ADC 配置寄存器.....	107
	PWM 配置寄存器.....	108
	传感器配置寄存器.....	109
	看门狗配置寄存器.....	110
	看门狗配置寄存器2.....	111
	栅极驱动器电流控制寄存器.....	112
	栅极驱动器预充电电流控制寄存器.....	113
	TDRIVE 源控制寄存器.....	115
	TDRIVE 灌电流控制寄存器.....	115
	死区时间寄存器.....	116
	电荷泵配置寄存器.....	117
	电流检测放大器配置寄存器.....	118
	电流检测放大器配置寄存器2.....	120
	OTP 程序寄存器.....	122
9	应用描述.....	123
9.1	推荐的外部元件.....	123



9.2	PCB 布局建议	123
9.3	典型应用	127
10	ESD保护	130
11	封装信息	134
修订记录		136

引脚配置

1 引脚配置

1.1 引脚分配

如图 2 所示，展示了 MOTIX™ 6EDL7141 的引脚分布。

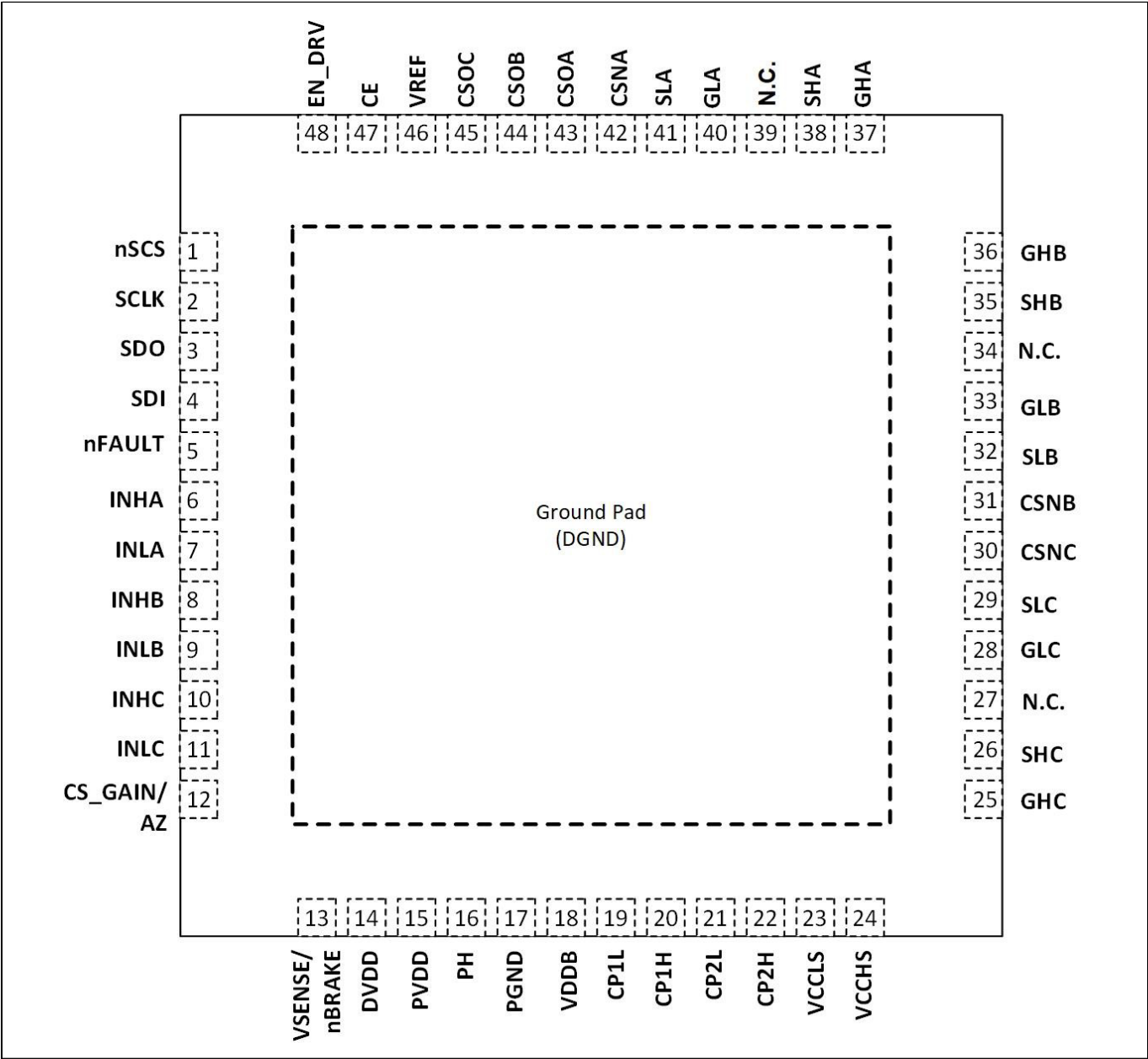


图 2 引脚配置

引脚配置

1.2 引脚定义和功能

表 2 描述 6EDL7141 器件不同引脚的特性和功能。

I: 输入, O: 输出, IO: 输入和/或输出, D: 数字, A: 模拟, AD: 模拟和/或数字, P: 电源, G: 接地。

表 2 引脚定义

Pin #	Pin Name	IO	Type	Description
1	nSCS	I	D	Chip Select for SPI. Active low
2	SCLK	I	D	SPI clock signal
3	SDO	O	D	SPI data output signal
4	SDI	I	D	SPI data input signal
5	nFAULT	O	D	When low indicates a fault has occurred; connect external pull-up to MCU power supply
6	INHA	I	D	PWM input signal for channel A high side. Common PWM signal for PWM mode 1. Connect to DGND if not used
7	INLA	I	D	PWM input signal for channel A low side. Input of Hall sensor A in 1PWM modes. Connect to DGND if not used
8	INHB	I	D	PWM input signal for channel B high side. Connect to DGND if not used
9	INLB	I	D	PWM input signal for channel B low side. Input of Hall sensor B in 1PWM modes. Connect to DGND if not used
10	INHC	I	D	PWM input signal for channel C high side. DIR signal for 1PWM modes. Connect to DGND if not used
11	INLC	I	D	PWM input signal for channel C low side. Input of Hall sensor C in 1PWM modes. Connect to DGND if not used
12	CS_GAIN/ AZ	I	A	Analog programming for the shunt amplifier gain. Dual function as Auto-Zero: input to control external Auto-Zero function
13	VSENSE/ nBRAKE	I	A/D	Analog programming of DVDD output voltage during start-up. Connect a pull down resistor to select DVDD voltage: $R \leq 3.3 \text{ k}\Omega \rightarrow \text{DVDD} = 3.3 \text{ V}$ $R \geq 10 \text{ k}\Omega \rightarrow \text{DVDD} = 5.0 \text{ V}$ After start-up, pin will be in nBRAKE mode: used for motor braking. Active low
14	DVDD	-	P	Supply for external MCU, Hall sensors, etc. Voltage is generated by integrated linear voltage regulator and defined by VSENSE pin or SPI
15	PVDD	-	P	Power supply of the device
16	PH	-	P	Buck phase node voltage. Connect to output inductor
17	PGND	-	G	Power ground used for buck converter, charge pumps and gate drivers
18	VDDB	-	P	Buck output voltage. Connect capacitor between VDDB and PGND.
19	CP1L	-	P	Bottom connection of the charge pump flying capacitor 1
20	CP1H	-	P	Top connection of the charge pump flying capacitor 1
21	CP2L	-	P	Bottom connection of the charge pump flying capacitor 2
22	CP2H	-	P	Top connection of the charge pump flying capacitor 2

引脚配置

Pin #	Pin Name	IO	Type	Description
23	VCCLS	-	P	Output of low side charge pump. Connect a capacitor from VCCLS to PGND.
24	VCCHS	-	P	Output of high side charge pump. Connect a capacitor from VCCHS to PVDD or PGND
25	GHC	O	A	High side gate driving signal for phase C. Not connected or connected to PVDD if not used
26	SHC	IO	A	High side source connection (phase node) for phase C. Positive input of shunt amplifier C for $R_{DS(on)}$ sensing. Not connected if not used
27	N.C.	-	-	Not connected
28	GLC	O	A	Low side gate driving signal for phase C. Not connected if not used
29	SLC	IO	A	Low side source connection for phase C. Positive input of shunt amplifier C for shunt sensing. Short to PGND if not used
30	CSNC	I	A	Current sense amplifier negative input for phase C. Short to PGND or DGND if not used
31	CSNB	I	A	Current sense amplifier negative input for phase B. Short to PGND or DGND if not used
32	SLB	IO	A	Low side source connection for phase B. Positive input of shunt amplifier B for shunt sensing. Short to PGND if not used
33	GLB	O	A	Low side gate driving signal for phase B. Not connected if not used
34	N.C.	-	-	Not connected
35	SHB	IO	A	High side source connection (phase node) for phase B. Positive input of shunt amplifier B for $R_{DS(on)}$ sensing. Not connected if not used
36	GHB	O	A	High side gate driving signal for phase B. Not connected or connected to PVDD if not used
37	GHA	O	A	High side gate driving signal for phase A. Not connected or connected to PVDD if not used
38	SHA	IO	A	High side source connection (phase node) for phase A. Positive input of shunt amplifier A for $R_{DS(on)}$ sensing. Not connected if not used
39	N.C.	-	-	Not connected
40	GLA	O	A	Low side gate driving signal for phase A. Not connected if not used
41	SLA	IO	A	Low side source connection for phase A. Positive input of shunt amplifier A for shunt sensing. Short to PGND if not used
42	CSNA	I	A	Current sense amplifier negative input for phase A. Short to PGND or DGND if not used
43	CSOA	O	A	Current sense amplifier output for phase A. Not connected if not used
44	CSOB	O	A	Current sense amplifier output for phase B. Not connected if not used
45	CSOC	O	A	Current sense amplifier output for phase C. Not connected if not used

引脚配置

Pin #	Pin Name	IO	Type	Description
46	VREF	I	A	Optional reference voltage input offsetting the current sense (CS) outputs with respect to DGND. Not connected if not used
47	CE	I	A	Chip Enable. Starts up the device upon rising edge
48	EN_DRV	I	D	Enables the gate driver section and internal circuitry based on the configuration. Can be configured as watchdog clock. Internal pull down
	Ground Pad	-	P	Ground connection for digital section. Solder to PCB.

产品一般特性

2 产品一般特性

2.1 绝对最大额定值

表 3 显示了该器件的绝对最大额定值。额定值适用于 $T_j = -40^{\circ}\text{C}$ 至 $T_j = 150^{\circ}\text{C}$ 的温度范围。所有电压均以地为参考（降压转换器、电荷泵和栅极驱动器相关参数以 PGND 为参考，其余参数以 DGND 为参考），正向电流流入引脚（除非另有说明）。

表 3 绝对最大额定值

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Supply voltage	PVDD	-0.3		70	V	
Supply voltage slew rate	SR_{PVDD}			2	V/ μs	During start-up
				0.25		During active mode
CE pin voltage	V_{CE}	-0.3		7	V	
Power ground to digital ground voltage	PGND – DGND	-0.3		0.3	V	
Low side gate driver supply voltage	VCCLS	-0.3		16.5	V	This is same as PVCC
VCCHS voltage	VCCHS	PVDD-0.3		86.5	V	$VCCHS = PVDD + PVCC$
$VCCHS - V_{SHx}$ voltage	$VCCHS - V_{SHx}$			86.5	V	
$VCCHS - V_{GHx}$ voltage	$VCCHS - V_{GHx}$			86.5	V	
Source high side voltage	V_{SHx}	-8		70	V	DC voltage
		-10		70		500ns pulse max
Source low side voltage/Shunt amplifier positive input voltage	V_{SLx}	-8		8	V	DC voltage
		-10		8		500ns pulse max
Gate high side voltage	V_{GHx}	-8		$VCCHS + 0.3$	V	DC voltage,
		-10		$VCCHS + 0.3$		500ns pulse max
Gate low side voltage	V_{GLx}	-8		$VCCLS + 0.3$	V	DC voltage
		-10		$VCCLS + 0.3$		500ns pulse max
Gate to Source high side voltage	$V_{GHx} - V_{SHx}$	-0.3		16	V	DC, $T_j = 25^{\circ}\text{C}$
		-2		16		500ns pulse max, $T_j = 25^{\circ}\text{C}$
Gate to Source low side voltage	$V_{GLx} - V_{SLx}$	-0.3		16	V	DC, $T_j = 25^{\circ}\text{C}$
		-2		16		500ns pulse max, $T_j = 25^{\circ}\text{C}$

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Shunt amplifier negative input voltage	V_{CSN}	-0.3		DVDD+0.3		
Flying capacitor 1 voltage	$V_{CP1H} - V_{CP1L}$	-0.3		9	V	
CP1L pin voltage	V_{CP1L}	-0.3		9	V	
CP1H pin voltage	V_{CP1H}	-0.3		16.5	V	
Flying capacitor 2 voltage	$V_{CP2H} - V_{CP2L}$	-0.3		70	V	
CP2L pin voltage	V_{CP2L}	-0.3		16.5	V	
CP2H pin voltage	V_{CP2H}	-0.3		86.5	V	
Buck converter output voltage	VDDDB	-0.3		9	V	
Phase voltage	V_{PH}	-0.3		70	V	DC condition
		-5				Less than 20 ns pulse
DVDD regulator output voltage	DVDD	-0.3		6	V	
Input/Output pin voltage	$V_{INHx}, V_{INLx}, V_{nFAULT}, V_{SCLK}, V_{nSCS}, V_{SDI}, V_{SDO}, V_{CSOx}, V_{REF}$	-0.3		DVDD + 0.3	V	
Maximum current for digital pins	$I_{DIG_IN_MAX}$	-1		1	mA	
Analog input pin voltage	$V_{EN_DRV}, V_{SENSE/nBRAKE}, V_{CS_GAIN/AZ}$	-0.3		7	V	Analog or analog and digital pins
Maximum current for analog inputs	$I_{AN_IN_MAX}$	-1		10	mA	
Maximum sink current for open-drain pins	$I_{OD_SINK_MAX}$			7	mA	
VREF pin sink current	I_{REF_SINK}	-50		50	μA	
Junction temperature	T_J	-40		150	°C	
Storage temperature	T_S	-55		150	°C	
Case temperature	T_{CASE}			145	°C	

注： 超过此处列出的应力值可能会对设备造成永久性损坏。长时间暴露于绝对最大额定值条件下可能会影响设备的可靠性。这些仅为应力额定值，并不意味着设备在这些或任何其他超出“推荐工作条件”所示条件的情况下都能正常工作。

注： 绝对最大额定值不受生产测试的影响，由设计指定。

产品一般特性

2.2 推荐工作条件

工作温度为 $T_A = 25^\circ\text{C}$ 。所有电压均以地为参考（降压转换器、电荷泵和栅极驱动器相关参数以 PGND 为参考，其余参数以 DGND 为参考），正向电流流入引脚（除非另有规定）。

表 4 推荐工作条件

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Supply voltage	PVDD	5.5		60	V	
Supply voltage slew rate	SR _{PVDD}			2	V/ μs	During start-up
				0.25		During active mode
CE pin voltage range	V _{CE}	0		6	V	
External supply voltage regulator output voltage	DVDD	3.3		5.5	V	Configurable via VSENSE pin or SPI (OTP write)
Buck phase voltage continuous	V _{PH}	-0.3		60	V	DC condition
		-5				Less than 20 ns pulse
Inverter phase voltage	V _{SHx}	-8		60		
High side gate driver supply voltage	VCCHS	-0.3		75	V	
Gate driver supply voltage (PVCC)	VCCLS, VCCHS-PVDD	7		15	V	Programmable via SPI. This value is equal to PVCC
Gate driver maximum operating frequency	f _{PWM_GD}			200	kHz	
Digital pin I/O voltage range	V _{INHx} , V _{INLx} , V _{nFAULT} , V _{CS_GAIN/AZ} , V _{EN_DRV} , V _{SCLK} , V _{nSCS} , V _{SDI} , V _{SDO}	-0.3		DVDD	V	When CS_GAIN/AZ pin works as digital input
Shunt amplifier input voltage range	V _{SLX} , V _{CSNx}	-0.3		0.3	V	Sense amplifier configured for shunt resistor sensing
Analog pins voltage range	V _{CSOx} , V _{VSENSE/nBRAKE} , V _{CS_GAIN/AZ}	0		DVDD	V	When CS_GAIN/AZ and VSENSE/nBRAKE pins work as analog pins
VREF input voltage range	V _{REF}	DVDD/4		DVDD/2		VREF is configured as input
Junction temperature range	T _J	-40		125	°C	

产品一般特性

2.3 ESD 稳健性

表 5 列出了与 ESD 稳健性相关的数据。

表 5 ESD 稳健性数据¹⁾

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
ESD robustness all pins	$ V_{ESD_HBM} $			2000	V	HBM ²⁾
ESD robustness all pins	$ V_{ESD_CDM} $			500	V	CDM ³⁾
ESD robustness (corner pins)	$ V_{ESD_CDM_CORNER} $			750	V	CDM ³⁾ for corner pins only

1) 未经过生产测试，由设计指定。

2) ESD 稳健性，人体模型 (HBM)，符合 ANSI/ESDA/JEDEC JS001 标准 (1.5 kΩ, 100 pF)

3) ESD 稳健性，符合 ANSI/ESDA/JEDEC JS-002 的充电设备模型 (CDM)。

2.4 热阻

注：热学数据是根据 JEDEC JESD51 标准生成的。如需了解更多信息，请访问 www.jedec.org。

表 6 热阻参数

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Junction-to-ambient thermal resistance	$R_{\theta JA}$		41.2		°C/W	Ta = 25 °C, FR4 PCB, size: 60.0 × 40.0 × 1.5 mm ³ , stack 2S2P
Junction-to-case (top) thermal resistance	$R_{\theta JC(top)}$		25.55		°C/W	Ta = 25 °C
Junction-to-case (bottom) thermal resistance	$R_{\theta JC(bot)}$		6.73		°C/W	Ta = 25 °C

2.5 电气特性

PVDD = 5.5 至 60 V, Ta = 25 °C, 除非测试条件另有规定。所有电压均以地为参考（降压转换器、电荷泵和栅极驱动器相关参数以 PGND 为参考，其余参数以 DGND 为参考），正向电流流入引脚（除非另有规定）。

表 7 电气特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Main Power Supply (PVDD)						
Supply voltage	PVDD	5.5		60	V	
PVDD current, active mode	I _{PVDD_ACTIVE}	20		50	mA	V _{EN_DRV} > V _{EN_DRV_TH} , V _{CE} > V _{CE_TH_R} , PVDD = 40V, typical application run
PVDD current, standby mode	I _{PVDD_STANDBY}	3		8	mA	V _{EN_DRV} < V _{EN_DRV_TH} , V _{CE} > V _{CE_TH_R} , PVDD = 40V

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
PVDD current, OFF mode	I_{PVDD_OFF}	25		40	μA	$V_{EN_DRV} < V_{EN_DRV_TH}$, $V_{CE} < V_{CE_TH_R}$. PVDD = 40V
Gate Driver						
Low side gate driver supply voltage target	VCCLS	7		15	V	Generated from charge pump. Gate driver supply voltage programmable via SPI
High side gate driver supply voltage target	VCCHS	10.8		74.3	V	Generated from charge pump. Gate driver supply voltage programmable via SPI according to VCCLS
High side gate driver output	$V_{GHx}-V_{SHx}$			VCCLS - 0.7	V	More details in section 2.6
Low side gate driver output	$V_{GLx}-V_{SLx}$			VCCLS	V	More details in section 2.6
Peak source current (high side and low side drivers)	$I_{GD_SRC_PEAK}$		1.5		A	Current flowing from pin. Gate driver current programmable via SPI
Peak sink current (high side and low side drivers)	$I_{GD_SNK_PEAK}$		1.5		A	Current into the pin. Gate driver current programmable via SPI
Hold gate current ¹⁾	I_{HOLD}		250		mA	Low side gate driver
			50			High side gate driver
Source and sink current accuracy	$I_{GD_ACCURACY}$	-20		20	%	With respect to gate driver current mean value. Mean value for the different programmed settings can deviate from target value
Charge pump clock frequency	f_{CP_CLK}	190		1600	kHz	Programmable via SPI
Charge pump clock accuracy	$f_{CP_CLK_ACC}$	-5		5	%	
Charge pump clock frequency spread spectrum ¹⁾	$f_{CP_CLK_SS}$	0		30	%	
High side gate driver average current	I_{GD_VCCHS}			60	mA	PVDD $\geq$ 9.5 V operation
				30		PVDD < 9.5 V operation
Low side gate driver average current	I_{GD_VCCLS}			60	mA	PVDD $\geq$ 9.5 V operation
				30		PVDD < 9.5 V operation

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Charge pump ramp up time ¹⁾	t_{CP_START}			250	μs	$C_{CPx} = 220 \text{ nF}$, $C_{VCCLs} = 1 \text{ }\mu F$, $I_{LOAD} < 50 \text{ }\mu A$, $PVCC = 12 \text{ V}$. $PVDD \geq 10 \text{ V}$. Depends on capacitance values and features like charge pump pre-charge
				1	ms	$C_{CPx} = 220 \text{ nF}$, $C_{VCCLs} = 1 \text{ }\mu F$, $I_{LOAD} < 50 \text{ }\mu A$, $PVCC = 12 \text{ V}$. $PVDD < 10 \text{ V}$. Depends on capacitance values and features like charge pump pre-charge
Gate driver PWM frequency ¹⁾	f_{PWM_GD}			200	kHz	
Input pin pulse width	t_{INx_PW}	80			ns	Applies to INHx and INLx pins. Pre-charge current disabled, current setting to 1.5A
Dead-time ¹⁾	t_{DT_RISE} , t_{DT_FALL}	120			ns	This is the minimum dead time value possible. If input signals have dead time lower than this, this value applies otherwise input PWM signal dead time is used. Value is programmable via SPI.
Gate to Source passive weak pull-down resistor	$R_{GS_PD_WEAK}$	70	100	130	k Ω	Always active
Gate to Source active strong pull-down resistor	$R_{GS_PD_STRONG}$	0.25	1	2	k Ω	Pull-down resistor enabled when EN_DRV or PVDD are off and $V_{Gxy} - V_{Sxy} \geq 2 \text{ V}$. Both high side and low side drivers
Propagation delay INHx to GHx	t_{PROP_HS}	80		250	ns	Dead time not considered. From 50% input to 50% output
Propagation delay INLx to GLx	t_{PROP_LS}	80		250	ns	Dead time not considered. From 50% input to 50% output
Propagation delay matching high-low side ¹⁾	$t_{PROP_MATCH_HL}$	0	25		ns	
Channel-to-channel propagation delay matching ¹⁾	$t_{PROP_MATCH_CH}$	0		10	ns	
Channel-to-channel dead time matching ¹⁾	$t_{DT_MATCH_CH}$	0		10	ns	
Gate to source comparator threshold	$V_{GS_CPM_TH}$		250		mV	Threshold voltage referred to: For pull down GHx - SHx (resp. GLx - SLx for low side driver). For pull up VCCHS - GHx (resp. VCCLS - GLx for low side driver)

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Gate to source comparator deglitch time ¹⁾	$t_{VGS_CMP_DEGLIT}$ CH		500		ns	
Synchronous Buck Converter						
Buck converter output target voltage	V_{DDB_NOM}		6.5		V	PVCC_SETPT=b'11, PVDD $\geq$ 8 V, $I_{VDDb} = 0$ A
			7.0			PVCC_SETPT=b'10, PVDD $\geq$ 8.5 V, $I_{VDDb} = 0$ A
			8.0			PVCC_SETPT=b'0x, PVDD $\geq$ 9.5 V, $I_{VDDb} = 0$ A
Buck regulator output voltage at low input voltage (PVDD)	$V_{DDB_NOM_LV}$	4.6	6.5	6.65	V	PVCC_SETPT=b'11, 5.5 V $\leq$ PVDD < 8 V Buck with fixed duty cycle. VDDb depends on I_{VDDb} . Min value defined at $I_{VDDb} = 200$ mA condition
		4.6	7.0	7.15		PVCC_SETPT=b'10, 5.5 V $\leq$ PVDD < 8.5 V Buck with fixed duty cycle. VDDb depends on I_{VDDb} . Min value defined at $I_{VDDb} = 200$ mA
		4.6	8.0	8.21		PVCC_SETPT=b'0x, 5.5 V $\leq$ PVDD < 9.5 V Buck with fixed duty cycle. VDDb depends on I_{VDDb} . Min value defined at $I_{VDDb} = 200$ mA
Buck converter output voltage load regulation ¹⁾	ΔV_{DDB_LOAD}	-10		9	%	PVDD > $V_{DDB_NOM} + 2.5$ V, I_{VDDb} transient from 60 mA to 540 mA (10% to 90% load transient), $C_{VDDb} = 47$ μ F, L = 22 μ H, $f_{BUCK_SW} = 500$ kHz
		-9.5		5	%	PVDD > $V_{DDB_NOM} + 2.5$ V, I_{VDDb} transient from 60 mA to 540 mA (10% to 90% load transient), $C_{VDDb} = 47$ μ F, L = 10 μ H, $f_{BUCK_SW} = 1000$ kHz
Buck converter maximum average current	I_{VDDb_MAX}			600	mA	PVDD $\geq$ 9.5 V. VDDb supplies charge pumps, DVDD linear regulator and VDDb pin
				200	mA	PVDD at low input voltage range ($V_{DDB_NOM_LV}$). VDDb supplies charge pumps, DVDD linear regulator and VDDb pin
Buck converter maximum duty cycle	DC_{BUCK_MAX}		95		%	

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Buck converter high side switch $R_{DS(on)}$	$R_{DS(on_BUCK_HS)}$	0.7	1.4	2.2	Ω	
Buck converter low side switch $R_{DS(on)}$	$R_{DS(on_BUCK_LS)}$	0.3	0.45	1.0	Ω	
Buck switching frequency ¹⁾	f_{BUCK_SW}	450	500	590	kHz	Configurable via OTP write. May vary during load steps. Valid for the recommended component values $L_{BUCK} = 22\mu H$ and $C_{BUCK} = 47\mu F$. See Table 22
		850	1000	1150		Configurable via OTP write. May vary during load steps. Valid for the recommended component values $L_{BUCK} = 10\mu H$ and $C_{BUCK} = 47\mu F$. See Table 22
Buck converter soft start timing ¹⁾	$t_{VDD_SFT_START}$			1500	μs	Actual value depends on buck output filter

Linear Regulator DVDD

Regulator target output voltage	DVDD		3.3		V	Programmable via SPI or external pull down resistor on VSENSE pin: $R \leq 3.3\text{ k}\Omega \rightarrow DVDD = 3.3\text{ V}$
			5			Programmable via SPI or external pull down resistor on VSENSE pin: $R \geq 10\text{ k}\Omega \rightarrow DVDD = 5.0\text{ V}$
Output voltage accuracy	$DVDD_{ACC}$	-2.5		2.5	%	
Load current	I_{DVDD}			300	mA	
Static line regulation	$\Delta DVDD_{LINE}$			10	mV	$V_{DDB} = 6.5\text{ V} \dots 8\text{ V}$, $I_{DVDD} = 300\text{ mA}$
Static load regulation	$\Delta DVDD_{LOAD}$			40	mV	$V_{DDB} = DVDD + 1.5\text{ V}$, $I_{DVDD} = 1\text{ mA}$ to 300 mA step
Analog programming pins period ¹⁾	t_{AN_T}		25		μs	Each VSENSE and/or CS_GAIN
DVDD turn on delay ¹⁾	$t_{DVDD_TON_DLY}$	200		800	μs	Programmable via SPI. Delay between VDDDB UVLO until DVDD ramp up start

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
DVDD soft start timing ¹⁾	$t_{DVDD_SFT_START}$	100		1600	μs	Configurable via SPI- Current limited by I_{DVDD_LIM} . If due to larger C_{DVDD} values, programmed timing is not achievable, start-up time is defined by $t_{DVDD_SFT_START} = \frac{C_{DVDD} \cdot DVDD}{I_{DVDD_LIM}}$

Current Sense Amplifier

Closed loop gain	G_{CS}	4		64	V/V	Configured either via external resistor or SPI
Gain error ¹⁾	G_{CS_ERROR}	-1		1	%	Measured at $SLx-CSNx=0.025\text{ V}$
Offset input referred ¹⁾	V_{CS_OS}	-600	200	600	μV	Gain=32, inputs shorted
Offset temperature drift ¹⁾	$\frac{\Delta V_{CS_OS}}{\Delta T}$		5		μV/°C	
Current sense blanking time ¹⁾	t_{CS_BLANK}	0		8	μs	Programmable via SPI
Amplifier output settling time ¹⁾	$t_{CSO_SETTLING}$		600		ns	Time from input signal step to 1% of final output voltage. Input voltage step of 0.2 V. Gain 4 to 24
			1000			Settling time from input signal step to 1% of final output voltage. Input voltage step of 0.2 V. Gain 32 to 64
Unity gain bandwidth ¹⁾	GBW	5	8		MHz	
Common mode rejection ratio ¹⁾	CMRR	60	80		dB	Gain=8, f_{sw} from 0 Hz to 80 kHz
Power supply rejection ratio ¹⁾	PSRR	60			dB	Gain=8, $f < 1\text{ MHz}$
		40				Gain=8, $f < 10\text{ MHz}$
Input bias current	I_{CSN}			50	μA	Current drawn into pin
Common mode input range ¹⁾	V_{CS_COM}	-0.3		0.3	V	
Differential mode input range	V_{CS_DIFF}	-0.3		0.3	V	
Current sense output voltage range	V_{CSO}	0.3		DVDD-0.3	V	

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Output voltage slew rate ¹⁾	SR _{CSO}	-10		10	V/μs	Gain=8, R _L =470 Ω, C _L =330 pF. V _{SLX} = +/- 250 mV
Propagation delay from gate driver (Gxy) transition to CSOx activation ¹⁾	t _{CSAMP_PROP}		130		ns	CSAMP in shunt mode
			400			CSAMP in R _{DS(on)} mode
Output target voltage reference (offset)-VREF	V _{CS_REF}	1/4* DVDD		1/2* DVDD	V	Depending on DVDD selected value: DVDD=3.3 V / DVDD=5 V
Output voltage reference (offset) – VREF- accuracy ¹⁾	V _{CS_REF_ACC}	-2		2	%	CSAMP internal offset voltage error. DVDD error excluded
Output short circuit limit	I _{CS_SC}		20		mA	Pin CSOx shorted to ground
Auto-Zero active time ¹⁾	t _{AUTO_ZERO}		1.7		μs	Normal mode
			2			Rdson sensing mode
Auto-Zero cycle time ¹⁾	t _{AUTO_ZERO_CYCLE}			100	μs	If GHx is switching
				200		If GHx is not switching
CS_GAIN/AZ external Auto-Zero signal frequency ¹⁾	f _{AZ_CP_CLK_OFF}	5		100	kHz	
CS_GAIN/AZ external Auto-Zero signal pulse width ¹⁾	t _{AZ_EXT_PW}	0.1		3.5	μs	

Current Sense Amplifier Over-Current Protection Comparator and DAC

Current sense over-current comparator hysteresis	V _{CS_OC_HYST}			5	mV	
Over-current comparator input offset	V _{CS_OCP_OFFSET}	-12		12	mV	V _{CS_OCP_THP} = 200mV, V _{CS_OCP_THN} = -200mV
Over-current deglitch time ¹⁾	t _{CS_OCP_DEGLITCH}	0		8	μs	Programmable via SPI
Current sense input referred OCP threshold positive target level	V _{CS_OCP_THP}	20		300	mV	Programmable via SPI
Current Sense Input referred OCP	V _{CS_OCP_THN}	-300		-20	mV	Programmable via SPI

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
threshold negative target level						
Over-current blanking time ¹⁾	t_{OCP_BLANK}	0		10	μs	Programmable via SPI

Analog to Digital Converter (ADC)

ADC resolution	ADC_{RES}		7		bits	
ADC gain error	$\epsilon_{ADC_GAIN_ERR}$	-1.05		1.05	%	
ADC offset error	$\epsilon_{ADC_OFFS_ERR}$	-2		2	LSB	
ADC conversion time	t_{CONV}		1.28		μs	

Digital Inputs (INHx, INLx, SCLK, nSCS)

Input logic low voltage	V_{INPUT_IL}			0.8	V	DVDD = 3.3V. Applies also to nBRAKE function in VSENSE/nBRAKE pin.
				1.8		DVDD = 5V. Applies also to nBRAKE function in VSENSE/nBRAKE pin.
Input logic high voltage	V_{INPUT_IH}	1.8			V	DVDD = 3.3V. Applies also to nBRAKE function in VSENSE/nBRAKE pin
		3.0				DVDD = 5V. Applies also to nBRAKE function in VSENSE/nBRAKE pin
Internal pull-down resistor to GND	R_{PD_DIG}		200		k Ω	Applies to INHx, INLx and SCLK pins
Internal pull-up resistor to DVDD	R_{PU_nSCS}		200		k Ω	

Digital Inputs (CE, EN_DRV)

Internal pull-down resistor to GND CE	R_{PD_CE}	350	625	850	k Ω	$V_{CE} > 2V$
Internal pull-down resistor to GND EN_DRV	$R_{PD_EN_DRV}$		500		k Ω	
CE threshold voltage rising	$V_{CE_TH_R}$	2.7			V	$T_A = -40$ to $125^\circ C$
CE threshold voltage falling	$V_{CE_TH_F}$			0.6	V	$T_A = -40$ to $125^\circ C$
CE pin sink current	I_{CE_SNK}			10	μA	Current flowing into CE pin
EN_DRV threshold voltage	$V_{EN_DRV_TH}$		0.5* DVDD		V	

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
EN_DRV watchdog function threshold voltage high	$V_{EN_DRV_WD_TH_H}$		0.8* DVDD		V	
EN_DRV watchdog signal threshold voltage low	$V_{EN_DRV_WD_TH_L}$		0.2*D VDD		V	
EN_DRV threshold voltage hysteresis	$V_{EN_DRV_TH_HYS}$		4		%	Applies to $V_{EN_DRV_TH}$, $V_{EN_DRV_WD_THH}$ and $V_{EN_DRV_WD_THL}$ thresholds

Digital Output - nFAULT

Output logic low voltage	V_{OL}			0.6	V	$I_o=5mA$
nFAULT internal pull-up resistor to DVDD	R_{PU_nFAULT}		200		k Ω	Pull up resistor for nFAULT

Digital Output - SDO

Output logic low voltage	V_{OL}			0.7	V	DVDD = 3.3V, $I_o=5mA$
				0.9		DVDD = 5V, $I_o=5mA$
Output logic high voltage	V_{OH}	2.4			V	DVDD = 3.3V, $I_o=5mA$
		4.1				DVDD = 5V, $I_o=5mA$
SDO internal pull-down resistor to DGND	R_{PD_SDO}		200		k Ω	When nSCS is high

OTP Programming

OTP programming supply voltage ¹⁾	$PVDD_{OTP_PROG}$	13			V	Below this value an OTP blocking will occur
OTP programming temperature ¹⁾	T_{OTP_PROG}			150	°C	Above this value an OTP blocking will occur

Watchdog

Watchdog timer period for buck converter input	$t_{WD_BUCK_T}$		1.5		ms	Applies to buck converter input selection only. Not configurable value
Watchdog EN_DRV frequency ¹⁾	$t_{WD_EN_DRV_FRE_Q}$	450	500	550	Hz	

Overload Protections Gate Driver

PVDD UVLO threshold rising	$V_{PVDD_UVLO_R}$	4.95	5.1	5.25	V	
PVDD UVLO threshold falling	$V_{PVDD_UVLO_F}$	4.85	5.0	5.15	V	
VCCHS UVLO threshold rising	$V_{HS_UVLO_R}$	5.6	5.8	6.0	V	

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
VCCHS UVLO threshold falling	$V_{HS_UVLO_F}$	4.3	4.5	4.7	V	
VCCLS UVLO threshold rising	$V_{LS_UVLO_R}$	6.1	6.4	6.7	V	
VCCLS UVLO threshold falling	$V_{LS_UVLO_F}$	4.3	4.5	4.7	V	

Overload Protections Power Supply System

VDDDB UVLO rising threshold	$V_{VDDDB_UVLO_R}$	4.2	4.3	4.4	V	
VDDDB UVLO falling threshold	$V_{VDDDB_UVLO_F}$	4.1	4.2	4.3	V	
VDDDB OVLO rising threshold	$V_{VDDDB_OVLO_R}$	105	108	111	%	Percentage of target output value
VDDDB OVLO falling threshold	$V_{VDDDB_OVLO_F}$	101	105	107	%	Percentage of target output value
Buck OCP (inductor current) threshold	$I_{BUCK_OCP_TH}$		1.0		A	$f_{BUCK_SW} = 500kHz$
			1.3			$f_{BUCK_SW} = 1MHz$
Buck OCP hysteresis	$I_{BUCK_OCP_HYS}$		50		mA	
DVDD UVLO rising threshold	$V_{DVDD_UVLO_R}$		85		%	Percentage of target output value
DVDD UVLO falling threshold	$V_{DVDD_UVLO_F}$		75		%	Percentage of target output value
DVDD OVLO rising threshold	$V_{DVDD_OVLO_R}$		110		%	Percentage of target output value
DVDD OVLO falling threshold	$V_{DVDD_OVLO_F}$		105		%	
DVDD target output current limit	$I_{DVDD_I_LIM}$	50		450	mA	Configurable via SPI
DVDD target output current limit accuracy	$I_{DVDD_I_ACC}$	-30		10	%	$T_J = -40^\circ C$ to $125^\circ C$, limit setting to 50mA
		-18		10	%	$T_J = -40^\circ C$ to $125^\circ C$, for other limit settings

Over-Temperature Protection

Over-temperature shut-down threshold	OTS_{TH}		150		$^\circ C$	
OTS Hysteresis	OTS_{HYS}		10		$^\circ C$	
Over-temperature warning threshold	OTW_{TH}		125		$^\circ C$	Measured via internal ADC
Over-temperature warning hysteresis	OTW_{HYS}		10		$^\circ C$	

产品一般特性

Parameter	Symbol	Values			Unit	Condition
		Min	Typ	Max		
Locked Rotor Protection						
Locked rotor detect time ¹⁾	t _{LOCK}	1		8	s	Programmable via SPI
SPI Timing Requirements ¹⁾						
Clock period	t _{CLK}	77			ns	
Clock high time	t _{CLKH}	20			ns	
Clock low time	t _{CLKL}	20			ns	
SDI input data setup time	t _{SET_SDI}	10			ns	
SDI input data hold time	t _{HD_SDI}	10			ns	
SDO output data delay time	t _{DLY_SDO}	0		20	ns	SCLK high to SDO valid
SDO rise and fall time	t _{RF_SDO}			10	ns	
nSCS enable time	t _{EN_nSCS}			50	ns	nSCS low to SDO transition
nSCS disable time,	t _{DIS_nSCS}			50	ns	nSCS high to SDO high impedance
nSCS hold time	t _{HD_nSCS}	50			ns	Falling SCLK to rising nSCS
nSCS setup time	t _{SET_nSCS}	50			ns	Falling nSCS to rising SCLK
nSCS sequential delay time	t _{SEQ_nSCS}	450			ns	Rising nSCS to falling nSCS

1) 未经过生产测试

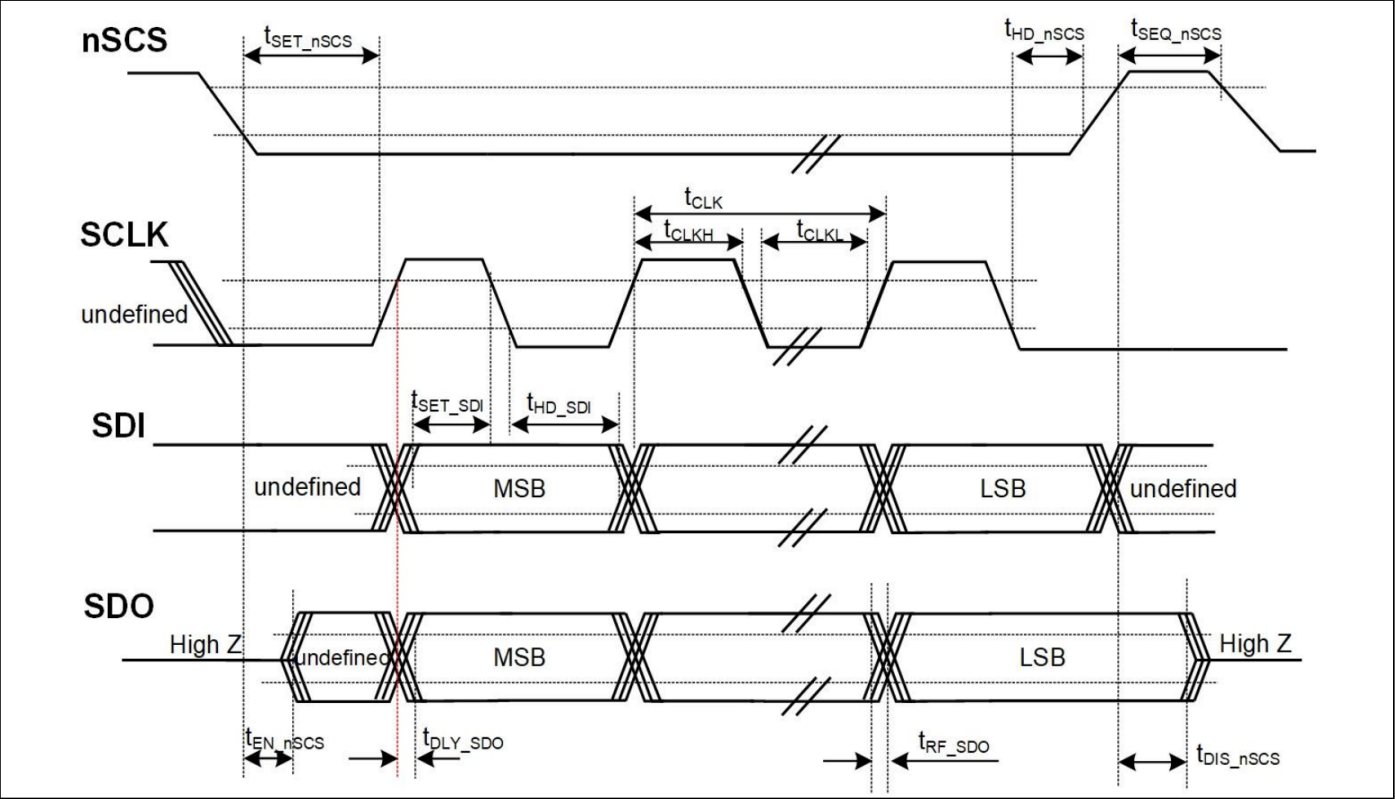


图 3 SPI 工作模式下的时序图

2.6 电气特性图

下图提供了器件在不同条件下的行为信息。此数据未经生产测试。除非另有说明， $T_A = 25^\circ\text{C}$ 。所有电压均以地为参考（降压转换器、电荷泵和栅极驱动器相关参数以 PGND 为参考，其余参数以 DGND 为参考）。

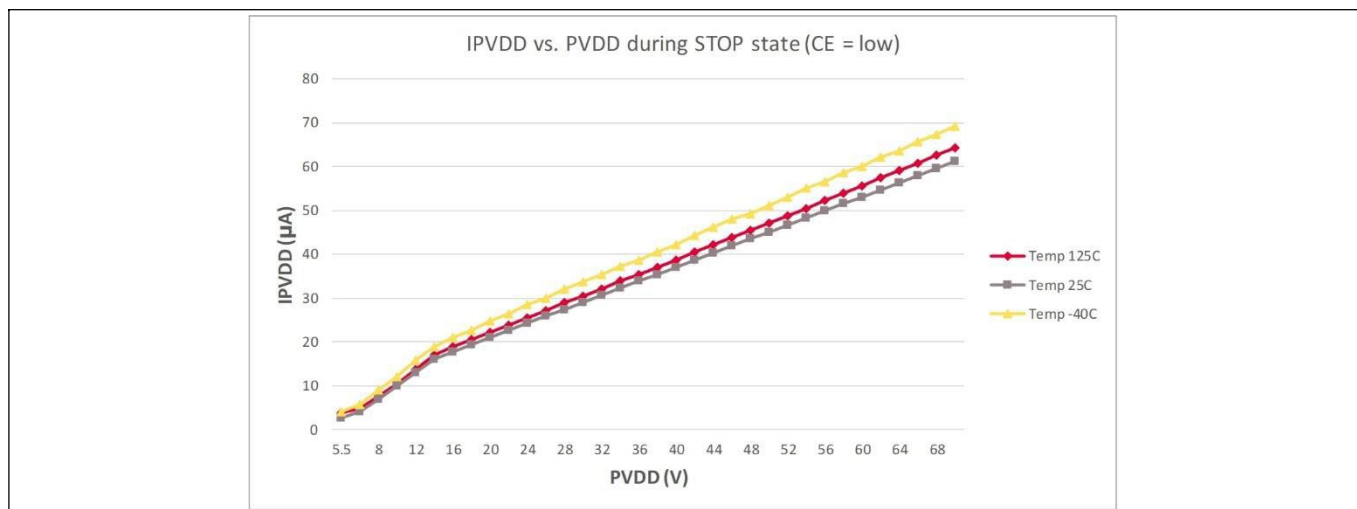


图 4 STOP 状态下 PVDD 引脚电流消耗与 PVDD 电压的关系 - CE 和 EN_DRV 均低于活动阈值

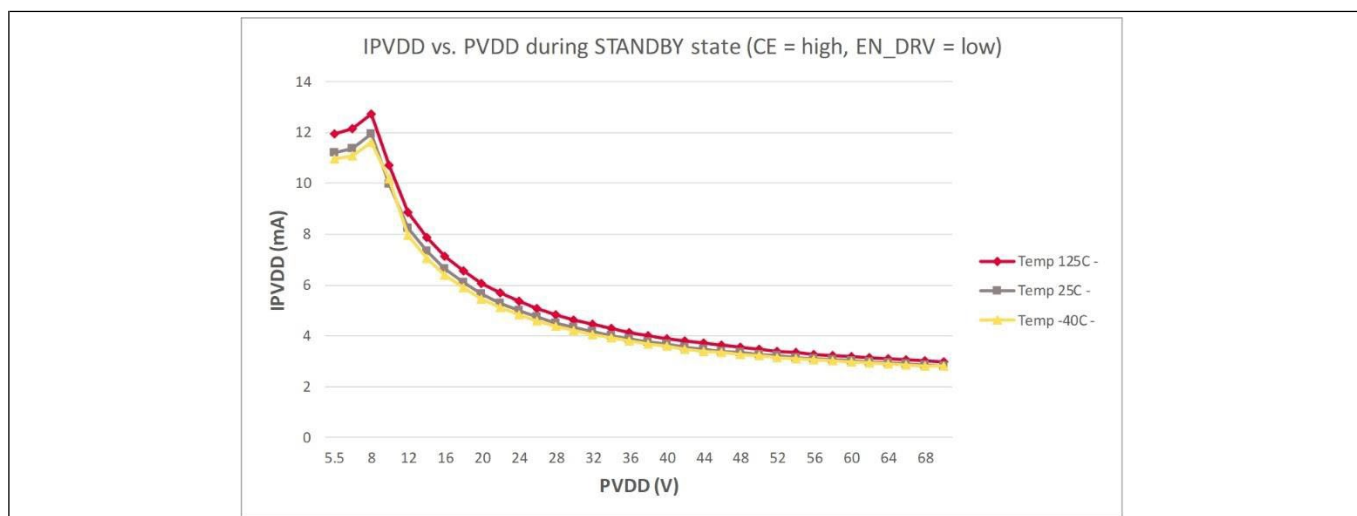


图 5 STANDBY 状态下 PVDD 上的电流消耗与 PVDD 电压的关系 - CE 高于活动阈值，
EN_DRV 低于活动阈值

产品一般特性

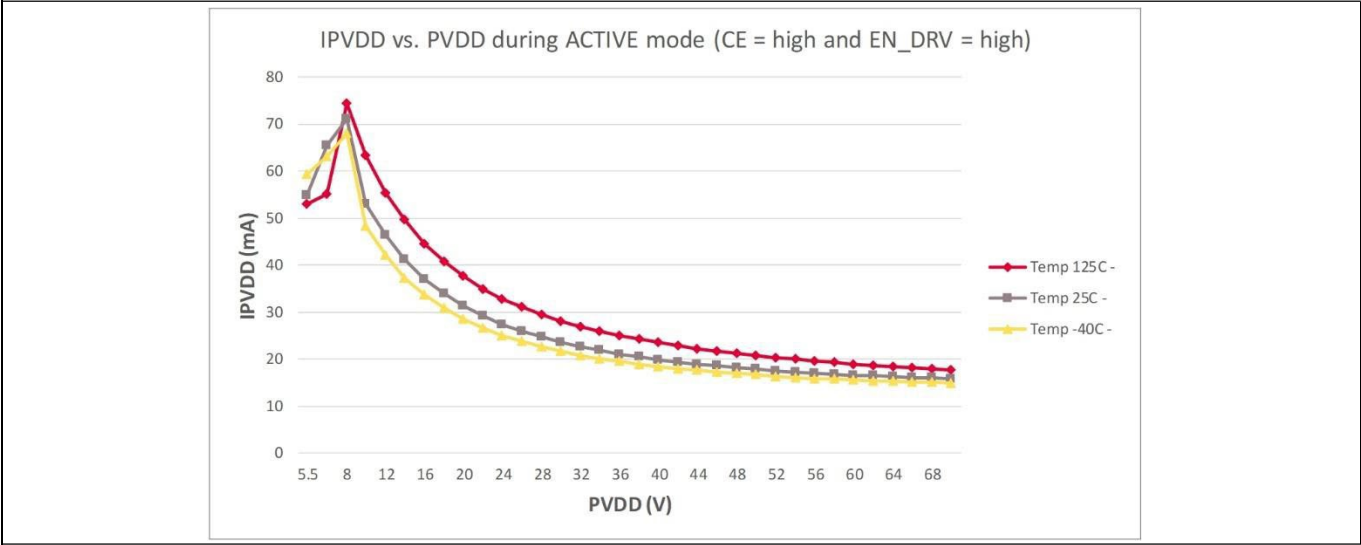


图 6 典型配置中 ACTIVE 状态下 PVDD 的电流消耗与 PVDD 电压的关系 - CE 和 EN_DRV 均高于活动阈值

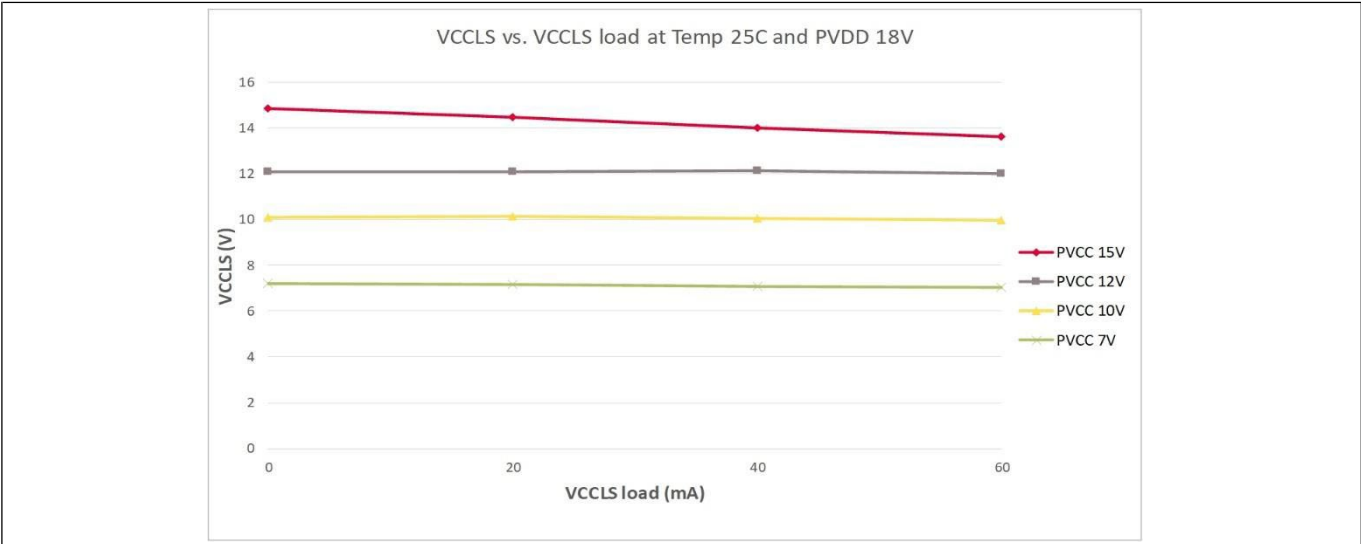


图 7 在 PVDD 18 V 时，不同 PVCC 配置的 VCCLS 平均电压与 VCCLS 负载的关系，典型配置为 $C_{CP1(2)} = 220 \text{ nF}$ ， $C_{VCCLS} = 1 \mu\text{F}$ ，VCCHS 负载为 20 mA

产品一般特性

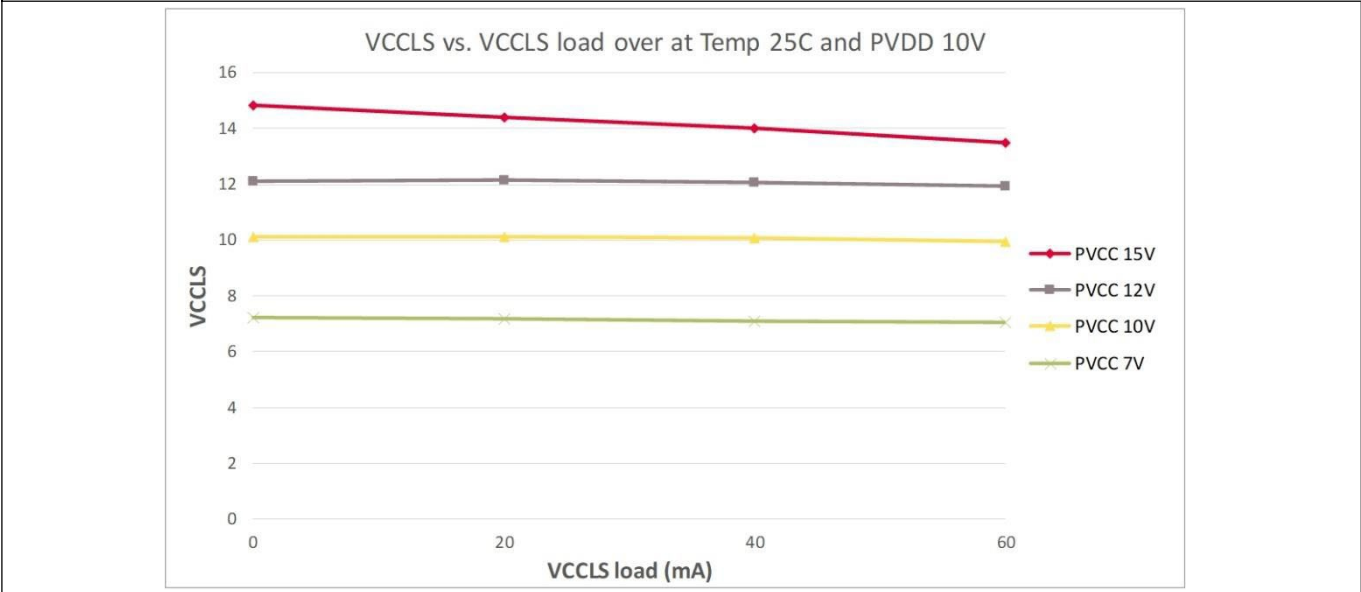


图 8 在 PVDD 10 V 时，不同 PVCC 配置的 VCCLS 平均电压与 VCCLS 负载的关系，典型配置为 $C_{CP1(2)} = 220\text{nF}$ ， $C_{VCCLS} = 1\mu\text{F}$ ，VCCHS 负载为 20 mA

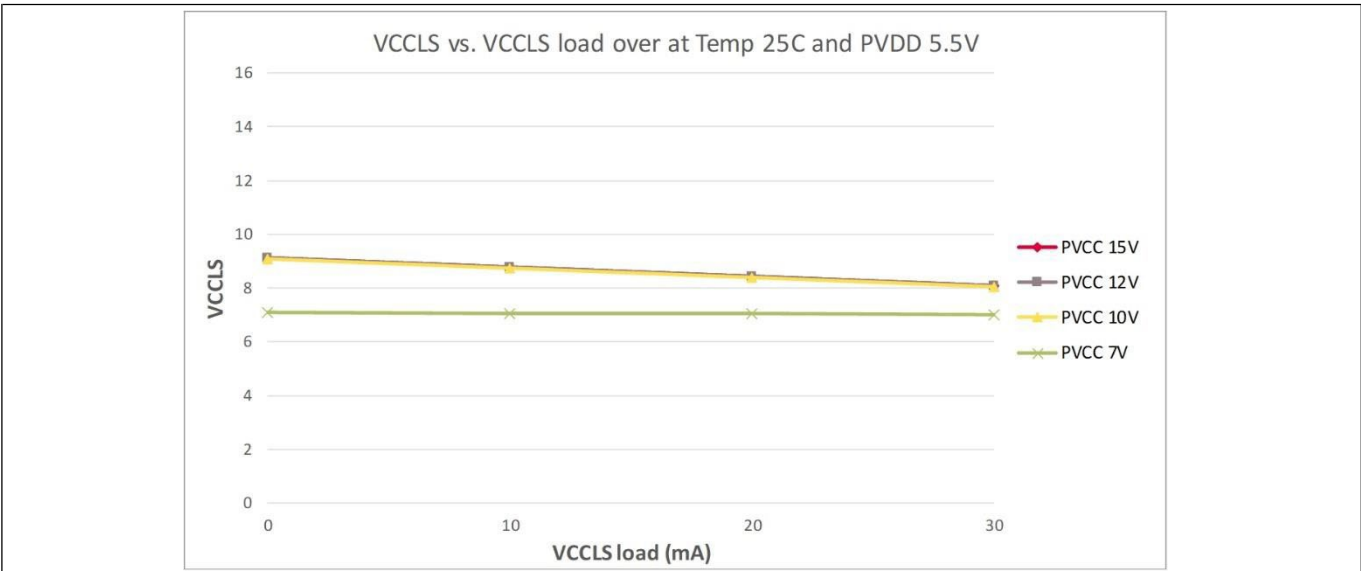


图 9 在 PVDD 5.5 V 时，不同 PVCC 配置的 VCCLS 平均电压与 VCCLS 负载的关系，典型配置为 $C_{CP1(2)} = 220\text{nF}$ ， $C_{VCCLS} = 1\mu\text{F}$ ，VCCHS 负载为 20 mA

产品一般特性

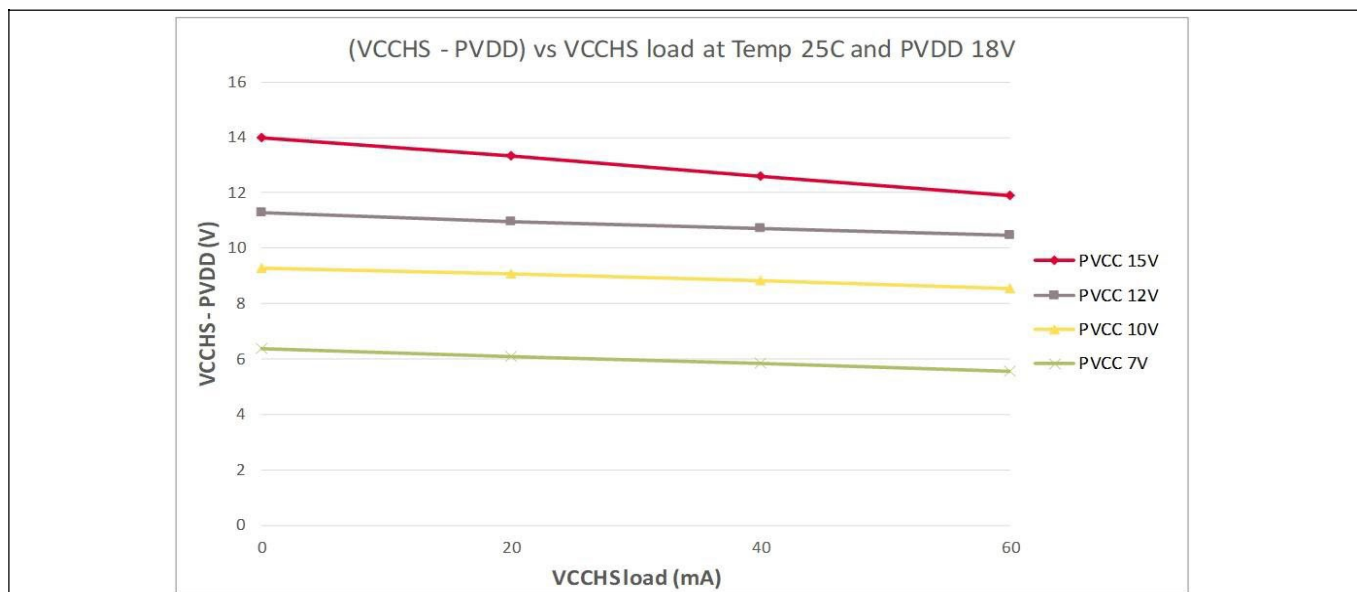


图 10 高侧栅极驱动器电源 (VCCHS - PVDD) 平均电压与不同PVCC 配置的 VCCHS 负载的关系, PVDD 为 18 V, 典型应用为 $C_{CP1(2)} = 220 \text{ nF}$, $C_{VCCHS} = 1 \mu\text{F}$, VCCLS 负载为 20 mA

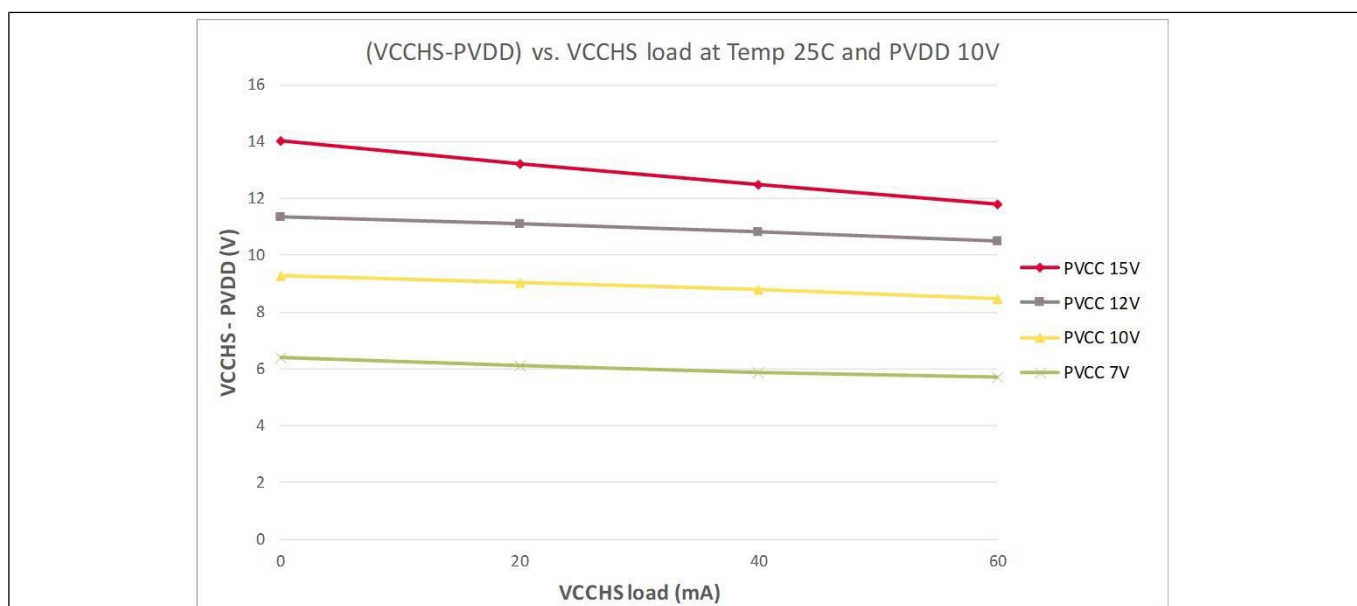


图 11 高侧栅极驱动器电源 (VCCHS - PVDD) 平均电压与不同PVCC 配置的 VCCHS 负载的关系, PVDD 为 10 V, 典型应用为 $C_{CP1(2)} = 220 \text{ nF}$, $C_{VCCHS} = 1 \mu\text{F}$, VCCLS 负载为 20 mA

产品一般特性

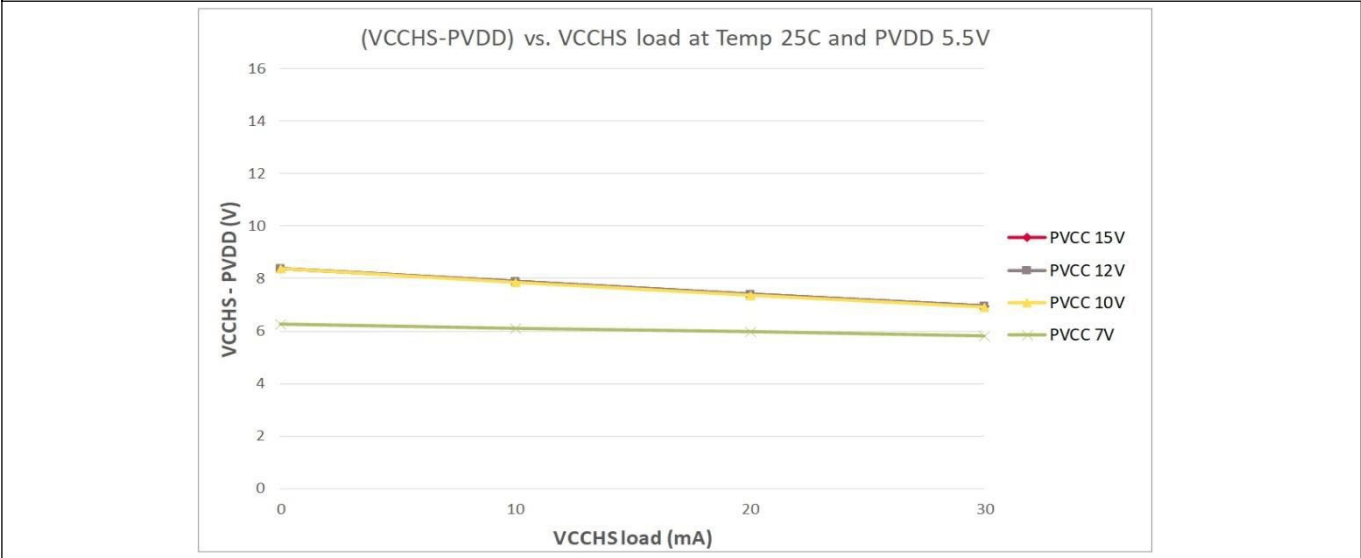


图 12 高侧栅极驱动器电源 (VCCHS - PVDD) 平均电压与不同PVCC 配置的 VCCHS 负载的关系，PVDD 为 5.5 V，典型应用为 $C_{CP1(2)} = 220 \text{ nF}$ ， $C_{VCCHS} = 1 \mu\text{F}$ ，VCCLS 负载为 20 mA

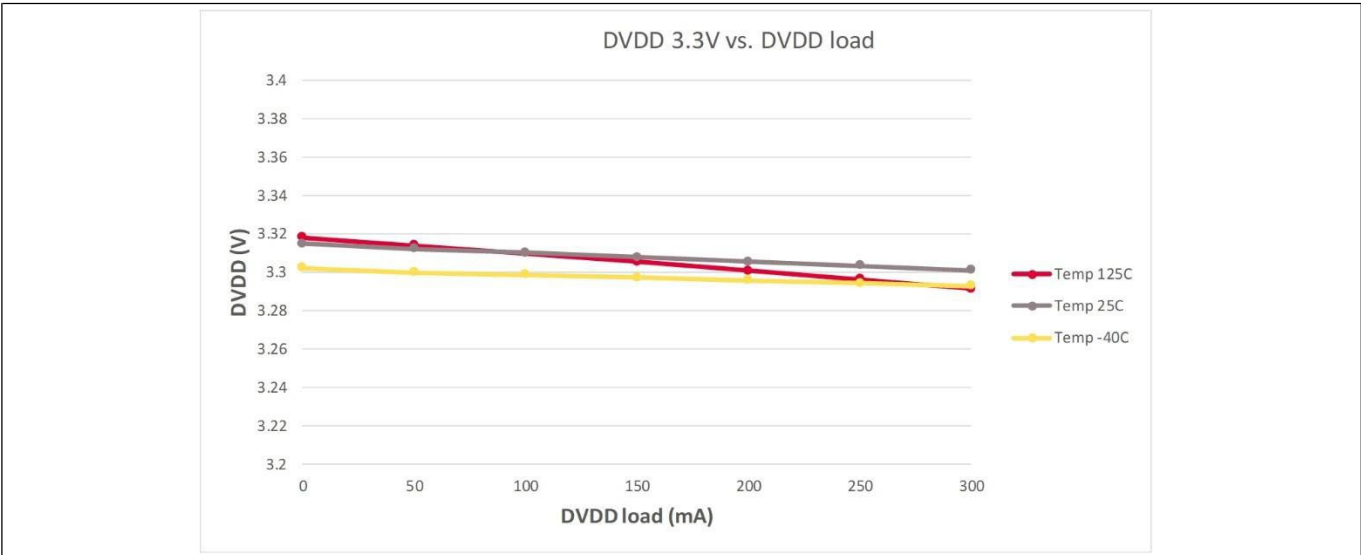


图 13 不同温度下 DVDD 3.3 V 输出电压与 DVDD 负载的关系

产品一般特性

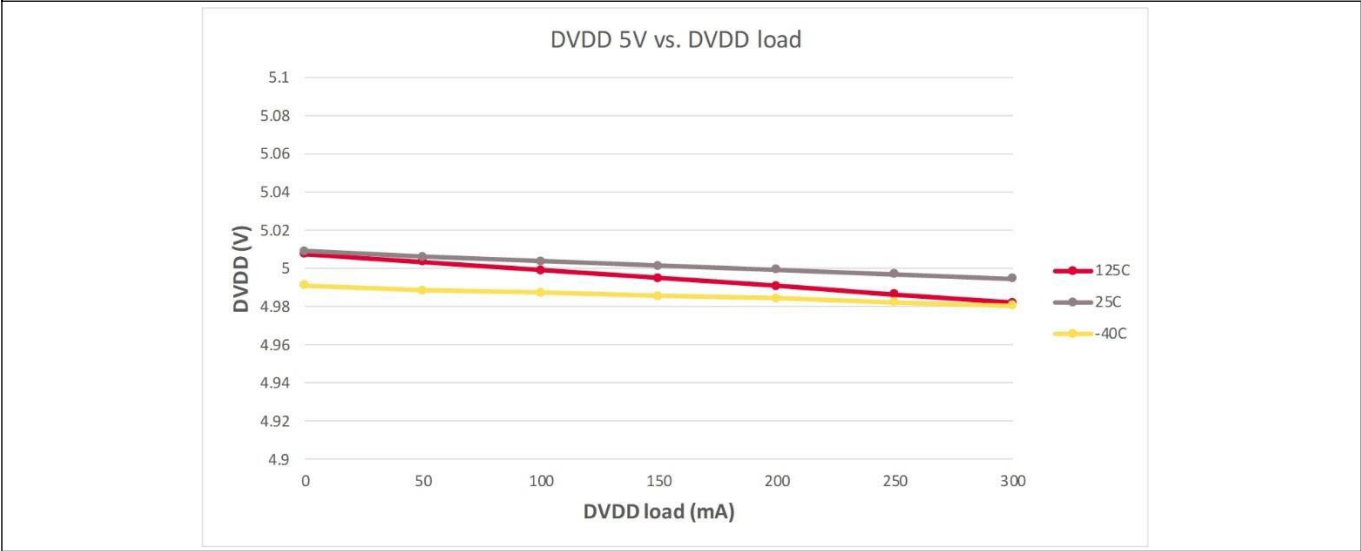


图 14 不同温度下 DVDD 5.0 V 输出电压与 DVDD 负载的关系

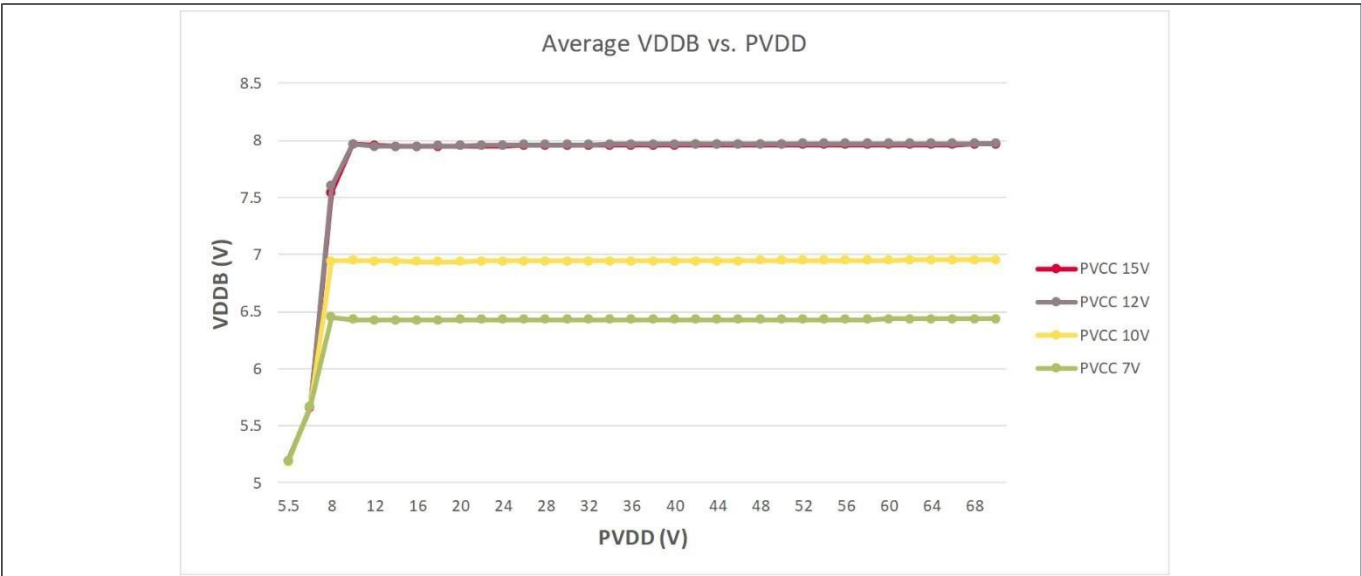


图 15 降压转换器平均输出电压（VDDDB）与 PVDD 电压的关系。典型配置，VDDDB 负载 200 mA，DVDD 负载 50mA，降压转换器开关频率500 kHz，PVDD 18V

产品一般特性

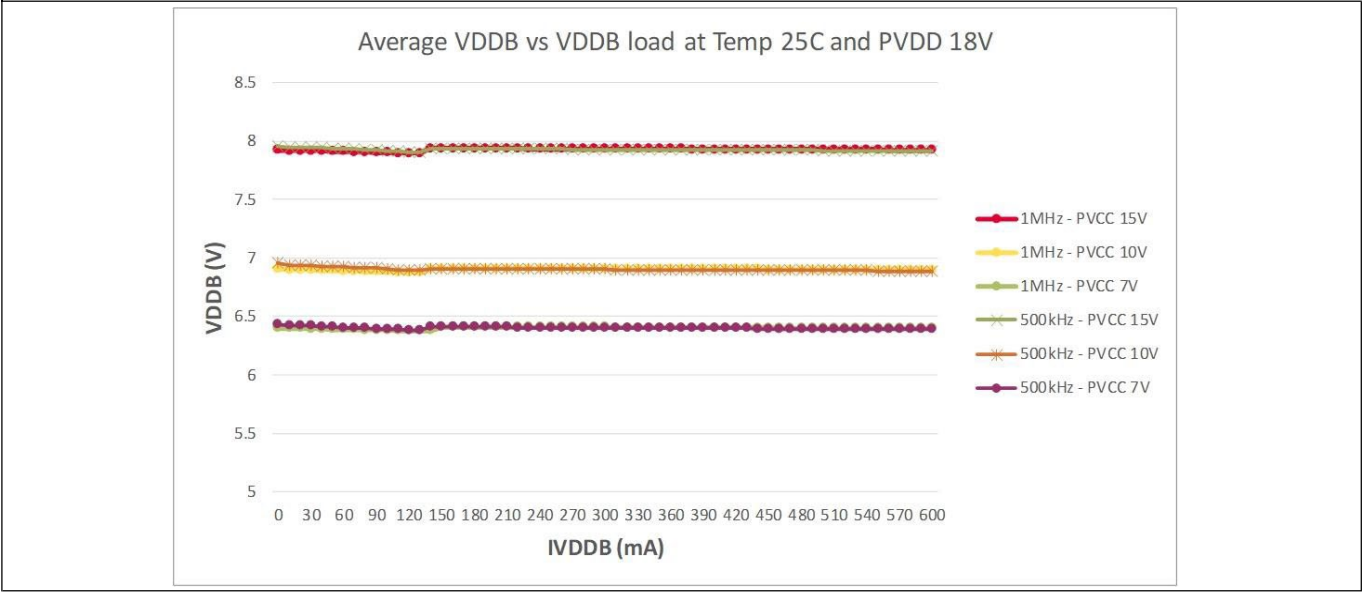


图 16 不同 PVCC 和降压开关频率下降压转换器平均输出电压 (VDDB) 与 VDDB 负载 (IVDDB) 的关系，典型配置，PVDD 18V。

3 产品特性

3.1 功能框图

图17 为一个简化的框图，包含主要功能模块。在接下来的章节中，我们将更详细地介绍每个功能模块和主要设备特性。

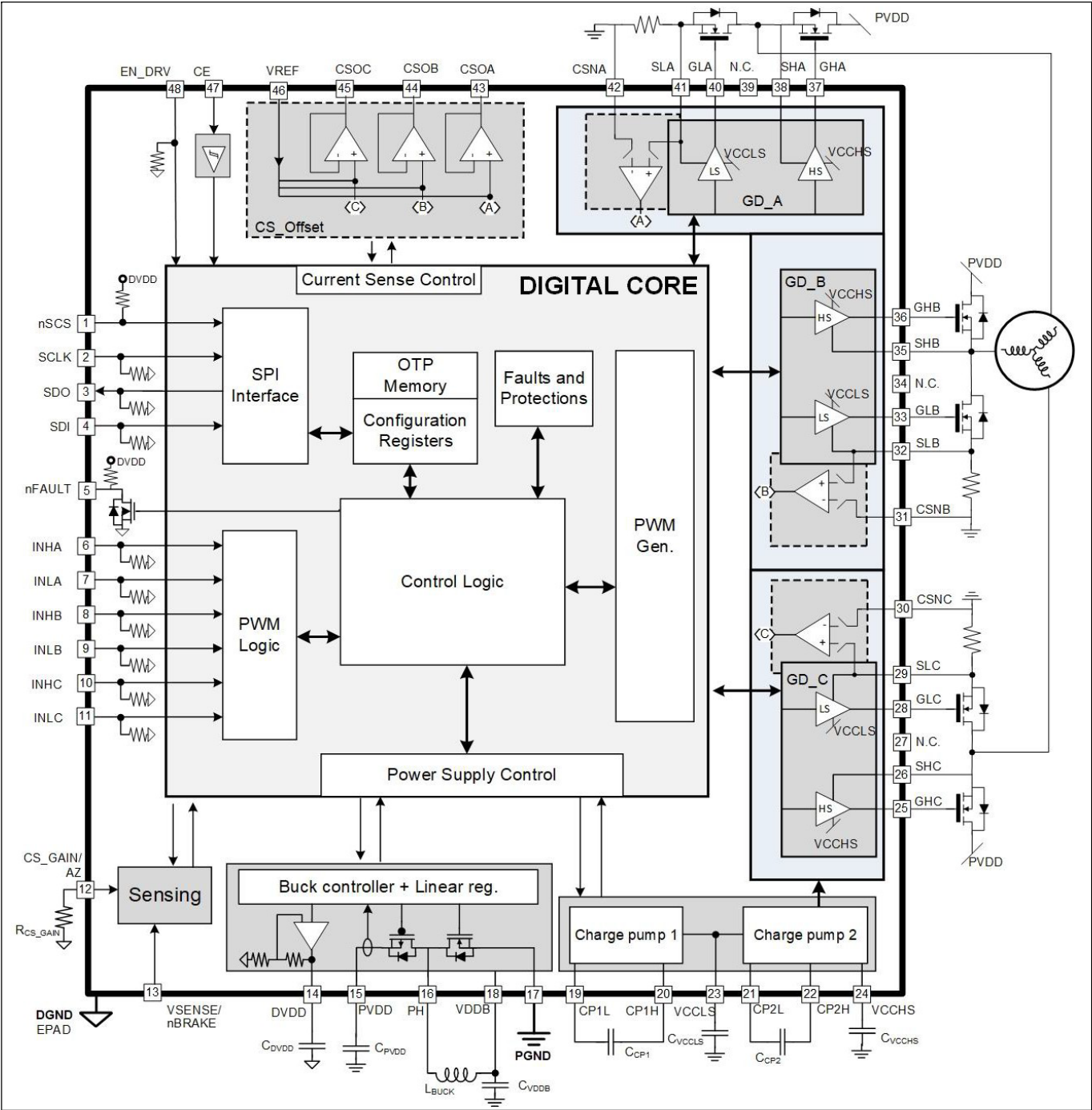


图 17 功能框图

产品特性

3.2 PWM 模式

MOTIX™ 6EDL7141 提供四种不同的 PWM 模式和一个子变体来满足不同的 MCU 需求。第一种模式是 6PWM，使用来自 MCU 的六个 PWM 信号以经典方式驱动栅极驱动器。6EDL7141 实现了另外三种模式，它应用智能来简化微控制器端的 PWM 生成。结合集成的保护功能，它可以为驱动应用带来高度稳健和更快的开发。智能死区时间单元确保在任何情况下都不会发生直通。高度可配置的制动模式可对电机或系统事件做出安全的反应。

6EDL7141 支持以下 PWM 模式，可通过位域 PWM_MODE 选择：

1. 6PWM
2. 3PWM
3. 1PWM和换向模式
4. 带霍尔传感器换向的 1PWM
5. 带霍尔传感器换向和交替再循环的 1PWM 模式

以下小节提供了有关每种 PWM 模式和子模式的更多详细信息。

注： *也可以只使用一相或两相，而不是三相，例如在全桥配置中。在这种情况下，建议将未使用相的INHx 和INLx 信号短接到DGND，并将GHx、GLx、SHx 和SLx 信号开路。*

3.2.1 具有六个独立输入的PWM - 6PWM

当 PWM_MODE 寄存器设置为 b'0 时，6EDL7141 配置为六个独立的 PWM 输入。在此模式下，微控制器（MCU）提供三对互补的PWM信号，高压侧和低压侧PWM之间具有死区时间。出于安全考虑，6EDL7141 将遵守最短死区时间，以防止出现强直通情况。

VSENSE/nBRAKE 引脚可用于以受控方式制动电机。参见第 3.2.6 章了解有关制动模式的更多信息。

表 8 显示了 6PWM 模式的真值表，图 18 显示了此模式的系统图。

表 8 6PWM 模式真值表

INHx	INLx	VSENSE/nBRAKE	GHx	GLx	SHx
1	1	1	LOW	LOW	High-Z
1	0	1	HIGH	LOW	HIGH
0	1	1	LOW	HIGH	LOW
0	0	1	LOW	LOW	High-Z
X	X	0	Brake cfg.	Brake cfg.	Brake cfg.

注： *X 表示任意电平*

注： *制动功能可以配置为打开所有低侧MOSFET、所有高侧MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。*

产品特性

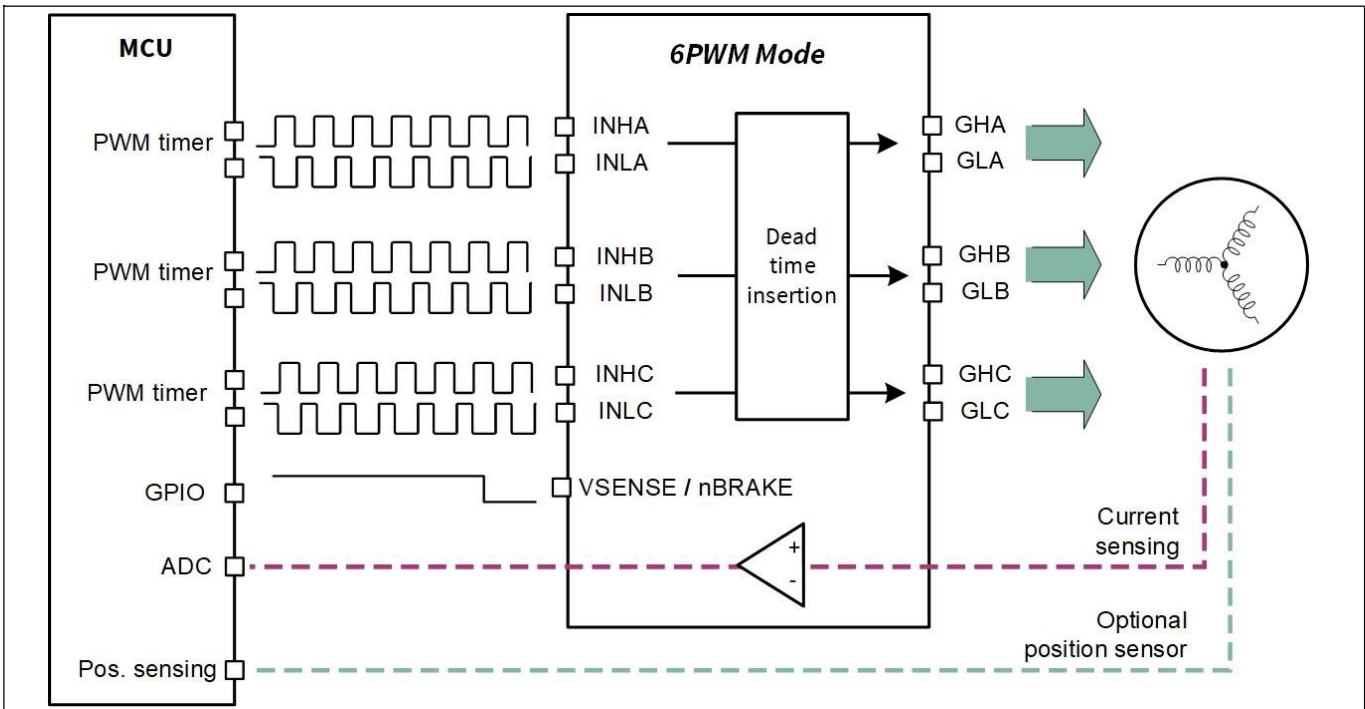


图 18 6PWM 模式方案

3.2.2 具有三个独立输入的PWM - 3PWM

通过将 PWM_MODE 位域设置为值 b'001，可将 MOTIX™ 6EDL7141 配置为 3PWM 模式。在这种情况下，每相只需一个 PWM 信号（高侧）。6EDL7141 会根据表 9 自动生成低侧信号，并插入可配置的死区时间。死区时间可通过位域 DT_RISE 和 DT_FALL 独立编程，用于高到低（相节点电压下降）和低到高（相电压上升）的转换。

在此模式下可以忽略 INLx 信号。

VSENSE/nBRAKE 引脚可用于电机制动。有关制动模式的更多信息，请参见第 3.2.6 章。

图 19 为该 PWM 模式的系统图。

表 9 3PWM模式真值表

INHx	INLx	VSENSE/nBRAKE	GHx	GLx	SHx
1	0	1	HIGH	LOW	HIGH
0	0	1	LOW	HIGH	LOW
X	1	1	LOW	LOW	High-Z
X	X	0	Brake cfg.	Brake cfg.	Brake cfg.

注： X 表示任意电平

注： 制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。

产品特性

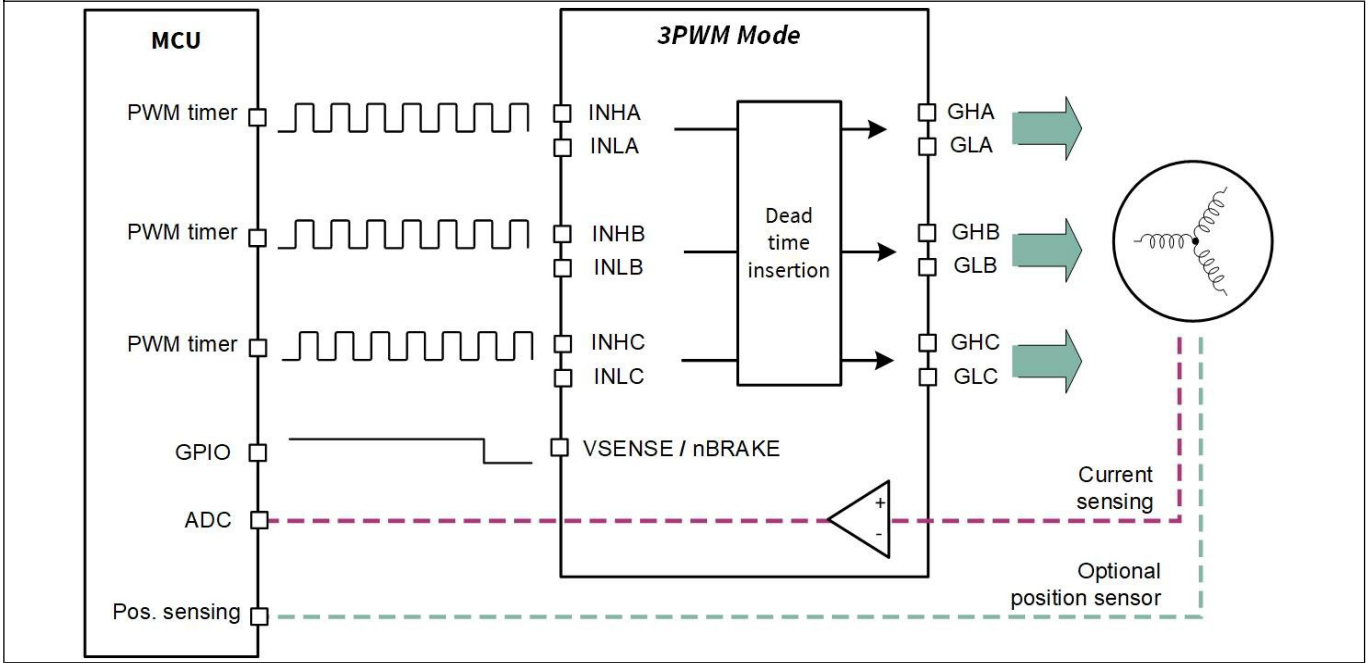


图 19 3PWM 模式方案

3.2.3 具有一个输入和换向模式的PWM - 1PWM

当 PWM_MODE 寄存器设置为 b'010 时，6EDL7141 配置为 1PWM 模式。在这种情况下，信号 INHA 的占空比和频率用于确定 6EDL7141 产生的 PWM 输出的占空比（或幅度）和频率。捕获其余输入以决定输出的换向模式或状态。利用 INHC 信号可实现 12 步块换向或梯形换向或梯形。根据位域 DT_RISE 和 DT_FALL 中的编程值自动插入死区时间。

图 20 显示了 1PWM 模式的原理图

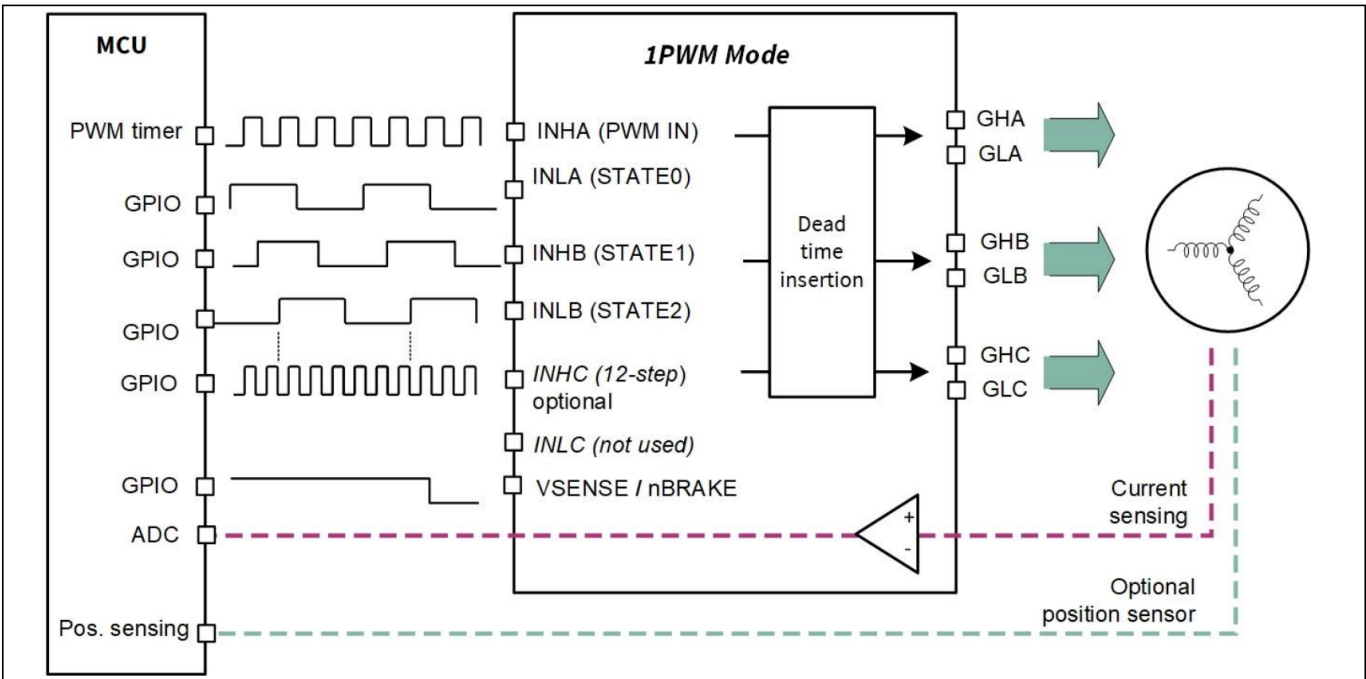


图 20 1PWM 模式方案

产品特性

此外，用户可以通过寄存器位域 PWM_FREEW_CFG 在两种主要换向方案之间进行选择：

- **二极管续流** - 位域 PWM_FREEW_CFG = b'1：在这种情况下，续流电流流过低侧 MOSFET 体二极管。此模式的真值表如表 10 所示。
- **主动续流** - 位域 PWM_FREEW_CFG = b'0：在这种情况下，低侧 MOSFET 同步开关，以减少体二极管导通时的导通损耗。此模式的真值表如表 11 所示。注：

12 步梯形或块换向

输入 INHC 可选择性地用于创建 12 步梯形换向。与 6 步换向（任何时候只有一相通电）相比，该方法可同时为至多两相通电。在 12 步梯形换向中，扭矩波动得到改善，定子和转子磁通矢量之间产生的夹角可控制在 30° 以内，而 6 步梯形换向的夹角为 60°。该方法提高了电机效率和扭矩波动，但需要额外的位置信息。微控制器可处理这些信息，并根据表 10 或表 11 中的数据产生信号 INHA、INLA、INHB、INLB 和 INHC。从系统角度可以看出，INHC 信号必须每旋转 30° 切换一次（电角度）。

如果 INHC 信号未发生切换，则设备将按照表 10 或表 11 中所示的方式进行换向。例如，如果 INHC 引脚保持低电平，则会生成经典的 6 步梯形换向图案。如果 INHC 引脚拉高，则图案会比标准的 6 步梯形换向图案提前 30 度。用户可以使用这些变体，或者每旋转 30 度切换一次 INHC 引脚，以创建 12 步换向图案。

VSENSE/nBRAKE 引脚可用于电机制动。参见第 3.2.6 章 了解有关制动模式的更多信息。

以下是输入和输出功能的摘要：

- INHA - PWM 输入，定义 PWM 输出占空比和频率
- INLA、INHB、INLB - 为调制模式变化提供定时
- INHC - 指示 12 个步骤状态。必须每隔 30 电气角度切换一次
- INLC—在此模式下该输入被忽略。建议下拉。
- VSENSE/nBRAKE 信号 - 激活时，6EDL7141 强制电机制动
- GHA、GLB、GHB、GLB、GHC、GLC - 互补 PWM 输出信号

表 10 显示了二极管续流的 PWM 模式的可能状态，而表 11 用于主动续流。

表 10 带二极管续流的 1PWM 模式真值表

State	INPTUS									OUTPUTS		
	INLA, INHB, INLB,	INHC	VSENSE/ nBRAKE	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
AB	011	0	1	PWM	LOW	LOW	HIGH	LOW	LOW	HIGH	LOW	-
AB_CB	010	1	1	PWM	LOW	LOW	HIGH	PWM	LOW	HIGH	LOW	HIGH
CB	010	0	1	LOW	LOW	LOW	HIGH	PWM	LOW	-	LOW	HIGH
CB_CA	110	1	1	LOW	HIGH	LOW	HIGH	PWM	LOW	LOW	LOW	HIGH
CA	110	0	1	LOW	HIGH	LOW	LOW	PWM	LOW	LOW	-	HIGH
CA_BA	100	1	1	LOW	HIGH	PWM	LOW	PWM	LOW	LOW	HIGH	HIGH

产品特性

	INPTUS									OUTPUTS		
State	INLA, INHB, INLB,	INHC	VSENSE/ nBRAKE	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
BA	100	0	1	LOW	HIGH	PWM	LOW	LOW	LOW	LOW	HIGH	-
BA_BC	101	1	1	LOW	HIGH	PWM	LOW	LOW	HIGH	LOW	HIGH	LOW
BC	101	0	1	LOW	LOW	PWM	LOW	LOW	HIGH	-	HIGH	LOW
BC_AC	001	1	1	PWM	LOW	PWM	LOW	LOW	HIGH	HIGH	HIGH	LOW
AC	001	0	1	PWM	LOW	LOW	LOW	LOW	HIGH	HIGH	-	LOW
AC_AB	011	1	1	PWM	LOW	LOW	HIGH	LOW	HIGH	HIGH	LOW	LOW
Align	111	X	1	PWM	LOW	LOW	HIGH	LOW	HIGH	HIGH	LOW	LOW
Stop	000	X	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-
Brake	XXX	X	0	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.

注: X 表示任意电平

注: SHx 为高电平时表示 SHx 引脚根据 PWM 信号在 GND 和直流总线电压或电池电压之间切换。
‘-’ 表示浮空状态, 意味着高侧和低侧 MOSFET 都处于关闭状态。

注: 制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。

表 11 带主动续流的 1PWM 模式真值表

	INPTUS									OUTPUTS		
State	INLA, INHB, INLB,	INHC	VSENSE/ nBRAKE	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
AB	011	0	1	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-
AB_CB	010	1	1	PWM	!PWM	LOW	HIGH	PWM	!PWM	HIGH	LOW	HIGH
CB	010	0	1	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
CB_CA	110	1	1	LOW	HIGH	LOW	HIGH	PWM	!PWM	LOW	LOW	HIGH
CA	110	0	1	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
CA_BA	100	1	1	LOW	HIGH	PWM	!PWM	PWM	!PWM	LOW	HIGH	HIGH
BA	100	0	1	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
BA_BC	101	1	1	LOW	HIGH	PWM	!PWM	LOW	HIGH	LOW	HIGH	LOW
BC	101	0	1	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
BC_AC	001	1	1	PWM	!PWM	PWM	!PWM	LOW	HIGH	HIGH	HIGH	LOW
AC	001	0	1	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
AC_AB	011	1	1	PWM	!PWM	LOW	HIGH	LOW	HIGH	HIGH	LOW	LOW
Align	111	X	1	PWM	!PWM	LOW	HIGH	LOW	HIGH	HIGH	LOW	LOW
Stop	000	X	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-
Brake	XXX	X	0	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.

注: X 表示任意电平

产品特性

注： SHx 为高电平时表示 SHx 引脚在 GND 和直流总线电压或电池电压之间切换。

‘-’ 表示浮空状态，意味着高侧和低侧 MOSFET 都处于关闭状态。

注： 制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。

3.2.4 带一个输入的 PWM，通过霍尔传感器输入进行换向 - 带霍尔传感器的 1PWM

MOTIX™ 6EDL7141 集成三个霍尔比较器（见第 3.6.8 章），用于检测电机的运动模式。这不仅可用于转子堵转检测，还可用于自动驱动 PWM 换向模式，从而简化 MCU 中的 PWM 模式。这将使成本敏感型应用成为可能，这些应用通常使用低端控制器或某种简单的电路来为 INHA 输入创建时钟信号。

要启用此模式，需要将 PWM_MODE 位域配置为值 b'011。表 12 所示的真值表决定换向模式。在此模式下，6EDL7141 与霍尔传感器输入共同决定 PWM 输出信号的开关模式。输出信号的占空比和频率由 INHA 占空比和频率决定。

根据 DT_RISE 和 DT_HALL 中的编程值，自动插入死区时间。

与第 3.2.3 章类似，用户可以选择两种主要的换向方案，这些方案可通过 PWM_CFG 寄存器中的位域 PWM_FREEW_CFG 进行编程：二极管和主动续流。二极管模式未显示真值表。用“LOW”代替表 12 中的“!PWM”单元即可构建。

与其他 PWM 模式类似，VSENSE/nBRAKE 引脚可用于电机制动。参见第 3.2.6 章了解有关制动模式的更多信息。

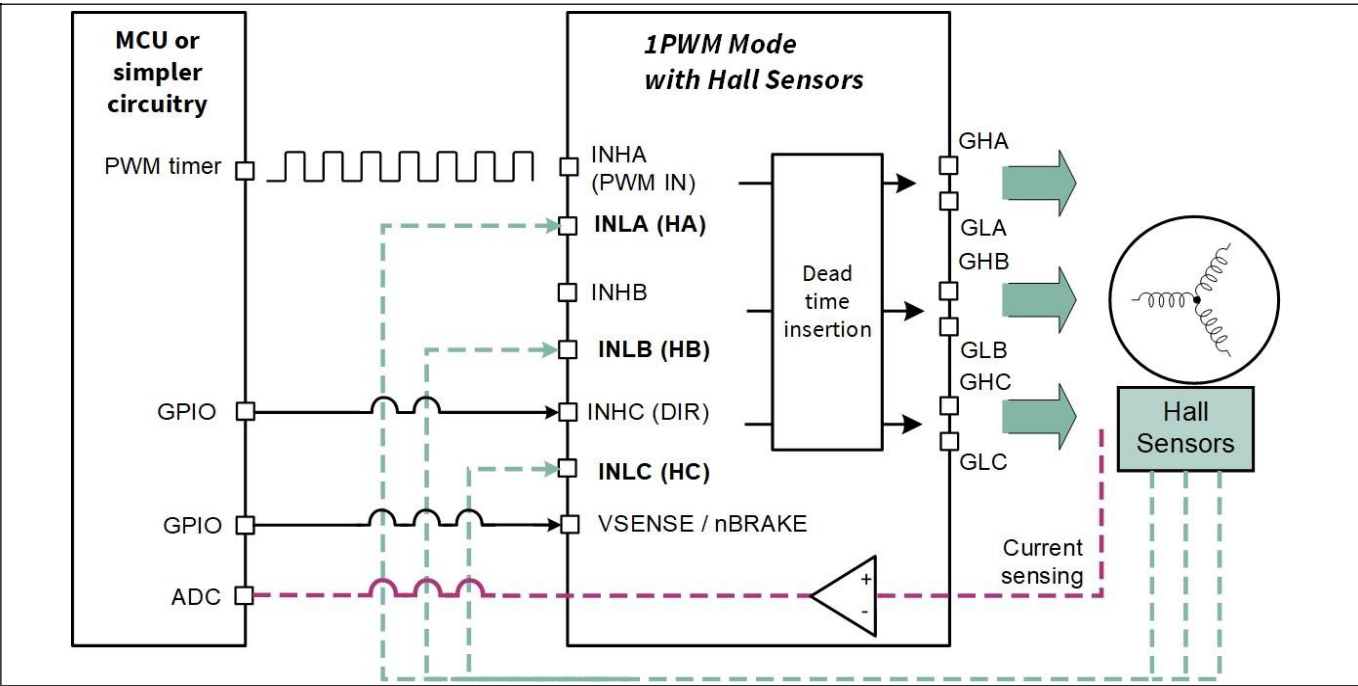


图 21 1PWM 模式带霍尔传感器，自控模式切换

产品特性

表 12 带主动续流的1PWM模式真值表

INPUTS			OUTPUTS								
INLx [A,B,C]	INHC-Dir	VSENSE/ nBRAKE	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
101	1	1	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
100	1	1	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
110	1	1	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
010	1	1	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
011	1	1	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
001	1	1	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-
101	0	1	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
100	0	1	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
110	0	1	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-
010	0	1	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
011	0	1	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
001	0	1	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
XXX	X	0	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.	Brake cfg.
111	X	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-
000	X	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-

- 注： X表示任意电平。XXX 表示未显示的任何其他输入组合
- 注： 灰色单元格表示禁止状态，应避免使用。
- 注： SHx 为高电平时表示SHx 引脚在GND 和直流总线电压或电池电压之间切换。
‘-’表示浮空状态，即高侧和低侧MOSFET均处于关闭状态。
- 注： 对于二极管续流模式，请将“!PWM”单元替换为“LOW”。
- 注： 制动功能可以配置为打开所有低侧MOSFET、所有高侧MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。

以下是此模式下的信号功能：

- INHA - PWM 输入，定义 PWM 输出信号的占空比和频率
- INLA、INLB、INLC - 霍尔传感器输入（HA、HB、HC）根据电机位置定义 PWM 输出模式。
- VSENSE/nBRAKE 信号 - 激活时，6EDL7141 强制执行制动事件。
- INHC - 方向控制。由微控制器提供，用于定义电机旋转方向。
- GHA、GLA、GHB、GLB、GHC、GLC - 高侧和低侧的 PWM 输出信号。

换向状态的示意图如图 22 所示。

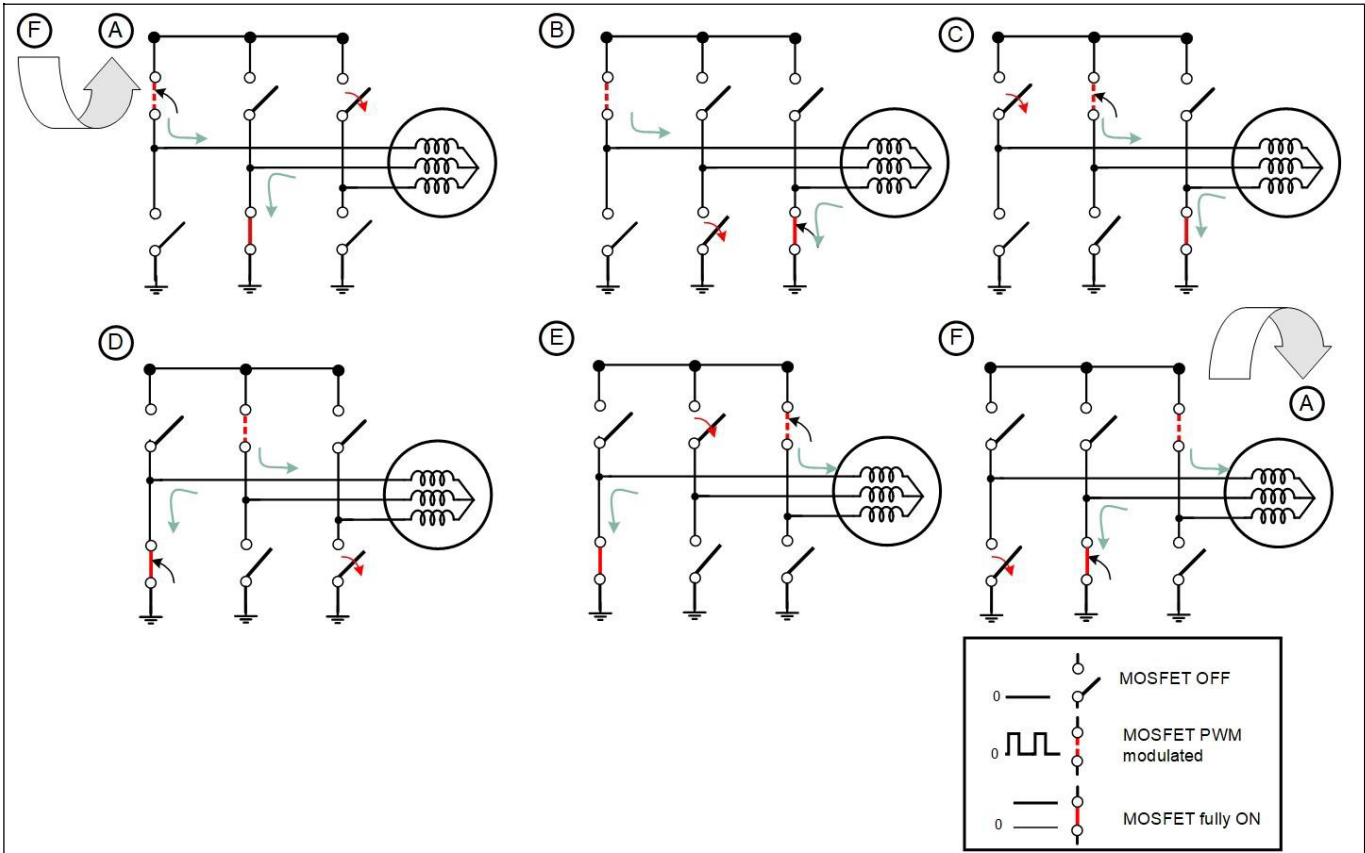


图 22 6 态开关概览，此处为了简化起见仅表示二极管续流模式，仅考虑单方向。

3.2.5 带霍尔传感器输入和交替循环的单输入 PWM - 带霍尔传感器和交替循环的 1PWM

电动工具系统中的热管理是实现更高功率密度的关键因素。更先进的热管理可以实现更小的散热器元件或更小的PCB面积。这种PWM模式专注于在逆变器的所有MOSFET之间更均匀地分配MOSFET应力。该概念在高侧和低侧MOSFET之间交替循环续流电流。这可以通过扩展表 12 所示的真值表到表 13 来实现。

在第一次电气旋转中，逆变器使电流循环流经高侧MOSFET（PWM 调制 MOSFET），而低侧 MOSFET 始终处于导通状态。在第二次电气旋转中，低侧MOSFET使续流电流循环流经PWM调制MOSFET，因此高侧 MOSFET完全导通。此循环在后续旋转中重复进行。图 23以图形方式显示了开关状态。图中，状态A至F表示高侧调制，状态G至L表示低侧调制。状态机在状态L之后返回状态A，重新开始循环。

PWM_FREEW_CFG 可将此模式配置为二极管或主动续流。二极管模式未显示真值表。可以通过将表 13 中的“!PWM”单元替换为 LOW 来构建。

产品特性

表 13 带主动续流和交替再循环的 1 PWM 模式真值表

INPUTS			OUTPUTS								
INLx [A,B,C]	VSENSE/ nBRAKE	Fully ON	GHA	GLA	GHB	GLB	GHC	GLC	SHA	SHB	SHC
INHC (Dir) = 1											
101	1	Low side	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
100	1	Low side	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
110	1	Low side	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
010	1	Low side	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
011	1	Low side	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
001	1	Low side	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-
101	1	High side	HIGH	LOW	LOW	LOW	!PWM	PWM	HIGH	-	LOW
100	1	High side	LOW	LOW	HIGH	LOW	!PWM	PWM	-	HIGH	LOW
110	1	High side	!PWM	PWM	HIGH	LOW	LOW	LOW	LOW	HIGH	-
010	1	High side	!PWM	PWM	LOW	LOW	HIGH	LOW	LOW	-	HIGH
011	1	High side	LOW	LOW	!PWM	PWM	HIGH	LOW	-	LOW	HIGH
001	1	High side	HIGH	LOW	!PWM	PWM	LOW	LOW	HIGH	LOW	-
INHC (Dir) = 0											
101	1	Low side	LOW	HIGH	LOW	LOW	PWM	!PWM	LOW	-	HIGH
100	1	Low side	LOW	LOW	LOW	HIGH	PWM	!PWM	-	LOW	HIGH
110	1	Low side	PWM	!PWM	LOW	HIGH	LOW	LOW	HIGH	LOW	-
010	1	Low side	PWM	!PWM	LOW	LOW	LOW	HIGH	HIGH	-	LOW
011	1	Low side	LOW	LOW	PWM	!PWM	LOW	HIGH	-	HIGH	LOW
001	1	Low side	LOW	HIGH	PWM	!PWM	LOW	LOW	LOW	HIGH	-
101	1	High side	!PWM	PWM	LOW	LOW	HIGH	LOW	LOW	-	HIGH
100	1	High side	LOW	LOW	!PWM	PWM	HIGH	LOW	-	LOW	HIGH
110	1	High side	HIGH	LOW	!PWM	PWM	LOW	LOW	HIGH	LOW	-
010	1	High side	HIGH	LOW	LOW	LOW	!PWM	PWM	HIGH	-	LOW
011	1	High side	LOW	LOW	HIGH	LOW	!PWM	PWM	-	HIGH	LOW
001	1	High side	!PWM	PWM	HIGH	LOW	LOW	LOW	LOW	HIGH	-
XXX	0	X	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.	Brak e cfg.
111	1	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-
000	1	1	LOW	LOW	LOW	LOW	LOW	LOW	-	-	-

- 注： X 表示任意电平。灰色单元格代表禁止状态，应避免使用。
- 注： SHx 为高电平时表示 SHx 引脚在 GND 和直流总线电压或电池电压之间切换。
- 注： ‘-’ 表示浮空状态，即高侧和低侧 MOSFET 均处于关闭状态。
- 注： 对于二极管续流模式，请将 “!PWM” 单元替换为 “LOW”。
- 注： 制动功能可以配置为打开所有低侧 MOSFET、所有高侧 MOSFET、在这两个选项之间交替或将所有输出设置为高阻抗。

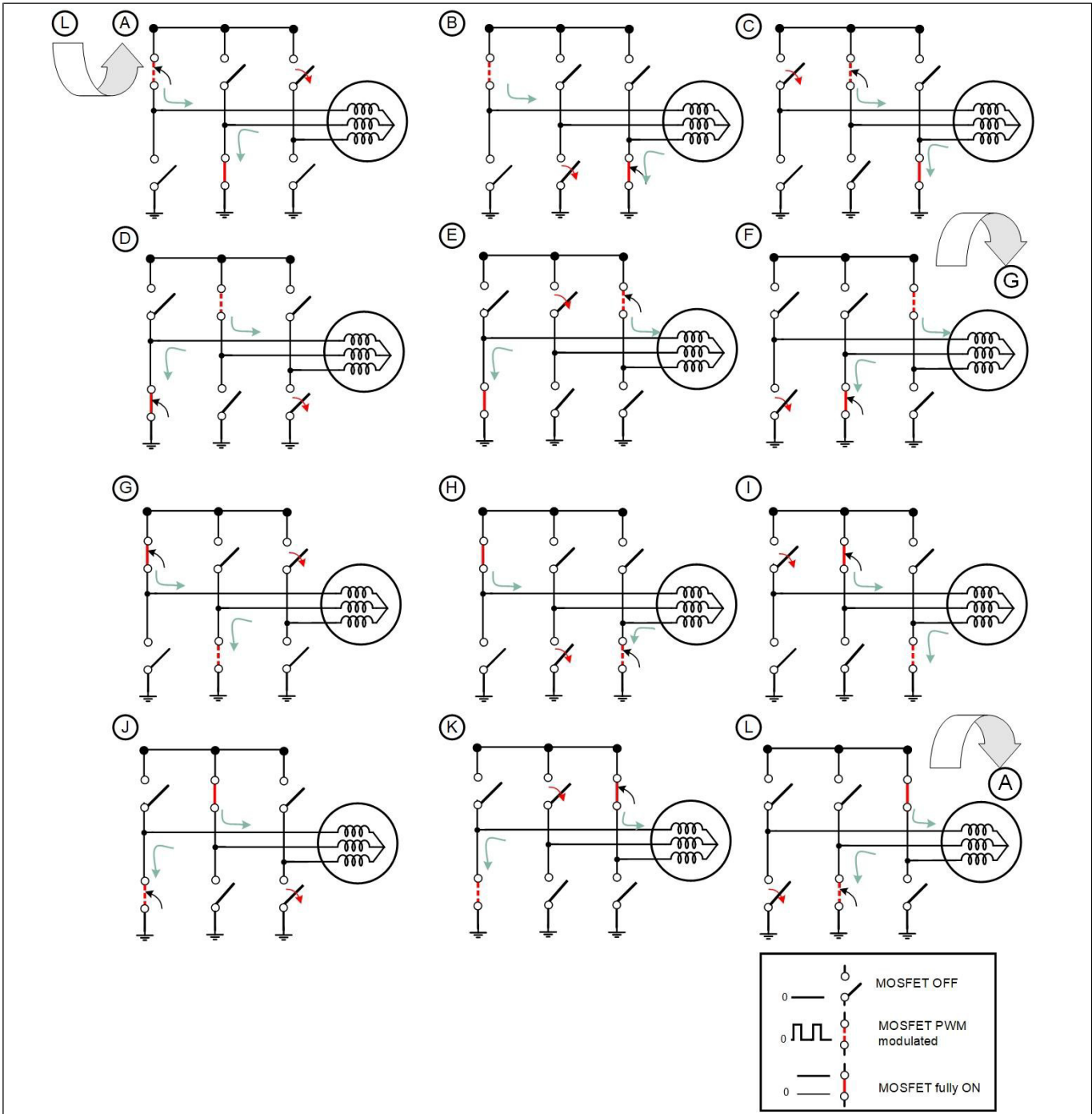


图 23 交替循环的 12 状态切换概览。与其它 1PWM 模式相比，新增了 6 个状态（G 至 L）。为简化起见，此处仅展示了二极管钳位。单向考虑

3.2.6 PWM制动模式

在之前介绍的所有 PWM 模式中，设备都可以进入受控制制动模式。这种制动模式以受控的方式驱动 PWM 信号，使电机进入安全状态。这对于某些电动工具应用至关重要，因为突然或不受控制的制动可能会损坏工具的元件或对用户安全造成危险。以下事件可触发 6EDL7141 中的制动动作：

- 下拉引脚 VSENSE/nBRAKE

产品特性

- 电流检测放大器过流保护 (OCP) 故障 - 可编程
- 看门狗定时器故障 - 可编程

在上述中，VSENSE/nBRAKE 是唯一可以被微控制器等主动用来启动制动事件的引脚。其他 3 个都是对故障检测的反应。

为了保证电机正常运行，引脚 VSENSE/nBRAKE 应处于高电平。然而，一旦检测到低电平，栅极驱动器逻辑就会激活高侧 MOSFET 或低侧 MOSFET，从而主动制动电机。

6EDL7141 制动电路可按照图 24 所示进行配置，通过对寄存器 PWM_CFG 中的位域 BRAKE_CFG 进行编程，可以实现以下模式：

- **低侧 MOSFET 制动：**发生制动事件时，所有低侧 MOSFET 将被激活，所有高侧 MOSFET 将被关闭。
- **高侧 MOSFET 制动：**发生制动事件时，所有高侧 MOSFET 将被激活，所有低侧 MOSFET 将被关闭。
- **交替制动模式：**每次新的制动事件时，系统在高侧制动和低侧制动之间交替。在交替制动模式下，MOSFET 上的应力分布均匀，从而提高了系统的稳健性。
- **无功率制动- 高阻抗（高阻）输出：**发生制动时，所有开关强制进入高阻模式。电机绕组中的电流将通过 MOSFET 体二极管或逆变器中的其他可用结构进行再循环。如果逆变器中发生 MOSFET 短路，建议使用此模式。

系统微控制器（MCU）可以在系统运行期间修改与制动相关的位域，以适应特定条件。

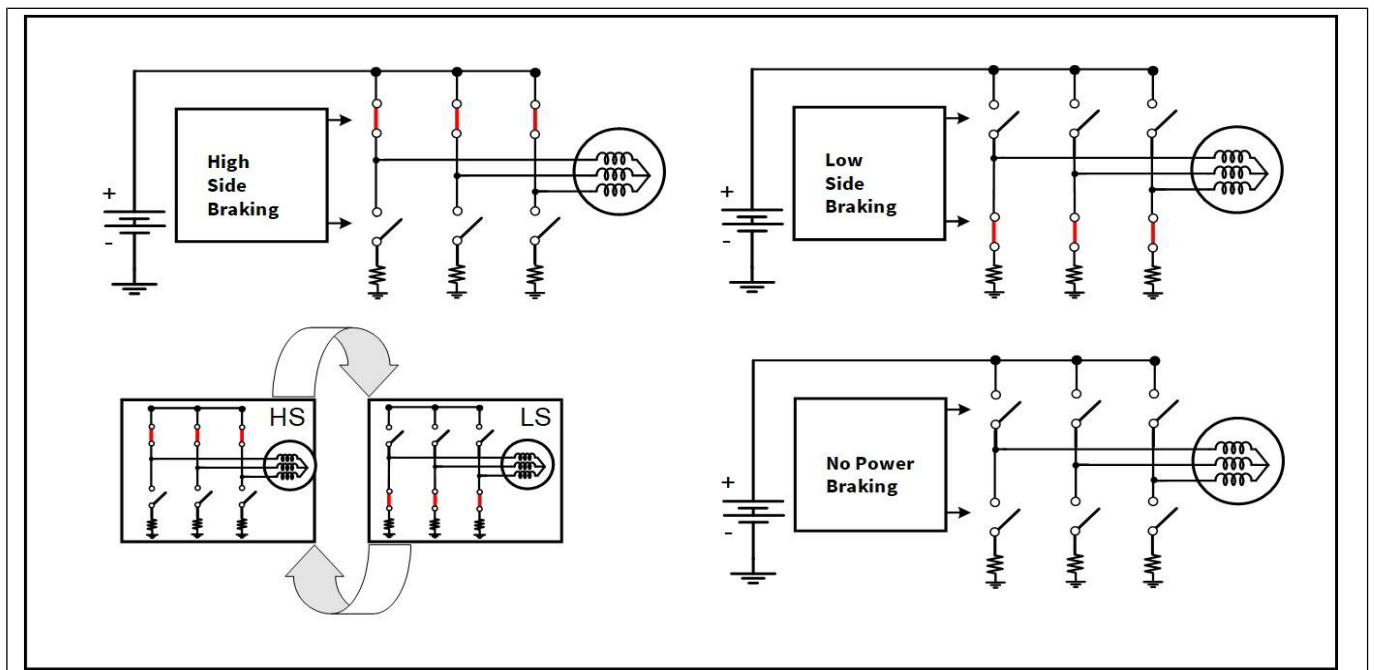


图 24 支持的不同制动模式的系统概览

在制动动作开始之前，6EDL7141 会尽快准备好逆变器以进行安全制动。根据制动请求时的逆变器状态，该设备需要关闭一些 MOSFET 并插入死区时间。例如，当 A 相高侧关闭、低侧打开时，制动信号到达，假设高侧制动配置，则 6EDL7141 立即关闭低侧 MOSFET，

产品特性

插入配置的死区时间，最后打开 A 相高侧 MOSFET 以及其余高侧 MOSFET。

3.2.7 死区时间插入

6EDL7141 中的 PWM 单元会自动在互补信号 (GHx – GLx) 之间插入死区时间。DT_RISE 位域定义了上升沿（相节点电压）的死区时间，而 DT_FALL 位域则独立定义了下降沿的死区时间。最小死区时间（参见电气特性表，了解详细数值和条件）始终要遵守，以防止出现强烈的直通情况。

图 25 显示了 1PWM 模式死区插入的详细信号图，包括时序定义。输入信号和实际栅极驱动器输出信号之间有一段传播时间（ t_{PROP_HS} 和 t_{PROP_LS} ）。这些时序定义适用于所有其他 PWM 模式。

死区时间和压摆率控制功能采用安全的方式设计，以便压摆率的变化以与 PWM 开关同步的方式更新。这消除了由于时间不一致而导致操作期间转换率可能更新过程中可能出现的直通。

注： 应用软件必须确保死区时间足以满足压摆率配置和 MOSFET 的选择。电流检测放大器 OCP 可用于检测系统中的过电流。

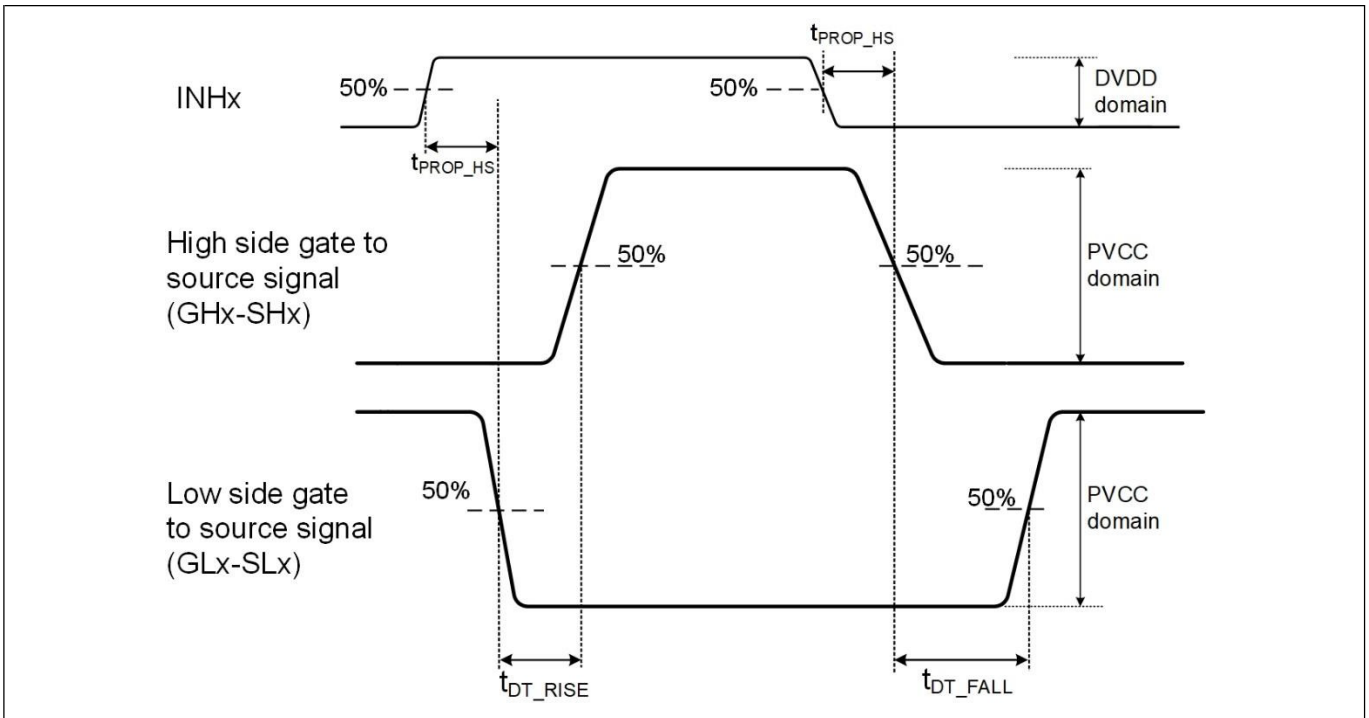


图 25 1PWM 模式下的 PWM 插入理想时序图

3.3 集成三相栅极驱动器

MOTIX™ 6EDL7141 三相集成栅极驱动器是一款浮动驱动器，能够以可配置的压摆率和驱动电压进行驱动，具有三相两电平逆变器，拉电流和灌电流峰值均高达 1.5A。

可编程电荷泵为栅极驱动器供电，确保 100% 的占空比和可配置的驱动电压，从而最大限度地优化栅极驱动器。

其中包括多种保护措施，以确保栅极驱动器系统在压力条件下安全运行，包括提高相位节点 (V_{SHx}) 对负电压尖峰的耐受性（见绝对最大额定值表）。

所有三个半桥驱动器共享配置和设置。本节介绍集成式三相栅极驱动器的以下特性：

- 栅极驱动器架构
- 压摆率控制
- 电荷泵配置
- 保护

3.3.1 栅极驱动器架构

该器件集成了三对相同的高侧和低侧驱动器。高侧驱动器和低侧驱动器采用相同的架构设计。然而，这两个部分的电源域设计不同。精密电荷泵用于为两个驱动器供电，低侧栅极驱动器由 VCCLS 供电，高侧栅极驱动器由 VCCHS 供电。通用架构概览如图 26 所示。

栅极驱动器的低侧部分由 VCCLS 供电。器件正常工作时，VCCLS 比地高“PVCC”伏。VCCLS 电压由“LS 电荷泵”从 VDDB 电压（即集成降压转换器的输出电压）产生。电荷泵正常工作需要外部“飞跨”电容 C_{CP1} 。

栅极驱动器的高侧部分由 VCCHS 供电。一个独立的电荷泵产生高于 PVDD 的“PVCC”电压，用于正确偏置高侧 MOSFET 驱动器。与低侧部分类似，电荷泵的正常工作需要一个“飞跨”电容 C_{CP2} 。PVCC 电压可通过 SPI 寄存器编程，并定义反相器功率 MOSFET 的栅极驱动电压。

VCCLS 和 VCCHS 引脚分别需要额外去耦电容 C_{VCCLS} 和 C_{VCCHS} 。这些以及其他所需元件的推荐值列于表 22。

这些电容器的选择将对电荷泵中的不同参数产生影响，包括 VCCLS/HS 中的电压纹波，以及启动时间或栅极驱动器可以承受的最大负载。

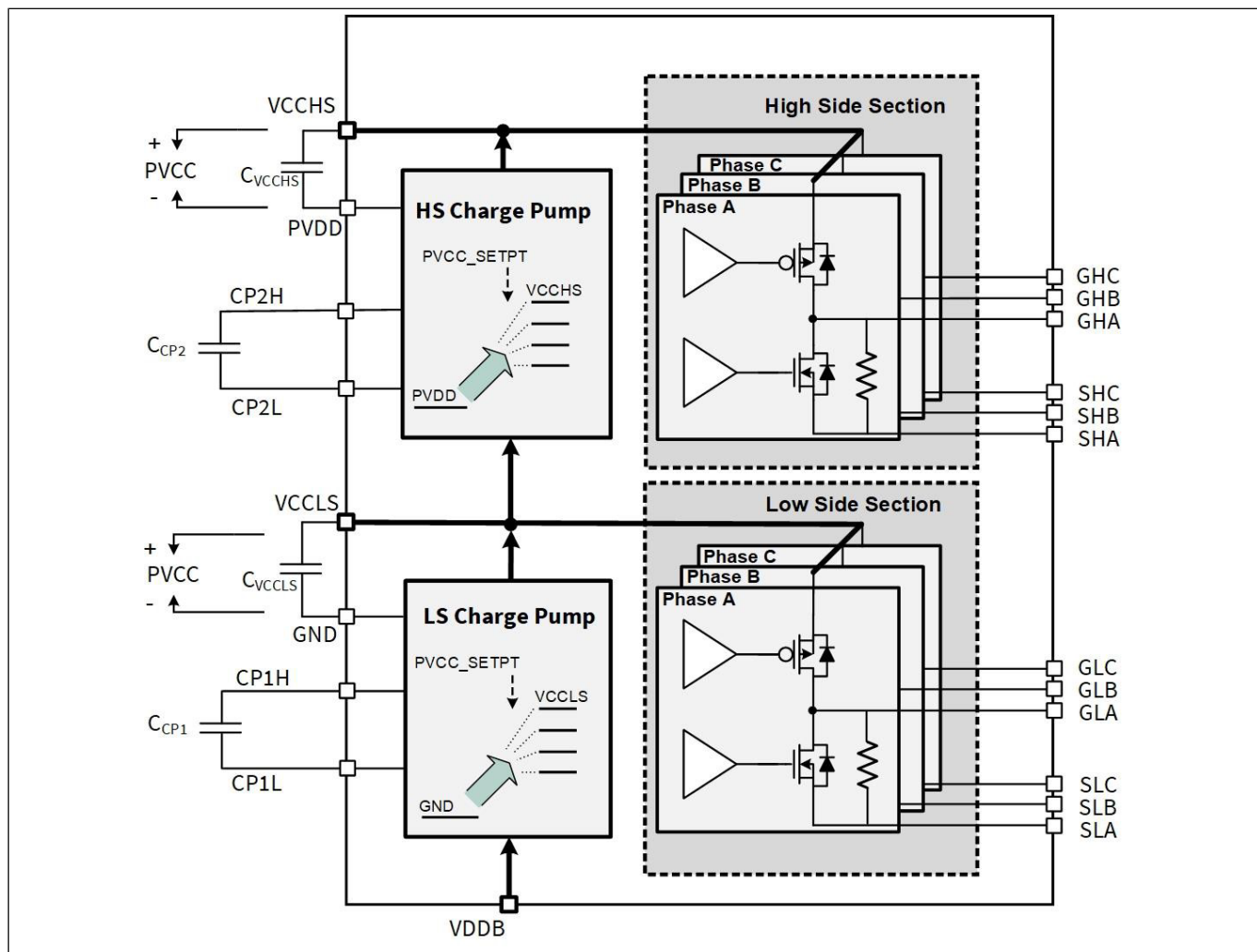


图 26 栅极驱动器架构概览

3.3.2 压摆率控制

控制 MOSFET V_{DS} 上升和下降时间是优化驱动系统最重要的参数之一，影响以下关键因素：

- 开关损耗，
- 死区时间优化，
- V_{DS} 振荡，MOSFET 可能出现雪崩事件。雪崩是 MOSFET 的一个关键因素，可能导致器件损坏或可靠性问题
- EMI 设计和优化，
- SHx 引脚负尖峰的控制，
- 可能的缓冲器设计（MOSFET 缓冲器或桥旁路电容器）

MOTIX™ 6EDL7141 能够调节 MOSFET 开关的压摆率 (V_{DS})。压摆率控制功能通过调节施加到 MOSFET 栅极的栅极电流，独立控制漏源电压的上升（从低到高）和下降（从高到低）压摆率。

注： 可以使用 R_g 电阻，但是，当使用 6EDL7141 提供的恒定电流驱动 MOSFET 时，用户必须考虑电阻上的电压降。

产品特性

3.3.2.1 压摆率控制参数及使用方法

用户可以通过 SPI 可访问寄存器使用以下参数配置栅极驱动器电流和时序：

- I_{HS_SRC} - 位域 IHS_SRC：用于打开高侧 MOSFET 的栅极驱动器电流值
- I_{HS_SINK} - 位域 IHS_SINK：用于关闭高侧 MOSFET 的栅极驱动器电流值
- I_{LS_SRC} - 位域 ILS_SRC：用于开启低侧 MOSFET 的栅极驱动器电流值
- I_{LS_SINK} - 位域 ILS_SINK：用于关闭低侧 MOSFET 的栅极驱动器电流值
- I_{PRE_SRC} - 位域 I_PRE_SRC：用于同时开启高侧和低侧 MOSFET 的预充电栅极驱动器电流值。需要通过位域 I_PRE_EN 启用，否则预充电将设置为最大电流。
- I_{PRE_SNK} - 位域 I_PRE_SNK：用于关闭高侧和低侧 MOSFET 的预放电栅极驱动器电流值。需要通过位域 I_PRE_EN 启用，否则预放电电流将设置为最大值。
- T_{DRIVE1} - 位域 TDRIVE1：应用 I_{PRE_SRC} 的时间量。高侧和低侧驱动器共享配置
- T_{DRIVE2} - 位域 TDRIVE2：应用 I_{HS_SRC} 和 I_{LS_SRC} 的时间量。高侧和低侧驱动器之间共享配置
- T_{DRIVE3} - 位域 TDRIVE3：应用 I_{PRE_SNK} 时间量。高侧和低侧驱动器共享配置
- T_{DRIVE4} - 位域 TDRIVE4： I_{HS_SINK} 和 I_{LS_SINK} 的应用时间。高侧和低侧驱动器共享配置

图 27 以图形方式显示了一种可能的配置。这表示一种 6PWM 模式，微控制器在 INHx 和 INLx 信号之间插入特定的死区时间。该驱动方案适用于其他 PWM 模式。为简化图示，图中未显示传播延迟（有关传播延迟的详细信息，请参见图 25）。

一旦命令栅极对输出应用更改，栅极驱动器就会应用由用户可编程值 I_{PRE_SRC} 定义的恒定电流，持续时间由 T_{DRIVE1} 定义。在 T_{DRIVE1} 周期之后，MOSFET 栅极电压理想情况下应该达到阈值电压 ($V_{GS(th)}$)。在 T_{DRIVE1} 之后，栅极驱动器应用下一个栅极电流配置，持续时间由 T_{DRIVE2} 定义。此周期内应用的电流对于确定 MOSFET 的 di/dt 和 dV/dt 至关重要，因为它会对 MOSFET 的 Q_{sw} 充电。用户也可以决定缩短此周期以仅覆盖 Q_{gd} 部分，从而使用 T_{DRIVE1} 周期控制 di/dt 区域以进行独立控制。为确保正确微调，6EDL7141 为第二个周期的高侧和低侧（分别为 I_{HS_SRC} 和 I_{LS_SRC} ）提供了单独的配置寄存器。

T_{DRIVE2} 周期结束后，栅极驱动器施加最大电流 (1.5 A)，以确保 MOSFET 以最快的速度导通。这将使 MOSFET 栅极完全充电 ($Q_{od} = Q_g - Q_{sw} - Q_{gs(th)}$)，直至达到设定的 PVCC 值。

MOSFET 放电时也会发生类似的过程。

注意： 考虑到压摆率变化会影响实际死区时间值，用户必须相应地选择死区时间。

VGS比较器

MOTIX™ 6EDL7141 集成了栅极到源极比较器。这些比较器用于检测 V_{GS} 信号何时接近目标值 PVCC，即在充电阶段 $V_{GSX} \geq PVCC - V_{GS_CMP_TH}$ ，在放电阶段 $V_{GSX} \leq V_{GS_CMP_TH}$ 。当发生上述任一情况时，比较器都会触发并将栅极电流设置为 I_{HOLD} 值。这是为了降低功耗和自导通效应的影响，例如，当高侧 MOSFET 开启而低侧 MOSFET 关断时。在这种情况下，低侧 MOSFET 的保持电流会以 I_{HOLD} 强度将 MOSFET 的栅极保持在源极。如图 27 所示， I_{HOLD} 以虚线标识，其应用时间取决于 V_{GS} 值。如图 28 所示，显示了激活 I_{HOLD} 电流的阈值。

产品特性

比较器集成了一个去毛刺阶段，以防止噪声在噪声事件期间错误地激活比较器。去毛刺时间由 $t_{VGS_CMP_DEGLITCH}$ 定义。

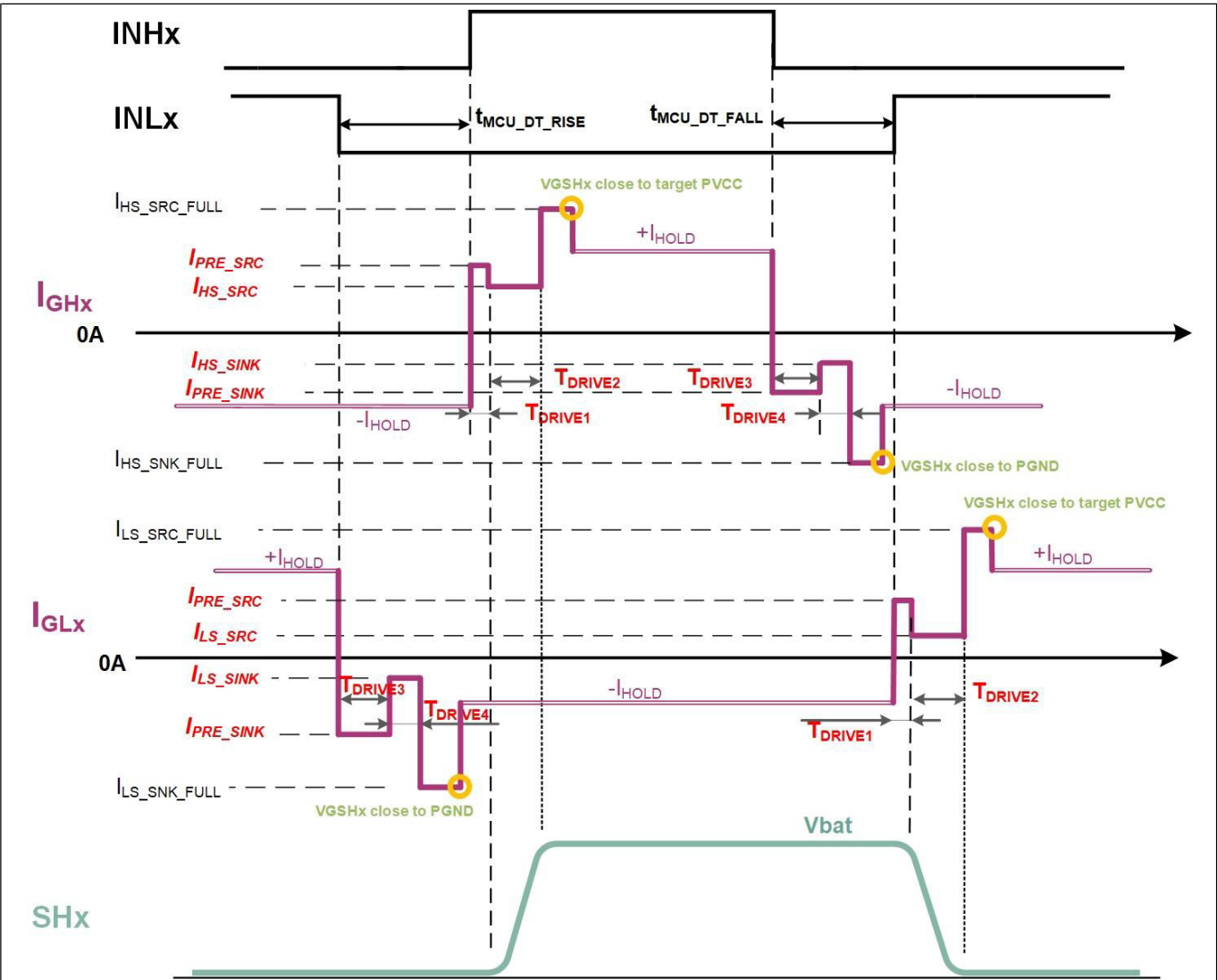


图 27 6PWM 模式下完整开关周期的压摆率控制时序（MCU 插入死区时间）。为简化起见，未考虑传播延迟（ $IN_{xy} \rightarrow G_{xy}$ ）。红色参数表示可编程值

图28 显示了高侧 MOSFET 的充电和放电转换细节。类似情况也适用于低侧 MOSFET。图中显示了 MOSFET 的不同栅极电荷区域。由于灵活的时序结构和高 T_{DRIVEX} 分辨率，用户可以完全控制在关键充电区域（如 Q_{sw} ）施加的栅极电流，而 Q_{sw} 是控制 MOSFET V_{DS} 压摆率的关键参数。同时，还可以保持其他区域（如 Q_{od} ）的快速充电， Q_{od} 通常与 Q_{sw} 相比较较大，因此，由于它既不影响 dV/dt 也不影响 dI/dt ，因此可以通过增加栅极电流来加速充电。

此外，根据具体 MOSFET 的不同，预充电区 ($Q_{g(th)}$) 可以受益于比施加于需要最大控制的 Q_{sw} 区更大的栅极电流。由于预充电电流配置，可以为 $Q_{g(th)}$ 选择更高的栅极电流，从而显著缩短预充电时间，否则可能需要数百纳秒才能达到 $V_{gs(th)}$ 。

预充电电流可从 17 个不同值中选择。其中 16 个值由 $I_{PRE_SRC/SNK}$ 定义，另外 1.5A 为栅极驱动器的最大峰值电流能力。对于大尺寸 MOSFET，开启期间的 $Q_{g(th)}$ 或关断期间的 Q_{od} 可能受益于使用完整的栅极驱动器功能。

产品特性

为了在预充电区域启用全部功率，必须在寄存器 IDRIVE_PRE_CFG 中设置寄存器 I_PRE_EN。

注： 从一个当前设置过渡到另一个当前设置时，用户可能会经历一段过渡期，直到新的当前值生效并稳定下来。在此期间，电流可能会在短时间内低于设定值，然后才会达到目标值。

注： 当栅源电压接近目标电压时（充电时为 PVCC，放电时为 PGND），栅极驱动器都无法完全维持目标 I_G 电流。这种效应与之前显示的理想行为有所偏差，其行为可能类似于图28 中的虚线。这与之前描述的 I_{HOLD} 值无关。

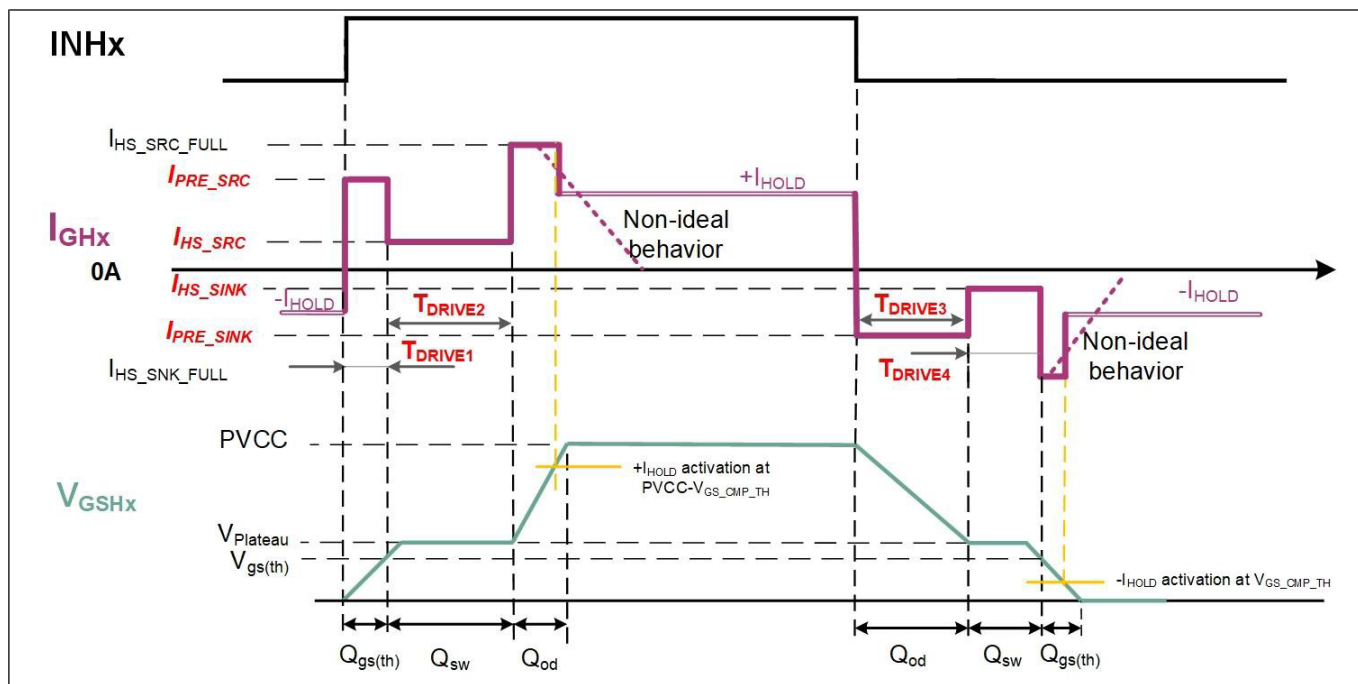


图 28 充电和放电转换期间 MOSFET 栅极电荷的细节

当 $Q_{g(th)}$ 太小，无法施加比转换速率控制所用电流更大的电流时，用户可以将 T_{DRIVE2} 设置为 0。这将导致栅极驱动器开始使用 T_{DRIVE1} 驱动 MOSFET，并在周期结束后施加 1.5A 电流，而忽略 T_{DRIVE2} 的配置。这确保了大小 MOSFET 的最佳设置，并能正确适配不同的技术，例如 OptiMOS™ 或 StrongIRFET™。类似地，可以将 T_{DRIVE2} 、 T_{DRIVE3} 和/或 T_{DRIVE4} 设置为 0，从而跳过这些配置。图 29 显示了这种行为的示例，其中 $T_{DRIVE2} = 0$ ，而其他 T_{DRIVE} 设置不为零。

注： 当使用单一定时设置进行驱动时，建议将 T_{DRIVE1} 或 T_{DRIVE3} 设置为驱动周期，并将 T_{DRIVE2} 或 T_{DRIVE4} 设置为 0。反之亦可，但由于内部传播延迟，所选定时 (T_{DRIVE2} 或 T_{DRIVE4}) 可能会略短于设定值。用户必须根据实际应用情况选择更合适的方案。

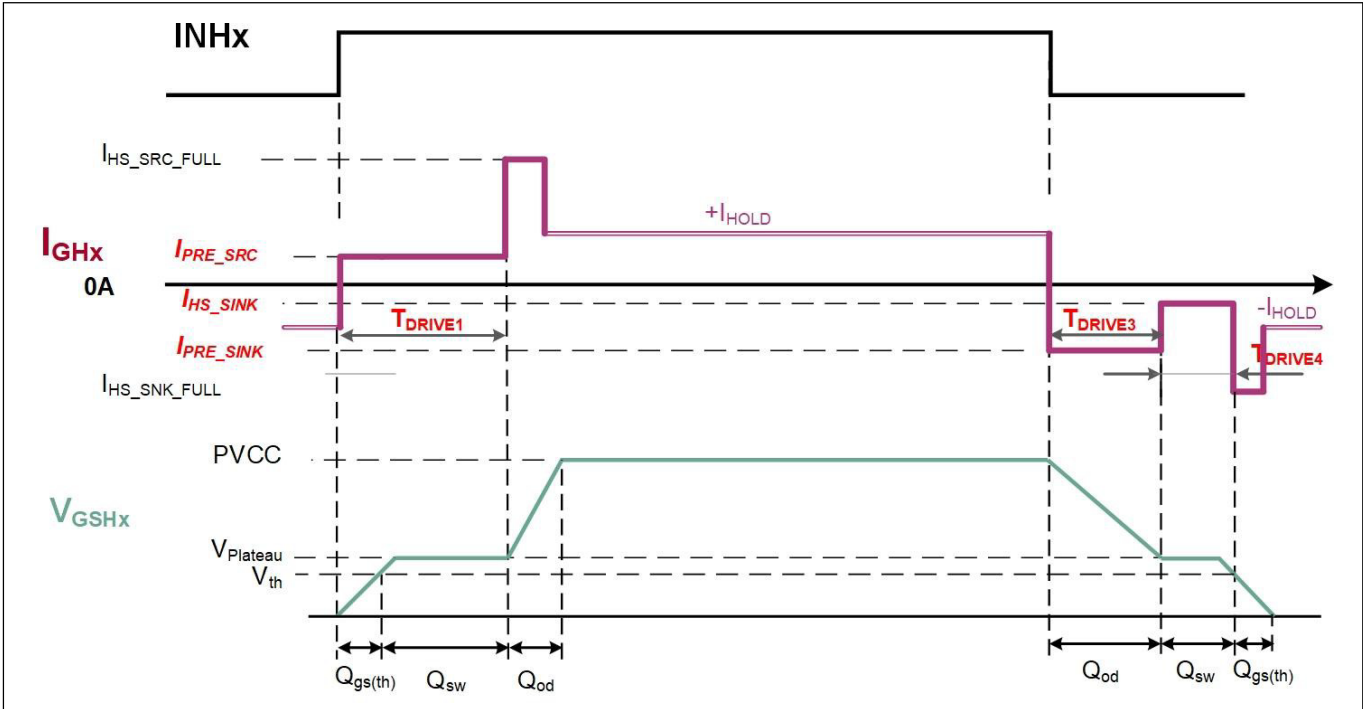


图 29 充电和放电转换期间MOSFET栅极电荷的细节。以 $T_{DRIVE2} = 0$ 为例

3.3.3 栅极驱动器电压可编程性

不同的驱动系统可能受益于不同的 MOSFET 技术。例如，逻辑电平 MOSFET 的常见用途，与标准或常规电平 MOSFET 相比，后者具有更高的阈值电压 ($V_{gs(th)}$)。对于相同的栅源电压，逻辑电平 MOSFET 的 $R_{DS(on)}$ 值低于常规电平 MOSFET。

提高驱动电压有助于降低 MOSFET 沟道导通期间的导通电阻 $R_{DS(on)}$ ，从而降低系统的导通损耗。如图 30 所示。然而，提高驱动电压会增加开关上升时间和下降时间，最终导致更高的开关损耗。用户必须根据系统条件选择合适的驱动电压。

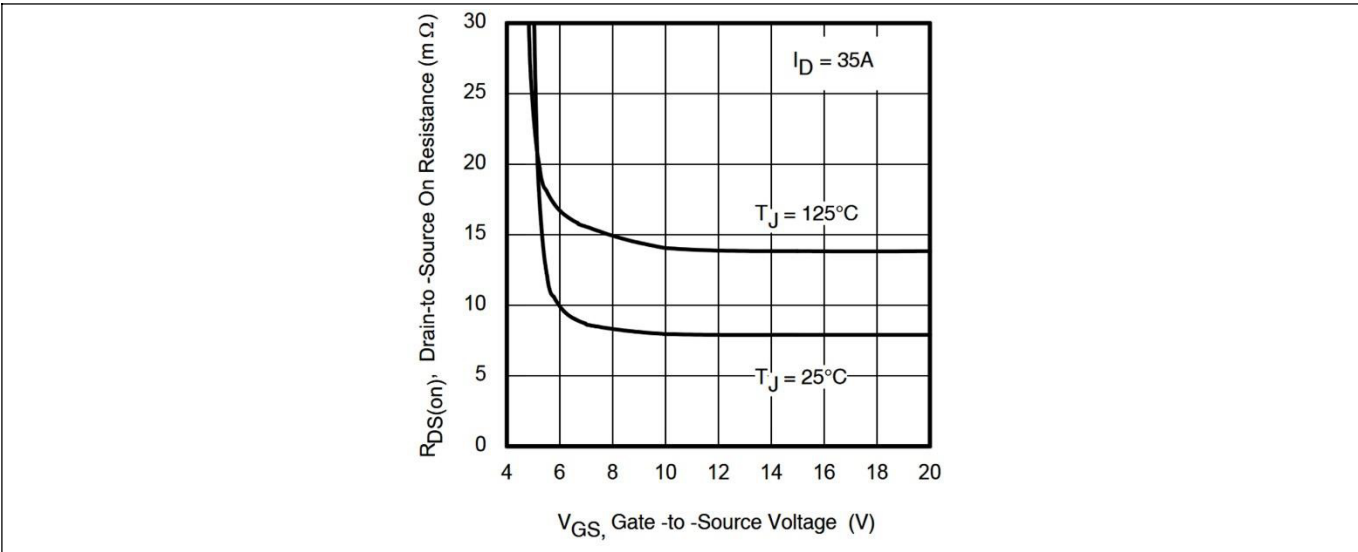


图 30 MOSFET 的典型 $R_{DS(on)}$ 与 V_{GS} 关系曲线。较高的 V_{GS} 电压会降低 MOSFET 的 $R_{DS(on)}$

产品特性

6EDL7141 允许设计人员通过 SPI 寄存器调整 MOSFET 驱动电压（PVCC 电压）。相同的值 PVCC 适用于高侧和低侧电荷泵，有四个可能的值：7 V、10 V、12 V 和 15 V。这是通过位域 PVCC_SETPT 完成的。

注： 由于内部电路（二极管）的原因，高侧电荷泵产生的电压预计会略低。参见电气特性图。

图 31 展示了理想示例，展示了驱动器电源电压和压摆率控制如何在低侧 MOSFET 的理想导通过程中共同发挥作用。图中 A 部分显示了如何通过编程不同的电流值（本例中为 I_{LS_RISE} ）来设置外部 MOSFET 的 V_{GS} 压摆率。B 部分显示了在栅极驱动器电流 I_{LS_SRC} 固定的情况下，PVCC 变化的情况。

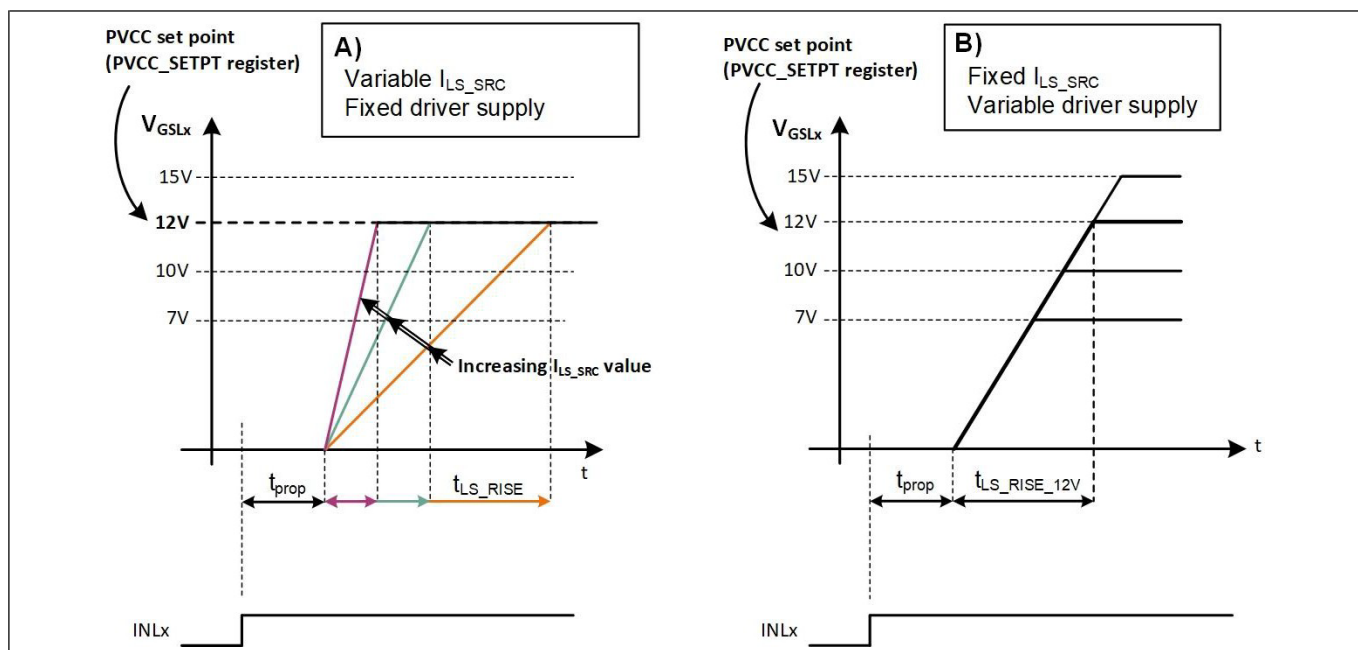


图 31 理想低侧 MOSFET 开关中栅极驱动器压摆率的可配置性，A) 给定一个固定电源电压（PVCC = 12 V），变量 I_{LS_RISE} B) 固定充电电流，PVCC 的变化产生不同的上升时间

3.4 电荷泵配置

用户可以根据具体需要调整 MOTIX™ 6EDL7141 中的电荷泵的操作。以下部分描述了这些配置。

3.4.1 电荷泵时钟频率选择

电荷泵基于以给定开关频率工作的开关电容电路。6EDL7141 可以通过对寄存器 CP_CFG 中的位域 CP_CLK_CFG 进行 SPI 编程来选择四种不同的时钟频率。电荷泵电容器（包括飞电容和储电容）的选择必须根据此配置进行，两者都会影响 VCCLS 和 VCCHS 电源轨的启动时间以及这些引脚中可能的电压纹波。

3.4.2 电荷泵时钟扩频功能

启用此功能后，会人为地向电荷泵时钟信号中引入频率变化（参见电气特性表了解具体值）。电荷泵的工作频率将在这些限值之间变化，

产品特性

这些限制通过将能量分散到更宽的频率范围内来降低目标频率值的发射强度。

3.4.3 用于 VCCLS 的电荷泵预充电

电荷泵预充电是一项功能，如果通过 SPI 寄存器启用，则会在 EN_DRV 引脚激活之前将 VCCLS 轨预充电至降压转换器输出电压 (VDD_B) 以下。此预充电仅在上电 (CE 周期) 序列之后第一次发生。

在这种情况下，当激活 EN_DRV 以启用驱动器级时，电荷泵需要将 C_{VCCLS} 中的电压从现有的预充电电压上升到 PVCC 选定的值，因此与 C_{VCCLS} 需要充电整个 PVCC 电压的默认情况相比，大大减少了电荷泵的启动时间。

要启用 VCCLS 的预充电，必须设置寄存器 SUPPLY_CFG 中的位域 CP_PRECHARGE_EN。

3.4.4 电荷泵调节

电荷泵的启动时间定义为 VCCLS 电压达到目标编程电压 (PVCC 设定点) 所需的时间，取决于以下几个因素：

- 目标电压通过 PVCC_SETPT 寄存器进行编程：电压越高，启动时间越长
- 电荷泵时钟频率：更高的时钟频率导致更快的启动时间
- 电荷泵电容 (C_{VCCLS} 和 C_{VCCHS})：以 VCCLS 为例，较小的 C_{VCCLS} 值会导致：
 - 更高的 VCCLS 纹波
 - 更快的启动时间
- 电荷泵飞跨电容器 (C_{CP1}, C_{CP2})：电容器越小，启动时间就越慢。

这些参数的选择也会影响 VCCLS 和 VCCHS 电压纹波。如果设计目标不是快启动时间，建议增加 C_{VCCLS} 值以降低纹波并改善负载瞬态性能。对于给定的 C_{VCCLS} 值，C_{CP1} 的选择也会影响 VCCLS 的纹波和启动时间。

如果需要优化启动时间，建议使用电荷泵预充电功能。这将在第 3.4.3 章中进行解释。

器件启动 部分详细介绍了电荷泵和其余电源的启动特性。

3.4.5 栅极驱动器和电荷泵保护

栅极驱动器包含以下保护措施：

- VCCLS 欠压锁定
- VCCHS 欠压锁定
- 浮动栅极驱动器下拉
- 死区时间插入——这在第 3.2.7 章中有详细说明。

3.4.5.1 VCCLS 欠压锁定 (VCCLS UVLO)

如果驱动电压未达到电气特性表中规定的 UVLO 阈值，UVLO 可防止栅极驱动器传播 PWM 信号。

产品特性

启动期间，电荷泵电压 VCCLS 将逐渐升高，直到超过 UVLO 上升阈值，从而释放 UVLO 状态，然后允许 PWM 传播。

如果 VCCLS 导轨过载超过电荷泵规定的最大负载，VCCLS 将下降。最终，VCCLS 电压可能会跌破 VCCLS UVLO 下降阈值，导致栅极驱动器立即进入 Hi-Z（高阻抗）模式，停止向 MOSFET 传输 PWM 信号，并向故障处理程序报告故障。因此，nFAULT 引脚将被拉低，以便系统中的微控制器可以决定如何进行。

3.4.5.2 VCCHS欠压锁定 (VCCHS UVLO)

与 VCCLS 类似，VCCHS 电压轨也集成了欠压锁定 (UVLO) 机制。UVLO 的上升和下降阈值可在电气特性表中找到。

启动期间，电荷泵电压 VCCHS 将逐渐升高，直到超过 UVLO 上升阈值，从而释放 UVLO 状态，然后允许 PWM 传播。

如果 VCCHS 轨过载超过电荷泵规定的最大负载，VCCHS 电压将开始下降。VCCHS 电压随后可能跌破 VCCHS UVLO 下降阈值，从而立即将栅极驱动器配置为 Hi-Z（高阻抗模式），并向故障处理程序报告故障。由于 VCCHS UVLO，nFAULT 引脚将被拉低，以便系统中的微控制器可以决定如何进行。

3.4.5.3 浮动栅极强下拉

当控制器或栅极驱动器关闭时，逆变器中的 MOSFET 可能会暴露于非零栅极电压水平。有时这些电压足以激活或部分激活 MOSFET，从而导致系统故障或损坏，例如，逆变器支路中的高侧 MOSFET 和低侧 MOSFET 同时激活。为抑制该现象，通常会在 MOSFET 的栅极和源极之间连接弱下拉电阻（阻值一般在 100kΩ 左右），以确保当栅极驱动器关闭时，栅极被拉低到源极，从而避免任何导通或部分导通。由于它是弱下拉，因此当栅极驱动器处于活动状态并正常驱动 MOSFET 时，它不会产生太大影响。

然而，这六个 R_{G-S} 电阻器需要占用大量的 PCB 面积，并且需要放置在能够优化电源布局且不影响布局的位置。

为了解决这个问题，6EDL7141 栅极驱动器集成了一个浮栅强下拉机制，该机制包括无源下拉和有源下拉：

- 弱下拉：每个栅极驱动器输出的栅极和源极之间始终连接一个弱下拉电阻 ($R_{GS_PD_WEAK}$)。这确保在栅极驱动器关闭（无论是由于 EN_DRV 关闭还是由于器件完全关闭（CE 关闭））期间保持弱下拉。此机制与上面描述的机制 (R_{G-S}) 类似。
- 强下拉：此外，在栅极驱动器关闭期间，如果外部栅极到源极电压由于上述任何原因而增加，则会激活更强的额外下拉 ($R_{GD_PD_STRONG}$)，确保紧密下拉并阻碍任何可能的部分导通。

产品特性

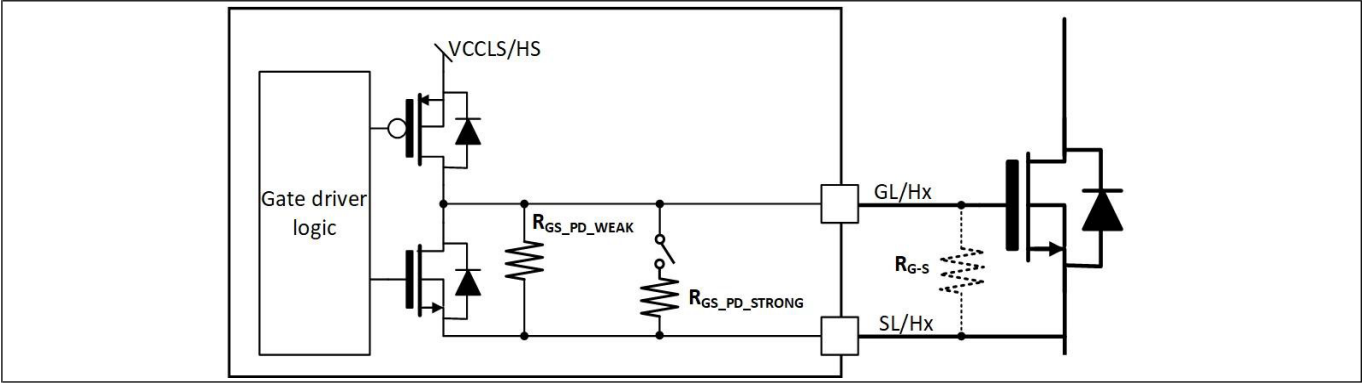


图 32 浮动栅极驱动器下拉电阻。当栅极驱动器关闭且栅极-源极电压升高时，强下拉功能激活。

3.5 供电系统

该设备嵌入了先进的电源系统，包括：

- 包含两个电源开关的同步降压转换器
- DVDD 线性电压调节器可编程输出 5 V 或 3.3 V
- 低侧栅极驱动器的电荷泵（详见第 3.3 章）
- 高侧栅极驱动器的电荷泵（详见第 3.3 章）

MOTIX™ 6EDL7141 的设计目标是实现最低的物料清单 (BOM)。同步降压转换器不需要二极管、分压器或自举电容器等外部组件，同时由于它使用 NMOS 代替二极管，因此可以降低低侧传导损耗。

降压转换器的总体目标是为电源系统的其余部分提供支持。借助外部滤波器 (LC)，它为（高侧和低侧）电荷泵和集成的 DVDD 电压调节器供电。与仅采用线性调节器系统相比，这种架构大大提高了设备的效率，同时保持了非常紧凑的系统解决方案。此外，它还允许在高电源电压额定值 (PVDD) 下工作。

集成 DVDD 线性电压调节器，可为其他外部组件提供 3.3 V 或 5 V 的精确稳定电压。如图 33 所示，展示了完整的功率转换器架构和互连的示意图。

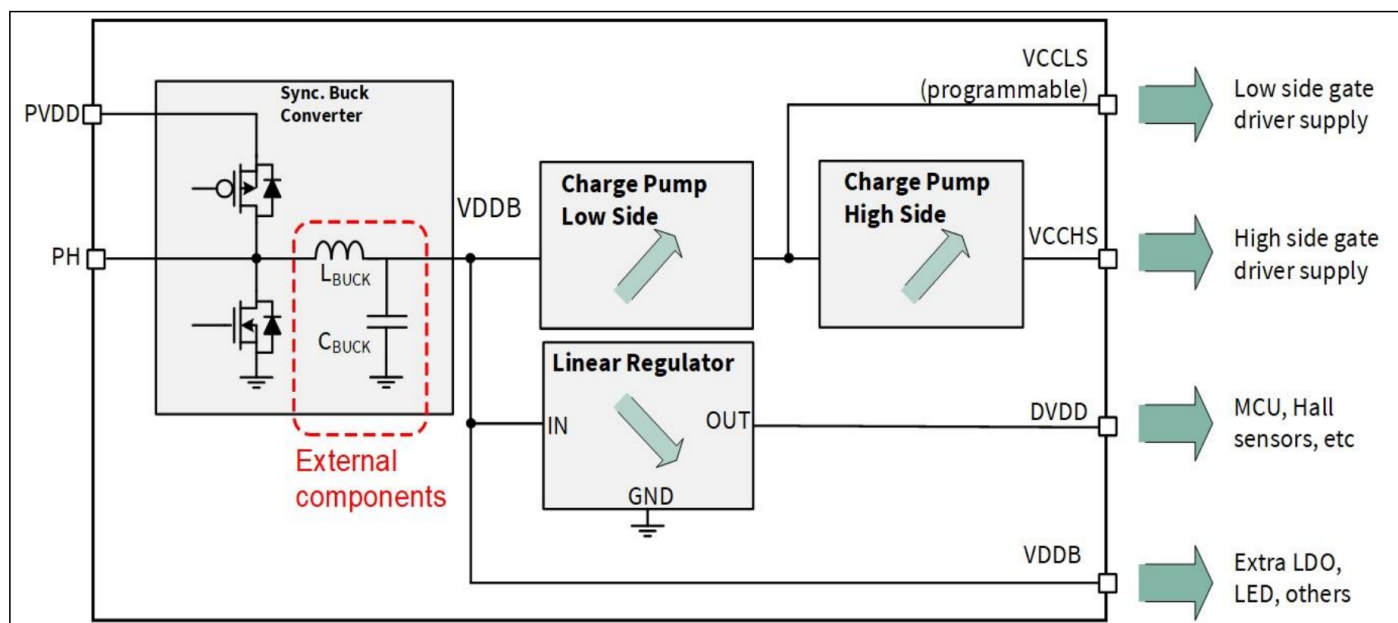


图 33 电源转换器架构框图

只要不超过降压转换器（包括电荷泵和线性稳压器）的电流限制，设计人员就可以使用 VDDDB 引脚为外部组件供电。尽管如此，降压转换器和线性稳压器都实施了过流保护 (OCP)，以防止 VDDDB 引脚过载时对设备造成任何损坏。集成了额外的过温保护 (OTS 和 OTW) 以确保设备随时处于正确的热条件下。

3.5.1 同步降压转换器描述

尽管集成在同一封装中，同步降压转换器的设计却完全独立于其余栅极驱动器电路。这使得供电系统能够抵御栅极驱动器故障。例如，

产品特性

即使栅极驱动器部分发生故障，降压转换器和线性稳压器仍可正常工作（例如，VCCLS UVLO），确保微控制器和其他由降压转换器或 LDO 集成供电的电路正常运行。

所采用的控制方法是自适应恒定“开启”时间 (ACOT)。与纯恒定导通时间控制方法相比，ACOT 允许转换期间导通时间发生变化，以避免频率大幅跳跃。结合前馈技术，降压转换器可以以降低的开关频率运行。

可通过 SPI - BK_FREQ 位域为降压转换器选择两种不同的开关频率（500 kHz 和 1 MHz）。每种配置的推荐电感器和电容值在第 9.1 章中给出。

电感器和电容器的推荐值如表 22 所示。

注：建议仅通过 OTP 修改降压转换器频率

同步降压转换器和线性稳压器电路的详细图如图 34 所示。

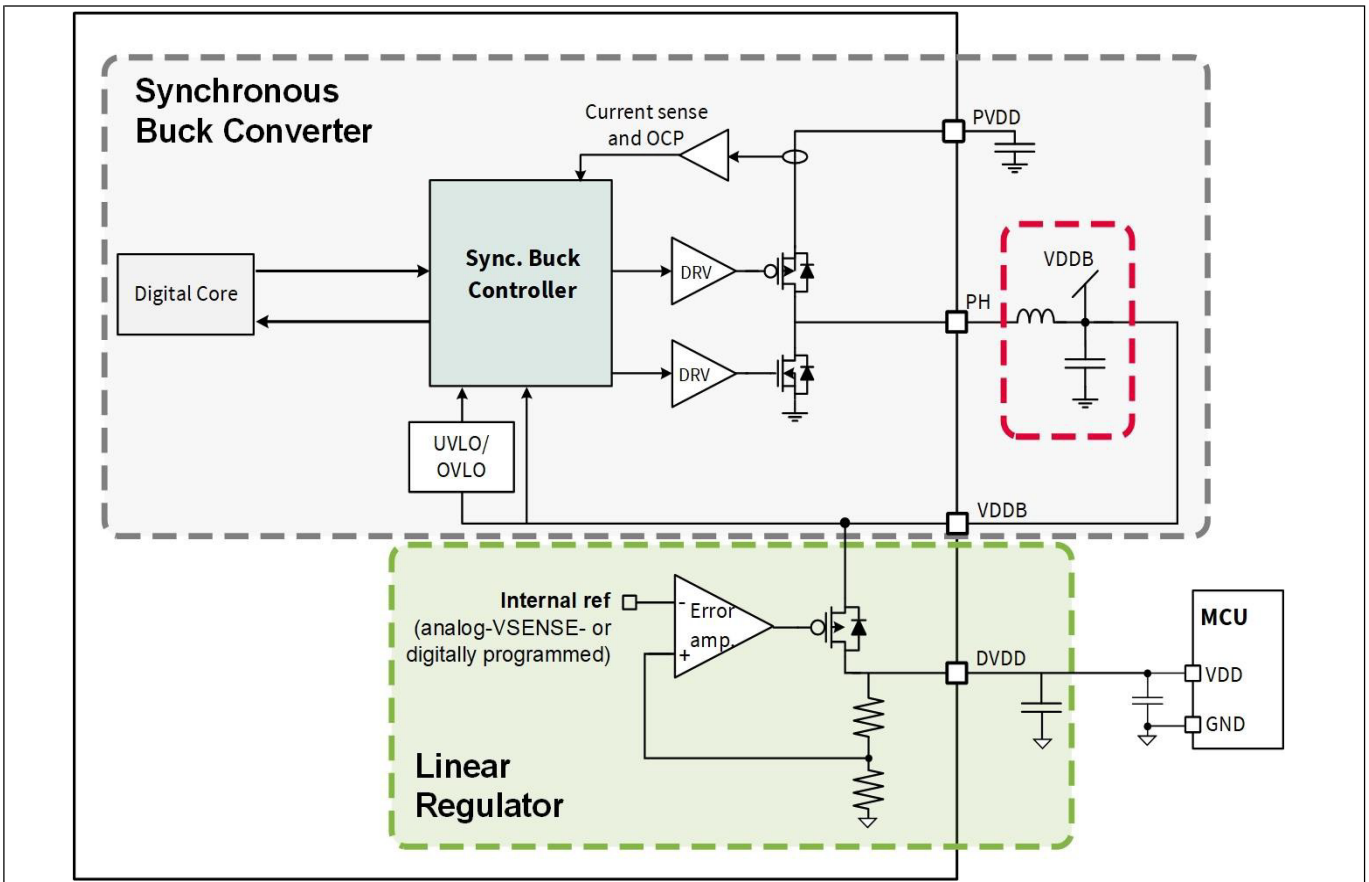


图 34 集成同步降压转换器控制器和线性稳压器的细节

3.5.1.1 降压转换器输出电压依赖于 PVCC_SETPT

降压转换器的一个重要特性是能够根据用户通过 SPI 命令配置的 PVCC（目标栅极驱动电压）自动调整 VDDDB 目标值。这样做是为了优化器件的功率损耗。例如，如果驱动电压 PVCC 为 7V，则降压转换器的目标电压会自动设置为 6.5V。在这种情况下，电荷泵在“倍压”配置下仍有足够的空间达到 PVCC = 7V。VDDDB 和 PVCC 之间的关系如表 14 所示。

产品特性

表 14 降压转换器输出目标电压与 PVCC_SETPT 设置的关系

PVCC_SETPT bitfield	PVCC target voltage (V)	VDDDB (V)
b'11	7	6.5
b'10	10	7
b'00	12	8
b'01	15	8

同步降压转换器输出目标电压中需要考虑的另一个重要因素是 PVDD 或电源电压。如果 6EDL7141 采用相对较低的供电电压，则适用 VDDBNOM_LV 额定值（参见电气特性表）。在这种情况下，降压转换器在开环中工作，占空比饱和极限由 DCBUCK_MAX 给出（参见电气特性表）。如果在这种情况下降压转换器负载增加或 PVDD 电压进一步降低，VDDDB 电压就会下降。在低侧，VDDDB UVLO 下降阈值可防止电压跌落至下限。

因此，根据 PVDD 电压，VDDDB 有可能无法达到目标电压，从而限制实际的 PVCC 电压，即使在倍压器配置中也可能不够用。倍增器配置中可能的近似 PVCC 电压 (= VCCLS) 由以下公式给出：

$$PVCC_{max} \approx \min(PVCC \text{ Target Voltage}, 2 * VDDDB - 1V) \quad (1)$$

例如，如果 PVDD = 7.5 V，VDDDB ≈ 6.5 V（受低 PVDD 电压限制），如果 PVCC_SETPT 目标为 15 V，则电荷泵上的倍增器能够达到最大值约 $2 * VDDDB - 1V \approx 12V$ 。如果 PVDD 上升至 12 V，则 VCCLS 能够调节至 15 V，因为该值低于/等于该值 = $2 * VDDDB (8V) - 1V = 15V$ 。

参见第 2.6 章了解有关 VCCLS、VCCHS 和 PVDD 之间关系的更多详细信息。

3.5.1.2 同步降压转换器保护

实施以下保护措施以确保降压转换器正确运行：

- **输出欠压锁定 (UVLO)**。参见 电气特性 表以获得特定值。
- **输出过压锁定 (OVLO)**。参见 电气特性 表以获得特定值。如果达到指定值，降压转换器将关闭，高侧和低侧 MOSFET 将中断任何进一步向输出端传输的能量。
- **过流保护 (OCP)**，逐周期执行。假设电流逐渐增大直至达到 OCP 阈值（参见电气特性表了解详情），降压转换器控制器将截断高侧 FET 的 PWM 信号，直到下一个 PWM 周期开始。插入死区时间后，低侧 FET 将相应地被驱动。

一旦发生过流保护 (OCP) 事件，计数器便会开始对达到峰值电流的每个连续周期进行计数。16 个周期后，降压型 OCP 故障会被触发，nFAULT 引脚（参见表 17）将被置低，以通知 MCU 可以继续执行校正操作。降压型转换器继续在电流限制下运行，以确保 MCU 获得供电。如果 OCP 在连续三个 PWM 周期内未触发，则计数器将重置，并且不会触发降压型 OCP 故障。如果降压型 OCP 故障被激活，则寄存器 FAULT_ST 中的 BK_OCP_FLT 位域将被置位。

3.5.2 DVDD 线性稳压器

产生 DVDD 的集成线性稳压器可以通过外部电阻 R_{SENSE} 设置为提供 3.3 V 或 5 V，如表 7 所示，或者通过位域 DVDD_SETPT 进行设置。可以通过 SPI 在寄存器 FUNCT_ST 中的位域 DVDD_ST 中读取所选的 DVDD 值。

产品特性

DVDD线性稳压器也可用于为集成的电流检测放大器提供偏移，从而实现负电流测量。参见第 3.6.4 章了解更多详情。

如图 53 所示，线性稳压器在器件升压过程中采用软启动。在降压转换器达到欠压锁定电平 ($V_{VDD_UVLO_R}$) 且 CS_GAIN/AZ 和 VSENSE/nBRAKE 的模拟编程完成后，经过延迟时间 $t_{DVDD_TON_DLY}$ ，DVDD 开始上升。DVDD 的上升时间可以通过 SPI 接口，利用位域 DVDD_SFTSTRT 进行配置。

DVDD 线性稳压器及其与降压转换器相互作用的示意图如图 34 所示。

DVDD 电压可用于为微控制器 (MCU) 或电路中的附加元件（如霍尔传感器、LED 等）供电。提供了一种 OCP 机制。

3.5.2.1 DVDD线性稳压器OCP

通过写入寄存器 DVDD_OCP_CFG，可以将 DVDD OCP 配置为 4 个不同的级别。如果达到 DVDD 的 OCP 值，则会在引脚 nFAULT 上报告故障。DVDD OCP 工作在两个不同的阶段：

1. **所选过流保护 (OCP) 电平达到 66% 时进入预警模式：**nFAULT 引脚被下拉，向控制器发出已发生过流保护 (OCP) 警告的信号。如果电流在达到 100% 之前降低，则系统将继续正常操作，并释放 nFAULT 引脚。预警模式为微控制器提供了额外的时间来决定如何应对可能发生的过流保护 (OCP) 事件。
2. **所选 OCP 电平为 100% 时的限流模式：**如果电流超过配置的 OCP 电平，DVDD 稳压器将开始限制电流。这会导致 DVDD 电压下降，最终在超过 DVDD UVLO 阈值时导致 DVDD UVLO 故障。由于此限制，DVDD 电源轨上可能发生的短路不会影响系统的其余部分，从而确保其他组件的安全。

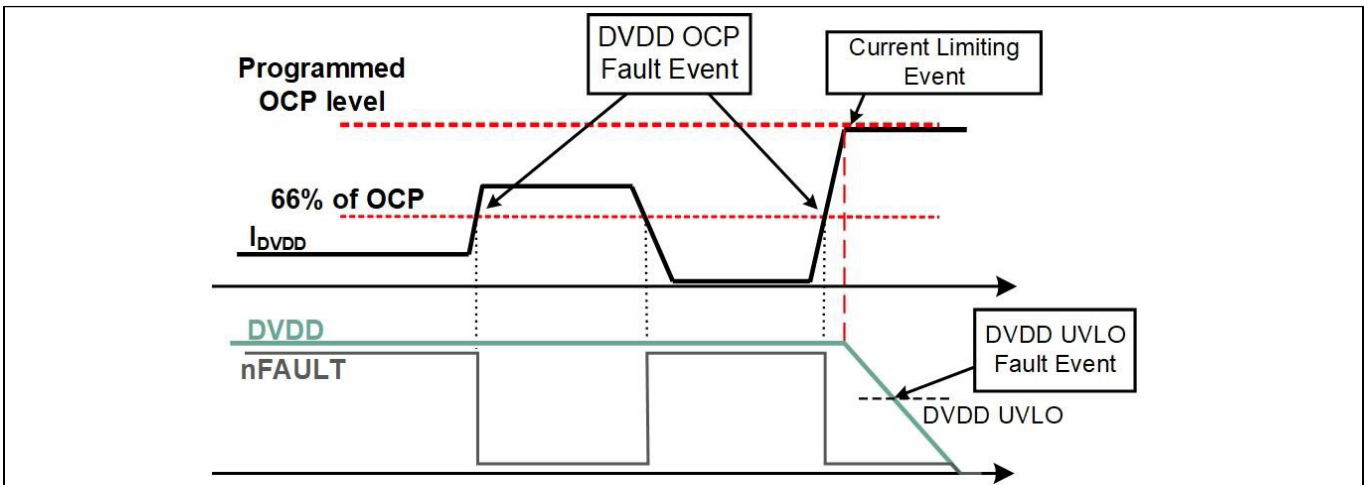


图 35 DVDD OCP 行为，包括预警和限流模式

注： 在设备加速期间，DVDD 中的 OCP 受到抑制，以避免 DVDD 去耦电容器（最终为大电容器）的初始充电触发 OCP 故障。

过热故障 (OTS 和 OTW) 提供了额外的保护级别。如果设备温度过高，例如 DVDD 线性稳压器或降压转换器输出过大的负载电流，这些电路就会跳闸。

3.6 电流检测放大器

该器件集成三个电流检测放大器，可用于通过分流电阻测量电源逆变器中的电流。支持单、双和三分流电阻测量，如图 36 所示。

CS_EN 位域单独启用每个电流检测放大器。增益和偏移在内部产生并且可编程。

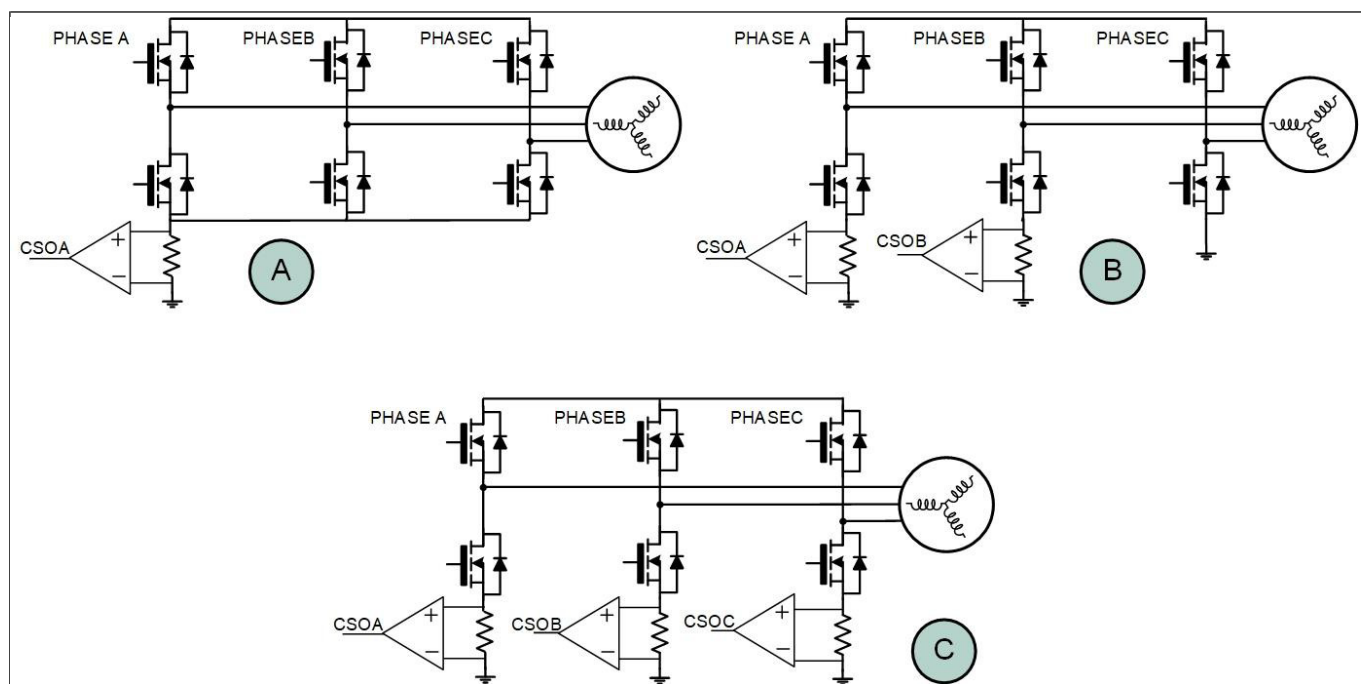


图 36 支持单 (A)，双 (B) 和三 (C) 分流电流感应配置

电流检测放大器模块包含以下子模块，本节将对其进行详细说明：

- **电流检测放大器**：连接到外部分流电阻或内部连接到 SHx 和 SLx 引脚，用于 $R_{DS(on)}$ 检测配置。该模块将分流电压或低侧 V_{DS} 电压放大到更适合微控制器 ADC 的电压电平。当噪声干扰测量时，它还可以消隐与 PWM 转换同步的信号。
- **输出缓冲器**：允许在检测放大器输出端添加可变偏移电压。偏移量可通过编程内部生成的电平或在 VREF 输入引脚施加外部电压来设置为 4 个不同的值。利用此功能，可以测量电流分流器中的负电流。此外，还允许根据系统条件优化控制器 ADC 的动态范围。
- **正过流比较器**：用于检测电机绕组正向分流电压的过流情况。该比较器可用于在块状或梯形换向方案中应用 PWM 截断，将电机电流限制在配置的 OCP 阈值内。
- **负过流比较器**：用于检测电机绕组负分流电流的过流情况。
- **OCP 数模转换器 (DAC)**：用于设置过流比较器的阈值。一个用于正电平，另一个用于负电平。DAC 电平的设置由三个不同的 OCP 比较器共享。

电流检测放大器会自动“自动归零”。这发生在操作期间并确保设备使用寿命期间的最佳测量精度。此外，6EDL7141 还包含一个电流检测放大器用户校准模式，该模式可用于在已知分流电流为零时（例如，因为还没有 PWM 传播到 MOSFET）计算残余偏移。

产品特性

微控制器固件可以从未来的测量中删除这个初始残余值，以提高准确性。

图 37 显示这些块及其互连。

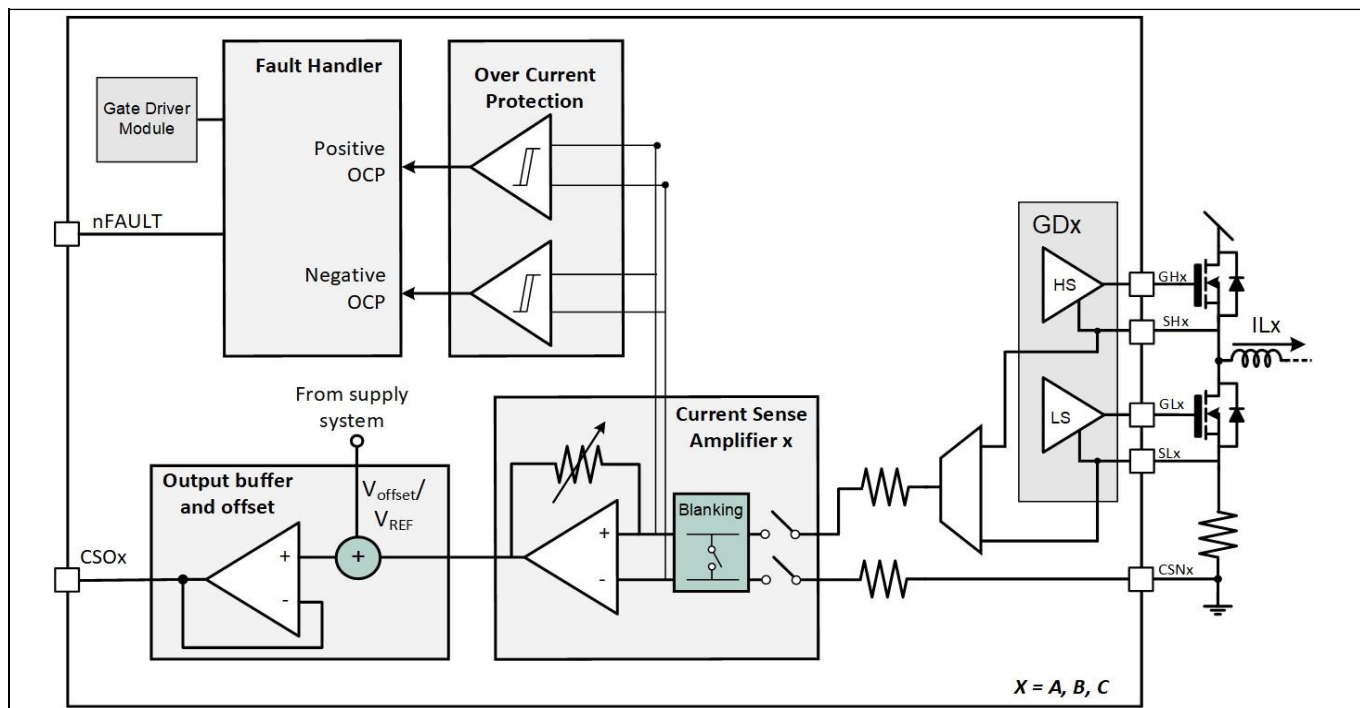


图 37 电流检测放大器框图

注: 建议停用未使用的电流检测放大器。

3.6.1 R_{DS(on)} 检测模式和桥臂分流器模式

MOTIX™ 6EDL7141 中的电流检测放大器可以配置为桥臂分流器或 $R_{\text{DS(on)}}$ 检测，其中 MOSFET 的“导通”电阻在“无损”测量方法中用作分流器。

在 $R_{DS(on)}$ 模式下，6EDL7141 将低侧 MOSFET 的漏极连接到电流检测放大器的正输入端。负输入端连接到源极，如图 38 所示。这与图 39 中所示的外部分流配置形成对比。其中电流检测放大器的正输入端连接到低侧 MOSFET 的源极。内部串联电阻有助于在放大之前滤除可能的噪声。根据电路和电路板设计，在 SLx 和 CSNx 引脚之间串联一个小的滤波电容可以帮助净化电流信号。

注: $R_{DS(on)}$ 模式仅在 3 分流模式 (图 36 中的模式 C) 下可用

注: 在 $R_{DS(on)}$ 模式下, CSAMP 被强制设置为 CS_TMODE = 0, 这意味着电流检测放大器仅在低侧导通 (GLON 模式) 时才有效。如果此位域写入的值不是 b'0, 则内部逻辑将忽略此配置。

注: 如果需要, $R_{DS(on)}$ 测量的温度补偿必须在 MCU 上进行。

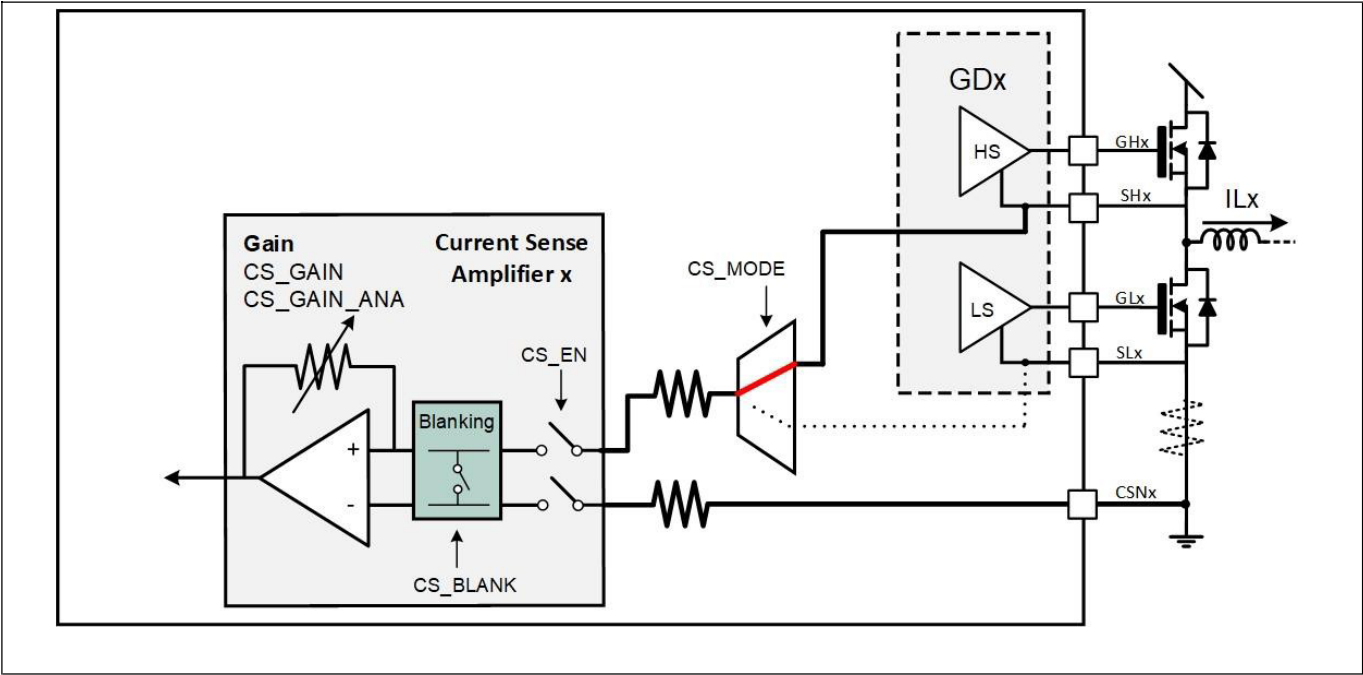


图 38 采用集成电流检测放大器的低侧 $R_{DS(on)}$ 电流检测配置系统图

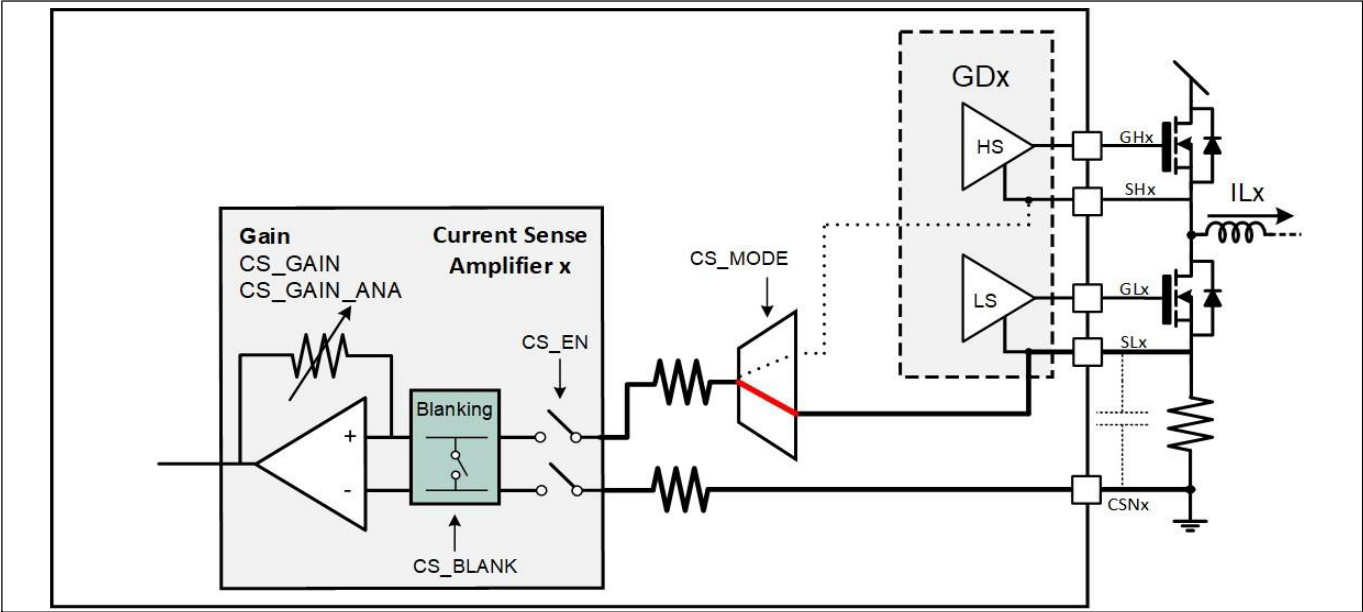


图 39 采用集成电流检测放大器的外部分流电流检测配置系统图

3.6.2 电流分流放大器时序模式

在驱动应用中，电流通常通过支路分流器进行采样。在这种情况下，仅当低侧MOSFET导通时，分流器中需要放大的电压才会出现。在其他情况下，连续传播信号可能会有用。6EDL7141 支持电流感应放大器的四种不同操作模式，具体取决于输出引脚 CS0x 何时连接到放大器级。这四种模式是：

产品特性

- **始终关闭：** 电流检测放大器输出禁用。这是通过寄存器 CSAMP_CFG 中的位域 CS_EN 禁用放大器来实现的。
- **GL ON：** 在此模式下，仅当同一条桥臂或同相 GLx 信号有效时，CSOx 引脚才连接到放大器。在单分流模式下，CSOx 根据所有两个或三个 GLx 信号的“或”运算连接。
如果启用了两个或三个放大器，则用于启用 CSOx 的信号专用于该 GLx 信号。
如果选择 $R_{DS(on)}$ 检测，则强制使用此模式，以避免内部电路可能出现的过压损坏。
要启用此模式，必须通过 CSAMP_CFG 寄存器中的 CS_EN 位域启用放大器，并通过向 SENSOR_CFG 中的 CS_TMODE 位域写入数据来选择时序模式。
- **GH OFF：** 与 GL ON 类似，此模式在 GL ON 期间连接 CSOx 输出，但将该连接延伸至上升沿和下降沿的死区时间。这与 GH OFF 模式相同。在某些情况下，例如二极管再循环电流期间，二极管可能会承载有用的电流，尤其是在 PWM 脉冲非常窄的情况下。与 GL ON 相同，单分流器将对 GLx 激活信号进行逻辑或运算，三分流模式下各放大器仅根据各自的 GLx 信号激活。要启用此模式，必须通过 CSAMP_CFG 寄存器 CS_EN 位域启用放大器，并通过写入 SENSOR_CFG 寄存器中的 CS_TMODE 位域选择时序模式。
- **始终开启：** 此模式会将激活的放大器 CSOx 信号持续连接到放大器，不受 PWM 信号影响。要启用此模式，必须通过 CSAMP_CFG 寄存器中的 CS_EN 位域启用放大器，并通过写入 SENSOR_CFG 寄存器中的 CS_TMODE 位域来选择模式。

图 40（案例 1 和 2）显示了电流检测放大器在 GL ON 和 GH OFF 两种模式下的工作情况的比较。

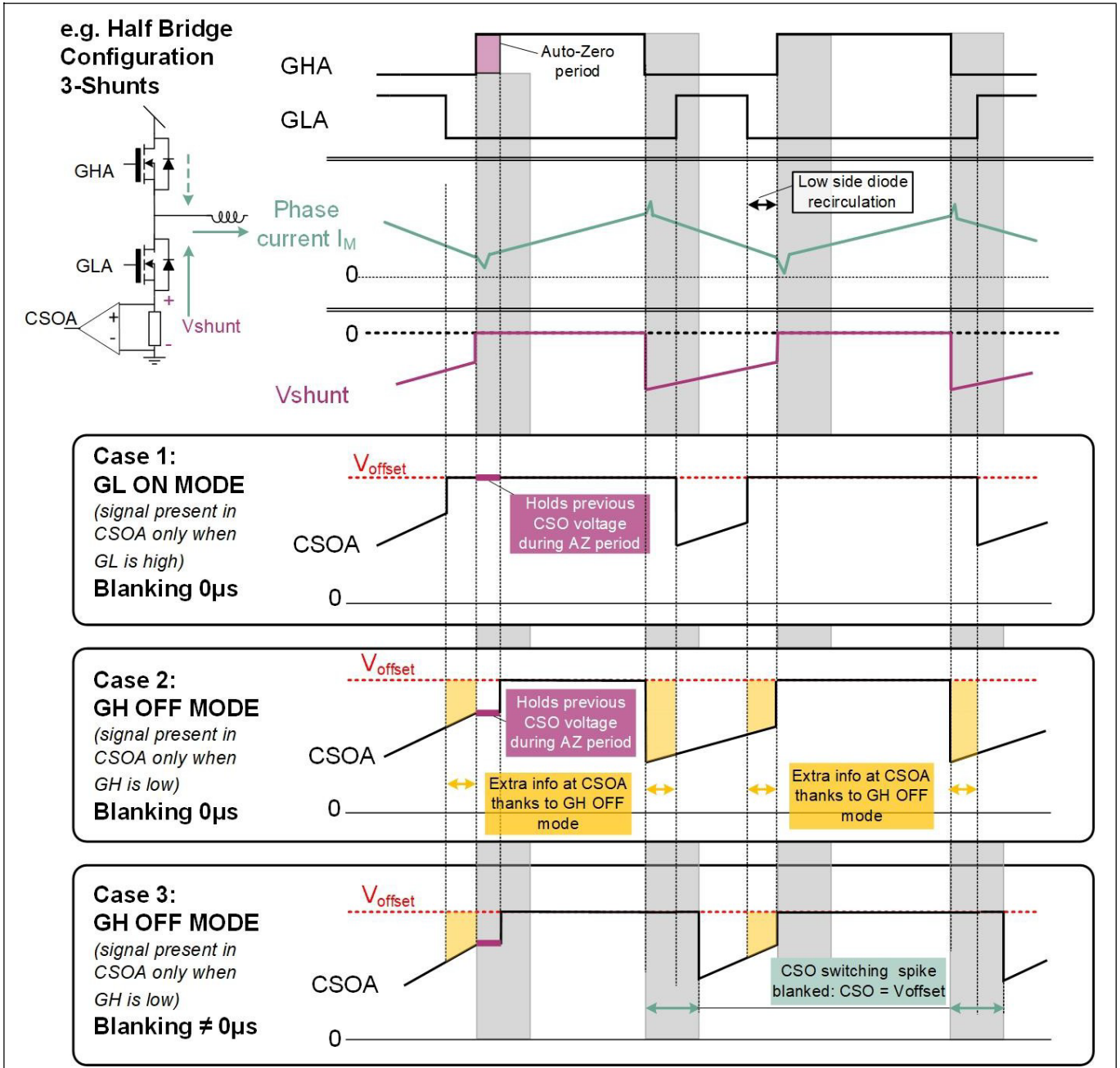


图 40 电流检测放大器理想时序模式示例。半桥电路中 GL ON 和 GL OFF 模式的工作状态，采用桥臂分流电流检测配置，包含 3 个有源放大器。当二极管循环电流时，GH OFF 可能会传播电流信息。GHx 上升沿注入自动归零信号。

3.6.3 电流分流放大器消隐时间

电流检测放大器中可以配置可编程消隐期。增加消隐时间的目的是避免在 MOSFET 开关转换期间将失真信号传播到微控制器 ADC。由于相节点电压 SHx 和 SLx 引脚 (CSNy) 都会因开关活动而产生振铃，因此消隐模块会在可配置的时间内断开输入 (CS_BLANK)。该动作与驱动外部 MOSFET 的 GHx 信号（上升沿和下降沿）同步发生。

产品特性

在消隐期间，引脚 CS0x 将显示 V_{offset} 电压，直到设定的消隐时间结束，输入端再次连接到电流检测放大器。图 41 显示了两个示例。示例 A) 表示一个梯形换相方案，带有 1 个类似于图 62 中的分流器。在这种情况下，一相（B相）的高侧处于开关状态，而另一相（A相）的低侧始终导通，从而允许电流流过电机绕组。由于 A 相低侧 MOSFET 在旋转 120 度期间导通，电流检测放大器会持续放大分流电压，但消隐期和循环期除外。这些消隐期对应于高侧的上升沿和下降沿（与所有施加的相进行或运算）。在这种情况下，分流器两端的电压为正。

B) 中的示例对应于一个通用的半桥配置（例如同步降压转换器）。在这种情况下，当高侧导通时，电感器中的电流增加；在互补周期内，当高侧关闭且低侧在死区时间后导通时，电流流过低侧并开始减小。在低侧导通期间，电流检测放大器产生与分流器两端电压成比例的输出，在这种情况下，该电压为负。

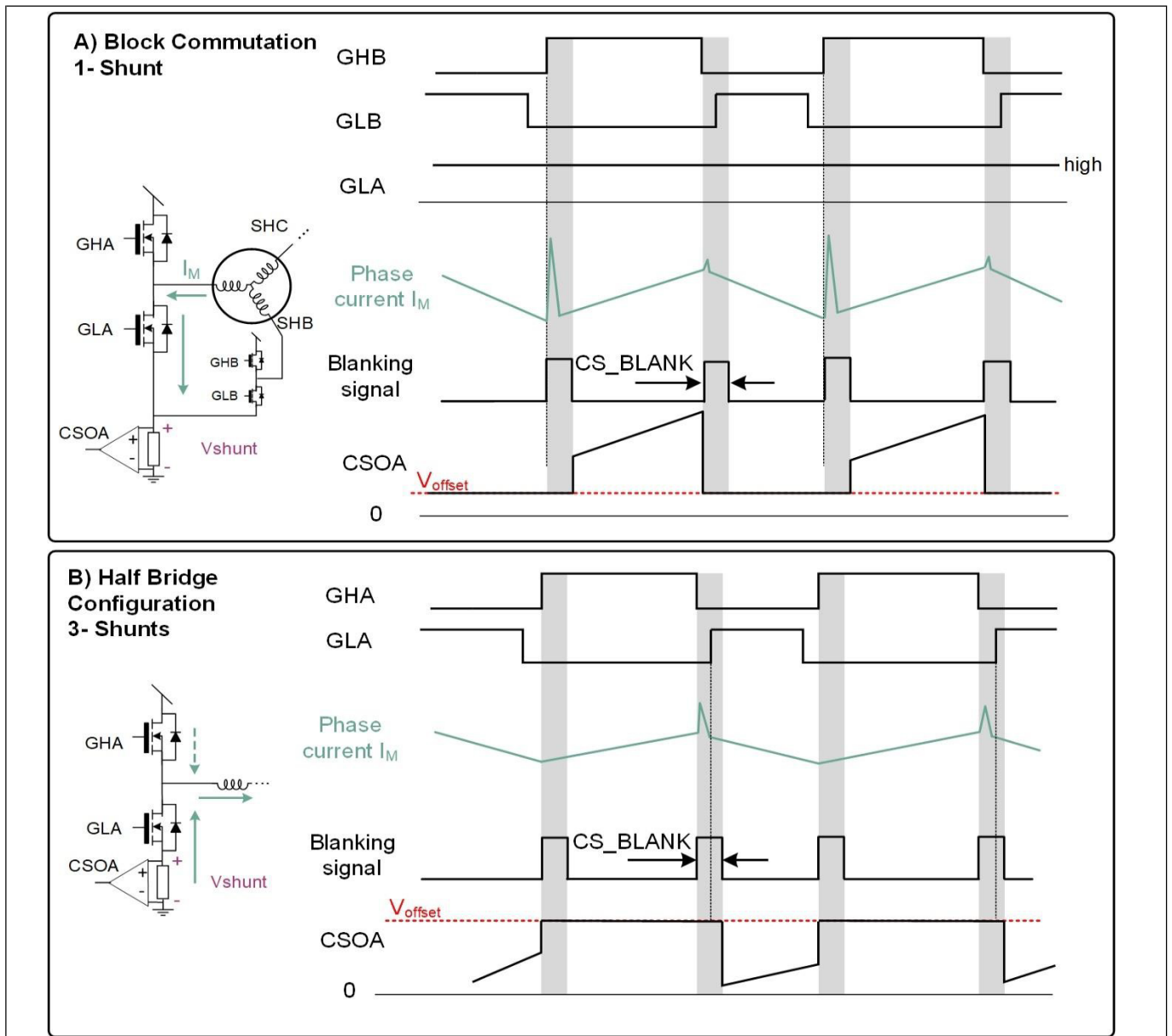


图 41 为利用消隐时间特性抑制 MOSFET 开关过程中电流尖峰的电流感测时序图。A) 带 1 个分流器配置的梯形换向。B) 通用半桥配置。

产品特性

3.6.4 电流检测放大器偏移生成：内部或外部（VREF引脚）

MOTIX™ 6EDL7141 集成了一个内部线性稳压器 (DVDD)，可用于所有集成电流检测放大器中的偏移生成。产生的 DVDD 电压可以缩小到不同的可编程值，以调整所需的偏移电压水平。位域 CS_REF_CFG 控制该比例因子。

一些微控制器会利用电源电压在内部生成集成 ADC 的基准电压。这样，微控制器就能以比例式精确测量电流检测放大器的输出，从而提高抗噪能力。图 42 显示了代表此实现的框图。

电流检测放大器的偏置电压也可以通过 VREF 引脚上的外部电压提供。位域 VREF_INSEL 选择缩放 DVDD（内部生成）或 VREF 输入引脚作为施加到所有 3 个电流检测放大器的偏置电压源。

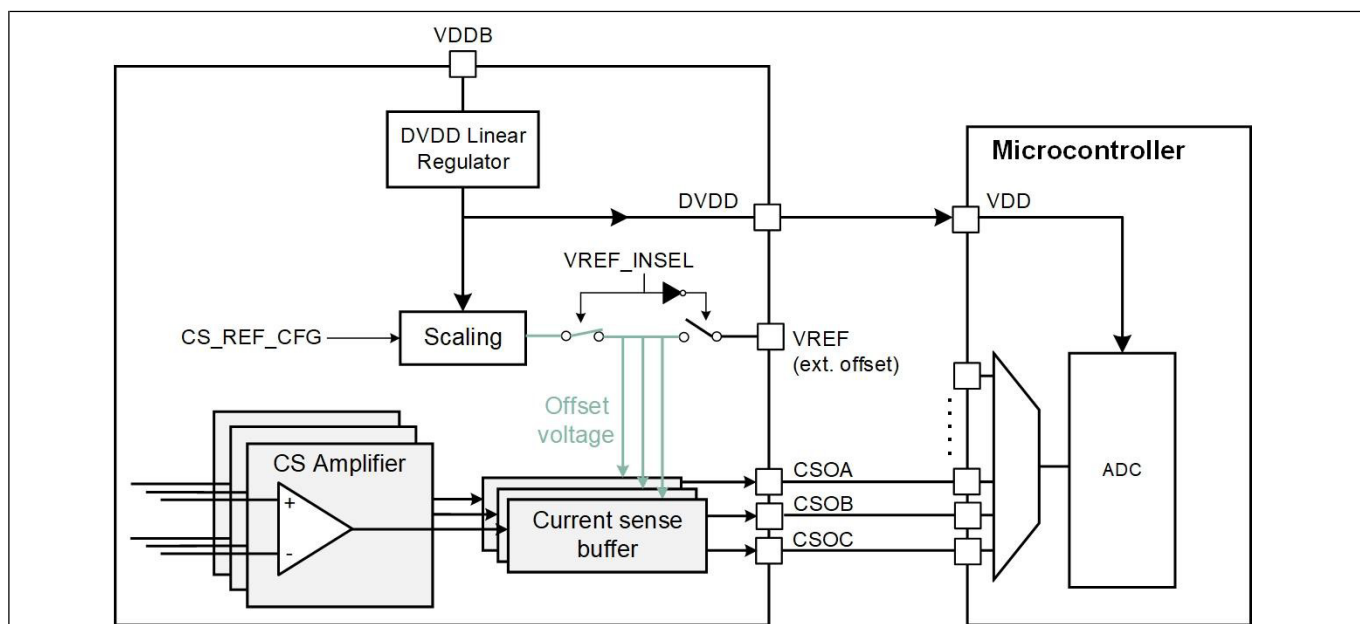


图 42 电流检测放大器偏移产生框图

3.6.5 用于电流检测放大器的过流比较器和 DAC

集成两个过流比较器，用于监控正向和负向电流，并具有广泛的可编程性。图 43 显示了此实现的示意图。两个比较器均监测流过分流器的电流。触发电平与分流器放大器的增益设置无关，定义为分流器两端的电压。比较器具有迟滞功能 (指定为 V_{OC_HYST})，可确保稳定的工作。

比较器的正负触发电平由两个独立的数模转换器 (DAC) 设置。这些 DAC 通过位域 CS_OCP_PTHR 进行编程，用于正向过流保护；通过位域 CS_OCP_NTHR 进行编程，用于负向过流保护。有关可能的阈值电平，请参阅第 8 章中的寄存器描述。

在到达故障处理程序之前，可以通过对寄存器 CS_OCP_DEGLTICH 进行编程来实现比较器输出的去毛刺，在故障处理程序中处理故障（参见第 6 章），并最终拉低 nFAULT 引脚，向微控制器或其他电路报告故障。

或者，比较器输出传输至 PWM 模块。可以通过位域 CS_TRUNK_DIS 启用 PWM 截断。如果 PWM 截断功能被激活，PWM 模块会立即中断 PWM 信号。

产品特性

无需等待微控制器在达到过流保护 (OCP) 级别时做出决策，即可确保对 OCP 事件做出最快的响应。截断的详细信息请参见第 3.6.5.4 章。

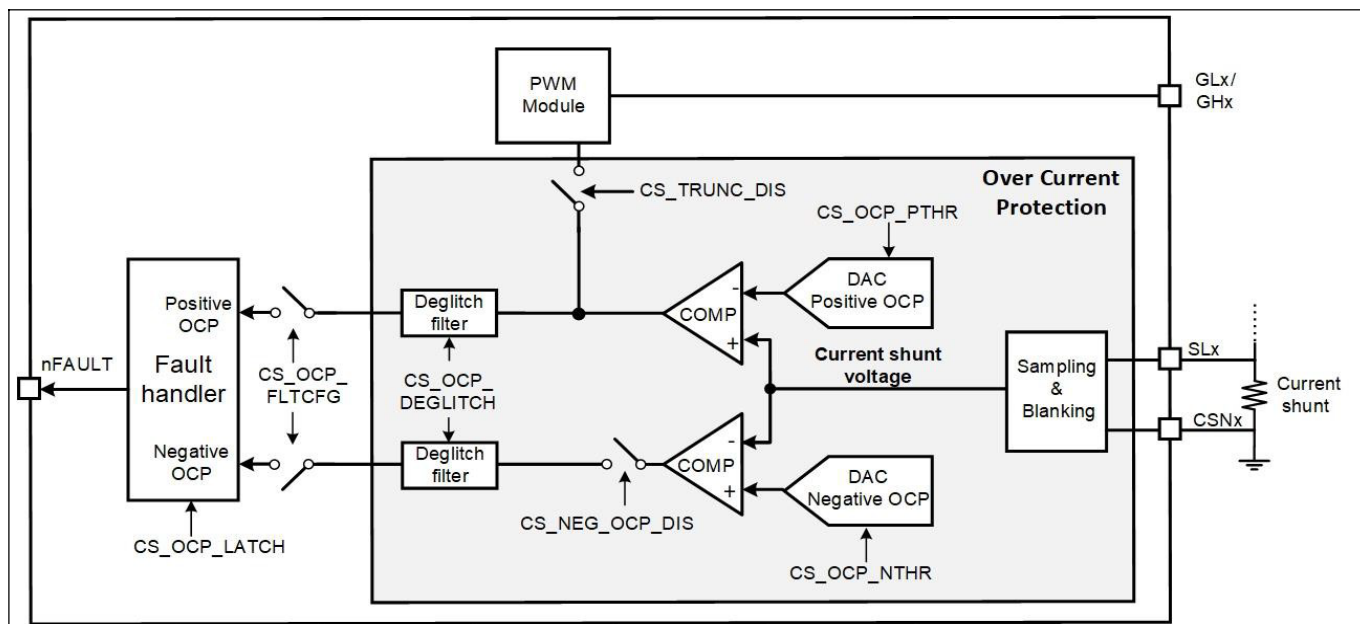


图 43 电流检测放大器保护原理框图

3.6.5.1 OCP 用例

对 OCP 事件的反应可通过 SPI 进行编程。以下场景可能对不同的应用程序有用：

- 在 OCP 事件后立即应用 **PWM 截断**，并在 OCP 事件后在 **nFAULT** 引脚上报告 - 如果启用了截断，则停用去毛刺功能。这在梯形控制方案中很有用。
- 停用报告并保留 PWM 截断**。这在不需要向微控制器报告功能的事件中非常有用。这在梯形控制方案中很有用。
- 在发生 OCP 事件时**触发可配置的制动操作**。如果不需要 PWM 截断，可以将制动事件配置为例如通过短路所有低侧 MOSFET 来制动电机。通过使用去毛刺功能，可以滤除模拟信号中可能存在的噪声，避免 OCP 误跳闸。鉴于其灵活性，此配置对于 FOC（磁场定向控制）方案非常有用。第 3.2.6 章 和 第 6 章 将更详细地解释制动操作。
- 停用 OCP 保护**，nFAULT 报告和 PWM 截断。在这种情况下，OCP 将被忽略。这对于过渡状态或停止程序可能也很有用。

这些配置也可以在设备活动状态下进行调整。还可以通过位域 CS_OCP_LATCH 选择 OCP 故障是在单个事件还是多个事件上跳闸以及是否锁存。

3.6.5.2 OCP故障报告

OCP 故障可以通过 nFAULT 引脚报告给 MCU。这将导致 nFAULT 下拉，从而通知 MCU 发生了故障。

寄存器 CSAMP_CFG 中的 CS_OCPFLT_CFG 允许用户设置触发 OCP 故障的连续事件的目标数量（电流高于 OCP 阈值的 PWM 周期）。这意味着用户可以将设备配置为等待几个 PWM 周期再声明故障，因此更加保守。有三种可能：无故障、立即触发（即在所有事件上触发）或按计数次数（8 或 16）触发。计数模式的逻辑如下：

产品特性

1. 每次发生 OCP 事件时，计数器就会递增。所有三个阶段都有专用计数器。
2. 如果任何计数器（ORing）达到 CS_OCPFLT_CFG 中配置的目标值，则故障被触发并且 nFAULT 引脚被拉低。
3. 如果在达到目标值之前，连续三个 PWM 周期都没有发生 OCP 事件，则计数器将重置为 0 值，并在下次发生 OCP 事件时重新开始。

3.6.5.3 OCP故障锁存

OCP故障可以配置为锁存或非锁存。这定义了如何通过寄存器写入来清除故障。如果配置为锁存：

- 并且在计数模式（8 或 16）下：直到整个 PWM 周期没有故障，才能清除故障。
- 并且在立即或所有事件模式下：只有在故障条件解除后才能清除故障。

如果没有锁存，故障可以随时清除。如果清除后条件仍然存在，则清除事件后将再次设置故障。

无论锁存器配置如何，状态寄存器都会显示故障发生。

3.6.5.4 PWM截断

PWM 截断是一种通过在 OCP 检测后立即关闭 PWM 信号来从本质上限制流入电机的电流的方法。这样，当达到配置的峰值电流水平时，GHx 信号（所有三个）都会自动下拉。低侧保持不受影响，直到 PWM 复位，电机电流再次增加。这发生在 PWM 逐周期基准中。图 44 详细展示了 PWM 截断的示例。

注： 除具有交替再循环的 1PWM 模式外，截断总是发生在高侧，其中截断在高侧再循环期间发生在低侧，在低侧再循环期间发生在高侧。

如果 PWM 截断功能处于激活状态，则 PWM 截断将在所有阶段的 OCP 事件发生时发生。例如，如果在电流检测放大器 A 中触发保护，则 A、B 和 C 相中的 PWM 信号将被截断。这使得单分流系统能够利用任何电流检测放大器。

消隐应用于高侧上升沿和下降沿的截断逻辑，如图 41 所示，见寄存器 CS_BLANK 消隐时间。所有相位的消隐都经过“或”运算，以防止在用户选择的消隐时间内发生 PWM 截断的错误触发。

如果启用截断功能，则去毛刺滤波器会自动禁用。这意味着，如果启用了截断功能，nFAULT 引脚只会发出 PWM 截断发生的信号。

注意： 根据所采用的 PWM 调制方式，PWM 截断可能无法提供预期的结果。在诸如 SVM FOC（空间矢量调制场定向控制）等调制方案中，如果可能在同一时间有多个相位为电机供电，建议禁用截断并改用 OCP 故障。

产品特性

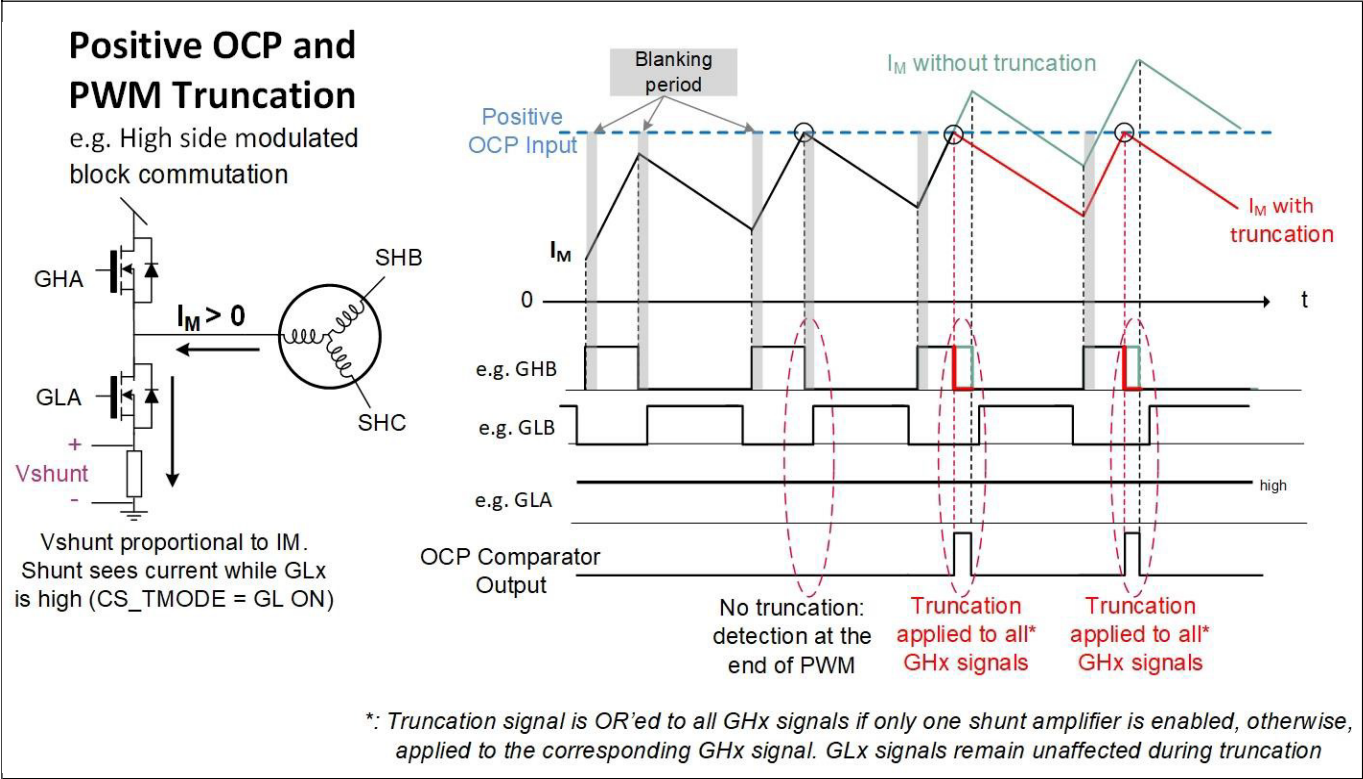


图 44 正向 OCP PWM 截断细节。I_M 指电机电流

3.6.6 电流检测放大器增益选择

分流器放大器的增益可以通过位域 CS_GAIN 进行数字编程，其值可选：4、8、12、16、20、24、32 和 64。或者，也可以通过将外部电阻 (R_{CS_GAIN}) 连接到引脚 CS_GAIN 和地来选择增益。为了启用通过外部电阻对电流检测放大器进行模拟编程，用户必须确保已正确设置位域 CS_GAIN_ANA。R_{GAIN} 的值在设备启动期间计算（参见第 3.10.2 章）。表 15 提供模拟和数字模式下增益选择的电阻值和寄存器设置。

表 15 电流检测放大器增益的编程增益与电阻尺寸的关系

Gain Value	Digital programming	Analog programming
	CS_GAIN (hex)	R _{CS_GAIN} (kΩ)
4	0x0	0
8	0x1	1.5
12	0x2	3.0
16	0x3	4.7
20	0x4	6.2
24	0x5	7.5
32	0x6	9.1
64	0x7	11

注：对于模拟编程，建议电阻的公差为 1% 或更低。

可以通过位域 CS_GAIN_ST 在 FUNCT_ST 寄存器中读取电流检测放大器增益的实际值。

产品特性

3.6.7 电流检测放大器直流校准

MOTIX™ 6EDL7141 具有电流检测放大器的校准方法。例如，这有助于在启动电机运行之前消除运算放大器输出中的任何不必要的偏移。

通过寄存器 CS_EN_DCCAL 编程激活直流校准模式（仅在 ACTIVE 状态下，即 EN_DRV 为高时），将短路放大器的输入。一旦启用 DC 校准，CSOx 引脚上的输出就可以通过 MCU 中的精确 ADC 通道进行测量，以记录放大器中任何可能的偏移。可以从 MCU 的未来测量中减去 CSOx 引脚上任何超出 VREF 电压的电压，例如通过软件方式。建议在 PWM 启动之前执行直流校准，此时已知分流器中的电流为零。

一旦捕获到偏移值，MCU 应再次将 CS_EN_DCCAL 位域设置为“0”以结束校准过程并将运算放大器重新连接到输入引脚。此后 PWM 信号可以启动。

注： 在校准模式下，如果启用自动调零功能，则每 100μs 执行一次，而不是每 200μs 执行一次。

3.6.8 电流检测放大器自动归零补偿

电流检测放大器若未进行校正，在运行过程中容易累积偏移。这可能是由于温度或老化效应造成的。电流检测放大器的自动归零功能可自动补偿放大器中任何可能的漂移。放大器内部会短路输入端，以在 $t_{\text{AUTO_ZERO}}$ 时间段内校正任何可能的过量偏移。在自动归零期间，CSOx 引脚会保持自动归零启动前的电压。

也可以通过寄存器 CSAMP_CFG 中的寄存器位域 AZ_DIS 禁用自动归零功能。

3.6.8.1 内部自动归零

如果配置为内部触发或同步（通过写入寄存器位域 CS_AZ_CFG），则自动调零周期在距离上次自动调零周期至少 100μsec 后，由 GHx 信号上升沿开始（x 取决于激活的电流检测放大器 A、B 或 C）。选择同步启动自动调零周期是为了尽可能减少对分流电流检测的干扰。信号行为示例的详细信息请参见图 40 或图 45。

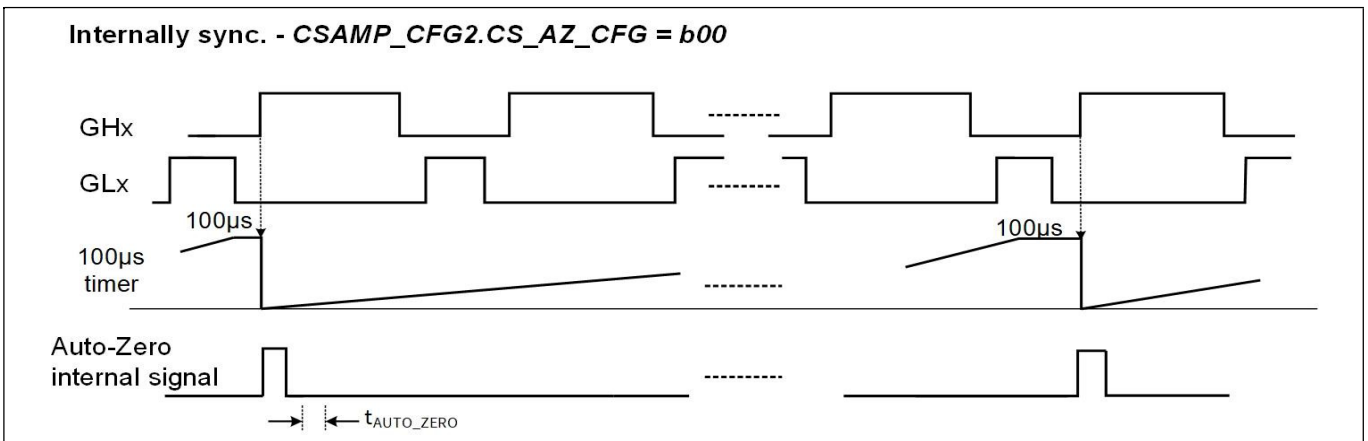


图 45 自动归零工作模式。内部与 GHx 信号同步。定时器达到 100μs 后，在下一个 GHx 上升沿发生自动归零。

产品特性

在启动过程中，自动归零功能会自动激活，以确保放大器在进入活动状态之前得到优化。这发生在电荷泵启动期间，即从 EN_DRV 开启直到电荷泵 UVLO 释放。

如果在给定时间内 ($t_{\text{AUTO_ZERO_CYCLE}}$) 没有发生 GHx 上升沿，例如在 6 步换向中低侧长时间完全开启，则内部看门狗会强制执行自动归零补偿。待机状态下，自动归零功能将继续执行。

注： 当自动调零期结束时，CS0x 重新连接到放大器，预计会出现轻微电压波动。例如，在将信号提供给 ADC 之前，可以将其消隐或滤除。

3.6.8.2 通过 CS_GAIN/AZ 引脚实现外部自动零同步

用户可以通过写入寄存器位域 CS_AZ_CFG 来启用自动调零功能的外部同步。在这种情况下，与 GHx 信号的内部同步将被禁用，引脚 CS_GAIN/AZ 的下降沿将成为自动调零校正周期的触发信号。如图 46 所示。

如果受到外部触发，系统中的微控制器可以根据特定的电流检测方法决定何时执行自动归零校正。由于此功能，可以将自动调零效果移开，例如，远离微控制器中的 ADC 采样，这样它可以从自动调零校正中受益，但仍然能够在不受自动调零过程干扰的情况下进行采样。

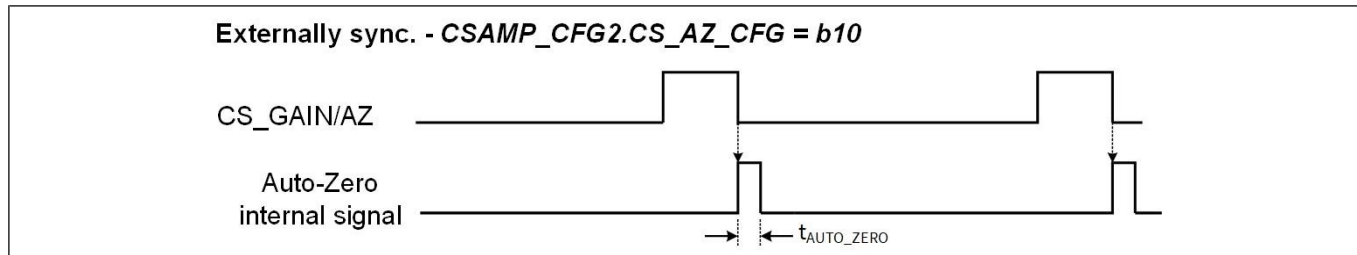


图 46 带外部同步的自动调零功能。CS_GAIN/AZ 引脚下降沿将触发自动调零校正周期。

3.6.8.3 通过具有增强传感功能的 CS_GAIN/AZ 引脚实现外部自动归零同步

MOTIX™ 6EDL7141 允许根据 CS_GAIN/AZ 引脚状态停止电荷泵模块的时钟（时钟门控）。如果启用此功能，则电荷泵时钟将从 CS_GAIN/AZ 引脚的上升沿开始门控，直到自动归零周期结束，并且时钟在同一引脚的下降沿之后启动。时钟门控的效果是减少可能耦合到敏感 PCB 信号（如 CS0x 或其他 ADC 测量电压）到系统 MCU 或其他采样电路的开关噪声。

注意： 在时钟门控期间，电荷泵停止工作。因此，VCCLS 和 VCCHS 电源轨停止调节，其调节电压可能会下降。在大多数情况下，VCCLS 和 VCCHS 电容将维持足够的电压以继续高效驱动 MOSFET。用户必须检查推荐工作条件和电气特性均符合规定。VCCLS 和 VCCHS 均设有欠压锁定 (UVLO) 保护装置，以防发生故障，从而保护逆变器。

电荷泵时钟门控模式的工作原理如图 47 所示。

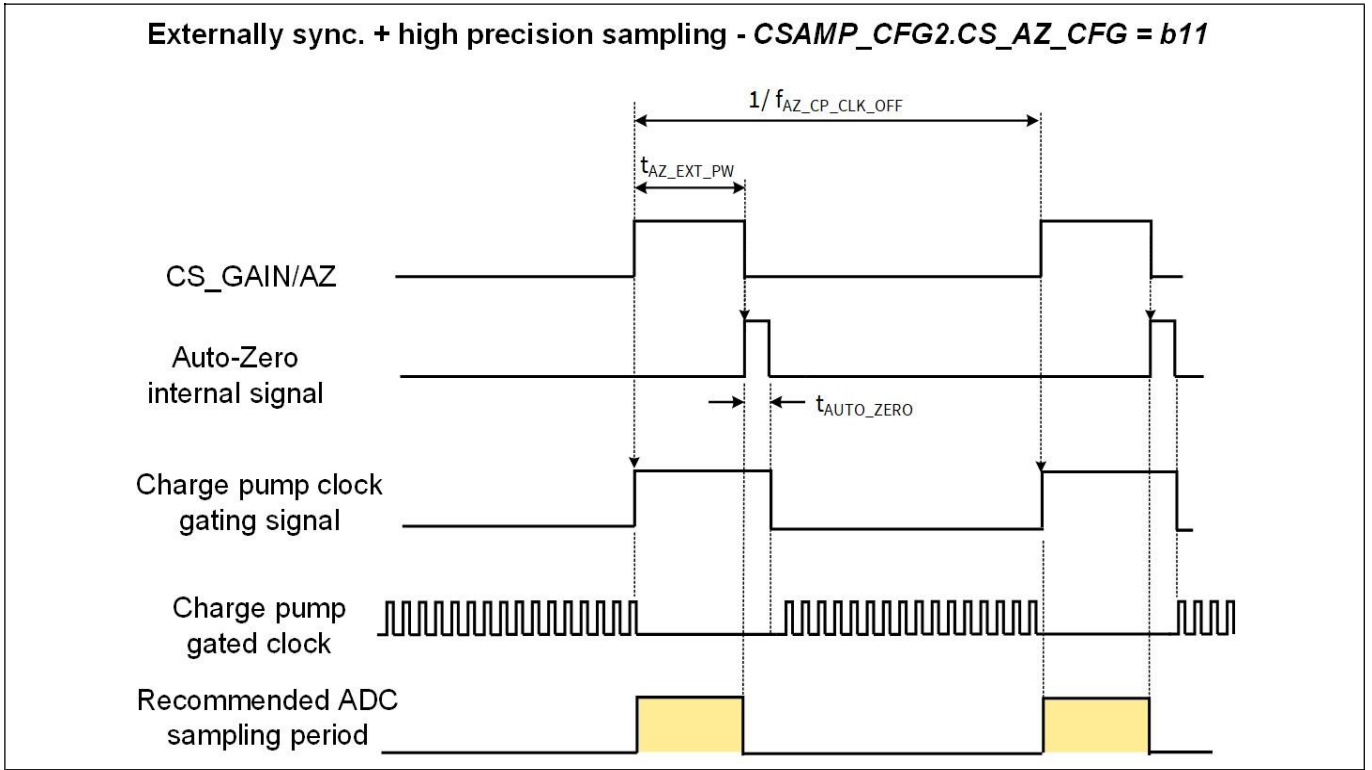


图 47 采用外部同步自动调零功能的增强型传感模式的信号图。电荷泵时钟经过门控处理，以降低在系统执行敏感测量（例如 MCU 中的 ADC）期间的开关噪声耦合。

3.7 霍尔比较器

MOTIX™ 6EDL7141 上的霍尔传感器输入能够与具有开漏输出的数字霍尔传感器连接。该设备支持三个相同的通道。每个霍尔传感器应连接到其中一个 INLx 数字引脚。霍尔比较器设计用于带霍尔传感器的 1PWM 模式（详见第 3.2.4 章），以及用于第 3.8.3 章中描述的“转子堵转检测”功能。

霍尔输入经过数字去毛刺处理。这意味着这些输入会在一段可配置的时间内忽略任何额外的霍尔转换。这是在位域 HALL DEGLITCH 中选择的，可以通过 SPI 命令访问。它可以防止 PWM 噪声耦合到霍尔输入中，从而避免造成错误换向。

霍尔传感器输入的极性可随时由 MCU 在寄存器 FUNCT_ST 的位域 HALLIN_ST 中读取。

集成的 DVDD 线性稳压器可根据编程为霍尔传感器提供 3.3 V 或 5 V 电压。如果霍尔传感器不由 DVDD 供电轨供电（即由其他电源供电），且 DVDD 电源因 IDLE 或 OFF 模式（ $CE < CE_{TH}$ ）而停用，则霍尔输入不应由外部电压驱动。此外，应在启动电机前为霍尔输入上电，否则无效的霍尔状态可能会导致电机运行故障。

3.8 看门狗定时器

MOTIX™ 6EDL7141 集成了三个可通过 SPI 配置的独立看门狗定时器。这些是用于确保设备内外不同模块正常运行的保护功能。例如，通过服务或“踢”6EDL7141 看门狗来确保微控制器行为正确。要在 6EDL7141 中配置看门狗定时器，可以使用两个寄存器：WD_CFG 和 WD_CFG2。三个独立的看门狗定时器是：

产品特性

- 降压转换器看门狗
- 通用看门狗
- 转子锁定看门狗

每个看门狗定时器核心单元都包含一个数字定时器（看门狗定时器）。源信号连接到该定时器，每当信号发生切换时，定时器都会复位。否则，定时器将继续计数。如果在没有复位输入的情况下达到看门狗定时器的限值，则会发生故障，并根据表 17 执行相应的操作。

对看门狗故障的反应可编程为以下操作：

- 仅向状态寄存器报告。
- 报告状态寄存器和 nFAULT 引脚。
- 触发可配置的制动事件。
- 选择看门狗故障是否锁存。

图 48 展示了看门狗操作的一个示例。在本例中，通用信号"WD_Input"会定期重置计数器（例如，读取状态寄存器或以适当的频率切换 EN_DRV 时）。如果输入信号停止切换，则看门狗定时器会在看门狗周期后到期，从而导致看门狗故障。

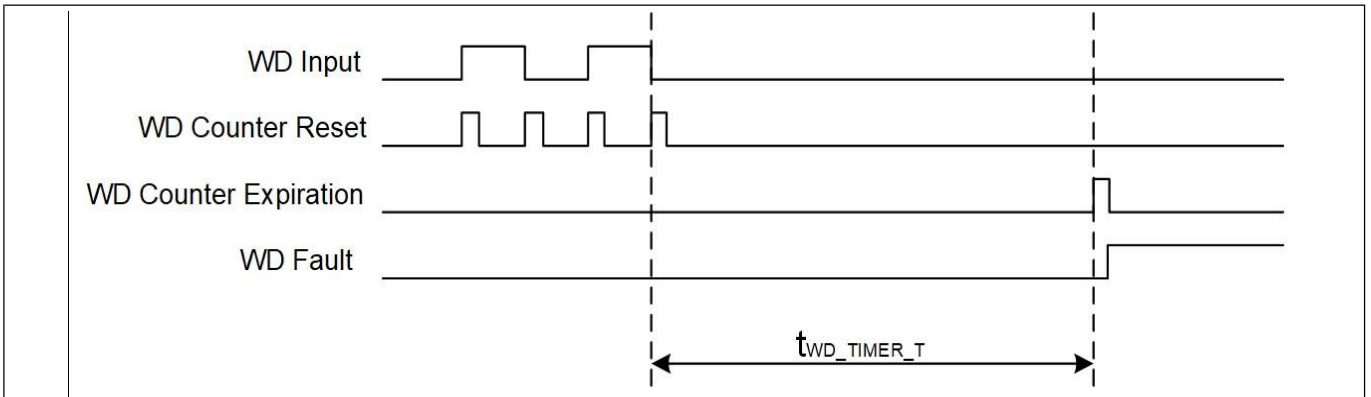


图 48 看门狗操作图

3.8.1 降压转换器看门狗

设备启动期间，此看门狗会监控 VDD_B UVLO 信号。当 VDD_B 的 UVLO 信号置位时，看门狗会被清除。如果在看门狗周期 ($t_{WD_BUCK_T}$) 内 VDD_B 的 UVLO 未置位，系统将停止（状态机中的 STOP 状态在第 5 章中描述），并保持禁用状态，直到电源循环发生。此看门狗可用于安全启动调试。要启用此功能 WD_CFG2，需要访问位域 WD_BK_DIS。

3.8.2 通用看门狗

该看门狗定时器可通过寄存器 WD_INSEL 配置为使用不同的通用输入（定时器复位信号）。可能的输入有：

- **EN_DRV** – EN_DRV 编码中，一个时钟信号可用作看门狗定时器的时钟输入。看门狗会测量该信号的频率和占空比是否正确。正确的频率可作为看门狗“启动”，请参阅第 3.9.1 章。需要通过 WD_EN 启用看门狗，并通过 WD_INSEL 选择输入。发生故障后，必须在两个周期 (500 Hz) 后清除故障。看门狗周期在 WD_TIMER_T 中编程。

产品特性

- **DVDD 启动：**启动期间，如果选择此输入，则在 DVDD UVLO 信号置位后，看门狗将被清除。如果 DVDD 在看门狗周期之前未达到正确值，DVDD 稳压器将重试启动。启动失败时，DVDD 稳压器重启的尝试次数可在 WD_DVDD_RSTRT_ATT 中配置。此外，重启尝试的间隔时间可在位域 WD_DVDD_RSTRT_DLY 中设置。
- **电荷泵启动：**同样，电荷泵的启动时间（都）可以被监控。VCCHS 和 VCCLS 的 UVLO 信号会清除看门狗，否则会报告故障。要选择此输入，必须相应地设置 WD_INSEL 中的位域。
- **状态寄存器 SPI 读取操作：**在此配置下，每次通过 SPI 命令读取 FAULT_ST 状态寄存器时，看门狗都会复位。通过这种方式，看门狗会检查 MCU 是否处于活动状态以及 SPI 通信是否正常工作。

通用看门狗定时器需要通过 WD_EN 位域启用。看门狗周期已编程为 din WD_TIMER_T。

通用看门狗故障制动

通用看门狗定时器可以配置为在比较器触发时触发制动事件。此功能在位域 WD_BRAKE 中激活，并且仅在输入选择“EN_DRV”或“状态寄存器读取”时可用。制动事件可以配置为通过短路所有高侧 MOSFET、所有低侧 MOSFET、交替短路或将所有 MOSFET 设置为高阻态来制动电机。更多详情请参见第 3.2.6 章和第 6 章。这是在 PWM_CFG 寄存器的位域 BRAKE_CFG 中配置的。

3.8.3 堵转保护看门狗定时器

MOTIX™ 6EDL7141 通过集成专用看门狗定时器提供锁定或失速转子保护功能。转子锁定看门狗定时器输入是三个霍尔传感器信号（INLA、INLB 和 INLC）。因此，只有在使用基于霍尔传感器的控制方案或 1PWM 模式时，才有可能实现这种保护。

电机在运转过程中，如果发生机械故障或过大的负载扭矩，导致电机停止旋转，则可能发生转子锁死或失速。可以通过将位域 WD_RLOCK_EN 设置为 b'01 来启用锁定转子功能。

如果霍尔序列在 t_{LOCKED} 时间段内保持不变，则检测到转子锁定。 t_{LOCKED} 时间段通过 SPI（位域 WD_RLOCK_T）配置。

为了提高稳健性，实现了一种特殊的转子锁定检测情况。在某些情况下，电机会停在霍尔传感器仍能提供循环或重复切换的位置。在某些情况下，电机的振动或弯曲会导致这种影响，在其他情况下，霍尔传感器会在靠近磁铁的地方失速。6EDL7141 将此情况检测为转子锁定。报告故障的霍尔传感器输入序列示例如下：

100、101、100、101、100、101、.....

一旦检测到转子锁定情况，设备就会将 FAULT_ST 寄存器的位域 WD_FLT 和 RLOCK_FLT 设置为 b'01。一旦检测到转子锁定情况，设备就会进入高阻抗状态（高阻态）。此外，nFAULT 引脚将被拉低。MCU 可以读取该信号并请求设备状态更新或执行其他纠正措施。

霍尔传感器故障

如果霍尔传感器发生故障，转子锁定保护可以帮助电机进入安全状态。2 个或 3 个霍尔传感器发生故障会导致 6EDL7141 出现转子锁定故障，但是单个霍尔传感器的故障无法被检测为故障，也不会触发故障。

产品特性

可以通过切换 EN_DRV（关闭并再次打开）来重置转子锁定状态。

PWM 信号保持下的霍尔比较器

如果在启用转子堵转保护的情况下，控制器生成的 PWM 输入信号停止切换，6EDL7141 会将此识别为故障，并在 t_{LOCKED} 周期后触发转子堵转保护。如果不希望出现这种情况，则必须在控制器中停止 PWM 切换的用户代码之前发送命令(SPI)以停用转子堵转保护。

3.9 多功能引脚

3.9.1 EN_DRV 引脚

引脚 EN_DRV 具有两种可同时工作的不同功能：

1. 要启动电荷泵运行，并在拉高时最终启用栅极驱动器和电流检测放大器：EN_DRV > $V_{EN_DRV_TH}$ （参见电气特性表）
2. 作为看门狗时钟输入。该时钟信号可由系统中的微控制器生成，使 MOTIX™ 6EDL7141 能够检测微控制器是否生成了正确的信号，从而检测控制器是否正常工作（例如软件故障），提高整个系统的鲁棒性。如果时钟信号不存在，或者该时钟周期偏离预期值超过 10%（参见电气特性表），6EDL7141 的看门狗将执行预先编程的操作（更多详细信息请参见第 3.6.8.3 章）。

如果同时使用这两个功能，微控制器可以使用两个 GPIO，一个用于 EN_DRV（GPIO），一个用于时钟生成（例如 GPIO 或 PWM 信号）。这两个信号的模拟求和在 6EDL7141 内部进行解码。图 49 描述这种配置中的连接和电信号。

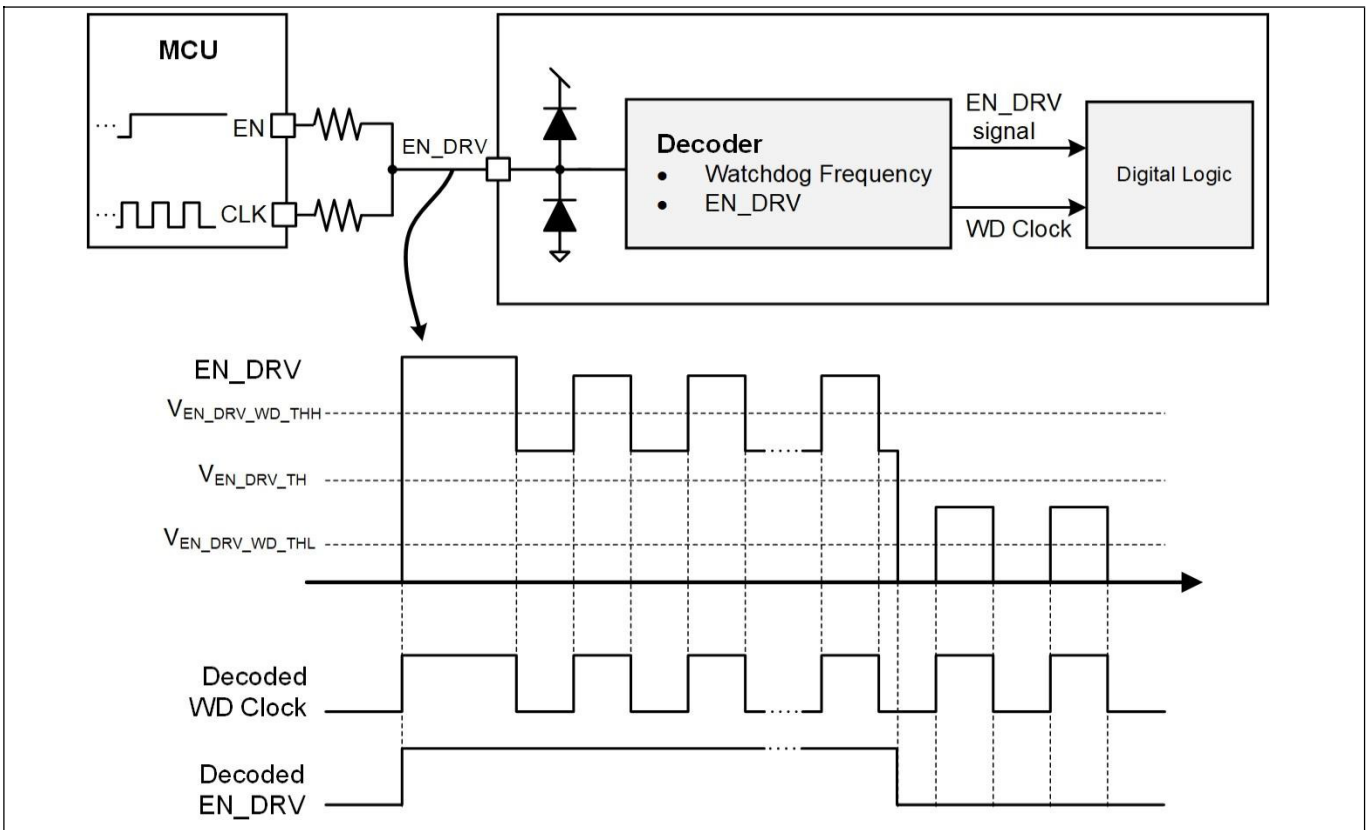


图 49 EN_DRV 引脚用于启用驱动器级和解码看门狗时钟信号

3.9.2 VSENSE/nBRAKE引脚

引脚 VSENSE/nBRAKE 支持两种不同的功能：

1. 启动期间，6EDL7141 读取连接到引脚 VSENSE/nBRAKE 的电阻值。根据读数，6EDL7141 选择 DVDD 设定点为 3.3 V 或 5 V。读取该值后，设备将以目标 DVDD 设定点启动 DVDD。
2. 在正常操作期间（UVLO DVDD 释放后），该引脚是一个输入（反相逻辑），可以通过 MCU 将其拉低（例如）以启动制动事件，以受控的方式使电机停止运转。如果引脚设置为高电平，则 PWM 信号正常传播到输出端。

3.9.3 CS_GAIN/AZ引脚

CS GAIN/AZ 引脚实现两种不同的功能:

1. 启动时，读取连接到该引脚的电阻值，从而配置电流检测放大器的增益。这在第 3.6.6 章中有详细说明。
2. 同时，在正常运行期间，该引脚可用作输入，以启用第 3.6.8 章中描述的外部自动归零功能。

为了避免外部电阻影响电流检测放大器增益的模拟编程，建议在 MCU 与 CS_GAIN 引脚之间串联一个二极管。这样，当 DVDD 仍未达到最终目标值时，MCU 输出电路就不会加载 CS_GAIN 引脚，从而导致放大器增益编程错误。该电路如图 50 所示。

如果需要对电流检测放大器增益进行数字编程，则不需要 R_{CS_GAIN} ，也可以从电路中省略二极管。

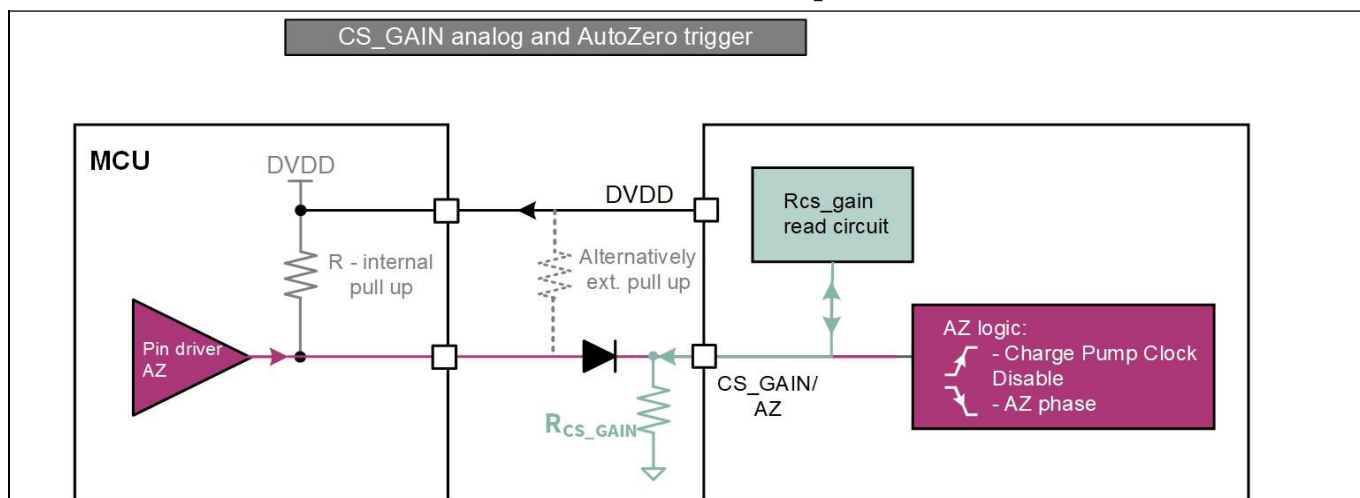


图 50 CS_GAIN/AZ 多功能引脚使用示例：一是作为启动期间通过电阻读取设置 CSAMP 增益，二是作为外部自动归零功能，其中 MCU 决定何时自动归零 CSAMP。

注：MCU 端的内部上拉电阻取决于具体的微控制器。某些微控制器可能没有足够的上拉能力，可能需要如图所示使用外部上拉电阻。

产品特性

3.10 ADC模块-模数转换器

MOTIX™ 6EDL7141 集成了一个基于 SAR 架构的 7 位分辨率 ADC。该 ADC 可用于对 MCU 中执行的测量进行冗余测量或测量栅极驱动器相关电压。MCU 可以通过 SPI 读取 ADC_ST 寄存器来请求这些内部测量的结果。ADC 可以在活动模式下测量以下输入：

- 自动进入 ADC 转换序列：
 - 芯片上温度传感器（参见第 3.10.2 章）
 - **PVDD**：电源电压
 - **VCCLS**：低侧栅极驱动器电源
 - **VCCHS**：高侧栅极驱动器电源
- 通过位域 ADC_OD_INSEL 选择的其他（按需）转换输入：
 - **IDIGITAL**：设备数字部分电流消耗
 - **DVDD**：线性稳压器输出电压
 - **VDDDB**：降压转换器输出电压

这些 ADC 输入按顺序连续转换。每次转换完成后，转换结果可通过集成数字滤波器进行处理，这些滤波器是可配置样本数量的移动平均滤波器。PVDD 使用专用滤波器 (ADC_FILT_CFG_PVDD)，其余输入共用第二个滤波器 (ADC_FILT_CFG)。ADC 模块的完整架构如图 51 所示。

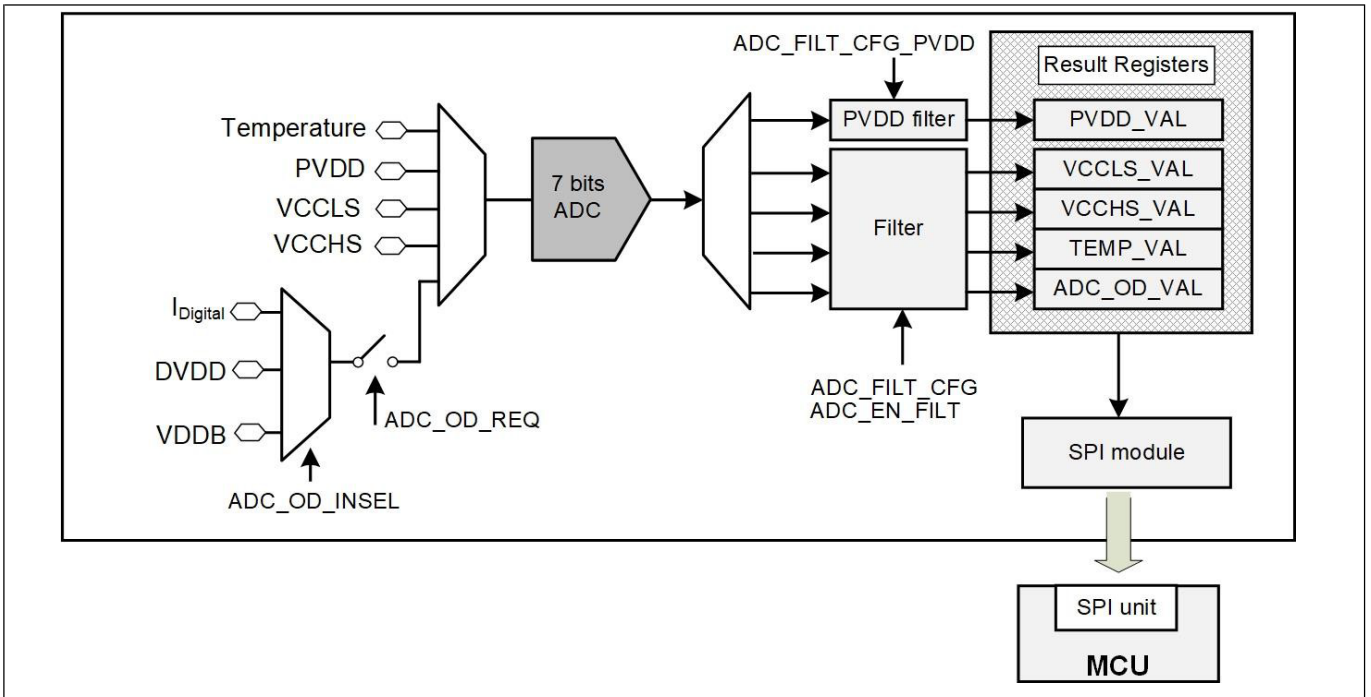


图 51 ADC 模块框图

表16 总结ADC输入特性，包括比例因子。MCU可以使用这些比例因子计算以伏特、安培或摄氏度为单位的实际模拟值。

产品特性

表 16 ADC 测量概述

Measurement	On demand conversion	Bitfield	Filter - register	Scaling factor
PVDD	N	PVDD_VAL	ADC_FILT_CFG_PVDD	$= (0.581 * PVDD_{VAL} + 5.52) V$
Temperature	N	TEMP_VAL	ADC_FILT_CFG	$= (2 * TEMP_VAL - 94)^{\circ}C$
VCCLS	N	VCCLS_VAL	ADC_FILT_CFG	$= VCCLS_VAL * \frac{16}{127} V$
VCCHS	N	VCCHS_VAL	ADC_FILT_CFG	$= VCCHS_VAL * \frac{16}{127} V$
Device current (I _{PVDD})	Y	ADC_OD_VAL	ADC_FILT_CFG	$= (0.24 * ADC_OD_VAL) mA$
DVDD	Y	ADC_OD_VAL	ADC_FILT_CFG	$= ADC_OD_VAL * \frac{DVDD_{TARGET}}{127} V$
VDDDB	Y	ADC_OD_VAL	ADC_FILT_CFG	$= ADC_OD_VAL * \frac{VDDDB_{TARGET}}{127} V$

例如，如果所需的参数是 DVDD 电压，则 MCU 将通过 SPI 寄存器 ADC_OD_VAL 读取该参数。例如，假设 DVDD 设置为 3.3V，并且读数为 0x78=120 十进制值。MCU 或用户（例如通过 GUI 读取数据）可以计算以下内容：

$$DVDD = ADC_OD_VAL * \frac{3.3V}{2^7} = 120 * \frac{3.3V}{127} = 3.118V \quad (7)$$

3.10.1 ADC 测量排序和按需转换

在活动状态下，ADC 按照以下六次测量序列反复循环转换：

1. PVDD
2. 温度传感器
3. PVDD
4. VCCLS
5. PVDD
6. VCCHS

如图 52 所示，这些转换的结果存储在专用结果寄存器中，MCU 可以通过 SPI 读取这些寄存器。PVDD 结果存储在 SUPPLY_ST 寄存器中，VCCLS 和 VCCHS 结果存储在 CP_ST 寄存器中，温度测量结果存储在 TEMP_ST 寄存器中。

除了标准序列之外，用户还可以选择根据需要转换其他信号。任何这种“按需”转换输入都可以按照标准序列注入一次。这是通过在位域 ADC_OD_INSEL 中选择要转换的信号，并将请求位域 ADC_OD_REQ 设置为‘1’来实现的。

注： ADC_CFG 位域的写入必须在一次 SPI 写入中完成。对单个位域的写入会将其余位域覆盖为默认值，因此必须在单次写入中或通过读取-修改-写入序列提供所需的完整寄存器值。

如果请求按需转换，ADC 将等待完成（转换结束）任何正在进行的转换。然后开始执行所请求的按需转换。按需转换完成后，位域 ADC_OD_RDY 将被置位。MCU 可以轮询此位域，

产品特性

以确保结果寄存器包含请求转换的最新值。按需转换的结果位于位域 ADC_OD_VAL 中，序列在按需转换的 EOC 之后中断处继续。如图 52 所示。

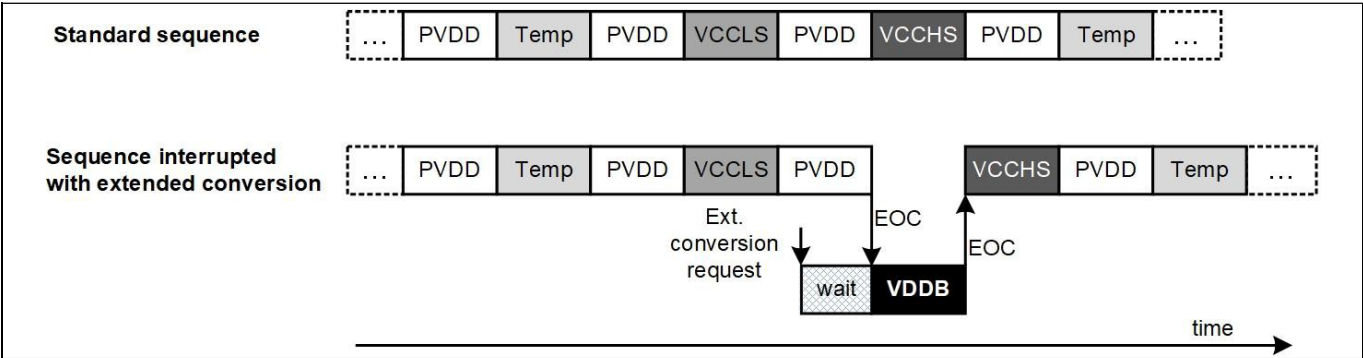


图 52 VDDDB 信号的扩展转换请求导致的 ADC 排序和中断

3.10.2 芯片温度传感器

ADC 的一个特别有用的测量指标是芯片温度。MOTIX™ 6EDL7141 集成了一个温度传感器，该传感器由集成的 ADC 进行采样。可以通过 SPI 接口访问 TEMP_ST 寄存器中的位域 TEMP_VAL 来读取器件温度。该温度值的测量分辨率为 2 摄氏度。此外，该器件还实现了过温警告和故障检测功能。可以在寄存器 SENSOR_CFG (OTS_DIS) 中禁用过温关断保护。阈值见表 7。可以通过读取位域 OTW_FLT 和 OTS_FLT 来检测这些故障的发生。根据表 16，例如，读取 0x4A = 74 可转换为：

$$Temperature = TEMP_VAL * 2^{\circ}C - 94^{\circ}C = 74 * 2^{\circ}C - 94^{\circ}C = 54^{\circ}C \quad (8)$$

4 设备启动

设备启动可分为两个主要阶段：

- **电源启动：**由 $CE > V_{CE_TH_R}$ 启动，导致 VDDDB 和 DVDD 轨上升。
- **栅极驱动器和 CSAMP 启动：**从 EN_DRV 上升开始，导致电荷泵上升和电流感应放大器激活。

4.1 电源启动

在电池供电电压 (PVDD) 稳定的情况下，输入 CE 引脚控制电源系统的启动。图 53 显示了 CE 电压超过 $V_{CE_TH_R}$ 值后降压转换器电压的上升过程。如果外部滤波电容过大，上升时间可能会超过表 7 中提供的 ($t_{VDDDB_SFT_START}$) 值。可启用集成看门狗来监控和调试 VDDDB、DVDD 或电荷泵的启动。

降压转换器的软启动功能通过集成 DAC 自动实现，用于生成目标基准电压。一旦 VDDDB 达到其 UVLO 电压，模拟编程便开始。这将启动 t_{AN_T} 周期，此时 CS_GAIN/AZ 和 VSENSE/nBRAKE 引脚上的外部电阻会被内部读取。用户可以通过 OTP 编程停用这两个功能的模拟编程，从而缩短启动时间。

在这些模拟编程周期结束后，在 DVDD 电压开始上升之前，会插入另一个 OTP 可编程延迟

($DVDD_TON_DELAY$, $t_{DVDD_TON_DLY}$)。较长的延迟可以让降压转换器电压在 DVDD 开始充电之前稳定下来。

如果需要更快的启动时间，可以根据降压输出电压和所使用的外部元件 (L_{BUCK} 、 C_{BUCK}) 来缩短延迟。

DVDD 将在可配置的启动时间内启动 ($DVDD_SFTSTART$)。调整此值有助于确保正常启动。

4.2 栅极驱动器和 CSAMP 启动

DVDD 启动并稳定后，微控制器即可启用栅极驱动器。需要将 EN_DRV 引脚设置为高于 $V_{EN_DRV_TH}$ 的值才能启用驱动部分。在此之前，不会有 PWM 信号传输到 MOSFET 的栅极。一旦 EN_DRV 设置为高于 $V_{EN_DRV_TH}$ ，低侧和高侧电荷泵都会逐渐上升到目标值 PVCC。此时间取决于不同的配置（电容器、电荷泵频率、PVCC 电压），如第 3.4 章所述。

当低侧电荷泵中建立足够的电压后，高侧电荷泵就会启动。当高侧和低侧电荷泵均达到 UVLO 时，PWM 路径被激活，并且栅极驱动器可以向功率 MOSFET 输出信号。

注： 根据 PWM 发送到输入端的时序和电荷泵电容值，如果 PWM 信号过早激活，则栅极驱动器可能会在电荷泵未完全达到目标电压时开始驱动 MOSFET。如果需要，用户可以延迟 PWM 信号的启动，直到电荷泵完全充电。

设备启动

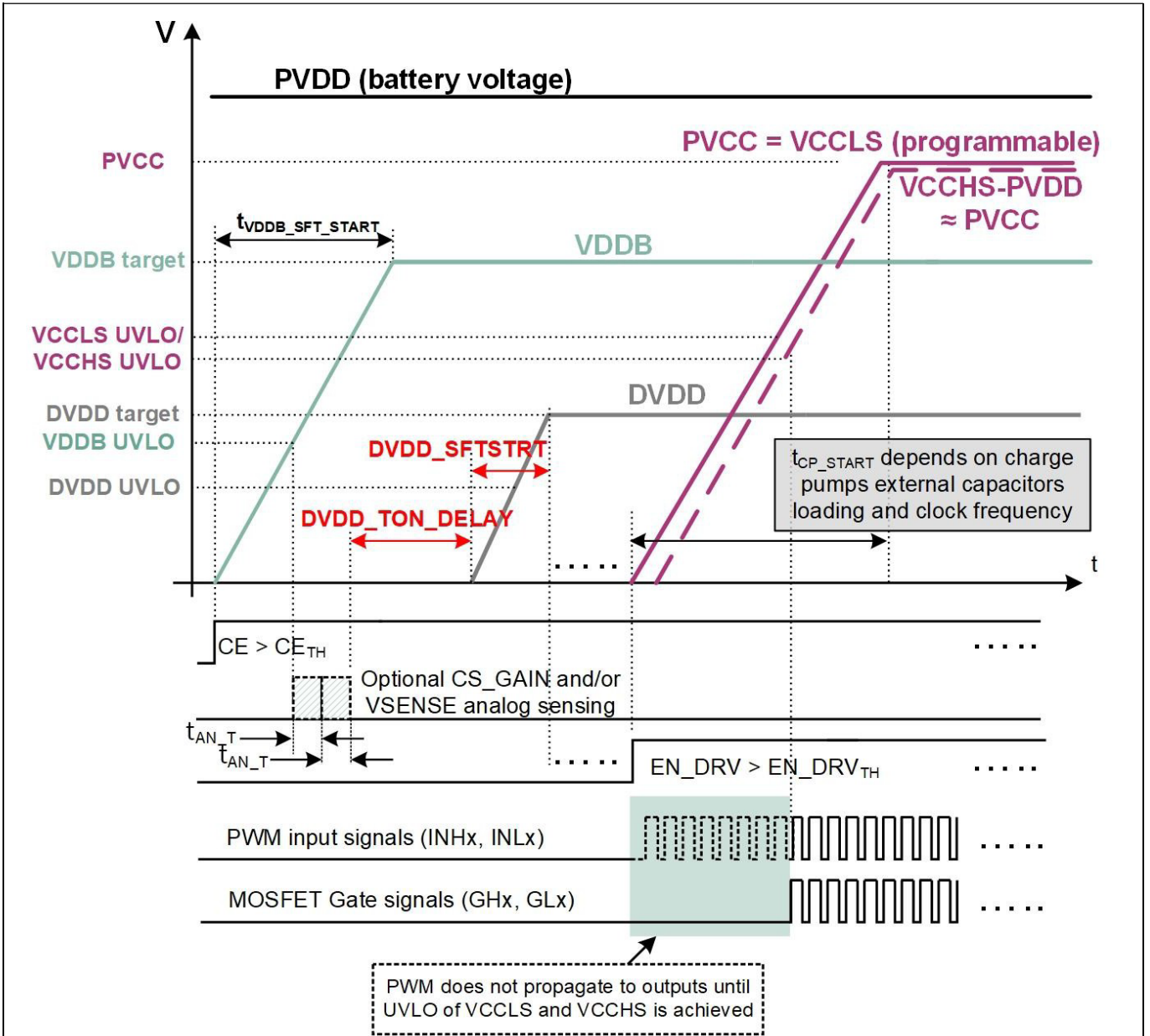


图 53 稳定 PVDD 电源下电源电压的启动特性。EN_DRV 和 CE_EN 的功能。

DVDD_SFTSTRT 是一个 SPI 可编程参数。

如果 CE 由 PVDD 生成，例如通过分压器，如图 62 所示，启动行为大致遵循图 54 中的行为或类似情况。在这种情况下，需要注意的是，器件不会启动，也就是说，降压转换器不会开始开关，直到 PVDD UVLO 被释放，并且 CE 上升电压阈值 ($V_{CE_TH_R}$) 被超过，如图 55 的流程图所示。CE 和 PVDD 的顺序可以互换，结果相似。

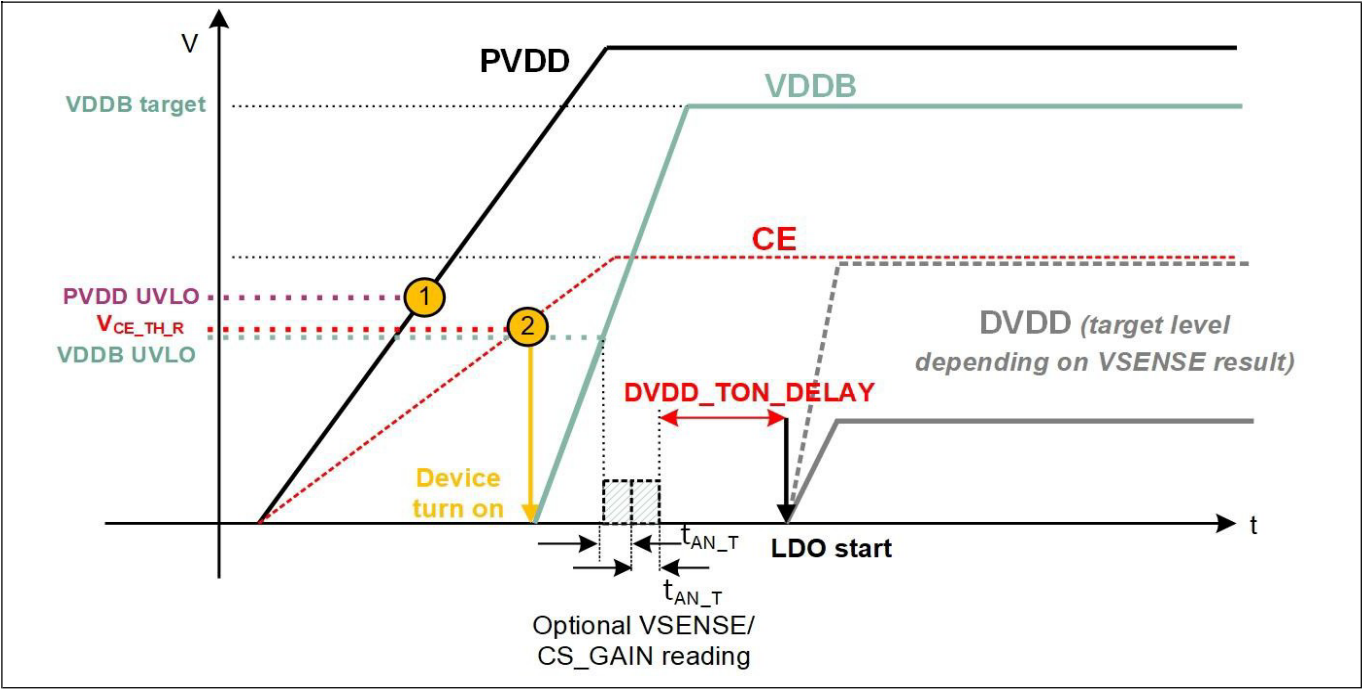


图 54 PVDD上升时，CE由PVDD分压器产生时的启动行为细节。器件仅在事件1和2发生后开启，并启动降压转换器控制器。

5 设备功能状态

该设备的功能由状态机控制。该状态机的流程图如图 55 所示。

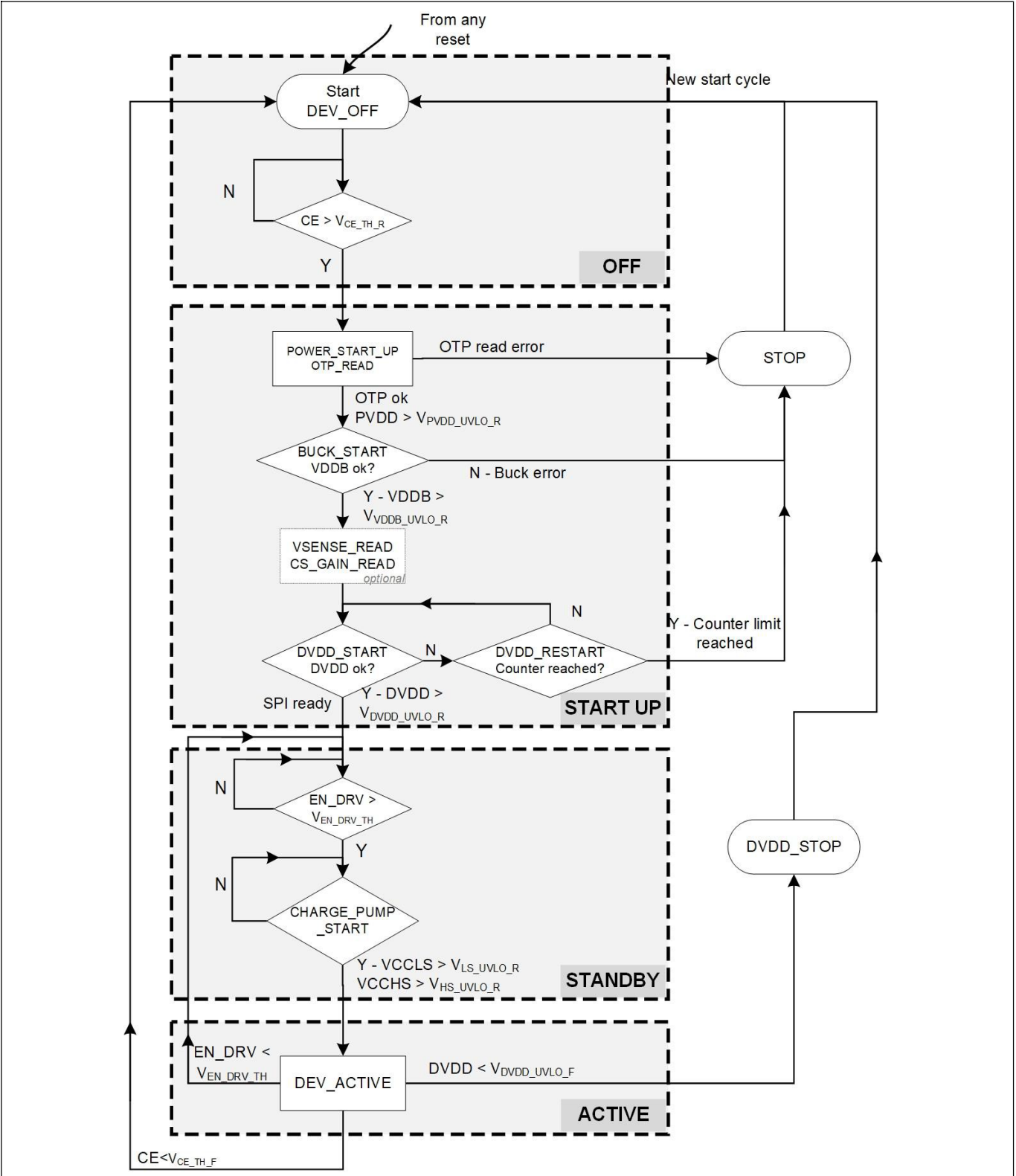


图 55 设备功率状态流程图

设备功能状态

6EDL7141 有四种主要模式：OFF_STATE、START_UP、STANDBY 和 ACTIVE。状态描述如下：

- **DEV_OFF**- 此状态是重置时的默认状态。
- **POWER_START_UP**、**OTP_READ** - 在此状态下，PVDD 电压逐渐上升，并由设备进行检查。检查无误后，将读取 OTP 存储器。此操作在启用任何其他模块之前完成，以确保配置信息已知。如果 OTP 模块发出故障信号，则将进入 STOP 状态。
- **BUCK_START** - 降压转换器在此状态下启用，退出此状态前 VDDB 电压必须保持正确。如果 VDDB 在一定时间内未达到目标电压，则降压转换器将关闭，器件将进入 STOP 状态。

VSENSE_READ/CS_GAIN_READ - 设备将选择性地（可编程）检测 VSENSE 和 CS_GAIN 等引脚，以检查待编程的参数。如果寄存器 CS_GAIN_ANA 设置为 '0'，则 CS 增益将由寄存器 CS_GAIN 设置。否则，如果 CS_GAIN_ANA 设置为 '1'，则启用模拟编程。
- **DVDD_START** - 此时，一旦降压转换器输出稳定，DVDD 的线性稳压器便会根据启动延迟和软启动编程逐渐升高。在此状态结束时，DVDD 达到目标电压并稳定。至此，设备的启动过程完成，并进入等待状态，直到来自微控制器等设备的 EN_DRV 信号到达。这将启动待机部分。
- **CHARGE_PUMP_START** - 电荷泵已启用。如果达到目标电压，设备将进入 DEV_ACTIVE 状态。
- **DEV_ACTIVE**（或 ACTIVE 状态）- 在此状态下，驱动器已准备就绪，可供使用。PWM 路径已启用。如果 EN_DRV 信号在激活期间变为低电平，则设备会关闭两个电荷泵，并进入待机状态以停用 PWM 路径。
- **DVDD_STOP** - DVDD 已通电且 DVDD 电源轨发生故障后，设备将进入此状态。设备停止运行，需要 CE 切换或电源循环才能重新启动。降压转换器和 ADC 保持活动状态。
- **STOP** - 如果进入此状态，则表示降压转换器或 DVDD 启动出现严重故障。器件将无法工作，直至电源循环或 EN_DRV 切换发生。在此状态下无法使用 SPI。

保护和故障处理

6 保护和故障处理

MOTIX™ 6EDL7141 包含大量保护措施。分别是：

- 过流保护 (OCP) 适用于：
 - DVDD线性稳压器
 - 降压转换器
 - 电机桥臂分流器 OCP
- 欠压锁定 (UVLO) 保护适用于：
 - 高侧和低侧驱动器的栅极驱动器电源电压
 - 电源电压PVDD
 - DVDD线性稳压器输出电压
 - 降压转换器输出电压
- DVDD 线性稳压器过压锁定 (OVLO) 保护
- 基于霍尔传感器输入的转子锁定检测
- 可配置的看门狗
- 过温关断 (OTS) 和过温警告 (OTW)
- OTP 存储器故障

仲裁状态机接收来自特定故障模块的所有故障输入，并在多个故障同时发生（同一时钟周期）时，决定哪个故障需要优先处理。一旦确认故障，系统将采取表 17 中所示的特定操作。仲裁程序将暂停，直到故障被排除为止。

状态机分为两个主要的独立仲裁部分：

- **电源故障**（B0至B4）。B0为最高优先级。
- **其他故障**（F0至F7）。先发生的故障优先处理，其他故障将被忽略，直至该故障消除。如果同时发生多个故障，则优先处理优先级最高的故障。F0 为最高优先级。

两个部分的结果操作在 nFAULT 引脚上进行“或”运算。

否则，如果没有锁定，当故障条件解除时，故障状态将保持，但动作将停止。

除了关闭 PWM 信号等可能的操作之外，还会更新状态位以通知 MCU 任何警告或/和故障发生。无论优先级如何，此操作均可完成，并且系统中的微控制器可以通过 SPI 命令读取这些状态位。

注： *强烈建议通过读取状态寄存器来了解故障原因，并在故障发生后立即清除故障，以便捕获新事件。这是通过SPI接口写入寄存器FAULTS_CLR来实现的。*

以下寄存器提供有关设备故障状态的信息：

- FAULT_ST：包含大多数功能相关的故障。故障可能只有在发生多次故障事件后才会触发。状态将立即记录事件信息。
- TEMP_ST：提供温度警告和温度读数本身的状态。
- SUPPLY_ST：报告所有电源 UVLO/OVLO 和 OCP 的状态。
- FUNC_ST：每个电流检测放大器、霍尔传感器、错误霍尔模式的 OCP 故障状态。

保护和故障处理

- OTP_ST：编程和读取OTP相关故障。

为了清除故障，用户必须通过 SPI 向 FAULTS_CLR 寄存器写入位域 CLR_FAULTS。然而，要清除锁存故障，需要写入 CLR_LATCH 寄存器。

如果“电机桥臂分流器 OCP”故障被编程为锁存，则该故障无法清除，直到：

- 如果在 OCP 计数模式（8、16 个周期）下，有一个完整的 PWM 周期没有发生 OCP 事件，或者进入待机状态。
- 如果处于立即触发模式，则可以在故障消失后清除。

表 17 故障和保护表 - 优先级数字越低, 优先级越高

Name	Description	Programmability	Latched	nFAULT report	Active State	Prio	Action(s)
VCCLS UVLO	Charge pump low side UVLO fault	-	N	Y	DEV_ACTIVE	F1&2 (shared)	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to R _{GS_PD_WEAK} and R _{GS_PD_STRONG} as shown in Figure 65.
VCCHS UVLO	Charge pump high side UVLO fault	-	N	Y	DEV_ACTIVE	F1&2 (shared)	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to R _{GS_PD_WEAK} and R _{GS_PD_STRONG} as shown in Figure 65.
DVDD OVLO	DVDD OVLO fault	-	N	Y	DEV_ACTIVE	B1	No action. MCU to perform action
DVDD OCP	DVDD OCP fault	Threshold level	N	Y	DEV_ACTIVE	B3	No action. MCU to perform action
DVDD UVLO	DVDD UVLO fault	-	N(require power cycle-CE toggle)	Y (however is nFAULT supplied by DVDD)	All states after BUCK_START	B0 and F0	- Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. <i>Note: the behavior can be interrupted depending on DVDD as logic is supplied by it.</i> After that, gate signals are pulling down according to R_{GS_PD_WEAK} and R_{GS_PD_STRONG} as shown in Figure 65. These are always active. - Waits for power cycle (CE pin low and high) - Buck converter continues operation - When DVDD UVLO happens the functional state machine changes from DEV_ACTIVE to DVDD_STOP. Please refer to section 5 for details. From the application perspective, this fault is highest priority. Requires a power cycle (CE toggle)
BUCK OCP	Buck Converter Over Current Protection	-	N	Y	All states after DVDD ok (after Standby)-Fault blanked during charge pump start	B2	No action. MCU to perform action. Protection is blanked during start-up of charge pumps

Name	Description	Programmability	Latched	nFAULT report	Active State	Prio	Action(s)
Motor leg shunt OCP [2:0]	Current sense amplifier Over Current Protection for each phase	Threshold level, count on number of trips, reaction, PWM truncation	Programmable-Latched if brake on OCP is active	Y	DEV_ACTIVE	F4	- PWM truncation if configured. - If fault is configured as “Latched” then: gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to R_{GS_PD_WEAK} and R_{GS_PD_STRONG} as shown in Figure 65. - Brake as defined in PWM_CFG register when CS_OCP_BRAKE register enabled. Fault latched if braking active
Locked rotor	Locked rotor watchdog overflow	Timing	Y	Y	DEV_ACTIVE	F5	- Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to R_{GS_PD_WEAK} and R_{GS_PD_STRONG} as shown in Figure 65. - Requires toggle of EN_DRV to re-start normal operation again
Watch dog timers	Watchdog timer overflow. Several inputs programmable	Timing, reaction. Depending on input	Programmable-Latched if brake on watchdog fault is enabled	Y (with input EN_DRV only, otherwise not)	Depending on input, either START UP or DEV_ACTIVE	F6	If input selection is: - EN_DRV - gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to R_{GS_PD_WEAK} and R_{GS_PD_STRONG} as shown in Figure 65. - Buck input- No action required from user or device. - If charge pump input – nFAULT reported. Driver won’t start-up. - Others: brake as defined in PWM_CFG register when WD_BRAKE register enabled. Always latched if braked enabled
OTS	Over Temperature Shutdown	-	Y	Y	DEV_ACTIVE	F3	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to R _{GS_PD_WEAK} and R _{GS_PD_STRONG} as shown in Figure 65.
OTW	Over Temperature Warning	-	N	N (only status register report)	DEV_ACTIVE	F8	No action. MCU to perform action

Name	Description	Programmability	Latched	nFAULT report	Active State	Prio	Action(s)
OTP Fault	OTP read fault or OTP user programming error	-	Y	Y	All states	F7	Gate signals (GHx, GLx) pulled down according to configured gate driver slew rate. After that, gate signals are pulling down according to RGS_PD_WEAK and RGS_PD_STRONG as shown in Figure 65.

7 设备编程—OTP和SPI接口

MOTIX™ 6EDL7141 包含一些可由用户编程的智能功能。这些功能的配置（包括放大器的增益、栅极驱动器的驱动电压或故障反应）在设备处于活动状态时存储在寄存器中。这些功能的配置可以在运行时通过 SPI 命令进行更改。这些寄存器是易失性存储单元，因此，每次设备断电时其信息就会丢失。

因此，6EDL7141 集成了 OTP NVM（一次性可编程非易失性存储器），即使在断电时也能存储指定的默认配置。最初，器件使用第 8 章中提供的默认寄存器设置进行编程。在器件启动阶段（参见图 55 中的状态机流程图），OTP 中的配置被复制或镜像到易失性寄存器中。这些寄存器控制着设备的实际行为。如图 56 所示。

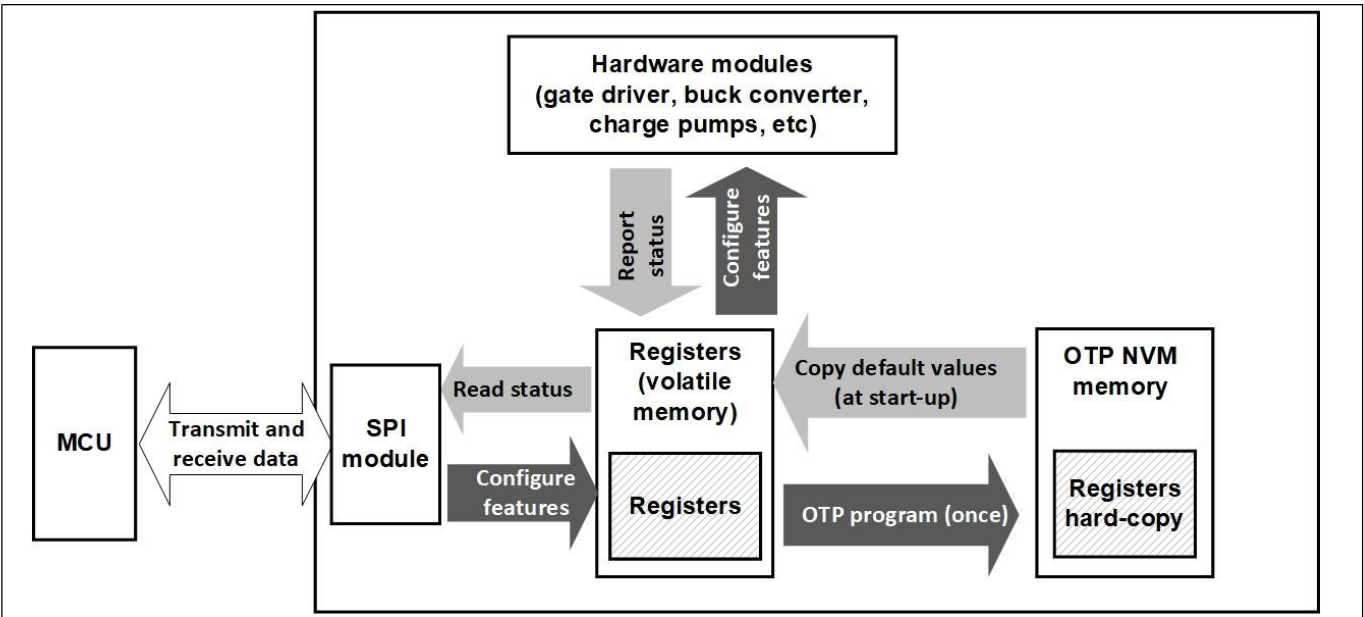


图 56 编程概览

如果 OTP 中存储的器件默认配置（“出厂配置”）并非理想配置，设计人员可以为其应用选择其他配置，并将其无限期地存储在 OTP 存储器中（硬拷贝）。请参阅第 7.1.1 章了解详细编程步骤。此操作仅可执行一次。无法再次写入 OTP。不过，如上所述，启动后可以通过 SPI 命令覆盖易失性寄存器上的配置。

可以通过位于 OTP_PROG 寄存器中的软件 ID 位域 -USER_ID- 来跟踪用户配置。

注： 因此建议对 6EDL7141 中的寄存器进行每次写入操作后都进行确认读取，以确保寄存器中写入和读取的数据匹配，从而确认编程正确。

7.1.1 OTP 用户编程流程：加载自定义默认值

MOTIX™ 6EDL7141 OTP 用于用户配置存储。OTP 模块在编程时实现双重错误校正，外加一次额外的错误检测。

设备编程—OTP和SPI接口

OTP 编程必须仅在受控环境中进行。这要求用户确保编程在正确的电源电压下进行，即 $PVDD > PVDD_{OTP_PROG}$ 。此外，温度必须低于 T_{OTP_PROG} 。这两个参数在内部受到监控。这意味着，如果尝试在这些参数之外进行编程，编程将被阻止。如果发生这种情况，则位域 `OTP_PROG_BLOCK` 设置为 '1'，以指示其中一个参数超出了要求的范围。在这种情况下，启动后将使用默认值（如第 8.2 章中粗体所示）。可以进行进一步的编程尝试。`OTP_PROG_BLOCK` 会在编程成功完成或断电后重置。

要使用特定配置写入 OTP，应执行以下编程步骤：

1. 将器件启动至待机模式 ($EN_DRV < V_{EN_DRV_TH}$)
2. 通过 SPI 写入命令将寄存器写入所需的默认值。
3. 使用 `OTP_PROG` 位域将这些值编程到 OTP 中。
 - a. 如果温度高于 T_{OTP_PROG} 或 $PVDD < PVDD_{OTP_PROG}$ ，则编程不会启动，且 `OTP_PROG_BLOCK` 设置为 '1'。条件可以修改，然后可以再次尝试编程。如果编程失败两次，器件将被锁定，信号为 `OTP_USED = b'1` 和 `OTP_PASS = b'0`。
 - b. 如果温度和 $PVDD$ 值在范围内，则编程开始，将寄存器参数复制到 OTP 存储器中。这只能做一次。
4. （推荐）通过位域 `OTP_USED` 和 `OTP_PASS` 或 `OTP_PROG_FAIL` 检查 OTP 编程是否成功：
 - a. 如果 OTP 编程失败，则设备将被锁定，直到进行电源循环（CE 引脚下拉和上拉）。由 `OTP_USED = b'1` 和 `OTP_PASS = b'0` 或简单的 `OTP_PROG_FAIL = b'1` 发出信号。无法对 OTP 进行进一步编程。内存内容被认为已损坏，因此应丢弃该部分。
 - b. 如果编程成功，则正常功能继续。这是由 `OTP_USED = b'01` 和 `OTP_PASS = b'01` 或简单的 `OTP_PROG_FAIL = b'0` 表示的。建议在成功编程后执行电源循环（CE 引脚向下和向上拉）以使新值生效。

尝试写入已编程的 OTP 将被忽略。OTP 状态汇总于表 18 中。

表 18 OTP 编程状态

Device status	OTP_USED	OTP_PASS	OTP_PROG_BLOCK	OTP_PROG_FAIL	Status Description
Non-programmed device	0	0	0	0	Default values used
Successful programming of OTP	1	1	X	X	User programming was successful. Upon start-up, the newly programmed default values will be loaded into registers for custom configuration
Programming blocked due to $PVDD$ or temperature conditions	0	0	1	0	Part can be reprogrammed once condition are within limits
Programming started but failed during operation due to $PVDD$ or temperature conditions	1	0	1	1	Part must be discarded
Programming started but failed due to OTP issue	1	0	0	1	Part must be discarded

设备编程—OTP和SPI接口

OTP 编程失败（将寄存器错误地复制到 OTP 存储器中）会迫使设备在读出过程中进入停止状态（见图 55）。在这种情况下，故障会在 nFAULT 引脚上报告。微控制器一旦获悉故障，即可通过读取位域 OTP_USED、OTP_PASS 或 OTP_PROG_FAIL 以及 OTP_PROG_BLOCK 来请求 6EDL7141 提供存储器状态。

如果用户选择在微控制器软件启动期间对 OTP 进行编程，则每次编程之前都应检查 OTP_USED = b'01。否则可能会出现错误的编程。

7.1.2 SPI通信

6EDL7141 与外部微控制器之间的所有通信都通过集成 SPI 接口进行。该模块用于对配置寄存器进行编程，从而命令设备，例如，更改设置或编程 OTP 内存。

SPI 模块基于 4 引脚配置。数据采样发生在 SPI 时钟信号的下降沿。所有通信都发生在 24 位长度的移位寄存器中。

- 7 位地址
- 16 位数据字节
- 1 位命令

数据以MSB优先的方式移入。

定义了两个命令：

- 1 - 寄存器写入
- 0 - 寄存器读取

图 57 和图 58 分别显示使用 SPI 接口的写入和读取操作。

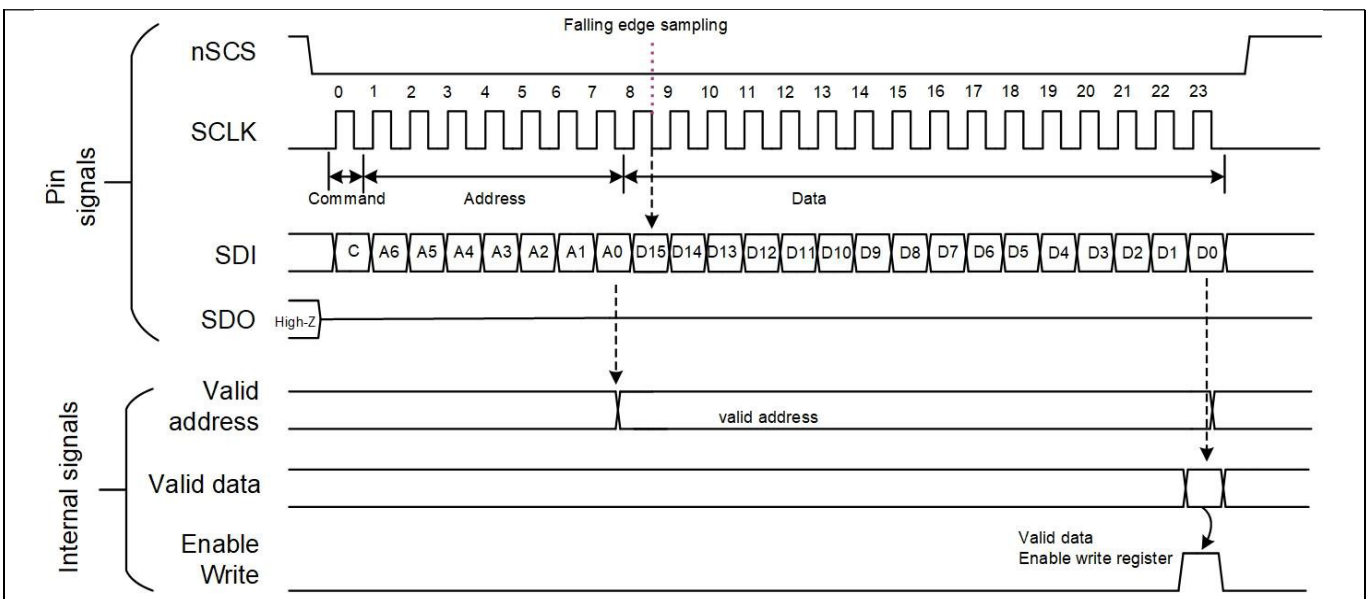


图 57 SPI 写操作

设备编程—OTP和SPI接口

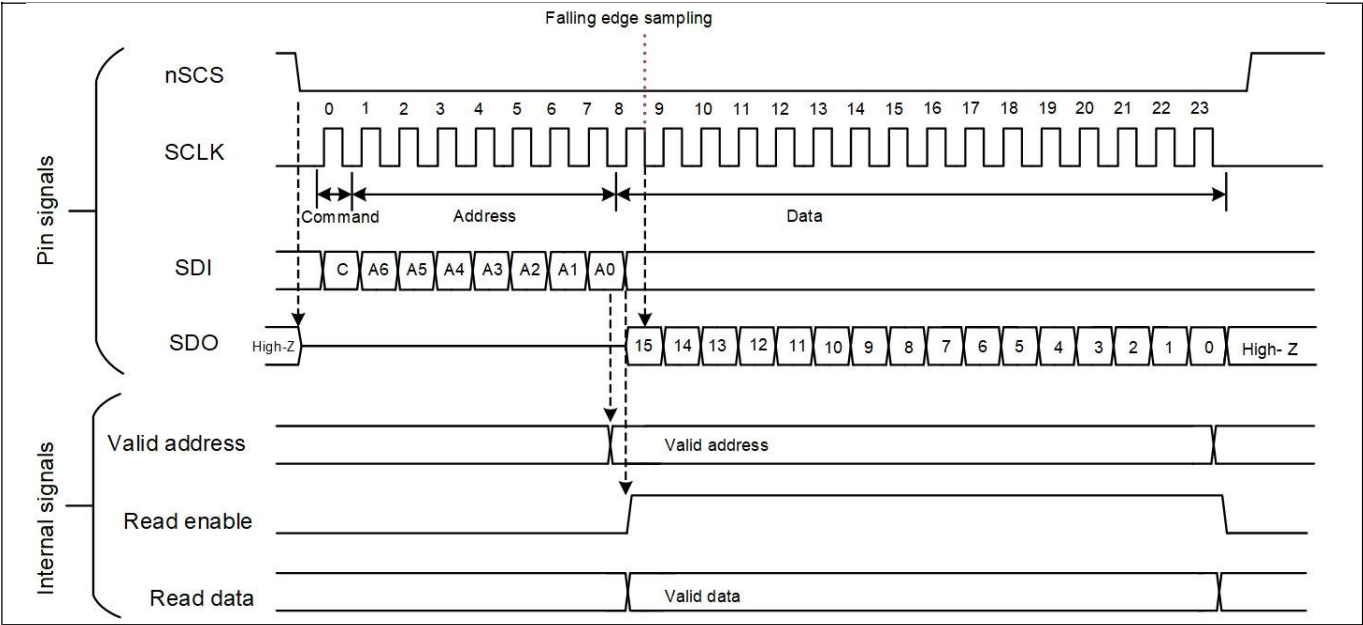


图 58 SPI 读操作

7.1.2.1 SPI通信示例

例如，用户想将新值TDRIVE1 = 50 ns (0x01)、TDRIVE2 = 2540 ns (0xFE) 写入寄存器TDRIVE_SRC_CFG (地址0x19)，则需要通过整理TDRIVE2和TDRIVE1的值，使寄存器的内容为0xFE01。当 nSCS 信号被拉低后，微控制器需要向 SPI 总线 (SDI 信号) 写入以下命令：

二进制：b 1001 1001 1111 1110 0000 0001

十六进制：0x99 FE 01

如果写入后需要读取，则微控制器必须执行以下顺序。通过写入 SDI 信号来读取 TDRIVE_SRC_CFG 寄存器：

二进制：b 0001 1001 ---- ---- ----

十六进制：0x19 ---

8 寄存器映射

表 19列出了 MOTIX™ 6EDL7141 中可通过 SPI 接口访问的所有寄存器。本节将详细解释这些寄存器。

表 19 寄存器映射概述

Short Name	Long Name	Offset Address	Page Link
FAULT_ST	Fault and warning status	00H	98
TEMP_ST	Temperature status	01H	99
SUPPLY_ST	Power supply status	02H	100
FUNC_ST	Functional status	03H	101
OTP_ST	OTP status	04H	102
ADC_ST	ADC status	05H	103
CP_ST	Charge pumps status	06	103
DEVICE_ID	Device ID	07H	104
FAULTS_CLR	Fault clear	10H	104
SUPPLY_CFG	Power supply configuration	11H	105
ADC_CFG	ADC configuration	12H	107
PWM_CFG	PWM configuration	13H	108
SENSOR_CFG	Sensor configuration	14H	109
WD_CFG	Watchdog configuration	15H	110
WD_CFG2	Watchdog configuration 2	16H	111
IDRIVE_CFG	Gate driver current configuration	17H	112
IDRIVE_PRE_CFG	Pre-charge gate driver current configuration	18H	113
TDRIVE_SRC_CFG	Gate driver sourcing timing configuration	19H	114
TDRIVE_SINK_CFG	Gate driver sinking timing configuration	1AH	115
DT_CFG	Dead time configuration	1BH	117
CP_CFG	Charge pump configuration	1CH	117
CSAMP_CFG	Current sense amplifier configuration	1DH	118
CSAMP_CFG2	Current sense amplifier configuration 2	1EH	120
OTP_PROG	OTP program	1F	122

8.1 设备可编程性

6EDL7141 可编程寄存器可以在 SPI 接口激活后的任何时间进行编程，但是，某些位域更改在某些条件发生之前不会产生效果。这是为了防止错误行为或避免操作中出现故障。定义了三个类别：

- 始终可编程：**在器件的任何状态下，对这些位域进行编程都会立即生效。在某些情况下，该效果可以与 PWM 或制动事件同步。
- 待机可编程：**仅当 EN_DRV 电平为低时，对这些位域进行编程才有效。如果在 EN_DRV 为高时进行编程，寄存器将显示新值，但直到 EN_DRV 被拉低后效果才会生效。

寄存器映射

这是为了防止系统故障。因此，建议在激活EN_DRV之前对这些寄存器进行编程。

3. **仅限OTP**：这些位域的编程仅在OTP中编程且设备全新上电(PVDD)后才会生效。这些设置会影响设备的启动，即位域，其效果甚至在DVDD开始工作之前就已经生效，因此必须写入OTP才能在下次上电时生效。

例如，如果在ACTIVE状态下写入“待机”值，则该值将被写入，并且读取寄存器会返回写入的值，但是，直到器件状态机进入STANDBY状态，该值才会（影子）传输到实际有效的寄存器。

表 20 为设备的每种配置提供分类（“w”类型位域）

表 20 寄存器可编程性

Register Name	Bitfield Name	Programmability
SUPPLY_CFG	PVCC_SETPT	Standby
	CS_REF_CFG	Standby
	DVDD_OCP_CFG	Always
	DVDD_SFTSTRT	OTP only
	DVDD_SETPT	OTP only
	BK_FREQ	Standby
	DVDD_TON_DELAY	OTP only
	CP_PRE_CHARGE_EN	Standby
ADC_CFG	ADC_OD_REQ	Always – no OTP field, just register
	ADC_OD_INSEL	Always – no OTP field, just register
	ADC_EN_FILT	Always – no OTP field, just register
	ADC_FILT_CFG	Always
	ADC_FILT_CFG_PVDD	Always
PWM_CFG	PWM_MODE	Standby
	PWM_FREEW_CFG	Always
	BRAKE_CFG	Always
	PWM_RECIRC	Standby
SENSOR_CFG	HALL DEGLITCH	Always
	OTS_DIS	Always
	CS_TMODE	Always
WD_CFG	WD_EN	Standby
	WD_INSEL	Standby
	WD_FLTCFG	Standby
	WD_TIMER_T	Standby
WD_CFG2	WD_BRAKE	Standby
	WD_EN_LATCH	Standby
	WD_DVDD_RSTRT_ATT	Standby
	WD_DVDD_RSTRT_DLY	Standby
	WD_RLOCK_EN	Always
	WD_RLOCK_T	Always

寄存器映射

Register Name	Bitfield Name	Programmability
	WD_BK_DIS	OTP only
IDRIVE_CFG	IHS_SRC	Always
	IHS_SNK	Always
	ILS_SRC	Always
	ILS_SNK	Always
IDRIVE_PRE_CFG	I_PRE_SRC	Always
	I_PRE_SNK	Always
	I_PRE_EN	Always
TDRIVE_SRC_CFG	TDRIVE1	Always
	TDRIVE2	Always
TDRIVE_SINK_CFG	TDRIVE3	Always
	TDRIVE4	Always
DT_CFG	DT_RISE	Always
	DT_FALL	Always
CP_CFG	CP_CLK_CFG	Always
	CP_CLK_SS_DIS	Standby
CSAMP_CFG	CS_GAIN	Always – recommended to stop PWM first
	CS_GAIN_ANA	Standby (change to digital mode)- change to analog mode only possible if written in OTP followed by power cycle
	CS_EN	Always
	CS_BLANK	Always – recommended to stop PWM first
	CS_EN_DCCAL	Standby
	CS_OCP_DEGLITCH	Standby
	CS_OCPFLT_CFG	Standby
CSAMP_CFG2	CS_OCP_PTHR	Always
	CS_OCP_NTHR	Always
	CS_OCP_LATCH	Standby
	CS_MODE	Standby
	CS_OCP_BRAKE	Standby
	CS_TRUNC_DIS	Always
	VREF_INSEL	Standby
	CS_AZ_CFG	Always
	CS_NEG_OCP_DIS	Always
OTP_PROG	OTP_PROG	Standby (programming of OTP only in Standby)
	USER_ID	Always

寄存器映射

表 21 寄存器读写编码说明

Code	Access type	Description
res	No access	Reserved
r	Read	Read only. A write produces no action
rw	Read/Write	Read or write by user
w	Write	Write only. A read returns 0

寄存器映射

8.2 寄存器映射

故障状态寄存器

如果其中一个位的状态切换为值 b'1，则发生相应的故障/警告。要清除故障，请使用 FAULTS_CLR 寄存器中的清除故障位

FAULT_ST

地址: 00_H复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0			OTP_FLT	WD_FLT	RLOC_K_FLT	OTW_FLT	OTS_FLT	BK_OCP_FLT	DVDD_OV_FLT	DVDD_UV_FLT	DVDD_OCP_FLT	CP_FLT	CS_OCP_FLT		
res			r	r	r	r	r	r	r	r	r	r	r		

Field	Bits	Type	Description
CS_OCP_FLT	2:0	r	Current sense amplifier OCP fault status OCP (shunt amplifier OCP) fault status bXX0: No fault on phase A bXX1: Fault on phase A bX0X: No Fault on phase B bX1X: Fault on phase B b0XX: No Fault on phase C b1XX: Fault on phase C
CP_FLT	3	r	Charge pumps fault status Charge pump low side and high side combined fault status b0: No fault has occurred b1: A fault has occurred
DVDD_OCP_FLT	4	r	DVDD OCP (Over-Current Protection) fault status DVDD linear voltage regulator Over-Current-Protection fault status b0: No fault has occurred b1: A fault has occurred
DVDD_UV_FLT	5	r	DVDD UVLO (Under-Voltage Lock-Out) fault status DVDD UVLO fault status b0: No fault has occurred b1: A fault has occurred
DVDD_OV_FLT	6	r	DVDD OVLO (Over-Voltage Lock-Out) fault status DVDD OVLO fault status b0: No fault has occurred b1: A fault has occurred
BK_OCP_FLT	7	r	Buck OCP fault status Buck Over-Current-Protection fault status b0: No fault has occurred b1: A fault has occurred

寄存器映射

OTS_FLT	8	r	Over-temperature shutdown fault status Over temperature shutdown event status b0: No fault has occurred b1: A fault has occurred
OTW_FLT	9	r	Over-temperature warning status Over temperature warning signal status b0: No warning signal has occurred b1: A warning signal has occurred
RLOCK_FLT	10	r	Locked rotor fault status Locked Rotor fault status using hall sensors b0: No fault has occurred b1: A fault has occurred
WD_FLT	11	r	Watchdog fault status Watchdog status b0: No fault has occurred b1: A fault has occurred
OTP_FLT	12	r	OTP status OTP (One Time Programmable) memory fault status b0: No fault has occurred b1: A fault has occurred
0	15:13	res	Reserved A read always returns 0

温度状态寄存器

该寄存器包含MCU读取的温度值。

TEMP_ST															地址: 01 _H	
															复位值: 0000 _H	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
0									TEMP_VAL							
res									r							

Field	Bits	Type	Description
TEMP_VAL	6:0	r	Temperature reading Temperature value in step of 2 degrees b000000: -94 degrees Celsiusevery 2 degrees Celsius b1111111: 160 degrees Celsius
0	15:7	res	Reserved A read always returns 0

寄存器映射

电源状态寄存器

该寄存器包含电源相关块的状态

SUPPLY_ST

地址: 02_H

电源状态

复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0			PVDD_VAL							VDDB_OVST	VDDB_UVST	DVDD_OVST	DVDD_UVST	VCCHS_UVST	VCCLS_UVST
res			r							r	r	r	r	r	r

Field	Bits	Type	Description
VCCLS_UVST	0	r	Charge Pump low side UVLO status b0: Below threshold b1: Above threshold
VCCHS_UVST	1	r	Charge Pump high side UVLO status b0: Below threshold b1: Above threshold
DVDD_UVST	2	r	DVDD UVLO status b0: Below threshold b1: Above threshold
DVDD_OVST	3	r	DVDD OVLO (Over-Voltage Lock-Out) status b0: Below threshold b1: Above threshold
VDDB_UVST	4	r	VDDB UVLO status b0: Below threshold b1: Above threshold
VDDB_OVST	5	r	VDDB OVLO status b0: Below threshold b1: Above threshold
PVDD_VAL	12:6	r	PVDD ADC result reading value This bitfields holds the analog to digital conversions value for PVDD input voltage
0	15:13	r	Reserved A read always returns 0

寄存器映射

功能状态寄存器

各种功能信号的状态。

FUNCT_ST

地址: 03_H

复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0								CS_GAIN_ST		DVDD_ST	HALLPOL_ST	HALLIN_ST			
res								r		r	r	r			

Field	Bits	Type	Description
HALLIN_ST	2:0	r	Hall sensor inputs status HALL sensor input status for each phase. b0: signal is low b1: signal is high bit 0: Phase A bit 1: Phase B bit 2: Phase C
HALLPOL_ST	3	r	Hall sensor polarity equal indicator Status bit that indicate if all phases of the hall sensors have the same polarity at the same time. b0: Hall sensors have different polarity b1: Hall sensors have the same polarity
DVDD_ST	4	r	DVDD set point status DVDD set point read value. The reading is independent of whether DVDD is analog or digitally programmed b0: 3.3 V b1: 5 V
CS_GAIN_ST	7:5	r	Status of the current sense amplifiers gain Shows the value of the current sense amplifier gain independently of whether programmed digitally or via external resistor b000: 4 V/V b001: 8 V/V b010: 12 V/V b011: 16 V/V b100: 20 V/V b101: 24 V/V b110: 32 V/V b111: 64 V/V
0	15:8	r	Reserved A read always returns 0

寄存器映射

OTP 状态寄存器

OTP 存储器状态信息可在此寄存器中找到。

OTP_ST

地址: 04_H复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0												OTP_PR OG_FAIL	OTP_ PROG _BLOCK	OTP_ PASS	OTP_ USED
res												r	r	r	r

Field	Bits	Type	Description
OTP_USED	0	r	OTP used This bitfield shows if OTP memory has been written by user or still holds factory defaults: b0: OTP memory is not used: factory defaults b1: OTP memory is used: new custom values loaded
OTP_PASS	1	r	User OTP programming status Is set if user OTP programming has passed without error. b0: Not programmed or not passed. b1: Programming passed without error.
OTP_PROG_BLOCK	2	r	User OTP programming blocked Signals if OTP programming has been attempted when voltage or temperature outside range. b0: Programming was not blocked b1: Programming blocked
OTP_PROG_FAIL	3	r	OTP Programming fail If set, indicates that the programming of the OTP has failed. b0: No failure. b1: Programming failed
0	15:4	res	Reserved A read always returns 0

寄存器映射

ADC状态寄存器

ADC状态寄存器。

ADC_ST

地址: 05_H复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0								ADC_OD_VAL							ADC_OD_RDY
res								r							r

Field	Bits	Type	Description
ADC_OD_RDY	0	r	ADC on demand conversion result ready This bitfields indicates if ADC result for one of the extended conversions is ready to be read b0: Not ready b1: Ready
ADC_OD_VAL	7:1	r	ADC on demand result value ADC result value for on demand conversions
0	15:8	res	Reserved A read always returns 0

电荷泵状态寄存器

电荷泵状态寄存器。

CP_ST

地址: 06_H复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	VCCLS_VAL							VCCHS_VAL							
res	r							r							

Field	Bits	Type	Description
VCCHS_VAL	6:0	r	VCCHS ADC result reading value This bitfields holds the analog to digital conversions value for VCCHS voltage
VCCLS_VAL	13:7	r	VCCLS ADC result reading value This bitfields holds the analog to digital conversions value for VCCLS voltage
0	15:14	res	Reserved A read always returns 0

寄存器映射

器件 ID 寄存器

器件 ID

DEVICE_ID

地址: 07_H

器件 ID

复位值: 0006_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0												DEV_ID			

res

r

Field	Bits	Type	Description
DEV_ID	3:0	r	Device ID Device identifier for user version control
0	15:4	r	Reserved A read always returns 0

故障清除寄存器

清除设备各种故障。

FAULTS_CLR

地址: 10_H

复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0														CLR_LATCH	CLR_FLTS

res

w

w

Field	Bits	Type	Description
CLR_FLTS	0	w	Clear all faults Setting this bitfield will clear all faults in the device excluding latched faults. A reading always returns 0. b0: No action. b1: Clear all fault status bits except latched ones
CLR_LATCH	1	w	Clear all latched faults Setting this bitfield will clear all (and only) latched faults in the device. A reading always returns 0. b0: No action. b1: Clear latched fault status bits
0	15:2	res	Reserved A read always returns 0

寄存器映射

电源配置寄存器

该寄存器包含用于配置和控制设备电源的位域。

SUPPLY_CFG

地址: 11_H复位值: 6000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CP_PRECHARGE_EN	DVDD_TON_DELAY	BK_FREQ	DVDD_SETPT	DVDD_SFTSTRT			DVDD_OCP_CFG		CS_REF_CFG			PVCC_SETPT			
rw	rw	rw	rw	rw			rw		rw			rw			

Field	Bits	Type	Description
PVCC_SETPT	1:0	rw	PVCC set point Configures the target PVCC (gate driving voltage) voltage level b00: 12V b01: 15V b10: 10V b11: 7V
CS_REF_CFG	3:2	rw	Current sense reference configuration (internal VREF voltage) Selects the VREF voltage that is applied as offset in all 3 current shunt amplifiers: b00: ½ DVDD b01: 5/12 DVDD b10: 1/3 DVDD b11: ¼ DVDD
DVDD_OCP_CFG	5:4	rw	DVDD OCP threshold configuration DVDD OCP threshold selection b00: 450mA b01: 300mA b10: 150mA b11: 50mA
DVDD_SFTSTRT	9:6	rw	DVDD soft-start configuration DVDD linear regulator soft start programming 100us stepping 100us up to 1.6ms b0000: 100 us b0001: 200 us 100 us steps b1111: 1.6 ms

寄存器映射

DVDD_SETP T	11:10	rw	DVDD set point configuration This bitfield configures DVDD output voltage: b0x use VSENSE pin for analog programming b10 DVDD = 3.3V – digitally programmed b11 DVDD = 5V – digitally programmed
BK_FREQ	12	rw	Buck converter switching frequency selection This bitfield configures the switching frequency of the buck converter b0- Low frequency (500kHz) b1: High frequency (1MHz)
DVDD_TON_ DELAY	14:13	rw	DVDD turn on delay configuration The device will wait for the configured time before turning on the DVDD starting counting from VDDB UVLO during start-up of the device b00 - 200us b01 - 400us b10 - 600us b11 - 800us
CP_PRECHA RGE_EN	15	rw	Charge pump pre-charge configuration Enables during start-up the pre-charge of the charge pump 1'b0 : pre-charge disabled 1'b1 : pre-charge enabled

寄存器映射

ADC配置寄存器

注：寄存器的全部内容必须一次性写入（读-修改-写）。一次写入一个位域会将所有其他位域设置为默认值。

ADC 相关功能配置。

ADC_CFG 地址: 12_H
复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0								ADC_FILT_CFG_PVDD	ADC_FILT_CFG	ADC_EN_FILT	ADC_OD_INSEL	ADC_OD_REQ			
res								rw	rw	rw	rw	w			

Field	Bits	Type	Description
ADC_OD_REQ	0	w	ADC on demand conversion request Setting this bitfield will inject an additional measurement in the standard sequence. This additional measurement is selected in ADC_IN_SEL bitfield. A read always return 0. b0: No action. b1: Request the conversion of the signal selected in ADC_IN_SEL
ADC_OD_INSEL	2:1	rw	ADC input selection for on demand conversions This bitfield configures the input to the ADC: b00: I_{DIGITAL}: device digital area current consumption b01: DVDD b10: VDDB b11: Reserved
ADC_EN_FILT	3	w	Enable filtering for on demand ADC measurement Enables moving averaging filter for on demand ADC measurements. A read always return 0 b0: No action. b1: Enable filtering
ADC_FILT_CFG	5:4	rw	ADC generic filtering configuration Selects the moving averaging filter characteristic for the ADC measurements except PVDD measurements: b00: 8 samples averaging filter b01: 16 samples averaging filter b10: 32 samples averaging filter b11: 64 Samples averaging filter

寄存器映射

ADC_FILT_C FG_PVDD	7:6	rw	PVDD ADC measurement result filtering configuration This bitfield selects the moving averaging filter characteristic for PVDD measurement: b00: 32 samples b01: 16 samples b10: 8 samples b11: 1 sample
0	15:8	res	Reserved A read always returns 0

PWM配置寄存器

PWM相关配置的配置。

PWM_CFG

地址: 13_H复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0										PWM_ RECIRC	BRAKE _CFG	PWM_ FREEW_ CFG	PWM_MODE		
res										rw	rw	rw	rw		

Field	Bits	Type	Description
PWM_MODE	2:0	rw	PWM commutation mode selection PWM Mode selection: b000: 6PWM mode b001: 3PWM mode b010: 1PWM mode b011: 1PWM with Hall sensors b100: b111: Reserved
PWM_FREE W_CFG	3	rw	PWM freewheeling configuration This bitfield selects which rectification or freewheeling is desired (only for 1 PWM input modes) b0: Active freewheeling b1: Diode freewheeling
BRAKE_CFG	5:4	rw	Brake configuration Brake scheme configuration. b00: Low Side b01: High Side b10: High Z (no power) b11: Brake toggle-alternates between low and high side braking on every braking event

寄存器映射

PWM_RECIRC	6	rw	PWM recirculation selection (only if PWM_MODE = b011:) Setting this bitfield will activate the alternating recirculation feature of the 1PWM with Hall Sensors and Alternating Recirculation PWM mode. Only functional if PWM_MODE=b011. b0: Disable alternating recirculation mode b1: Enable alternating recirculation mode
0	15:7	res	Reserved A read always returns 0

传感器配置寄存器

传感器配置。

SENSOR_CFG

地址: 14_H复位值: 0001_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0									CS_TMODE	OTS_DIS	HALL_DEGLITCH				
res									rw	rw	rw				

Field	Bits	Type	Description
HALL_DEGLITCH	3:0	rw	Hall Sensor deglitch Deglitch time configuration for Hall sensor inputs in steps of 640ns b0000: 0ns b0001: 640 ns ... in steps of 640 ns b1111- 9600 ns
OTS_DIS	4	rw	Over-temperature shutdown disable This bitfield allows to disable the shutdown feature due to over temperature in the device: b0: Enable shutdown protection b1: Disable shutdown protection
CS_TMODE	6:5	rw	Current sense amplifier timing mode This bitfield configures how the current sense amplifier operates regarding the timing related to the PWM signals: b00: CS amplifier outputs are active when GLx signal is high b01: CS amplifier outputs are active when GHx signal is low b1x: CS amplifier outputs are always active
0	15:7	res	Reserved A read always returns 0

寄存器映射

看门狗配置寄存器

看门狗控制。

WD_CFG

地址: 15_H

复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0	WD_TIMER_T										WD_FLT_CFG	WD_INSEL		WD_EN	
res	rw										rw	rw		rw	

Field	Bits	Type	Description
WD_EN	0	rw	Watchdog enable Watchdog timer enable b0: Watchdog timer is disabled b1: Watchdog timer is enabled
WD_INSEL	3:1	rw	Watchdog input selection This bitfield selects the input to the watchdog timer among following options: b000: EN_DRV pin (measure input signal frequency) b001: Reserved b010: DVDD (linear regulator) b011: VCCLS and VCCHS, (charge pumps) b100: Status register read b101: Reserved b110: Reserved b111: Reserved
WD_FLTCFG	4	rw	Watchdog fault configuration This bitfield controls the reaction to a watchdog fault event: b00: Status register only b01: Status register and pull down of nFAULT pin
WD_TIMER_T	14:5	rw	Watchdog timer period value This bitfields configures the period of the watchdog timer. After this time is elapsed with no re-start of the timer by the watchdog input, a watchdog fault is triggered. In 100us steps. Not applicable for VDDDB (buck) watchdog input. b0000000000: 100 us b0000000001: 200 us b1111111111: 102.4ms
0	15	res	Reserved A read always returns 0

寄存器映射

看门狗配置寄存器 2

看门狗配置寄存器扩展。

WD_CFG2

地址: 16_H复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0		WD_BK_DIS	WD_RLOCK_T		WD_RLOCK_EN	WD_DVDD_RSTRT_DLY			WD_DVDD_RSTRT_ATT	WD_EN_LATCH	WD_BRAKE				
res		rw	rw		rw	rw			rw	rw	rw				

Field	Bits	Type	Description
WD_BRAKE	0	rw	Brake on watchdog timer overflow This bitfields provides the option to configure a braking event when the watchdog overflow occurs b0: Normal reaction to fault b1: Brake on watchdog fault (Automatically latched). The braking mode is configured in PWM_CFG register. Status register is updated accordingly
WD_EN_LATCH	1	rw	Enable latching of watchdog fault Enable latching of watch dog fault b0: Fault not latched b1: Fault latched
WD_DVDD_RSTRT_ATT	3:2	rw	Restart delay for DVDD Number of restart attempts for DVDD WD b00: 0 attempts b01: 1 attempt b10: 2 attempts b11: 3 attempts
WD_DVDD_RSTRT_DLY	7:4	rw	DVDD restart delay Time after WD trigger signal until restart is attempted again for DVDD. In steps of 0.5ms b0000: 0.5 ms b0001: 1 ms b1110: 7.5 ms b1111: 8 ms
WD_RLOCK_EN	8	rw	Enable rotor locked detection Enable rotor lock dedicated watchdog timer input b0: Disabled b1: Enabled

寄存器映射

WD_RLOCK_T	11:9	rw	Rotor locked watchdog timeout Watchdog timer period value (overflow value). In steps of 1s b000: 1 second b001: 2 s b111: 8 s
WD_BK_DIS	12	rw	Buck watchdog disable Buck watchdog (start-up) disable b0: Buck watchdog enabled b1: Buck watchdog disabled
0	15:13	res	Reserved A read always returns 0

栅极驱动器电流控制寄存器

用于控制压摆率的栅极驱动器电流设置。

IDRIVE_CFG

地址：17_H

复位值：BBBBH

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ILS_SINK				ILS_SRC				IHS_SINK				IHS_SRC			
rw				rw				rw				rw			

Field	Bits	Type	Description
IHS_SRC	3:0	rw	High-side source current High side gate driver rise or pull-up gate current applied during period T_{DRIVE2} b0000 - 10mA b0001 - 20mA b0010 - 30mA b0011 - 40mA b0100 - 50mA b0101 - 60mA b0110 - 80mA b0111 - 100mA b1000 - 125mA b1001 - 150mA b1010 - 175mA b1011 - 200mA b1100 - 250mA b1101 - 300mA b1110 - 400mA b1111 - 500mA

寄存器映射

IHS_SINK	7:4	rw	High-side sink current High-side gate driver fall or pull-down gate current applied during period T_{DRIVE4} Same coding as IHS_SRC
ILS_SRC	11:8	rw	Low-side source current Low side gate driver rise or pull-up gate current applied during period T_{DRIVE2} Same coding as IHS_SRC
ILS_SINK	15:12	rw	Low-side sink current Low side gate driver fall or pull-down gate current applied during period T_{DRIVE4} Same coding as IHS_SRC

栅极驱动器预充电电流控制寄存器

低侧栅极驱动器控制参数

IDRIVE_PRE_CFG

地址: 18_H复位值: 00BB_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0							I_PRE_EN	I_PRE_SINK				I_PRE_SRC			
res							rw	rw				rw			

Field	Bits	Type	Description
I_PRE_SRC	3:0	rw	Pre-charge source current setting (T_{DRIVE1}) Rise or pull-up gate current applied during pre-charge phase (T_{DRIVE1}) b0000 - 10mA b0001 - 20mA b0010 - 30mA b0011 - 40mA b0100 - 50mA b0101 - 60mA b0110 - 80mA b0111 - 100mA b1000 - 125mA b1001 - 150mA b1010 - 175mA b1011 - 200mA b1100 - 250mA b1101 - 300mA b1110 - 400mA b1111 - 500mA

寄存器映射

I_PRE_SINK	7:4	rw	Pre-charge sink current setting (T_{DRIVE3}) Fall or pull-down current during pre-charge phase (T_{DRIVE3}) Same coding as I_PRE_SRC
I_PRE_EN	8	rw	Gate driver pre-charge mode enable Enables extra pre-charge current configurations. In case of disabled, 1.5A are applied during T_{drive1} and T_{drive3} periods b0: Pre-charge current enabled. Values I_PRE_SINK and I_PRE_SRC are applied during T_{DRIVE1} and T_{DRIVE3} respectively b1: Pre-charge mode disabled. 1.5A applied during T_{DRIVE1} and T_{DRIVE3}
0	15:9	res	Reserved A read always returns 0

寄存器映射

TDRIVE源控制寄存器

用于栅极驱动器灌电流模式的 T_{DRIVE1} 和 T_{DRIVE2} 配置寄存器

TDRIVE_SRC_CFG

地址: 19_H复位值: FF00_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDRIVE2								TDRIVE1							
rw								rw							

Field	Bits	Type	Description
TDRIVE1	7:0	rw	T_{DRIVE1} timing T_{DRIVE1} value for high and low side. First turn on or pre-charge period b00000000 - 0ns b00000001 - 50ns (values between 0ns and 50ns not allowed) 10ns steps b11111111 - 2590ns
TDRIVE2	15:8	rw	T_{DRIVE2} timing T_{DRIVE2} value for high and low side. b00000000 - 0ns b00000001 - 10ns 10ns steps b11111111 - 2550ns

TDRIVE 灌电流控制寄存器

用于栅极驱动器灌电流模式的 TDRIVE1 和 TDRIVE2 配置寄存器

TDRIVE_SINK_CFG

地址: 1A_H复位值: FF00_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
TDRIVE4								TDRIVE3							
rw								rw							

Field	Bits	Type	Description
TDRIVE3	7:0	rw	T_{DRIVE3} timing T_{DRIVE3} value for high and low side. First turn off or pre-discharge period b00000000 - 0ns b00000001 - 50ns (values between 0ns and 50ns not allowed) 10ns steps b11111111 - 2590ns

寄存器映射

TDRIVE4	15:8	rw	T_{DRIVE4} timing T _{DRIVE4} value for high and low side. b00000000 - 0ns b00000001 - 10ns 10ns steps b11111111 - 2550ns
----------------	------	----	--

死区时间寄存器

死区时间配置。

DT_CFG 地址: 1B_H
复位值: 3131_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DT_FALL								DT_RISE							
rw								rw							

Field	Bits	Type	Description
DT_RISE	7:0	rw	Dead time rise (of phase node voltage) Dead time rise (low to high) value b00000000: 120 ns b00000001: 200 ns In steps of 80ns ... b00110001: 4040ns ... b10010101: 12040 ns b10010110: b11111111: Unused (defaults to 120ns)
DT_FALL	15:8	rw	Dead time fall (of phase node voltage) Dead time fall (high to low) value b00000000: 120 ns b00000001: 200 ns In steps of 80ns ... b00110001: 4040ns ... b10010101: 12040 ns b10010110: b11111111: Unused (defaults to 120ns)

寄存器映射

电荷泵配置寄存器

电荷泵相关控制。

CP_CFG

地址: 1C_H

复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0													CP_CLK_SS_DIS	CP_CLK_CFG	
res													rw	rw	

Field	Bits	Type	Description
CP_CLK_CFG	1:0	rw	Charge pump clock frequency configuration This bitfield configures the charge pump clock switching frequency. b00: 781.25 kHz b01: 390.625 kHz b10: 195.3125 kHz b11: 1.5625 MHz
CP_CLK_SS_DIS	2	rw	Charge pump clock spread spectrum disable b0: Spread spectrum is enabled b1: Spread spectrum disabled
0	15:3	res	Reserved A read always returns 0

寄存器映射

电流检测放大器配置寄存器

电流检测放大器配置。

CSAMP_CFG

地址: 1D_H复位值: 0028_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CS_OCPFLT_CFG		CS_OCP_DEGLITCH		CS_EN_DCCAL	CS_BLANK			CS_EN			CS_GAIN_ANA		CS_GAIN		
rw		rw		rw	rw			rw			rw		rw		

Field	Bits	Type	Description
CS_GAIN	2:0	rw	Gain of current sense amplifiers Selects gain of current sense amplifier when digitally programmed b000: 4 V/V b001: 8 V/V b010: 12 V/V b011: 16 V/V b100: 20 V/V b101: 24 V/V b110: 32 V/V b111: 64 V/V
CS_GAIN_ANA	3	rw	CS Gain analogue programming enable CS Gain analogue programming enable b0: Gain is selected via register configuration (CS_GAIN bitfield) b1: Gain is defined by CS_GAIN pin resistor as per Table 15
CS_EN	6:4	rw	Enable of each current shunt amplifier Enable of each current shunt amplifier bit 0: phase A bit 1: phase B bit 2: phase C b0: Amplifier disabled b1: Amplifier enabled

寄存器映射

CS_BLANK	10:7	rw	Current shunt amplifier blanking time Current shunt amplifier blanking time b0000: 0 ns b0001: 50 ns b0010: 100 ns b0011: 200 ns b0100: 300 ns b0101: 400 ns b0110: 500 ns b0111: 600 ns b1000: 700 ns b1001: 800 ns b1010: 900 ns b1011: 1 us b1100: 2 us b1101: 4 us b1110: 6 us b1111: 8 us
CS_EN_DCC AL	11	rw	Enable DC Calibration of CS amplifier DC calibration of CS amplifier b0: No calibration is executed b1: DC calibration mode executed: all power stages in high Z: powered but not driving
CS_OCP_DE GLITCH	13:12	rw	Current sense amplifier OCP deglitch OCP deglitch timing configuration of the OCP on current sense amplifiers-deglitch disabled (bypassed) if CS_TRUNC_DIS = b0 (register CSAMP_CFG2) b00: 0 μs b01: 2 μs b10: 4 μs b11: 8 μs
CS_OCPFLT _CFG	15:14	rw	Current sense amplifier OCP fault trigger configuration OCP fault trigger configuration b00: Count 8 OCP events b01: Count 16 OCP events b10: Trigger on all OCP events b11: No fault trigger (PWM Truncation continues as defined in bitfield CS_TRUNC_DIS in register CSAMP_CFG2)

寄存器映射

电流检测放大器配置寄存器2

电流检测放大器配置扩展寄存器。

CSAMP_CFG2 地址: 1E_H
复位值: 0833_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
CS_AZ_CFG	CS_NEG_OCP_DIS	VREF_INSEL	CS_TRUNC_DIS	CS_OCP_BRAKE	CS_MODE	CS_OCP_LATCH	CS_OCP_NTHR				CS_OCP_PTHR				
rw		rw	rw	rw	rw	rw	rw				rw				

Field	Bits	Type	Description
CS_OCP_PTHR	3:0	rw	Current sense amplifier OCP positive thresholds This bitfield configures the threshold level for the positive OCP 4'b0000: 300mV 4'b0001: 250mV 4'b0010: 225mV 4'b0011: 200mV 4'b0100: 175mV 4'b0101: 150mV 4'b0110: 125mV 4'b0111: 100mV 4'b1000: 90mV 4'b1001: 80mV 4'b1010: 70mV 4'b1011: 60mV 4'b1100: 50mV 4'b1101: 40mV 4'b1110: 30mV 4'b1111: 20mV

寄存器映射

CS_OCP_NTHR	7:4	rw	Current sense amplifier OCP negative thresholds This bitfield configures the threshold level for the negative OCP 4'b0000: -300mV 4'b0001: -250mV 4'b0010: -225mV 4'b0011: -200mV 4'b0100: -175mV 4'b0101: -150mV 4'b0110: -125mV 4'b0111: -100mV 4'b1000: -90mV 4'b1001: -80mV 4'b1010: -70mV 4'b1011: -60mV 4'b1100: -50mV 4'b1101: -40mV 4'b1110: -30mV 4'b1111: -20mV
CS_OCP_LATCH	8	rw	OCP latch choice OCP fault can be selected with this bitfield to be a latched: b0: Unlatched b1: Latched
CS_MODE	9	rw	Current sense amplifier sensing mode Select between shunt resistor and $R_{DS(on)}$ sensing modes b0: Shunt resistor b1: $R_{DS(on)}$ sensing-CS_TMODE forced to be GL ON only
CS_OCP_BRAKE	10	rw	Current sense amplifier brake on OCP configuration Brake on OCP b0: No braking upon OCP fault. b1: Brake on OCP fault (fault set to latched). The braking mode is configured in PWM_CFG register
CS_TRUNC_DIS	11	rw	PWM truncation disable Disables the truncation of PWM when an OCP occurs. This does not affect fault triggering. b00: PWM truncation enabled b01: PWM truncation disabled
VREF_INSEL	12	rw	VREF source selection This bitfield controls whether the current sense amplifier buffer offset (reference) is generated internally or is applied externally through the device pin VREF b0: Use internal b1: Use external

寄存器映射

CS_NEG_OC P_DIS	13	rw	Current sense negative OCP disable This bitfield disables the negative Over Current Protection in the current shunt amplifiers including both the PWM truncation and fault reporting b0: Negative OCP fault is enabled b1: Negative OCP fault is disabled
CS_AZ_CFG	15:14	rw	Current sense Auto-Zero configuration This bitfield configures the Auto-Zero feature b00: Auto-Zero enabled with internal synchronization b01: Auto-Zero disabled b10: Auto-Zero enabled with external synchronization b11: Auto-Zero enabled with external synchronization and charge pump clock gating

OTP程序寄存器

OTP 编程命令和用户 ID。

OTP_PROG

地址: 1F_H复位值: 0000_H

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
0											USER_ID			OTP_PROG	
res											rw			w	

Field	Bits	Type	Description
OTP_PROG	0	w	Program OTP Setting this bitfield will start programming of OTP
USER_ID	4:1	rw	User ID Space for user to enter an ID into OTP for version control
0	15:5	res	Reserved A read always returns 0

应用描述

9 应用描述

以下是针对 6EDL7141 的最佳性能提出的应用建议。

9.1 推荐的外部元件

6EDL7141 需要一些外部元件才能正常工作。推荐的元件和值列于表 22 中。

表 22 推荐的外部元件

Element	Pin1	Pin2	Recommended value	Rating	Notes
C _{PVDD}	PVDD	PGND	4.7μF	According to PVDD	
C _{DVDD}	DVDD	DGND	10μF + 0.1μF	16V	According to MCU or other ICs specs
C _{VCCHS}	VCCHS	PVDD	1μF < C _{VCCHS} < 2.2μF	25V if connected to PVDD or according to (PVDD+PVCC) if connected to PGND	Depending on VCCHS ripple and start-up requirements
C _{VCCLS}	VCCLS	PGND	1μF < C _{VCCLS} < 4.7μF	25V	Depending on VCCLS ripple and start-up requirements
C _{CP1}	CP1H	CP1L	220nF < C < 1μF	16V or 25V	0.47μF recommended
C _{CP2}	CP2H	CP2L	220nF < C < 1μF	According to PVDD	0.47μF recommended
L _{BUCK}	PH	VDDB	22μH	According to max expected peak current – (device limit I _{BUCK_PEAK_LIM})	500kHz configuration
			10μH		1MHz configuration
C _{BUCK}	VDDB	PGND	47 μF	16V	500kHz configuration
			47 μF		1MHz configuration
R _{SENSE}	VSENSE/nB RAKE	DGND	R=3.3kΩ→DVDD=3.3V R=10kΩ→DVDD=5.0V Diode for nBRAKE (see section 3.9.2)	-	Selects DVDD 3.3V or 5V respectively. Tolerance 5% or better
R _{CS_GAIN}	CS_GAIN/AZ	DGND	See Table 15 for gain	-	1% tolerance is recommended
R _{AZ}	CS_GAIN/AZ	DVDD	1kΩ-10kΩ	-	Pull up to DVDD. Diode might be required (see section 3.9.3)
R _{nFAULT}	nFAULT	DVDD	1kΩ-10kΩ	-	

9.2 PCB 布局建议

布局对于确保高质量的信号和传感至关重要。本节提供了不同的建议，以获得最佳的电气、热和 EMI 结果。

接地和供电

PGND 是 6EDL7141 中以下部分使用的接地：

- 降压转换器

应用描述

- 电荷泵
- 低侧和高侧栅极驱动器

DGND 用于：

- 数字逻辑，
- 电流检测放大器
- DVDD

建议用 PGND 实体面覆盖与 PGND 参考组件，用 DGND 实体面覆盖与 DGND 参考组件。还要确保 PGND 平面和 DGND 平面之间没有重叠，以避免交叉耦合。

但是，PGND 和 DGND 必须连接到相同的电位，并且必须在 PCB 的同一位置相互连接。地点取决于多种因素。有时靠近电源或电池的负极（回路）可以产生最佳效果。

电源引脚（PVDD）的去耦电容应尽可能靠近引脚 15（PVDD）和引脚 17（PGND）。添加一个小的 0.1 μ F 电容器也有助于抑制高频毛刺。

一般来说，屏蔽栅极信号以及传感信号等信号非常重要，以防止噪声耦合和来自其他噪声区域的噪声注入。

如果预计电池电压会突然下降至接近 PVDD 的 UVLO 电平，建议使用可以在这些瞬态期间维持电源电压的大电容器。最终，二极管（例如，肖特基二极管）可以与 PVDD 串联，并置于去耦电容之前。这样可以避免当电池瞬态电压低于 6EDL7141 的 PVDD UVLO 电平时，PVDD 去耦电容器向电池或其他电路放电。

同样，如果 CE 引脚是通过分压器从电池电压导出的，则可能会受到这些瞬态的影响。最好在 CE 引脚上添加一个小电容器，可以确保噪声不会导致设备关机。CE 引脚的电流消耗极低。如果只能通过 6EDL7141 对 CE 电容器放电，则该设备可能会长时间保持开启状态。那么，设计一条放电路径将会很有用，以防这导致问题。

热设计

根据设备的配置和不同集成电源转换器（如同步降压、LDO 或电荷泵）的使用情况，设备会出现不同的功率损耗，从而转化为自热。例如，用户可以选择 LDO 输出电压：选择 5V 而不是 3.3V 将降低 LDO 模块的损耗。另一个例子是，降压转换器输出电压（LDO 的输入）可以根据栅极驱动电压需求进行配置。如果不需要 12 V 和 15 V，用户可以配置降压转换器以产生 7 V 输出电压，与标准情况 8 V 相比，LDO 中的损耗也会降低。

为了将产生的热量有效地传递到 PCB 上，器件与散热焊盘（DGND 焊盘）之间的牢固连接至关重要。此外，强烈建议设置足够数量的导热过孔，以便将热量从焊盘高效地传递到 PCB。图59 给出了一个示例。

一般来说，较厚的 PCB 层（2 oz/ft²-70 μ m- 或以上）有助于更快地散发设备内部产生的热量。

应用描述

降压转换器和 DVDD

降压转换器相对较高的开关频率和高电压开关（PVDD 至 PGND）使其成为设备中的敏感模块，需要在设计阶段格外注意。

主要目标是尽可能减小降压开关回路（ V_{PH} - 电感 - 电容 - VDDB）。在 6EDL7141 中，同步降压电路中的大多数元件都已集成，从而降低了电磁干扰 (EMI) 辐射，例如外部二极管或低侧 MOSFET，以及反馈电阻或基准电阻。

除了环路本身之外，尤其是将 V_{PH} 走线缩短到最短并避免电感器连接中出现大量铜也非常重要。该节点以高频 PVDD 电压进行切换，因此可能成为其他元件的噪声源，所以该走线必须尽可能远离敏感的模拟感应，如电流感应。

图 59 显示了具有最小化 V_{PH} 迹线和降压环路面积的可能的降压转换器布局。

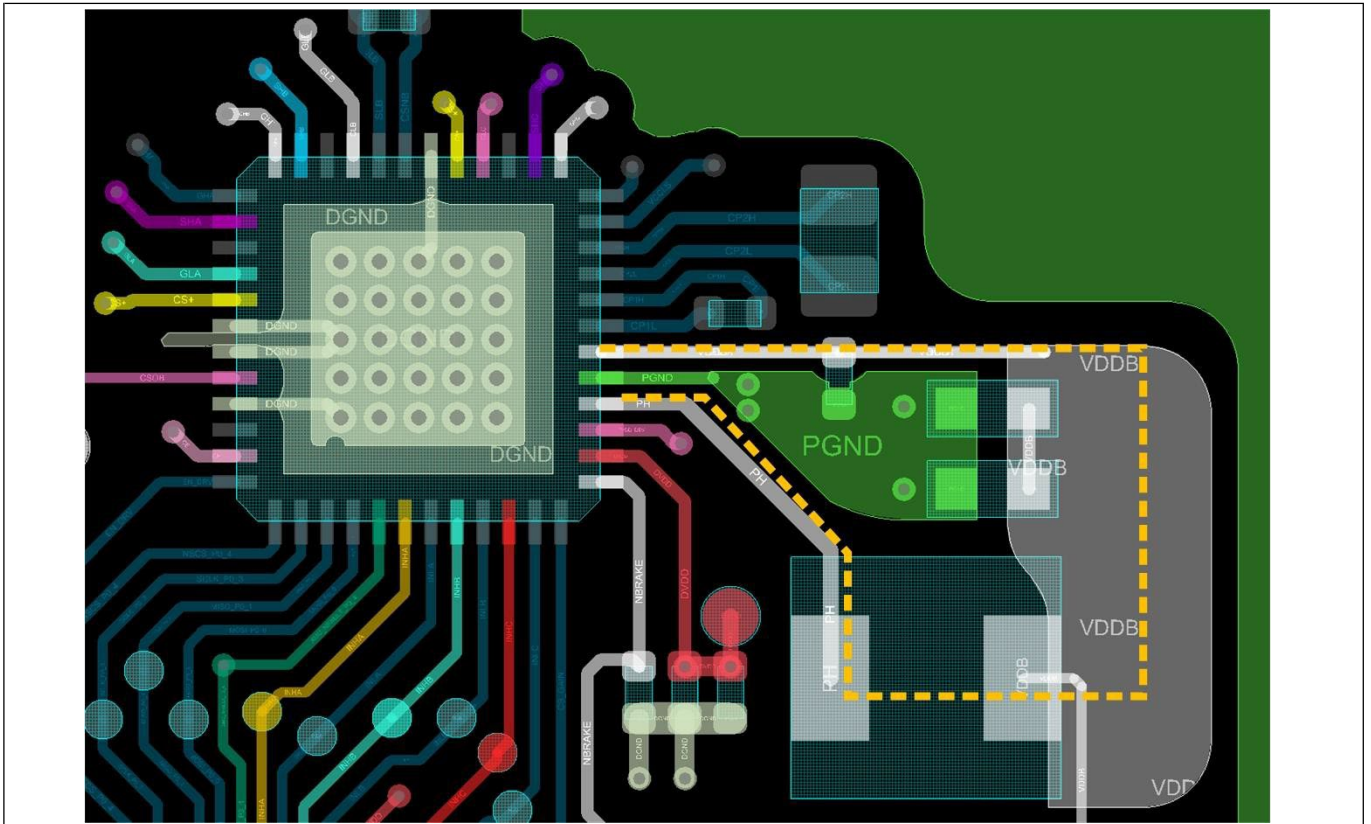


图 59 降压转换器布局建议。 V_{PH} 走线和降压环路面积（以突出显示）必须最小化。

DVDD 线性稳压器必须使用尽可能靠近 DVDD 引脚放置的电容进行去耦，并尽可能短地连接到另一端子的 DGND。建议 MCU 和其他由 DVDD 电压供电的组件在这些组件上使用额外的局部去耦电容。这有助于抑制这些走线布线所捕获的潜在噪声。

栅极驱动器和电荷泵

保持栅极信号的对称性，包括相位之间的对称性（A、B 和 C 相位的长度相似），以避免传播延迟不匹配。保持栅极电流环路尽可能短，并尝试尽可能接近发送和返回信号。

应用描述

低侧 SLx 的源信号在低侧 MOSFET 的源极和分流元件的顶侧感测之间共享。建议针对电流感应进行优化（分流端子的对称抽头和直至电流感应输入的并行布线），但是，如果不使用电流感应，则针对栅极驱动器性能进行优化是一个不错的选择。

电荷泵环路应尽可能小，电荷泵飞跨电容器必须放置在靠近引脚 19、20、21 和 22 的位置。VCCHS（引脚 24）和 VCCLS（引脚 23）中的储能电容器也类似。只要与器件的距离尽可能短，就可以将其中一些电容器放置在不同的层中。

图 60 展示了 6EDL7141 布局示例，重点展示了 A 相高侧和低侧的栅极驱动信号以及双 MOSFET 逆变器中的电流检测。

可以使用栅极电阻，但是用户必须知道 6EDL7141 的压摆率控制功能可以以可编程的方式调节 MOSFET 的开关速度。使用 Rg 电阻器会在 6EDL7141 和 MOSFET 的栅极之间增加额外的电压降。类似地，逆变器中可以使用缓冲元件（与 MOSFET 并联）和旁路电容器（高侧漏极到低侧源极），然而，压摆率控制器的灵活性允许移除这些元件，从而最大限度地减少物料清单，尤其是在布局繁忙的区域，这样就可以为功率部分腾出更多空间，例如，以便在 PCB 中更好地散热。

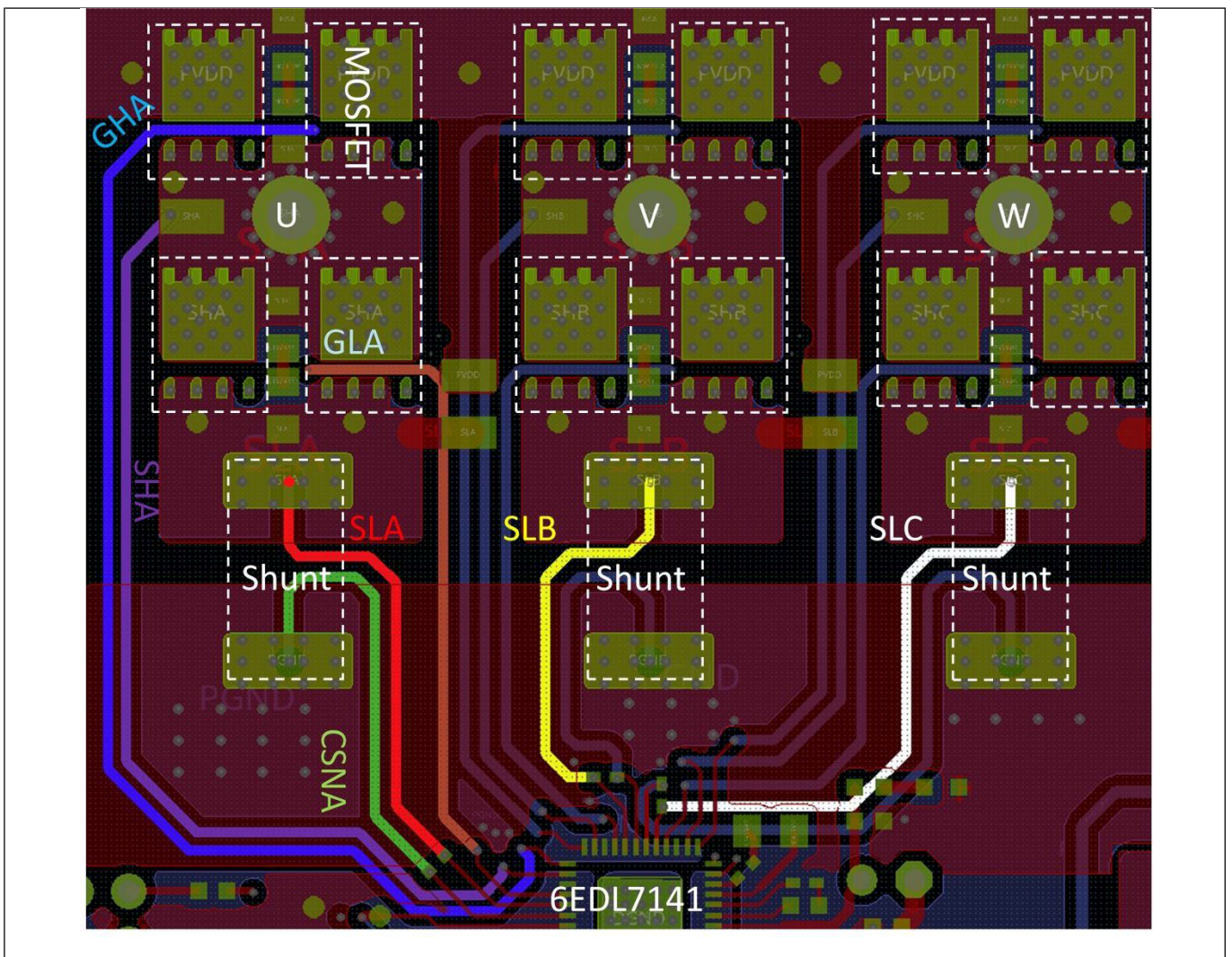


图 60 栅极驱动器和电流检测布局示例。信号在中间层路由

应用描述

电流检测

在 SLx 和 CSNx 处使用 RC 滤波器必须谨慎操作，并且不推荐这样做。R1 和 R2 如图 61 所示，由于放大器偏置电流和/或栅极驱动器电流会产生电压降，从而影响 R_{shunt} 电流检测精度。

R1 限制低侧 (LS) 栅极驱动器的电流，实际上起到 R_g 的作用。可以在 SLx 和 CSNx 之间使用并联电容器（如下图所示的 C1）。这可以增加 MOSFET 开关过程中的开关噪声，同时提高稳态值。较大的电容值会加剧这种影响。根据应用情况，可以调整该值。并联电容器应靠近 PCB 上的 SLx 和 CSNx 输入引脚，100 pF 至 1 nF 之间的值可以是一个很好的起点。

强烈建议在电流检测放大器输出 (CSOx) 和 MCU 的 ADC 输入之间使用 RC 滤波器。1MHz 的典型截止频率可以在滤波能力和动态行为之间取得良好的折衷，但用户必须根据整体性能目标来决定。

强烈建议采用分流电阻的开尔文连接，如图 60 所示。在这种情况下，SLx（红色）和 CSNx（蓝色）的走线布置在中间层，并覆盖有实心接地层。

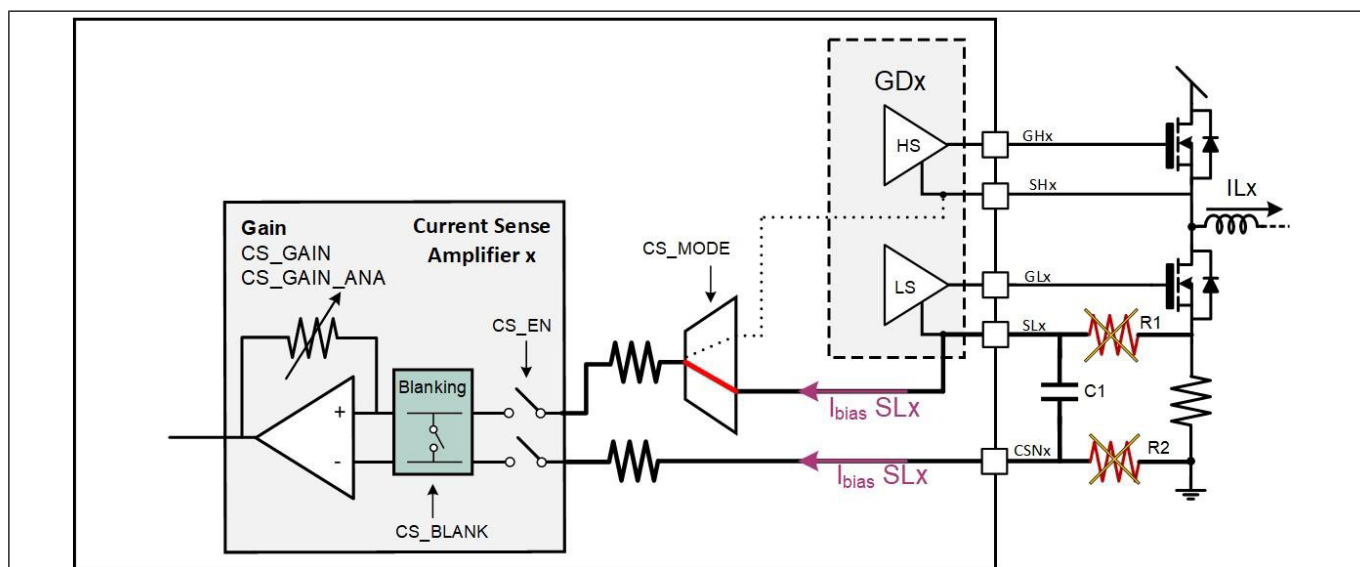


图 61 电流检测放大器输入滤波

9.3 典型应用

霍尔传感器可以直接连接到 MOTIX™ 6EDL7141 的输入端 INLA、INLB 和 INLC。图 62 展示了该方案的一个配置示例。在本例中，6EDL7141 配置为 1PWM 模式，实现梯形控制。MCU GPIO 引脚产生“方向”信号来改变电机转向。SPI 接口支持对 6EDL7141 进行编程。MCU 的 DVDD 电源电压通过使用 R_{sense} 电阻设置为 3.3V。

图 63 展示了另一种应用。该原理图实现了一种典型的无传感器控制无刷直流电机 (BLDC) 的方法。DVDD 通过 OTP 配置 (SPI 寄存器) 进行编程，可配置为 3.3V 或 5V。此版本采用 6PWM 模式。所有 3 个集成电流检测放大器均用于放大流经电流分流器的电流。电流检测放大器的输出连接到微控制器，以便正确控制电机。引脚 nBRAKE 允许微控制器在必要时通过下拉该引脚来制动电机。引脚 nFAULT 信号向微控制器报告 6EDL7141 中发生的任何故障。

应用描述

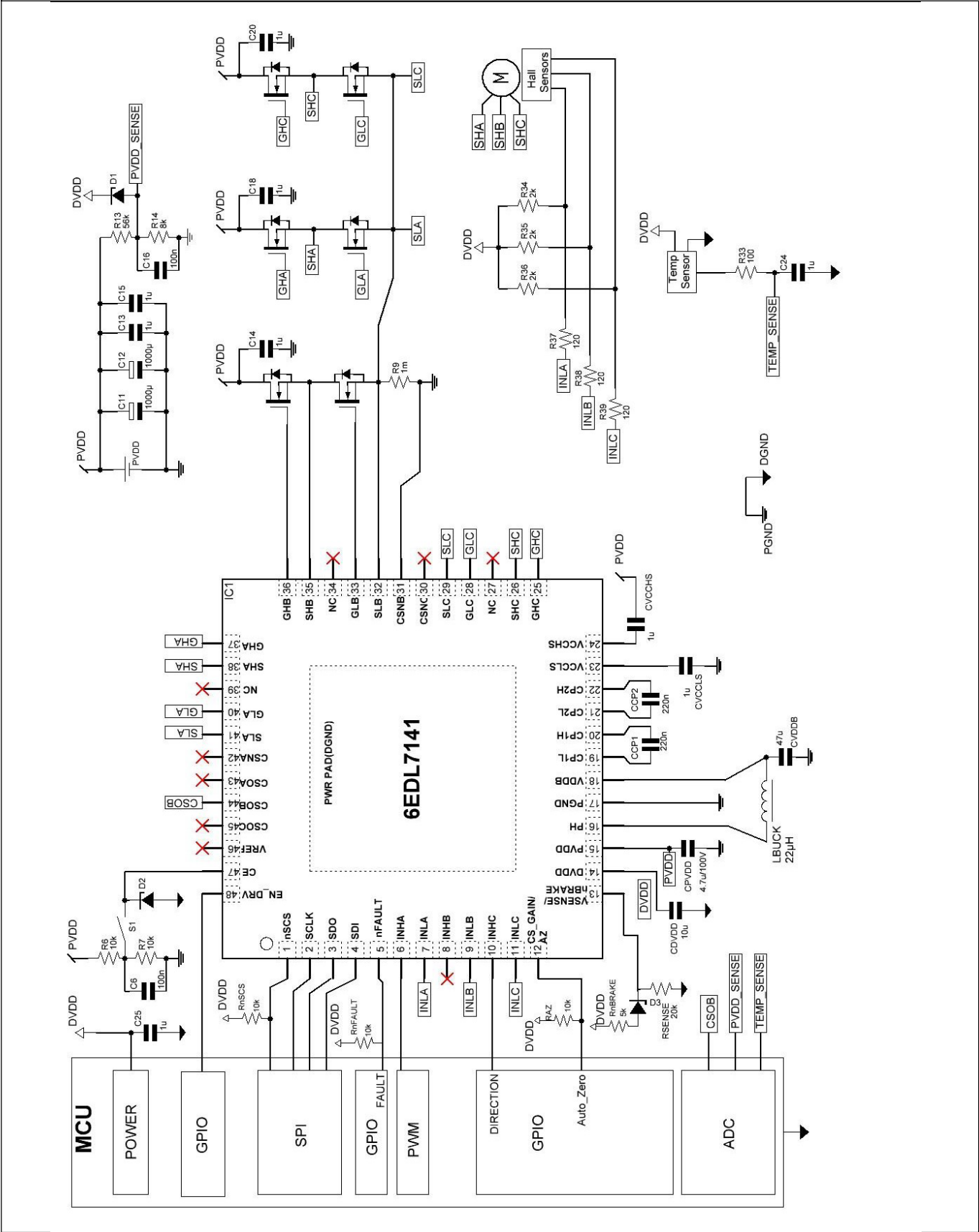


图 62 使用带有霍尔传感器和单分流测量的 1PWM 模式对 BLDC 电机进行梯形控制的示例原理图。分压器和电容器的额定电压必须根据目标 PVDD 电压进行计算。

应用描述

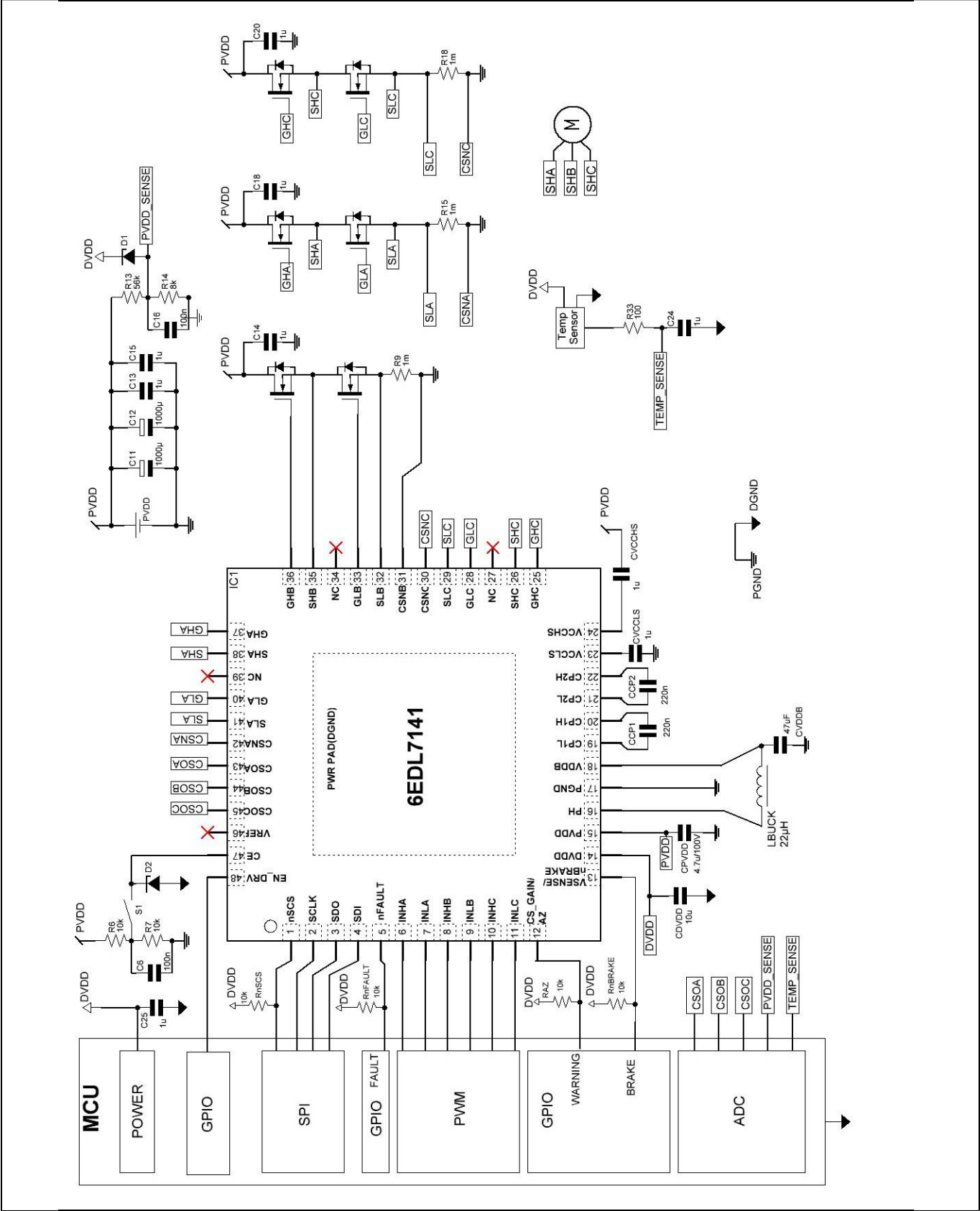


图 63 使用 6PWM 模式并采用 3 个分流器进行电流测量的 BLDC 电机无传感器控制示例原理图。分压器和电容器的额定电压必须根据目标 PVDD 电压进行计算。

ESD 保护

10 ESD 保护

以下图表显示了 MOTIX™ 6EDL7141 中不同引脚的 ESD 保护和引脚内部图。

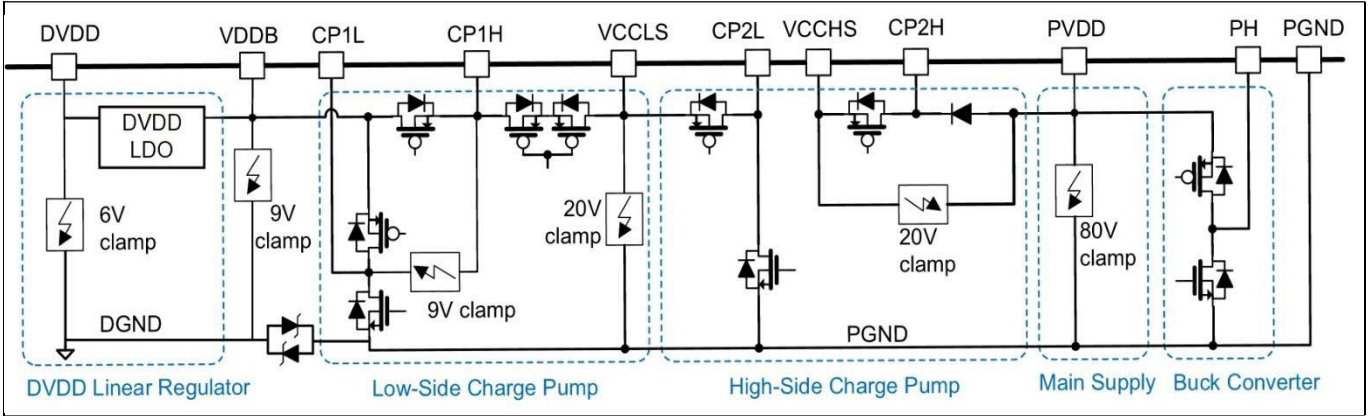


图 64 电源相关引脚 ESD 保护图

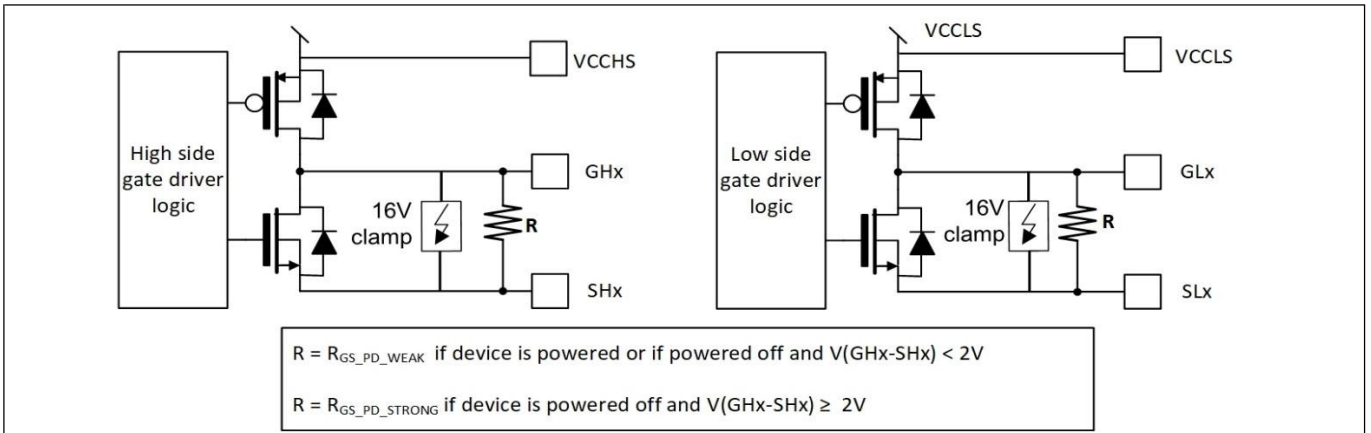


图 65 栅极驱动器输出引脚图

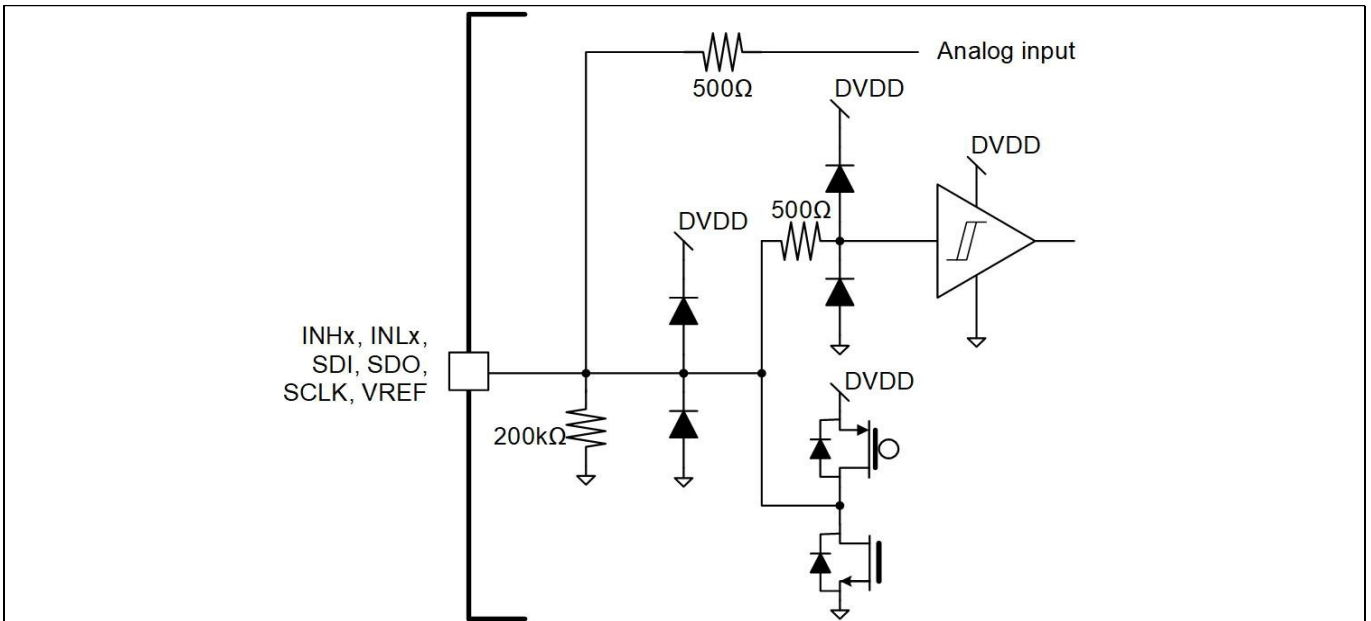


图 66 ESD 保护和数字引脚高电平有效引脚图

ESD 保护

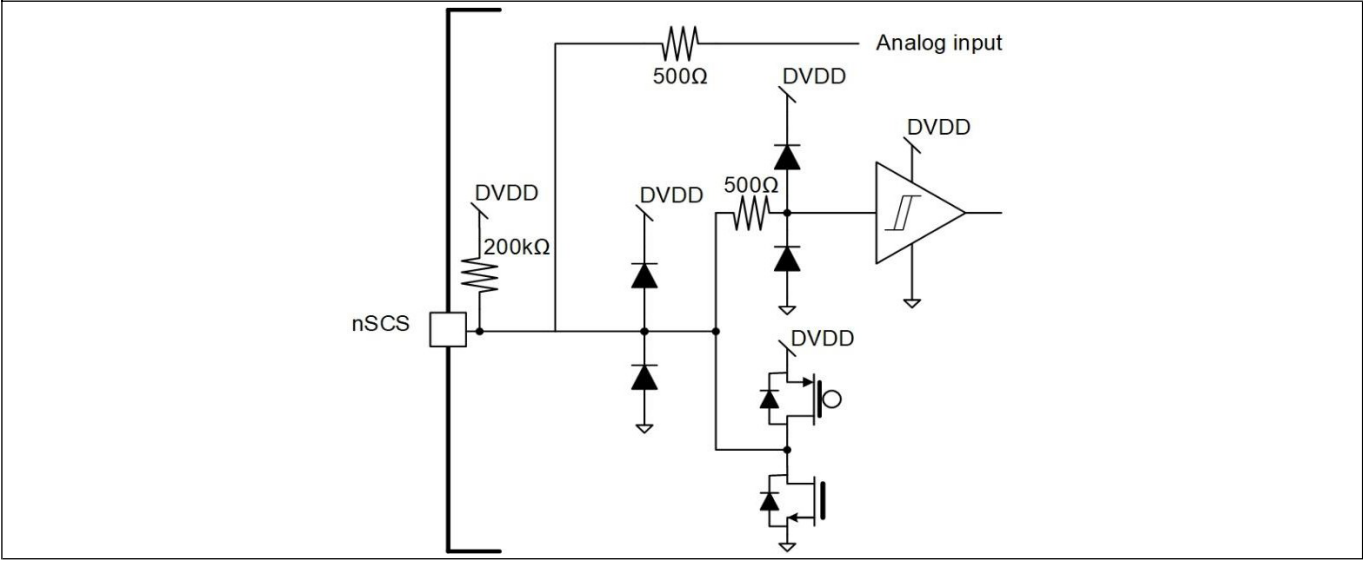


图 67 nSCS 引脚的 ESD 保护和引脚图

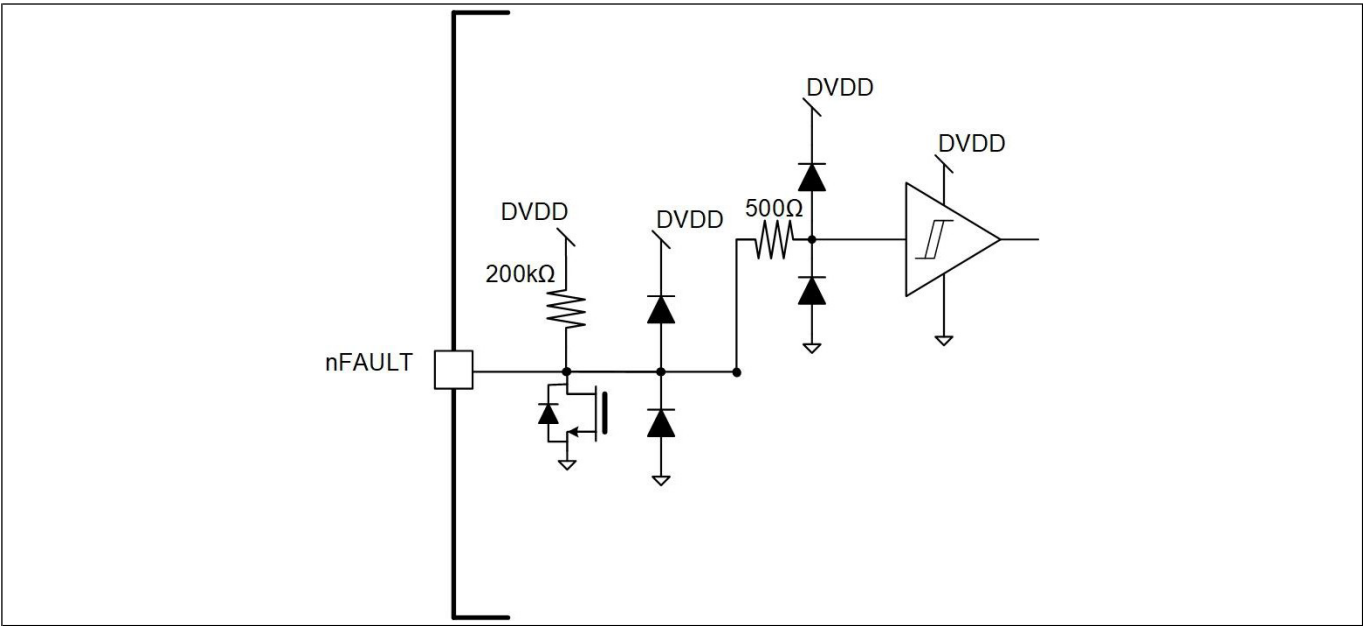


图 68 nFAULT 漏极开路引脚的 ESD 保护和引脚图

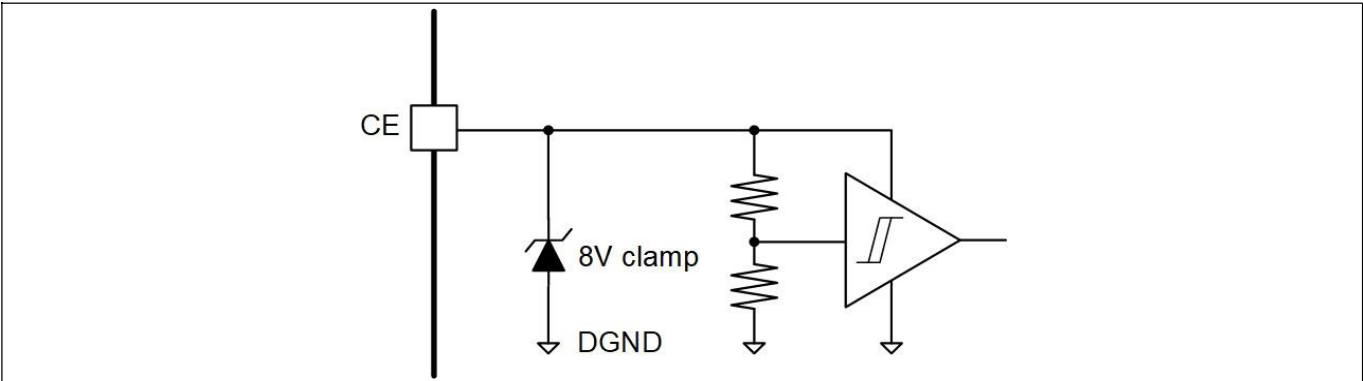


图 69 CE 引脚的 ESD 保护和引脚图

ESD 保护

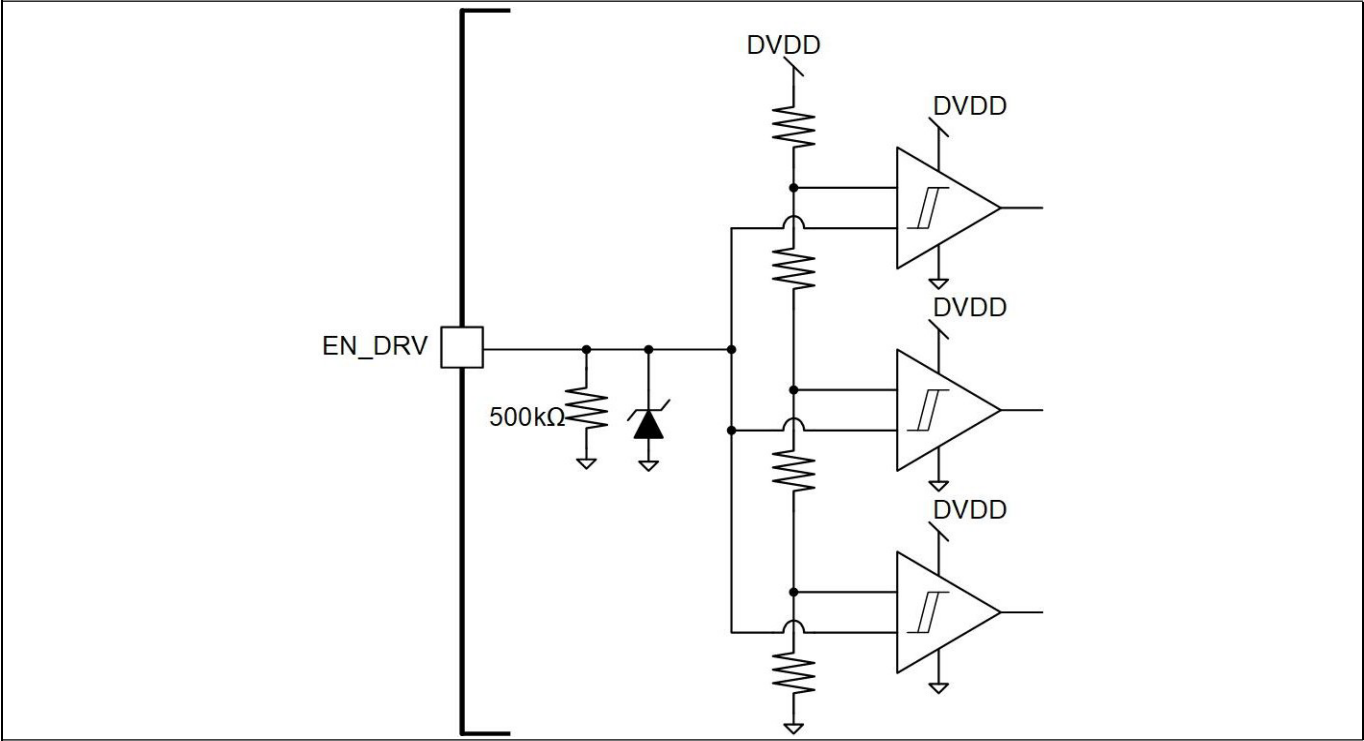


图 70 EN_DRV 引脚的 ESD 保护和引脚图

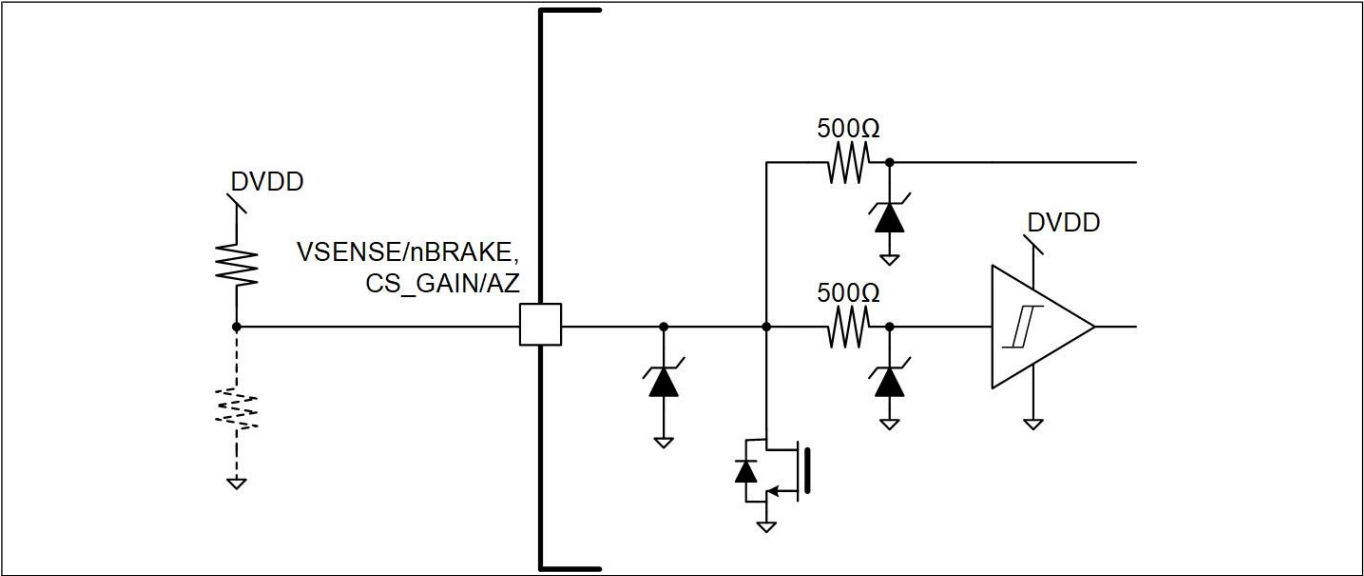


图 71 VSENSE/nBRAKE 和 CS_GAIN/AZ 引脚的 ESD 保护和引脚图

ESD 保护

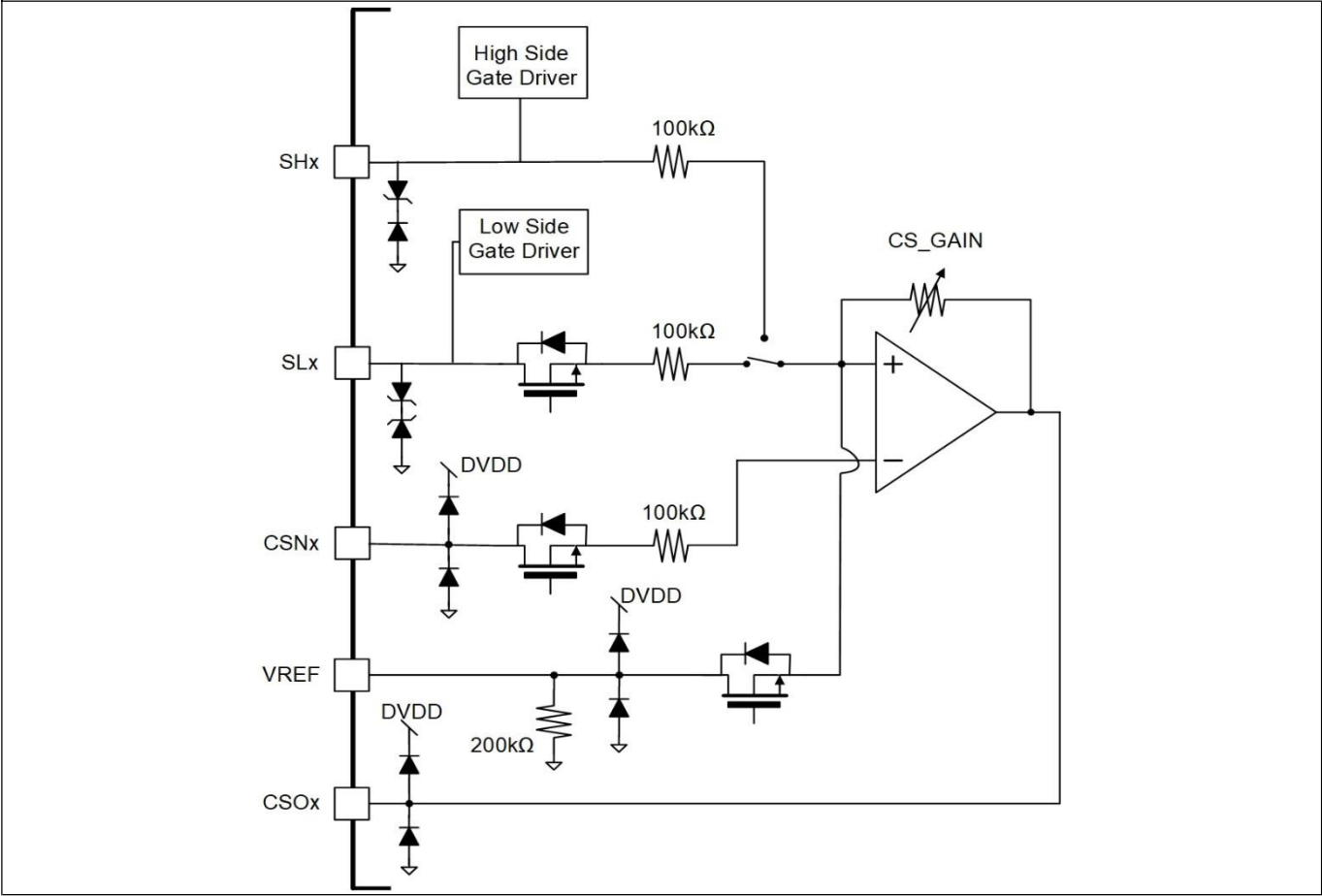
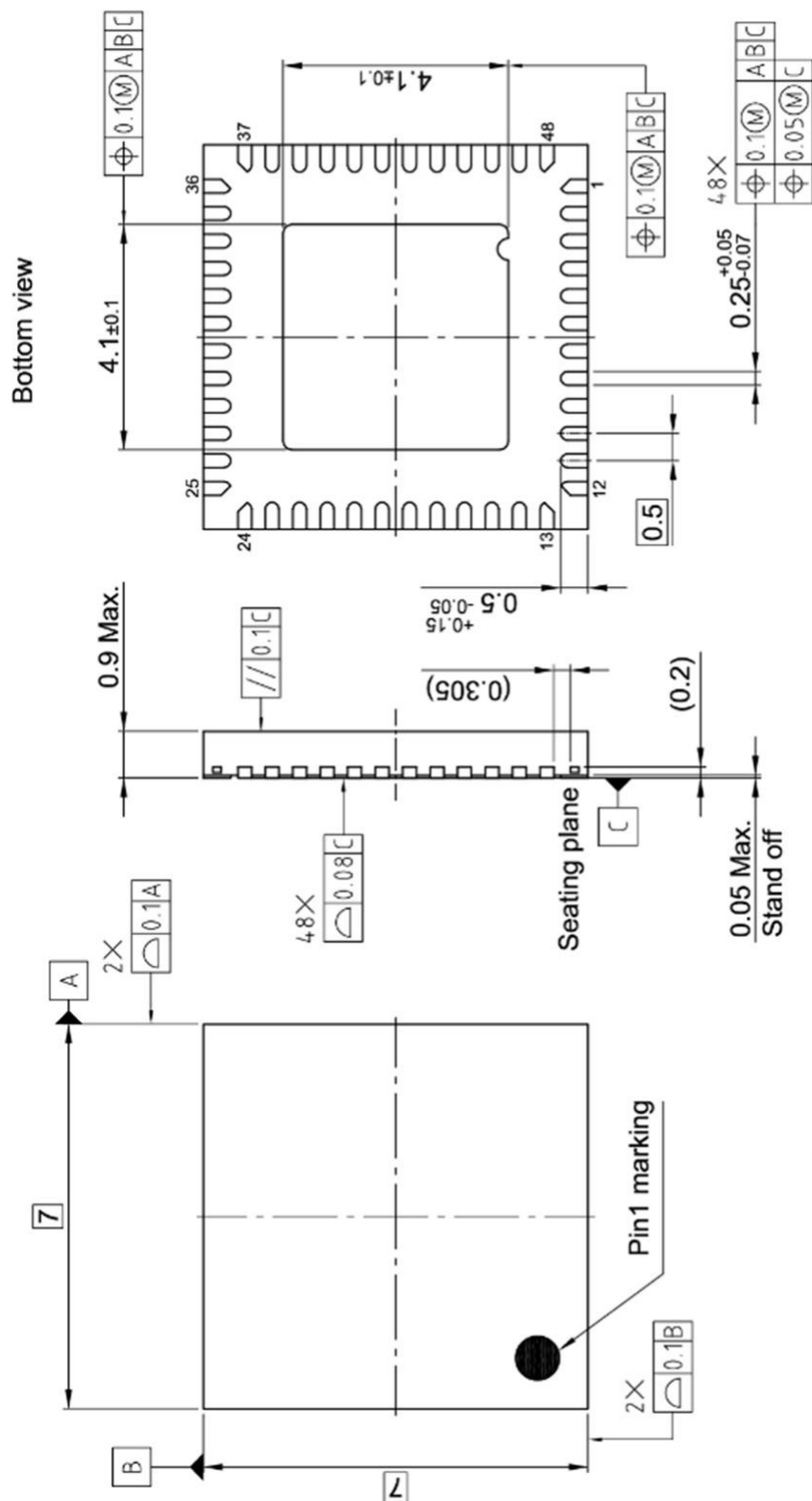


图 72 电流检测放大器相关引脚的 ESD 保护和引脚图

11 封装信息



All dimensions are in units mm

The drawing is in compliance with ISO 128-30, Projection Method 1 []

Drawing according to ISO 8015, general tolerances ISO 2768-mK

图 73 PG-VQFN-48-78 封装外形

封装信息

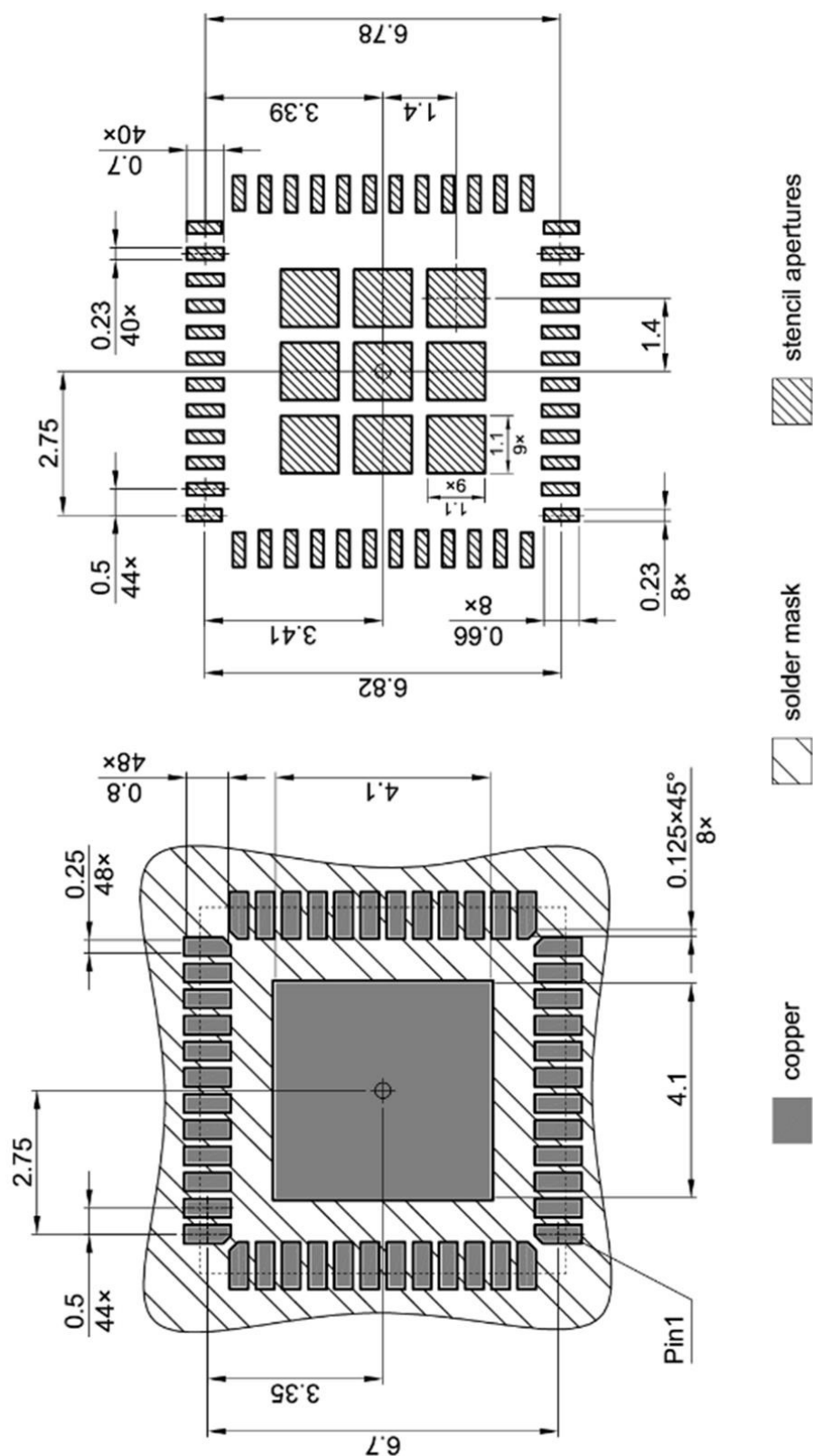


图 74 PG-VQFN-48-78 PCB 封装尺寸

修订记录

修订记录

Page or Reference	Description of change
v1.00	First public version
v1.02	Datasheet update - Editorial changes including Absolute Maximum Ratings table notes. - Simplified ESD diagram for nFAULT, nSCS pins. - Minor editorial changes in Product Features section. - New graphs added in Electrical Characteristic Graphs section. Added additional test conditions. - Improvements in Figure 18, Figure 27, Figure 28, Figure 29 and Figure 37. - Correction in description of Standby type of register programmability in section 8.1: EN_DRV level low condition versus edge. - Added Figure 74 (package footprint dimensions figure) - Changes in Electrical Characteristics table - PVDD active, standby and OFF consumption t_{CP_START} added new value on PVDD < 10V - Test coverage correction in $t_{PROP_MATCH_CH}$, $t_{DT_MATCH_CH}$ and $V_{GS_CPM_TH}$ ΔV_{DDB_LOAD} correction $V_{CS_REF_ACC}$ improved to 1.5%
v1.04	Datasheet update - ESD diagram modification – VDDDB PMOS was inverse. - Added details in Figure 41 and improved description of this figure - Figure 46 corrected. - CVDDDB value updated in Figure 62 and Figure 63 - Absolute Maximum Ratings table: - Added more details on CPxy pins - Modified '$V_{CP1H} - V_{CP1L}$' and '$V_{CP2H} - V_{CP2L}$'. - Increased max value for VCCHS.
v1.06	Datasheet update - Register updates: - Bitfield CS_OCP_DEGLITCH description had inverted value for truncation description (b0, was b1). - Max value shown in register TEMP_ST description updated to 160C - Electrical Characteristics and other tables updates. $V_{GS_CPM_TH}$ value updated to 250mV - Added new parameters V_{CS_COM} and V_{CS_DIFF} - Open drain pin corrections on SDO and nSCS. nFAULT pin is push pull - Thermal data table conditions added - ESD table editorial changes and update of CDM reference to standard in note 3 - Figure improvements: - ESD figures improved - Removed device name from figures - Remove Rsense in Figure 17

修订记录

Page or Reference	Description of change
	○ Correction (pin GL was name wrongly) in Figure 37 • Correction in Table 13 state 001 Dir = 1 GHB/GLB polarity • Editorial changes and improvements. Including (MOTIX™) branding. Charge pump pre charge only takes place after a power cycle
v1.08	Datasheet updates • Correction in Figure 62 on RBRAKE, RSENSE values to avoid always low signal • Several editorial changes and typos • Added 'Thermal design' section in PCB layout recommendations • Changed SPI min clock period to 77ns in Table 7 • Changed DVDD OCP limit accuracy ($I_{DVDD_I_ACC}$) and added different specification for different OCP limit settings. • Revision history v1.06 mistake on nFAULT and SDO. nFAULT is open drain, SDO is output push pull, nSCS is input digital. • Separated ESD figure for nFAULT and nSCS pin
v1.20	Datasheet updates • Absolute Maximum Ratings table updated for following parameters: VCCLS, VCCHS, VCCHS-V_{SHX}, VCCHS-V_{GHX}, V_{CP1H}, V_{CP2L}, V_{CP2H}. • Changes in Electrical Characteristics table: • $I_{GD_ACCURACY}$ and f_{BUCK_SW} parameter condition modified • t_{PROP_HS}, t_{PROP_LS} and $V_{CS_REF_ACC}$ min and max values modified and added condition • $V_{DDB_NOM_LV}$, $V_{DDB_OVLO_F}$, $\epsilon_{ADC_GAIN_ERR}$, $I_{DVDD_I_ACC}$ and V_{CS_OS} specifications modified • Following parameters are removed due to redundancy: f_{ADC_CLK}, V_{OD_LV} • Following parameters have a newly added 1) note: f_{PWM_GD}, f_{BUCK_SW}, $t_{V_{DDB_SFT_START}}$, t_{AN_T}, $t_{DVDD_TON_DLY}$, $t_{DVDD_SFT_START}$, t_{CS_BLANK}, $V_{CS_REF_ACC}$, t_{AUTO_ZERO}, $t_{AUTO_ZERO_CYCLE}$, $t_{CS_OCP_DEGLITCH}$, t_{OCP_BLANK}, $PVDD_{OTP_PROG}$, T_{OTP_PROG}, $t_{WD_EN_DRV_FREQ}$, t_{LOCK} • OTP programming test description in section 7: $PVDD < PVDD_{OTP_PROG}$ was wrongly '>' • Figure 3: added extra information - diagram is only valid for active mode • Faults table update in DVDD OVLO and OCP activation state.

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2024-03-22

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2024 Infineon Technologies AG.
All Rights Reserved.

**Do you have a question about
this document?**

Email: erratum@infineon.com

Important notice

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffenhheitsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

Warnings

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

版本 2026-09-14

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。