

# 英飞凌 EiceDRIVER™ 2EDi 产品系列

快速、稳健、双通道、功能强大、增强型隔离 MOSFET 栅极驱动器，提供精确和稳定的时序控制

## 描述

EiceDRIVER™ 2EDi 是快速双通道隔离式 MOSFET 栅极驱动器 IC 系列，通过无磁芯变压器 (CT) 技术提供功能性 (2EDFx) 或增强型 (2EDSx) 输入到输出隔离。由于具有高驱动电流、出色的共模抑制和快速信号传播，2EDi 特别适合驱动快速开关电源系统中的中高压 MOSFET (CoolMOS™、OptiMOS™、CoolSiC™、CoolGaN™)。

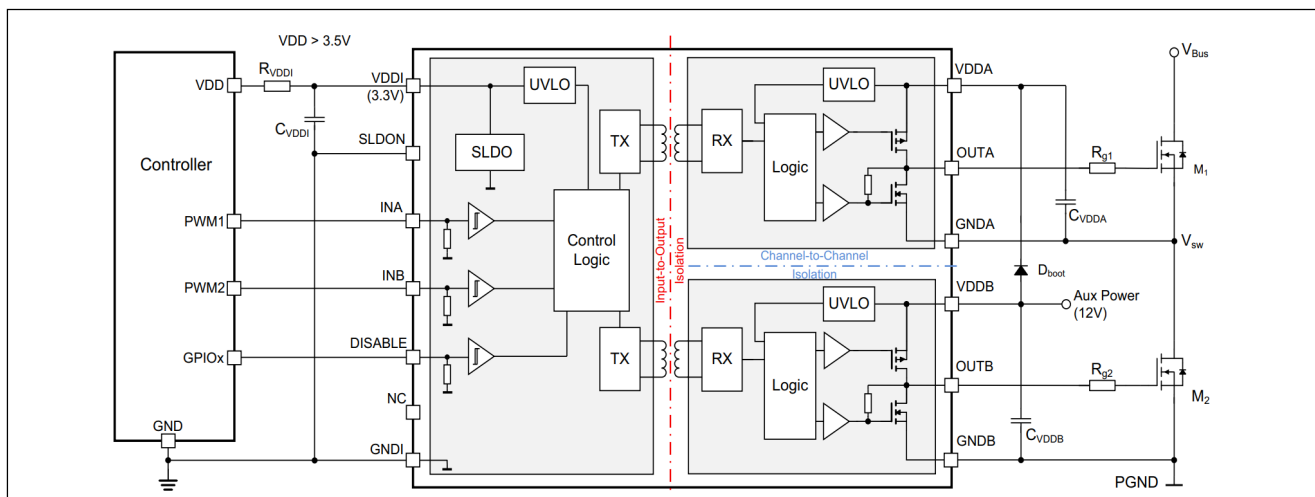
## 特性

- 4 A/8 A 或 1 A/2 A 拉/灌输出电流
- 高达 10 MHz 的 PWM 开关频率
- PWM 信号传播延迟典型值。37 纳秒，
  - 3 ns 通道间失配
  - +7/-6 ns 传播延迟变化幅度
- 共模瞬态抗扰度 CMTI > 150 V/ns
- 输入侧欠压锁定 (UVLO) 时快速安全关闭
- 输出电源电压为 4.5 V 至 20 V，具有 4V 或 8V UVLO 阈值
- 宽温度工作范围  $T_J = -40^\circ\text{C}$  至  $+150^\circ\text{C}$
- 符合 RoHS 标准的宽体/窄体 (WB/NB) DSO16 和 5 mm × 5 mm LGA 封装
- 完全符合 JEDEC 工业应用标准



## 隔离和安全证书

- **具有增强隔离功能的 2EDSx:**
  - 符合 DIN V VDE V 0884-10 (2006-12) 标准， $V_{IO\text{TM}} = 8\text{ kV}_{\text{pk}}$  和  $V_{IO\text{SM}} = 6.25\text{ kV}_{\text{pk}}$  (在  $10\text{ kV}_{\text{pk}}$  下测试)
  - 符合 UL1577 (Ed. 5) 光耦合器元件隔离标准认证， $V_{\text{ISO}} = 5700\text{V}_{\text{RMS}}$
  - 符合 DIN EN IEC 62368-1 认证和相应的 CQC 认证
- **带功能隔离的 2EDFx:** 使用  $1.5\text{ kV}_{\text{DC}}$  进行 10 ms 的生产测试



本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性请务必访问 [infineon.com](http://infineon.com) 参考最新的英文版本 (控制文档)。

### 潜在应用

- 服务器、电信和工业 开关电源
- 同步整流、模块电源、UPS 和电池存储
- 电动汽车充电行业自动化、电机驱动器和电动工具

## 目录

	描述.....	1
	目录.....	3
<b>1</b>	<b>描述.....</b>	<b>4</b>
1.1	EiceDRIVER™ 2EDi产品系列器件概述.....	4
1.2	输入到输出隔离测试.....	5
1.3	通道间隔离测试.....	5
1.4	应用概述和系统框图.....	5
<b>2</b>	<b>按器件类型划分的引脚配置.....</b>	<b>6</b>
<b>3</b>	<b>功能说明.....</b>	<b>8</b>
3.1	框图.....	8
3.2	输入至输出隔离.....	8
3.2.1	隔离类型的典型应用.....	9
3.3	供电电压.....	9
3.3.1	输入侧电源.....	9
3.3.2	输出侧电源.....	9
3.4	输入配置.....	10
3.5	驱动器输出.....	10
3.6	欠压锁定.....	11
3.6.1	输入侧 UVLO.....	11
3.6.2	输出侧 UVLO.....	11
3.7	数据传输输入端到输出端.....	11
<b>4</b>	<b>器件特性.....</b>	<b>12</b>
4.1	绝对最大额定值.....	12
4.2	热特性.....	13
4.3	工作范围.....	14
4.4	电气特性.....	14
4.5	功能和增强隔离规格.....	18
4.5.1	功能隔离规格.....	18
4.5.2	PG-TFLGA-13-4 封装器件的功能隔离.....	18
4.5.3	NB PG-DSO-16-11 封装器件的功能隔离.....	19
4.5.4	WB PG-DSO-16-30 封装器件的增强隔离.....	20
4.5.5	安全限值.....	22
<b>5</b>	<b>时序图.....</b>	<b>23</b>
<b>6</b>	<b>典型特征.....</b>	<b>24</b>
<b>7</b>	<b>封装.....</b>	<b>29</b>
7.1	器件编号和标记.....	29
7.2	封装 PG-DSO-16-11.....	30
7.3	封装 PG-DSO-16-30.....	31
7.4	封装 PG-TFLGA-13-4.....	33
	修订记录.....	35

## 描述

## 1 描述

EiceDRIVER™ 2EDi 产品系列的栅极驱动器专为带有 MOSFET 开关的快速切换的中高功率系统而设计。它们针对温度和生产范围内的高时序精度进行了优化。可靠准确的时序简化了系统设计并提供更好的电源转换效率。

2EDSx、2EDFx 双通道增强型（安全型）和功能隔离型产品提供不同的驱动强度：4 A/8 A 适用于低阻值功率 MOSFET，1 A/2 A 适用于 MOSFET 上的高导通电阻或低开关瞬态 (EMI)。1 A/2 A 增强型隔离驱动器也可用作 PWM 数据耦合器，与非隔离升压栅极驱动器（例如放置在最靠近超结功率开关的位置的 1EDNx 4 A/8 A）配合使用。

两个独立且电气隔离的栅极驱动器通道确保所有 2EDi 版本都可以用于任何可能的低侧和高侧开关配置。最小值支持改进的系统稳健性。150 V/ns 共模瞬态抗扰度 (CMTI)、PWM 输入具有 18 ns 噪声滤波器、输出侧 UVLO（包括在输入 UVLO ( $V_{DDI} < 3\text{ V}$ ) 时驱动器输出的安全自锁）、PWM 输出具有高达 5 A 峰值反向电流能力以及本质上坚固的栅极驱动器设计。

### 1.1 EiceDRIVER™ 2EDi产品系列器件概述

表1 EiceDRIVER™ 2EDi产品系列器件概述

Part number <sup>1)</sup>	Package	Source/sink current	UVLO	Input-to-output isolation			
				Isolation class	Rating	Surge testing	Safety certification
2EDF7275F	NB-DSO16 10 mm × 6 mm	4 A/8 A	4 V	Functional	$V_{IO} = 1.5\text{ kV}_{DC}$	n.a	n.a
2EDF8275F			8 V				
2EDF9275F			13 V				
2EDF7175F		1 A/2 A	4 V				
2EDF7275K	LGA13 5 mm × 5 mm	4 A/8 A	4 V				
2EDS8265H	WB-DSO16 10.3 mm × 10.3 mm	4 A/8 A	8 V	Reinforced	$V_{IOTM} = 8\text{ kV}_{pk}$ (VDE0884-10 <sup>2)</sup>	$V_{IOSM} = 10\text{ kV}_{pk}$ (IEC60065)	VDE0884-10 <sup>2)</sup> UL1577, CSA No.5A EN 62368-1 <sup>3)</sup> GB 4943.1-2022, IEC 62368-1
2EDS9265H			13 V				
2EDS7165H		1 A/2 A	4 V				
2EDS8165H			8 V				

1) 有关器件订购信息和器件标记，请参阅[章节 7.1](#)、[表格 30](#)

2) 根据 VDE0884-10 规范进行测试，由于标准到期，认证不再有效

3) EN 62368-1 仅适用于 2EDS8265H 和 2EDS8165H

2EDi 产品表作为第一个快速器件选择指南提供；本数据表的产品特性、封装尺寸和测试章节中提供了更详细的规格。

可在 [www.infineon.com/2EDi](http://www.infineon.com/2EDi) 上查找有关配置和应用说明的最新信息



## 按器件类型划分的引脚配置

## 2 按器件类型划分的引脚配置

功能行为和电气特性与封装配置无关。

不同封装型号 2EDFx75F、2EDF7x75K 和 2EDSxx65H 的引脚配置概述如下图 2。

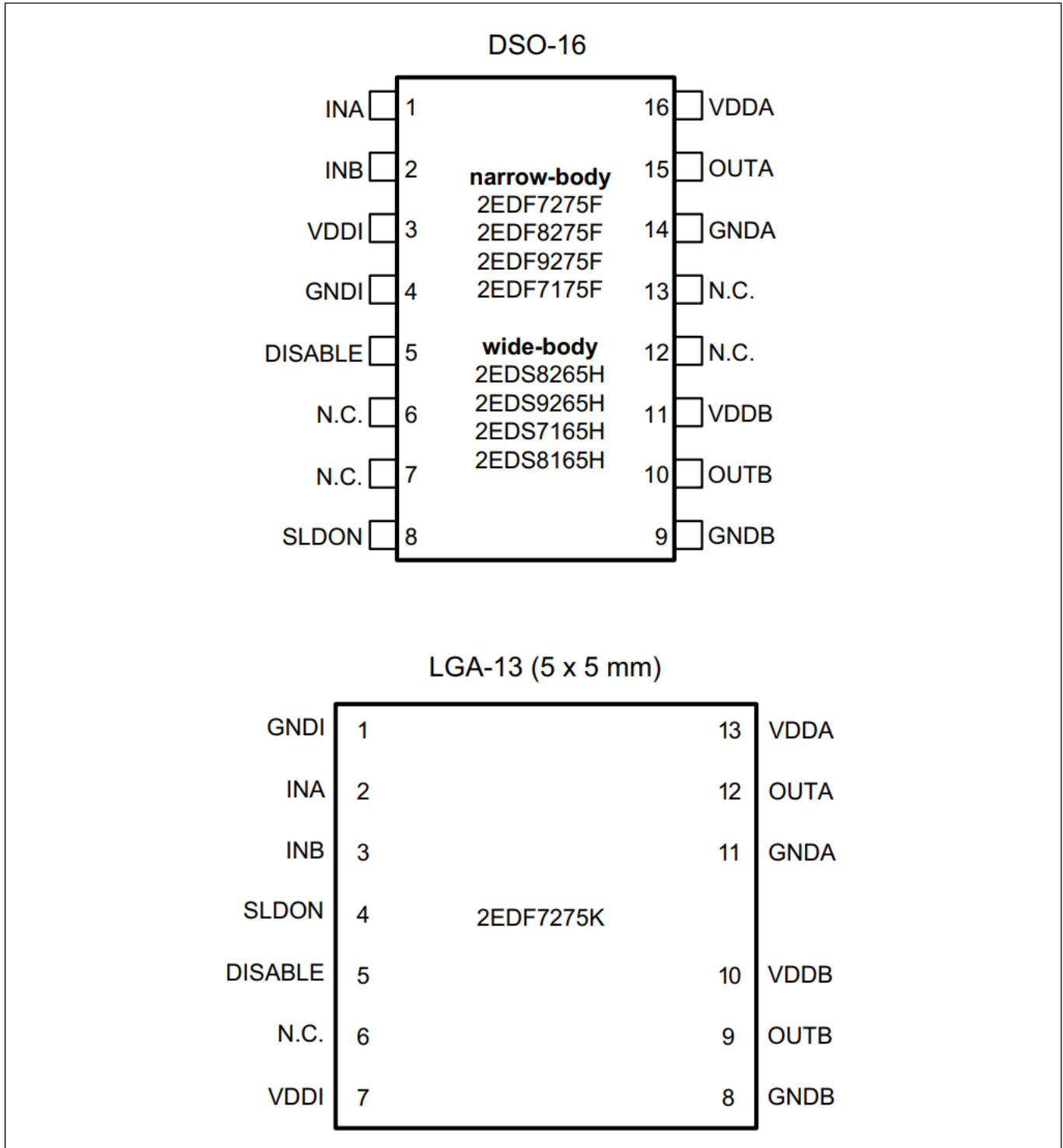


图 2 DSO-16 和 LGA-13 封装 (2EDF7x75F、2EDF7x75K 和 2EDF8x65H) 的引脚配置 (顶视图, 图形未按比例绘制)

## 按器件类型划分的引脚配置

有关封装图的详细信息，请参阅[章节 7 封装](#)。

**表2 双通道输入模式（带DISABLE、SLDON）引脚描述**

Pin# DSO	Pin# LGA	Symbol	Description
1	2	INA	Digital CMOS/TTL logic signal input for channel A with internal pull-down resistor to GNDI If channel is not used it is recommended to connect pin to GNDI (see <a href="#">Chapter 3.4</a> )
2	3	INB	Digital CMOS/TTL logic signal input for channel B with internal pull-down resistor to GNDI If channel is not used it is recommended to connect pin to GNDI (see <a href="#">Chapter 3.4</a> )
3	7	VDDI	Supply voltage (input side) 3.3 V (Internal SLDO available) It is recommended to place a bypass capacitor from VDDI to GNDI (see <a href="#">Chapter 3.3.1</a> )
4	1	GNDI	Ground input side (all signals on input side are referenced to this pin) (see <a href="#">Chapter 3.3.1</a> )
5	5	DISABLE	Digital CMOS/TTL logic input for both channels A and B; logic input high disables both output channels Internal pull-down resistor (see <a href="#">Chapter 3.4</a> )
6	6	N.C.	Not connected; keep pin floating
7	-	N.C.	Not connected; keep pin floating
8	4	SLDON	Default 3.3 V supply selected, if N.C. or connected to VDDI If SLDON pin is connected to GNDI, SLDO is activated and a supply voltage higher than 3.5 V can be used (see <a href="#">Chapter 3.3.1</a> ) Internal pull-up resistor to VDDI; hard-wired PCB connection recommended
9	8	GNDB	Ground for output channel B
10	9	OUTB	Output gate driver for channel B
11	10	VDDB	Supply voltage for output channel B It is recommended to place a bypass capacitor from VDDB to GNDB (see <a href="#">Chapter 3.3.2</a> )
12	N.P.	N.C.	Not present; not connected; for channel-to-channel isolation
13	-	N.C.	Not connected; for channel-to-channel isolation
14	11	GNDA	Ground for output channel A
15	12	OUTA	Output gate driver for channel A
16	13	VDDA	Supply voltage for output channel A It is recommended to place a bypass capacitor from VDDA to GNDA (see <a href="#">Chapter 3.3.2</a> )

## 功能说明

## 3 功能说明

## 3.1 框图

图3给出了 EiceDRIVER™ 2EDi 栅极驱动器系列的简化功能框图

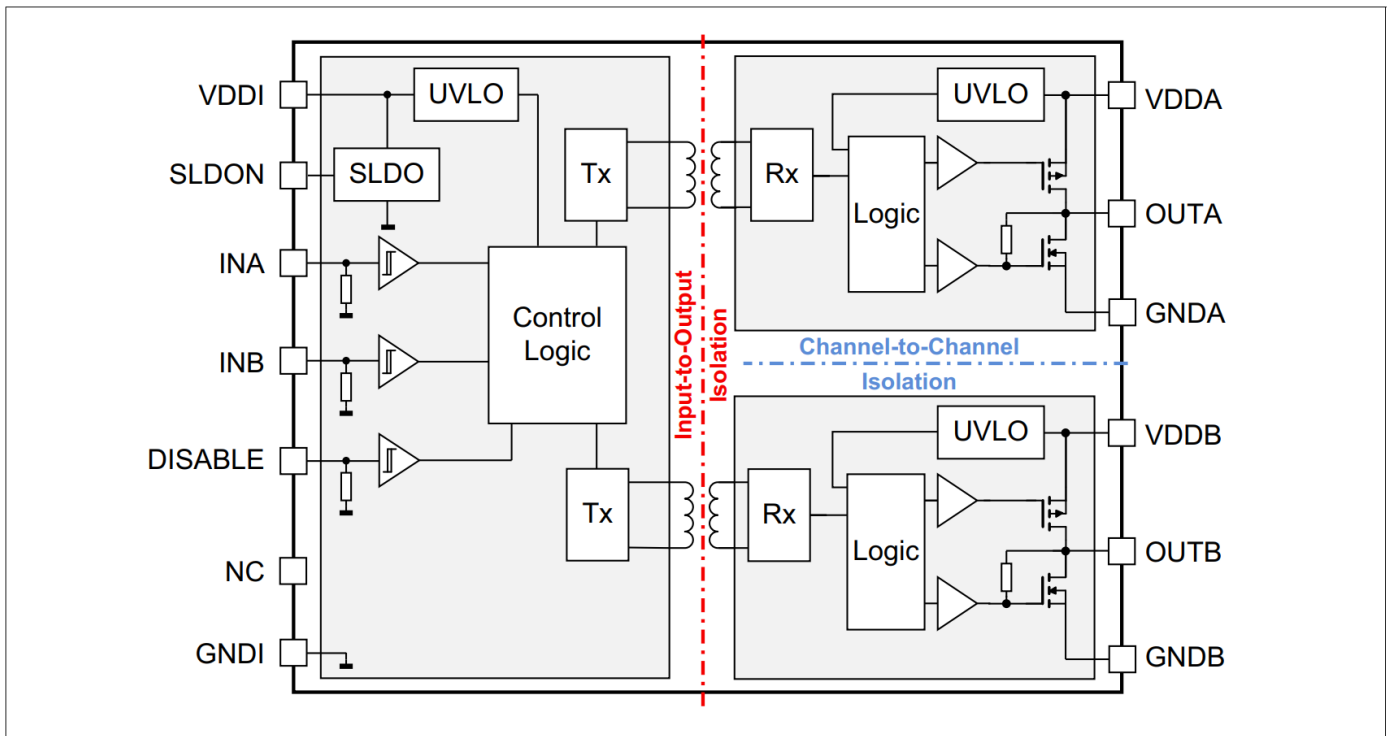


图3 EiceDRIVER™ 2EDi产品系列框图

## 3.2 输入至输出隔离

所有 EiceDRIVER™ 2EDi 双通道隔离产品均按照各自的隔离等级进行测试。

- **2EDFx 用于功能隔离**，通常用作初级侧控制的电流隔离驱动器。器件型号：2EDF7275K 和 2EDFxxxxF (2EDF7275F、2EDF8275F、2EDF9275F、2EDF7175F)。
- **2EDSx 用于增强型安全隔离**，通常用作次级侧控制的隔离栅极驱动器。器件型号：2EDSxxxxH (2EDS7165H、2EDS8165H、2EDS9265H、2EDS8265H)

结合不同的封装尺寸和材料特性，例如WB DSO-16 宽体 (PG-DSO-16-30)、NB DSO-16 窄体 (PG-DSO-16-11) 或 LGA - 13 5mm × 5mm (PG-TFLGA-13-4) 定义了最大输入至输出和通道至通道爬电距离和间隙距离以及集成电路作为半导体元件的可能工作电压 (见表 17 到表 28)

注释：可实现的系统隔离取决于 PCB 设计、材料、制造和工作环境。客户有义务验证 2EDSx、2EDFx 设备所概述的半导体元件隔离是否符合应用、制造、工作环境和最终系统安全要求标准。

## 功能说明

### 3.2.1 隔离类型的典型应用

隔离栅极驱动器通常部署在以下应用中。

表 3

Isolation type	Potential applications
Functional	<ul style="list-style-type: none"> <li>High-power hard-switching high-voltage PFC, Vienna Rectifier, Totem Pole PFC or Synchronous Rectification</li> <li>Driving switches with Kelvin source connection (4-pin package)</li> <li>Secondary-side control in low voltage isolated DC/DC topologies and brick converters</li> </ul>
Reinforced	<ul style="list-style-type: none"> <li>Secondary-side control of high voltage SJ-MOSFETs in LLC or PS-ZVS</li> <li>Primary-side controlled synchronous rectification</li> <li>1 A/2 A PWM data-/signal-coupler for local boost gate drivers</li> </ul>

## 3.3 供电电压

采用三个具有独立内部电源管理的不同电源域来为输入芯片和两个输出驱动器供电。每个域中的欠压锁定功能 (UVLO) 可实现定义的启动并确保在所有条件下都能稳定运行。

### 3.3.1 输入侧电源

输入侧通过标称电压为 3.3 V 的 VDDI 供电。要使用电源电压 > 3.5 V 的设备，必须激活片上开关低压差稳压器 (SLDO)，并且必须将外部分流电阻器  $R_{VDDI}$  连接到 VDDI。

建议在 VDDI 和 GNDI 之间使用陶瓷旁路电容器 (10 nF - 22 nF)。

如果引脚 SLDON 连接到 GNDI，则 SLDO 被激活。建议采用硬布线连接。

SLDO 通过连接在外部电源电压  $V_{DD}$  和引脚 VDDI 之间的外部电阻  $R_{VDDI}$  来调节电流，如图 1 所示产生所需的压降。为了正常工作，必须确保流过  $R_{VDDI}$  的电流始终超过输入芯片的最大供电电流  $I_{VDD}$  (见图 7)。

因此， $R_{VDDI}$  必须满足：

$$R_{VDDI} < (V_{DD} - 3.3) / I_{VDD, max}$$

当  $V_{DD} = 12$  V 时， $R_{VDDI} = 3$  k $\Omega$  的典型值可用于确保电阻电流与 VDDI 工作电流之间有足够的裕度。动态电流峰值可通过 VDDI 和 GNDI 之间的阻断电容 (10 至 22 nF) 消除。

2EDi 的总功耗主要由输出侧决定，取决于开关频率、栅极电阻和栅极电荷，而对于典型的开关频率，输入电源电流保持相对恒定 (见图 6 至图 7)。

### 3.3.2 输出侧电源

每个栅极驱动器通道必须单独供电。建议在靠近设备的地方从 VDDA 到 GNDA 以及从 Vddb 到 GNDB 使用陶瓷旁路电容器 (最小值为 MOSFET 的  $20 \times C_{iss}$ )。

每个栅极驱动通道的工作电源电压范围为 4.5 V 至 20 V。

最小栅极驱动器导通电压由器件欠压锁定 (UVLO) 设定，以防止功率 MOSFET 在饱和区工作。

目前，输出电源 UVLO 阈值为 4 V、8 V 和 13 V 的器件均可使用 (参见章节 1.1)。

## 功能说明

### 3.4 输入配置

输入 INA 和 INB 控制两个独立的 PWM 通道。输入信号以非反相方式传输至相应的栅极驱动器输出 OUTA 和 OUTB。所有输入均与 LV-TTL 阈值水平兼容，并提供典型的滞后。0.8 V 滞回与电源电压 VDDI 无关。

PWM 输入在内部下拉至逻辑低电压电平 (GNDI)。如果 PWM 控制器信号在加电序列期间处于未定义状态，则栅极驱动器输出将被强制为“关闭”状态（低）。

如果 DISABLE 输入为“高”，则无论 INA 或 INB 的状态如何，都会无条件地将两个通道输出驱动为“低”。

表4 逻辑表

Inputs					Gate Drive Output	
DISABLE	INA	INB	UVLO input side <sup>1)</sup>	UVLO output side <sup>1)</sup>	OUTA	OUTB
x	x	x	active	x	L	L
x	x	x	x	ch A/B active	L	L
L	x	L	inactive	ch A active, ch B inactive	L	L
L	x	H	inactive	ch A active, ch B inactive	L	H
L	L	x	inactive	ch A inactive, ch B active	L	L
L	H	x	inactive	ch A inactive, ch B active	H	L
H	x	x	inactive	ch A/B inactive	L	L
L	L	L	inactive	ch A/B inactive	L	L
L	L	H	inactive	ch A/B inactive	L	H
L	H	H	inactive	ch A/B inactive	H	H

1) “inactive”表示 VDD 高于 UVLO 阈值电压（正常工作）

“active”表示 UVLO 禁用栅极驱动器输出级

### 3.5 驱动器输出

两个轨到轨输出级采用互补的 PMOS、NMOS 晶体管实现，能够提供必要的拉电流和灌电流，并且具有非常低的导通电阻，并实现了短路保护和有源电流限制（见表 14）。使用 p 沟道源晶体管 PMOS 对于实现真正的轨到轨工作且无任何源极跟随器电压降至关重要。

只要不超过 UVLO 阈值，栅极驱动输出 OUTA、OUTB 在浮动输入的情况下或在启动或断电期间保持有效低电平。

## 功能说明

### 3.6 欠压锁定

#### 3.6.1 输入侧 UVLO

在启动期间（输入侧电源上升），只要 VDDI 低于 UVLO，就不会有数据传输到输出侧。所有栅极驱动器输出均保持低电平（启动时安全锁定）。

当 VDDI 超过 UVLO 电平时，PWM 输入信号将传输至输出侧。如果输出侧已准备就绪（不处于 UVLO 条件），则输出将根据逻辑输入做出反应。任何时候，如果 VDDI 电压降至 UVLO 阈值以下，则会立即向所有输出通道发送“切换到低”命令。栅极驱动器输出保持低电平（缺少 VDDI 电源时安全锁定处于活动状态）。

#### 3.6.2 输出侧 UVLO

欠压锁定功能 (UVLO) 确保仅当栅极驱动器电源电压超过 UVLO 阈值电压时，输出才能切换到高电平。这样就可以保证开关管始终处于其安全工作区 (SOA) 内。否则，过低的驱动电压可能会导致功率 MOSFET 进入饱和（欧姆）区域，从而可能造成破坏性的功率耗散。

每个通道 VDDA/Vddb 的 UVLO 均独立控制。输入端没有反馈。

### 3.7 数据传输输入端到输出端

位于输入芯片上的基于无磁芯变压器 (CT) 的通信模块用于输入和输出设备之间的信号传输。发射器中经过验证的高分辨率脉冲重复方案与接收器侧的看门狗超时相结合，可以从通信故障中恢复，并确保在故障情况下系统安全关闭。

## 器件特性

## 4 器件特性

绝对最大额定值列于表5中。超过这些值的应力可能会对器件造成永久性损坏。长时间暴露于绝对最大额定条件下可能会影响器件的可靠性。

## 4.1 绝对最大额定值

表5 绝对最大额定值

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Voltage at pin VDDI	$V_{DDI}$	-0.3	-	4.0	V	1)
Output supply voltage	$V_{DDO}$	-0.3	-	22 <sup>2)</sup>	V	-
Voltage at pins PWM and DISABLE	$V_{IN}$	-0.3	-	17	V	-
		-5	-	-	V	< 50 ns for transient <sup>3)</sup>
Voltage at SLDO	$V_{SLDO}$	-0.3	-	$V_{DDI} + 0.3$	V	-
Voltage at pins OUTA, OUTB	$V_{OUTA/B}$	-0.3	-	$V_{DDO} + 0.3$	V	-
		-2	-	$V_{DDO} + 1.5$	V	< 200 ns <sup>3)</sup>
Reverse current peak at pins OUTA, OUTB	$I_{SRC\_rev}$	-5	-	-	$A_{pk}$	< 500 ns <sup>3)</sup>
	$I_{SNK\_rev}$	-	-	5	$A_{pk}$	
Non-destructive Common Mode Transient Immunity	CMTI	400	-	-	V/ns	Input to each output channel
Junction temperature	$T_J$	-40	-	150	°C	-
Storage temperature	$T_{STG}$	-65	-	150	°C	-
Soldering temperature	$T_{SOL}$	-	-	260	°C	Reflow <sup>4)</sup>
ESD capability	$V_{ESD\_CDM}$	-	-	0.5	kV	Charged device model (CDM) <sup>5)</sup>
ESD capability	$V_{ESD\_HBM}$	-	-	2	kV	Human body model (HBM) <sup>6)</sup>

1) 如果SLDO被激活 (SLDON 引脚连接到 GNDI)，输入侧电源电压不对应于 $V_{DDI}$ ，并且可能更高

2) Maximum positive supply voltage already complies with derating guidelines

3) 不受制于生产测试 - 由设计指定

4) 符合 JESD22A111

5) 符合 ESD-CDM: ANSI/ESDA/JEDEC JS-002

6) 根据 ESD-HBM: ANSI/ESDA/JEDEC JS-001 (通过1.5 kΩ 电阻放电 100 pF 电容器)

## 器件特性

## 4.2 热特性

表 6 热特性  $T_{amb}=25^{\circ}\text{C}$ 

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
<b>PG-TFLGA-13-4</b>						
Thermal resistance junction-ambient <sup>1)</sup>	$R_{thJA25}$	-	134	-	K/W	-
Thermal resistance junction-case (top) <sup>2)</sup>	$R_{thJC25}$	-	55	-	K/W	-
Thermal resistance junction-board <sup>3)</sup>	$R_{thJB25}$	-	73	-	K/W	-
Characterization parameter junction-top <sup>4)</sup>	$\Psi_{thJT25}$	-	8	-	K/W	-
Characterization parameter junction-board <sup>4)</sup>	$\Psi_{thJB25}$	-	70	-	K/W	-
<b>PG-DSO-16-11</b>						
Thermal resistance junction-ambient <sup>1)</sup>	$R_{thJA25}$	-	51	-	K/W	-
Thermal resistance junction-case (top) <sup>2)</sup>	$R_{thJC25}$	-	25	-	K/W	-
Thermal resistance junction-board <sup>3)</sup>	$R_{thJB25}$	-	36	-	K/W	-
Characterization parameter junction-top <sup>4)</sup>	$\Psi_{thJT25}$	-	4.4	-	K/W	-
Characterization parameter junction-board <sup>4)</sup>	$\Psi_{thJB25}$	-	5.4	-	K/W	-
<b>PG-DSO-16-30</b>						
Thermal resistance junction-ambient <sup>1)</sup>	$R_{thJA25}$	-	59	-	K/W	-
Thermal resistance junction-case (top) <sup>2)</sup>	$R_{thJC25}$	-	32	-	K/W	-
Thermal resistance junction-board <sup>3)</sup>	$R_{thJB25}$	-	33	-	K/W	-
Characterization parameter junction-top <sup>4)</sup>	$\Psi_{thJT25}$	-	8.9	-	K/W	-
Characterization parameter junction-board <sup>4)</sup>	$\Psi_{thJB25}$	-	7.7	-	K/W	-

- 1) 通过在 JESD51-2a 描述的环境中模拟 JEDEC 标准高 K 电路板（如 JESD51-7 中所述）获得
- 2) 通过模拟封装顶部的冷板测试获得。没有特定的 JEDEC 标准测试，但可以在 ANSI SEMI 标准 G30-88 中找到接近的描述
- 3) 通过在具有环形冷板夹具的环境中模拟来控制 PCB 温度获得，如 JESD51-8 中所述
- 4) 估算设备在实际系统中的结温，该温度从仿真数据中提取，用于获取热阻  $R_{th}$ ，采用 JESD51-2a 标准（第6和第7章节）中描述的程序实现

## 器件特性

## 4.3 工作范围

表 7 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Voltage at pin VDDI	$V_{DDI}$	3.0	–	3.5	V	<sup>1)</sup> Min. defined by UVLO
Output supply voltage	$V_{DDA}/V_{DDB}$	4.5	–	20 <sup>2)</sup>	V	Min. defined by UVLO
Logic input voltage at pins INA, INB, DISABLE	$V_{IN}$	0	–	15	V	–
Voltage at pin SLDO	$V_{SLDO}$	0	–	3.5	V	–
Junction temperature	$T_J$	-40	–	150	°C	<sup>3)</sup>
Ambient temperature	$T_{amb}$	-40	–	125	°C	–

1) 如果SLDO被激活 (SLDON 引脚连接到 GNDI)，输入侧电源电压不对应于 $V_{DDI}$ ，并且可能更高

2) 最大正极供电电压已经符合降额指南要求

3) 持续在125°C以上温度下运行可能会缩短使用寿命。

## 4.4 电气特性

除非另有说明，电气特性的最小值和最大值分别为下限和上限。它们在整个工作范围内有效。电源电压为 $V_{DDA}$ 、 $V_{DDB} = 12V$ 和 $V_{DDI} = 3.3V$ 。典型值在 $T_J = 25^\circ C$ 时给出。

表 8 电源 (见图 6、图 7 和图 8)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
$I_{VDDI}$ quiescent current	$I_{VDDIqu1}$	–	1.4	–	mA	No switching
$I_{VDDA}$ , $I_{VDDB}$ quiescent current	$I_{VDDAqu2}/I_{VDDBqu2}$	–	0.6	–	mA	Outx = low, no switching (4 V, 8 V UVLO options)
		–	0.7	–	mA	Outx = low, no switching, $V_{DDA/B} = 15V > UVLO_{CMon}$ (13 V UVLO options)

表 9 欠压锁定 $V_{DDI}$  (见图10)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-on threshold $V_{DDI}$	$UVLO_{on}$	2.75	2.85	2.95	V	–
Undervoltage Lockout (UVLO) turn-off threshold $V_{DDI}$	$UVLO_{off}$	–	2.70	–	V	–
UVLO threshold hysteresis $V_{DDI}$	$UVLO_{hys}$	0.1	0.15	0.2	V	–

## 器件特性

表 10 欠压锁定 $V_{DDA}$ 、 $V_{DDB}$  13 V 版本适用于 SiC MOSFET (见图 12)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-on threshold $V_{DDA}$ , $V_{DDB}$	UVLO_ CM <sub>on</sub>	13.0	13.7	14.2	V	–
Undervoltage Lockout (UVLO) turn-off threshold $V_{DDA}$ , $V_{DDB}$	UVLO_ CM <sub>off</sub>	–	12.9	–	V	–
UVLO threshold hysteresis $V_{DDA}$ , $V_{DDB}$	UVLO_ CM <sub>hys</sub>	0.4	0.8	1.2	V	–

表 11 欠压锁定 $V_{DDA}$ 、 $V_{DDB}$  8 V 版本适用于标准 MOSFET (见图 11)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-on threshold $V_{DDA}$ , $V_{DDB}$	UVLO_ CM <sub>on</sub>	7.6	8.0	8.4	V	–
Undervoltage Lockout (UVLO) turn-off threshold $V_{DDA}$ , $V_{DDB}$	UVLO_ CM <sub>off</sub>	–	7.0	–	V	–
UVLO threshold hysteresis $V_{DDA}$ , $V_{DDB}$	UVLO_ CM <sub>hys</sub>	0.7	1	1.3	V	–

表 12 欠压锁定 $V_{DDA}$ 、 $V_{DDB}$  4 V 版本用于逻辑电平 MOSFET (见图 11)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn on threshold $V_{DDA}$ , $V_{DDB}$	UVLO_ CM <sub>on</sub>	4.0	4.2	4.4	V	–
Undervoltage Lockout (UVLO) turn off threshold $V_{DDA}$ , $V_{DDB}$	UVLO_ CM <sub>off</sub>	–	3.9	–	V	–
UVLO threshold hysteresis $V_{DDA}$ , $V_{DDB}$	UVLO_ CM <sub>hys</sub>	0.2	0.3	0.4	V	–

表 13 逻辑输入 INA、INB 和 DISABLE (见图 10)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Input voltage threshold for transition LH	$V_{INH}$	1.65	2.0	2.35	V	–
Input voltage threshold for transition HL	$V_{INL}$	–	1.2	–	V	–
Input voltage threshold hysteresis	$V_{IN\_hys}$	0.4	0.8	1.2	V	–
Input pull-down resistor	$R_{IN}$	–	150	–	k $\Omega$	–

## 器件特性

表 14 静态输出特性 4 A/8 A 设备 (见图 9)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
High-level (Sourcing) Output Resistance	$R_{on\_SRC}$	0.42	0.85	1.6	$\Omega$	$I_{SNK} = 50 \text{ mA}$
Peak Sourcing Output Current	$I_{SRC\_pk}$	–	4	<sup>1)</sup>	A	–
Low-level (Sinking) Output Resistance	$R_{on\_SNK}$	0.18	0.35	0.75	$\Omega$	$I_{SRC} = 50 \text{ mA}$
Peak Sinking Output Current	$I_{SNK\_pk}$	<sup>2)</sup>	-8	–	A	–

1) 受设计限制, 约为  $5.2 A_{pk}$ , 参数不受生产测试影响 - 由设计/特性指定

2) 受设计限制, 约为  $-10.2 A_{pk}$ , 参数不受生产测试影响 - 由设计/特性指定

表 15 静态输出特性 1 A/2 A 设备 (见图 9)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
High-level (Sourcing) Output Resistance	$R_{on\_SRC}$	1.4	3.1	5.8	$\Omega$	$I_{SNK} = 50 \text{ mA}$
Peak Sourcing Output Current	$I_{SRC\_pk}$	–	1	<sup>1)</sup>	A	–
Low-level (Sinking) Output Resistance	$R_{on\_SNK}$	0.6	1.2	2.5	$\Omega$	$I_{SRC} = 50 \text{ mA}$
Peak Sinking Output Current	$I_{SNK\_pk}$	<sup>2)</sup>	-2	–	A	–

1) 受设计限制, 约为  $1.3 A_{pk}$ , 参数不受生产测试影响 - 由设计/特性指定

2) 受设计限制, 约为  $-2.6 A_{pk}$ , 参数不受生产测试影响 - 由设计/特性指定

表 16 动态特性 (见图 4 和图 13)

$T_{J,max} = 125^\circ\text{C}$ , 4 A/8 A 版本  $C_{LOAD} = 1.8 \text{ nF}$ , 1 A/2 A 版本  $C_{LOAD} = 0.47 \text{ nF}$

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
INA- /INB-to-output turn-on / turn-off propagation delay	$t_{PDOn}, t_{PDOff}$	31	37	44	ns	4 A/8 A version
INA- /INB-to-output turn-on propagation delay	$t_{PDOn}$	31	37	44	ns	1 A/2 A version
INA- /INB-to-output turn-off propagation delay	$t_{PDOff}$	29	35	44	ns	1 A/2 A version
DISABLE-to-output turn-on/ -off propagation delay	$t_{PDDISoff}, t_{PDDISoff}$	–	–	100	ns	–
Output turn-on propagation delay mismatch between channels	$\Delta t_{PDOn}$	–	–	3	ns	INA, INB shorted
Rise time	$t_{rise}$	–	6.5	$12^{1)}$	ns	–

## 器件特性

表 16 动态特性 (见图4和图 13) (续)

 $T_{J,max} = 125^{\circ}\text{C}$ , 4 A/8 A 版本  $C_{LOAD} = 1.8 \text{ nF}$ , 1 A/2 A 版本  $C_{LOAD} = 0.47 \text{ nF}$ 

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Fall time	$t_{fall}$	–	4.5	8 <sup>1)</sup>	ns	–
Minimum input pulse width that changes output state	$t_{PW}$	–	18	–	ns	–
Input-side start-up time <sup>1)</sup>	$t_{START,VDDI}$	–	7	–	$\mu\text{s}$	see <a href="#">Figure 5</a>
Input-side deactivation time <sup>1)</sup>	$t_{STOP,VDDI}$	–	255	–	ns	see <a href="#">Figure 5</a>
Output-side start-up time <sup>1)</sup>	$t_{START,VDDA/B}$	–	5	–	$\mu\text{s}$	see <a href="#">Figure 5</a>
Output-side deactivation time <sup>1)</sup>	$t_{STOP,VDDA/B}$	–	110	–	ns	see <a href="#">Figure 5</a>

1) 无需经过生产测试, 由设计指定。

## 器件特性

## 4.5 功能和增强隔离规格

由于封装尺寸和相应的隔离测试电压和应用方法，每个单独的零件编号和封装变体都有其自己的安全隔离特性。表格标题引用每个唯一的零件编号。

为了增强安全性，英飞凌采用了组件和系统标准中描述的监管测试。对于功能隔离，已经应用了概述的内部测试方法。

一旦监管证书可用，参考资料和/或文件将在英飞凌网站[www.infineon.com/2EDi](http://www.infineon.com/2EDi)上供公众下载

*注释：* 组件的最终爬电距离和电气间隙必须结合PCB设计布局和制造选择（如PCB材料（CTI）、短截线、凹槽、漆等）进行验证，这些可能会增加或减少安全距离。因此，满足系统级隔离要求是应用程序所有者的责任。

## 4.5.1 功能隔离规格

## 4.5.1.1 PG-TFLGA-13-4封装器件的功能隔离

2EDF7275K 提供 PG-TFLGA-13-4 封装。隔离相关参数如表 17 所示。表 18 和 表19；对于具有基本或加强安全认证的组件，请选择不同的零件编号。

表 17 功能隔离输入到输出 (PG-TFLGA-13-4)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	$V_{IO}$	1500	-	-	$V_{DC}$	Impulse test >10 ms, production tested
Maximum isolation working voltage	$V_{IOWM}$	460	-	-	$V_{RMS}$	according to IEC 60664-1 (PD 2; MG II)
Package clearance	CLR	-	3.4	-	mm	Shortest distance over air, from any input pin to any output pin
Package creepage	CPG	-	3.4	-	mm	Shortest distance over surface, from any input pin to any output pin
Common Mode Transient Immunity	CMTI	150	-	-	V/ns	According to DIN V VDE V0884-11, static and dynamic test
Capacitance input-to-output	$C_{IO}$	-	2	-	pF	<sup>1)</sup>
Resistance input-to-output	$R_{IO}$	-	>1000	-	MΩ	<sup>3)</sup>

1) 无需经过生产测试，由设计指定。

## 器件特性

表18 封装特性 (PG-TFLGA-13-4)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Comparative Tracking Index of package mold	CTI	400	-	600	V	According to DIN EN 60112 (VDE 0303-11)
Material group	-	-	II	-	-	according to IEC 60112

表19 通道间功能隔离 (PG-TFLGA-13-4)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	$V_{\text{Ch2Ch-DC-Test}}$	650	-	-	$V_{\text{DC}}$	Impulse test > 10 ms; sample tested
Package creepage	CPG	-	1.0	-	mm	Shortest distance over surface, from output pin Ch1-GND to output pin Ch2-VDD

## 4.5.1.2 NB PG-DSO-16-11封装器件的功能隔离

PG-DSO-16-11 封装适用于 2EDF7175F、2EDF9275F、2EDF7275F 和 2EDF8275F。隔离相关参数如表 20、表 21 和表 22 所示。

表 20 输入至输出隔离规格 (NB PG-DSO-16-11)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	$V_{\text{IO}}$	1500	-	-	$V_{\text{DC}}$	Impulse test > 10 ms, sample tested
Maximum isolation working voltage	$V_{\text{IOWM}}$	510	-	-	$V_{\text{RMS}}$	according to IEC 60664-1 (PD2; MG II)
Package clearance	CLR	-	4.0	-	mm	Shortest distance over air, from any input pin to any output pin
Package creepage	CPG	-	4.0	-	mm	Shortest distance over surface, from any input pin to any output pin
Common Mode Transient Immunity	CMTI	150	-	-	V/ns	According to DIN V VDE V0884-11, static and dynamic test
Capacitance input-to-output	$C_{\text{IO}}$	-	2	-	pF	<sup>1)</sup>
Resistance input-to-output	$R_{\text{IO}}$	-	>1000	-	MΩ	<sup>3)</sup>

1) 无需经过生产测试，由设计指定。

## 器件特性

表21 封装特性 (NB PG-DSO-16-11)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Comparative Tracking Index of package mold	CTI	400	-	600	V	According to DIN EN 60112 (VDE 0303-11)
Material group	-	-	II	-	-	According to IEC 60112

表22 通道间隔离 (NB PG-DSO-16-11)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	$V_{Ch2Ch-DC-Test}$	1500	-	-	$V_{DC}$	Impulse test >10 ms; sample tested
Package Creepage	CPG	-	2.5	-	mm	Shortest distance over surface, from output pin Ch1-GND to output pin Ch2-VDD

## 4.5.2 WB PG-DSO-16-30 封装器件的增强隔离

PG-DSO-16-30 封装适用于 2EDS8265H、2EDS9265H、2EDS8165H 和 2EDS7165H。安全相关认证列于表 23 和表 24。隔离相关参数如表 25 至表 29 所示。

表23 WB PG-DSO-16-30 的组件安全相关证书

Certification	Issuing certification body	Certification status	Certification number
DIN V VDE V 0884-10	VDE	Certified <sup>1)</sup>	40043864
UL1577, CSA No.5A	UL	Certified	E311313

1) 由于标准到期，认证不再有效

表24 WB PG-DSO-16-30 的系统安全相关认证

Certification	Issuing certification body	Certification status	Certification number
DIN EN 62368-1 (VDE 0868-1) <sup>1)</sup>	VDE	Certified	40050289
GB 4943.1-2022	CQC	Certified	CQC23001416212 <sup>2)</sup>
GB 4943.1-2022	CQC	Certified	CQC23001416211 <sup>3)</sup>
IEC 62368-1	CQC	Certified	CN64553 <sup>3)</sup>
IEC 62368-1	CQC	Certified	CN64554 <sup>2)</sup>

1) EN 62368-1 只适用于 2EDS8265H 和 2EDS8165H

2) 仅适用于 2EDS8265H 和 2EDS9265H

3) 仅适用于 2EDS8165H 和 2EDS7165H

## 器件特性

表 25 符合 DIN V、VDE0884-10 (2016-06) 的输入至输出隔离规范<sup>1)</sup>在 WB PG-DSO-16-30 中

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Maximum transient isolation voltage	$V_{IOTM}$	8000	–	–	$V_{pk}$	Qualification for $t = 60$ s; production test with $V_{IOTM} > 10$ kV <sub>pk</sub> for $t = 1$ s
Maximum repetitive peak isolation voltage	$V_{IORM}$	1420	–	–	$V_{pk}$	Time Dependent Dielectric Breakdown test method
Maximum isolation working voltage	$V_{IOWM}$	1420 1000	– –	– –	$V_{DC}$ $V_{RMS}$	
Partial discharge voltage	$V_{PD}$	4500	–	–	$V_{pk}$	Test sequence: 10.2 kV <sub>pk</sub> for $t = 1$ s followed by partial discharge 4.5 kV <sub>pk</sub> > 1.875 × $V_{IOWM}$ , $Q_{PD} < 5$ pC; production test
Maximum surge isolation voltage	$V_{IOSM}$	6250	–	–	$V_{pk}$	$V_{IOSM\_test} = 1.6 \times V_{IOSM} > 10$ kV <sub>pk</sub> ; sample tested <sup>2)</sup>
Package clearance	CLR	–	8.0	–	mm	From any input pin to any output pin
Package creepage	CPG	–	8.0	–	mm	From any input pin to any output pin
Overvoltage category per IEC 60664-1 table F.1	–	I	–	IV		Rated mains voltage ≤ 150 V <sub>RMS</sub>
		I	–	III		≤ 300 V <sub>RMS</sub>
		I	–	II		≤ 600 V <sub>RMS</sub>
Capacitance input-to-output	$C_{IO}$	–	2	–	pF	–
Resistance input-to-output	$R_{IO}$	–	>1000	–	MΩ	–
Common Mode Transient Immunity	CMTI	150	–	–	V/ns	According to DIN V VDE V0884-11, static and dynamic test

1) VDE encompasses former VDE0884-10, IEC60747-5-5 (opto-coupler standard)

2) Surge pulse tests applied according to IEC60065-10.1 (Ed 8.0 2014), 61000-4-5, 60060-1; waveforms (1.2 μs slope, 50 μs decay)

表 26 增强隔离封装特性 (WB PG-DSO-16-30 中)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Comparative Tracking Index of package mold	CTI	400	–	600	V	According to DIN EN 60112 (VDE 0303-11)
Material group	–	–	II	–	–	According to IEC 60112
Pollution degree	–	–	2	–	–	–
Climatic category	–	–	40/125/ 21	–	–	–

## 器件特性

表 27 符合 UL1577 Ed 5 的增强型输入至输出隔离（在 WB PG-DSO-16-30 中）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Withstand isolation voltage	$V_{ISO}$	5700	-	-	$V_{RMS}$	$V_{ISO} = 5700 V_{RMS}$ for $t = 60$ s (qualification); $V_{ISO} > 1.2 \times V_{RMS} = 6840$ V for $t = 1$ s (production test)

表 28 通道间功能隔离（在 WB PG-DSO-16-30 中）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	$V_{Ch2Ch-DC-test}$	1500	-	-	$V_{DC}$	Impulse Test >10 ms; sample tested
Package creepage	CPG	-	2.5	-	mm	Shortest distance over surface, from Output pin Ch1-GND to output pin Ch2-VDD

## 4.5.3 安全限值

表 29 VDE-0884-10 (WB PG-DSO-16-30) 中列出的增强隔离安全限值

Parameter	Side	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Safety supply power	Input chip	-	-	20.0	mW	$R_{thJA} = 59$ K/W <sup>1)</sup> , $T_{amb} = 25^{\circ}\text{C}$ , $T_J = 150^{\circ}\text{C}$
	Output A	-	-	1050	mW	
	Output B	-	-	1050	mW	
	Total	-	-	2120	mW	
Safety supply currents	Output A	-	-	87.5	mA	$R_{thJA} = 59$ K/W <sup>1)</sup> , $V_{DDA}/V_{DDB} = 12$ V, $T_{amb} = 25^{\circ}\text{C}$ , $T_J = 150^{\circ}\text{C}$
	Output B	-	-	87.5	mA	
	Output A	-	-	53.5	mA	$R_{thJA} = 59$ K/W, $V_{DDA}/V_{DDB} = 20$ V, $T_{amb} = 25^{\circ}\text{C}$ , $T_J = 150^{\circ}\text{C}$
	Output B	-	-	53.5	mA	
Safety temperature	$T_s$	-	-	150	$^{\circ}\text{C}$	$T_s = T_{J,max}$

1) 使用WB PG-DSO-16-30 封装的  $R_{th}$  计算（见表6）

根据 VDE0884-10 和 UL1577，安全限值定义了可以保证隔离屏障不受影响的工作条件。这与允许的最大结温相对应，因为温度引起的故障可能会导致严重过热并最终损坏隔离屏障。

时序图

5 时序图

图4 描绘了 2EDi 4 A/8 A 的上升、下降和延迟时间。此外，还显示了激活死区时间控制（连接到引脚 DTC 的电阻器）的效果。

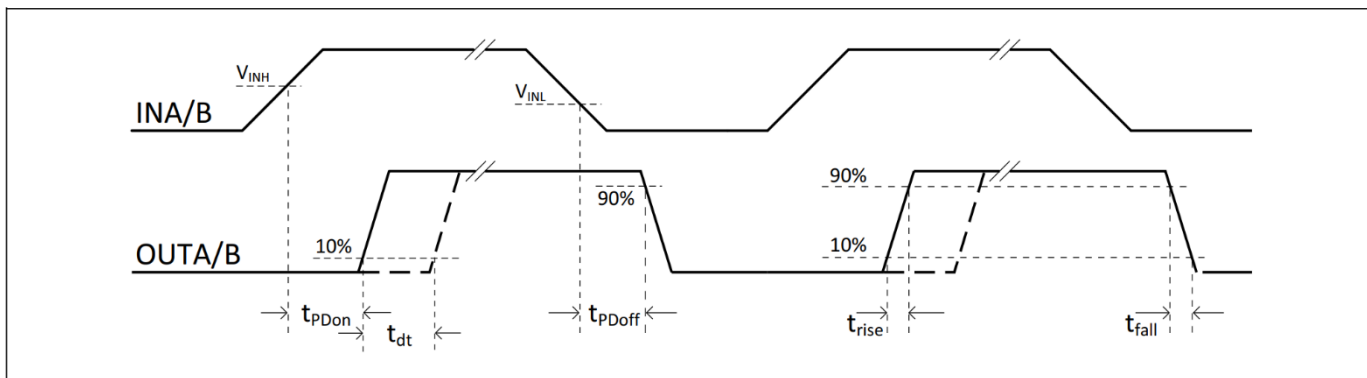


图4 传播延迟、上升时间、下降时间以及死区时间

图5 图示了 UVLO 行为。它描述了当电源在上升或下降转换（上电、断电、电源噪声）期间超过 UVLO 阈值时，对 UVLO 事件的响应时间。

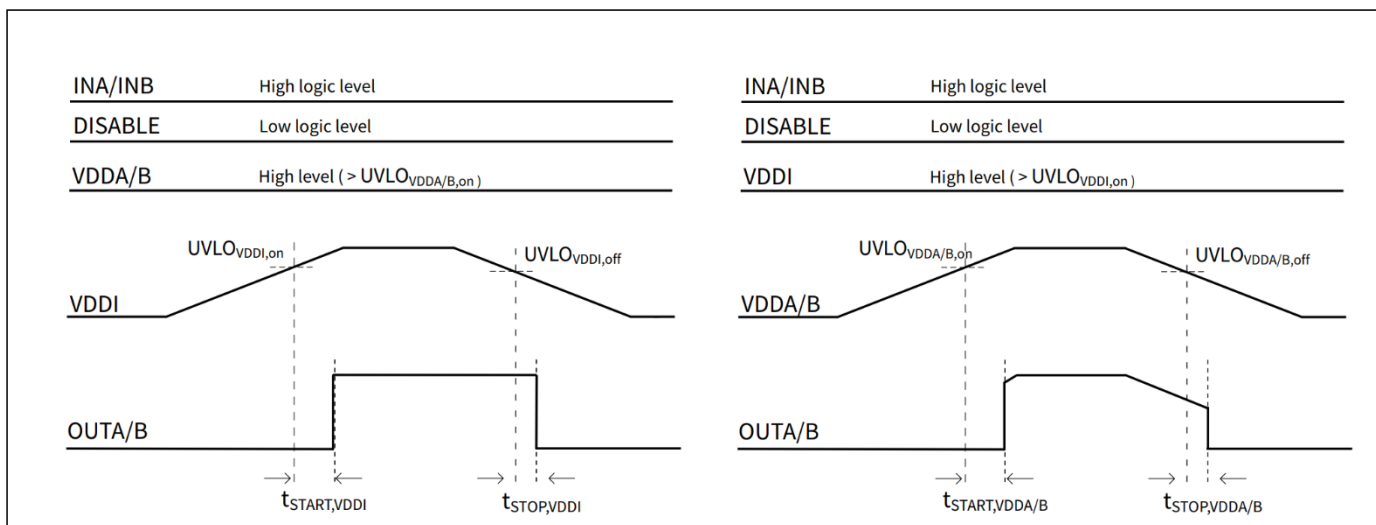


图5 UVLO 行为、启动和停用时间（空载输出）

典型特征

## 6 Typical characteristics

除非另有说明， $V_{DDA} = V_{VDD} = 12\text{ V}$ 、 $V_{DDI} = 3.3\text{ V}$ 、 $T_{\text{amb}} = 25^\circ\text{C}$  且无负载。

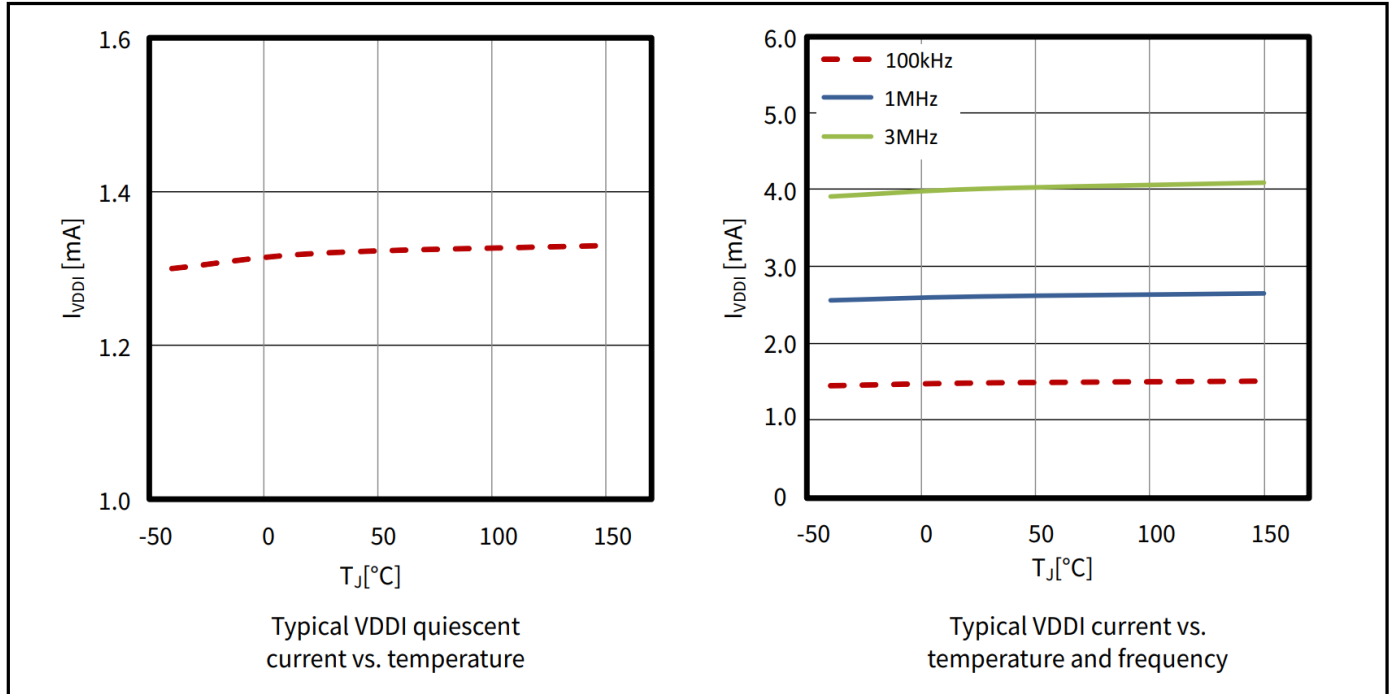


图6 VDDI电流

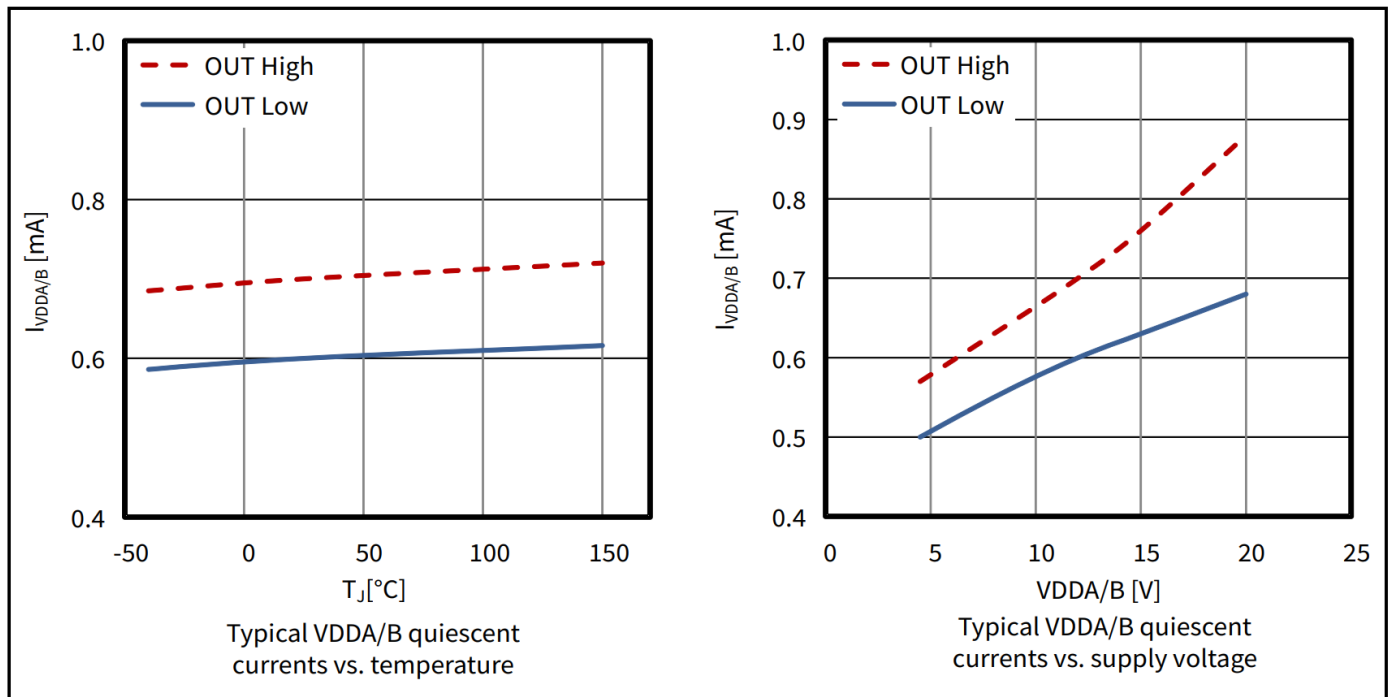


图7 VDDA、VDDB电流

典型特征

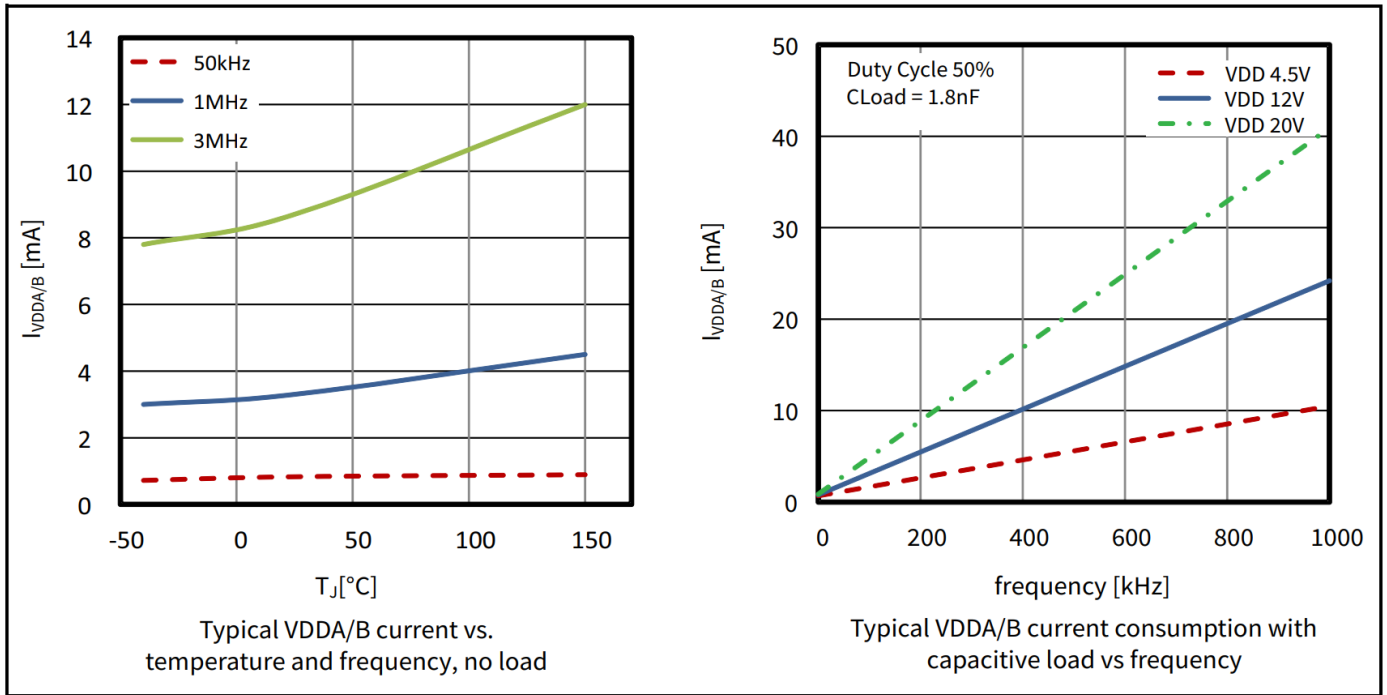


图8 VDDA、VDDB电流 (有/无负载)

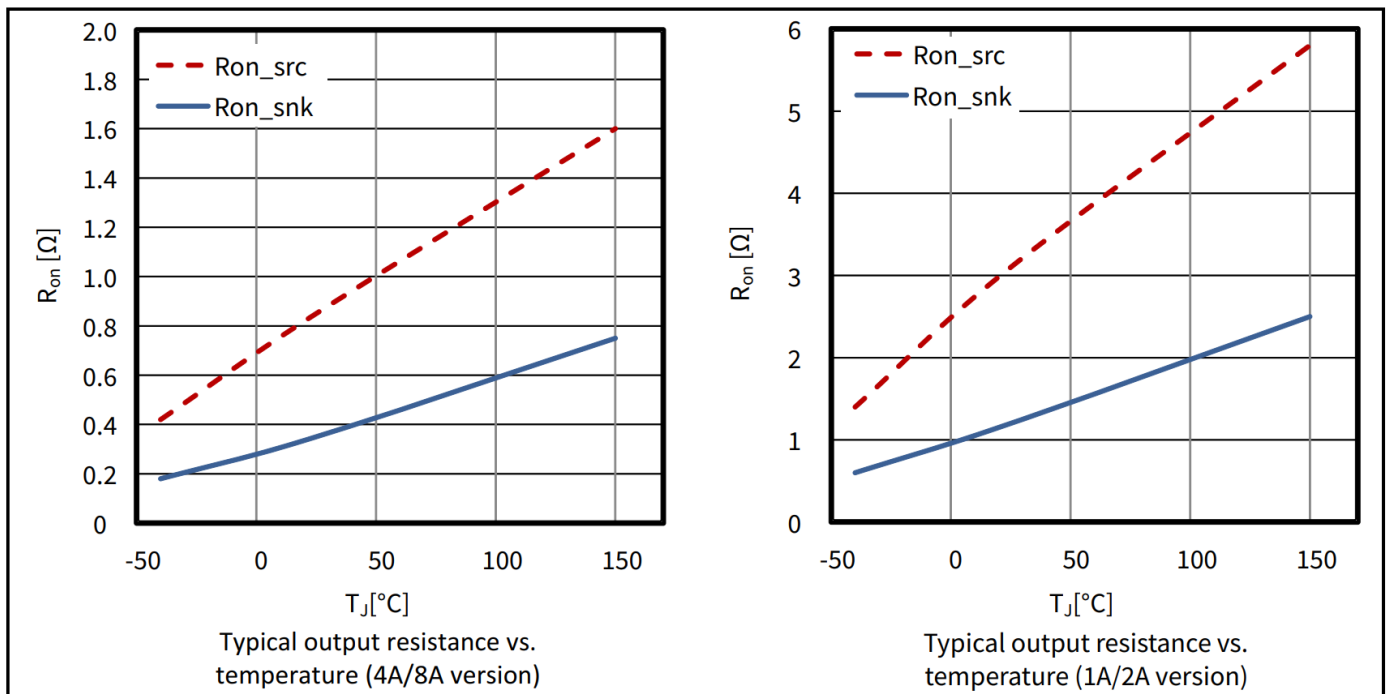


图9 输出电阻

典型特征

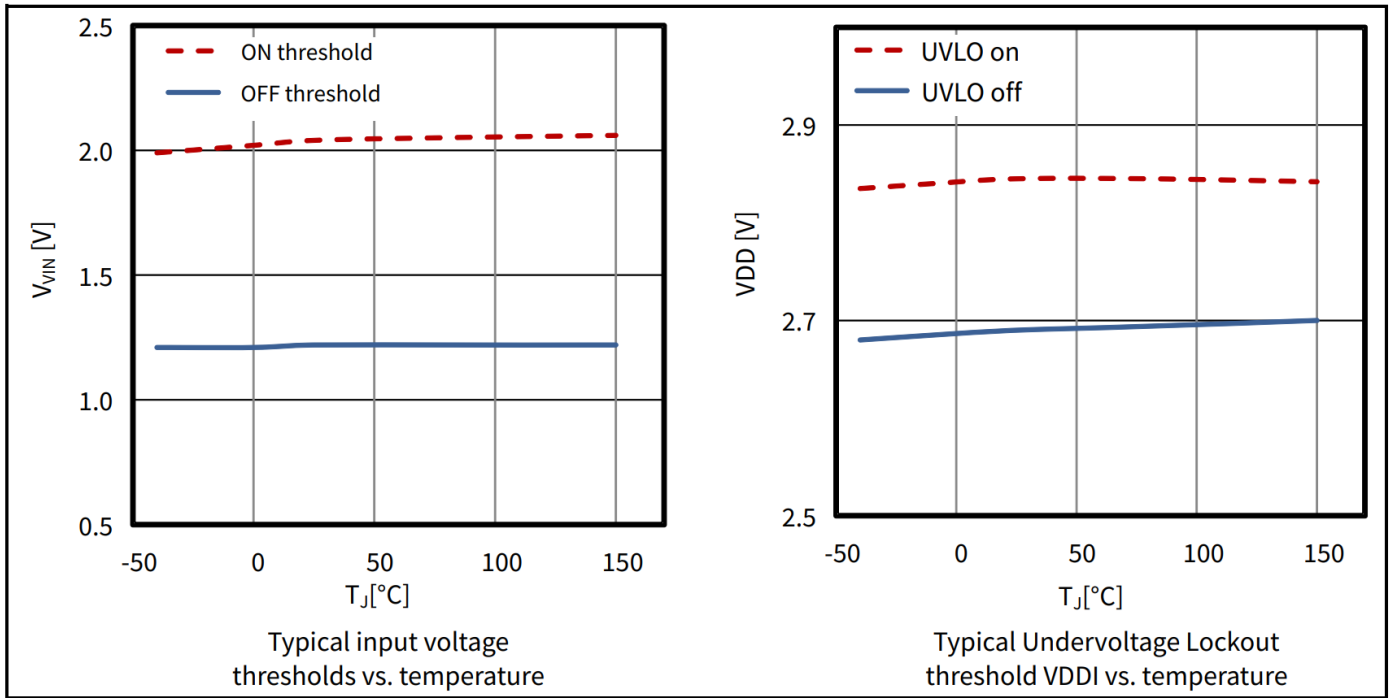


图 10 逻辑输入阈值和 VDDI UVLO

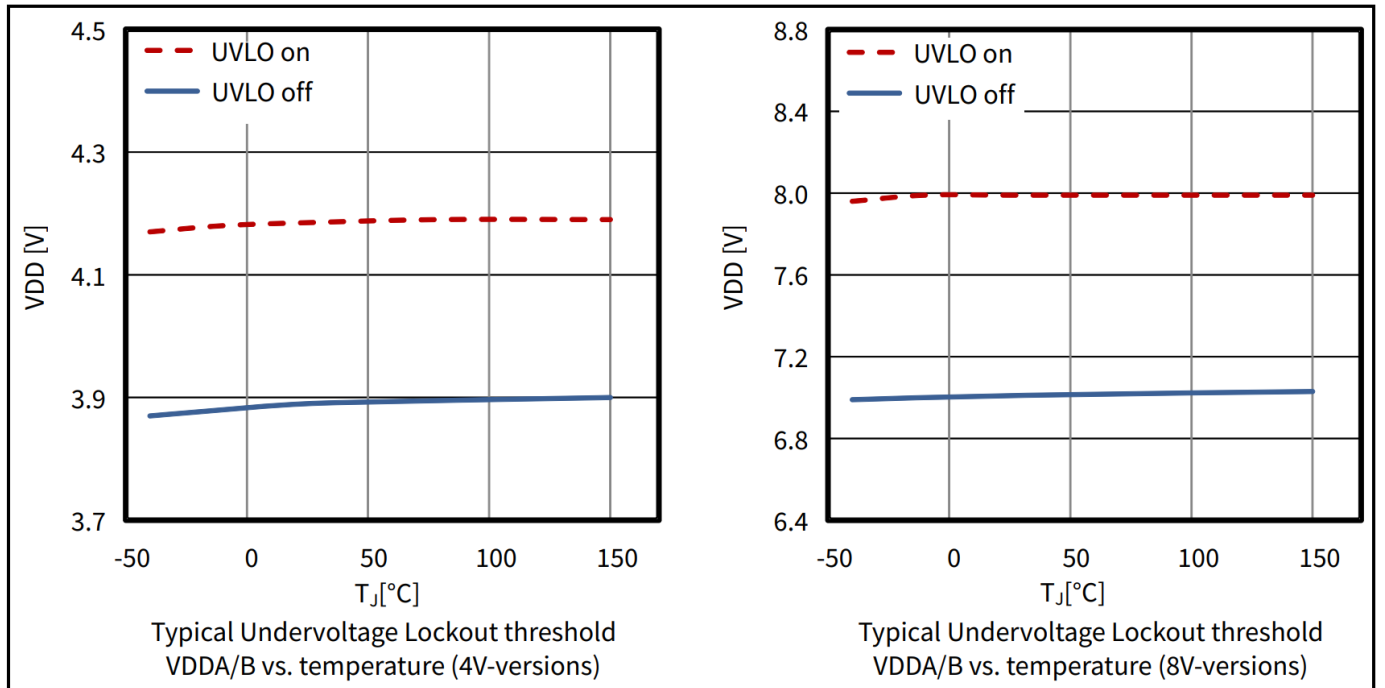


图 11 VDDA/B UVLO (4 V 和 8 V)

典型特征

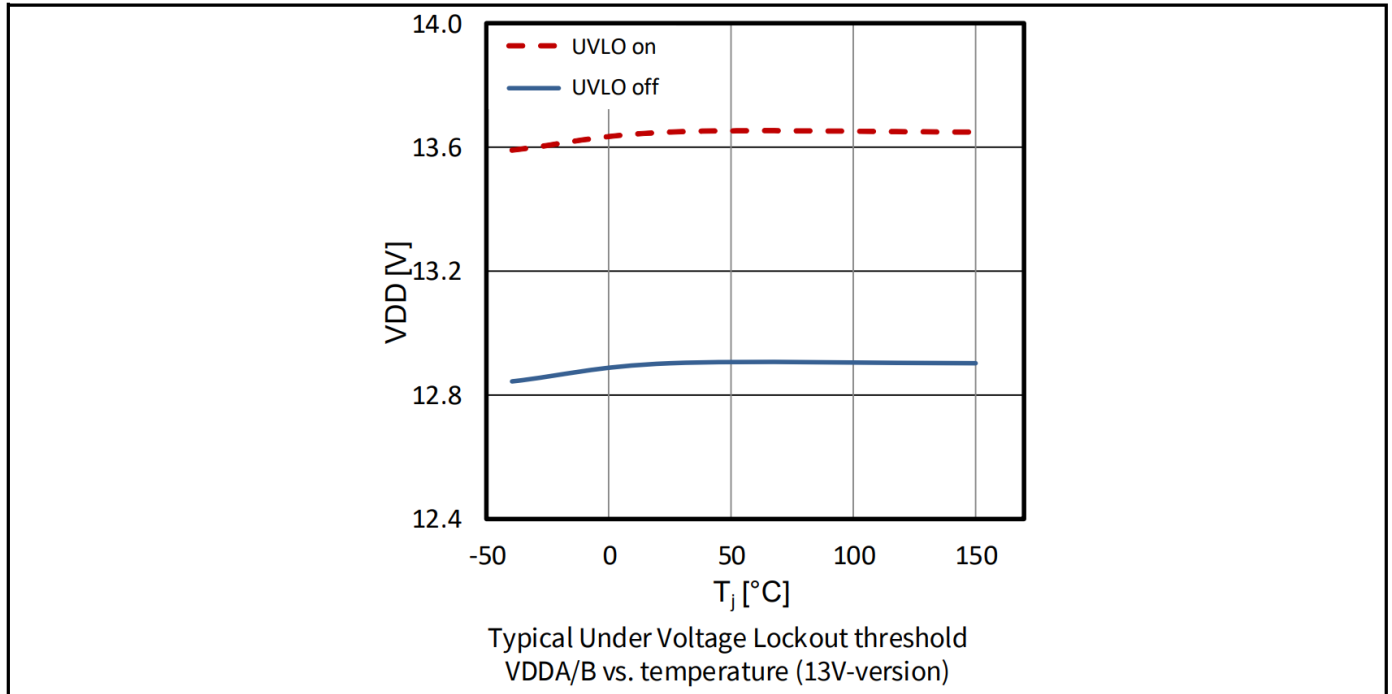


图 12 VDDA/B UVLO (13 V)

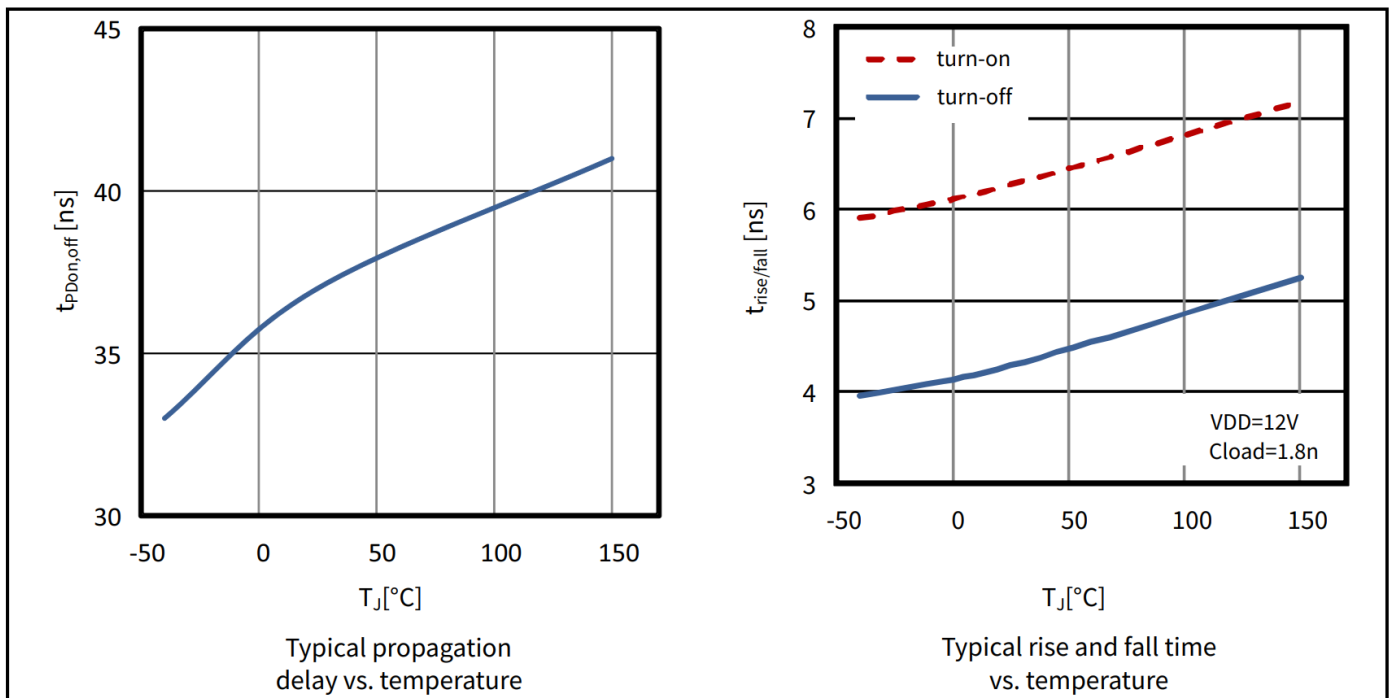


图 13 传播延迟和上升/下降时间

典型特征

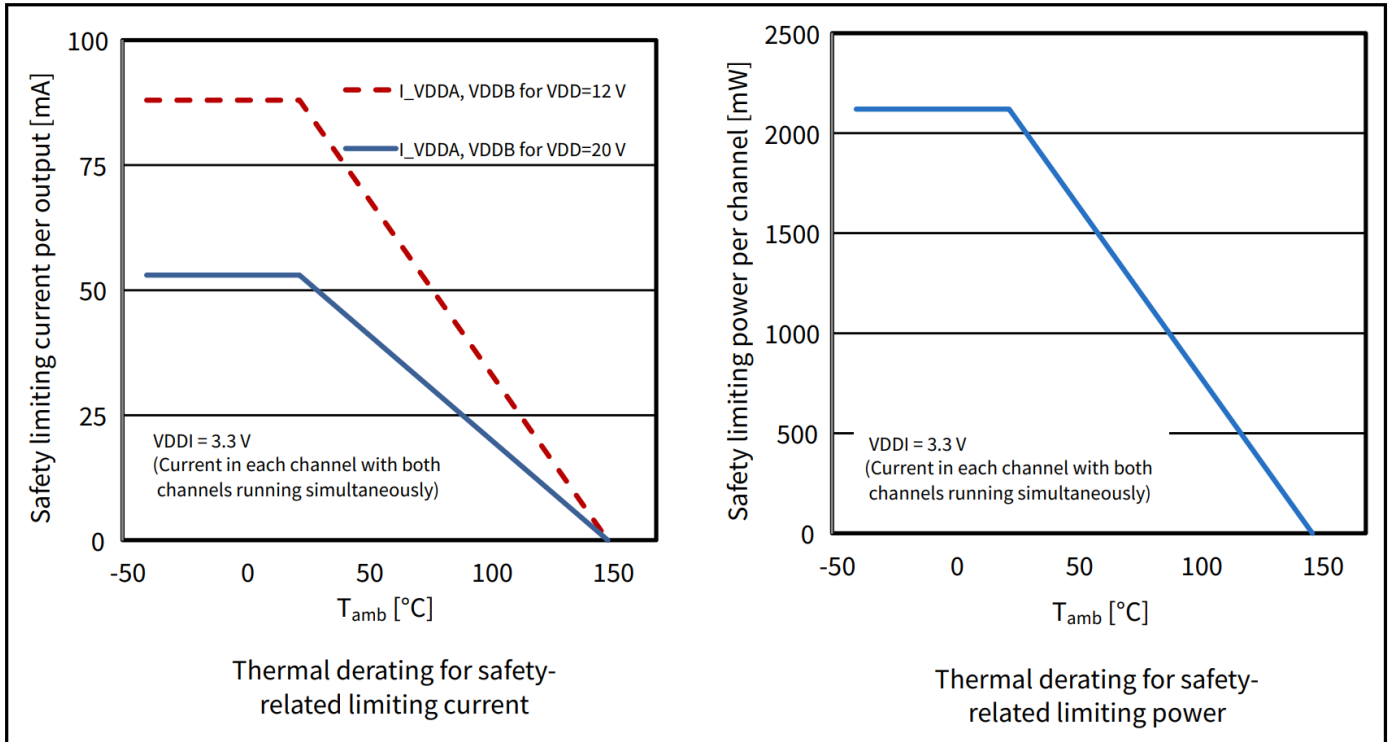


图14 热降额曲线

## 封装

## 7 封装

下列封装版本可用。

- NB PG-DSO-16-11 封装，输入到输出爬电距离典型值为 4 毫米
- 面积优化 5 × 5 mm<sup>2</sup> PG-TFLGA-13-4
- WB PG-DSO-16-30 封装，输入至输出爬电距离典型值为 8 毫米

注释： 有关封装类型、电路板组装建议的更多信息，请访问：[www.infineon.com/2EDi](http://www.infineon.com/2EDi)

## 7.1 器件编号和标记

表 30 器件编号和标记

Part number	Orderable part number (OPN)	Device marking
2EDF7275F	2EDF7275FXUMA2	2F7275B
2EDF8275F	2EDF8275FXUMA1	2F7875B
2EDF9275F	2EDF9275FXUMA1	2F9275B
2EDF7175F	2EDF7175FXUMA2	2F7175B
2EDF7275K	2EDF7275KXUMA2	2F7275B
2EDS8265H	2EDS8265HXUMA2	2S8265B
2EDS9265H	2EDS9265HXUMA1	2S9265B
2EDS7165H	2EDS7165HXUMA1	2S7165B
2EDS8165H	2EDS8165HXUMA2	2S8165B

封装

7.2 封装 PG-DSO-16-11

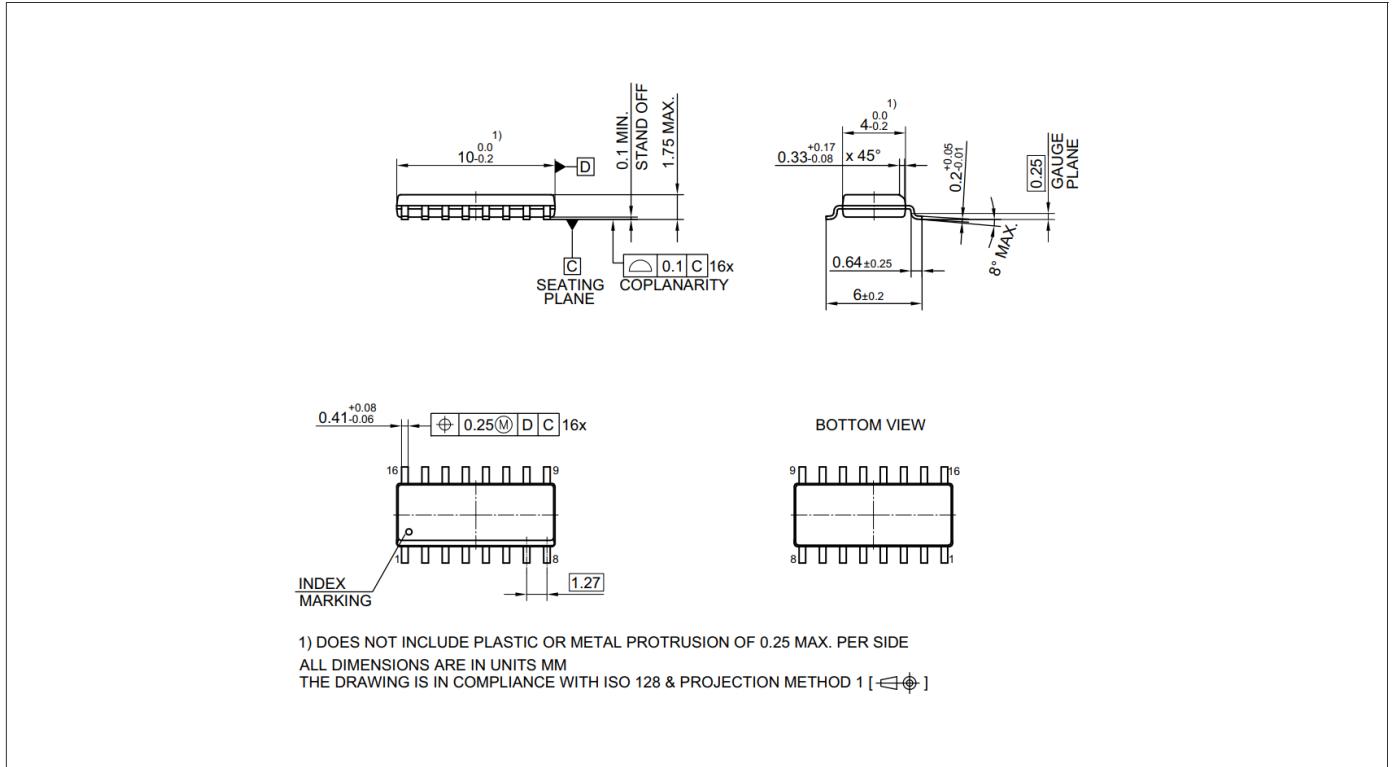


图15 PG-DSO-16-11外形图

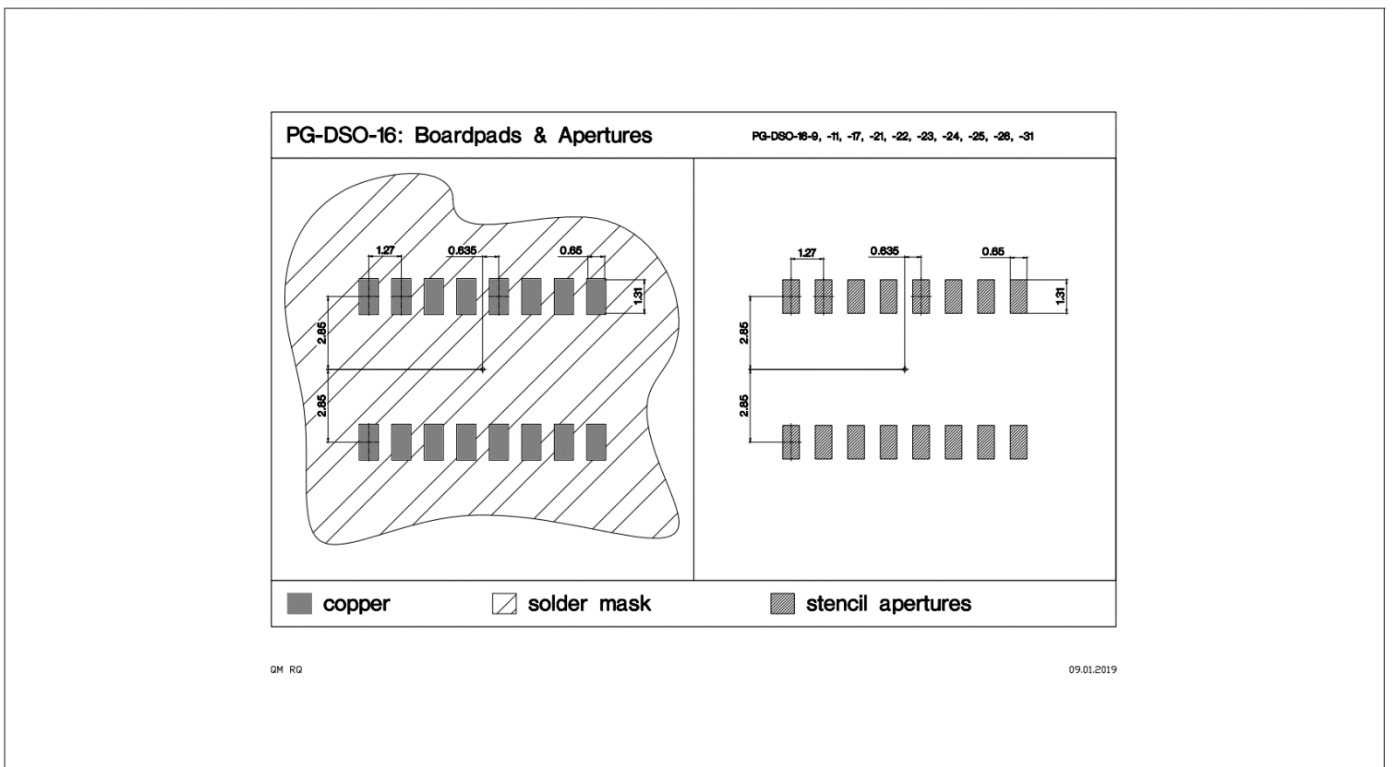


图16 PG-DSO-16-11封装

封装

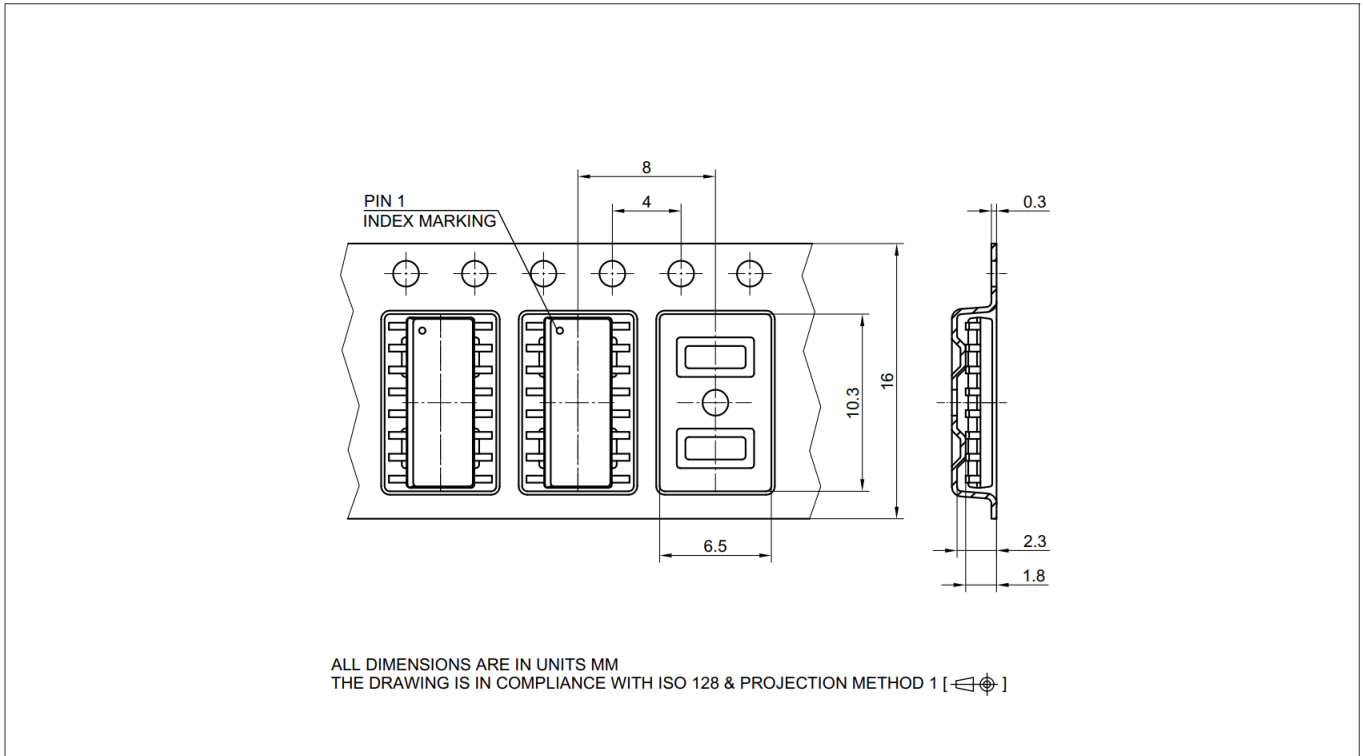


图17 PG-DSO-16-11封装

7.3 封装 PG-DSO-16-30

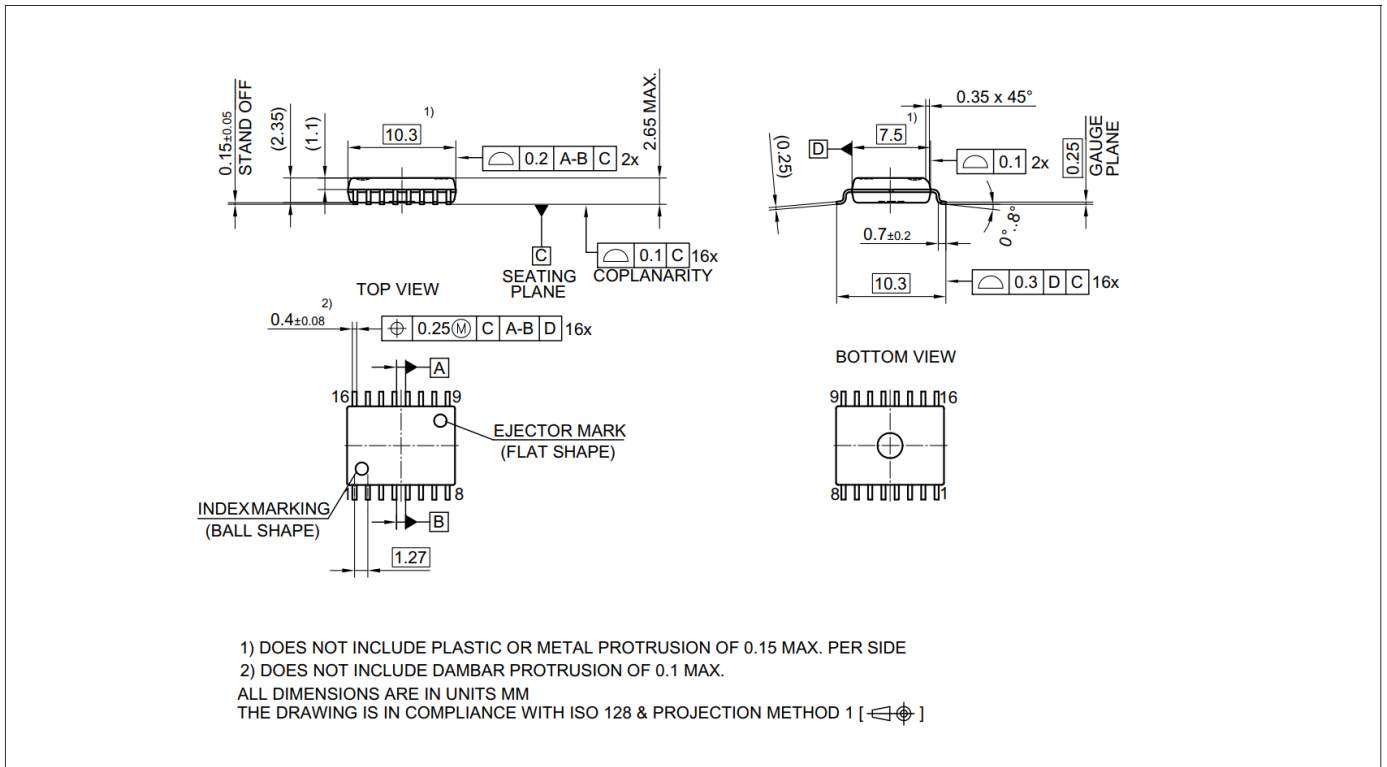


图18 PG-DSO-16-30外形图

封装

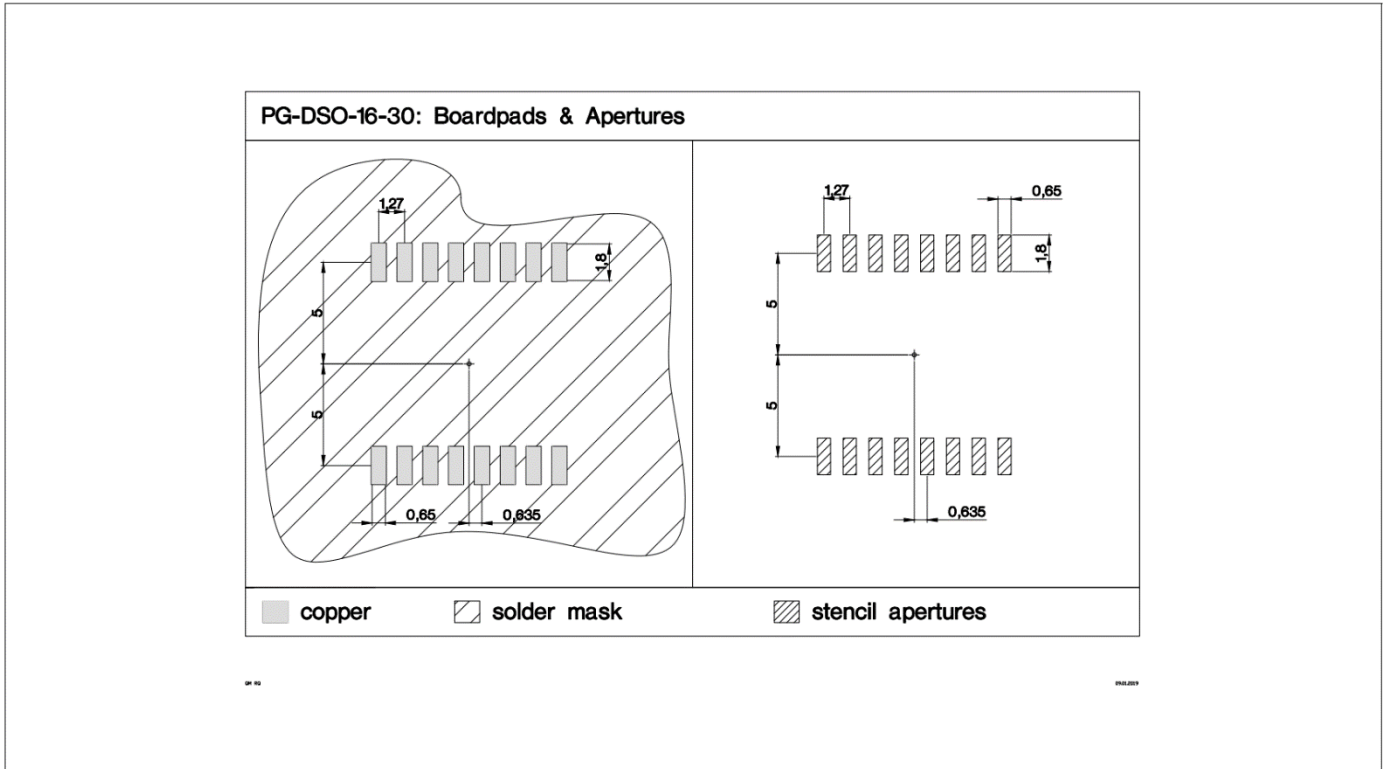


图 19 PG-DSO-16-30 封装

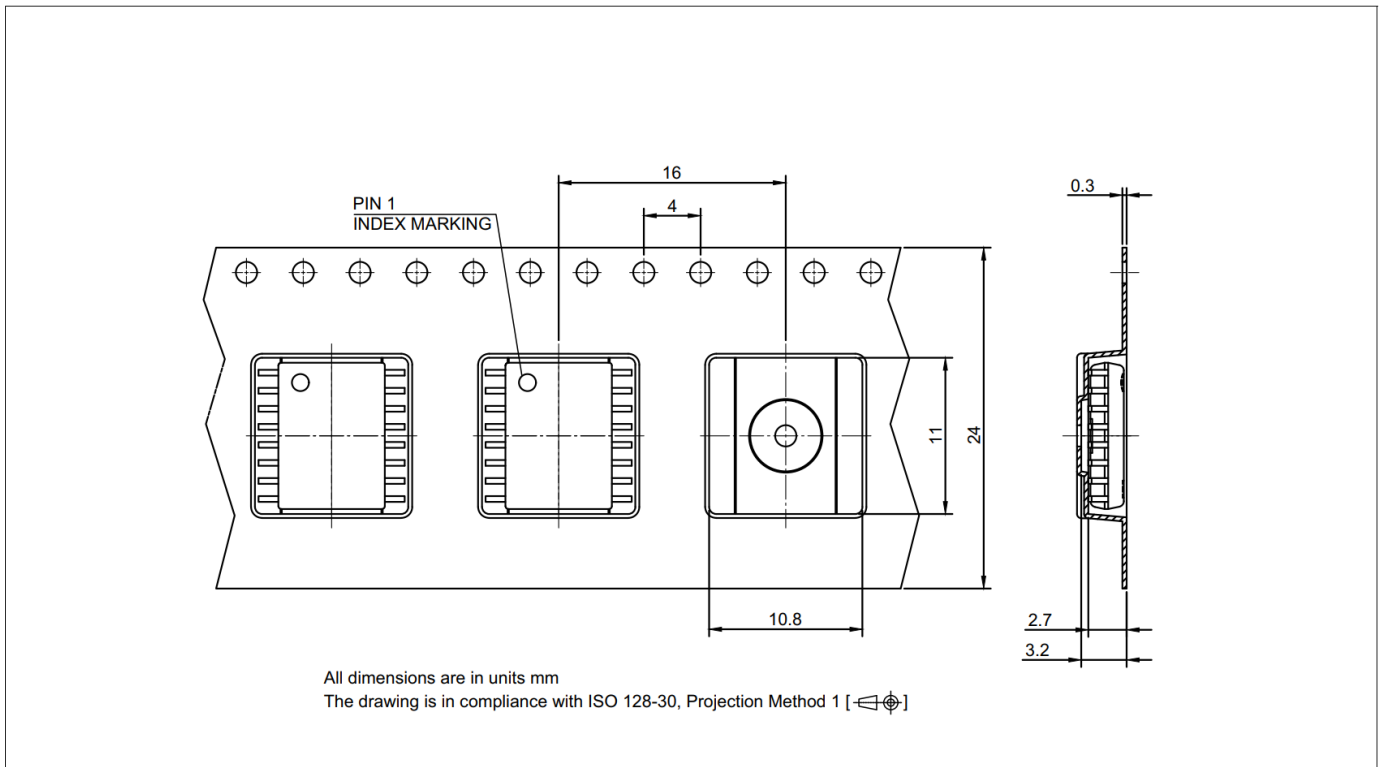


图 20 PG-DSO-16-30封装



封装

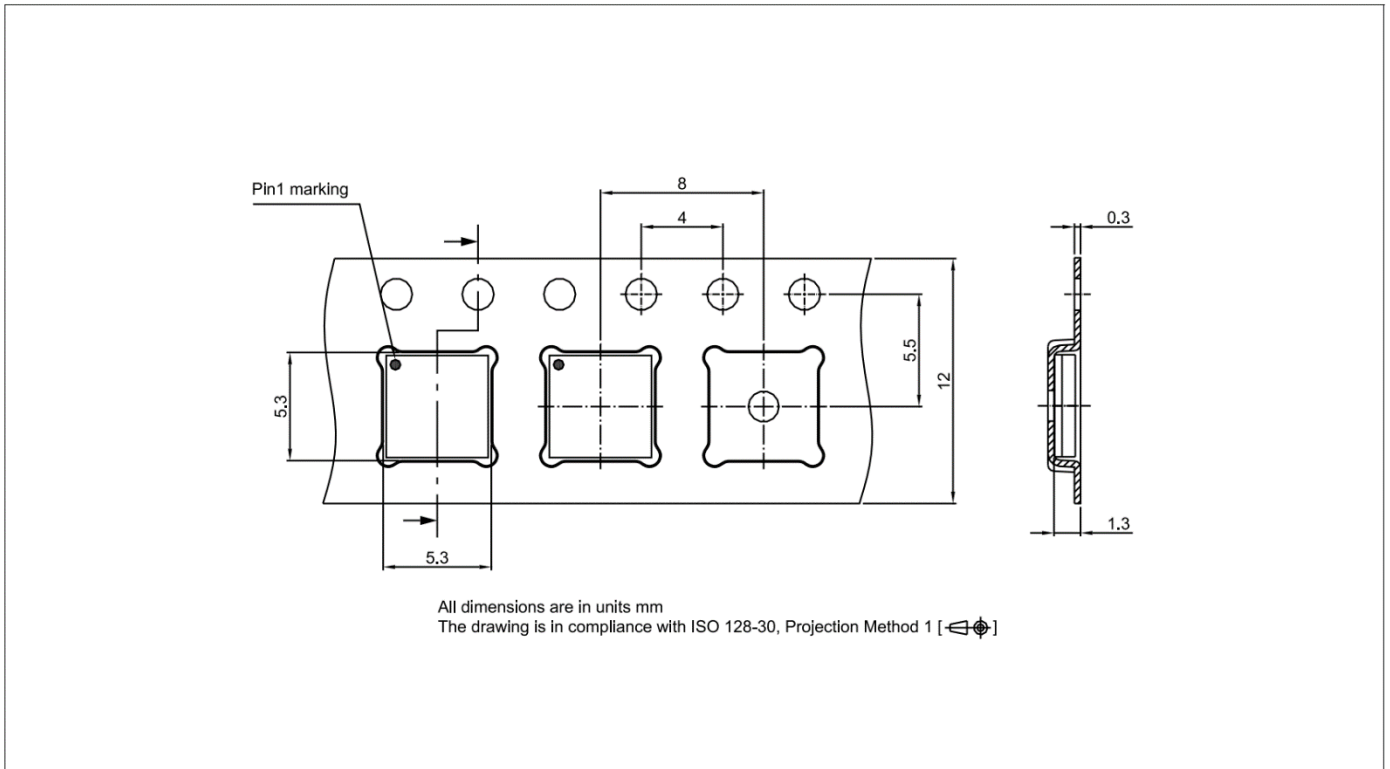


图23 PG-TFLGA-13-4封装

## 修订记录

Page or Item	Subjects (major changes since previous revision)
<b>Rev 2.9 Datasheet, 2024-05-16</b>	
Cover page	Updated <b>Isolation and safety certificates</b> for <b>2EDSx with reinforced isolation</b> :
<b>Table 1</b>	Updated Safety certification for 2EDS8265H, 2EDS9265H, 2EDS8165H and 2EDS7165H
<b>Table 23</b> and <b>Table 24</b>	Updated certification
<b>Rev 2.8 Datasheet, 2022-08-08</b>	
<b>Table 1, Table 23</b>	UL certification received for 2EDS9265H and 2EDS7165H
Whole document	2EDF7235K removed due to product discontinuation
Whole document	PG-TFLGA-13-1 → PG-TFLGA-13-4; see PCN-2021-215-A
<b>Table 6</b>	Adaptation of thermal characteristics for PG-TFLGA-13-4
<b>Chapter 7.4</b>	Adaptation of package figures for PG-TFLGA-13-4
<b>Table 5, Table 7</b>	Added footnote 2)
<b>Rev 2.7 Datasheet, 2021-09-10</b>	
<b>Table 5, Table 7</b>	“Input supply voltage” → “Voltage at pin VDDI” to highlight that the supply voltage can be higher if the SLDO is activated
Whole document, <b>Table 1, Table 30</b>	added 2EDS7165H, 2EDF8275F products
<b>Table 1</b>	modified footnote 2
<b>Figure 5</b>	fixed typo
<b>Rev 2.6 Datasheet, 2021-04-23</b>	
<b>Page 1, Table 1, Table 24</b>	added reference to issued EN 60601-1 certification
<b>Page 1, Table 1, Table 24</b>	added reference to issued GB4943.1 certification
<b>Page 1, Table 1, Table 24</b>	removed reference to CSA C22.2 No. 62368-1 as it is not anymore planned
<b>Table 16</b>	added UVLO start-up and deactivation time
<b>Rev 2.5 Datasheet, 2020-02-07</b>	
<b>Page 1</b>	“certified according to DIN V VDE V0884-10” changed in “DIN V VDE V0884-10 compliant” due to standard expiration on 2019.12.31
Whole document	added references to 2EDF9275F and 2EDS9265H (13 V UVLO options for SiC MOSFETs driving)
<b>Page 1, Table 1</b>	added reference to EN 61010-1 certification
<b>Page 1</b>	update of term DIN EN 62368-1 and DIN EN 60950-1
<b>Table 1</b>	CQC removed from <b>Table 1</b> due to presence of footnote <sup>3)</sup>
<b>Table 1</b>	added footnote <sup>2)</sup> due to expiration of VDE0884-10 certification
<b>Table 1, Table 30</b>	added 2EDF9275F and 2EDS9265H products
<b>Table 1</b>	removed OPN for better readability; OPN shown in <b>Table 30</b>
<b>Table 12</b>	$V_{IN}$ max. value 6.5 V → 15 V
<b>Table 8</b>	added $I_{V_{DDA}}$ , $I_{V_{DDB}}$ quiescent current for 2EDF9275F and 2EDS9265H

Page or Item	Subjects (major changes since previous revision)
<a href="#">Table 10</a>	added $V_{DDA}$ , $V_{DDB}$ Undervoltage Lockout table for 2EDF9275F and 2EDS9265H
<a href="#">Table 12</a>	added “UVLO threshold vs temperature” for the 13 V UVLO options (2EDF9275F, 2EDS9265H)
<a href="#">Table 23</a> , <a href="#">Table 24</a>	added tables for overview on safety-related certifications of PG-DSO-16-30
<a href="#">Table 25</a>	“see VDE certificate” footnote removed due to certification expiration
<a href="#">Table 27</a>	fixed typo in the test condition: $5700 \text{ kV}_{\text{RMS}} \rightarrow 5700 \text{ V}_{\text{RMS}}$
<a href="#">Table 30</a>	new OPN and “B” marking: improved secondary-side clamping performance
<b>Rev 2.4 Datasheet, 2019-02-08</b>	
<a href="#">Table 5</a>	max. $V_{\text{DDI}}$ : $3.7 \text{ V} \rightarrow 4.0 \text{ V}$
<b>Rev 2.3 Datasheet, 2019-01-31</b>	
Whole document	removed “certification pending” because certification has been issued (see <a href="#">Table 1</a> )
<a href="#">Chapter 7</a>	latest footprints, outlines and packaging for PG-DSO-16-11 and PG-DSO-16-30
<a href="#">Figure 6</a>	adjusted values
<a href="#">Page 1</a>	propagation delay variance in “ <a href="#">Features</a> ” updated
<a href="#">Table 1</a> and <a href="#">Table 30</a>	OPN inserted for 2EDF7235K
<a href="#">Table 5</a>	reference to max. value $\rightarrow V_{\text{DDO}}$ for voltage at pins OUTA and OUTB
<a href="#">Table 5</a>	removed footnote 1 from parameter “Non-destructive Common Mode Transient Immunity”
<a href="#">Table 7</a>	$T_{\text{amb}}$ max. value $85^\circ\text{C} \rightarrow 125^\circ\text{C}$
<a href="#">Table 16</a>	$C_{\text{LOAD}}$ in “Note or test condition” moved to table description
<a href="#">Table 17</a> , <a href="#">Table 20</a> and <a href="#">Table 25</a>	Non-destructive Common Mode Transient Immunity transferred to <a href="#">Table 5</a> , <a href="#">Absolute maximum ratings</a>
<a href="#">Table 17</a>	added footnote to “Capacitance” and “Resistance” parameters
<a href="#">Table 20</a>	footnotes assignation patched
<b>Rev 2.2 Datasheet, 2018-11-07</b>	
<a href="#">Chapter 3.2</a>	Update device part numbers
<a href="#">Chapter 4</a>	Update of term “DIN V, VDE V0884-10”
<a href="#">Page 1</a>	Update product validation in “ <a href="#">Features</a> ”
<a href="#">Table 1</a> , <a href="#">Table 30</a>	Update of OPN
<a href="#">Table 5</a>	Removed typos
<b>Rev 2.1 Datasheet, 2018-10-24</b>	
<a href="#">Table 1</a> , <a href="#">Table 5</a> , <a href="#">Table 30</a>	Updates
<b>Rev 2.0 Datasheet, 2018-06-04</b>	
	Initial data sheet available



## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

## 重要通知

版本 2025-10-30

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

Do you have a question about this  
document?

Email:  
[erratum@infineon.com](mailto:erratum@infineon.com)

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。