

英飞凌 EiceDRIVER™ 双通道驱动器

2EDN752x/2EDN852x



特性

快速、精确、强大且兼容

- 提供高效的 SMPS，具有 5 ns 快速转换速率和 17 ns 传播延迟精度，可快速开关 MOSFET 和 GaN。
- 1 ns 的通道间传播延迟精度，支持两个通道并行安全使用
- 两个独立的 5 A 通道可提供多种部署选项
- 符合行业标准的封装和引脚分布，便于系统设计升级

坚固耐用的新标准

- 4.2 V 和 8 V UVLO（欠压锁定）选项可确保在异常情况下即时保护 MOSFET
- -10 V 控制和使能输入的稳健性，在驱动脉冲变压器或驱动通孔封装的 MOSFET 时提供了至关重要的安全裕度
- 5 A 的反向电流稳健性消除了对输出保护电路的需求。

典型应用

- 服务器 SMPS
- 电信 SMPS
- DC-DC 转换器
- 砖式电源模块
- 电动工具
- 工业开关电源
- 电机控制
- 太阳能开关电源

拓扑示例

- 单路和交错 PFC
- LLC，带脉冲变压器的零电压开关
- 同步整流

描述

英飞凌 2EDN752x/2EDN852x 是一款先进的双通道驱动器。它适用于驱动逻辑电平和标准电平 MOSFET，并支持 OptiMOS™、CoolMOS™、标准级 MOSFET、超结 MOSFET 以及 IGBT 和 GaN 功率器件。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

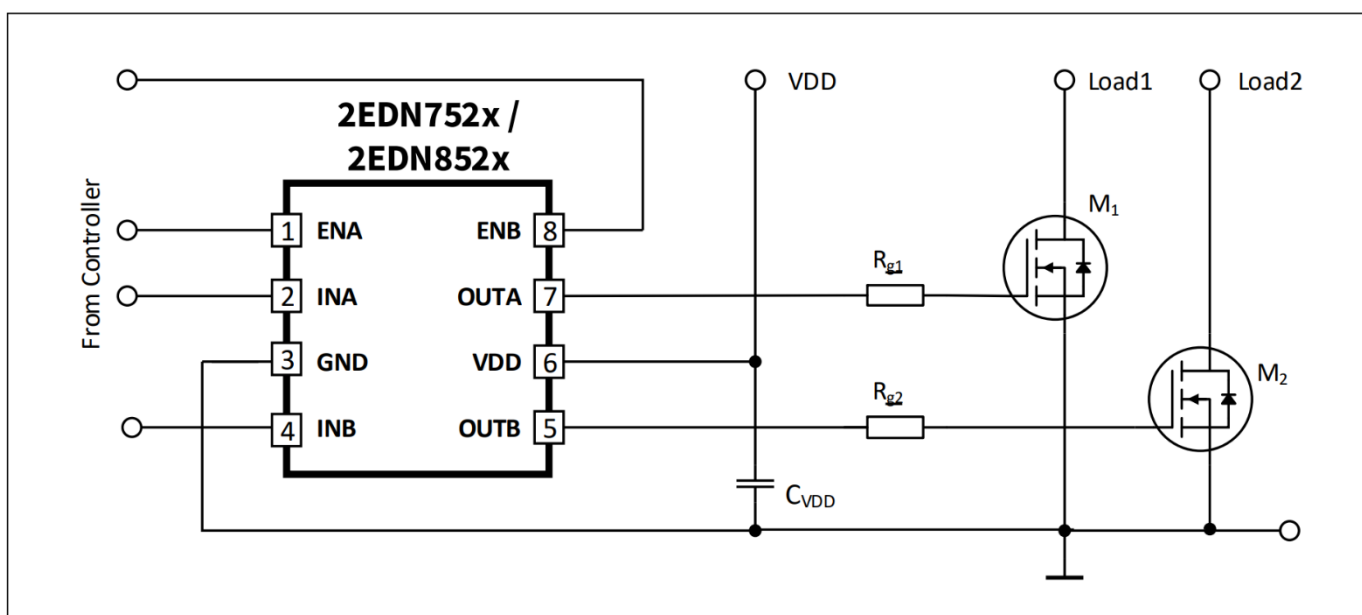
特性

控制和使能输入与 LV-TTL 兼容 (CMOS 3.3 V)，输入电压范围为 -5 V 至 +20 V。-10 V 输入引脚的稳健性可防止寄生接地电感引起的闩锁或电气过应力。这大大增强了系统的稳定性。

4.2 V 和 8 V UVLO (欠压锁定) 选项，可确保在异常条件下为 MOSFET 和 GaN 提供即时保护。在这种情况下，这种 UVLO 机制提供了至关重要的独立性，不受其他监控电路是否以及何时检测到异常情况的影响。

两个输出通道均采用真正的轨到轨级，能够分别提供 5 A 的拉电流和灌电流。这确保了极低的导通电阻，拉电流 (至正轨) 时为 $0.7\ \Omega$ ，灌电流 (至负轨) 时为 $0.55\ \Omega$ 。通道间极小的延迟匹配 (典型值为 1 ns) 允许两个通道并行使用，从而实现 10 A 的源极和汇极能力。业界领先的反向电流稳健性消除了输出端使用肖特基二极管的必要性，并降低了物料清单成本。

2EDN 系列的引脚布局与行业标准兼容。两种不同的控制输入选项 (直接和反相) 提供了高度的灵活性。DSO 8 引脚、TSSOP 8 引脚和 WSON 8 引脚这三种封装可优化 PCB 板空间利用率和热特性。



目录

目录

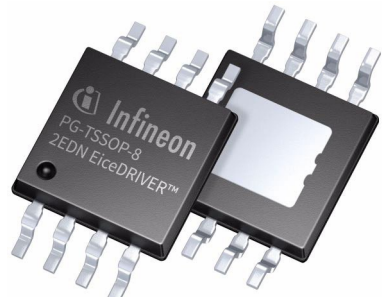
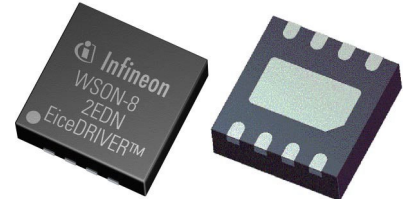
	特性.....	1
	目录.....	3
1	产品版本.....	4
1.1	逻辑版本.....	5
1.2	封装版本.....	5
2	引脚配置及说明.....	6
3	框图.....	9
4	功能说明.....	11
4.1	简介.....	11
4.2	电源电压.....	11
4.3	输入配置.....	11
4.4	驱动器输出.....	11
4.5	欠压锁定 (UVLO)	12
5	特征.....	13
5.1	绝对最大额定值.....	13
5.2	热特性.....	13
5.3	工作范围.....	14
5.4	电气特性.....	15
6	时序图	17
7	典型特性.....	19
8	应用信息.....	25
8.1	更多应用信息.....	25
9	外形尺寸.....	26
9.1	PG-DSO-8	26
9.2	PG-TSSOP-8	27
9.3	PG-WSON-8	29
10	修订记录.....	31

产品版本

1 产品版本

2EDN752x/2EDN852x 提供 2 种不同的逻辑、2 种不同的欠压锁定和 3 种封装版本。

表 1 产品版本

Package	Type. UVLO	Control Input	Part Number	IC Topside Marking Code
PG-DSO-8				
	4.2V	direct	2EDN7524F	2N7524AF EiceDRIV XXHYYWW
		inverted	2EDN7523F	2N7523AF EiceDRIV XXHYYWW
	8V	direct	2EDN8524F	2N8524AF EiceDRIV XXHYYWW
		inverted	2EDN8523F	2N8523AF EiceDRIV XXHYYWW
PG-TSSOP-8				
	4.2V	direct	2EDN7524R	2N7524 AR_XXX HYYWW
		inverted	2EDN7523R	2N7523 AR_XXX HYYWW
	8V	direct	2EDN8524R	2N8524 AR_XXX HYYWW
		inverted	2EDN8523R	2N8523 AR_XXX HYYWW
PG-WSO-8				
	4.2V	direct	2EDN7524G	2N7524 AG_XXX HYYWW
		inverted	2EDN7523G	2N7523 AG_XXX HYYWW

产品版本

1.1 逻辑版本

产品型号 2EDNy52x 中的变量 x 表示两个逻辑版本：

- x=3：反相输入逻辑
- x=4：同相/直接输入逻辑

表 2 列出了反相和同相版本的 2EDNx523 和 2EDNx524 输入、使能引脚和输出之间的逻辑关系。如果使能输入端 ENA 和 ENB 为高电平（或未连接），则驱动输出的状态由相应输入的状态决定。若使能输入为逻辑“低”电平，或因 V_{DD} 电压过低而出现欠压锁定事件时，则无论输入信号如何，相应的输出也将变为低电平。功能说明见 **第 3 章（框图）** 和 **第 4 章（输入配置）**。

表 2 逻辑表

Inputs					Output Inverting		Output Standard	
ENA	ENB	INA	INB	UVLO ¹⁾	OUTA	OUTB	OUTA	OUTB
x	x	x	x	active	L	L	L	L
L	L	x	x	inactive	L	L	L	L
H	L	L	x	inactive	H	L	L	L
H	L	H	x	inactive	L	L	H	L
L	H	x	L	inactive	L	H	L	L
L	H	x	H	inactive	L	L	L	H
H	H	L	L	inactive	H	H	L	L
H	H	H	L	inactive	L	H	H	L
H	H	L	H	inactive	H	L	L	H
H	H	H	H	inactive	L	L	H	H

1) “Inactive”表示 V_{DD} 高于 UVLO 阈值电压，并释放逻辑以控制输出级。

“Active”表示 UVLO 禁用输出级。

1.2 封装版本

逻辑和 UVLO 版本有 3 种不同的封装。

- 标准 PG-DSO-8（以 "F" 标示）
- 小型 PG-TSSOP-8（以 "R" 标示）
- 无引脚 PG-WSON-8（以 "G" 标示）

图纸可在 **第 9 章（外形尺寸）** 中查看。

2 引脚配置及说明

图 1 显示了采用 PG-DSO-8 封装的 2EDN7524F、2EDN7523F、2EDN8524F 和 2EDN8523F 所有输入版本的引脚配置。图纸可参见第 9 章（PG-DSO-8）。

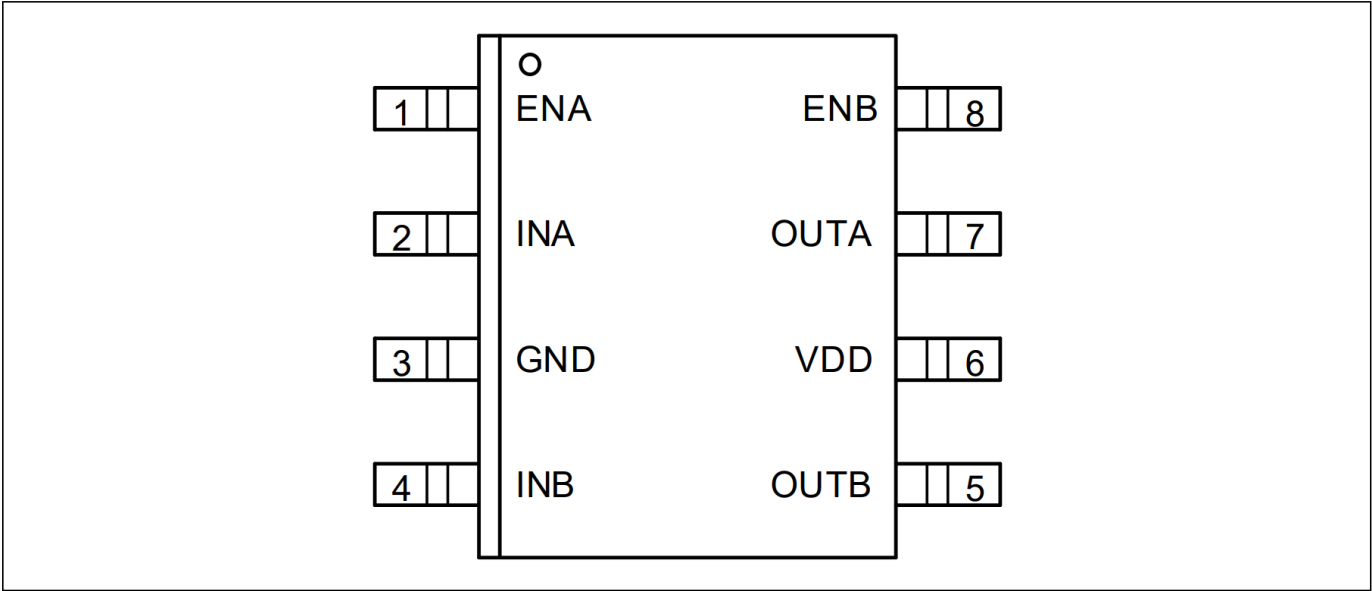


图 1 PG-DSO-8 引脚配置（顶视图）

表 3 采用 PG-DSO-8 封装的 2EDN7524F、2EDN7523F、2EDN8524F 和 2EDN8523F 的引脚配置

Pin	Symbol	Description
1	ENA	Enable input channel A Logic input; if ENA is high or left open, OUTA is controlled by INA; ENA low causes OUTA low
2	INA	Input signal channel A Logic input, controlling OUTA (inverting or non-inverting)
3	GND	Ground
4	INB	Input signal channel B Logic input, controlling OUTB (inverting or non-inverting)
5	OUTB	Driver output channel B Low-impedance output with source and sink capability
6	VDD	Positive supply voltage Operating range 4.5 V/8.6V to 20 V
7	OUTA	Driver output channel A Low-impedance output with source and sink capability
8	ENB	Enable input channel B Logic Input; if ENB is high or left open, OUTB is controlled by INB; ENB low causes OUTB low

引脚配置及说明

图 2 显示了采用 PG-TSSOP-8 封装的 2EDN7524R、2EDN7523R、2EDN8524R 和 2EDN8523R 所有输入版本的引脚配置。相关图纸可参见第 9 章（PG-TSSOP-8）。

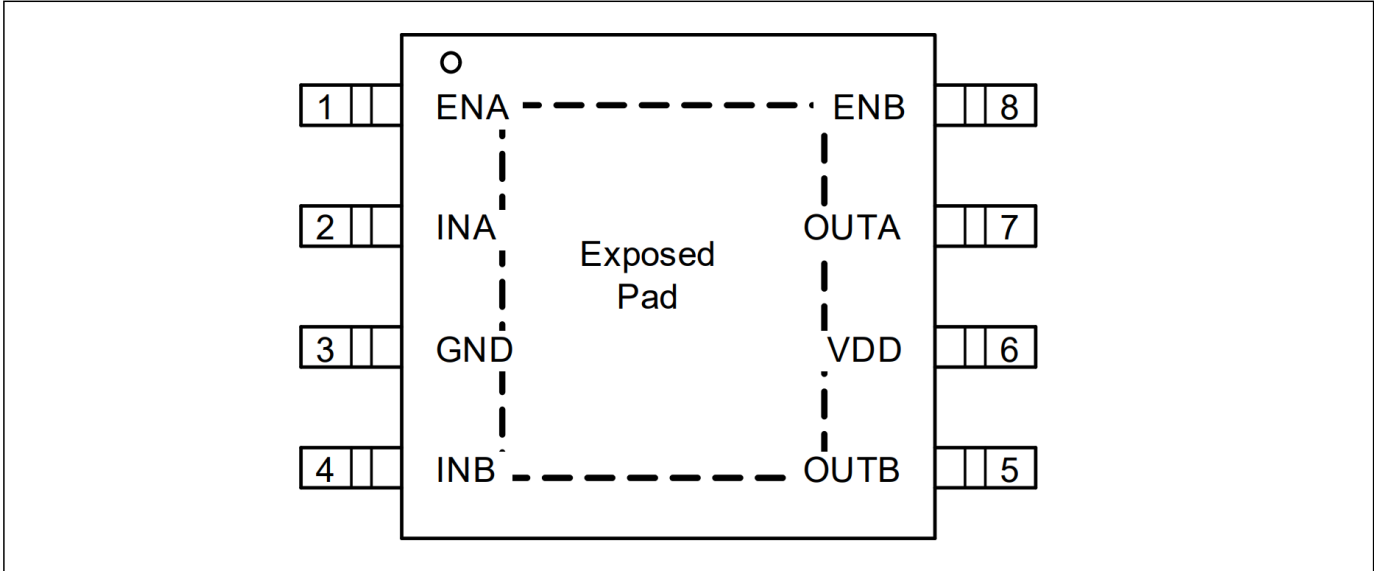


图2 PG-TSSOP-8引脚配置（顶视图）

表 4 PG-TSSOP-8 封装的 2EDN7524R、2EDN7523R、2EDN8524R 和 2EDN8523R 的引脚配置

Pin	Symbol	Description
1	ENA	Enable input channel A Logic input; if ENA is high or left open, OUTA is controlled by INA; ENA low causes OUTA low
2	INA	Input signal channel A Logic input, controlling OUTA (non-inverting)
3	GND	Ground ¹⁾
4	INB	Input signal channel B Logic input, controlling OUTB (non-inverting)
5	OUTB	Driver output channel B Low-impedance output with source and sink capability
6	VDD	Positive supply voltage Operating range 4.5 V/8.6V to 20 V
7	OUTA	Driver output channel A Low-impedance output with source and sink capability
8	ENB	Enable input channel B Logic Input; if ENB is high or left open, OUTB is controlled by INB; ENB low causes OUTB low

1) PG-TSSOP-8 封装的裸露焊盘（散热/导电焊盘）必须连接到 GND 引脚。

引脚配置及说明

图 3 显示了 PG-WSO8-8 封装中 2EDN7524G 和 2EDN7523G 直接输入版本的引脚配置。图纸可在第 9 章（PG-WSO8-8）中查看。

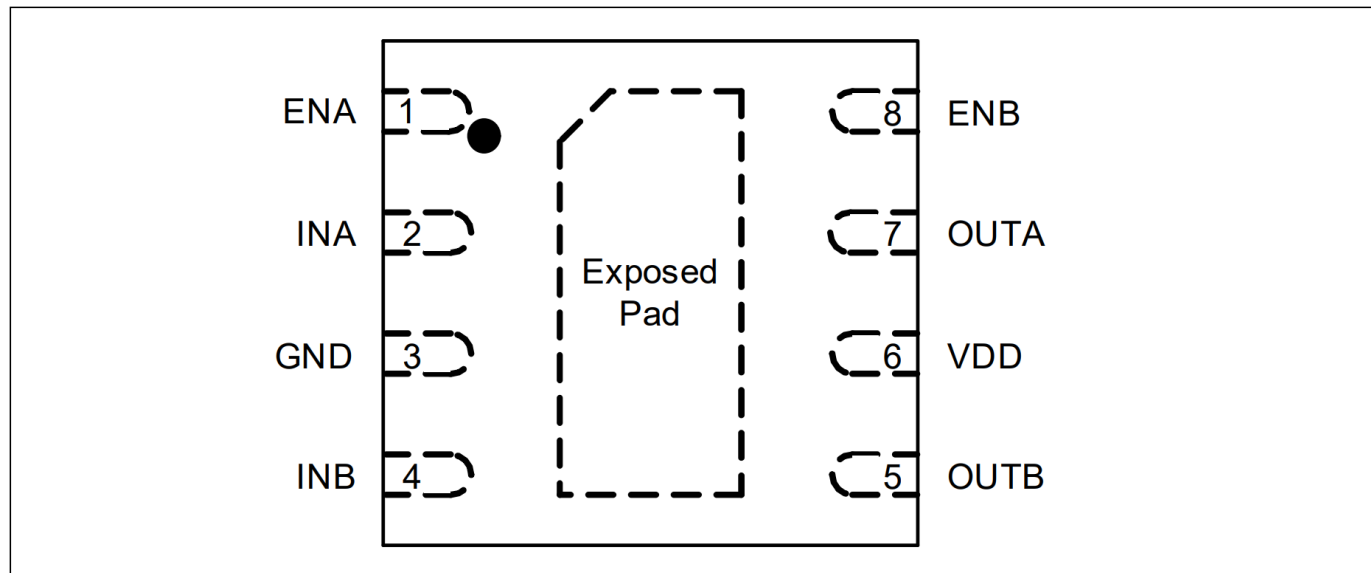


图3 PG-WSO8-8引脚配置（顶视图）

表 5 PG-WSO8-8 封装中 2EDN7524G 和 2EDN7523G 引脚配置

Pin	Symbol	Description
1	ENA	Enable input channel A Logic input; if ENA is high or left open, OUTA is controlled by INA; ENA low causes OUTA low
2	INA	Input signal channel A Logic input, controlling OUTA (non-inverting)
3	GND	Ground ¹⁾
4	INB	Input signal channel B Logic input, controlling OUTB (non-inverting)
5	OUTB	Driver output channel B Low-impedance output with source and sink capability
6	VDD	Positive supply voltage Operating range 4.5 V/8.6V to 20 V
7	OUTA	Driver output channel A Low-impedance output with source and sink capability
8	ENB	Enable input channel B Logic Input; if ENB is high or left open, OUTB is controlled by INB; ENB low causes OUTB low

1) PG-WSO8-8 封装的裸露焊盘必须连接到 GND 引脚。

框图

3 框图

图 4 是同相/直接版本的简化功能框图。更多详情，请参见第 4 章的功能描述部分。

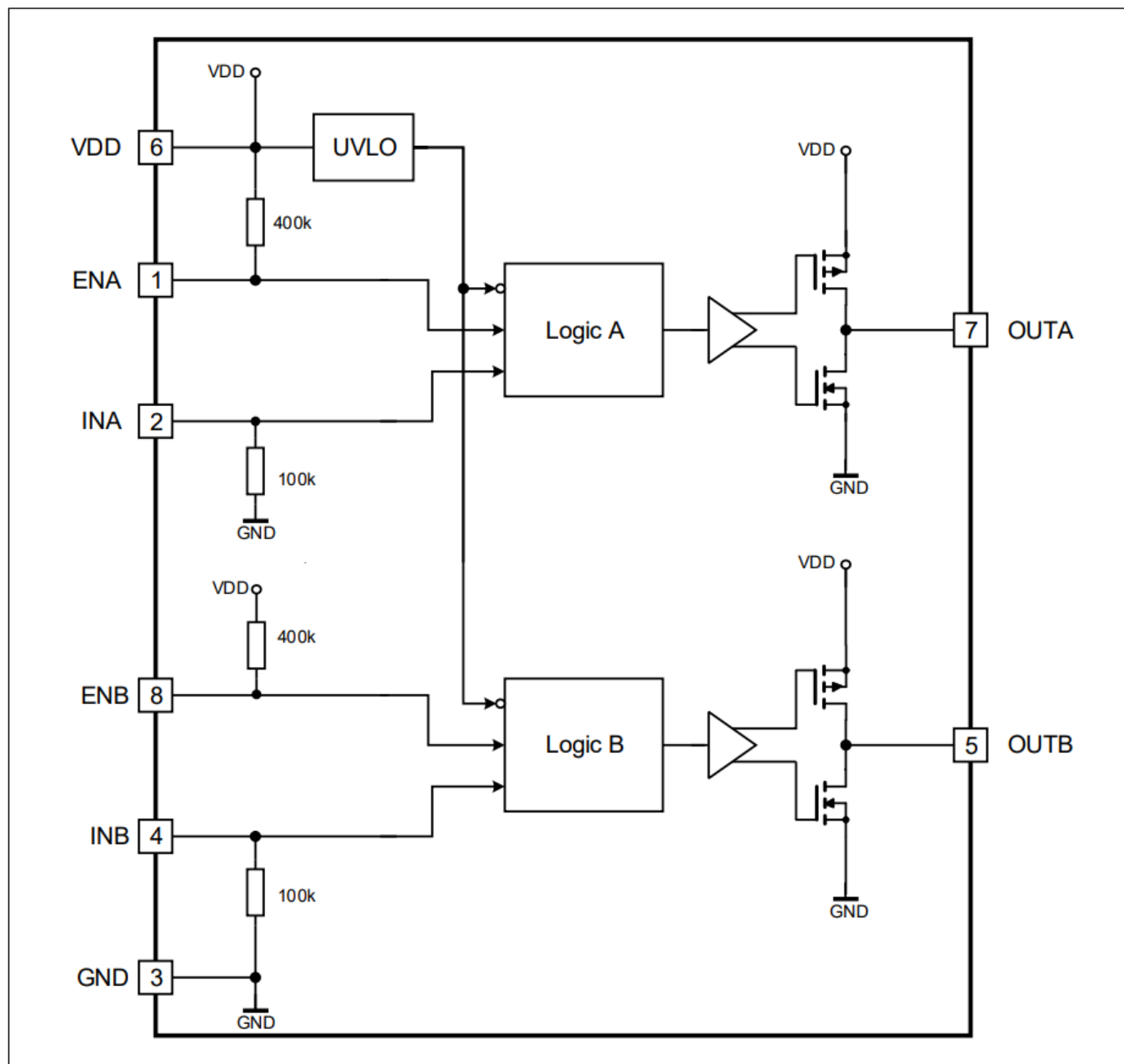


图 4 框图，直接输入，上拉/下拉电阻配置

框图

图 5 给出了反相版本的简化功能框图。更多详细信息请参阅第 4 章的功能描述部分。

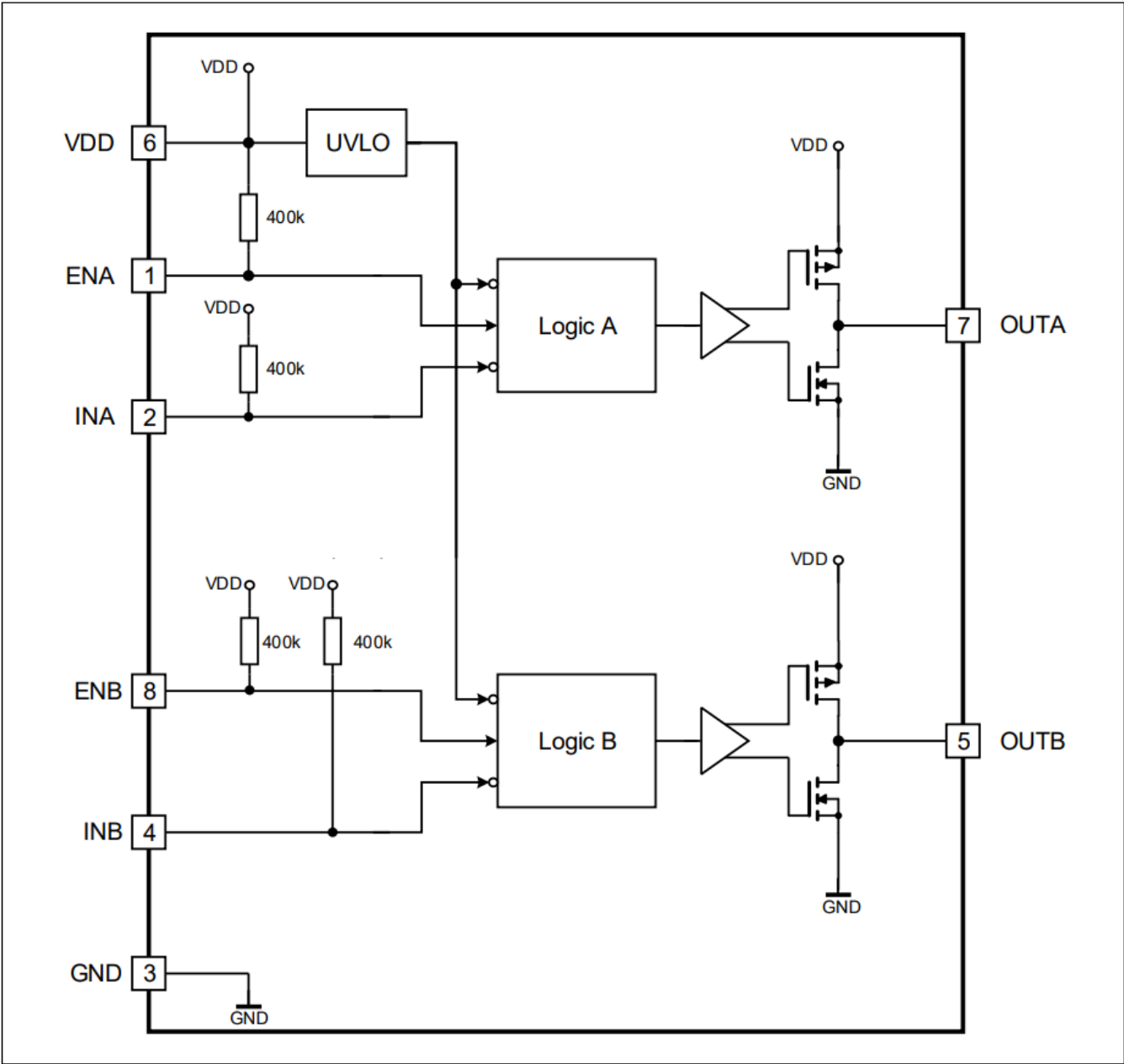


图 5 框图，反相输入，上拉/下拉电阻配置

4 功能说明

4.1 简介

2EDN752x/2EDN852x 是用于低侧开关的快速双通道驱动器。选择两个具有非常低输出阻抗和高电流能力的真正轨到轨输出级，以确保最高的灵活性并覆盖各种各样的应用。

对输入和输出侧稳健性的关注，使得该器件在关键异常情况下具有额外的安全裕度。扩展的负电压范围可保护输入引脚免受地电压变化的影响。在负输入电平期间，没有电流流过 IC 中的 ESD 结构。所有输出都能承受反向电流。与功率 MOSFET 的相互作用，甚至反向反射功率都将由强大的内部输出级处理。

输入与 LV-TTL 信号电平兼容。阈值电压的典型迟滞为 1.1 V，在电源电压范围内保持恒定。

由于 2EDN752x/2EDN852x 特别针对快速开关应用，因此已将信号延迟和上升/下降时间降至最低。我们特别努力将两个通道之间的延迟差异降到最低，通常为 1 ns。

4.2 电源电压

最大电源电压为 20 V。在驱动非常大的 MOSFET 时，这种高电压对于充分利用 2EDN752x/2EDN852x 的电流能力非常有价值。最低工作电源电压由欠压锁定功能设置为典型默认值 4.2 V 或 8 V。此锁定功能可防止功率 MOSFET 进入线性模式并因此产生高功率耗散。

4.3 输入配置

如第 1 章所述，2EDN752x/2EDN852x 在 4 个输入引脚（输入加使能）的逻辑配置方面，有两种不同的配置。使能输入端在引脚内部上拉至逻辑高电平，即在引脚悬空时驱动器即被启用。直接 PWM 输入引脚内部被下拉至逻辑低电压。这可以防止上电期间发生导通事件以及出现未驱动的输入状态。带有反相 PWM 输入的版本内部设有上拉电阻，以防止意外导通。

所有输入均与 LV-TTL 电平兼容，并提供典型值 1.1 V 的迟滞。该迟滞与电源电压无关。

所有输入引脚均具有负扩展电压范围。这可防止在信号源（控制器）和驱动器输入端之间发生电平偏移时，单根导线上出现交叉电流。

4.4 驱动器输出

采用互补 MOS 晶体管实现的两个轨到轨输出级能够提供典型的 5 A 的拉电流和灌电流。该驱动器输出级具有直通保护和限流特性。开关事件发生后，限流值会提高，以达到典型的电流峰值，从而使后续功率 MOS 晶体管获得出色的快速响应时间。

输出阻抗非常低，拉电流的 p 沟道 MOS 晶体管的典型值低于 0.7 Ω ，灌电流 n 沟道 MOS 晶体管的典型值低于 0.5 Ω 。使用 p 沟道拉电流晶体管对于实现真正的轨到轨行为和避免源跟随器的电压下降至关重要。

功能说明

当 EN_x、IN_x 输入浮空，或在启动/断电期间 UVLO 未被超过时，栅极驱动输出保持低电平有效。在任何情况下，无论是启动、UVLO 还是关机，输出都会保持在规定的条件下。

4.5 欠压锁定 (UVLO)

欠压锁定功能确保仅当电源电压超过 UVLO 阈值电压时，输出才能切换到高电平。这样就可以保证，当驱动电压太低而无法完全导通开关晶体管时，开关晶体管也不会导通，从而避免过大的功率耗散。

UVLO 电平设置为典型值 4.2 V/8 V（具有迟滞）。4.2 V UVLO 阈值通常用于逻辑电平 MOSFET。对于更高一级的标准电平和高压超结 MOSFET，可用的 UVLO 电压通常为 8 V。

特性

5 特性

绝对最大额定值列于表 6。超过表 6 列出的绝对最大额定值的应力可能会对器件造成永久性损坏。长时间暴露于绝对最大额定值条件下可能会影响器件的可靠性。

5.1 绝对最大额定值

表 6 绝对最大额定值

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Positive supply voltage	V_{DD}	-0.3	–	22	V	–
Voltage at pins INA, INB, ENA, ENB	V_{IN}	-10	–	22	V	–
Voltage at pins OUTA, OUTB	V_{OUT}	-0.3	–	$V_{DD}+0.3$	V	Note ¹⁾
		-2	–	$V_{DD}+0.3$	V	Repetitive pulse <200 ns ²⁾
Reverse current peak at pins OUTA, OUTB	I_{SNKREV} I_{SRCREV}		–	-5 5	A _{pk}	< 500 ns
Junction temperature	T_J	-40	–	150	°C	–
Storage temperature	T_S	-55	–	150	°C	–
ESD capability	V_{ESD}	–	–	1.5	kV	Charged Device Model (CDM) ³⁾
ESD capability	V_{ESD}	–	–	2.5	kV	Human Body Model (HBM) ⁴⁾

1) 允许由反向电流峰值引起的电压尖峰。

2) 数值通过工作台上的特性验证。

3) 符合 JESD22-C101。

4) 符合 JESD22-A114。

5.2 热特性

表 7 热特性

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Thermal resistance junction-ambient ¹⁾	R_{thJA25}	–	125	–	K/W	PG-DSO-8, $T_{amb} = 25^\circ\text{C}$
Thermal resistance junction-case (top) ²⁾	R_{thJC25}	–	66	–	K/W	PG-DSO-8, $T_{amb} = 25^\circ\text{C}$
Thermal resistance junction-board ³⁾	R_{thJB25}	–	62	–	K/W	PG-DSO-8, $T_{amb} = 25^\circ\text{C}$
Characterization parameter junction-top ⁴⁾	Ψ_{thJC25}	–	16	–	K/W	PG-DSO-8, $T_{amb} = 25^\circ\text{C}$
Characterization parameter junction-board ⁵⁾	Ψ_{thJB25}	–	55	–	K/W	PG-DSO-8, $T_{amb} = 25^\circ\text{C}$

特性

表 7 热特性 (续)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Thermal resistance junction-ambient 1)	R_{thJA25}	–	64	–	K/W	PG-TSSOP-8, $T_{amb} = 25^{\circ}\text{C}$
Thermal resistance junction-case (top) 2)	R_{thJP25}	–	56	–	K/W	PG-TSSOP-8, $T_{amb} = 25^{\circ}\text{C}$
Thermal resistance junction-board 3)	R_{thJB25}	–	55	–	K/W	PG-TSSOP-8, $T_{amb} = 25^{\circ}\text{C}$
Characterization parameter junction-top 4)	Ψ_{thJC25}	–	9	–	K/W	PG-TSSOP-8, $T_{amb}=25^{\circ}\text{C}$
Characterization parameter junction-board 5)	Ψ_{thJB25}	–	13	–	K/W	PG-TSSOP-8, $T_{amb} = 25^{\circ}\text{C}$
Thermal resistance junction-ambient 1)	R_{thJA25}	–	61	–	K/W	PG-WSON-8, $T_{amb} = 25^{\circ}\text{C}$
Thermal resistance junction-case (top) 2)	R_{thJP25}	–	54	–	K/W	PG-WSON-8, $T_{amb} = 25^{\circ}\text{C}$
Thermal resistance junction-board 3)	R_{thJB25}	–	52	–	K/W	PG-WSON-8, $T_{amb} = 25^{\circ}\text{C}$
Characterization parameter junction-top 4)	Ψ_{thJC25}	–	8	–	K/W	PG-WSON-8, $T_{amb} = 25^{\circ}\text{C}$
Characterization parameter junction-board 5)	Ψ_{thJB25}	–	11	–	K/W	PG-WSON-8, $T_{amb} = 25^{\circ}\text{C}$

- 1) 在 JESD51-2a 描述的环境中，通过对 JEDEC high-K 板（如 JESD51-7 中规定）进行模拟，可以获得自然对流下的结到环境的热阻。
- 2) 通过模拟封装顶部的冷板测试来获得结至外壳（顶部）的热阻。没有特定的 JEDEC 标准测试，但可以在 ANSI SEMI 标准 G30-88 中找到相近的描述。
- 3) 结到板的热阻是通过在具有环形冷板夹具来控制 PCB 温度的环境中模拟而获得的，如 JESD51-8 中所述。
- 4) 特性参数 junction-top 用于估算实际系统中器件的结温，并采用 JESD51-2a（第 6 和 7 节）中描述的程序，从用于获取 R_{th} 的模拟数据中提取。
- 5) 特性参数 junction-board 用于估算实际系统中器件的结温，并采用 JESD51-2a（第 6 和 7 节）中描述的步骤，从用于获取 R_{th} 的模拟数据中提取。

5.3 工作范围

表 8 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Supply voltage	V_{DD}	4.5	–	20	V	Min. defined by UVLO
Logic input voltage	V_{IN}	-5	–	20	V	–
Junction temperature	T_J	-40	–	150	$^{\circ}\text{C}$	1)

- 1) 持续在 125°C 以上温度下运行可能会缩短使用寿命。

特性

5.4 电气特性

除非另有说明，特性的最小值和最大值分别为下限和上限。它们在整个工作范围内有效。电源电压为 $V_{DD} = 12\text{ V}$ 。典型值在 $T_J = 25^\circ\text{C}$ 时给出。

表 9 电源

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
VDD quiescent current	I_{VDDQU1}	0.5	0.7	1.2	mA	OUT = high, $V_{DD} = 12\text{ V}$
VDD quiescent current	I_{VDDQU2}	0.3	0.48	0.7	mA	OUT = low, $V_{DD} = 12\text{ V}$

表 10 逻辑电平 MOSFET 的欠压锁定

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn on threshold	$UVLO_{ON}$	3.9	4.2	4.5	V	–
Undervoltage Lockout (UVLO) turn off threshold	$UVLO_{OFF}$	3.6	3.9	4.2	V	–
UVLO threshold hysteresis	$UVLO_{HYS}$	–	0.3	–	V	–

表 11 标准和超结 MOSFET 版本的欠压锁定

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn on threshold	$UVLO_{ON}$	7.4	8.0	8.6	V	–
Undervoltage Lockout (UVLO) turn off threshold	$UVLO_{OFF}$	6.5	7.0	7.5	V	–
UVLO threshold hysteresis	$UVLO_{HYS}$	–	1.0	–	V	–

表 12 逻辑输入 INA、INB、ENA、ENB

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Input voltage threshold for transition LH	V_{INH}	1.98	2.1	2.2	V	–
Input voltage threshold for transition HL	V_{INL}	0.95	1.02	1.1	V	–
Input pull up resistor ¹⁾	R_{INH}	–	400	–	k Ω	–
Input pull down resistor ²⁾	R_{INL}	–	100	–	k Ω	–

1) 初始高逻辑电平输入

2) 初始低逻辑电平输入

特性

表 13 静态输出特性 (见图 7)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
High Level (Sourcing) Output Resistance	R_{ONSRC}	0.35	0.7	1.2	Ω	$I_{SRC} = 50mA$
High Level (Sourcing) Output Current	$I_{SRCPEAK}$	–	5.0	¹⁾	A	–
Low Level (Sinking) Output Resistance	R_{ONSNK}	0.28	0.55	1.0	Ω	$I_{SNK} = 50mA$
Low Level (Sinking) Output Current	$I_{SNKPEAK}$	–	-5.0	²⁾	A	–

1)由设计主动限制, 约为 6.5 A_{pk}, 参数不受生产测试的影响 - 通过设计/特性验证。必须遵守最大功率耗散限制。

2)由设计主动限制, 约为 -6.5 A_{pk}, 参数不受生产测试的影响 - 通过设计/特性验证。必须遵守最大功率耗散限制。

表 14 动态特性 (见图 6、图 7、图 8 和图 9)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Input/Enable to output propagation delay	t_{PDih}	15	17	23	ns	$C_{LOAD} = 1.8\text{ nF}$, $V_{VDD} = 12\text{ V}$; low to high transition at Input/Enable
Input/Enable to output propagation delay	t_{PDhl}	15	19	23	ns	$C_{LOAD} = 1.8\text{ nF}$, $V_{VDD} = 12\text{ V}$ high to low transition at Input/Enable
Input/Enable to output propagation delay mismatch between the two channels on the same IC	Δt_{PD}	–	–	2	ns	–
Rise Time	t_{RISE}	–	5.3	10 ¹⁾	ns	$C_{LOAD} = 1.8\text{ nF}$, $V_{VDD} = 12\text{ V}$
Fall Time	t_{FALL}	–	4.5	10 ¹⁾	ns	$C_{LOAD} = 1.8\text{ nF}$, $V_{VDD} = 12\text{ V}$
Minimum input pulse width that changes output state	t_{PW}	–	–	15 ¹⁾	ns	$C_{LOAD} = 1.8\text{ nF}$, $V_{VDD} = 12\text{ V}$

1) 参数不受生产测试的影响 - 通过设计/特性验证。

时序图

6 时序图

图 6 显示了非反相/直接版本（使能引脚为高电平或开路）输入的上升、下降和延迟时间的定义。

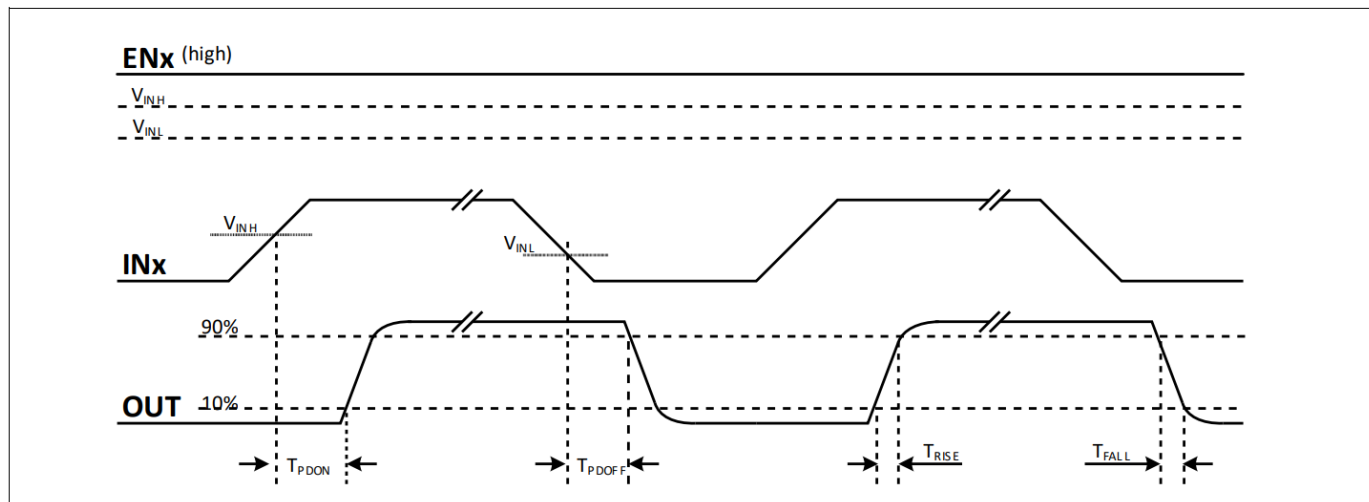


图 6 传播延迟、上升和下降时间，非反相

图 7 显示了反相版输入（使能引脚为高电平或开路）的上升、下降和延迟时间的定义。

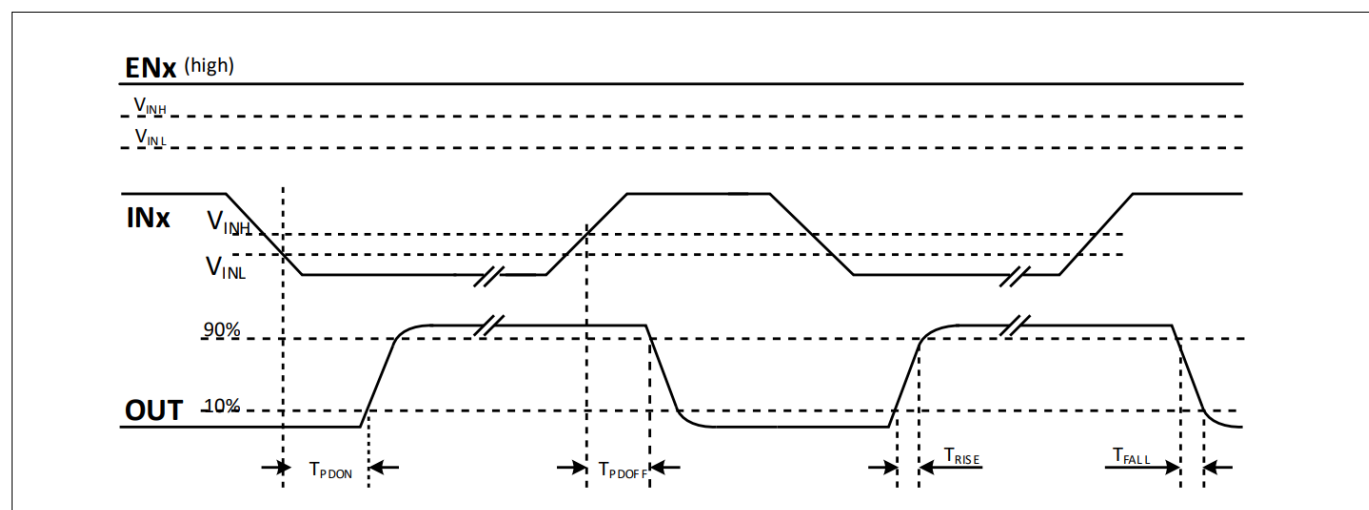


图 7 传播延迟、上升和下降时间、反相

图 8 说明了欠压锁定功能。

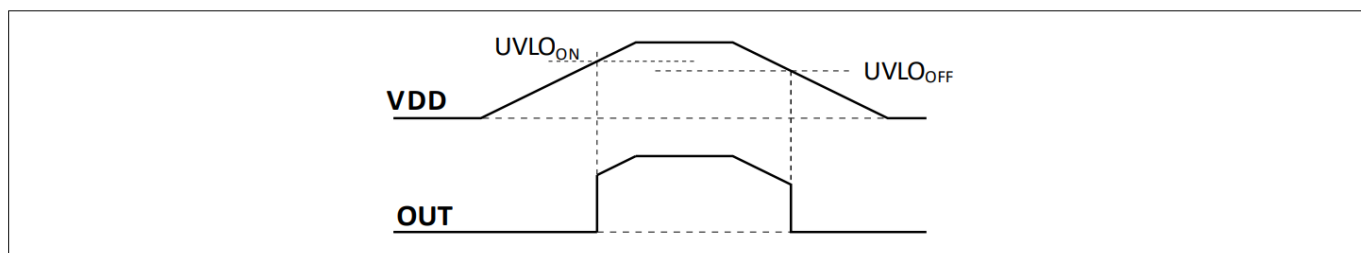


图 8 UVLO 行为，输入 ENx 和 INx 将 OUTx 正常驱动为高电平

时序图

图 9 表示改变输出状态的最小输入脉冲宽度。

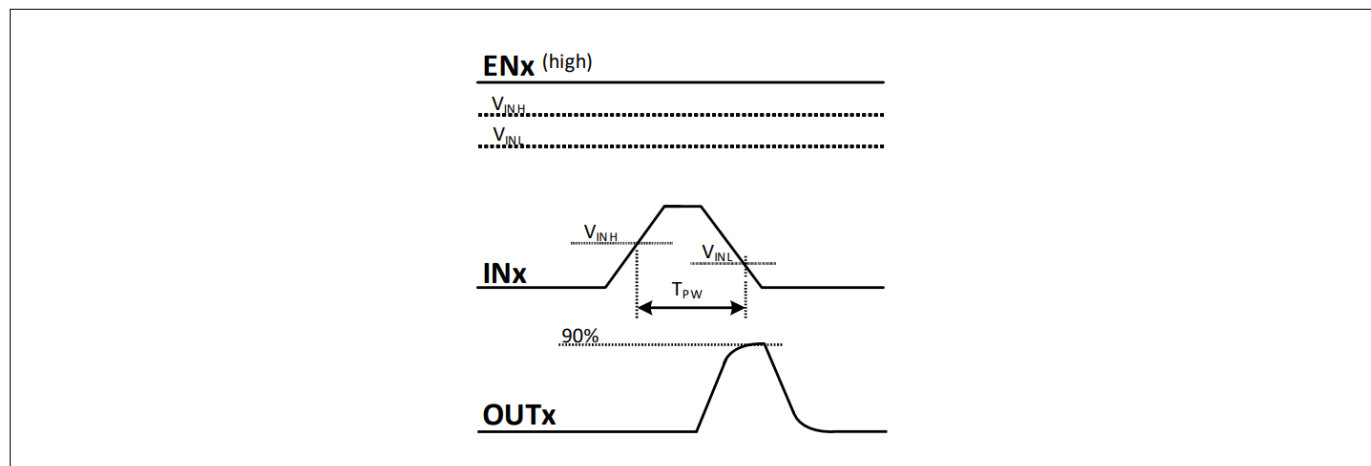


图 9 TPW，改变输出状态的最小输入脉冲宽度

典型特性

7 典型特性

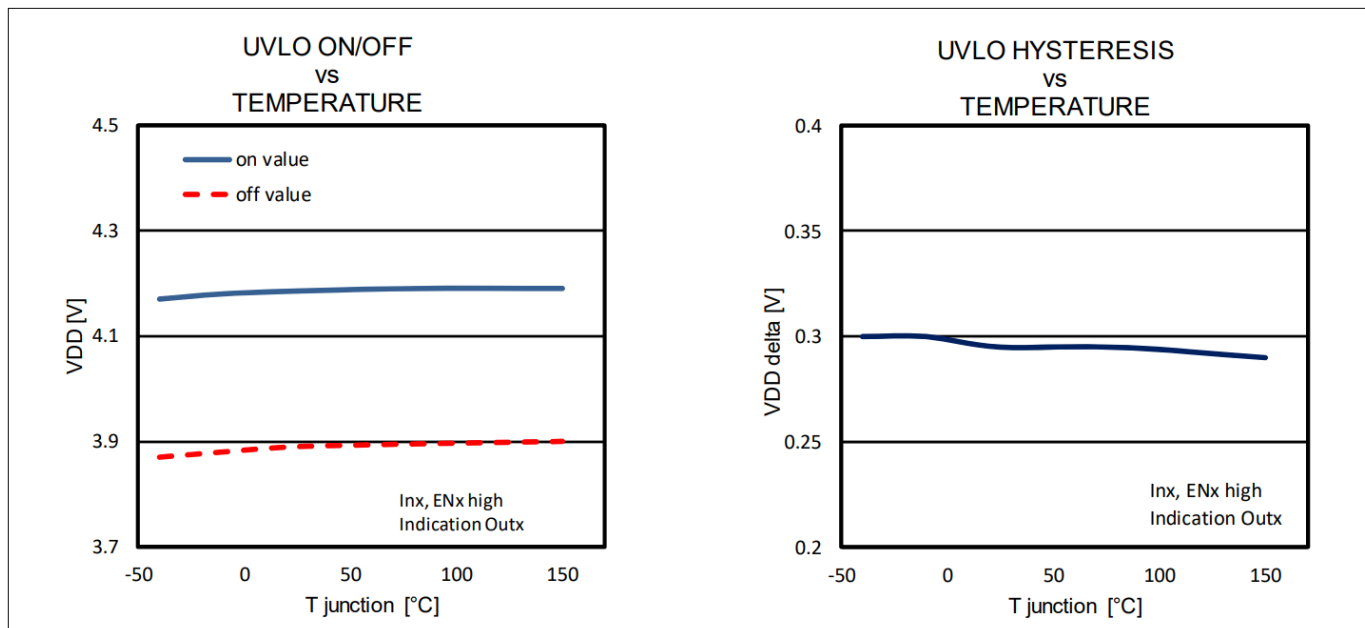


图 10 欠压锁定 2ED7x (4.2 V)

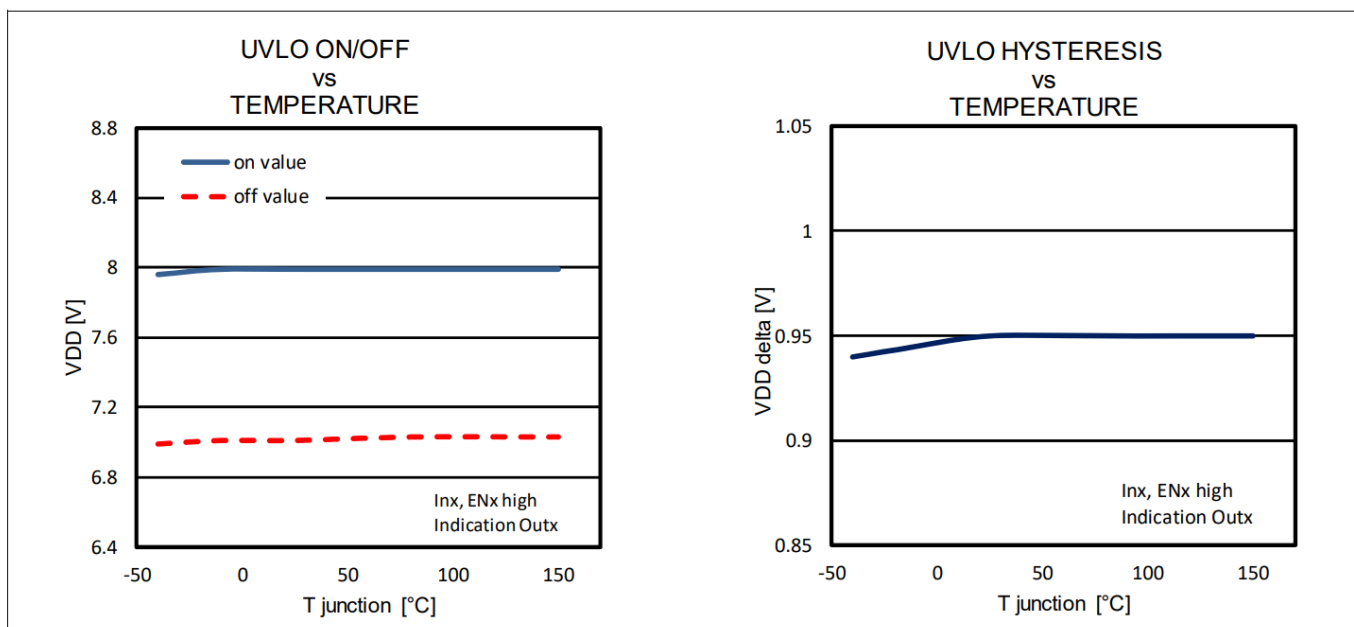


图 11 欠压锁定 2ED8x (8V)

典型特性

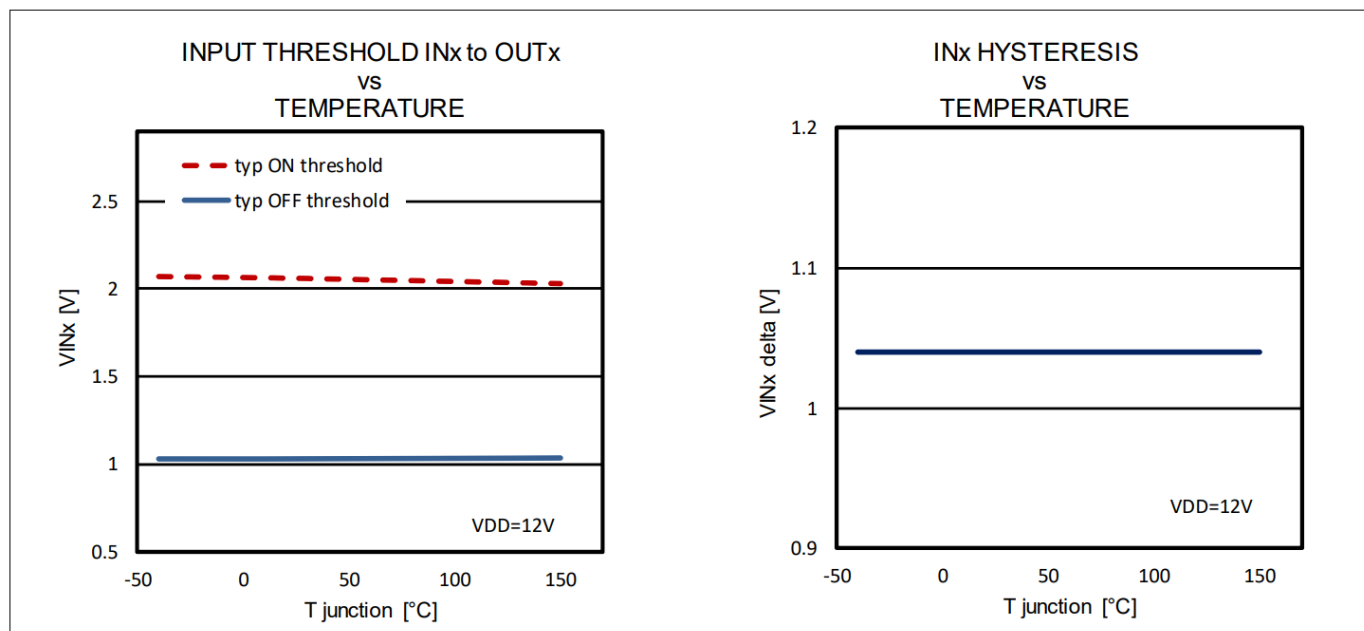


图 12 输入 (INx) 特性

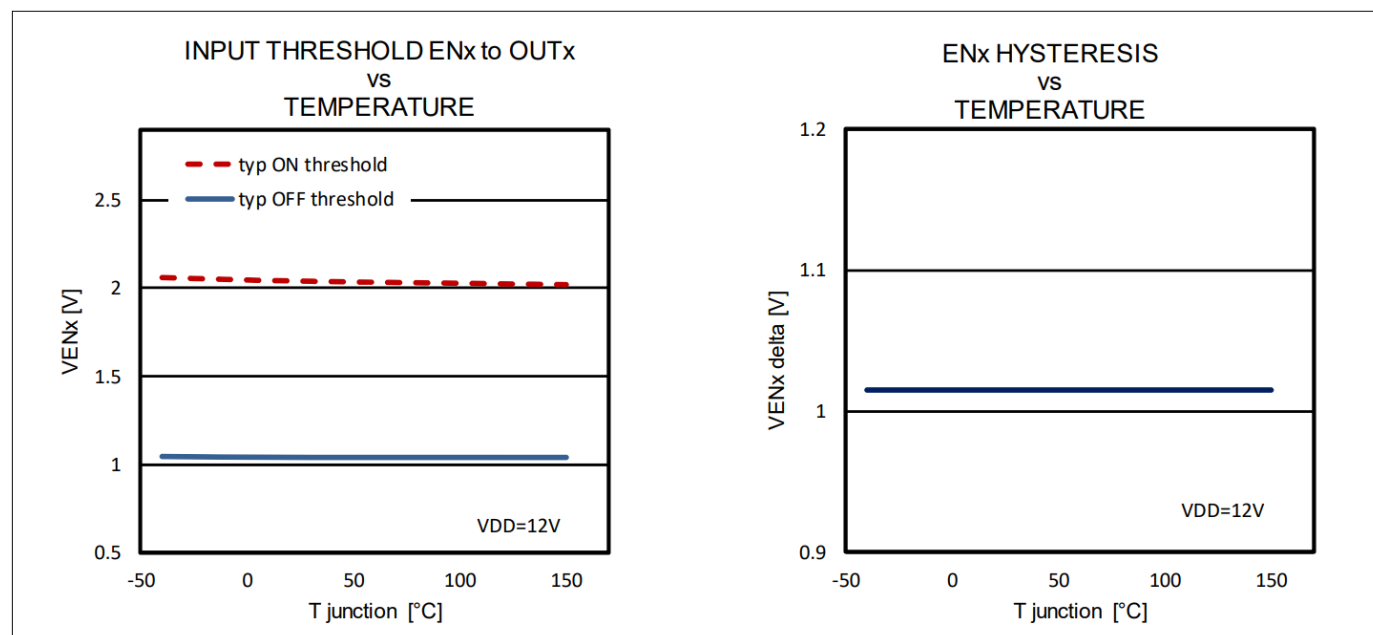


图 13 输入 (ENx) 特性

典型特性

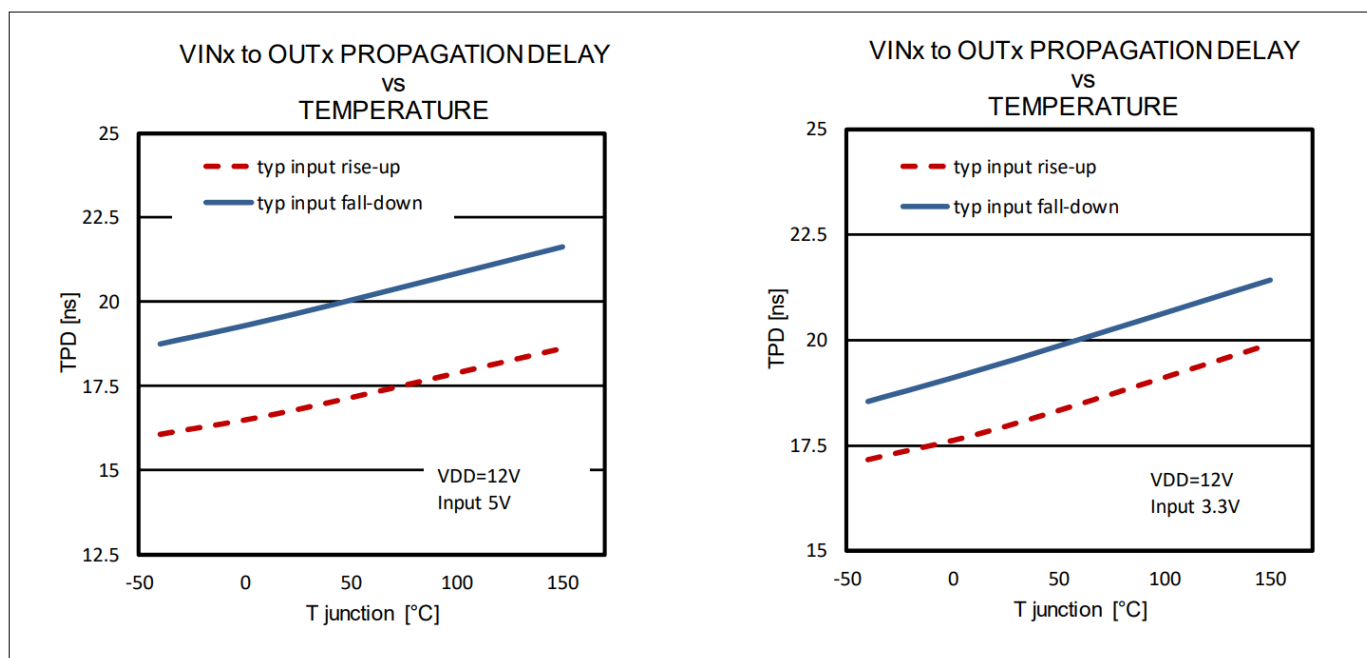


图 14 不同输入逻辑电平的传播延迟 (INx) (见图 6)

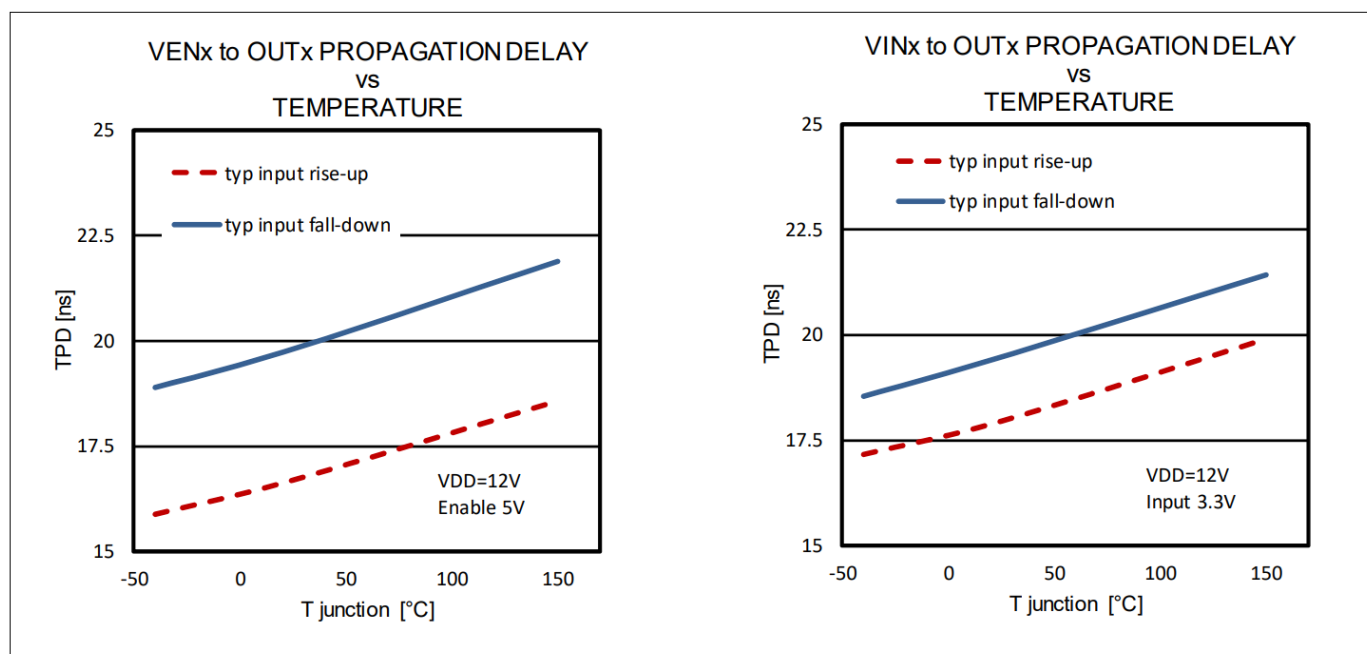


图 15 不同输入逻辑电平的传播延迟 (ENx) (见图 6)

典型特性

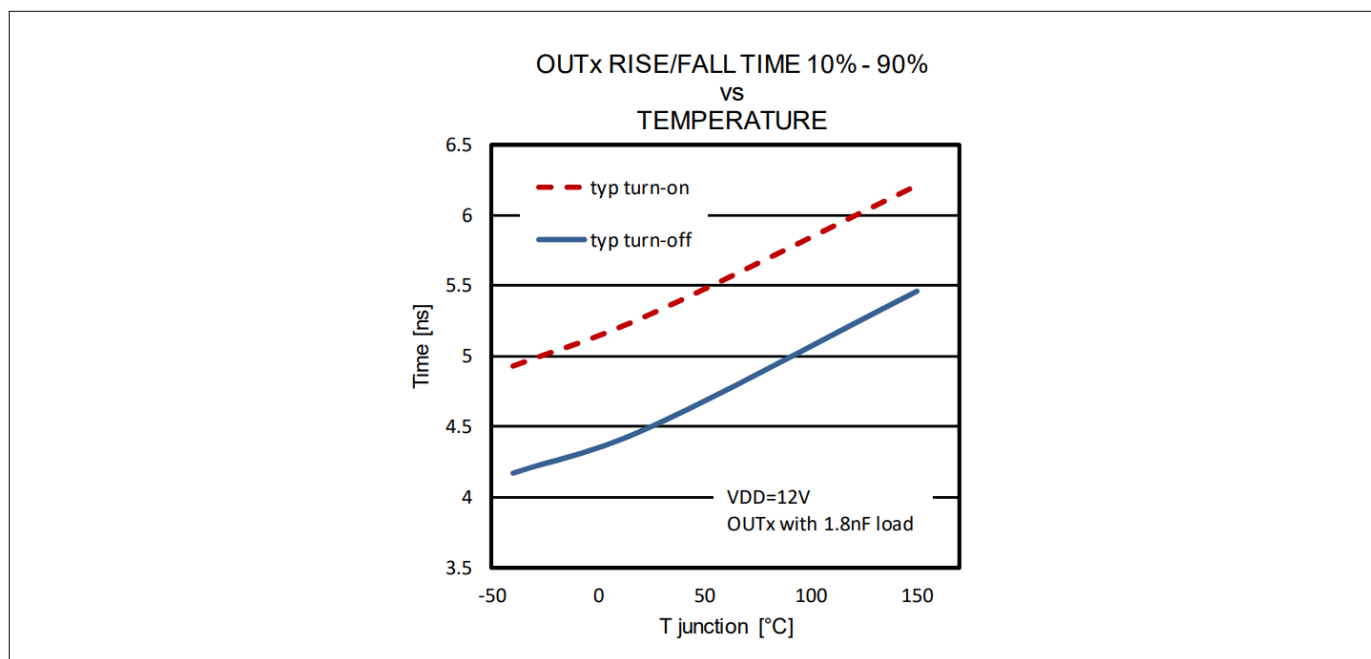


图 16 输出端带负载时的上升/下降时间（见图 6）

典型特性

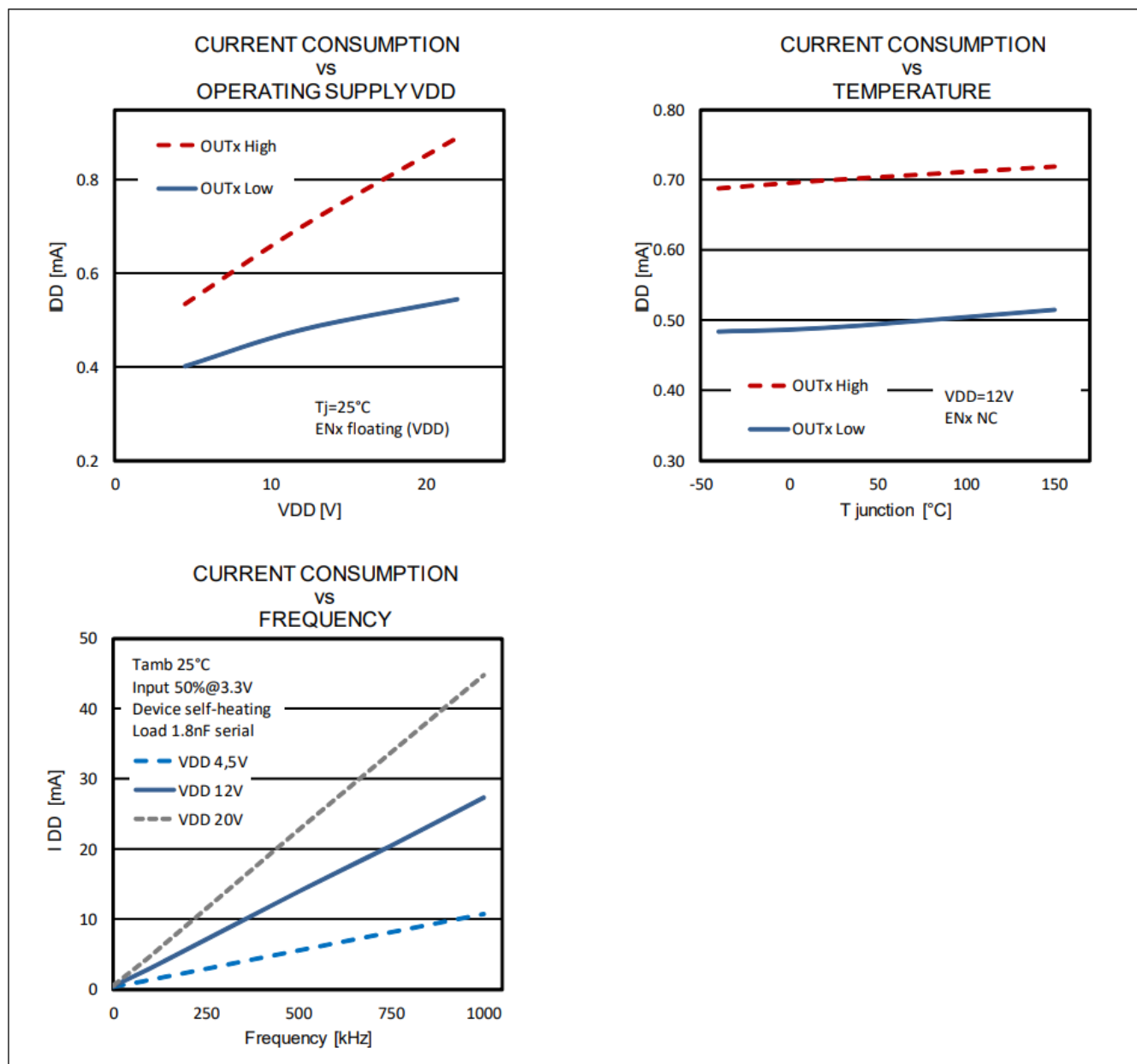


图 17 与温度、电源电压和频率相关的功耗

典型特性

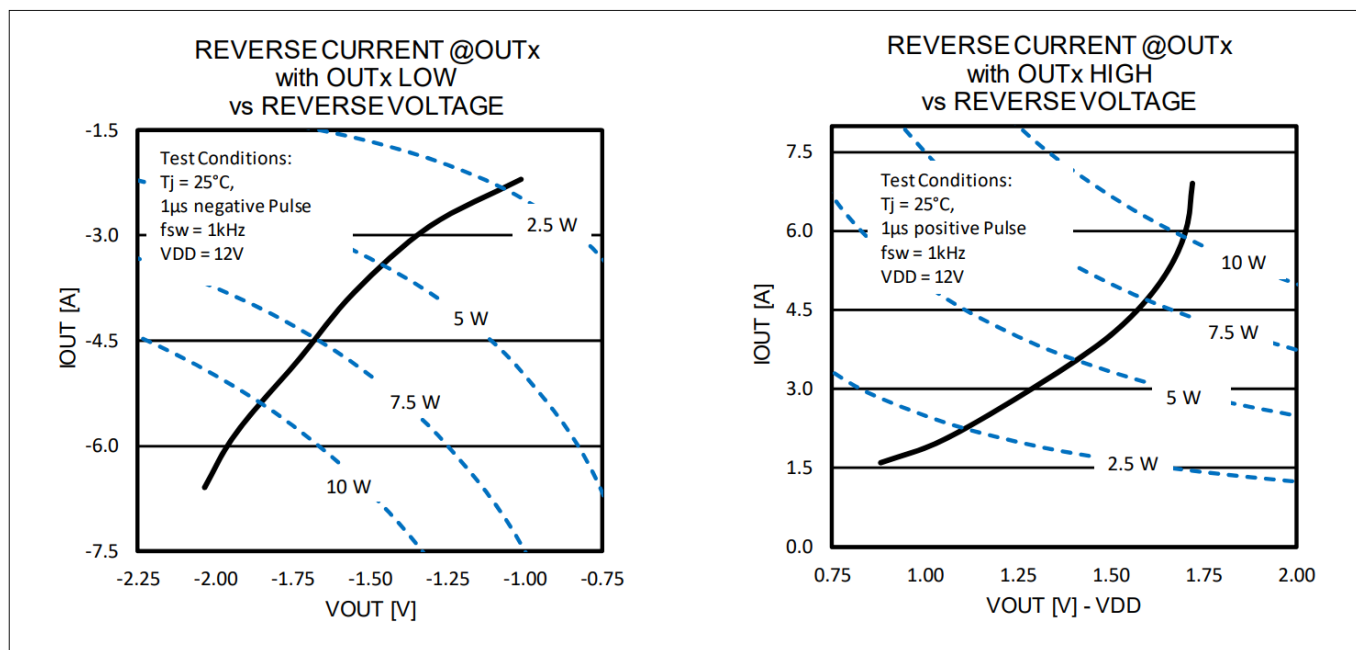


图 18 输出 OUTx 的反向电流和由此产生的功率耗散

应用信息

8 应用信息

注： 以下信息仅作为器件应用的示意，不应被视为对器件某种功能、条件或质量的描述或担保。

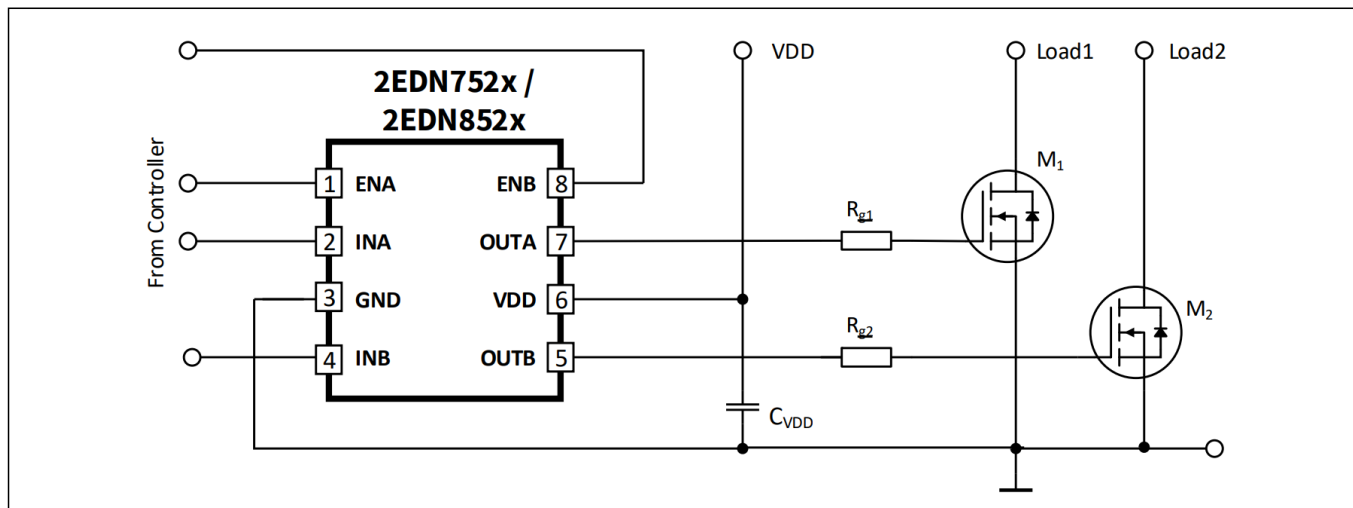


图 19 典型应用

2EDN752x/2EDN852x 是专为低边开关设计的高性能双通道驱动器。由于采用了真正的轨至轨输出级，每个输出通道都能汇入和汇出 5 A 电流。因此，正极上的导通电阻值非常低，仅为 0.7 Ω ，负极上的导通电阻值仅为 0.55 Ω 。

1 ns（典型值）的严格通道间延迟匹配允许并行使用两个通道，提供 10 A 的组合源和灌电流能力。不过，在并行模式下使用通道时要注意，两个通道之间的输入阈值电压电平可能存在差异，这会导致输出延迟和直通现象，尤其是在使用慢 dV/dt 输入信号时。为避免器件输出级出现交叉导通电流，输入信号的上升和下降时间必须小于 100 ns（10% 至 90%）。这确保了使用 2EDN752x/2EDN852x 双通道驱动器时的最佳性能和可靠性。

在 2EDN752x/2EDN852x 系列中，当触发栅极驱动器输入时，会产生一个内部负载电流尖峰，从而扰乱内部稳压电源。该内部电源控制输出开关，其干扰会加剧每个通道的直通现象。当输入触发间隔足够大时，内部调节电源可以完全恢复到初始值，干扰不会增加每个通道内的直通现象。然而，在输入占空比非常高的情况下，输入触发器之间的间隔变得非常小，内部调节电源的干扰会导致主电源振铃。

并联驱动两个输入通道时需要格外小心，因为这会增加内部电源的干扰量和内部 VDD 的振铃量。这就是为什么只有在输入信号占空比从低占空比过渡到高占空比（反之亦然）的极端情况下才会出现故障。为防止出现这些问题，请确保输入触发器（上升或下降阈值）或最小输入脉冲宽度之间的时间大于 15 ns。

通过遵守这些指南，您可以在低侧开关应用中优化 2EDN752x/2EDN852x 双通道驱动器的性能和可靠性。

8.1 更多应用信息

如需了解更多信息，可访问 www.infineon.com/gate-driver

外形尺寸

9 外形尺寸

注： 关于封装类型、电路板组装建议的更多信息，可访问：
<http://www.infineon.com/cms/en/product/technology/packages/>.

9.1 PG-DSO-8

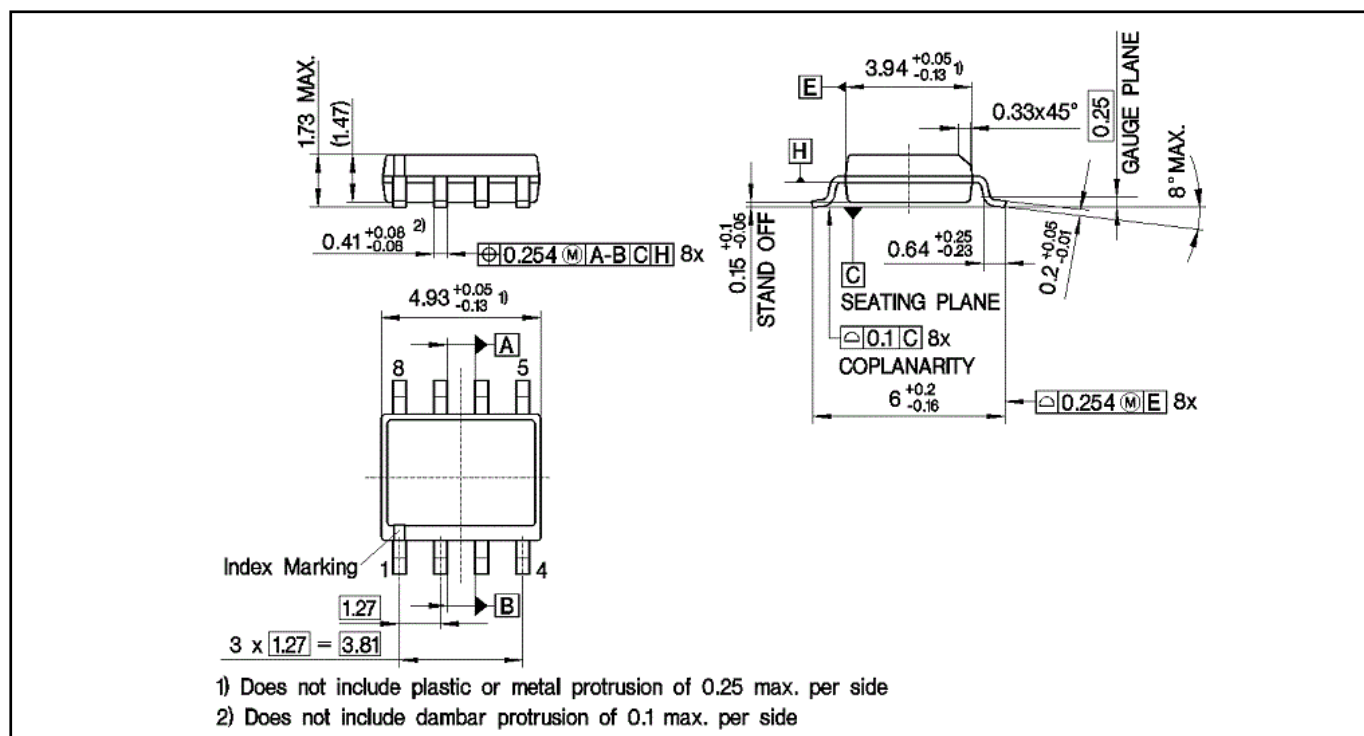


图 20 PG-DSO-8 封装外形

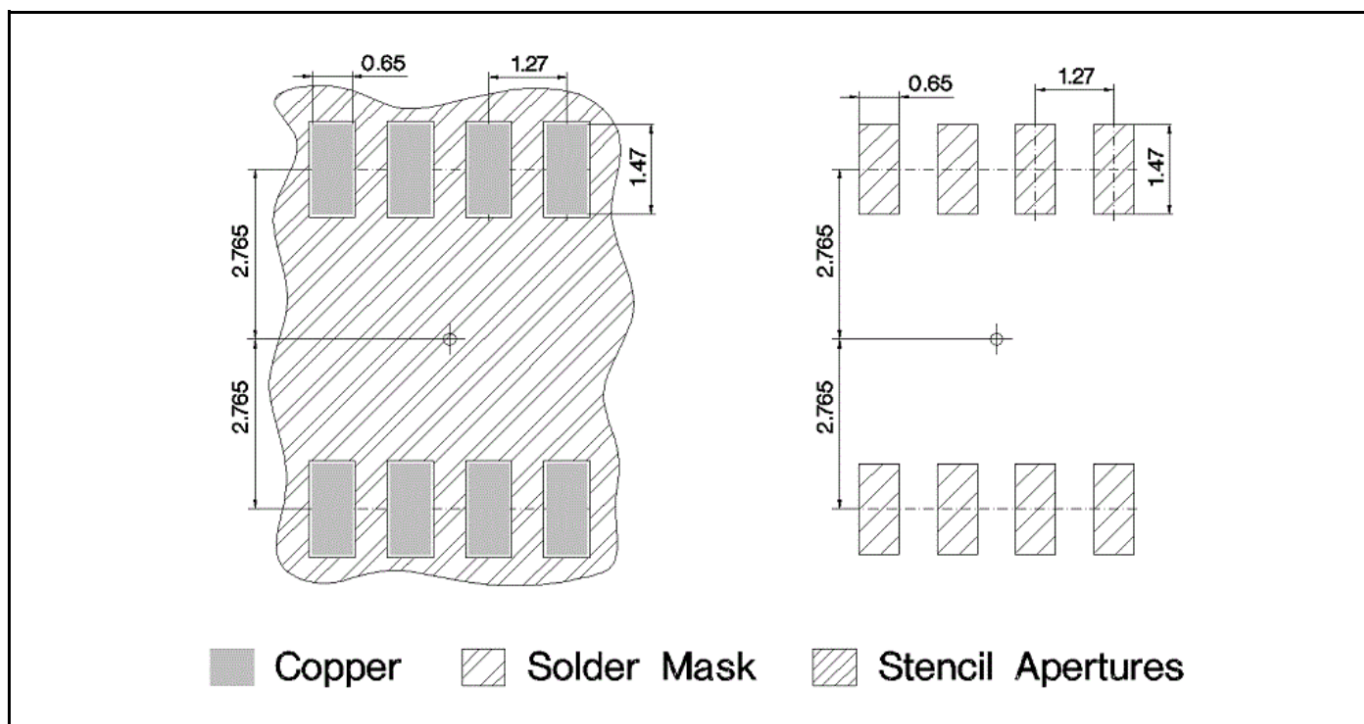


图 21 PG-DSO-8 焊盘布局

外形尺寸

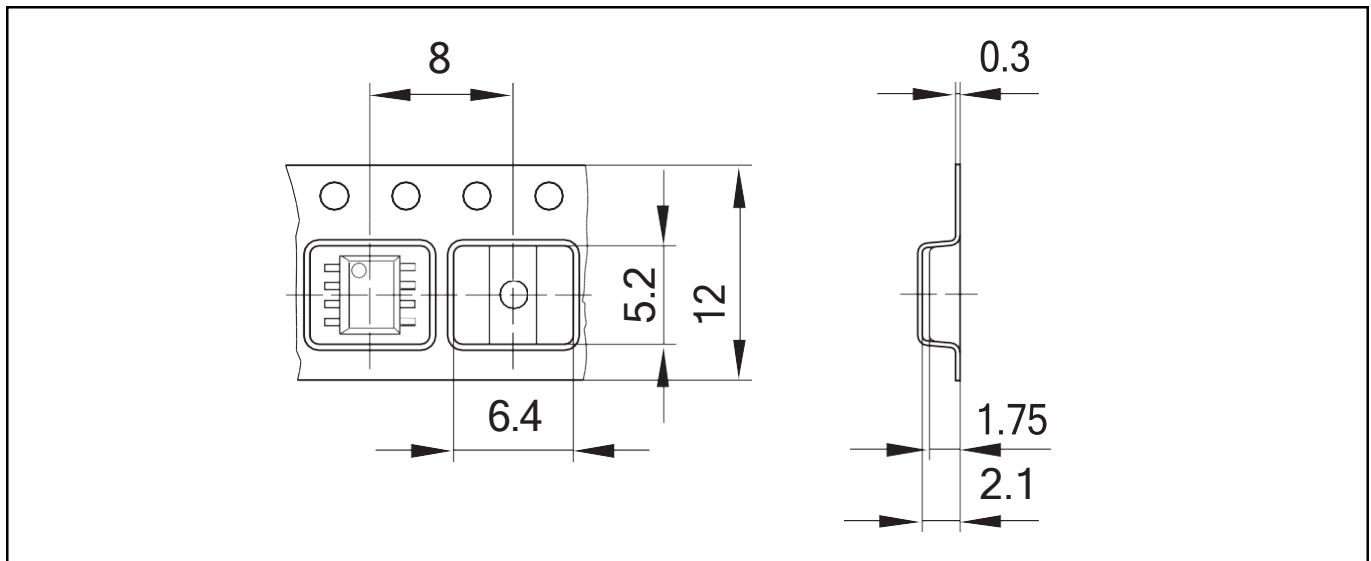


图 22 PG-DSO-8 封装

9.2 PG-TSSOP-8

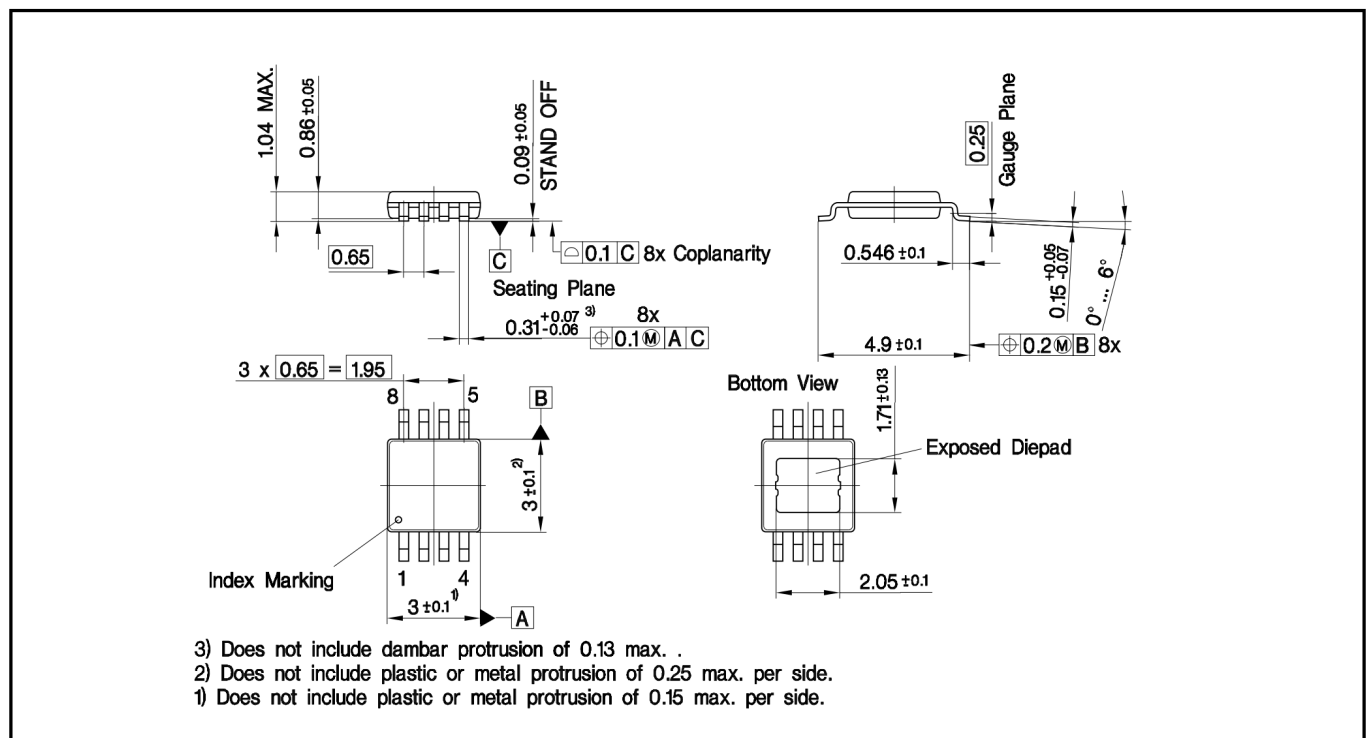


图 23 PG-TSSOP-8 封装外形

外形尺寸

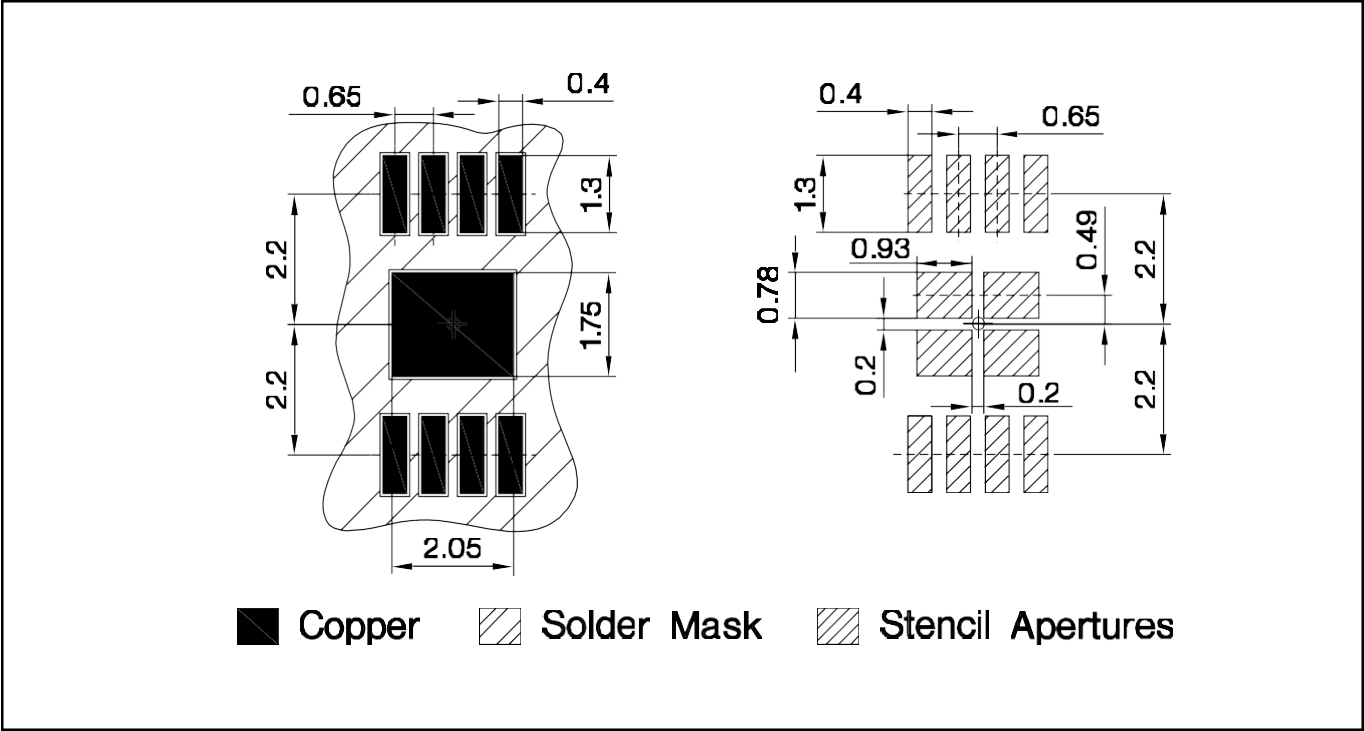


图 24 PG-TSSOP-8-1 焊盘布局

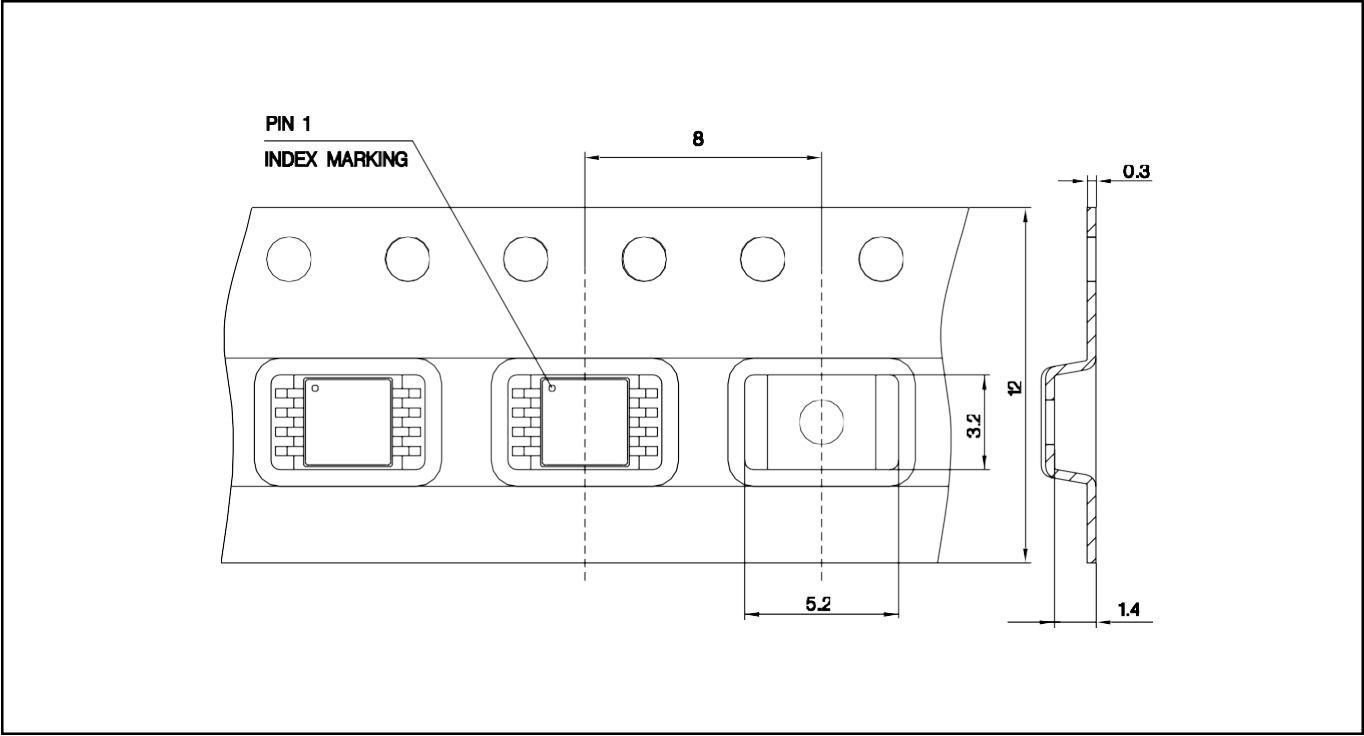


图 25 PG-TSSOP-8 封装

外形尺寸

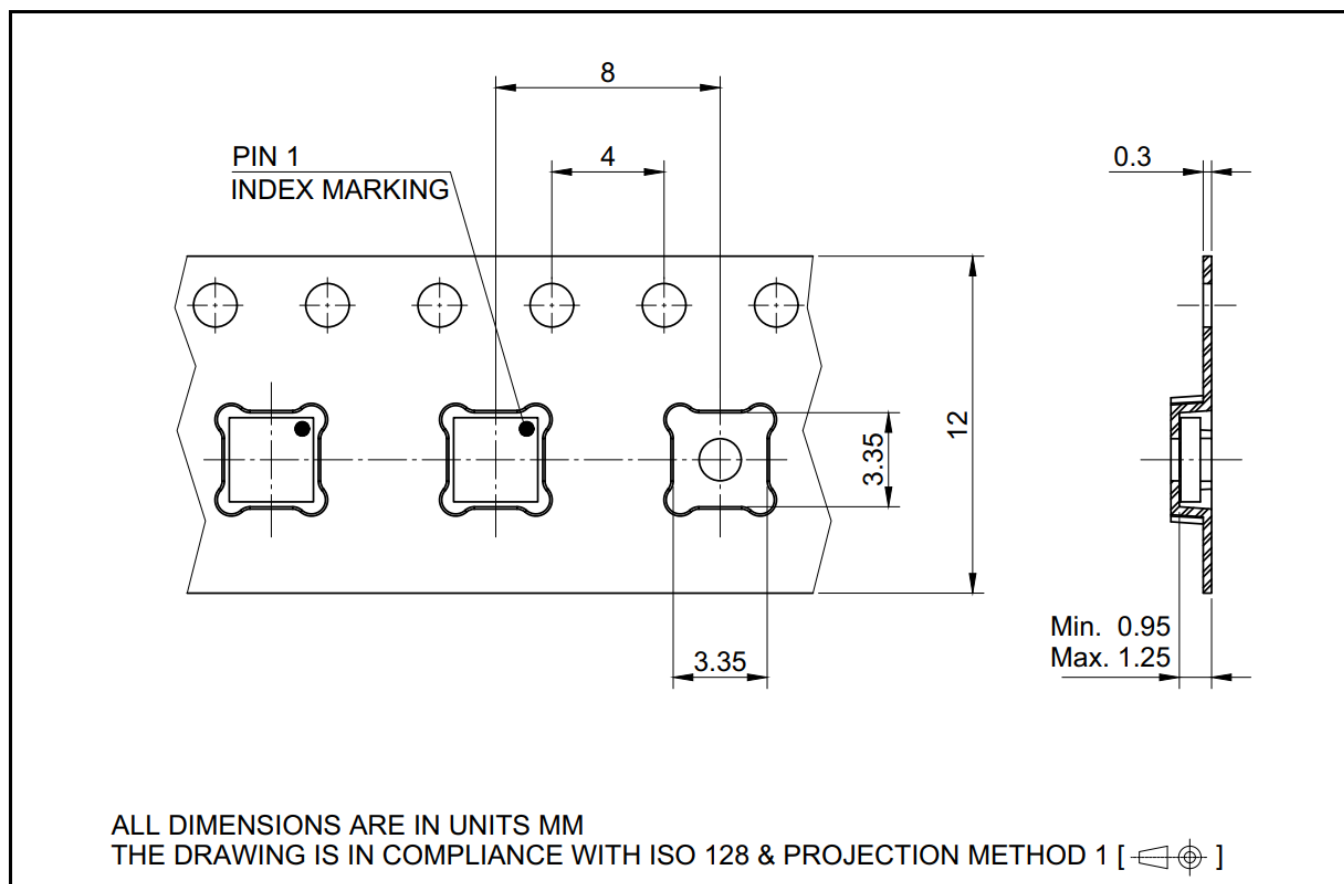


图 28 PG-WS0N-8 封装

修订记录

10 修订记录

Revision	Date	Changes
Rev. 2.7	2025-03-18	Updated package name to suit standard in whole document Table 14: Updated Parameter “Minimum input pulse width that changes output state” Table 14: Updated to symbols of Dynamic Characteristics to comply with Standard International units for time → t Chapter 8: Added Application information
Rev. 2.6	2021-07-23	Updated packaging diagram Figure 28 and package name for PG-WSON-8
Rev. 2.5	2018-04-20	Update package diagram for PG-WSON-8
Rev. 2.4	2017-08-18	Updated from Rev. 2.3. Correct typo ($V_{OUT}[V] - V_{DD}$) Figure 18 . Add detail for test condition ($V_{DD} = 12V$) Figure 18 Add min. voltage reference for OUTA, OUTB in reverse current condition. (Note 1) Table 6

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2025-03-18

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2025 Infineon Technologies AG.

All Rights Reserved.

**Do you have a question about
any aspect of this document?**

Email: erratum@infineon.com

**Document reference
Z8F80180669**

IMPORTANT NOTICE

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffenhheitsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (www.infineon.com).

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

版本 2026-09-21

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2026 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。