

## 特性

- 电平转换高侧低侧双通道驱动器
- 独立的高侧和低侧 TTL 逻辑输入
- 3 A 和 4 A 拉电流 / 6 A 灌电流输出能力
- 绝对最大启动电压120 V
- 集成自举二极管
- -10 V 至 20 V 输入引脚能力，增强稳健性
- 输出引脚反向电流能力为-5A
- HS 上绝对最大负电压为 -12 V
- 8 V 至 17 V 的电源电压工作范围
- 高侧和低侧驱动器都有 UVLO功能
- 传播延迟 (<35 ns)
- 2 ns 典型延迟匹配
- 启用/禁用 SON10 (3 x 3) 封装中的功能
- 采用 SON8 (4x4)、SON10 (4x4)、SON10 (3x3) 和 DSO8 (5x6) 封装
- 额定的工作结温范围为 -40°C 至 125°C

## 潜在应用

- 电信/数据通信半桥和全桥电源转换器
- 电流馈电推挽式变换器
- 降压转换器
- 双开关正激转换器
- 有源钳位正激转换器
- D 类放大器
- 直流电机驱动
- 太阳能微型逆变器和优化器

## 产品验证

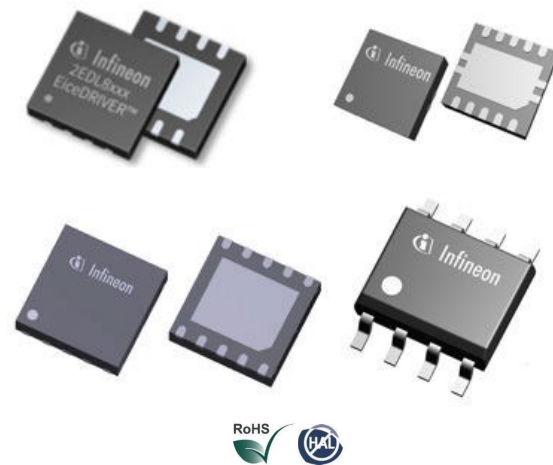
符合 JEDEC47/20/22 相关的工业应用要求

## 描述

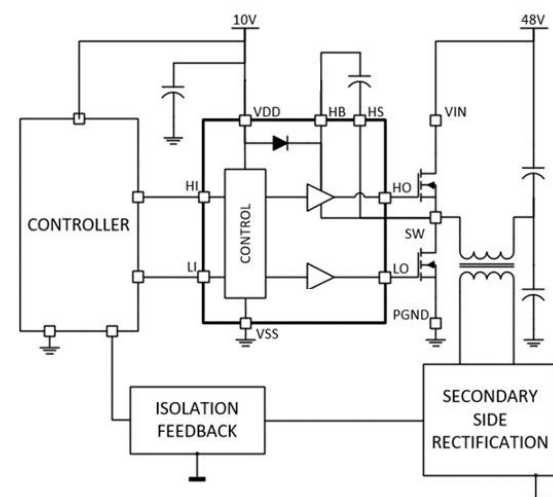
2EDL803x 设计用于驱动半桥配置中的高侧和低侧 MOSFET。浮动高侧驱动器能够驱动自举电压高达 120 V 的高侧 MOSFET。版本 4 提供完整的 4 A 电流能力，而版本 3 提供 3 A 电流能力。高侧偏置电压是使用集成自举二极管的自举技术产生的。驱动器的输入与 TTL 逻辑兼容，可承受从 -10 V 到 20 V 的输入共模摆幅。独立输入允许独立控制高侧和低侧。当供电不足时，高侧和低侧电源上的欠压锁定 (UVLO) 会强制相应的输出处于低电平。2EDL803x 有 4 mm x 4 mm 的 SON-8 引脚、4 mm x 4 mm 的 SON-10 引脚、3 mm x 3 mm 的 SON-10 引脚和 5 mm x 6 mm DSO-8 引脚封装。

表1 器件信息

Part number	Package	Body size
2EDL803X-G4B	PG-VDSON-8-5	4 mm x 4 mm
2EDL803X-G3C	PG-VSON-10-4	3 mm x 3 mm
2EDL803X-G4C	PG-VDSON-10-2	4 mm x 4 mm
2EDL803X-F5B	PG-DSO-8-92	5 mm x 6 mm



Typical application diagram



本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性请务必访问 [infineon.com](http://infineon.com) 参考最新的英文版本（控制文档）。

## 目录

## 目录

	<b>目录</b> .....	2
<b>1</b>	<b>封装信息</b> .....	4
1.1	订购信息.....	4
1.2	引脚配置.....	4
1.3	引脚说明.....	5
<b>2</b>	<b>产品一般特性</b> .....	6
2.1	绝对最大额定值.....	6
2.2	ESD等级.....	7
2.3	推荐运行条件.....	7
2.4	热机械特性.....	8
2.5	电气特性.....	9
2.6	开关特性.....	11
<b>3</b>	<b>时序图</b> .....	13
<b>4</b>	<b>典型特征</b> .....	14
<b>5</b>	<b>产品信息</b> .....	17
5.1	时序图.....	17
5.2	功能说明.....	17
5.2.1	供电电压.....	18
5.2.2	输入级.....	18
5.2.3	使能.....	18
5.2.4	驱动器输出.....	18
5.2.5	欠压锁定(UVLO).....	19
5.2.6	最小输入脉冲宽度.....	19
<b>6</b>	<b>应用信息</b> .....	20
6.1	设计指南.....	20
6.1.1	选择自举电容器.....	21
6.1.2	VDD 旁路电容的选择.....	22
6.1.3	自举电阻的选择.....	22
6.1.4	外部自举二极管的选择.....	23
6.1.5	栅极电阻的选择.....	23
6.2	PCB布局指南.....	24
<b>7</b>	<b>外形尺寸</b> .....	26
7.1	PG-VDSON-8-5.....	26
7.2	PG-VSON-10-4.....	27
7.3	PG-VDSON-10-2.....	28
7.4	PG-DSO-8-92.....	30
<b>8</b>	<b>卷带</b> .....	31

目录

8.1	PG-VDSO-8-5.....	31
8.2	PG-VSON-10-4 .....	31
8.3	PG-VDSO-10-2.....	32
8.4	PG-DSO-8-92 .....	32
9	修订记录 .....	33
	免责声明 .....	34

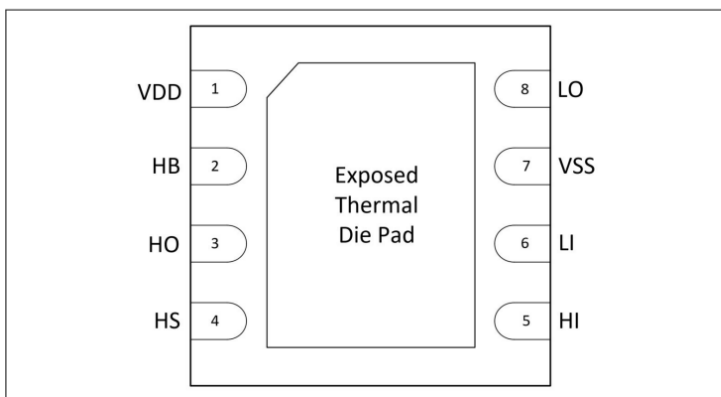
## 1 封装信息

## 1 封装信息

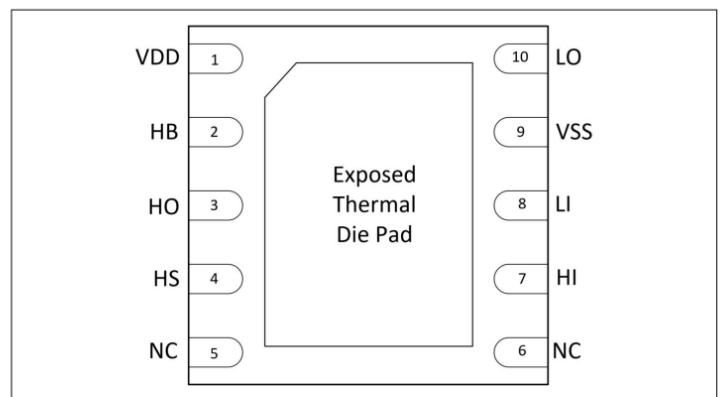
## 1.1 订购信息

Base part number	Package type	Standard pack		Orderable part number	Marking code
		Form	Quantity		
2EDL8034-G4B	PG-VDSON-8-5	Tape and reel	5000	2EDL8034G4BXTM A1	2ED 8034G4B
2EDL8033-G4B				2EDL8033G4BXTM A1	2ED 8033G4B
2EDL8034-G3C	PG-VSON-10-4	Tape and reel	4000	2EDL8034G3CXTM A1	2EDL8 034G3
2EDL8033-G3C				2EDL8033G3CXTM A1	2EDL8 033G3
2EDL8034-G4C	PG-VDSON-10-2	Tape and reel	5000	2EDL8034G4CXTM A1	2ED 8034G4C
2EDL8033-G4C				2EDL8033G4CXTM A1	2ED 8033G4C
2EDL8034-F5B	PG-DSO-8-92	Tape and reel	2500	2EDL8034F5BXUM A1	2EDL8034
2EDL8033-F5B			2500	2EDL8033F5BXUM A1	2EDL8033

## 1.2 引脚配置

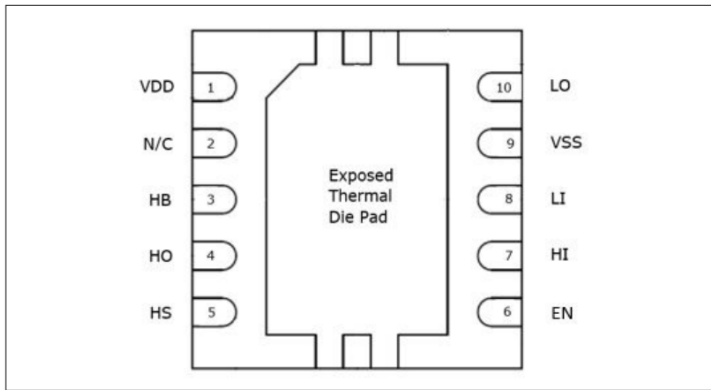


**Figure 1** VDSON-8 4 mm x 4 mm, Top transparent view

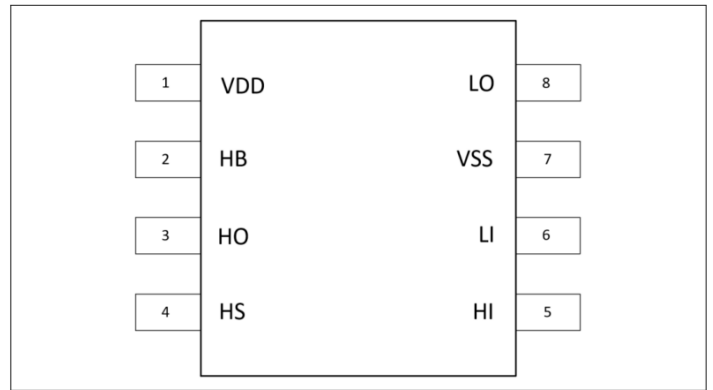


**Figure 2** VDSON-10 4 mm x 4 mm, Top transparent view

## 1 封装信息



**Figure 3** VSON-10 3 mm x 3 mm, Top transparent view



**Figure 4** DSO-8 5 mm x 6 mm, Top transparent view

## 1.3 引脚说明

Pin name	VDSON-8 pin #	VSON-10 pin #	VDSON-10 pin #	DSO-8 pin #	Function
VDD	1	1	1	1	Gate drive supply
HB	2	3	2	2	High-side gate driver bootstrap rail
HO	3	4	3	3	High-side gate driver source and sink current output
HS	4	5	4	4	High-side FET source connection
HI	5	7	7	5	High-side driver control input
LI	6	8	8	6	Low-side driver control input
VSS	7	9	9	7	Ground return
LO	8	10	10	8	Low-side gate driver source and sink current output
EN	–	6	–	–	Enable input. When this pin is high or left-open, it enables the driver. If pulled low, it disables the driver. Pulling the EN pin to VDD is recommended for high-noise system if EN pin is not needed.
NC	–	2	5,6	–	Not connected

## 2 产品一般特性

## 2 产品一般特性

## 2.1 绝对最大额定值

表3 绝对最大额定值

超过“绝对最大额定值”所列值的载荷可能会对器件造成永久性损坏。这仅仅是一个应力额定值，并不意味着设备在这些条件下或任何其他高于本规范操作部分所示条件的情况下能够正常运行。暴露于绝对最大额定条件可能会影响器件的可靠性。除非另有说明，所有电压参数均以  $V_{SS}$  为参考。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Supply input voltage	$V_{DD}$	-0.3	-	20	V	
High side supply voltage	$V_{HB-HS}$	-0.3	-	20	V	Referenced to $V_{HS}$
High side bootstrap voltage	$V_{HB}$	-0.3	-	120	V	1)
Phase voltage	$V_{HS}$	-1	-	$V_{HB} + 0.3$	V	
Phase voltage (repetitive pulse)	$V_{HS}$	-12	-	$V_{HB} + 0.3$	V	< 100 ns <sup>2)</sup>
HI and LI input voltage	$V_{HI}, V_{LI}$	-10	-	20	V	
EN input voltage	$V_{EN}$	-10	-	20	V	
Output voltage on LO	$V_{LO}$	-0.3	-	$V_{DD} + 0.3$	V	
Output voltage on LO (repetitive pulse)	$V_{LO}$	-2	-	$V_{DD} + 0.3$	V	< 100 ns <sup>2)</sup>
Output voltage on HO	$V_{HO}$	$V_{HS} - 0.3$	-	$V_{HB} + 0.3$	V	
Output voltage on HO (repetitive pulse)	$V_{HO}$	$V_{HS} - 2$	-	$V_{HB} + 0.3$	V	< 100 ns <sup>2)</sup>
Peak reverse current on LO and HO	$I_{OR}$	-	-	5	A	2) 3)

(表格续下页.....)

## 2 产品一般特性

表 3 (续) 绝对最大额定值

超过“绝对最大额定值”所列值的载荷可能会对器件造成永久性损坏。这仅仅是一个应力额定值，并不意味着设备在这些条件下或任何其他高于本规范操作部分所示条件的情况下能够正常运行。暴露于绝对最大额定条件可能会影响器件的可靠性。除非另有说明，所有电压参数均以  $V_{SS}$  为参考。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Operating junction temperature	$T_J$	-40	-	150	°C	
Storage temperature	$T_S$	-55	-	150	°C	

- 1) 已验证 VDD 供电是否在建议的工作电压范围内。
- 2) 未经过生产测试。通过设计/特性验证。
- 3) 适用于 < 500 ns 脉冲。

## 2.2 ESD 等级

Description	Symbol	Value	Unit
Human Body Model sensitivity as per ANSI/ESDA/JEDEC JS-001	$ESD_{HBM}$	±2000	V
Charged Device Model sensitivity as per ANSI/ESDA/JEDEC JS-002	$ESD_{CDM}$	±1000	V

## 2.3 推荐运行条件

表 4 推荐运行条件

为确保器件正常工作和可靠性，不得超过以下工作条件。除非另有说明，所有电压参数均以  $V_{SS}$  为参考。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Supply input voltage	$V_{DD}$	8	12	17	V	
High side supply voltage	$V_{HB-HS}$	8	12	17	V	Referenced to $V_{HS}$ .
High side bootstrap voltage	$V_{HB}$	$V_{HS} + 8$	-	$V_{HS} + 17$	V	
Phase voltage	$V_{HS}$	-1	-	100	V	
Phase voltage (repetitive pulse)	$V_{HS}$	-12	-	100	V	< 100 ns

(表格续下页.....)

## 2 产品一般特性

表4 (续) 推荐操作条件

为确保器件正常工作和可靠性，不得超过以下工作条件。除非另有说明，所有电压参数均以 $V_{SS}$ 为参考。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
HI and LI Input voltage	$V_{HI}, V_{LI}$	0	-	$V_{DD}+0.3$	V	
EN input voltage	$V_{EN}$	0	-	$V_{DD}+0.3$	V	
Output voltage on LO	$V_{LO}$	0	-	17	V	
Output voltage on HO	$V_{HO-HS}$	0	-	17	V	Referenced to $V_{HS}$
HS slew rate	$HS_{dV/dT}$	-	-	50	V/ns	
Operating junction temperature	$T_J$	-40	-	125	°C	

## 2.4 热机械特性

表5 热机械特性

Symbol	Description	VDSON-8	VSON-10	VDSON-10	DSO-8	UNIT	Conditions
$R_{thJC}$	Junction-to-case thermal resistance	4.6	4.7	4.6	42	°C/W	Bottom
$R_{thJC}$	Junction-to-case thermal resistance	37	39.3	38.4	45	°C/W	Top
$R_{thJA}$	junction-to-ambient	57	61.4	57.5	84.4	°C/W	Device soldered on PCB <sup>1)</sup>

1) 器件位于 76.2 mm x 114.3 mm x 1.5 mm 电路板上 (JEDEC 2s2p)，具有 6 cm<sup>2</sup> 的铜面积用于漏极连接。PCB 垂直放置于静止空气中。

## 2 产品一般特性

## 2.5 电气特性

### 表 6 电气特性

除非另有说明： $V_{DD}=V_{HB}=12\text{ V}$ ， $V_{HS}=V_{SS}=0\text{ V}$ 。最小和最大限值在整个工作温度范围内有效，并通过特性和统计相关性确保。典型值在 $T_C=25^\circ\text{C}$ 下测试。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
<b>供电电流</b>						
VDD quiescent current	$I_{VDD}$	–	290	380	uA	$V_{LI}$ and $V_{HI}=0\text{ V}$
VDD operating current	$I_{VDDO}$	–	2.4	3.5	mA	$F_{sw}=500\text{ kHz}$ , $C_{load}=0\text{ nF}$
HB quiescent current	$I_{HB}$	–	185	250	uA	$V_{LI}$ and $V_{HI}=0\text{ V}$
HB operating current	$I_{HBO}$	–	2.0	3.5	mA	$F_{sw}=500\text{ kHz}$ , $C_{load}=0\text{ nF}$
HB to VSS leakage current	$I_{HBS}$	–	–	2	uA	$V_{DD}=V_{LI}=V_{HI}=0\text{ V}$ , $V_{HS}=V_{HB}=100\text{ V}$
<b>输入</b>						
Input voltage rising threshold	$V_{IR}$	1.8	2.4	2.9	V	LI and HI Input voltage rising threshold
Input voltage falling threshold	$V_{IF}$	1.0	1.5	2.1	V	LI and HI Input voltage falling threshold
Input voltage hysteresis	$V_{IH}$	–	0.9	–	V	
Input pull down resistance	$R_{IN}$	100	200	300	k $\Omega$	$V_{LI}$ and $V_{HI}\leq 4\text{ V}$
<b>使能</b>						
Enable input rising threshold	$V_{EN}$	1.5	2.3	2.8	V	
Enable input falling threshold	$V_{DIS}$	0.6	1	1.3	V	
Enable input voltage hysteresis	$V_{ENHYS}$	–	1.3	–	V	
Enable pull up current	$I_{EN}$	–	8	10	uA	$V_{EN}\leq 4\text{ V}$
Time to enable the driver	$T_{EN}$	–	25	40	ns	$V_{EN}=2.8\text{ V}$
Time to disable the driver	$T_{DIS}$	–	29	45	ns	$V_{EN}=0\text{ V}$

(表格续下页.....)

## 2 产品一般特性

表 6 (续) 电气特性

除非另有说明： $V_{DD}=V_{HB}=12\text{ V}$ ， $V_{HS}=V_{SS}=0\text{ V}$ 。最小和最大限值在整个工作温度范围内有效，并通过特性和统计相关性确保。典型值在 $T_C=25^\circ\text{C}$ 下测试。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
<b>欠压锁定(UVLO)</b>						
VDD UVLO rising threshold	$V_{DDR}$	6.8	7.3	7.8	V	
VDD UVLO falling threshold	$V_{DDF}$	6.2	6.7	7.2	V	
VDD UVLO threshold hysteresis	$V_{DDH}$	–	0.6	–	V	
VHB-HS UVLO rising threshold	$V_{HBR}$	5.8	6.3	6.8	V	Referenced to $V_{HS}$
VHB-HS UVLO falling threshold	$V_{HBF}$	5.2	5.7	6.2	V	Referenced to $V_{HS}$
HB-HS UVLO threshold hysteresis	$V_{HBH}$	–	0.6	–	V	
<b>自举二极管</b>						
Dynamic resistance	$R_D$	2	4.2	6.5	$\Omega$	$I_{VDD-HB}=100\text{ mA}$ , $I_{VDD-HB}=80\text{ mA}$
Low current forward voltage	$V_{FL}$	0.2	0.5	0.8	V	$I_{VDD-HB}=100\text{ }\mu\text{A}$
High current forward voltage	$V_{FH}$	1.2	1.4	1.6	V	$I_{VDD-HB}=100\text{ mA}$
Reverse recovery time	$T_{rr}$	–	10	–	ns	$I_F=20\text{ mA}$ , $I_{RR}=500\text{ mA}$ , $T_C=25^\circ\text{C}^{1)}$
<b>低侧栅极驱动器</b>						
High level output voltage	$V_{LOH}$	0.05	0.1	0.20	V	$I_O=-100\text{ mA}$ , $V_{LOH}=V_{DD}-V_{LO}$ , 2EDL8034
High level output voltage	$V_{LOH}$	0.07	0.12	0.25	V	$I_O=-100\text{ mA}$ , $V_{LOH}=V_{DD}-V_{LO}$ , 2EDL8033
Low level output voltage	$V_{LOL}$	0.03	0.05	0.1	V	$I_O=100\text{ mA}$
Peak pull-up current	$I_{PUL}$	–	4	–	A	$V_{LO}=0\text{ V}^{1)}$ , 2EDL8034
Peak pull-up current	$I_{PUL}$	–	3	–	A	$V_{LO}=0\text{ V}^{1)}$ , 2EDL8033

(表格续下页.....)

## 2 产品一般特性

表 6 (续) 电气特性

除非另有说明： $V_{DD}=V_{HB}=12\text{ V}$ ， $V_{HS}=V_{SS}=0\text{ V}$ 。最小和最大限值在整个工作温度范围内有效，并通过特性和统计相关性确保。典型值在 $T_C=25^\circ\text{C}$ 下测试。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Peak pull-down current	$I_{PDL}$	-	6	-	A	$V_{LO}=12\text{ V}^{1)}$
<b>高侧栅极驱动器</b>						
High level output voltage	$V_{HOH}$	0.05	0.1	0.2	V	$I_O=-100\text{ mA}$ ， $V_{HOH}=V_{HB}-V_{HO}$ ，2EDL8034
High level output voltage	$V_{HOH}$	0.07	0.12	0.25	V	$I_O=-100\text{ mA}$ ， $V_{HOH}=V_{HB}-V_{HO}$ ，2EDL8033
Low level output voltage	$V_{HOL}$	0.03	0.05	0.1	V	$I_O=100\text{ mA}$
Peak pull-up current	$I_{PUH}$	-	4	-	A	$V_{HO}=0\text{ V}^{1)}$ ，2EDL8034
Peak pull-up current	$I_{PUH}$	-	3	-	A	$V_{HO}=0\text{ V}^{1)}$ ，2EDL8033
Peak pull-down current	$I_{PDH}$	-	6	-	A	$V_{HO}=12\text{ V}^{1)}$

1) 未经过生产测试 - 由设计/特性验证

## 2.6 开关特性

表 7 开关特性

除非另有说明： $V_{DD}=V_{HB}=12\text{ V}$ ， $V_{HS}=V_{SS}=0\text{ V}$ 。最小和最大限值在整个工作温度范围内有效，并通过特性和统计相关性确保。典型值在 $T_C=25^\circ\text{C}$ 下测试。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
<b>传播延迟</b>						
Rising propagation delay	$T_{DR}$	-	33	50	ns	$C_{load}=0$ ，50 %-50 % <sup>1)</sup>
Falling propagation delay	$T_{DF}$	-	33	50	ns	$C_{load}=0$ ，50 %-50 % <sup>2)</sup>

**延迟匹配**

Delay matching ON	$T_{DMON}$	-	2	6	ns	between LO rising and HO falling
-------------------	------------	---	---	---	----	----------------------------------

(表格续下页.....)

## 2 产品一般特性

表 7 (续) 开关特性

除非另有说明： $V_{DD} = V_{HB} = 12\text{ V}$ ， $V_{HS} = V_{SS} = 0\text{ V}$ 。最小和最大限值在整个工作温度范围内有效，并通过特性和统计相关性确保。典型值在  $T_C = 25^\circ\text{C}$  下测试。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Delay matching OFF	$T_{DMOFF}$	-	2	6	ns	between LO falling and HO rising

## 输出上升和下降时间

LO, HO rise time	$T_R$	-	4.4	-	ns	$C_{load} = 1\text{ nF}$ , 10 % - 90 % <sup>3)</sup> , 2EDL8034
LO, HO rise time	$T_R$	-	4.6	-	ns	$C_{load} = 1\text{ nF}$ , 10 %-90 % <sup>3)</sup> , 2EDL8033
LO, HO rise time	$T_{R1}$	-	131	-	ns	$C_{load} = 100\text{ nF}$ , 25 %-75 % <sup>3)</sup> , 2EDL8034
LO, HO rise time	$T_{R1}$	-	195	-	ns	$C_{load} = 100\text{ nF}$ , 25 %-75 % <sup>3)</sup> , 2EDL8033
LO, HO fall time	$T_F$	-	3.3	-	ns	$C_{Load} = 1\text{ nF}$ , 10 %-90 % <sup>3)</sup>
LO, HO fall time	$T_{F1}$	-	106	-	ns	$C_{LOAD} = 100\text{ nF}$ , 25 %-75 % <sup>3)</sup>

## 杂项

Minimum input pulse width that changes the output	$T_{PW}$	-	-	40	ns	
---	----------	---	---	----	----	--

- 1) 从 LI 到 LO 以及从 HI 到 HO 的上升传播延迟。
- 2) 从 LI 到 LO 以及从 HI 到 HO 的下降传播延迟。
- 3) 未经过生产测试。通过设计/特性验证。

3 时序图

3 时序图

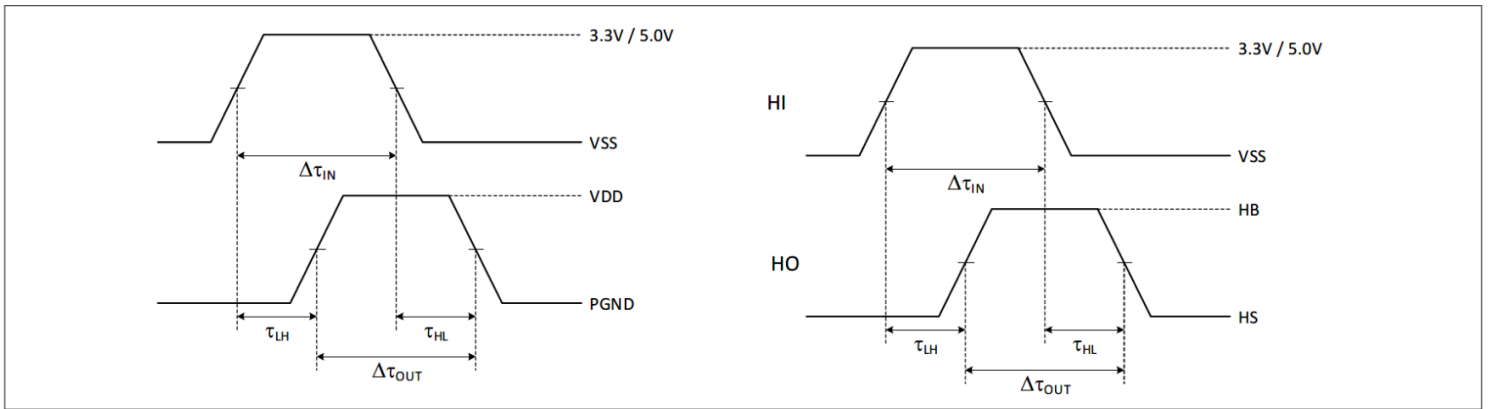


图5 传播延迟时间

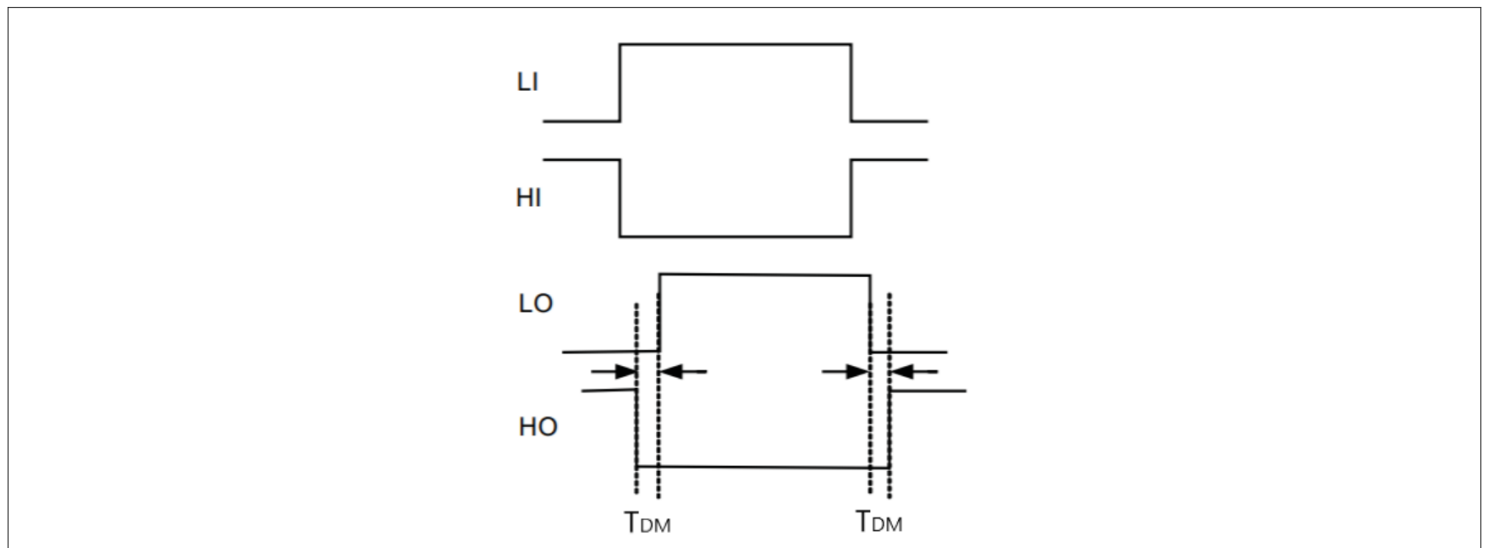


图6 延迟匹配

## 4 典型特征

## 4 典型特征

除非另有说明： $V_{DD}=V_{HB}=12\text{ V}$ 、 $V_{HS}=V_{SS}=0\text{ V}$ 、 $T_C=25^\circ\text{C}$  且输出端无负载。

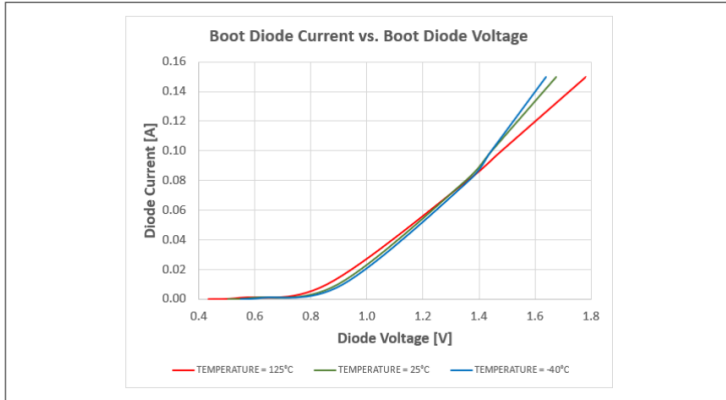


Figure 7 Diode current vs. diode voltage

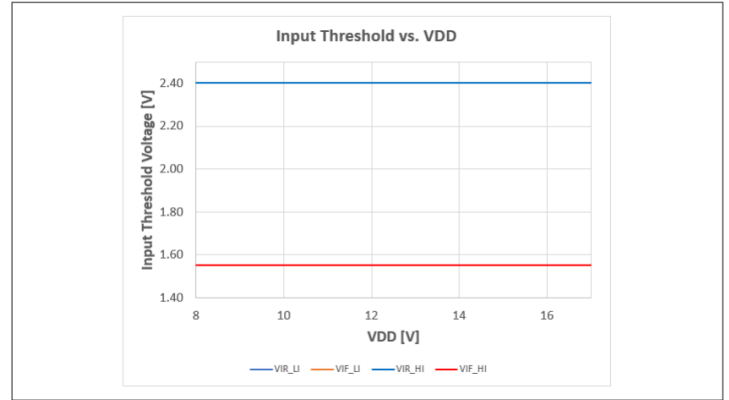


Figure 8 Input threshold vs. VDD

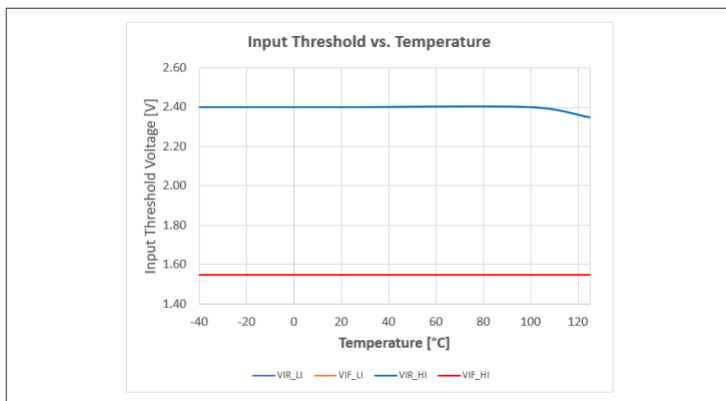


Figure 9 Input threshold vs. temperature

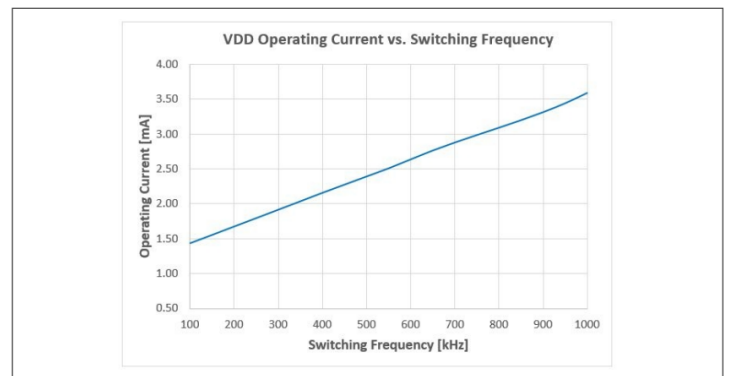


Figure 10 VDD operating current vs. switching frequency

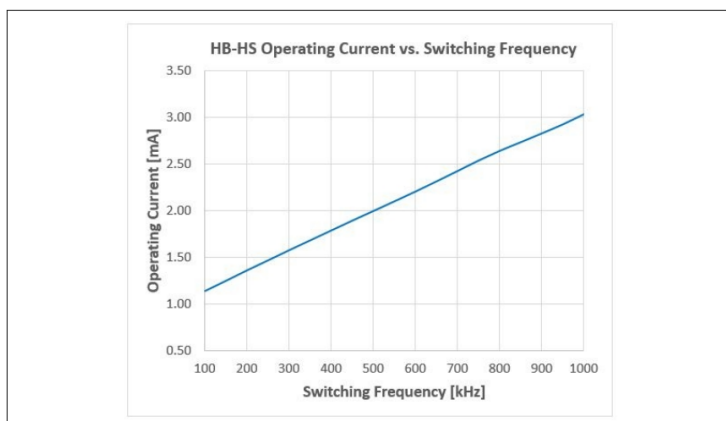


Figure 11 HB operating current vs. switching frequency

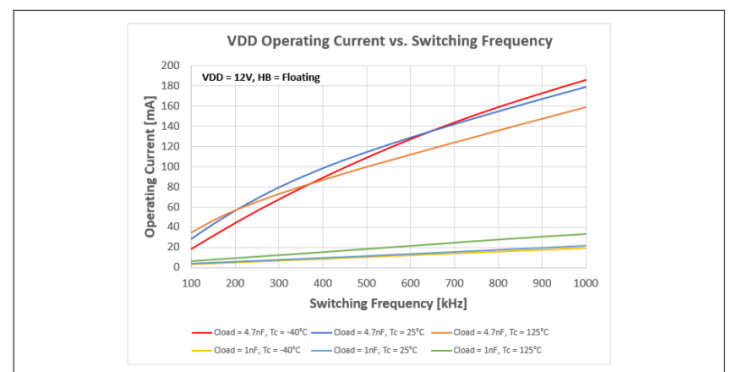


Figure 12 VDD operating current vs. switching frequency

4 典型特征

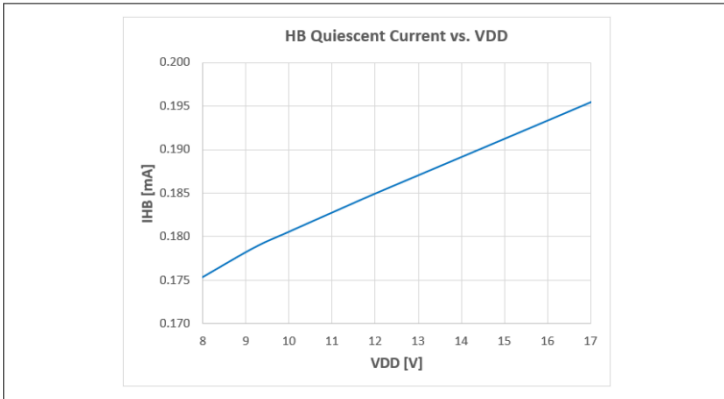


Figure 13 HB quiescent current vs. VDD

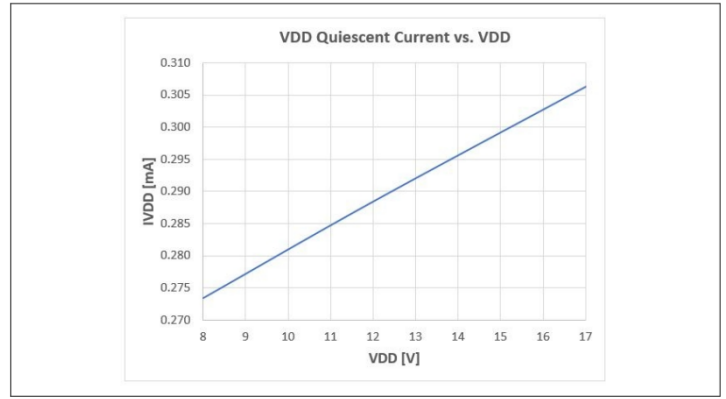


Figure 14 VDD quiescent current vs. VDD

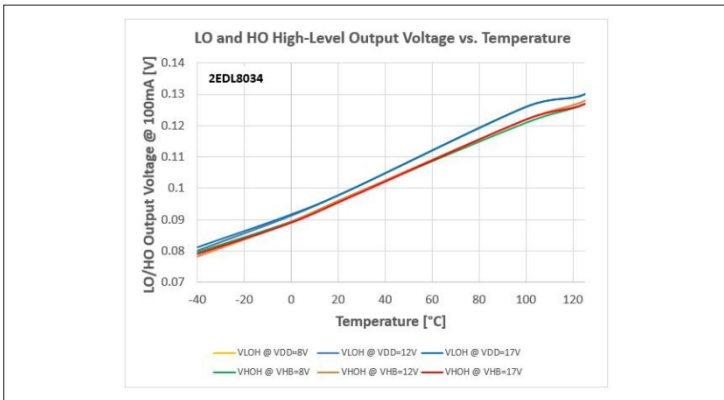


Figure 15 LO/HO high-level output voltage vs. temperature

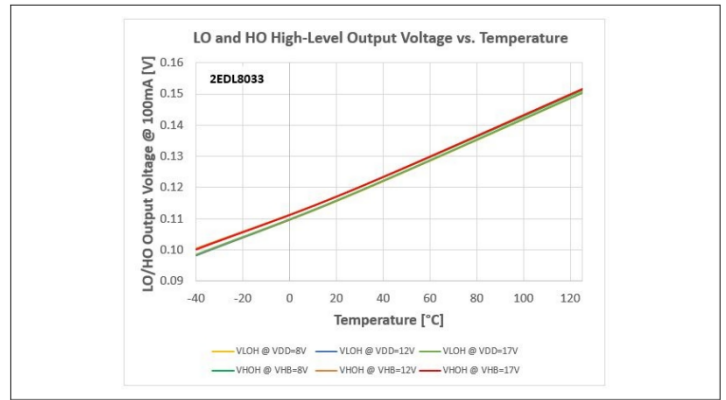


Figure 16 LO/HO high-level output voltage vs. temperature

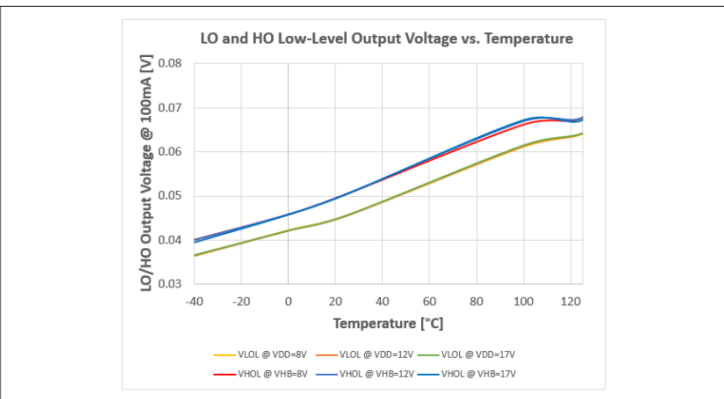


Figure 17 LO/HO low-level output voltage vs. temperature

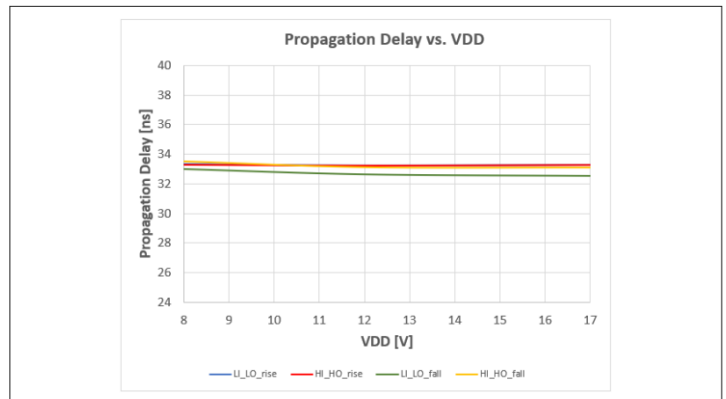


Figure 18 Propagation delay vs. VDD

4 典型特征

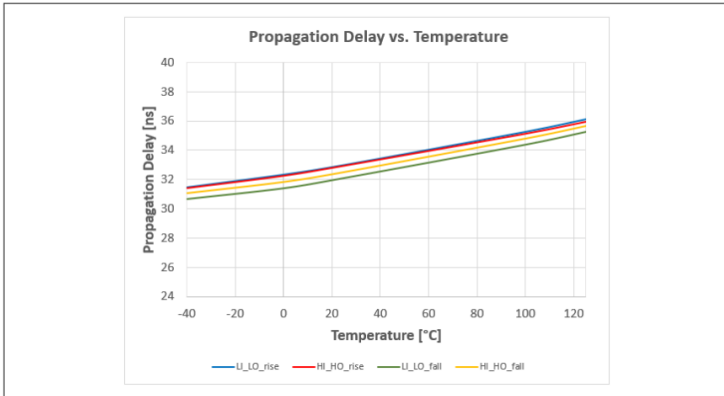


Figure 19 Propagation delay vs. temperature

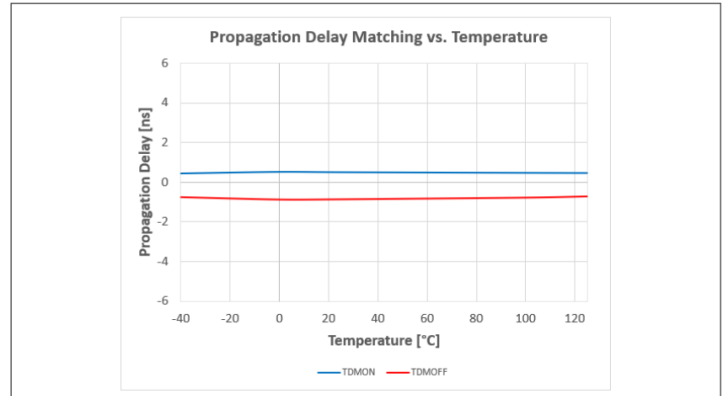


Figure 20 Propagation delay matching vs. temperature

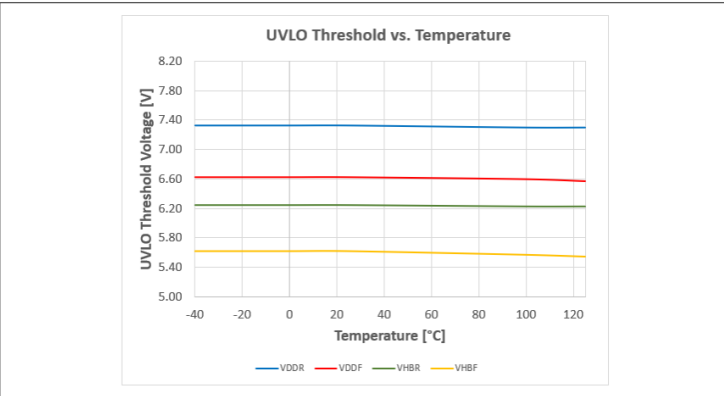


Figure 21 UVLO threshold vs. temperature

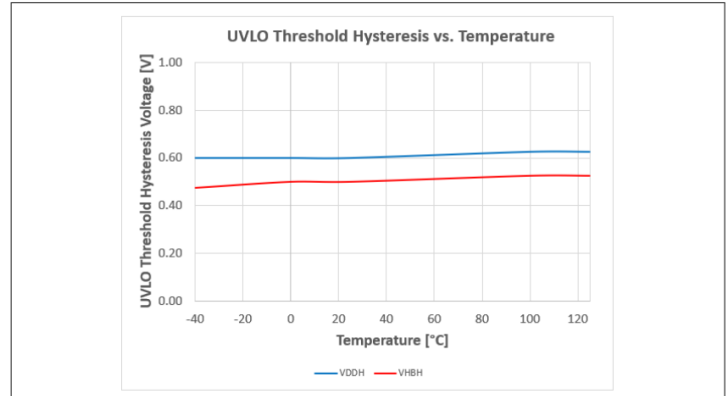


Figure 22 UVLO threshold hysteresis vs. temperature

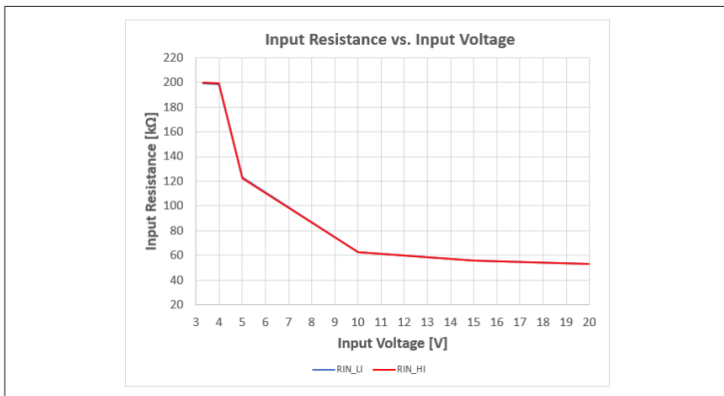


Figure 23 Input impedance vs. input voltage

## 5 产品信息

### 5.1 框图

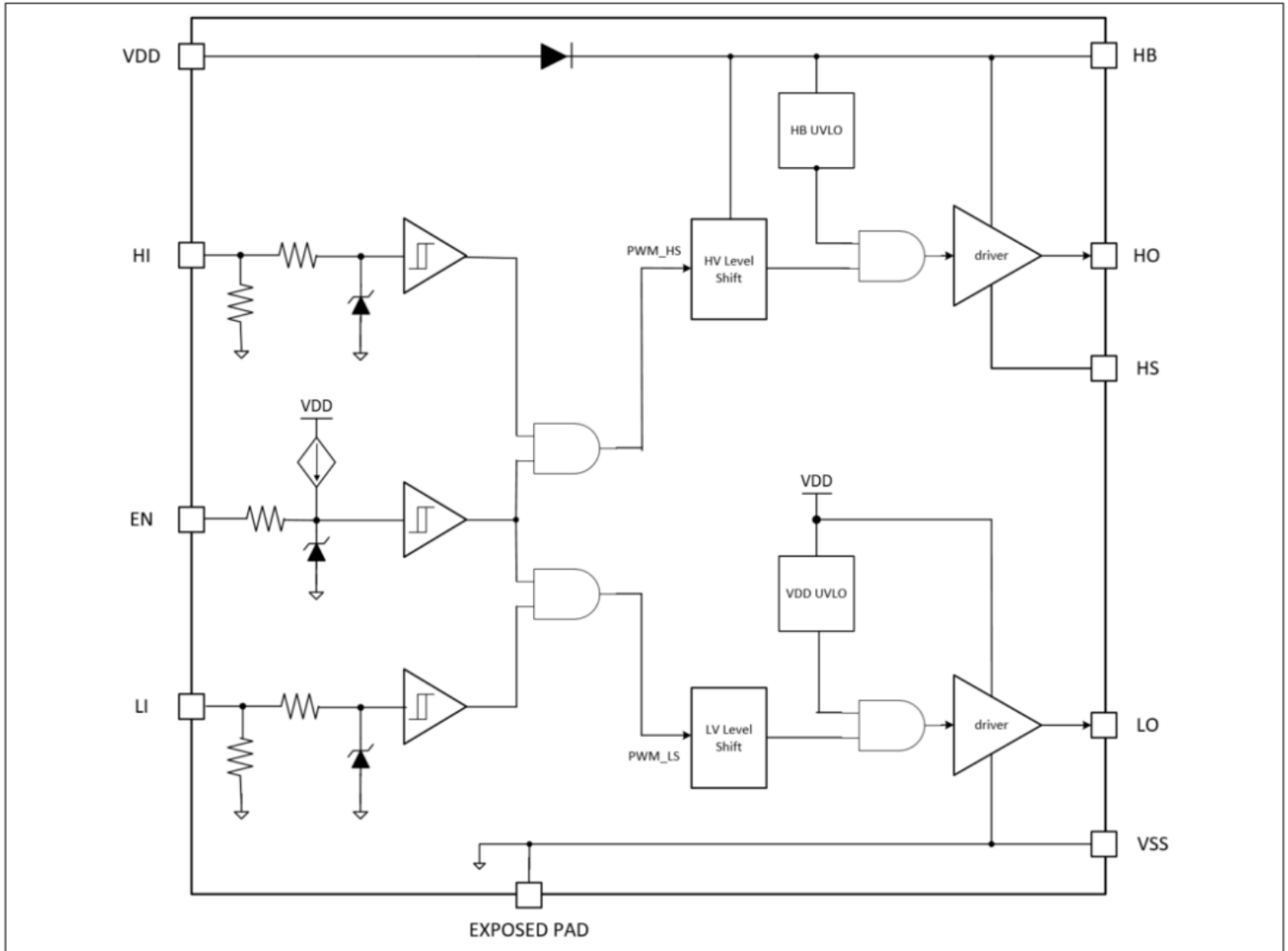


图 24 框图

### 5.2 功能说明

该器件是一种电平转换型双通道驱动器，旨在支持高侧和低侧配置的拓扑结构。高端通过片上额定 120 V 自举二极管和外部自举电容器的组合进行电平转换。该器件为高端和低端驱动器提供 3 A 和 4 A 峰值拉电流能力以及强大的 6 A 灌电流能力。这样就可以在通过 MOSFET 的米勒平台转换期间以最小或优化的开关损耗来驱动大功率 MOSFET。

2EDL803x 的输入引脚支持独立于电源电压的 TTL 逻辑电平。它们能够承受 -10 V 至 20 V 的电压，从而使设备能够与各种模拟和数字控制器连接。输入级具有内置滞回后功能，可增强抗噪能力。低侧和高侧栅极驱动器独立控制，并且彼此的开启和关闭之间的匹配时间典型值为 2 ns。

开关节点（HS 引脚）能够处理低至 -12 V 的负电压，从而可以保护高端通道免受寄生电感和杂散电容引起的固有负电压的影响。

为高侧和低侧驱动器均提供了 UVLO 电路。当电源电压低于指定阈值时，UVLO 通过强制输出低电平来保护系统。以下部分描述了主要功能。

## 5 产品信息

### 5.2.1 供电电压

绝对最大电源电压为 20 V。最小工作电源电压由欠压锁定功能设置典型默认值 7.3 V。此锁定功能可防止功率 MOSFET 进入线性模式并因此产生高功率耗散。

### 5.2.2 输入级

当 HI 和 LI 输入电压  $\leq 4$  V 时，输入下拉电阻的典型值为 200 k $\Omega$ 。当输入电压高于 4 V 时，由于 5 V 钳位电路的激活，有效输入电阻会降低，如下图输入级图所示。当输入电压为 10 V 时，有效输入电阻的典型值为 46 k $\Omega$ 。

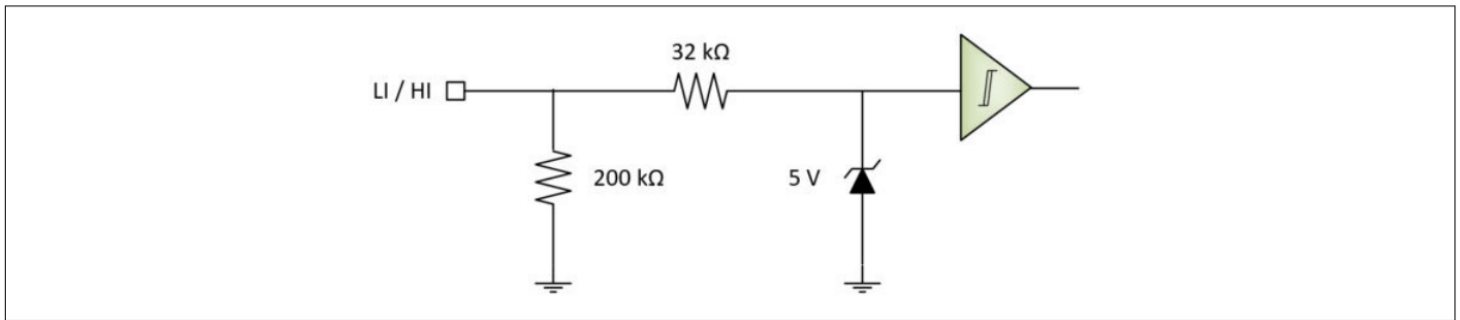


图25 输入级

2EDL803X 器件根据表8独立响应两个输入信号（HI 和 LI）。

表8 2EDL803X真值表

EN	LI	HI	LO	HO
L	L	L	L	L
	H	L	L	L
	L	H	L	L
	H	H	L	L
H	L	L	L	L
	H	L	H	L
	L	H	L	H
	H	H	H	H

### 5.2.3 使能

SON10（3 毫米 x 3 毫米）封装中的 2EDL803X 具有使能（EN）引脚，可启用或禁用驱动器的输出。当 EN 引脚上的电压高于上升阈值时，输出处于活动状态；当 EN 引脚上的电压低于下降阈值时，输出处于禁用状态。EN 输入级具有内置滞后，可增强抗噪能力。内部上拉电流源将 EN 引脚连接至 VDD，从而使 EN 引脚悬空以启用输出。如果 EN 引脚没有被主动控制，建议将该引脚上拉至 VDD，特别是对于高噪声系统。将 EN 引脚从外部拉至地可禁用输出。

### 5.2.4 驱动器输出

低侧和高侧输出均具有强大的 3 A 和 4 A 拉电流能力以及 6 A 灌电流能力，允许功率 MOSFET 更快地切换，从而降低开关损耗。超低的下拉电阻（两个输出通常为 0.5  $\Omega$ ）可在快速瞬变事件期间保持功率 MOSFET 的

## 5 产品信息

栅极处于低位，从而避免  $dv/dt$  引起开启。输出级可承受高达  $-2\text{ V}$  持续时间为  $100\text{ ns}$  的负瞬态脉冲。输出级采用图腾柱配置中的 PMOS 进行上拉，NMOS 进行下拉。

### 5.2.5 欠压锁定(UVLO)

UVLO 功能确保仅当电源电压超过 UVLO 上升阈值电压时，输出才能切换到高电平。这样，当驱动电压过低而无法完全导通器件时，功率 MOSFET 就不会导通，从而避免过高的功耗。UVLO 电平设置为典型值：电源电压 ( $V_{DD}$ ) 为  $7.3\text{ V}$ ，滞回为  $0.6\text{ V}$ ；高侧启动电压 ( $V_{HB-HS}$ ) 为  $6.3\text{ V}$ ，滞回为  $0.6\text{ V}$ 。

### 5.2.6 最小输入脉冲宽度

只要逻辑信号符合最小脉冲宽度要求，装置就会根据输入控制部分的真值表对输入电平做出响应。比最小允许输入脉冲宽度更长的信号脉冲产生有效输出。用户应忽略并过滤掉任何响应较短脉冲或毛刺的输出。在所有允许的操作下，输入最小脉冲宽度超过  $40\text{ ns}$ ，输出以脉冲宽度失真最小的方式与输入一对一。

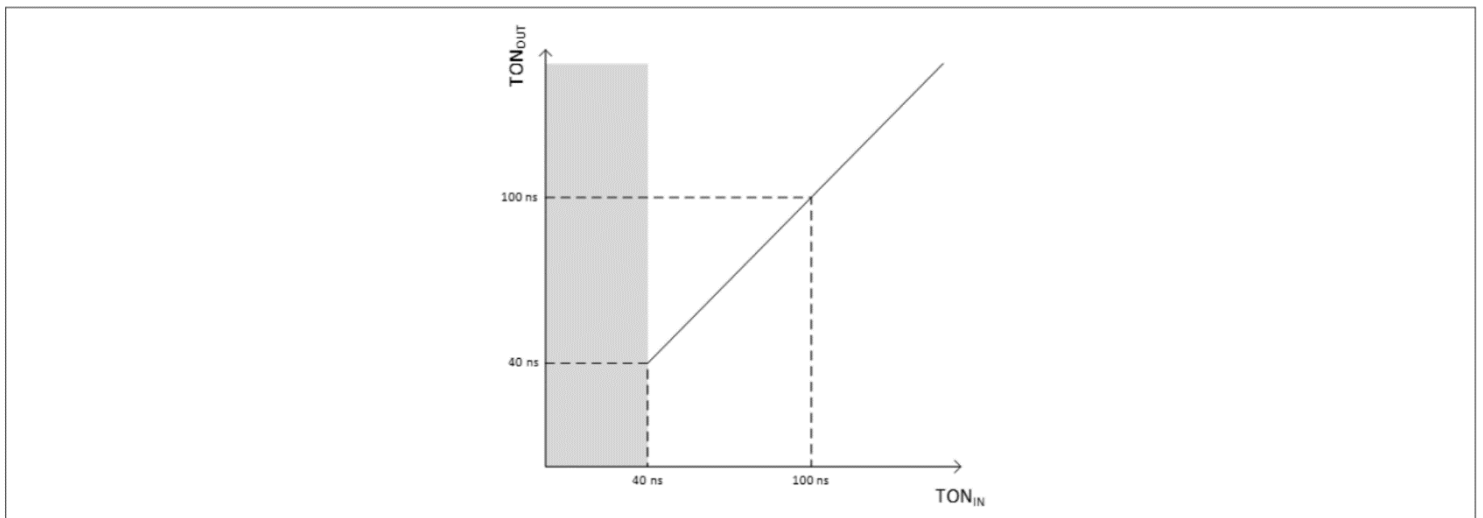


图26 最小脉冲宽度输入输出导通时间传递函数

## 6 应用信息

## 6 应用信息

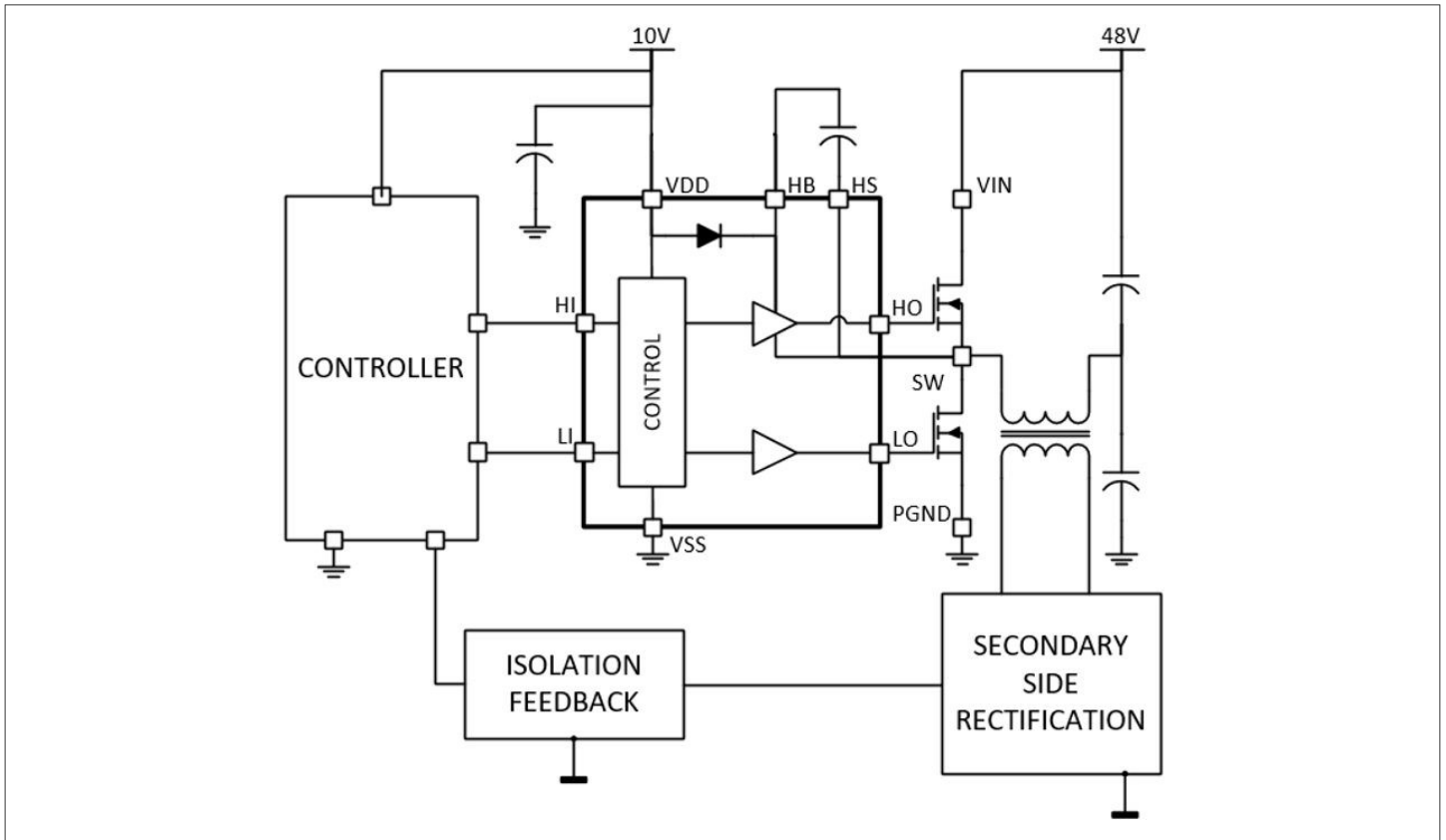


图27 典型应用-初级侧半桥

## 6.1 设计指南

在半桥配置中，需要以开关节点为参考点的高侧偏置来驱动高端 MOSFET 的栅极。基于其简单且成本低廉，最常见的解决方案之一是使用由二极管（驱动器内部）和电容组成的自举电路，如图 28 所示。然而，由于需要对自举电容进行充电，这种方法限制了电源转换器的占空比。通过合理选择自举元件，可以缓解这一限制。

自举电路的运行由两个主要周期定义：

**充电周期：**当低侧 MOSFET (Q2) 导通且高侧 MOSFET (Q1) 关断时，开关节点/HS 引脚被拉至地，通过 Vdd 旁路电容 (Cvdd) 和内部自举二极管为自举电容 (Cboot) 建立充电路径。对于高 dV/dt 应用，建议使用外部自举二极管。

**放电阶段：**当低侧 MOSFET (Q2) 关断且高侧 MOSFET (Q1) 开始导通时，开关节点/HS 引脚被拉至高压 Vin，从而使内部自举二极管反向偏置。然后，自举电容 (Cboot) 会将其存储的部分电荷释放至高侧 MOSFET 的栅极以及其他影响因素，例如 MOSFET 的栅源漏电流、浮动区静态电流、浮动区漏电流以及内部自举二极管反向偏置漏电流。

图 29 中显示了 Cboot 两端电压随时间变化的典型波形，其中已区分了各种贡献。Cboot 两端的电压在充电期间上升，然后随着对高端 MOSFET (Q1) 栅极充电，以较高的负 dV/dt 下降。此后，Cboot 电压继续下降，但斜率要低得多，因为在此阶段只有高端偏置电流和一些漏电流在对 Cboot 进行放电。

## 6 应用信息

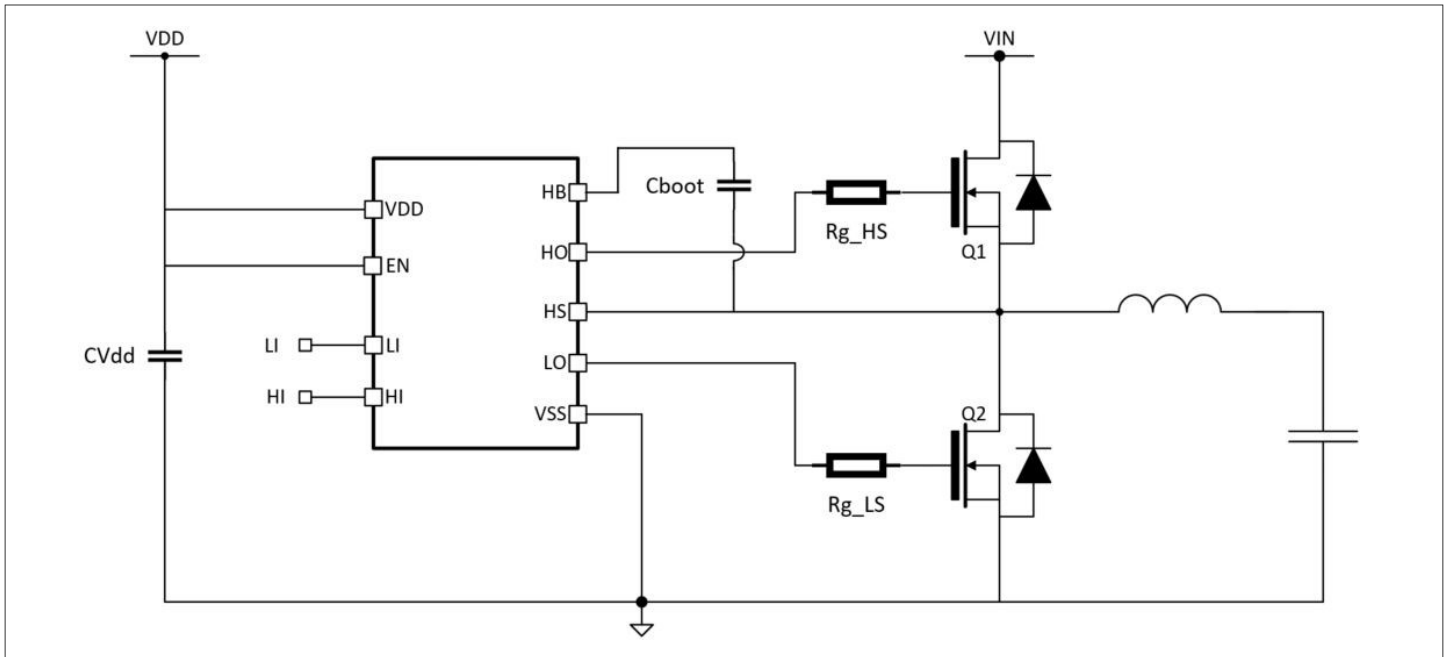
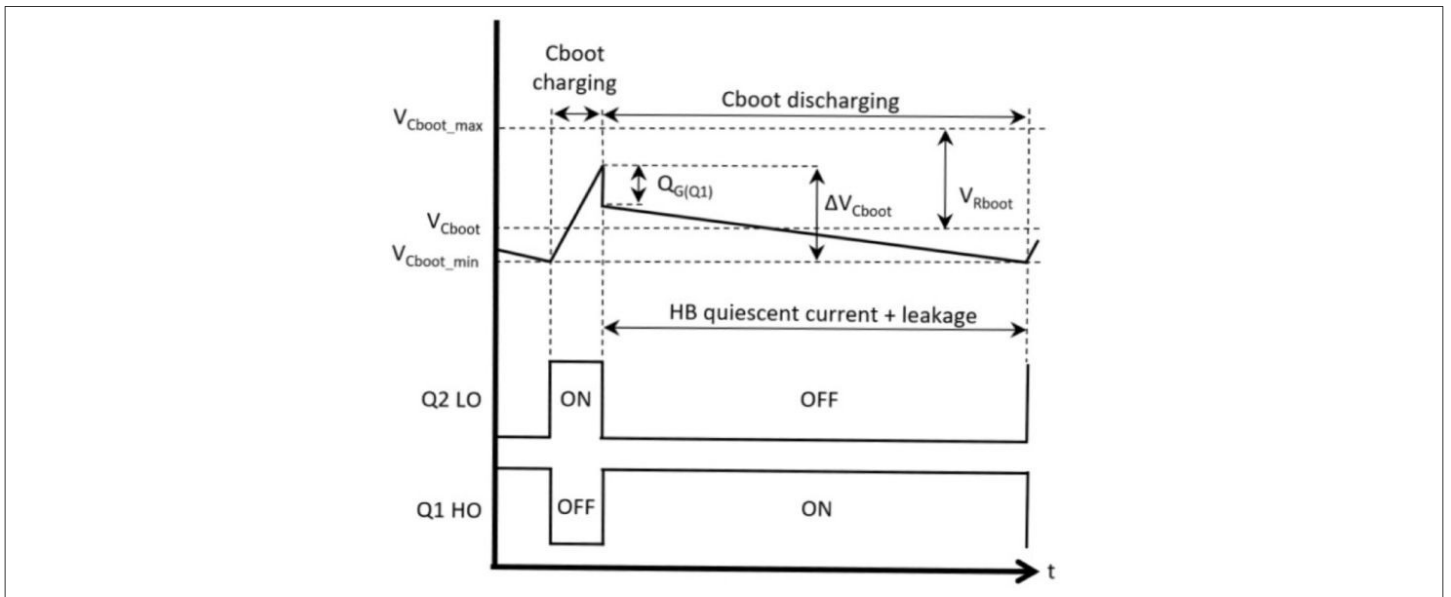


图 28 使用 2EDL803X 驱动半桥配置中的 MOSFET 的栅极驱动电路

图 29 典型的  $C_{boot}$  波形

## 6.1.1 选择自举电容器

自举电容提供驱动高端 MOSFET 所需的电荷，因此其大小需要合理选择，确保该电容上的最大压降在瞬态和正常工作期间不会低于高端 UVLO 阈值。首先，确定高端 MOSFET (Q1) 导通时的最大允许压降 ( $\Delta V_{Cboot\_max}$ )，其计算公式如下：

$$\Delta V_{Cboot\_max} = V_{dd} - V_F - V_{HBR} - V_{HBH}$$

## 公式 1

其中

## 6 应用信息

$V_{dd}$  = 栅极驱动器电源电压

$V_F$  = 自举二极管正向压降

$V_{HBR}$  = HB UVLO 上升阈值

$V_{HBH}$  = HB UVLO 阈值滞回

接下来，确定自举电容在最大占空比下必须释放的总电荷 ( $Q_T$ )。如上所述，有几个因素会影响自举电容的放电，例如 Q1 的总栅极电荷、Q1 的栅极-源极漏电流、HB 静态电流、HB 漏电流、自举二极管反向偏置漏电流以及自举电容漏电流（如果使用电解电容）。为简单起见，仅考虑 Q1 的总栅极电荷、HB 静态电流和漏电流，因为其他漏电流源相比之下可以忽略不计。

$$Q_T = Q_G + \frac{I_{HB}}{F_{sw}} + I_{HBS} \times \frac{D_{max}}{F_{sw}}$$

### 公式 2

其中

$Q_G$  = 高端 MOSFET (Q1) 总栅极电荷

$I_{HB}$  = HB 最大静态电流

$I_{HBS}$  = HB 至 VSS 漏电流

$D_{max}$  = 最大占空比

$F_{sw}$  = 开关频率

然后可以使用以下公式计算最小自举电容值：

$$C_{boot\_min} \geq \frac{Q_T}{\Delta V_{Cboot\_max}}$$

### 公式 3

#### 6.1.2 VDD 旁路电容的选择

$V_{dd}$  旁路电容在充电期间为自举电容提供电荷。根据经验， $V_{dd}$  旁路电容的容量至少应为自举电容的 10 至 20 倍。这相当于  $V_{dd}$  电容中的电压纹波为 5 至 10 %。该电容应尽可能靠近栅极驱动器的 VDD 和 VSS 引脚。

$$C_{Vdd} \geq 10 \sim 20 \times C_{boot}$$

### 公式 4

#### 6.1.3 自举电阻的选择

当自举电容器最初完全放电时，自举电阻器会在启动过程中限制自举二极管中的电流。流过该电阻的峰值电流由下式给出：

## 6 应用信息

$$I_{Pk\_Rboot} = \frac{V_{dd} - V_F}{R_{boot}}$$

## 公式 5

自举电阻和自举电容会引入时间常数，因此应选择合适的大小以实现所需的启动时间。本计算假设自举电容在4个时间常数后充满电。由此， $R_{boot}$ 可利用以下公式计算：

$$R_{boot} \leq \frac{t_{min}}{4 \times C_{boot}}$$

## 公式 6

其中

$t_{min}$  = 低侧 MOSFET (Q2) 的最短导通时间

## 6.1.4 外部自举二极管的选择

对于高 dV/dT 应用，建议将外部自举二极管与内部自举二极管并联。为了最大限度地降低损耗和漏电流，建议使用快速恢复二极管或低正向压降的肖特基二极管。选择该二极管时，应确保其能够处理启动条件下公式 (5) 所示的峰值瞬态电流，并且其阻断电压额定值应高于最大输入电压 ( $V_{in}$ )，并留有足够的降额。

## 6.1.5 栅极电阻的选择

开启和关闭外部栅极电阻控制栅极驱动器的开启和关闭电流，提供一种外部方式来控制 MOSFET 的开关速度，以实现电压过冲控制、振铃减少、EMI 抑制、寄生开启保护、直通保护等目的。以下公式显示外部栅极电阻对栅极驱动器输出电流能力的影响。

$$I_{HSRC} = \frac{V_{dd} - V_F}{R_{PUH} + R_{G\_HS} + R_{G\_int}}$$

## 公式 7

$$I_{HSNK} = \frac{V_{dd} - V_F}{R_{PDH} + R_{G\_HS} + R_{G\_int}}$$

## 公式 8

$$I_{LSRC} = \frac{V_{dd}}{R_{PUL} + R_{G\_LS} + R_{G\_int}}$$

## 公式 9

## 6 应用信息

$$I_{LSNK} = \frac{V_{dd}}{R_{PDL} + R_{G\_LS} + R_{G\_int}}$$

## 公式 10

其中

 $I_{HSRC}$  = 高侧峰值拉电流 $I_{HSNK}$  = 高侧峰值灌电流 $I_{LSRC}$  = 低侧峰值拉电流 $I_{LSNK}$  = 低侧峰值灌电流 $R_{PUH}$  = 高侧上拉电阻 $R_{PDH}$  = 高侧下拉电阻 $R_{PUL}$  = 低侧上拉电阻 $R_{PDL}$  = 低侧下拉电阻 $V_{dd}$  = 栅极驱动器电源电压 $V_F$  = 自举二极管正向压降 $R_{G\_HS}$  = 高侧外部栅极电阻 $R_{G\_LS}$  = 低侧外部栅极电阻 $R_{G\_int}$  = MOSFET 内部栅极电阻

## 6.2 PCB布局指南

为了最大限度地发挥EiceDRIVER™ 2EDL803X 的性能，以下是一些优化PCB布局的建议：

- 在VDD-GND和HB-HS上使用低ESR去耦电容，并将其尽可能靠近驱动器的VDD-GND和HB-HS引脚放置
- 建议使用串联启动电阻来控制高端MOSFET的转换速率，从而控制低端MOSFET的过冲。包括VDD电容、启动二极管、启动串联电阻和启动电容在内的启动环路路径应尽可能小
- 对于高dv/dt应用，建议放置外部引导二极管
- 还建议放置栅极电阻来控制MOSFET的开关速度。栅极电阻和MOSFET都应尽可能靠近驱动器放置，以尽量减少栅极环路电感
- 在驱动器裸露的GND焊盘下方使用铜平面，并将其连接到具有多个热通孔的埋铜平面，以便更好地将热量散发到PCB中
- 从高侧MOSFET源极到低侧MOSFET漏极到驱动器HS引脚的连接应尽可能短且宽，并避免直接通过高开关电流路径连接
- LO和HO走线应尽可能短且宽
- 避免让LI和HI信号走线靠近高dv/dt走线，否则可能会引起显著的噪声

6 应用信息

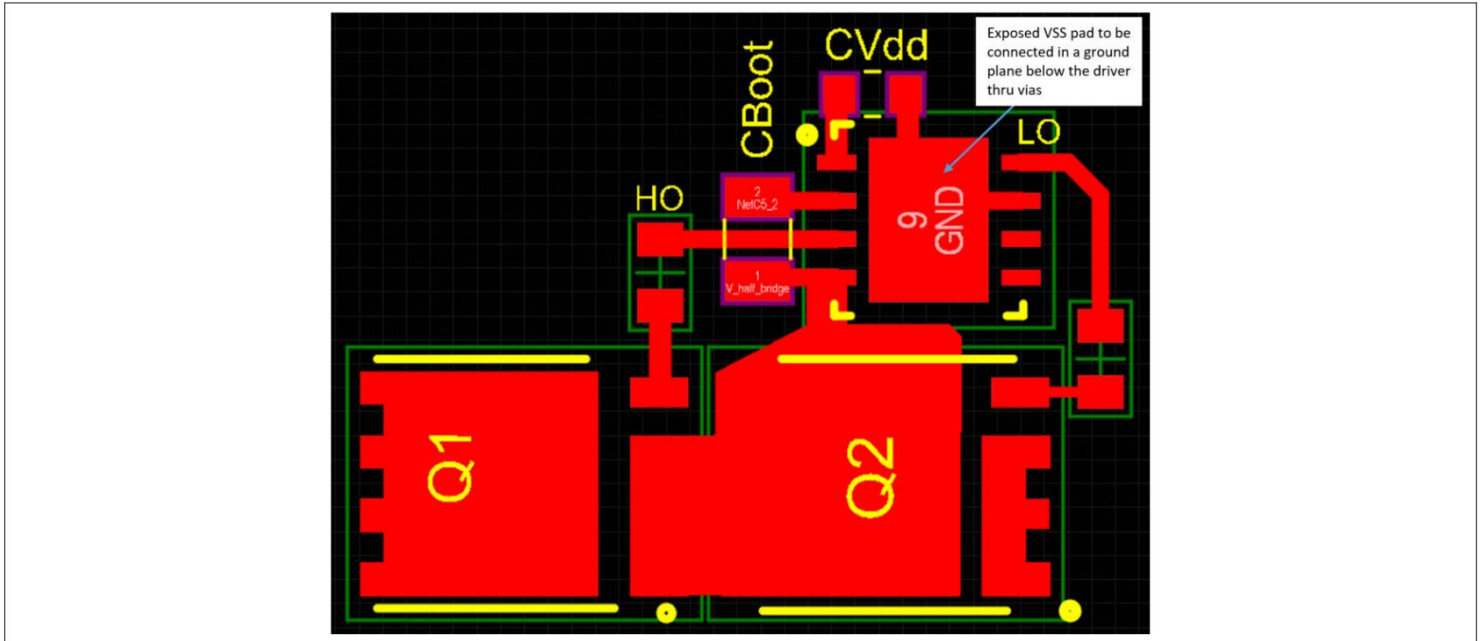


图 30 2EDL803X 布局示例

## 7外形尺寸

## 7 外形尺寸

有关封装类型、电路板组装建议的更多信息，请访问：[www.infineon.com/packages](http://www.infineon.com/packages)

## 7.1 PG-VDSON-8-5

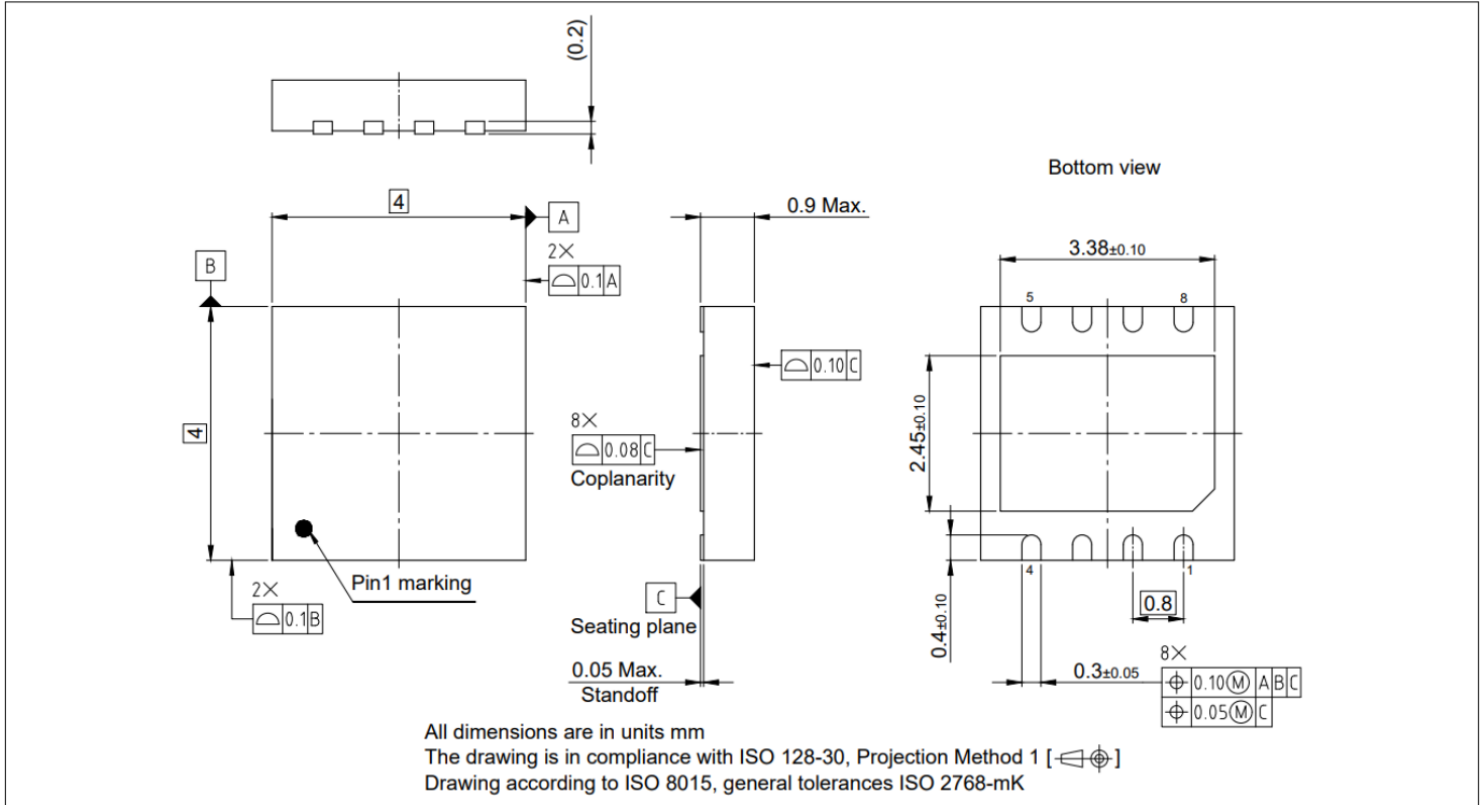


图31 PG-VDSON-8-5外形尺寸

7 外形尺寸

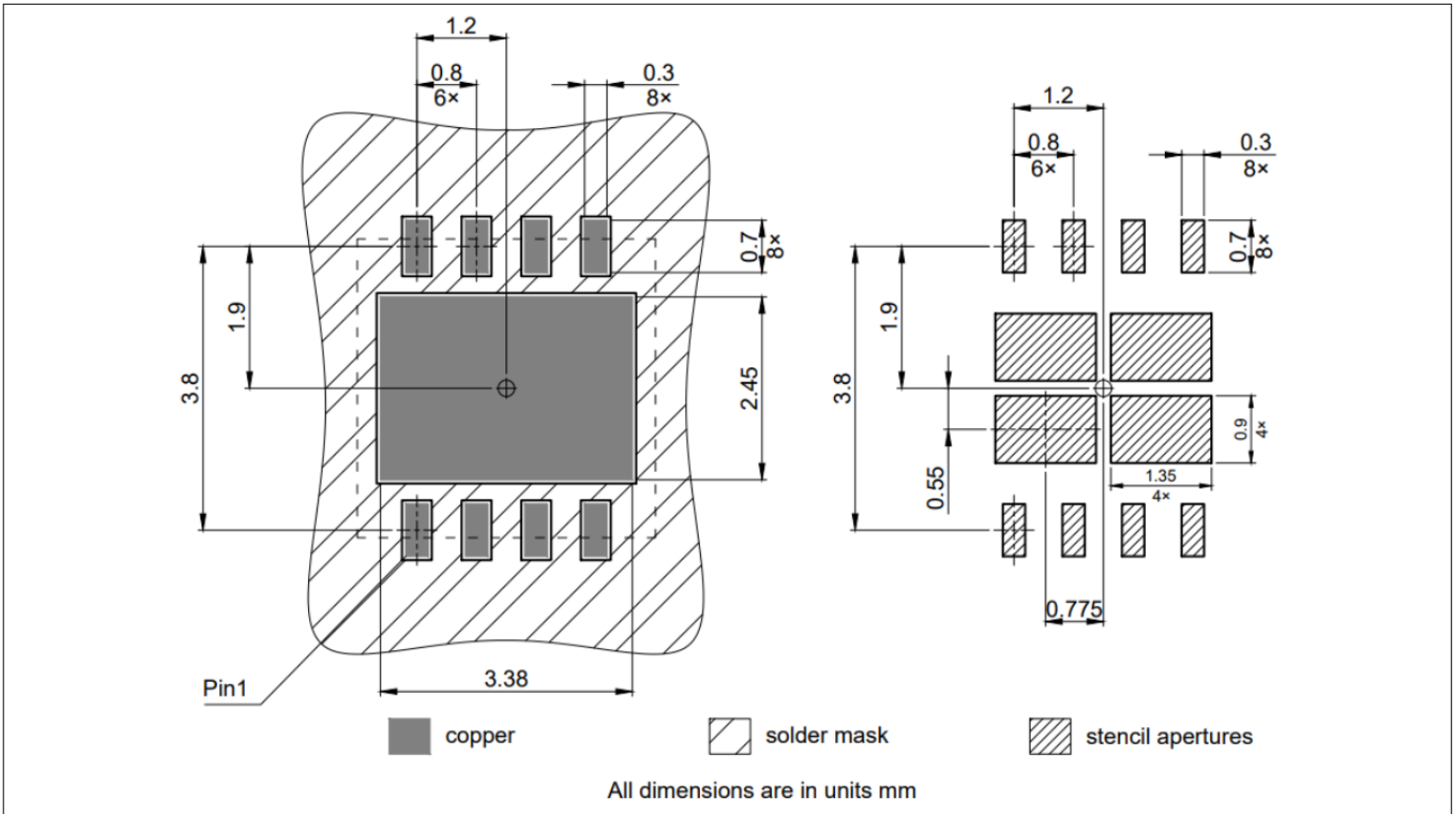


图 32 PG-VDSON-8-5 封装尺寸

7.2 PG-VSON-10-4

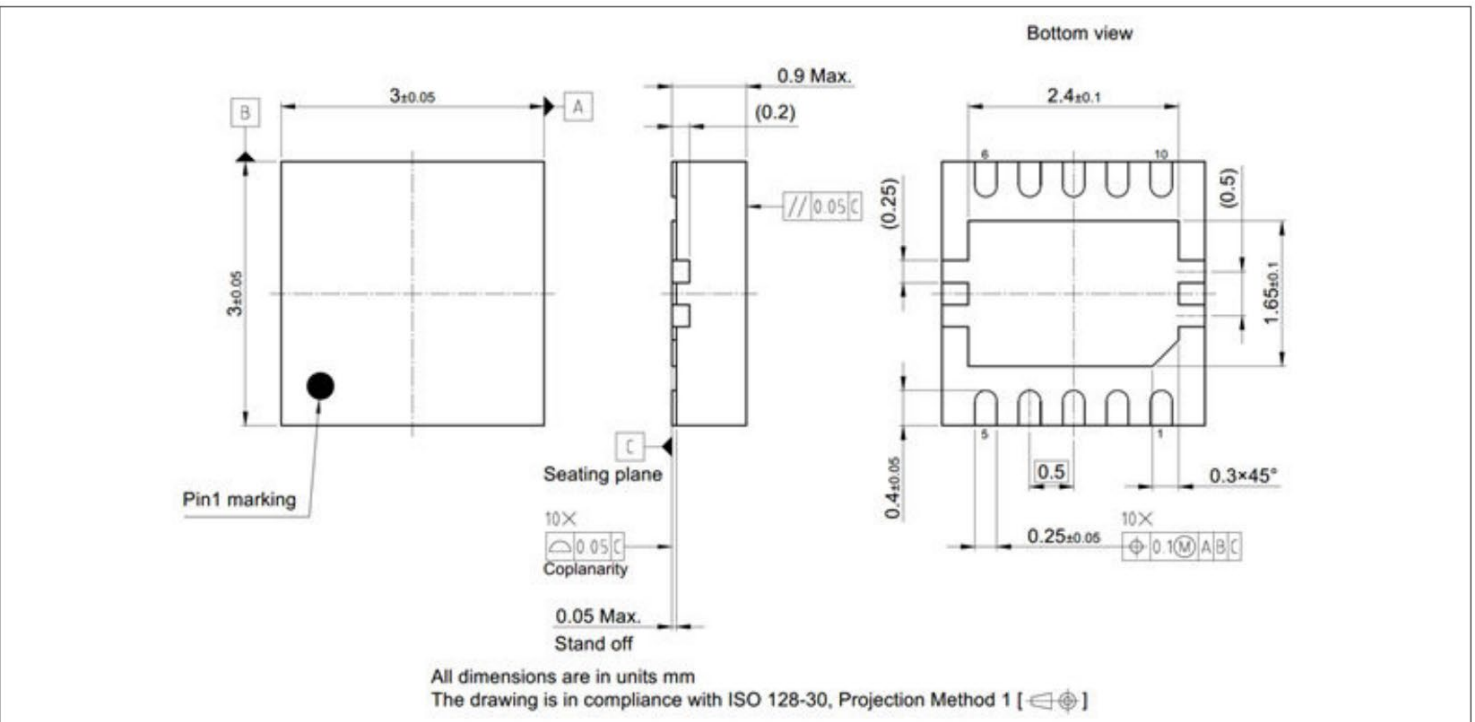


图 33 PG-VSON-10-4外形尺寸

7 外形尺寸

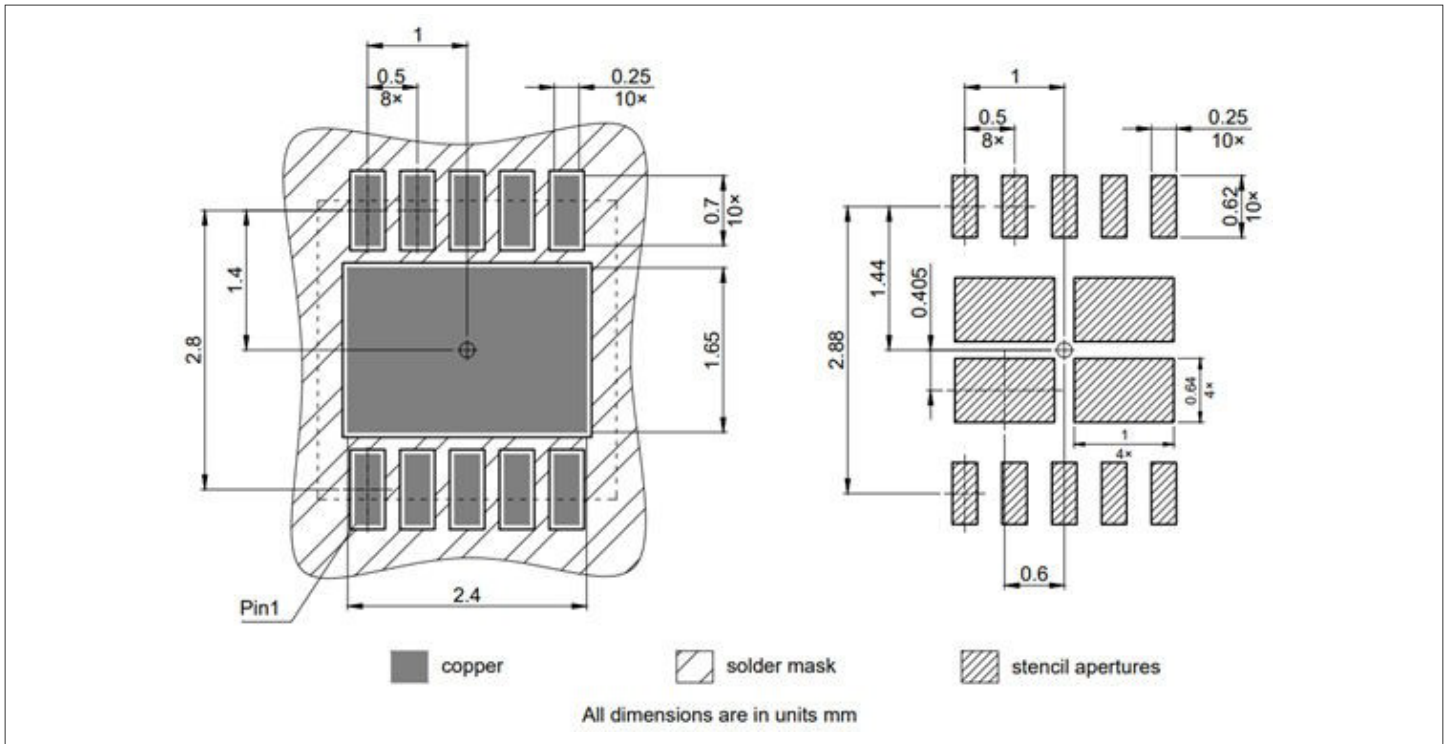


图 34 PG-VSON-10-4 封装尺寸

7.3 PG-VDSON-10-2

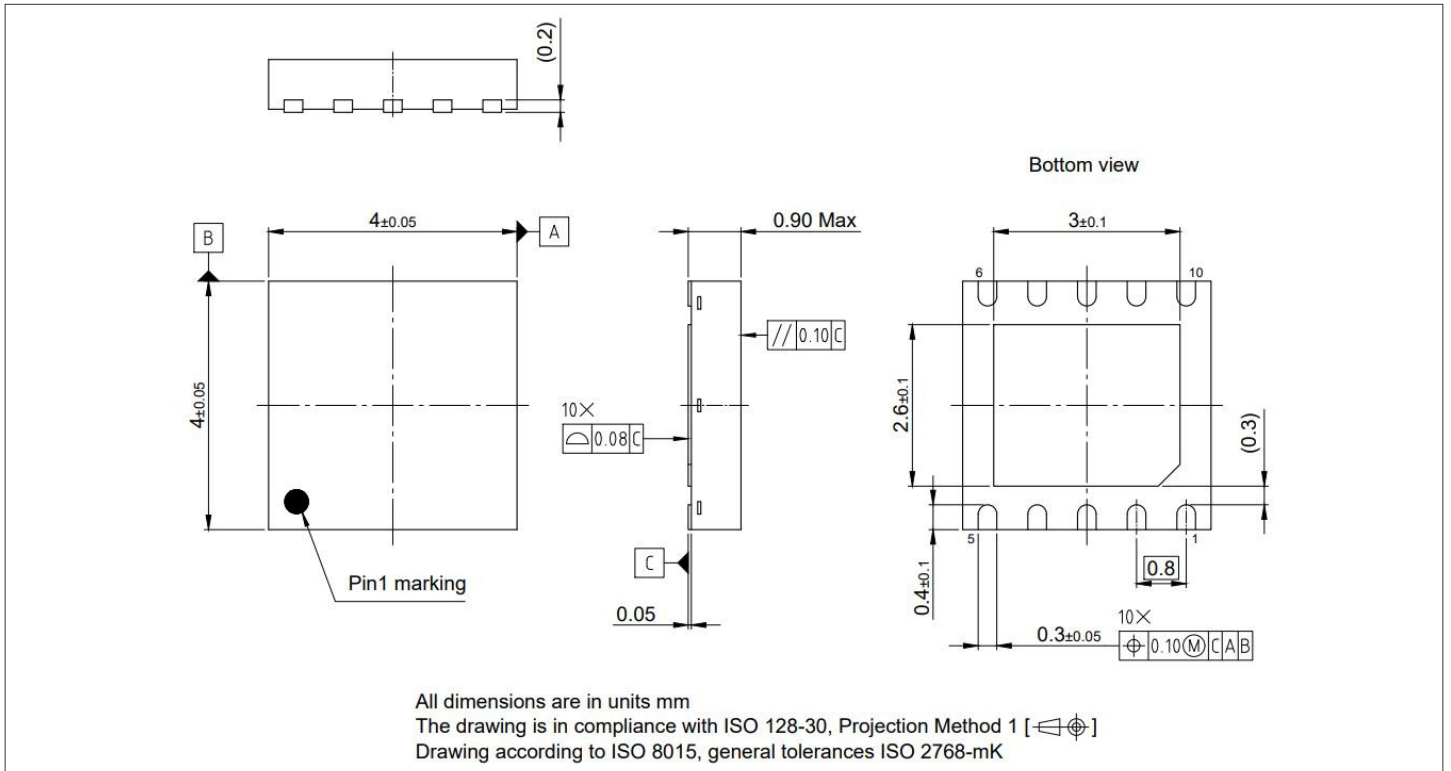


图 35 PG-VDSON-10-2外形尺寸

7 外形尺寸

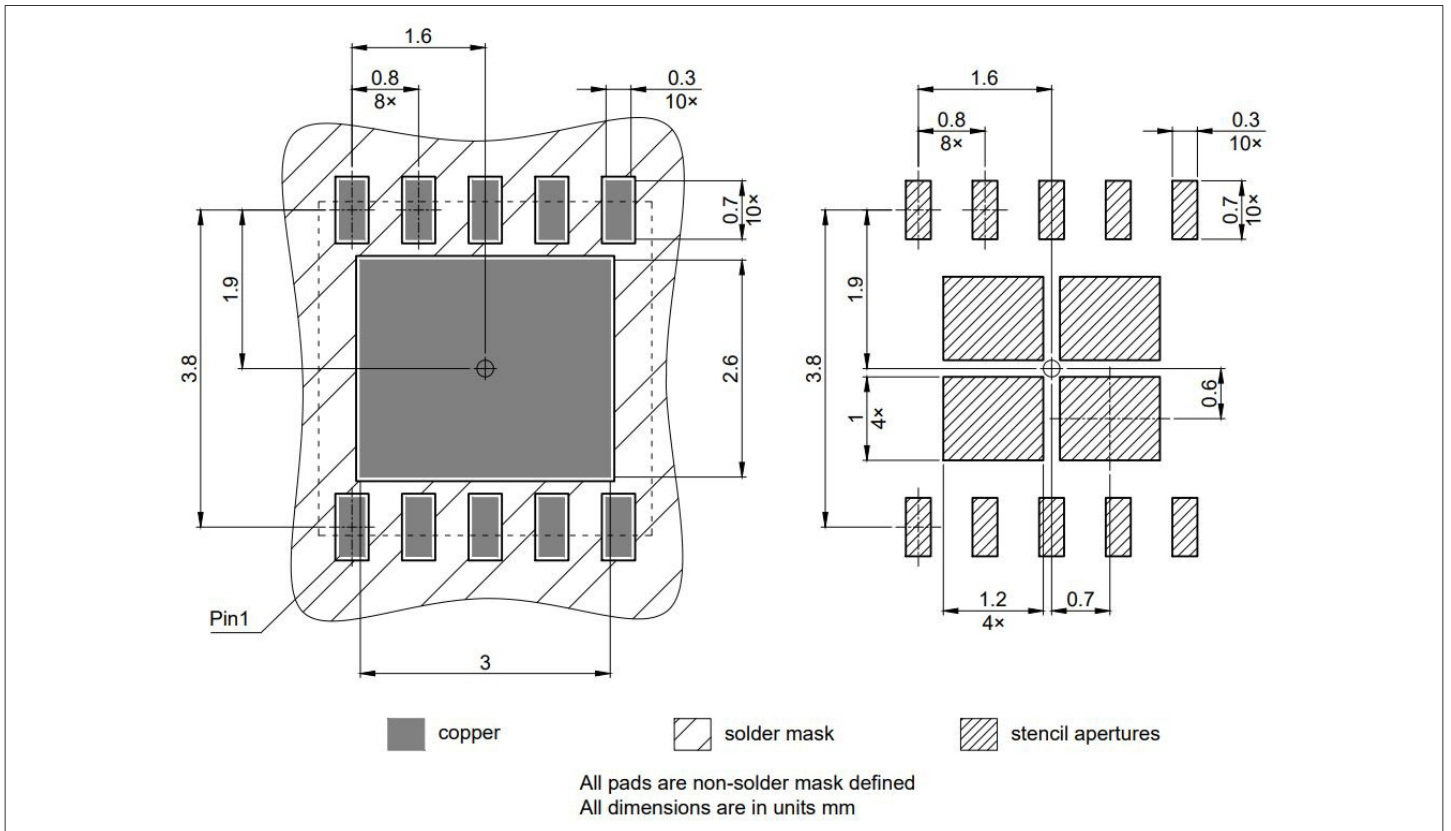


图 36 PG-VDSON-10-2 封装尺寸

7 外形尺寸

7.4 PG-DSO-8-92

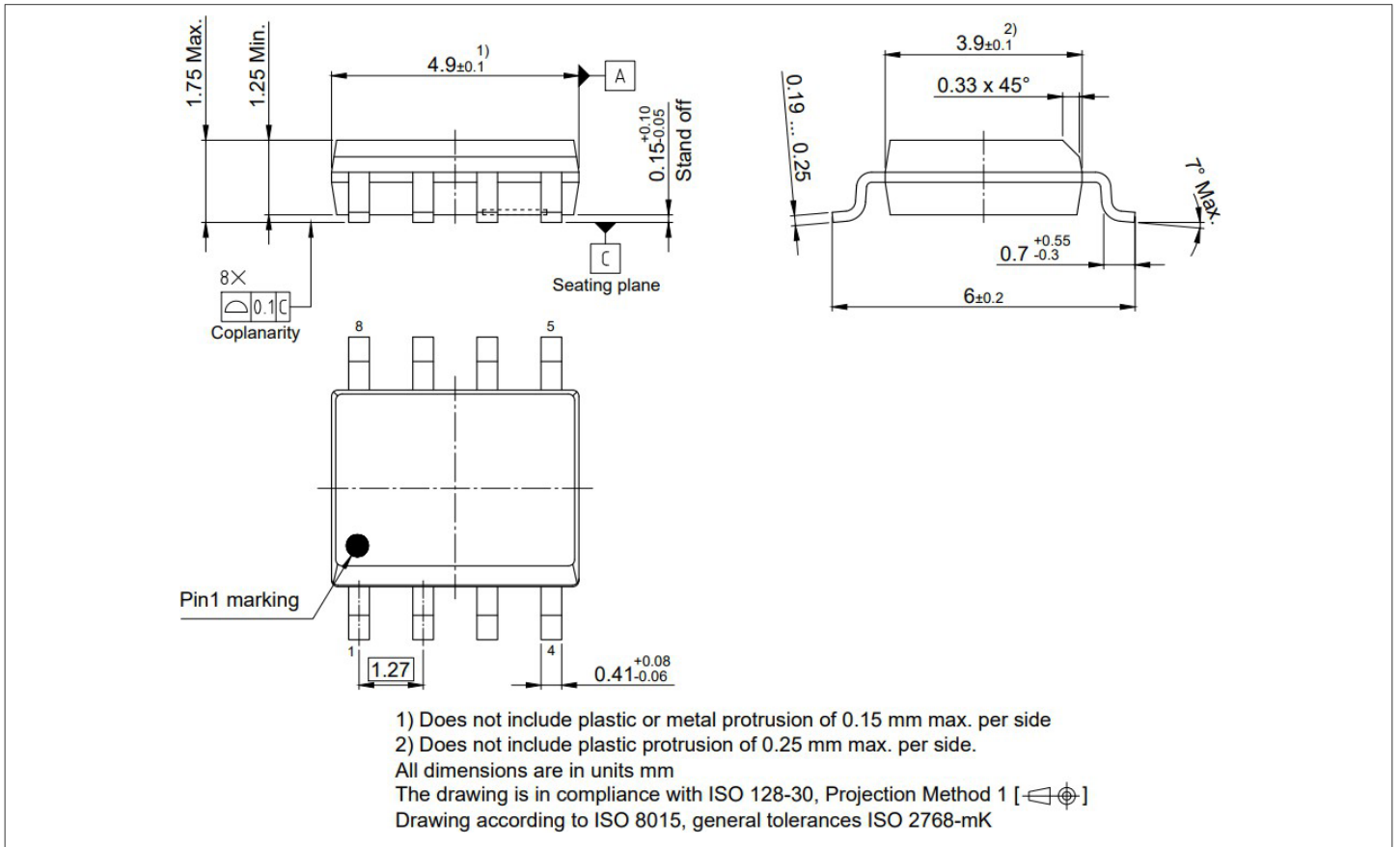


图 37 PG-DSO-8-92 外形尺寸

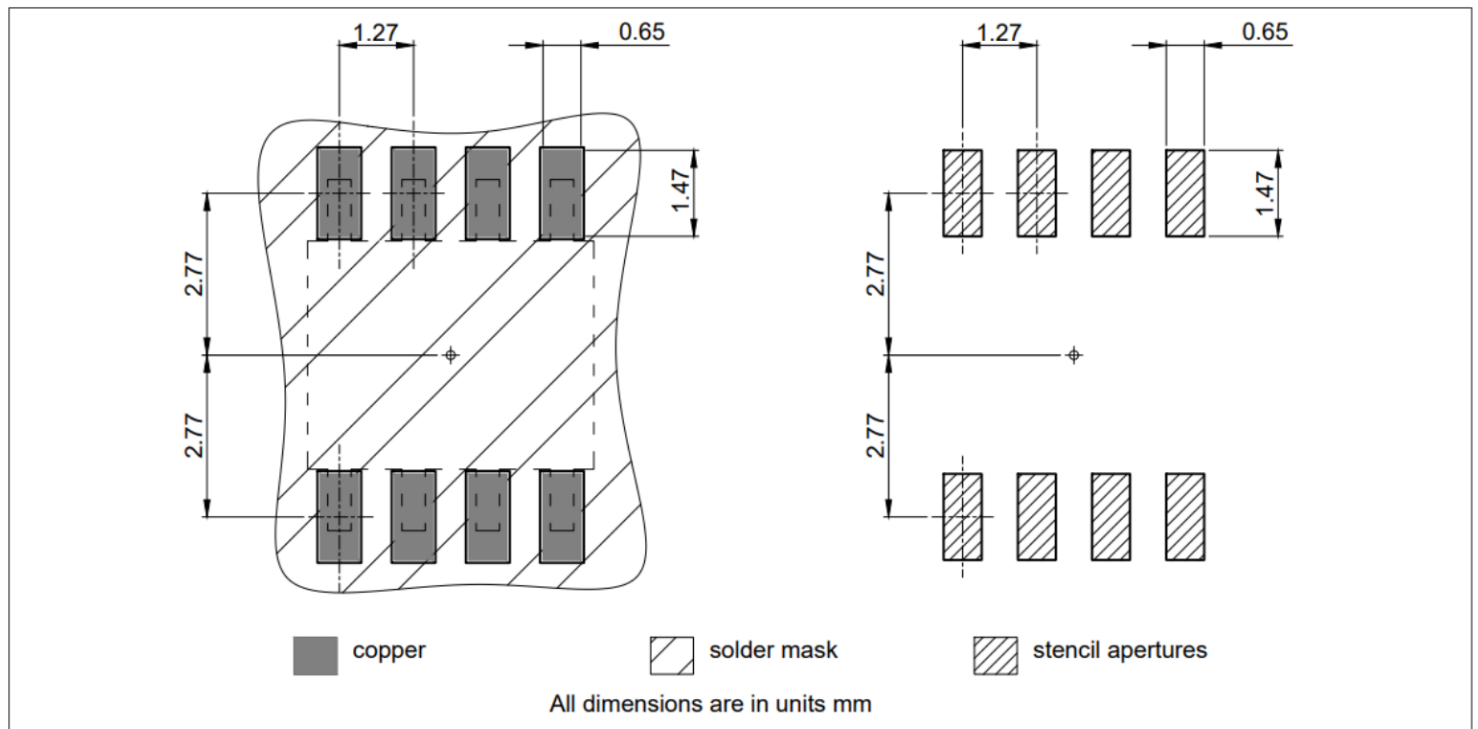


图 38 PG-DSO-8-92 封装尺寸

## 8 卷带

## 8 卷带

## 8.1 PG-VDSON-8-5

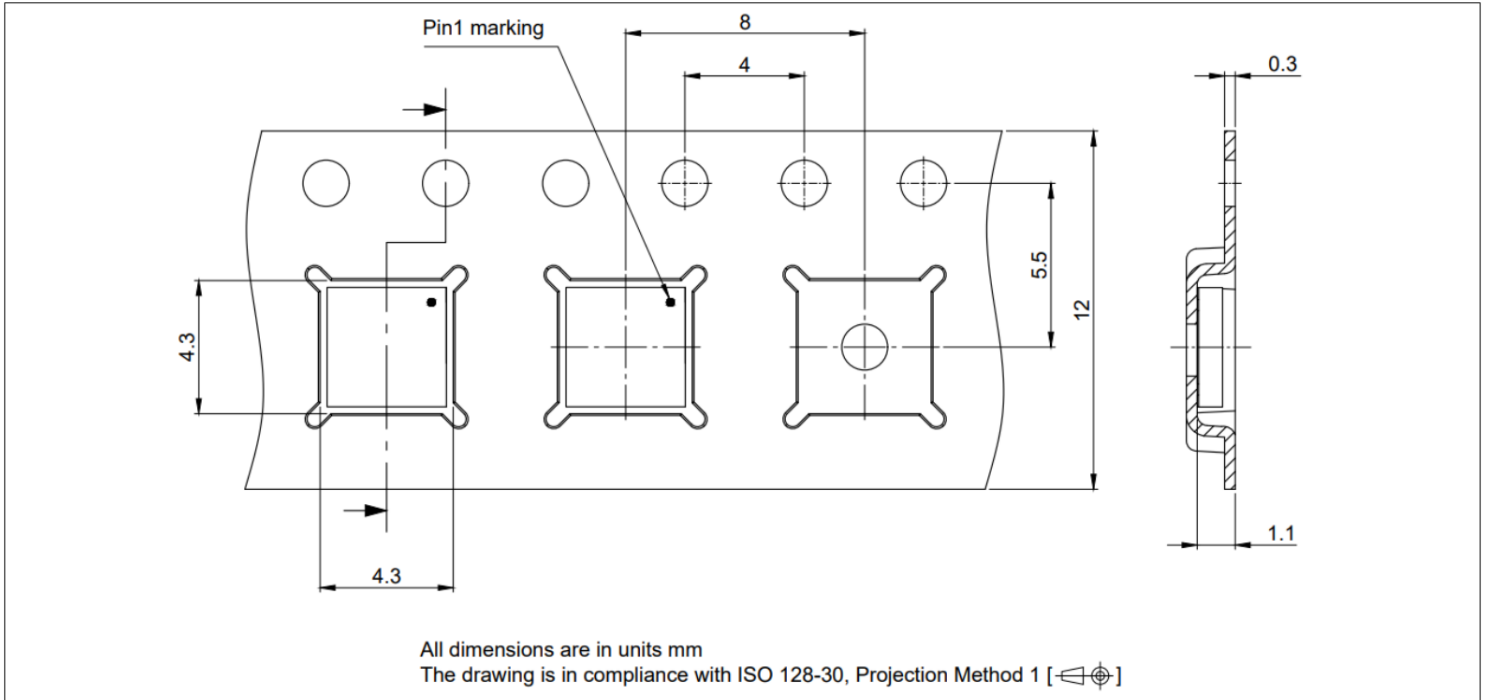


图39 PG-VDSON-8-5卷带包装

## 8.2 PG-VSON-10-4

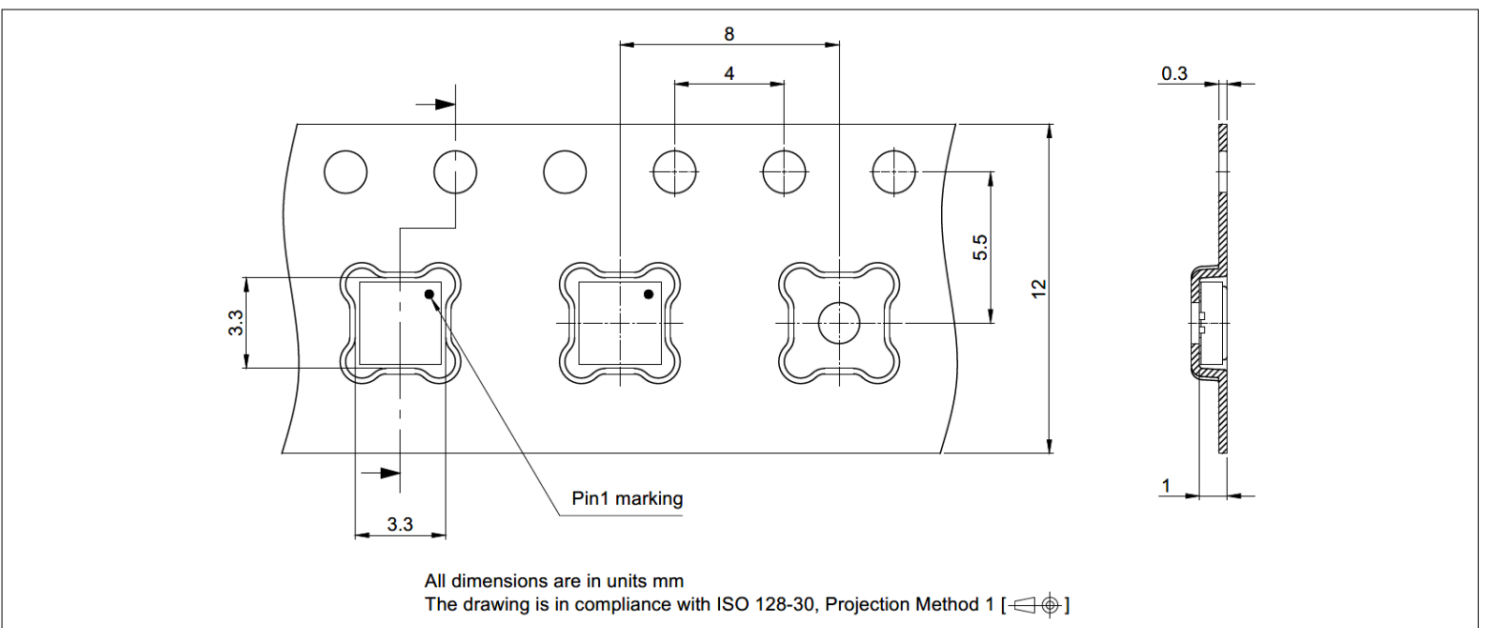


图40 PG-VSON-10-4卷带包装

## 8 卷带

## 8.3 PG-VDSON-10-2

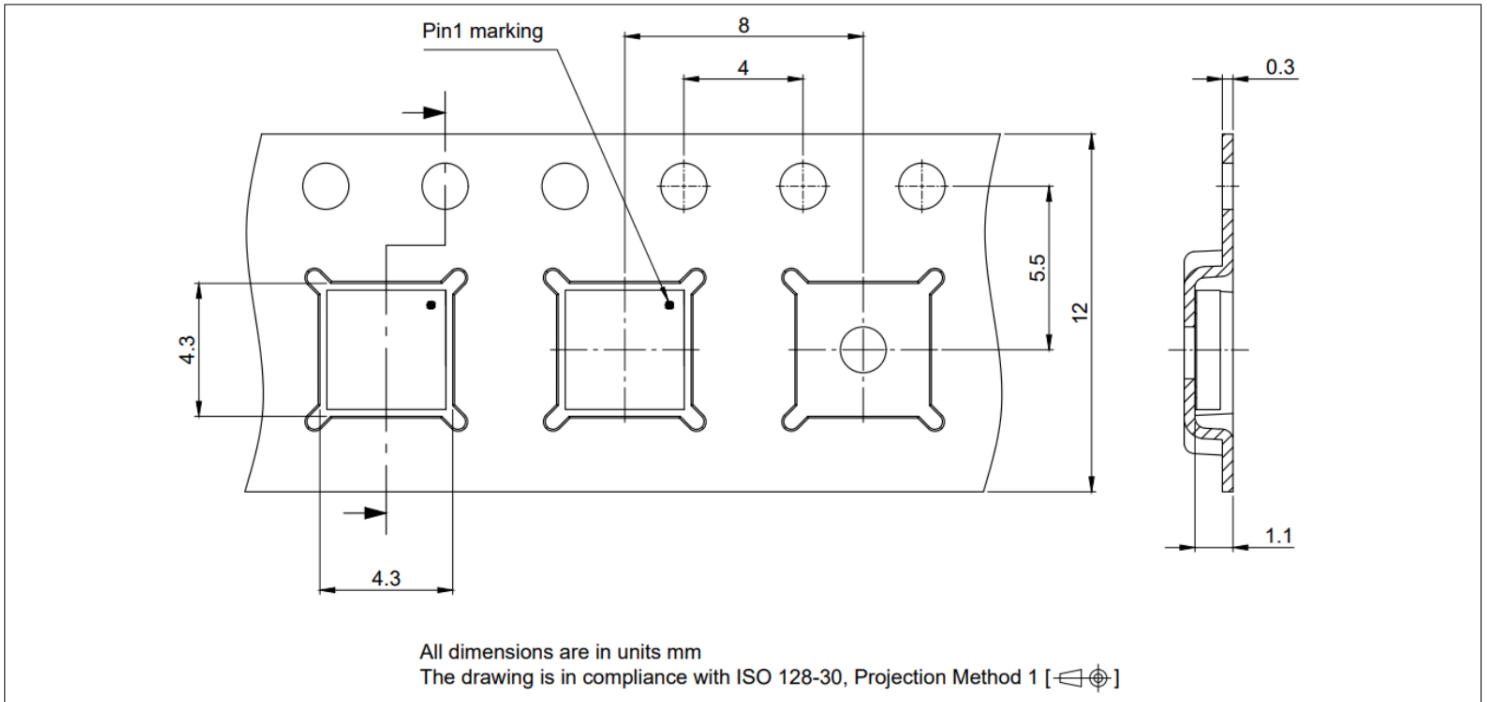


图41 PG-VDSON-10-2卷带包装

## 8.4 PG-DSO-8-92

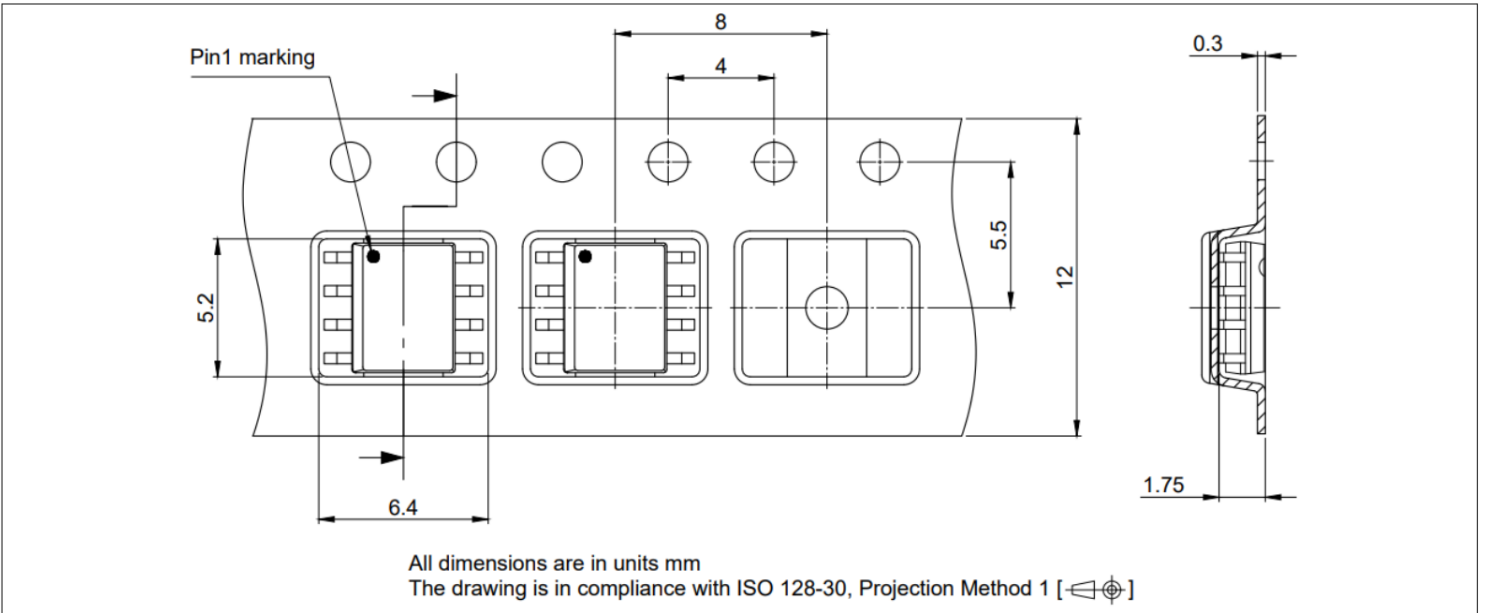


图 42 PG-DSO-8-92 卷带包装

## 9 修订记录

Document version	Date of release	Description of changes
Rev. 2.2	2023-10-10	Added DSO-8 package
Rev. 2.1	2023-04-04	Modified the EN pin description in the pin and functional description section.
Rev. 2.0	2023-03-10	Initial release



## 免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

**您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。**

## Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

## 重要通知

版本 2025-10-30

Infineon Technologies AG 出版，  
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG  
及其关联公司。  
保留所有权利。

Do you have a question about this  
document?

Email:  
[erratum@infineon.com](mailto:erratum@infineon.com)

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。