

英飞凌 2EDL23x06PJ 系列

600 V 半桥栅极驱动器，带 OCP 和集成自举二极管

特性

- 英飞凌薄膜SOI(绝缘片上硅)技术
- 完全运行至+600 V
- 集成超快速、低 $R_{DS(ON)}$ 自举二极管
- 专为自举充电而设计的浮地通道
- 输出拉/灌电流能力 +1.8 A/-2.5A
- SOI 技术可耐受高达 -100 V 的负瞬态电压 (脉冲宽度高达 300 ns)
- 联锁、启用、故障和过流保护
- 典型值 10 ns, 最大值 60 ns. 传输延迟匹配
- dV/dt 免疫 ± 50 V
- 所有通道均具有欠压锁定功能
- 兼容 3.3 V、5 V 和 15 V 输入逻辑
- 符合 RoHS 标准

产品概述

V_{OFFSET}	= 620 V max.
$I_{O+/-}$ (typ.)	= 1.8 A/2.5 A
V_{OUT}	= 10 V - 17.5 V
Delay Matching	= 60 ns max.
t_f/t_r (typ. $C_L=4.9$ nF)	= 37 ns/48 ns

封装

DSO-14



潜在应用

- 电机驱动器、通用逆变器
- 制冷压缩机，家用电器
- 电信和照明离线交流-直流电源中的半桥和全桥转换器

产品验证

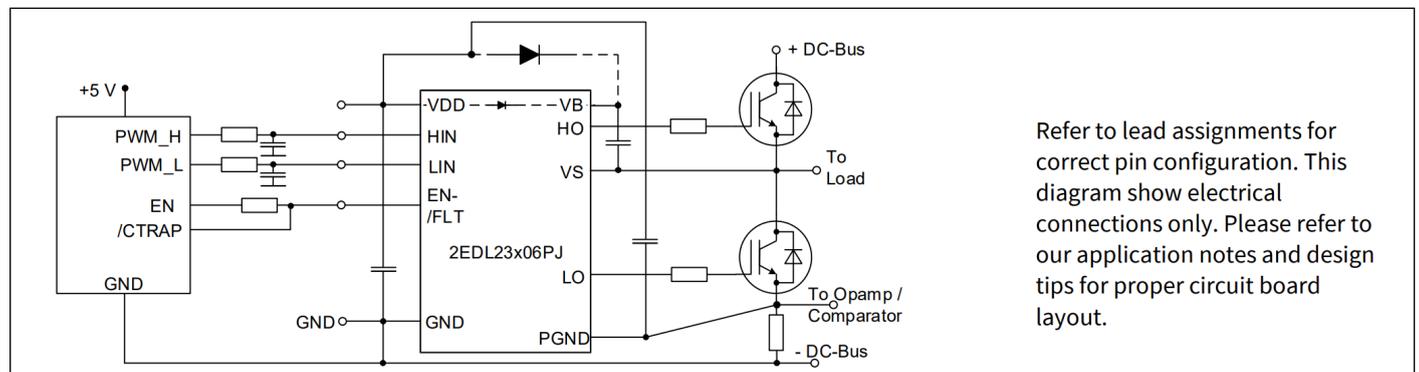
符合 JEDEC47/20/22 相关的工业应用要求

描述

2EDL 系列包含的器件可控制功率器件，如 MOS 晶体管或 IGBT，在半桥配置中最大阻断电压为 +600 V。基于所使用的 SOI 技术，它对瞬态电压具有出色的耐受性。该器件中不存在寄生晶闸管结构。因此，在所有温度和电压条件下都不会发生寄生锁。

两个独立的驱动器输出分别使用两个不同的 CMOS 在低侧进行控制。LSTTL 兼容信号，最低可达 3.3V 逻辑。该器件包括一个欠压检测单元，具有滞后特性，可针对 IGBT 或 MOSFET 进行优化。

这些专为 IGBT 设计的部件具有非对称欠压锁定级别，为集成的超快自举二极管提供了强有力的支持。此外，当 IC 未通过 VDD 供电时，离线栅极钳位功能可通过浮动栅极条件为晶体管提供寄生导通的固有保护。



Refer to lead assignments for correct pin configuration. This diagram show electrical connections only. Please refer to our application notes and design tips for proper circuit board layout.

图 1 典型应用图

订购信息

Sales Name	Special function	output current	Target transistor	typ. Level Shift UVLO thresholds	Bootstrap diode	Package	Evaluation board
2EDL23I06PJ	Deadtime, Interlock,	2.3 A	IGBT	12.5 V / 11.6 V	Yes	DSO-14	EVAL-2EDL23I06PJ
2EDL23N06PJ	Enable, Fault, Over Current Protection	2.3 A	MOSFET	9.1 V / 8.3 V	Yes	DSO-14	EVAL-2EDL23N06PJ

目录

特性	1
产品概述	1
封装	1
潜在应用	1
产品验证	1
描述	1
订购信息	2
目录	2
1 框图	3
2 引脚定义	3
3 功能描述	4
3.1 低边和高边控制引脚(LIN, HIN)	4
3.1.1 Input Voltage Range	4
3.1.2 开关级别	4
3.1.3 输入滤波时间.....	4
3.2 VDD、GND 和 PGND (低边电源)	4
3.3 VB 和 VS (高压侧电源)	5
3.4 LO 和 HO (低边和高边输出)	5
3.5 欠压锁定(UVLO)	5
3.6 自举二极管 (BSD)	5
3.7 死锁和联锁功能.....	6
3.8 EN-/FLT (故障指示和启用功能)	6
3.9 电源接地 / 过流保护	6
3.10 可承受VS引脚上的负瞬态电压 (-VS)	7
4 电气参数	10
4.1 绝对最大额定值.....	10
4.2 所需工作条件.....	12
4.3 工作范围.....	11
4.4 静态逻辑功能表.....	11
4.5 静态参数.....	12
4.6 动态参数.....	14
5 时序图	15
6 封装信息	18
7 资质信息	19
8 相关产品	19
修订记录	20

1 框图

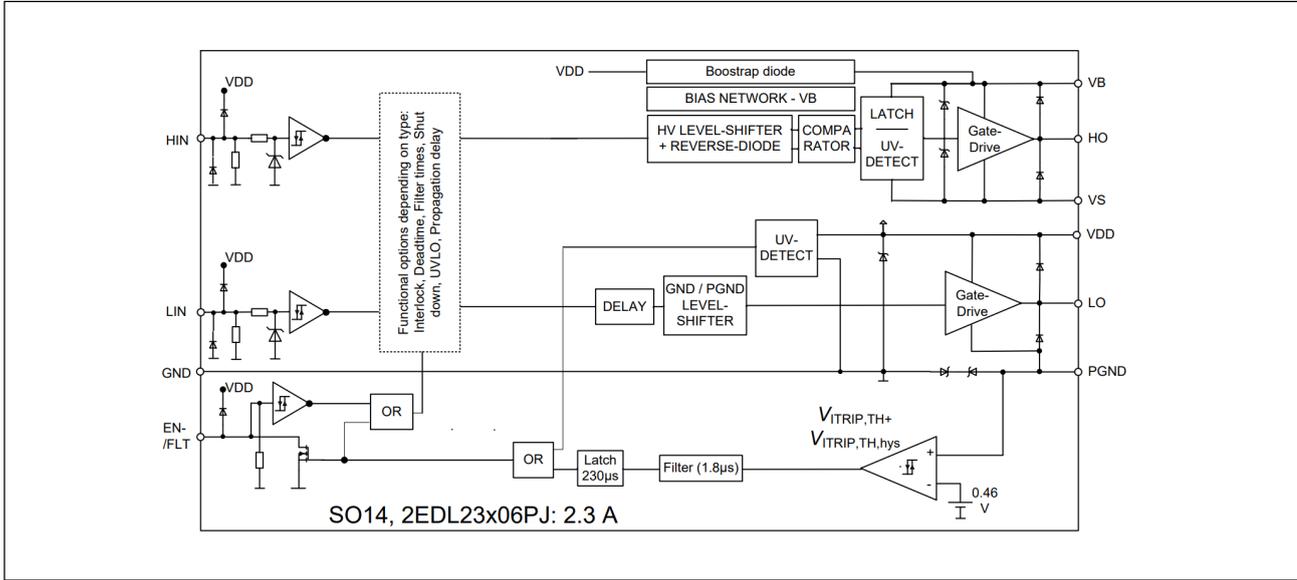


图2 功能框图

2 引脚定义

表 1 2EDL23 系列引脚定义

Pin no.	Name	Function
1	VDD	Low-side and logic supply voltage
2	HIN	Logic input for high-side gate driver output (HO), in phase. Schmitt trigger inputs with hysteresis and pull down
3	LIN	Logic input for low-side gate driver output (LO), in phase. Schmitt trigger inputs with hysteresis and pull down
4	EN-/FLT	Enable input and Fault indication output
5	GND	Logic ground
6	PGND	Low-side gate drive return
7	LO	Low-side driver output
8,9,13,14	nc	Not connected
10	VS	High voltage floating supply return
11	HO	High-side driver output
12	VB	High-side gate drive floating supply

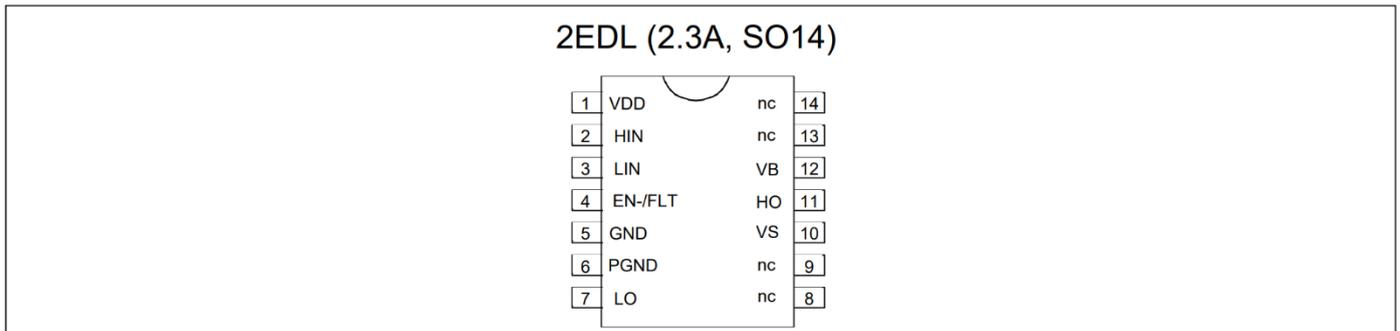


图 3 2EDL23 系列引线分配 (顶视图)

集成自举二极管 (BSD) 的 600 V 半桥栅极驱动器

3 功能描述

3.1 低边和高边控制引脚 (LIN、HIN)

3.1.1 Input Voltage Range

所有输入引脚都能处理输入电压，最高可达集成电路的电源电压。因此，输入端通过二极管内部箝位到 VDD 和 GND。内部下拉电阻为高欧姆电阻，可在 PCB 出现裂缝时保证集成电路处于安全状态。

3.1.2 开关级别

施密特触发器输入阈值可确保 LSTTL 和 CMOS 兼容，控制器输出电压低至 3.3 V。根据图 4 和图 5，输入施密特触发器和噪声滤波器能有效抑制短输入脉冲的噪声。请注意，输入结构的开关电平保持不变，尽管它们可以接受高达集成电路电源电平的振幅。

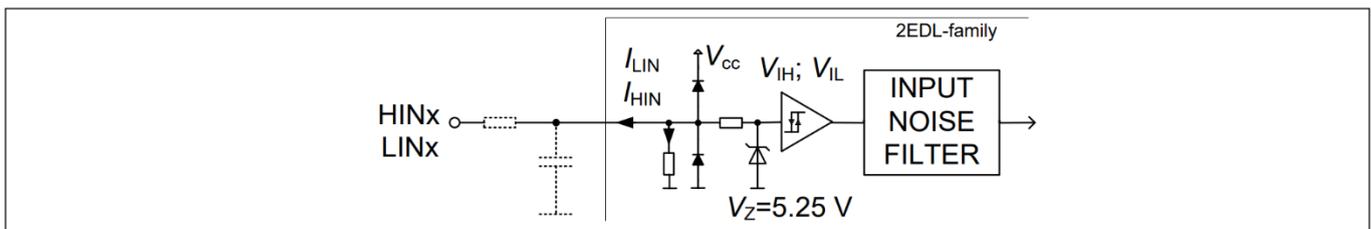


图4 输入引脚结构

3.1.3 输入滤波时间

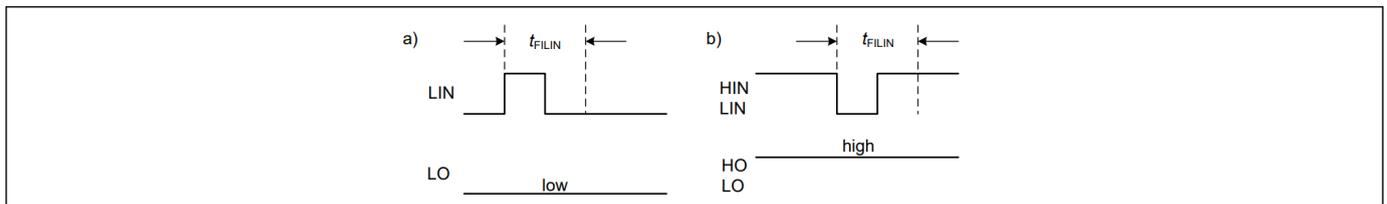


图5 输入滤波器时序图

通过输入滤波器抑制短脉冲。MOSFET 型（2EDL23N06PJ）的输入滤波时间为高边 $t_{FILIN} = 100 \text{ ns typ.}$ ，低边为 150 ns typ. 。IGBT 型（2EDL23I06PJ）的滤波时间为 190 ns typ.

3.2 VDD、GND 和 PGND（低边电源）

VDD 是低压侧电源，它为输入逻辑和低压侧输出功率级提供电源。输入逻辑以接地引脚以及欠压检测电路为参考。输出功率级以 PGND 为参考。PGND 相对于 GND 浮动，最大工作范围为 $\pm 5.7 \text{ V}$ 。背对背齐纳结构可保护地面免受噪声尖峰的影响。

当典型电源电压高于 V_{DDUV+} 时，欠压锁定电路可使器件在开机时工作。详情请参阅第 3.5 节“欠压锁定”。

集成自举二极管 (BSD) 的 600 V 半桥栅极驱动器

典型值为 $1.5\mu\text{s}$ 的滤波时间有助于抑制 UVLO 电路产生的噪声，从而避免电源引脚上的负向尖峰电压产生寄生 UVLO 事件。

3.3 VB 和 VS (高压侧电源)

VB 至 VS 是高边电源电压。高边电路可以根据外部高端功率器件发射极/源极电压相对于 GND 浮动。由于功耗低，浮动驱动级可以通过连接到 VDD 的自举拓扑供电。滤波时间为 $\text{typ.}1.3\mu\text{s}$ 有助于抑制 UVLO 电路产生的噪声，因此电源引脚上的负向电压尖峰可避免寄生 UVLO 事件。

当典型电源电压高于 $V_{\text{DDUV+}}$ 时，欠压电路可使器件在开机时工作。更多信息，请参阅第 3.5 节“[欠压锁定](#)”。[有关自举电源部分和瞬态抗扰度的详细信息，请参阅应用说明 EiceDRIVER™ 2EDL 系列：技术说明](#)。

3.4 LO 和 HO (低边和高边输出)

低边和高边功率输出专为脉冲操作而设计，例如 IGBT 和 MOSFET 器件的栅极驱动。低电平输出由各自的输入端进行状态触发，而高电平输出则由各自的输入端进行边沿触发。特别是，在 VBS 电源欠压情况之后，需要一个新的开启信号（边沿）来激活高边输出。相反，在 VDD 电源出现欠压时，低端输出会切换到各自输入端的状态。

输出电流规格 $I_{\text{O+}}$ 和 $I_{\text{O-}}$ 的定义方式考虑了功率晶体管的毫勒电压。不过，这些器件的特性还体现在脉冲短路值 $I_{\text{Opk+}}$ 和 $I_{\text{Opk-L}}$ 。

3.5 欠压锁定(UVLO)

IGBT 和 MOSFET 需要两种不同的 UVLO 选项。2EDL23I06PJ 型设计用于驱动 IGBT。低压侧 UVLO 的欠压锁定水平高于高压侧。这有助于在使用自举时改进集成电路的启动。低压侧的阈值通常为 $V_{\text{DDUV+}} = 12.5\text{V}$ （正向）和 $V_{\text{DDUV-}} = 11.6\text{V}$ （负向）。高压侧的阈值通常为 $V_{\text{BSUV+}} = 11.6\text{V}$ （正向）和 $V_{\text{BSUV-}} = 10.7\text{V}$ （负向）。

2EDL23N06PJ 型设计用于驱动功率 MOSFET。这里没有实现与 IGBT 相似的高压侧和低压侧 UVLO 门限区分。当电源电压低于 $\text{typ.}V_{\text{DDUV-}} = 8.3\text{V}$ （最小/最大 = $7.5\text{V}/9\text{V}$ ）。开启阈值为 $\text{typ.}V_{\text{DDUV+}} = 9.1\text{V}$ （最小/最大值 = $8.3\text{V}/9.9\text{V}$ ）。

3.6 自举二极管 (BSD)

单片集成超快速自举二极管，用于建立高端电源。二极管的差分电阻有助于避免自举电容器初始充电时出现极高的浪涌电流。

¹ 未经过生产测试 - 经过设计/特性验证

集成自举二极管 (BSD) 的 600 V 半桥栅极驱动器

3.7 死锁和联锁功能

集成电路提供硬件固定死区时间。MOSFET 型 (2EDL23N06PJ) 和 IGBT 型 (2EDL23I06PJ) 的死区时间不同。死区时间 IGBT 典型值为 380 ns，MOSFET 典型值为 75 ns。附加联锁功能可防止两个输出同时启动。

3.8 EN-/FLT (故障指示和启用功能)

2EDL23x06PJ 型有一个引脚，可用于关闭集成电路或读出集成电路的故障状态。应用于引脚 EN 的信号直接控制输出级。如果 EN 为低逻辑电平，则所有输出都被设置为低电平。在输入浮动的情况下，集成的下拉电阻会关闭集成电路。图 6 施密特触发器的开关电平为 $V_{EN,TH+} = 2.1\text{ V}$ 和 $V_{EN,TH-} = 0.9\text{ V}$ 。典型的传播延迟时间为 $t_{EN} = 550\text{ ns}$ 。输入端通过二极管箝位在 VDD 和 GND 上。输入电压范围与输入控制引脚相同，最大为 20 V。

/FAULT 功能是一个低电平有效开漏输出，用于指示栅极驱动器的状态 (见图 6)。当出现下列情况之一时，该引脚处于激活状态 (即强制低电平)：

- VDD 电源欠压情况：在这种情况下，只要电源电压恢复到正常工作范围，故障情况就会解除 (有关更多详细信息，请参阅 VDD 引脚描述)。只要在上电期间给出 UVLO，故障信号就会激活。
- 过流检测 (ITRIP)：故障条件被锁定，直到过流触发条件结束并出现附加类型。时间为 230 微秒。

与微控制器的接口可通过一个集电极开路/漏极配置输出引脚 (用于启用驱动 IC) 和一个 GPIO 引脚 (用于监控 /FAULT) 来实现。当集成电路设置为工作时，外部上拉电阻将把电压上拉至 +5V。

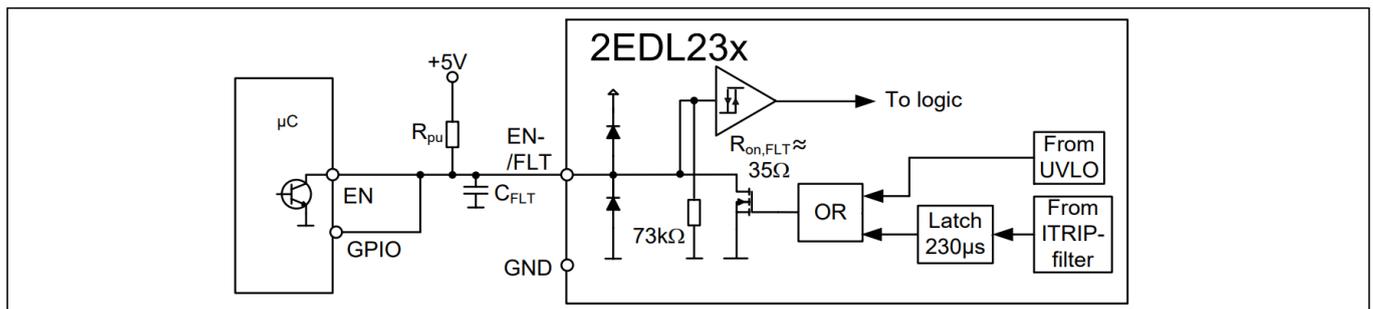


图 6 EN-/FLT 引脚结构和微控制器 (μC) 接口

3.9 电源接地/过流保护

电源接地 (PGND) 直接连接低端晶体管的发射极或源极与栅极驱动集成电路。在此连接与发射器或信号源之间没有其他元件，如分流器等。这样就能形成最小的栅极电路回路，从而实现最小的栅极电感。

电源接地 (PGND) 连接和接地连接 (GND) 之间有一个电位分流电阻，导致这两个引脚之间出现压降。

PGND 和 GND 之间的电压降可以通过一个阈值为 $V_{th,ITRIP} = 0.46\text{ V}$ 。如果电压降值大于 $V_{th,ITRIP}$ ，那么将激活比较器输出并且 /FLT 输出已激活。与此同时，集成电路会在故障指示期间 (230 微秒) 关闭两个栅极输出。

受反向恢复电流、寄生电感和其他噪声源等多种因素的影响，需要使用信号滤波器。滤波器的时间常数通常为 1.8 μs ，以确保良好的噪声质量。

3.10 可承受 VS 引脚上的负瞬态电压 (-VS)

当今大功率开关转换器的一个常见问题是，当电源开关在承载大电流的同时快速开启和关闭时，开关节点电压的瞬态响应。典型的三相逆变器电路如图 7 所示，这里我们定义了逆变器的功率开关和二极管。

如果高侧开关（例如图 8和 9 中的 IGBT Q1）从导通切换至关断，同时 U 相电流流向感性负载，则会发生电流换向，从高侧开关 (Q1) 到与同一逆变器桥臂的低侧开关并联的二极管 (D2)。与此同时，电压节点 V_{S1} 会从正直流母线电压摆动至负直流母线电压。

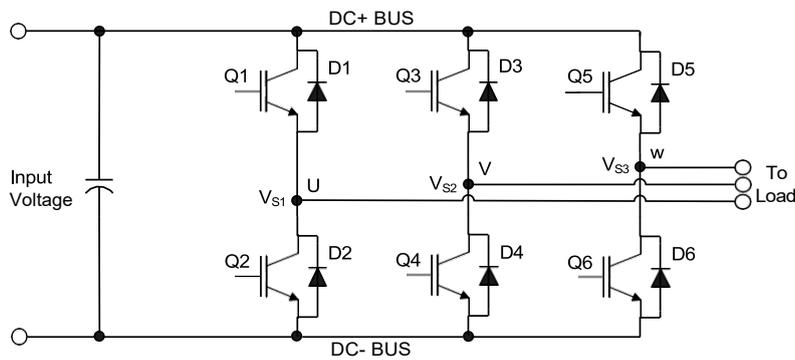


图7 三相逆变器

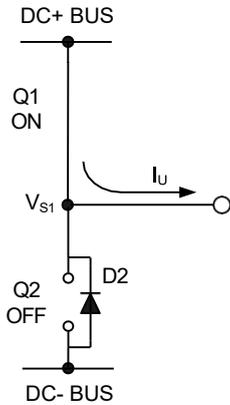


Figure 8 Q1 conducting

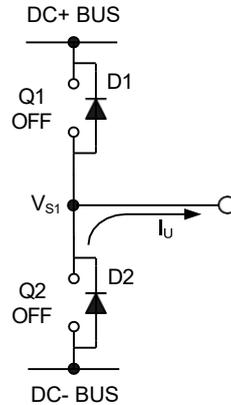


Figure 9 D2 conducting

同样，当 V 相电流从感性负载流回逆变器（参见图 10 和 11）且 Q4 IGBT 导通时，电流从 D3 换流至 Q4。与此同时，电压节点 V_{S2} 从正直流母线电压摆动至负直流母线电压。

集成自举二极管 (BSD) 的 600 V 半桥栅极驱动器

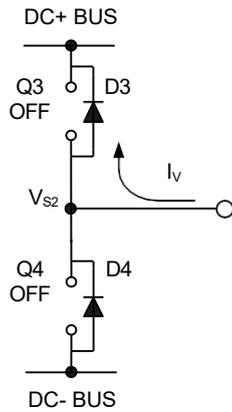


Figure 10 D3 conducting

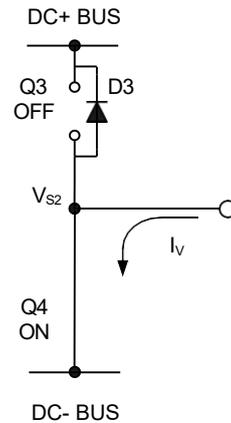


Figure 11 Q4 conducting

然而，在实际逆变器电路中， V_s 电压摆动并不会停止在负直流母线电压水平，而是会摆动至负直流母线电压以下。这种下冲电压被称为“负瞬态电压”。

图 12 所示电路描述了三相逆变器的一条线路；图 13 和图 14 显示了 Q1 和 D2 之间电流换向的简化图示。电源电路中从芯片键合到 PCB 轨道的寄生电感被归并到每个 IGBT 的 L_c 和 L_E 中。当高压侧开关打开时， V_{s1} 通过与电源开关和电路寄生元件相关的压降低于 DC+ 电压。当高压侧电源开关关闭时，由于连接到 V_{s1} 的电感负载（图中未显示负载），负载电流瞬间流向低压侧续流二极管。该电流从直流母线（连接至 HVIC 的 COM 引脚）流向负载，并在 V_{s1} 和直流母线之间产生负电压（即 HVIC 的 COM 引脚电位高于 V_S 引脚电位）。

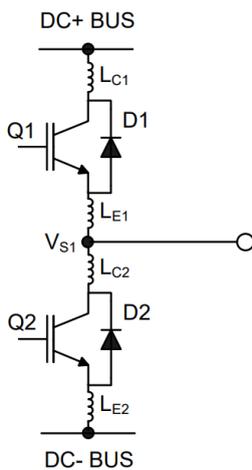


Figure 12 Parasitic Elements

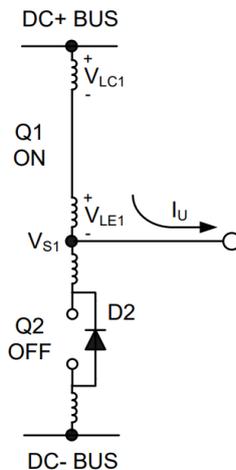


Figure 13 VS positive

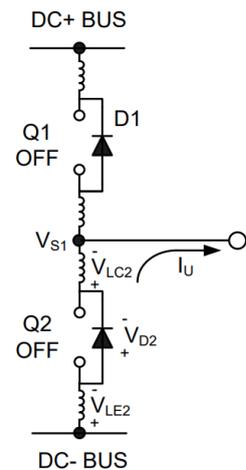


Figure 14 VS negative

在典型的电机驱动系统中， dV/dt 通常设计在 $3 - 5 \text{ V/ns}$ 范围内。在某些事件（例如短路和过流关断）期间，当 di/dt 大于正常工作值时，负 V_S 瞬态电压可能会超过此范围。

英飞凌的 HVIC 专为满足当今许多苛刻应用所需的稳健性而设计。图 15 显示了在 $V_{BS}=15 \text{ V}$ 条件下，基于重复负 V_S 峰值的 2EDL23 安全工作区，图中显示了 2EDL23 系列的稳健性。灰色区域内的负瞬态电压

集成自举二极管 (BSD) 的 600 V 半桥栅极驱动器

(在 SOA 外部) 可能会导致集成电路永久损坏; 反之, 如果负 VS 瞬态落在 SOA 内部, 则不会出现不需要的功能异常或集成电路永久损坏。

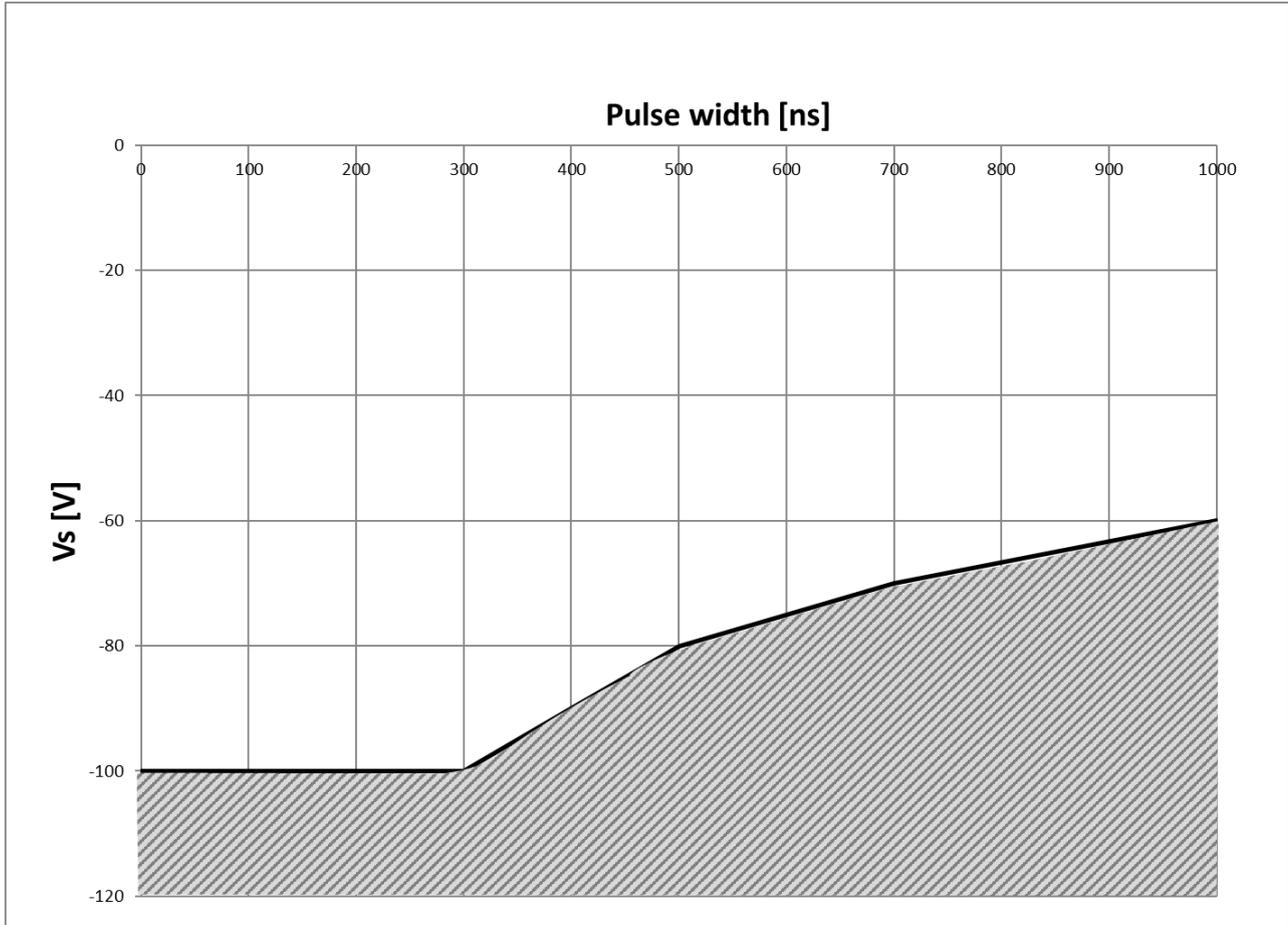


Figure 15 Negative transient voltage SOA on VS pin for 2EDL23 family @ VBS=15 V

尽管 2EDL23系列已被证明能够处理这些较大的负瞬态电压条件, 但仍强烈建议电路设计人员始终通过谨慎的 PCB 布局和元件使用, 尽可能限制 VS 引脚上的负瞬态电压。

4 电气参数

4.1 绝对最大额定值

除非另有说明，否则所有电压均为以 V_{GND} 电位为基准的绝对电压。 ($T_a=25^{\circ}\text{C}$)。

表 2 绝对最大额定值

Parameter	Symbol	Min.	Max.	Unit
High side offset voltage ¹	V_S	$V_{DD}-V_{BS}-6$	600	V
High side offset voltage ($t_p<300\text{ns}$) ¹		$V_{DD}-V_{BS}-100$	-	
High side offset voltage ¹	V_B	$V_{DD}-6$	620	
High side offset voltage ($t_p<300\text{ns}$) ¹		$V_{DD}-100$	-	
High side floating supply voltage (V_B vs. V_S) (internally clamped)	V_{BS}	-1	20	
High side output voltage (V_{HO} vs. V_S)	V_{HO}	-0.5	$V_B+0.5$	
Low side supply voltage (internally clamped)	V_{DD}	-1	20	
Low side supply voltage (V_{DD} vs. V_{PGND})	V_{DDPGND}	-0.5	25	
Gate driver ground	V_{PGND}	-5.7	5.7	
Low side output voltage (V_{LO} vs. V_{PGND})	V_{LO}	-0.5	$V_{PGND}+0.5$	
Input voltage LIN, HIN, EN	V_{IN}	-0.5	$V_{DD}+0.5$	
FAULT output voltage	V_{FLT}	-0.5	$V_{DD}+0.5$	
Power dissipation (to package) ²	P_D	-	0.9	W
Thermal resistance (junction to ambient, see section 6)	$R_{th(j-a)}$	-	134	K/W
Junction temperature ³	T_J	-	150	°C
Storage temperature	T_S	-40	150	
offset voltage slew rate ⁴	dV_S/dt	-	50	V/ns

¹在 $V_{DD}>V_B$ 的情况下，引脚 V_{DD} 和 V_B 之间的内部自举二极管会产生额外的功率损耗。电桥输出对高达-100V 的负瞬态电压的不敏感性不需要进行生产测试 - 通过设计/特性验证。

²所有输出功率耗散一致。所有参数均在工作范围内。

³鉴定应力测试的最高结温为 150°C，持续 1000 小时。

⁴未经过生产测试，通过特性验证。

4.2 所需工作条件

除非另有说明，否则所有电压均为以 V_{GND} 电位为基准的绝对电压。 ($T_a=25^\circ\text{C}$)。

Table 3 Required Operation Conditions

Parameter	Symbol	Min.	Max.	Unit
High side offset voltage ¹	V_B	7	620	V
Low side supply voltage (internally clamped, V_{DD} vs. V_{PGND})	V_{DDPGND}	10	25	

4.3 工作范围

除非另有说明，否则所有电压均为以 V_{GND} 电位为基准的绝对电压。 ($T_a=25^\circ\text{C}$)

Table 4 Operating range

Parameter	Symbol	Min.	Max.	Unit	
High side floating supply offset voltage	V_S	$V_{DD} - V_{BS}$ -1	500	V	
High side floating supply offset voltage (V_B vs. V_{DD} , statically)	V_{BDD}	-1.0	500		
High side floating supply voltage (V_B vs. V_S) ¹	IGBT-Types	V_{BS}	13	17.5	
	MOSFET-Types		10	17.5	
High side output voltage (V_{HO} vs. V_S)	V_{HO}	0	V_{BS}		
Low side output voltage (V_{LO} vs. V_{PGND})	V_{LO}	0	V_{DD}		
Low side supply voltage	IGBT-Types	V_{DD}	13	17.5	
	MOSFET-Types		10	17.5	
Low side ground voltage	V_{PGND}	-2.5	2.5		
Logic input voltages LIN, HIN, EN ²	V_{IN}	0	17.5		
FAULT output voltage	V_{FLT}	0	V_{DD}		
Pulse width for ON or OFF ³	IGBT-Types	t_{IN}	0.8	–	μs
	MOSFET-Types		0.3	–	
Ambient temperature	T_a	-40	125	$^\circ\text{C}$	
Thermal coefficient (junction to top, see section 6)	$\Psi_{th(j-top)}$	–	4.8	K/W	
		–	3.3		

¹ V_B 的逻辑工作电压 (V_B 对 V_{GND}) $> 7.0 V_0$ 。

² 所有输入引脚 (HIN、LIN 和 EN) 均在内部钳位 (请参见绝对最大额定值)

³ 如果 LIN 和 HIN 的输入脉冲宽度分别低于 $0.8\mu\text{s}$ (IGBT 类型) 或 $0.3\mu\text{s}$ (MOSFET)，则输入脉冲可能无法正常传输。

4.4 静态逻辑功能表

VDD	VBS	ENABLE	FAULT	PGND	LO	HO
$<V_{DDUV-}$	X	X	0	X	0	0
15V	$<V_{BSUV-}$	3.3V	High imp.	$<V_{th,ITRIP}$	LIN	0
15V	15V	3.3V	0	$>V_{th,ITRIP}$	0	0
15V	15V	0V	High imp.	X	0	0
15V	15V	3.3V	High imp.	$<V_{th,ITRIP}$	LIN	HIN

所有电压均以接地为基准

4.5 静态参数

除非另有规定，否则 $V_{DD} = V_{BS} = 15V$ 并且 $V_{GND} = V_{PGND}$ ($T_a = 25^\circ C$)。

表 5 静态参数

Parameter	Symbol	Values			Unit	Test condition	
		Min.	Typ.	Max.			
High level input voltage LIN, HIN, EN	V_{IH}	1.7	2.1	2.4	V		
Low level input voltage LIN, HIN, EN	V_{IL}	0.7	0.9	1.1			
High level output voltage	V_{OH}	-	$V_{DD} - 0.32$	$V_{DD} - 0.7$		$I_O = -100\text{ mA}$	
LO HO			$V_B - 0.32$	$V_B - 0.7$			
Low level output voltage	V_{OL}	-	$V_{PGND} + 0.18$	$V_{PGND} + 0.4$		$I_O = 100\text{ mA}$	
LO HO			$V_S + 0.18$	$V_S + 0.4$			
V_{DD} supply undervoltage positive going threshold	IGBT-types	V_{DDUV+}	11.8	12.5		13.2	
	MOSFET types		8.3	9.1		9.9	
V_{BS} supply undervoltage positive going threshold	IGBT-types	V_{BSUV+}	10.9	11.6		12.4	
	MOSFET types		8.3	9.1		9.9	
V_{DD} supply undervoltage negative going threshold	IGBT-types	V_{DDUV-}	10.9	11.6	12.4		
	MOSFET types		7.5	8.3	9		
V_{BS} supply undervoltage negative going threshold	IGBT-types	V_{BSUV-}	10	10.7	11.7		
	MOSFET types		7.5	8.3	9		
V_{DD} and V_{BS} supply UVLO hysteresis	IGBT-types	V_{DDUVH} V_{BSUVH}	0.5	0.9	-		
	MOSFET types		0.5	0.9	-		
ITRIP comparator threshold	$V_{th,ITRIP}$	0.4	0.46	0.53		$V_{ITRIP} = V_{PGND} - V_{GND}$	
ITRIP comparator hysteresis	$V_{th,ITRIP\ hys}$	0.045	0.07	-			
High side leakage current betw. VS and GND	I_{LVS+}	-	1	12.5	μA	$V_S = 600V$	
High side leakage current betw. VS and GND	I_{LVS+}^1	-	10	-		$T_J = 125^\circ C,$ $V_S = 600V$	
Quiescent current V_{BS} supply (VB only)	I_{QBS1}	-	180	300		HO = low depending on current types	

Table 5 Static parameters

Parameter	Symbol	Values			Unit	Test condition
		Min.	Typ.	Max.		
Quiescent current V_{BS} supply (VB only)	I_{QBS2}	-	180	300		HO = high depending on current types
Quiescent current VDD supply (VDD only)	I_{QDD1}	-	0.34	0.8	mA	$V_{LIN} = \text{float}$.
Quiescent current VDD supply (VDD only)	I_{QDD2}	-	0.32	0.8		$V_{LIN} = 3.3 \text{ V}$, $V_{HIN} = 0$
Quiescent current VDD supply (VDD only)	I_{QDD3}	-	0.32	0.8		$V_{LIN} = 0$, $V_{HIN} = 3.3 \text{ V}$
Input bias current	I_{LIN+}	15	35	60	μA	$V_{LIN} = 3.3 \text{ V}$
Input bias current	I_{LIN-}	-	0	-		$V_{LIN} = 0$
Input bias current	I_{HIN+}	15	35	60		$V_{HIN} = 3.3 \text{ V}$
Input bias current	I_{HIN-}	-	0	-		$V_{HIN} = 0$
Input bias current (EN=high)	I_{EN+}	-	45	100		$V_{ENABLE} = 3.3 \text{ V}$
Mean output current for load capacity charging in range from 4.5 (30%) to 7.5V (50%)	I_{O+}	1.3	1.8	-	A	$C_L = 61 \text{ nF}$
Peak output current turn on (single pulse)	I_{Opk+1}	-	2.3	-		$R_L = 0 \text{ } \Omega$, $t_p < 10 \text{ } \mu\text{s}$
Mean output current for load capacity discharging in range from 7.5V (50%) to 4.5V (30%)	I_{O-}	1.65	2.5	-		$C_L = 61 \text{ nF}$
Peak output current turn off (single pulse)	I_{Opk-}^1	-	2.8	-		$R_L = 0 \text{ } \Omega$, $t_p < 10 \text{ } \mu\text{s}$
Bootstrap diode forward voltage between VDD and VB	$V_{F,BSD}$	-	0.9	1.2		V
Bootstrap diode forward current between VDD and VB	$I_{F,BSD}$	45	82	-	mA	$V_{DD} - V_B = 4 \text{ V}$
Bootstrap diode resistance	R_{BSD}	15	27	40		$V_{F1} = 4 \text{ V}$, $V_{F2} = 5 \text{ V}$
EN-/FLT low on resistance of the pull down transistor	$R_{on,FLT}$	-	35	70	O	$V_{EN-/FLT} = 0.5 \text{ V}$

4.6 动态参数

除非另有说明, 否则 $V_{DD} = V_{BS} = 15\text{ V}$, $V_S = V_{GND} = V_{PGND}$, $C_L = 180\text{ pF}$ 。 ($T_a = 25^\circ\text{C}$)。

表 6 动态参数

Parameter		Symbol	Values			Unit	Test condition	
			Min.	Typ.	Max.			
Turn-on propagation delay	IGBT types	t_{on}	280	420	610	ns	$V_{LIN/HIN} = 0$ or 3.3 V	
	MOSFET types		210	310	460			
Turn-off propagation delay	IGBT types	t_{off}	260	400	590			
	MOSFET types		200	300	440			
Turn-on rise time		t_r	–	48	80		$V_{LIN/HIN} = 0$ or 3.3 V	
Turn-off fall time		t_f	–	37	60		$C_L = 4.9\text{ nF}$	
Shutdown propagation delay ENABLE		t_{EN}	–	550	850		$V_{EN} = 0.5\text{ V}$, $V_{LO} / V_{HO} = 20\%$	
Input filter time at LIN/HIN for turn on and off	IGBT types	t_{FILIN}	120	190	320		$V_{LIN/HIN} = 0$ & 3.3 V	
	MOSFET types		HIN	50	100			170
			LIN	100	150			250
Input filter time EN		t_{FILEN}	200	400	–			
ITRIP filter time		$t_{FILITRIP}$	1.0	1.8	2.7	μs	$V_{PGND} = 1\text{ V}$, /FLT=0	
Shut down propagation delay PGND to any output		t_{TRIP}	1.1	2.2	3.0		$V_{PGND} = 1\text{ V}$ $V_{LO} / V_{HO} = 3\text{ V}$	
Propagation delay ITRIP to FAULT		t_{FLT}	1.0	2.1	2.9		$V_{PGND} = 1\text{ V}$, /FLT=0.5 V	
Fault-clear time		t_{FLTCLR}	70	230	–		$V_{PGND} = 0.1\text{ V}$, /FLT=2.1 V	
Dead time	IGBT types	DT	260	380	540	ns	$V_{LIN/HIN} = 0$ & 3.3 V	
	MOSFET types		30	75	140			
Dead time matching abs(DT_LH – DT_HL) for single IC	IGBT types	MDT	–	10	80		ext. dead time 0ns	
	MOSFET types		–	10	50			
Matching delay ON, abs(ton_HS - ton_LS)		MT_{ON}	–	10	60		external dead time > 500 ns	
Matching delay OFF, abs(toff_HS - toff_LS)		MT_{OFF}	–	10	60		external dead time > 500 ns	
Output pulse width matching. $PW_{in} - PW_{out}$	IGBT types	PM	–	20	80		$PW_{in} > 1\text{ }\mu\text{s}$	
	MOSFET types		–	20	70			

5 时序图

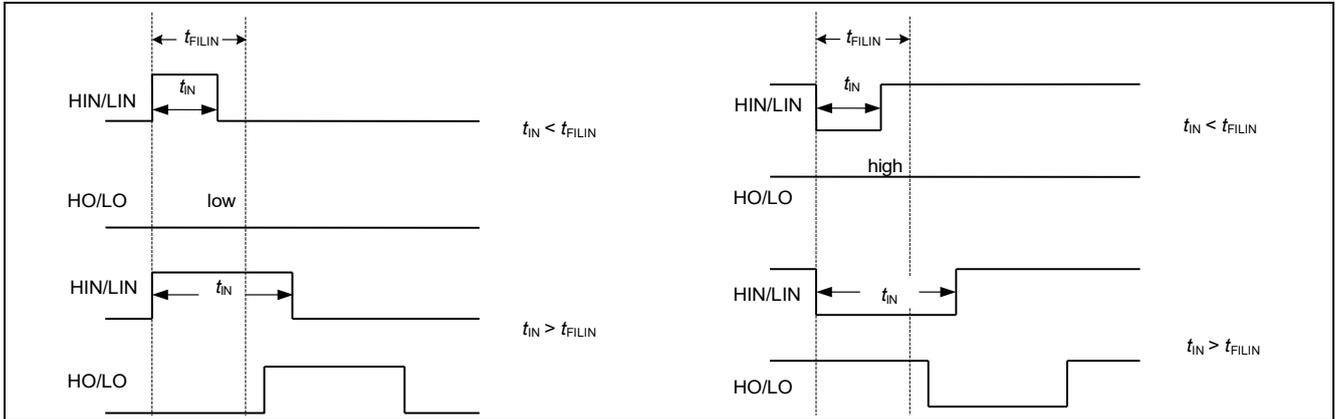


图 16 短脉冲抑制时序

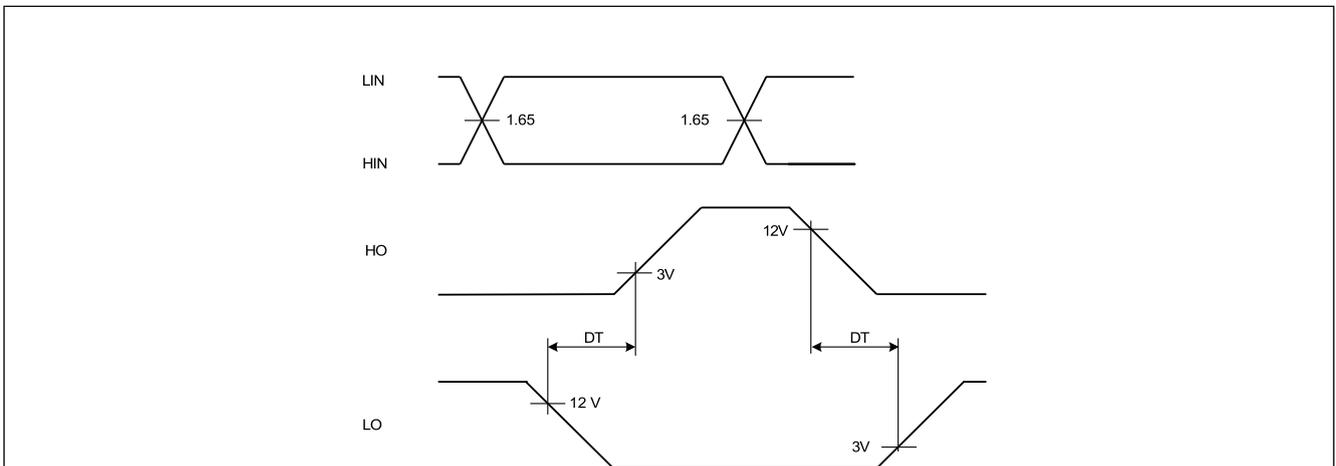


图 17 内部死区时间

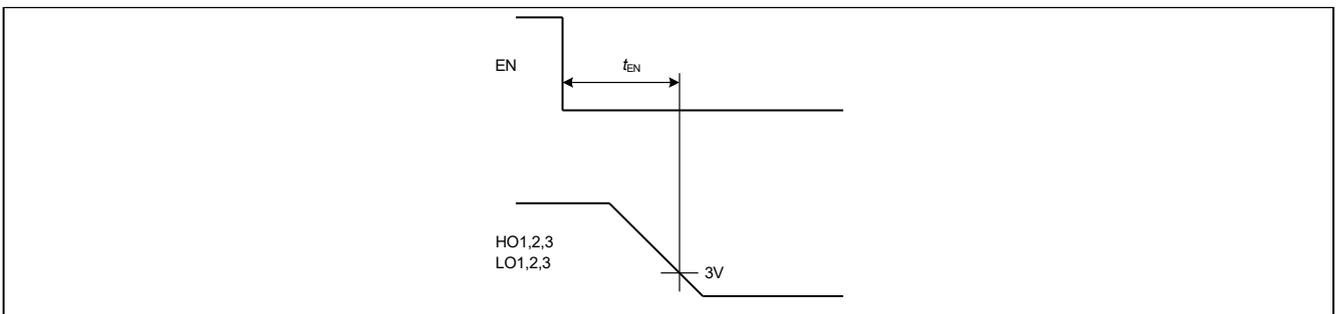


图 18 内部死区时间

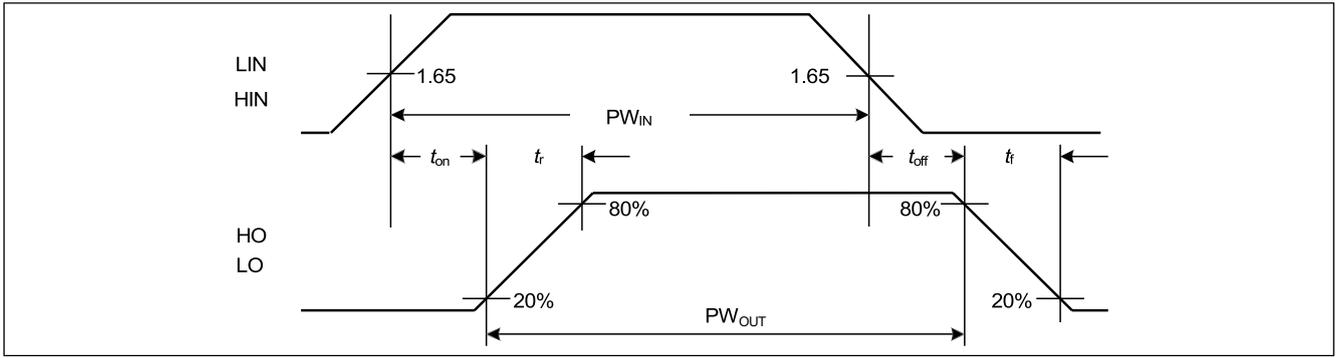


图 19 输入到输出传播延迟时间和开关时间定义

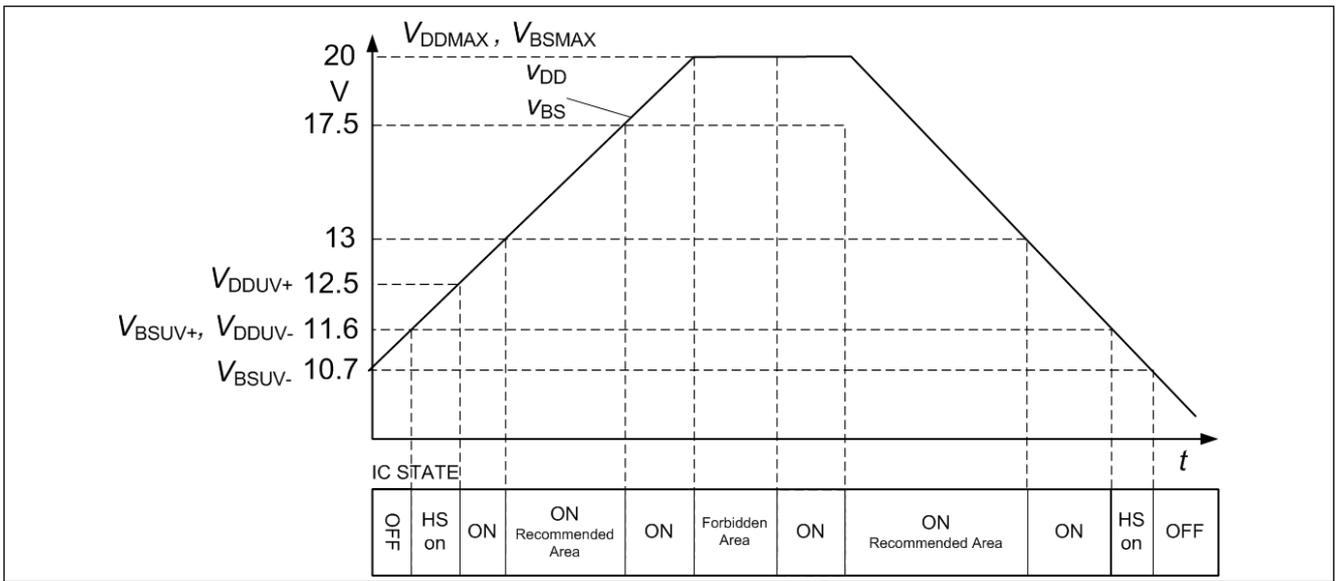


图 20 运行区域 (IGBT UVLO 水平)

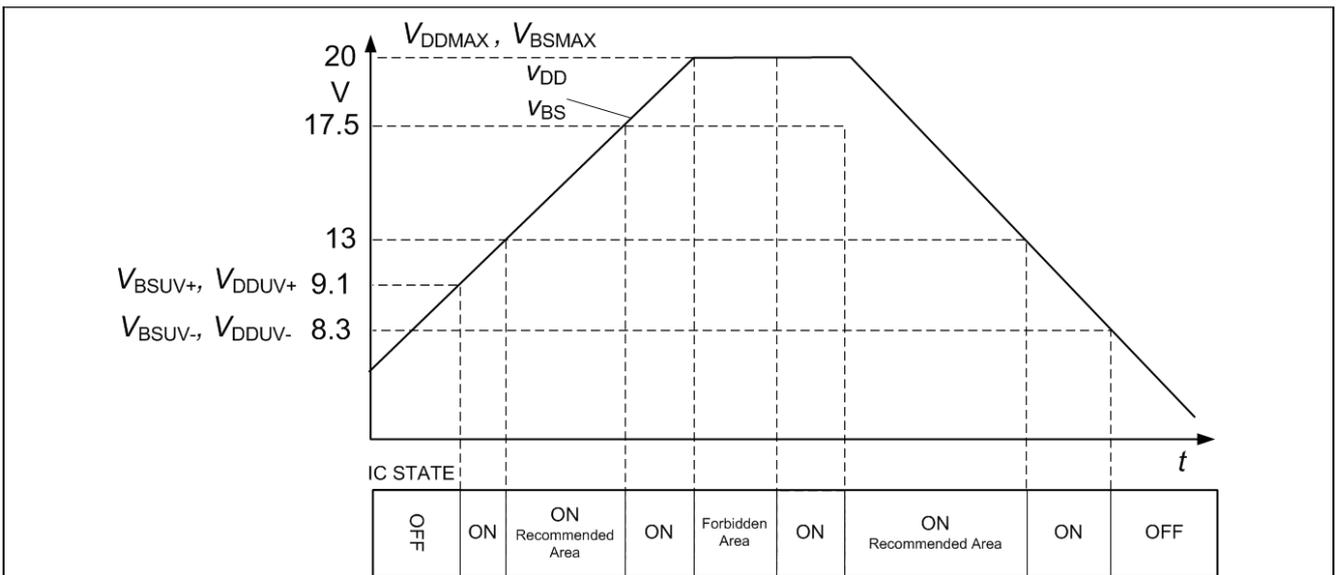


图 21 运行区域 (MOSFET UVLO 电平)

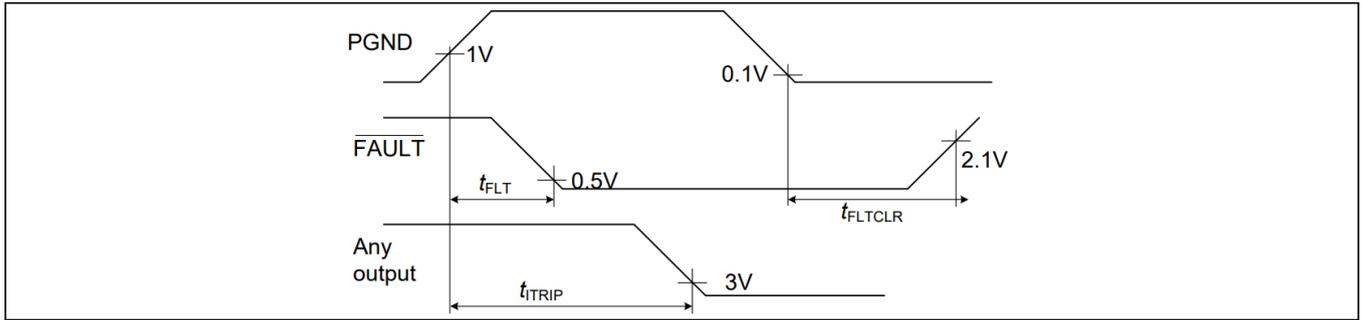


图 22 ITRIP 时序

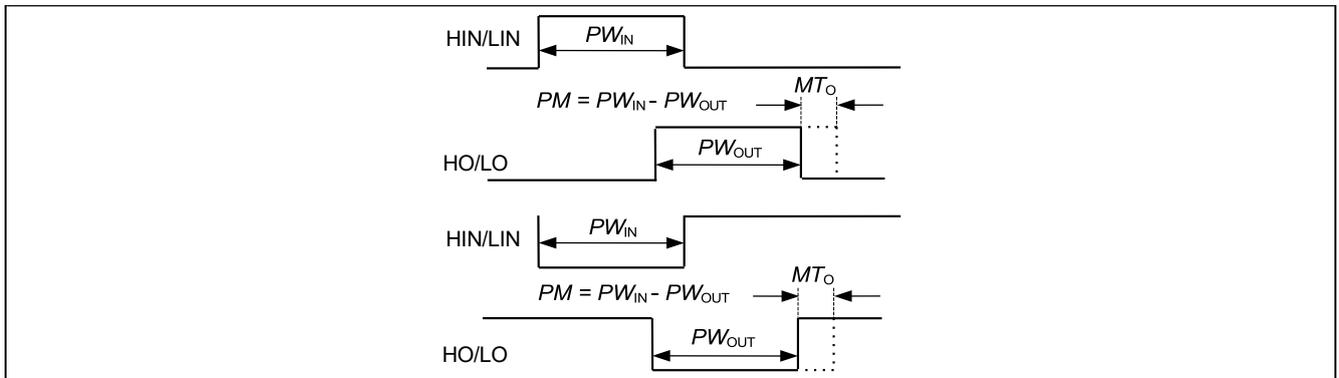


图 23 正逻辑输出脉宽时序和匹配延迟时序图

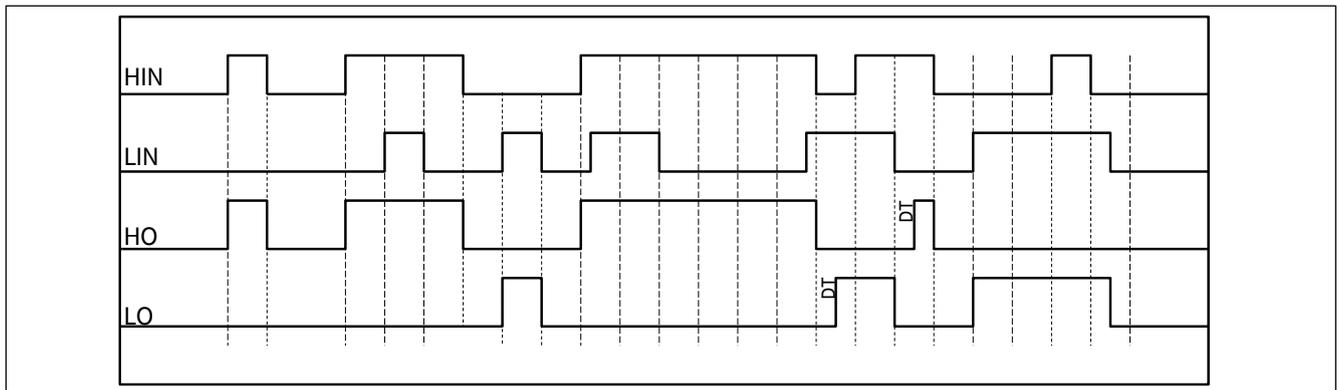


图 24 死锁时间和联锁

6 封装信息

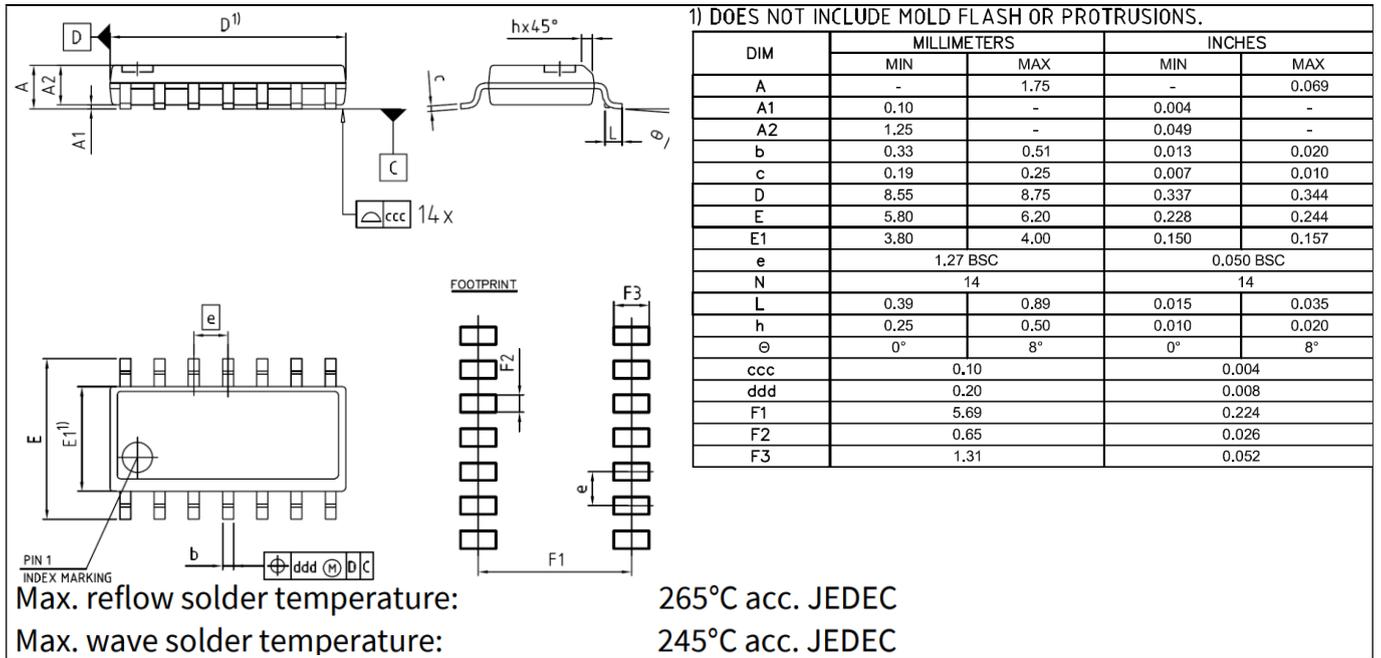


图25 PG-DSO-14封装外形

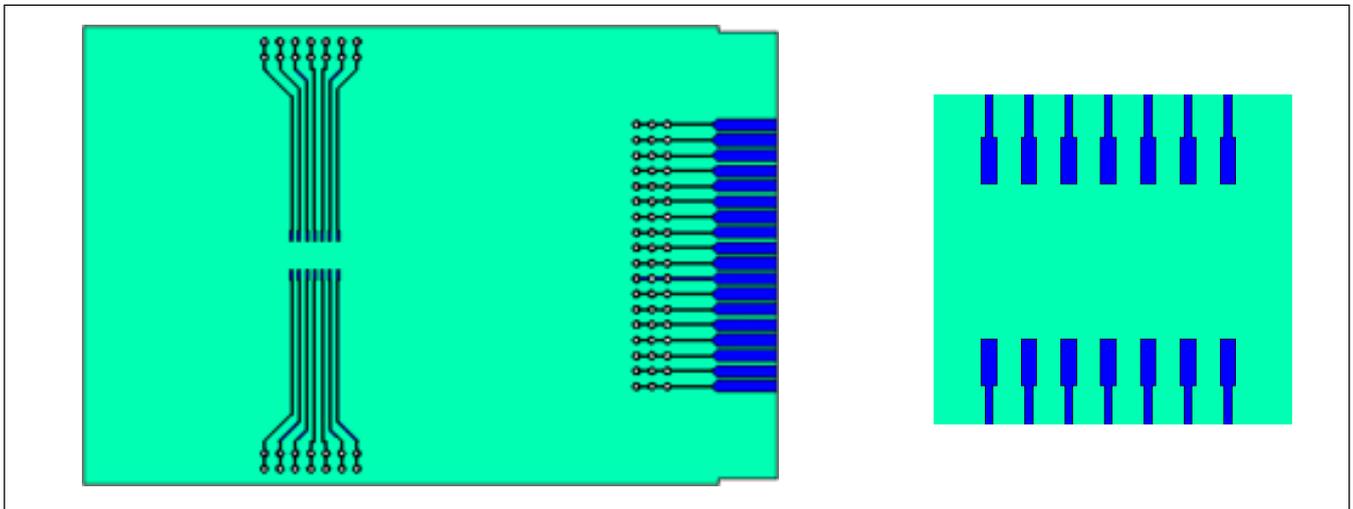


图 26 PCB 参考布局 (根据 JEDEC 1s0P)

左：参考布局
 右：足迹细节

在测量集成电路表面温度时，热系数用于计算结温。结温为

$$T_j = \Psi_{th(j-top)} \cdot P_d + T_{top}$$

表 7 参考设计数据

Dimensions	Material	Metal (Copper)
76.2 × 114.3 × 1.5 mm ³	FR4 ($\lambda_{therm} = 0.3 \text{ W/mK}$)	70μm ($\lambda_{therm} = 388 \text{ W/mK}$)

7 资质信息¹

表 8 资质信息

Qualification level		Industrial ²	
		Note: This family of ICs has passed JEDEC's Industrial qualification. Consumer qualification level is granted by extension of the higher Industrial level.	
Moisture sensitivity level		DSO-8/-14	MSL ³ , 260°C (per IPC/JEDEC J-STD-020)
ESD	Charged device model	Class C3 (> 1.0 kV) (per JESD22-C101)	
	Human body model	Class 2 (per JEDEC standard JESD22-A114)	
IC latch-up test		Class II Level A (per JESD78)	
RoHS compliant		Yes	

8 相关产品

表 9

Product	Description
栅极驱动器 IC	
6EDL04106 / 6EDL04N06	600 V, 3 phase level shift thin-film SOI gate driver with integrated high speed, low $R_{DS(ON)}$ bootstrap diodes with over-current protection (OCP), 240/420 mA source/sink current drive, Fault reporting, and Enable for MOSFET or IGBT switches.
2EDL05106 / 2EDL05N06	600 V, Half-bridge thin-film SOI level shift gate driver with integrated high speed, low $R_{DS(ON)}$ bootstrap diode, 0.36/0.7 A source/sink current driver, 8pins/14pins package, for MOSFET or IGBT switches.
功率开关	
IKD04N60R / RE	600 V TRENCHSTOP™ IGBT with integrated diode in PG-TO252-3 package
IKD06N65ET6	650 V TRENCHSTOP™ IGBT with integrated diode in DPAK
IPD65R950CFD	650 V CoolMOS™ CFD2 with integrated fast body diode in DPAK
IPN50R950CE	500 V CoolMOS™ CE Superjunction MOSFET in PG-SOT223 package
iMOTION™ 控制器	
IRMCK099	iMOTION™ Motor control IC for variable speed drives utilizing sensor-less Field Oriented Control (FOC) for Permanent Magnet Synchronous Motors (PMSM).
IMC101T	High performance Motor Control IC for variable speed drives based on field oriented control (FOC) of permanent magnet synchronous motors (PMSM).

¹ 资质要求可以在英飞凌官网找到 www.infineon.com

² 如果用户有此要求，可提供更高的资质等级。请联系您的英飞凌销售代表了解更多信息。

³ 此处列出的特定封装类型可能提供更高的 MSL 等级。请联系您的英飞凌销售代表了解更多信息。

修订记录

Document version	Date of release	Description of changes
0.86	2014-05-15	Change term VCC in VDD
2.2	2016-06-01	Update maximum Ta from 95°C to 105°C in Table 3
2.3	2016-08-18	Updated disclaimer, trademarks. Upated parameter V _{HO}
2.4	2017-11-28	$\Psi_{th(j-top)}$ Change to junction to top
2.5	2018-11-20	Updated ESD HBM information
2.6	2019-01-25	Updated Charpter 3.10 Tolerant to negative transient voltage on VS pin
2.7	2020-07-07	IC latch-up test per JESD78
2.8	2021-07-19	Modified ambient temperature max. rating in Table 4 on page 11
2.9	2022-05-12	Remove $I_{F,BSD}$ maximum spec



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-12-24

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:

erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。