英飞凌 EiceDRIVER™ 2EDi 产品系列

快速、坚固、双通道、具有功能绝缘和增强绝缘功能且精准和稳定的时序控制的英飞凌MOSFET驱动器

描述

EiceDRIVER™ 2EDi 是快速双通道隔离式 MOSFET 栅极驱动器 IC 系列，通过无芯变压器 (CT) 技术提供功能性 (2EDFx) 或增强型 (2EDSx) 输入到输出隔离。由于具有高驱动电流、出色的共模抑制和快速信号传播，2EDi 特别适合驱动高频开关电源系统中的中高压 MOSFET（CoolMOS™、OptiMOS™、CoolSIC™）。

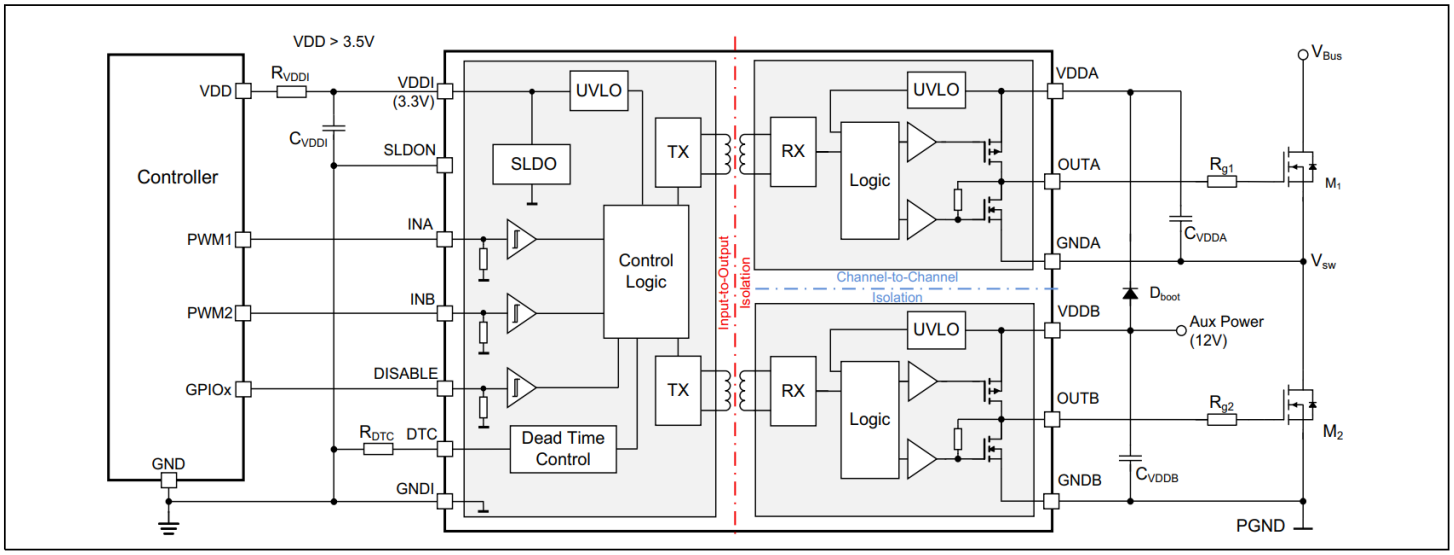
特性



- 4 A / 8 A 或 1 A / 2 A 拉/灌输出电流
- 高达 10 MHz 的 PWM 开关频率
- PWM 信号传播延迟：典型值37 ns，其中：
  - 3 ns 通道间失配
  - +7/-6 ns 传播延迟变化幅度
- 电阻可编程死区时间控制 (DTC) 范围从 15 ns 到 250 ns
- 共模瞬态抗扰度 CMTI >150 V/ns
- 输入侧欠压锁定 (UVLO) 时快速安全关断
- 输出电源电压为 4.5 V 至 20 V，具有 4V 或 8V UVLO 阈值
- 宽温度工作范围 T_J = -40°C 至 +150°C
- 符合 RoHS 标准的宽体/窄体 (WB/NB) DSO16 和 5 mm x 5 mm LGA 封装
- 完全符合 JEDEC 工业应用标准

隔离和安全证书

- **具有增强隔离功能的 2EDSx**：
  - 符合 DIN V VDE V 0884-10 (2006-12) 标准，V_{IOTM} = 8 kV_{pk}，V_{IOSM} = 6.25 kV_{pk}（在 10 kV_{pk}下测试）
  - 符合 UL1577 (Ed. 5) 光耦合器元器件隔离标准认证，V_{ISO} = 5700 V_{RMS}
  - 符合 DIN EN 62368-1 和 DIN EN 60950-1 标准以及相应的 CQC 认证
  - 符合 EN 61010-1 认证（增强隔离、300 V_{rms}电源电压、过压类别 III）
  - 符合 EN 60601-1 认证（2 MOPP、250 V_{rms} 电源电压、过压类别 II）
- **功能隔离的 2EDFx**：使用 1.5 kV_{DC} 进行 10 ms 的生产测试



本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

潜在应用

- 服务器、电信和工业 SMPS
- 同步整流、电源砖转换器、UPS 和电池存储
- EV 充电行业自动化、电机驱动器和电动工具

目录

描述 **1**

目录 **3**

1 描述 **4**

1.1 EiceDRIVER™ 2EDi 产品系列器件概述 4

1.2 输入到输出隔离测试 5

1.3 通道间隔离测试 5

1.4 应用概述和系统框图 5

2 按器件类型划分引脚配置 **6**

2.1 双通道输入模式（带 DISABLE、SLDON）引脚配置 6

2.2 双通道输入模式（带 DISABLE、SLDOP、DTC）引脚配置 8

3 功能说明 **10**

3.1 框图 10

3.2 输入到输出隔离 10

3.2.1 按隔离类型划分的典型应用 11

3.3 供电电压 11

3.3.1 输入侧电源 11

3.3.2 输出侧电源 11

3.4 输入配置 12

3.5 驱动器输出 12

3.6 欠压锁定 13

3.6.1 输入侧 UVLO 13

3.6.2 输出侧 UVLO 13

3.7 数据传输输入侧到输出侧 13

3.8 死区时间控制 13

4 器件特性 **14**

4.1 绝对最大额定值 14

4.2 热特性 15

4.3 工作范围 16

4.4 电气特性 16

4.5 功能隔离和增强隔离规格 20

4.5.1 功能隔离规格 20

4.5.1.1 PG-TFLGA-13-1 封装器件的功能隔离 20

4.5.1.2 NB PG-DSO-16-11 封装器件的功能隔离 21

4.5.2 WB PG-DSO-16-30 封装器件的增强隔离 22

4.5.3 安全限值 24

5 时序图 **26**

6 典型特征 **27**

7 封装外形尺寸 **32**

7.1 器件编号和标记 32

7.2 封装 PG-DSO-16- 11 32

7.3 封装 PG-DSO-16- 30 34

7.4 封装 PG-TFLGA-13- 1 35

修订记录 **37**

1 描述

EiceDRIVER™ 2EDi 产品系列的栅极驱动器专为带有 MOSFET 开关的快速切换、中高功率系统而设计。它们针对温度和生产范围内的高时序精度进行了优化。可靠准确的时序简化了系统设计并提供更好的电源转换效率。

2EDSx、2EDFx 双通道增强型（安全型）和功能隔离型产品提供不同的驱动能力：4 A/8 A 适用于低阻值功率 MOSFET，1 A/2 A 适用于高R_{on}的 MOSFET 或较慢的开关瞬态（EMI）。1 A/2 A 增强型隔离驱动器也可用作 PWM 数据耦合器，与非隔离升压栅极驱动器（例如放置在最靠近超结功率开关位置的 1EDNx 4 A/8 A）配合使用。

两个独立且电气隔离的栅极驱动器通道确保所有 2EDi 版本都可以用于任何可能的低边和高边开关配置。

最小 150 V/ns 的共模瞬态抗扰度 (CMTI)、具有 18 ns 噪声滤波器的 PWM 输入、输出侧 UVLO（包括在输入 UVLO（VDDI < 3 V）时驱动器输出的安全自锁）、具有高达 5 A 峰值反向电流能力的 PWM 输出以及本质上坚固的栅极驱动器设计，共同支持改进的系统稳健性。

1.1 EiceDRIVER™ 2EDi 产品系列器件概述

表 1 EiceDRIVER™ 2EDi 产品系列器件概述

Part number[1]	Package	Source/ sink current	UVLO	Input-to-output isolation				DTC
				Isolation class	Rating	Surge testing	Safety certification [2]	
2EDF7275F	NB-DSO16 10mm x 6mm	4 A/8 A	4 V	Functional	V_{IO} = 1.5 kV_{DC}	n.a	n.a	no
2EDF8275F			8 V					no
2EDF9275F			13 V					no
2EDF7175F		1 A/ 2 A	4 V					no
2EDF7275K	LGA13 5mm x 5mm	4 A/8 A	4 V					no
2EDF7235K								yes
2EDS8265H	WB-DSO16 10.3mm x 10.3mm	4 A/8 A	8 V	Reinforced	V_{IOTM} = 8 kV_{pk} (VDE0884-10 [3]) V_{ISO} = 5.7 kV_{rms} (UL1577)	V_{IOSM} = 10 kV_{pk} (IEC60065)	VDE0884-10 [3] UL1577 EN 60950-1, EN 62368-1, EN 61010-1	no
2EDS9265H			13 V					no
2EDS7165H		1 A/2 A	4 V					no
2EDS8165H			8 V					no

1) 关于器件订购信息和器件标记，请参阅**第 7.1章**、**表31**

2) 对于 2EDS9265H 和 2EDS7165H，仅计划进行 UL 1577 认证（且正在等待中）

3) 根据 VDE0884-10 规范进行测试，由于标准到期，认证不再有效

2EDi 产品表作为第一个快速器件选择指南；本数据手册的产品特性、封装尺寸和测试章节中提供了更详细的规格。

可在 **www.infineon.com/2EDi** 上查找有关配置和应用笔记的最新信息

1.2 输入到输出隔离测试

- 2EDSx 增强隔离（WB PG-DSO-16-30 封装中的 2EDSx），详情见表 26 至表 29。
  - 按照 DIN V VDE V 0884-10 (2006-12) 适用 8 kV_{pk} 瞬态隔离电压
  - 按照 VDE-0884-10 标准，通过 25 个正脉冲和 25 个负脉冲进行10 kV_{pk} 浪涌隔离测试
- 功能隔离（NB PG-DSO-16-11 和 PG-TFLGA-13-1 封装中的 2EDFx），详情见表 21 至表 23
  - 1.5 kV_{DC} 持续 10 ms 的生产测试

1.3 通道间隔离测试

- 两个通道之间的功能隔离通过以下测试验证
  - 1.5 kV_{DC} 样品测试持续 10 ms（NB PG-DSO-16-11、WB PG-DSO-16-30）
  - 0.65 kV_{DC} 持续 10 ms 的样品测试（PG-TFLGA-13-1）

1.4 应用概述和系统框图

2EDi 栅极驱动器非常适合替代笨重的脉冲变压器，并驱动半桥结构中的功率 MOSFET，如图 1 所示。

输入侧通常由与 PWM 控制器相同的电源供电（输入侧通常由与 PWM 控制器相同的电源供电（VDDI = 3.3 V，或在 SLDO 激活时 VDDI > 3.5 V）。输出侧栅极驱动电压 VDDA、VDDB 由单独隔离的辅助电源产生。在某些拓扑结构（例如 LLC）中，可以通过自举电路产生高边驱动器电源 VDDA。

有关进一步的应用实现指导，请参阅专门的应用笔记。

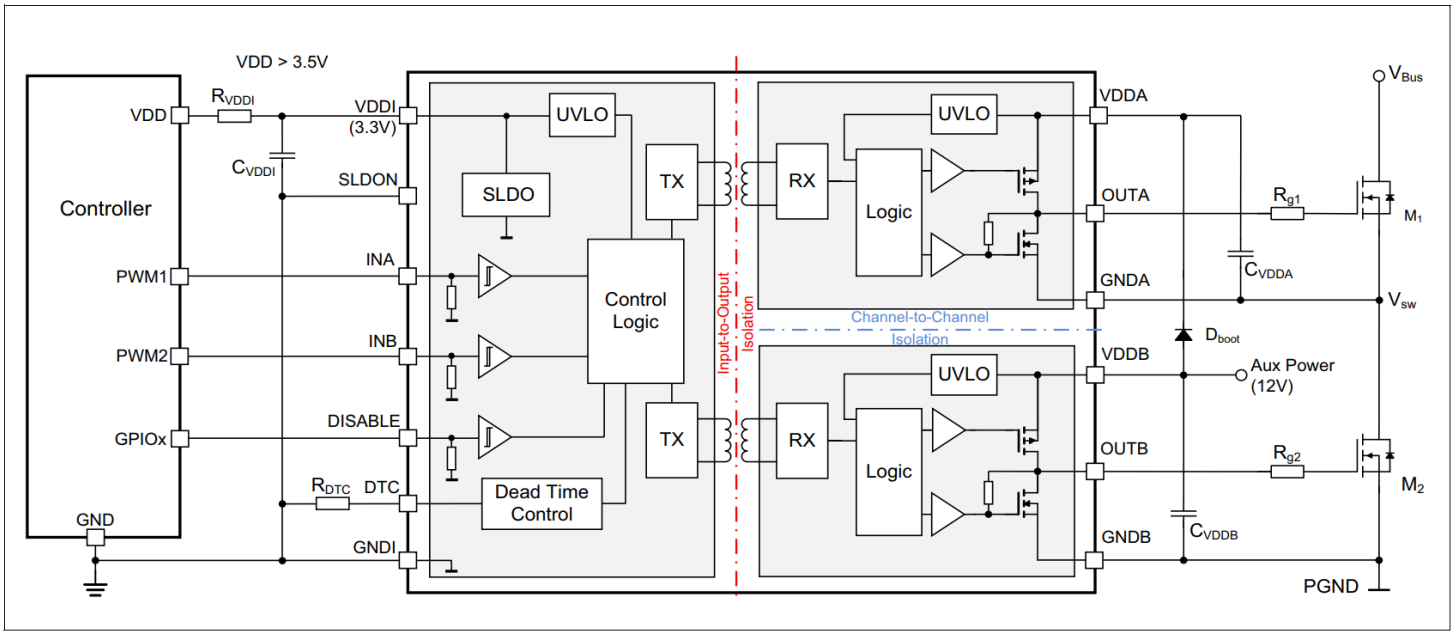


图 1 具有 5 V 控制器和自举高边 VDDA 的典型应用

2 按器件类型划分的引脚配置

功能行为和电气特性与封装配置无关

2.1 双通道输入模式（带 DISABLE、SLDON）引脚配置

不同封装型号 2EDFxx75F、2EDF7x75K 和 2EDSxx65H 的引脚配置概述见图 2。

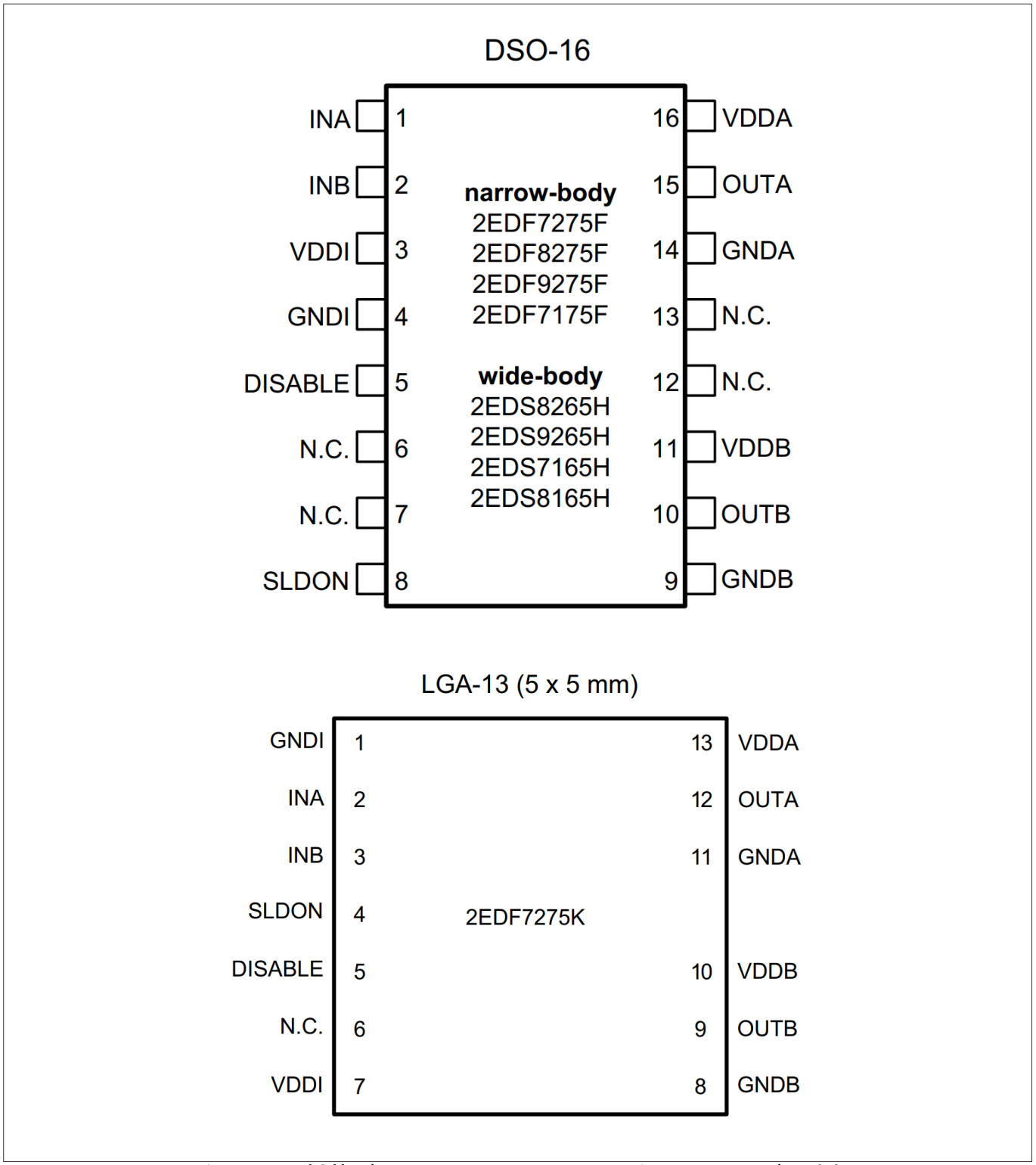


图 2 DSO-16 和 LGA-13 封装（2EDF7x75F、2EDF7x75K 和 2EDF8x65H）引脚配置

（顶视图，图形未按比例绘制）

有关封装图的详细信息，请参阅**第 7 章封装**。

表2　　双通道输入模式（带DISABLE、SLDON）引脚描述

Pin # DSO	Pin# LGA	Symbol	Description
1	2	INA	Digital CMOS / TTL logic signal input for channel A with internal pull-down resistor to GNDI If channel is not used it is recommended to connect pin to GNDI (see **Chapter 3.4**)
2	3	INB	Digital CMOS / TTL logic signal input for channel B with internal pull-down resistor to GNDI If channel is not used it is recommended to connect pin to GNDI (see **Chapter 3.4**)
3	7	VDDI	Supply voltage (input side) 3.3 V (Internal SLDO available) It is recommended to place a bypass capacitor from VDDI to GNDI (see **Chapter 3.3.1**)
4	1	GNDI	Ground input side (all signals on input side are referenced to this pin) (see **Chapter 3.3.1**)
5	5	DISABLE	Digital CMOS / TTL logic input for both channels A and B; logic input high disables both output channels Internal pull-down resistor (see **Chapter 3.4**)
6	6	N.C.	Not connected; keep pin floating
7	-	N.C.	Not connected; keep pin floating
8	4	SLDON	Default 3.3 V supply selected, if N.C. or connected to VDDI If SLDON pin is connected to GNDI, SLDO is activated and a supply voltage higher than 3.5 V can be used (see **Chapter 3.3.1**) Internal pull-up resistor to VDDI; hard-wired PCB connection recommended
9	8	GNDB	Ground for output channel B
10	9	OUTB	Output gate driver for channel B
11	10	VDDB	Supply voltage for output channel B It is recommended to place a bypass capacitor from VDDB to GNDB (see **Chapter 3.3.2**)
12	N.P.	N.C.	Not present; not connected; for channel-to-channel isolation
13	-	N.C.	Not connected; for channel-to-channel isolation
14	11	GNDA	Ground for output channel A
15	12	OUTA	Output gate driver for channel A
16	13	VDDA	Supply voltage for output channel A It is recommended to place a bypass capacitor from VDDA to GNDA (see **Chapter 3.3.2**)

2.2 双通道输入模式（带 DISABLE、SLDOP、DTC）引脚配置

带死区时间控制的 LGA 版本 (2EDF7235K) 的引脚配置如图 3所示

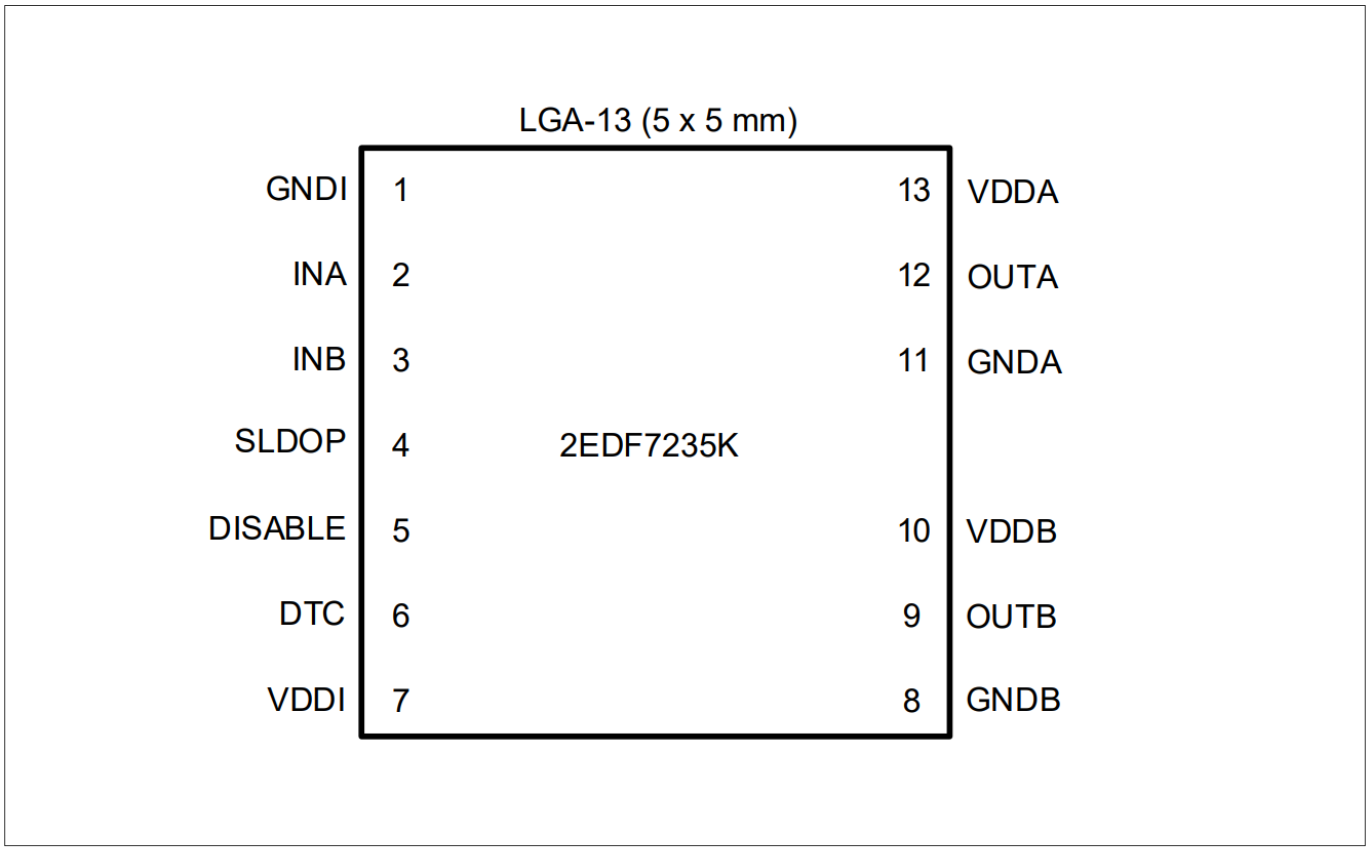


图3 2EDF7235K双通道输入模式（带DISABLE、SLDOP、DTC）引脚配置

（顶视图，图形未按比例绘制）

有关封装图的详细信息，请参阅**第 7 章封装**。

表3　　双通道输入模式（带DISABLE、SLDOP、DTC）引脚描述

Pin# LGA	Symbol	Description
2	INA	Digital CMOS / TTL logic signal input for channel A with internal pull-down resistor to GNDI If channel is not used it is recommended to connect pin to GNDI (see **Chapter 3.4**)
3	INB	Digital CMOS / TTL logic signal input for channel B with internal pull-down resistor to GNDI If channel is not used it is recommended to connect pin to GNDI (see **Chapter 3.4**)
7	VDDI	Supply voltage (input side) 3.3 V (Internal SLDO available) It is recommended to place a bypass capacitor from VDDI to GNDI (see **Chapter 3.3.1**)
1	GNDI	Ground input side (all signals on input side are referenced to this pin) (see **Chapter 3.3.1**)
5	DISABLE	Digital CMOS / TTL logic input for both channels A and B Logic input high disables both output channels Internal pull-down resistor (see **Chapter 3.4**)
6	DTC	Dead time control Programmable from 15 ns to 350 ns via resistor to GNDI see **Chapter 3.8 Dead Time Control** Internal pull-up resistor; no connection or connection to VDDI disables DTC functionality
4	SLDOP	Default mode: supply voltage > 3.5V (with external shunt resistor), if pin N.C. or connected to VDDI If SLDOP pin is connected to GNDI SLDO Operation is deactivated, for use with 3.3 V supply on VDDI(see **Chapter 3.3.1**) Internal pull-up resistor to VDDI; hard-wired PCB connection recommended
8	GNDB	Ground for output channel B
9	OUTB	Output gate driver for channel B
10	VDDB	Supply voltage for output channel B It is recommended to place a bypass capacitor from VDDB to GNDB (see **Chapter 3.3.2**)
-	N.P.	Not present; for channel-to-channel isolation creepage requirements
11	GNDA	Ground for output channel A
12	OUTA	Output gate driver for channel A
13	VDDA	Supply voltage for output channel A It is recommended to place a bypass capacitor from VDDA to GNDA (see **Chapter 3.3.2**)

3 功能说明

3.1 框图

图 4 给出了 EiceDRIVER™ 2EDi 栅极驱动器系列的简化框图

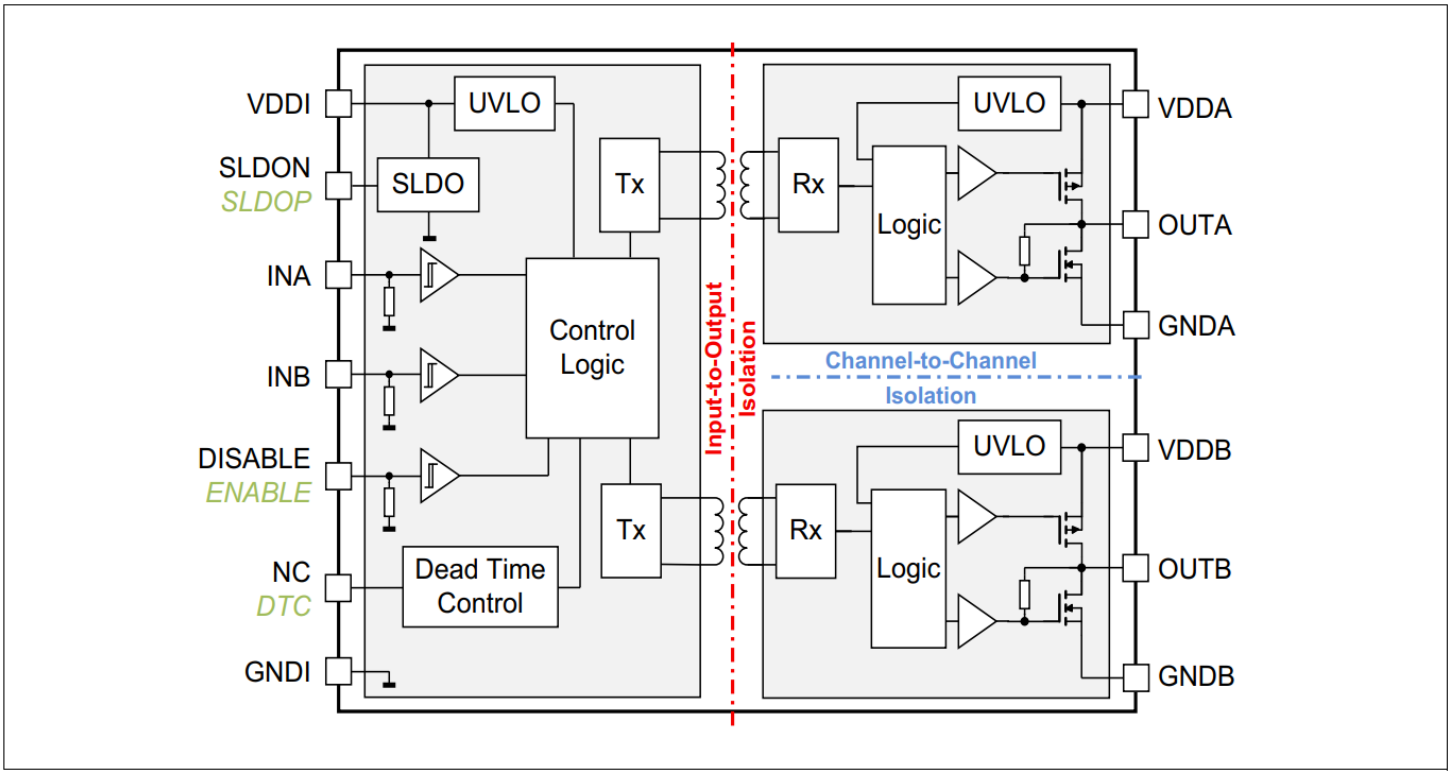


图 4 EiceDRIVER™ 2EDi 产品系列框图

3.2 输入到输出隔离

所有 EiceDRIVER™ 2EDi 双通道隔离产品均按照各自的隔离等级进行测试。

- **2EDFx 用于功能隔离**，通常用作初级侧控制的隔离驱动器。器件型号：2EDFxxxxK（2EDF7275K、2EDF7235K）和 2EDFxxxxF（2EDF7275F、2EDF8275F、2EDF9275F、2EDF7175F）。
- **2EDSx 用于增强型安全隔离**，通常用作次级侧控制的隔离栅极驱动器。器件型号：2EDSxxxxH（2EDS7165H、2EDS8165H、2EDS9265H、2EDS8265H）

结合不同的封装尺寸和材料特性，例如：WB DSO-16 宽体 (PG-DSO-16-30)、NB DSO-16 窄体 (PG-DSO-16-11) 或 LGA - 13 5mm x 5mm (PG-TFLGA-13-1)，定义了最大输入至输出和通道至通道爬电距离和间隙距离以及 IC 作为半导体元器件的可能工作电压（见**表 18** 至**表 29**）

注释： *可实现的系统隔离取决于PCB 设计、材料、制造和工作环境。客户有义务验证2EDSx、2EDFx 器件所概述的半导体元器件隔离是否符合应用、制造、工作环境和最终系统安全要求标准。*

3.2.1 按隔离类型划分的典型应用

隔离栅极驱动器通常适用在以下应用中。

表 4

Isolation type	Potential applications
Functional	• High-power hard-switching high-voltage PFC, Vienna Rectifier, Totem Pole PFC or Synchronous Rectification • Driving switches with Kelvin source connection (4-pin package) • Secondary-side control in low voltage isolated DC/DC topologies and brick converters
Reinforced	• Secondary-side control of high voltage SJ-MOSFETs in LLC or PS-ZVS • Primary-side controlled synchronous rectification • 1 A / 2 A PWM data- / signal-coupler for local boost gate drivers

3.3 供电电压

采用三个具有独立内部电源管理的不同电源域来为输入芯片和两个输出驱动器供电。每个域中的欠压锁定功能 (UVLO) 可实现定义的启动并确保在所有条件下都能稳定运行。

3.3.1 输入侧电源

输入侧通过标称电压为 3.3 V 的 VDDI 供电。要使用电源电压 > 3.5 V 的器件，必须激活片上开关低压差稳压器 (SLDO)，并且必须将外部分流电阻器 R_{VDDI} 连接到 VDDI。

建议在 VDDI 和 GNDI 之间使用陶瓷旁路电容器（10 nF - 22 nF）。

如果引脚 SLDON 连接到 GNDI，则 SLDO 被激活。在具有反相引脚 SLDOP 的器件中（例如：2EDF7235K）时，SLDO 默认处于活动状态，如果连接到 GNDI，则会停用。建议采用硬件连接。

SLDO 通过连接在外部电源电压V_{DD} 和引脚 VDDI 之间的外部电阻R_{VDDI} 来调节电流，如**图 1** 所示产生所需的压降。为了正常工作，必须确保流过 R_{VDDI} 的电流始终超过输入芯片的最大供电电流 I_{VDD} （见**图 8**）。

因此，R_{VDDI}必须满足：

$R_{VDDI} < (V_{DD} - 3.3) / I_{VDD, max}$

当 V_{DD} = 12 V 时，R_{VDDI} = 3 kΩ 的典型值可用于确保电阻电流与 VDDI 工作电流之间有足够的裕度。动态电流峰值可通过 VDDI 和 GNDI 之间的阻断电容（10 至 22 nF）消除。

2EDi 的总功耗主要由输出侧决定，取决于开关频率、栅极电阻和栅极电荷，而对于典型的开关频率，输入电源电流保持相对恒定（见**图 7** 至**图 8**）

3.3.2 输出侧电源

每个栅极驱动器通道必须单独供电。建议在靠近器件的位置从 VDDA 到 GNDA 以及从 VDDB 到 GNDB 使用陶瓷旁路电容器（最小值为 MOSFET 的 20 x Ciss）。

每个栅极驱动通道的工作电源电压范围为 4.5 V 至 20 V。

最小栅极驱动器导通电压由器件欠压锁定 (UVLO) 设定，以防止功率 MOSFET 在饱和区工作。

目前，输出电源 UVLO 阈值为 4 V、8 V 和 13 V 的器件均可使用（参见**第 1.1 章**。）

3.4 输入配置

输入 INA 和 INB 控制两个独立的 PWM 通道。输入信号以非反相方式传输至相应的栅极驱动器输出 OUTA 和 OUTB。所有输入均与 LV-TTL 阈值水平兼容，并提供典**Supply current**型值为 0.8 V 的滞回。滞回与电源电压 VDDI 无关。

PWM 输入在内部被下拉至逻辑低电平 (GNDI)。如果 PWM 控制器信号在上电时处于未定义状态，则栅极驱动器输出将被强制为“关断”状态（低）。

如果 DISABLE 输入为“高”，则无论 INA 或 INB 的状态如何，都会无条件地将两个通道输出驱动置“低”。

表5 逻辑表

Inputs					Gate Drive Output	
DISABLE	**INA**	**INB**	**UVLO input side**[1)]	**UVLO output side**[1)]	**OUTA**	**OUTB**
x	x	x	active	x	L	L
x	x	x	x	ch A/B active	L	L
L	x	L	inactive	ch A activ, ch B inactive	L	L
L	x	H	inactive	ch A active, ch B inactive	L	H
L	L	x	inactive	ch A inactive, ch B active	L	L
L	H	x	inactive	ch A inactive, ch B active	H	L
H	x	x	inactive	ch A/B inactive	L	L
L	L	L	inactive	ch A/B inactive	L	L
L	L	H	inactive	ch A/B inactive	L	H
L	H	H	inactive	ch A/B inactive	H	H

1) “未活跃”表示 VDD 高于 UVLO 阈值电压（正常工作）
“活跃”表示 UVLO 禁用栅极驱动器输出级

3.5 驱动器输出

两个轨到轨输出级采用互补的 PMOS、NMOS 晶体管实现，能够提供必要的拉电流和灌电流，具有非常低的导通电阻，并实现了直通保护和有源电流限制（见**表 15**）。使用 p 沟道晶体管 PMOS 对于实现真正的轨到轨行为而没有任何源跟随器电压降至关重要。

只要不超过 UVLO 阈值，栅极驱动输出 OUTA、OUTB 在浮动输入的情况下或在启动或断电期间保持有效低电平。

3.6 欠压锁定

3.6.1 输入侧 UVLO

在启动期间（输入侧电源上升），只要 VDDI 低于 UVLO，就不会有数据传输到输出侧。所有栅极驱动器输出均保持低电平（启动时安全锁定）。

当 VDDI 超过 UVLO 电平时，PWM 输入信号将传输至输出侧。如果输出侧已准备就绪（不处于 UVLO 条件），则输出将根据逻辑输入做出响应。任何时候，如果 VDDI 电压降至 UVLO 阈值以下，则会立即向所有输出通道发送“切换到低电平”命令。栅极驱动器输出保持低电平（缺少 VDDI 电源时安全锁定处于活跃状态）。

3.6.2 输出侧 UVLO

欠压锁定功能 (UVLO) 确保仅当栅极驱动器电源电压超过 UVLO 阈值电压时，输出才能切换到高电平。这样就可以保证电源开关晶体管始终处于其安全工作区（SOA）内。否则，过低的驱动电压可能会导致功率 MOSFET 进入饱和（欧姆）区域，从而可能产生破坏性的功率耗散。

每个通道 VDDA/VDDB 的 UVLO 均独立控制。输入侧没有反馈。

3.7 数据传输输入侧到输出侧

位于输入芯片上基于无芯变压器 (CT) 的通信模块用于输入和输出器件之间的信号传输。发射器中经过验证的高分辨率脉冲重复方案与接收器侧的看门狗超时相结合，可以从通信故障中恢复，并确保在故障情况下系统安全关闭。

3.8 死区时间控制

死区时间控制功能 (DTC) 可将输出电压上升的传播延迟时间 t_{DT} 增加。此功能用于半桥应用中，以防止开关因 PWM 信号重叠或抖动而产生直通现象。

如果 DTC 功能可用，则可以通过从 DTC 连接到 GND 的电阻器来启用它。如果此引脚未连接接或设置为 VDDI，则 DTC 被禁用。

建议的 DTC 电阻器 (R_{DTC}) 值介于 4.7 kΩ 和 150 kΩ 之间。

R_{DTC} 与 t_{DT} 的关系公式为： $R_{DTC[k\Omega]} = (t_{DT}[ns] - 3) / 1.8$

电阻值和死区时间延迟如**表 17** 和**图 15**所示。

4 器件特性

绝对最大额定值列于 表 6。超过这些值的应力可能会对器件造成永久性损坏。长时间工作在绝对最大额定条件下可能会影响器件的可靠性。

4.1 绝对最大额定值

表 6 绝对最大额定值

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Voltage at pin VDDI	V_{DDI}	-0.3	–	4.0	V	1)
Output supply voltage	V_{DDO}	-0.3	–	22	V	–
Voltage at pins PWM and DISABLE	V_{IN}	-0.3	–	17	V	–
		-5	–	–	V	< 50 ns for transient 2)
Voltage at pins DTC and TEST/SLDO	V_{DTC} / $V_{TEST/SLDO}$	-0.3	–	V_{DDI} + 0.3	V	–
Voltage at pins OUTA, OUTB	$V_{OUTA/B}$	-0.3	–	V_{DDO} + 0.3	V	–
		-2	–	V_{DDO} + 1.5	V	< 200 ns 2)
Reverse current peak at pins OUTA, OUTB	I_{SRC_rev}	-5	–	–	A_{pk}	< 500 ns 2)
	I_{SNK_rev}	–	–	5	A_{pk}	
Non-destructive Common Mode Transient Immunity	CMTI	400	–	–	V/ns	input to each output channel
Junction temperature	T_J	-40	–	150	°C	–
Storage temperature	T_{STG}	-65	–	150	°C	–
Soldering temperature	T_{SOL}	–	–	260	°C	reflow / wave soldering 3)
ESD capability	V_{ESD_CDM}	–	–	0.5	kV	Charged Device Model (CDM) 4)
ESD capability	V_{ESD_HBM}	–	–	2	kV	Human Body Model (HBM) 5)

1) 如果 SLDO 被激活（SLDON 引脚连接到 GNDI），输入侧电源电压将不再对应于 V_{DDI} 且可能更高

2) 未经过生产测试 — 由设计决定。

3) 符合 JESD22A111

4) 符合 ESD-CDM：ANSI/ESDA/JEDEC JS-002

5) 符合 ESD-HBM：ANSI/ESDA/JEDEC JS-001（通过 1.5 kΩ 电阻对 100 pF 电容放电）

4.2 热特性

表 7 T_{amb} = 25°C 时的热特性

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
PG-TFLGA-13-1						
Thermal resistance junction-ambient [1]	R_{thJA25}	–	112	–	K/W	–
Thermal resistance junction-case (top) [2]	R_{thJC25}	–	44	–	K/W	–
Thermal resistance junction-board [3]	R_{thJB25}	–	66	–	K/W	–
Characterization parameter junction-top [4]	Ψ_{thJT25}	–	7.7	–	K/W	–
Characterization parameter junction-board [4]	Ψ_{thJB25}	–	5.6	–	K/W	–
PG-DSO-16-11						
Thermal resistance junction-ambient [1]	R_{thJA25}	–	51	–	K/W	–
Thermal resistance junction-case (top) [2]	R_{thJC25}	–	25	–	K/W	–
Thermal resistance junction-board [3]	R_{thJB25}	–	36	–	K/W	–
Characterization parameter junction-top [4]	Ψ_{thJT25}	–	4.4	–	K/W	–
Characterization parameter junction-board [4]	Ψ_{thJB25}	–	5.4	–	K/W	–
PG-DSO-16-30						
Thermal resistance junction-ambient [1]	R_{thJA25}	–	59	–	K/W	–
Thermal resistance junction-case (top) [2]	R_{thJC25}	–	32	–	K/W	–
Thermal resistance junction-board [3]	R_{thJB25}	–	33	–	K/W	–
Characterization parameter junction-top [4]	Ψ_{thJT25}	–	8.9	–	K/W	–
Characterization parameter junction-board [4]	Ψ_{thJB25}	–	7.7	–	K/W	–

1) 在 JESD51-2a 描述的环境中，按照 JESD51-7 的规定，在 JEDEC 标准高 K 板上进行模拟获得。
2) 通过模拟封装顶部的冷板测试获得。没有特定的 JEDEC 标准测试，但可以在 ANSI SEMI 标准 G30-88 中找到相近的描述。
3) 通过在具有环形冷板夹具的环境中模拟控制 PCB 温度来获得，如 JESD51-8 中所述。
4) 估计实际系统中器件的结温，并采用 JESD51-2a（第 6 和 7 节）中描述的步骤从模拟数据中提取获得 R_{th}。

4.3 工作范围

表 8 工作范围

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Voltage at pin VDDI	V_{DDI}	3.0	–	3.5	V	1) Min. defined by UVLO
Output supply voltage	V_{DDA}/ V_{DDB}	4.5	–	20	V	Min. defined by UVLO
Logic input voltage at pins INA, INB, DISABLE	V_{IN}	0	–	15	V	–
Voltage at pins DTC and SLDO	V_{DTC}/ $V_{TEST/SLDO}$	0	–	3.5	V	–
Junction temperature	T_J	-40	–	150	°C	2)
Ambient temperature	T_{amb}	-40	–	125	°C	–

1) 如果 SLDO 被激活（SLDON 引脚连接到 GNDI），输入侧电源电压将不再对应于 V_{DDI} 可能更高
2) 在 125°C 以上持续运行可能会缩短使用寿命。

4.4 电气特性

除非另有说明，特性的最小值和最大值分别为下限和上限。在整个工作范围内有效。电源电压为 V_{DDA}、V_{DDB} = 12V，V_{DDI} = 3.3 V。典型值在 T_J = 25°C 时给出。

表 9 电源（见图 7、图 8 和 图 9）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
I_{VDDI} quiescent current	$I_{VDDIqu1}$	–	1.4	–	mA	no switching
I_{VDDA}, I_{VDDB} quiescent current	$I_{VDDAqu2}$/ $I_{VDDBqu2}$	–	0.6	–	mA	Outx = low, no switching (4 V, 8 V UVLO options)
		–	0.7	–	mA	Outx = low, no switching, $V_{DDA/B}$= 15 V > UVLO_ CM_{on} (13 V UVLO options)

表 10 欠压锁定V_{DDI}（见图 11）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-on threshold V_{DDI}	$UVLO_{on}$	2.75	2.85	2.95	V	–
Undervoltage Lockout (UVLO) turn-off threshold V_{VDDI}	$UVLO_{off}$	–	2.70	–	V	–
UVLO threshold hysteresis V_{DDI}	$UVLO_{hys}$	0.1	0.15	0.2	V	–

表 11　欠压锁定 V_{DDA}、V_{DDB} 13 V 版本适用于 SiC MOSFET（见图 13）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-on threshold V_{DDA}, V_{DDB}	UVLO_CM$_{on}$	13.0	13.7	14.2	V	–
Undervoltage Lockout (UVLO) turn-off threshold V_{DDA}, V_{DDB}	UVLO_CM$_{off}$	–	12.9	–	V	–
UVLO threshold hysteresis V_{DDA}, V_{DDB}	UVLO_CM$_{hys}$	0.4	0.8	1.2	V	–

表 12　欠压锁定 V_{DDA}、V_{DDB} 8 V 版本适用于标准 MOSFET（见图 12）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-on threshold V_{DDA}, V_{DDB}	UVLO_CM$_{on}$	7.6	8.0	8.4	V	–
Undervoltage Lockout (UVLO) turn-off threshold V_{DDA}, V_{DDB}	UVLO_CM$_{off}$	–	7.0	–	V	–
UVLO threshold hysteresis VDDA, VDDB	UVLO_CM$_{hys}$	0.7	1	1.3	V	–

表 13　欠压锁定V_{DDA}、V_{DDB} 4 V 版本用于逻辑电平 MOSFET（见图 12）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn on threshold V_{DDA}, V_{DDB}	UVLO_CM$_{on}$	4.0	4.2	4.4	V	–
Undervoltage Lockout (UVLO) turn off threshold V_{DDA}, V_{DDB}	UVLO_CM$_{off}$	–	3.9	–	V	–
UVLO threshold hysteresis V_{DDA}, V_{DDB}	UVLO_CM$_{hys}$	0.2	0.3	0.4	V	–

表 14　逻辑输入 INA、INB 和 DISABLE（见图 11）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Input voltage threshold for transition LH	V_{INH}	1.65	2.0	2.35	V	–
Input voltage threshold for transition HL	V_{INL}	–	1.2	–	V	–
Input voltage threshold hysteresis	V_{IN_hys}	0.4	0.8	1.2	V	–
Input pull-down resistor	R_{IN}	–	150	–	kΩ	–

表 15　静态输出特性 4 A/8 A 器件（见图 10）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
High-level (Sourcing) Output Resistance	R_{on_SRC}	0.42	0.85	1.6	Ω	I_{SNK} = 50 mA
Peak Sourcing Output Current	I_{SRC_pk}	–	4	1)	A	–
Low-level (Sinking) Output Resistance	R_{on_SNK}	0.18	0.35	0.75	Ω	I_{SRC} = 50 mA
Peak Sinking Output Current	I_{SNK_pk}	2)	-8	–	A	–

1) 受设计限制，约为 5.2 A_{pk}，参数不受生产测试影响 - 由设计/特性决定

2) 受设计限制，约为 -10.2 A_{pk}，参数不受生产测试影响 - 由设计/特性决定

表 16　静态输出特性 1A/2A 器件（见图 10）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
High-level (Sourcing) Output Resistance	R_{on_SRC}	1.4	3.1	5.8	Ω	I_{SNK} = 50 mA
Peak Sourcing Output Current	I_{SRC_pk}	–	1	1)	A	–
Low-level (Sinking) Output Resistance	R_{on_SNK}	0.6	1.2	2.5	Ω	I_{SRC} = 50 mA
Peak Sinking Output Current	I_{SNK_pk}	2)	-2	–	A	–

1) 受设计限制，约为 1.3 A_{pk}，参数不受生产测试影响 - 由设计/特性决定

2) 受设计限制，约为 -2.6 A_{pk}，参数不受生产测试影响 - 由设计/特性决定

表 17　动态特性（见图 5 和图 14）

$T_{J,max}$ = 125°C，4 A / 8 A 版本C_{LOAD} = 1.8 nF， 1 A / 2 A 版本 C_{LOAD} = 0.47 nF

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
INA- /INB-to-output turn-on / turn-off propagation delay	t_{PDon}, t_{PDoff}	31	37	44	ns	4 A/8 A version
INA- /INB-to-output turn-on propagation delay	t_{PDon}	31	37	44	ns	1 A/2 A version
INA- /INB-to-output turn-off propagation delay	t_{PDoff}	29	35	44	ns	1 A/2 A version
DISABLE-to-output turn-on/ -off propagation delay	$t_{PDDISoff}$, $t_{PDDISoff}$	–	–	100	ns	–
Output turn-on propagation delay mismatch between channels	Δt_{PDon}	–	–	3	ns	INA, INB shorted
Rise time	t_{rise}	–	6.5	12[1)]	ns	–

表 17　　动态特性（见图 5和图 14）（续）

$T_{J,max}$ = 125°C，4 A / 8 A 版本 C_{LOAD} = 1.8 nF， 1 A / 2 A 版本 C_{LOAD} = 0.47 nF

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Fall time	t_{fall}	–	4.5	8[1)]	ns	–
Minimum input pulse width that changes output state	t_{PW}	–	18	–	ns	–
Input-side start-up time [1)]	$t_{START,VDDI}$	–	7	–	µs	see **Figure 6**
Input-side deactivation time [1)]	$t_{STOP,VDDI}$	–	255	–	ns	see **Figure 6**
Output-side start-up time [1)]	$t_{START,VDDA/B}$	–	5	–	µs	see **Figure 6**
Output-side deactivation time [1)]	$t_{STOP,VDDA/B}$	–	110	–	ns	see **Figure 6**

1) 未经过生产测试，由设计决定

4.5 功能隔离和增强隔离规格

由于封装尺寸和相应的隔离测试电压和应用方法差异，每个单独的料号和封装都有其自己的安全隔离特性。表格标题引用每个唯一的料号。

为了增强安全性，英飞凌采用了器件和系统标准中描述的监管测试。对于功能隔离，应用了内部测试方法。

一旦监管证书可用，参考资料和/或文件将在英飞凌网站**www.infineon.com/2EDi**上供公众下载

注释： *元器件的最终爬电距离和电气间隙必须结合PCB 设计布局和制造选择（如PCB 材料（CTI）、短截线、凹槽、漆等）进行验证，这些可能会增加或减少安全距离。因此，满足系统级隔离要求是应用所有者的责任。*

4.5.1 功能隔离规格

4.5.1.1 PG-TFLGA-13-1 封装器件的功能隔离

PG-TFLGA-13-1 封装适用于 2EDF7275K 和 2EDF7235K。隔离相关参数如**表 18**、**表 19**和**表 20** 所示；对于具有基本或增强隔离安全认证的器件，请选择不同的料号（例如**第 4.5.2 章**：2EDS8265H、2EDS9265H 和 2EDS8165H）

表 18 功能隔离输入到输出 (PG-TFLGA-13-1)

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	V_{IO}	1500	–	–	V_{DC}	Impulse test >10 ms, production tested
Maximum isolation working voltage	V_{IOWM}	460	–	–	V_{RMS}	according to IEC 60664-1 (PD 2; MG II)
Package clearance	CLR	–	3.4	–	mm	Shortest distance over air, from any input pin to any output pin
Package creepage	CPG	–	3.4	–	mm	Shortest distance over surface, from any input pin to any output pin
Common Mode Transient Immunity	CMTI	150	–	–	V/ns	according to DIN V VDE V0884-11, static and dynamic test
Capacitance input-to-output	C_{IO}	–	2	–	pF	1)
Resistance input-to-output	R_{IO}	–	>1000	–	MΩ	2)

1) 未经过生产测试，由设计决定

表19　　封装特性（PG-TFLGA-13-1）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Comparative Tracking Index of package mold	CTI	400	–	600	V	according to DIN EN 60112 (VDE 0303-11)
Material group	–	–	II	–	–	according to IEC 60112

表 20　　通道间功能隔离（PG-TFLGA-13-1）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	$V_{Ch2Ch\text{-}DC\text{-}Test}$	650	–	–	V_{DC}	Impulse Test > 10 ms; sample tested
Package creepage	CPG	–	1.0	–	mm	Shortest distance over surface, from output pin Ch1-GND to output pin Ch2-VDD

4.5.1.2　NB PG-DSO-16-11 封装器件的功能隔离

PG-DSO-16-11 封装适用于 2EDF7175F、2EDF9275F 和 2EDF7275F。隔离相关参数如**表 21** 、**表 22** 和**表23** 所示

表 21　　输入至输出隔离规格（NB PG-DSO-16-11）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	V_{IO}	1500	–	–	V_{DC}	Impulse test > 10 ms, sample tested
Maximum isolation working voltage	V_{IOWM}	510	–	–	V_{RMS}	according to IEC 60664-1 (PD2; MG II)
Package clearance	CLR	–	4.0	–	mm	Shortest distance over air, from any input pin to any output pin
Package creepage	CPG	–	4.0	–	mm	Shortest distance over surface, from any input pin to any output pin
Common Mode Transient Immunity	CMTI	150	–	–	V/ns	according to DIN V VDE V0884-11, static and dynamic test
Capacitance input-to-output	C_{IO}	–	2	–	pF	1)
Resistance input-to-output	R_{IO}	–	>1000	–	MΩ	2)

1) 未经过生产测试，由设计决定

表 22　封装特性（NB PG-DSO-16-11）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Comparative Tracking Index of package mold	CTI	400	–	600	V	according to DIN EN 60112 (VDE 0303-11)
Material group	–	–	II	–	–	according to IEC 60112

表 23　通道间隔离（NB PG-DSO-16-11）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	$V_{Ch2Ch-DC-Test}$	1500	–	–	V_{DC}	Impulse Test >10 ms; sample tested
Package Creepage	CPG	–	2.5	–	mm	Shortest distance over surface, from Output pin Ch1-GND to output pin Ch2-VDD

4.5.2　WB PG-DSO-16-30 封装器件的增强隔离

PG-DSO-16-30 封装适用于 2EDS8265H、2EDS9265H 和 2EDS8165H。安全相关认证列于表 24 、表 25；隔离相关参数列于表 26至表 30

表 24　WB PG-DSO-16-30 的器件安全相关证书[1)]

Certification	Issuing certification body	Certification status	Certification number
DIN V VDE V 0884-10	VDE	Certified [2)]	40043864
UL 1577	UL	Certified	E311313

1)　2EDS9265H 认证计划

2)　由于标准到期，认证不再有效

表 25　WB PG-DSO-16-30 的系统安全相关认证[1)]

Certification	Issuing certification body	Certification status	Certification number
DIN EN 62368-1 (VDE 0868-1), DIN 60950-1 (VDE 0805-1)	VDE	Certified	40050289
EN 61010-1	VDE	Certified	40051533
EN 60601-1	VDE	Certified	40051732
GB 4943.1-2011	CQC	Certified	CQC20001244015

1)　2EDS9265H 认证计划

表 26　符合 DIN V、VDE0884-10 (2016-06) 的输入至输出隔离规格[1)]（在 WB PG-DSO-16-30 中）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Maximum transient isolation voltage	V_{IOTM}	8000	–	–	V_{pk}	qualification for t = 60 s; production test with V_{IOTM} > 10 kV_{pk} for t =1 s
Maximum repetitive peak isolation voltage	V_{IORM}	1420	–	–	V_{pk}	Time Dependent Dielectric Breakdown test method
Maximum isolation working voltage	V_{IOWM}	1420	–	–	V_{DC}	
		1000	–	–	V_{RMS}	
Partial discharge voltage	V_{PD}	4500	–	–	V_{pk}	Test sequence: 10.2 kV_{pk} for t = 1s followed by partial discharge 4.5 kV_{pk} > 1.875 x V_{IOWM}, Q_{PD} < 5 pC; production test
Maximum surge isolation voltage	V_{IOSM}	6250	–	–	V_{pk}	V_{IOSM_test} = 1.6 x V_{IOSM} >10 kV_{pk}; sample tested [2)]
Package clearance	CLR	–	8.0	–	mm	from any input pin to any output pin
Package creepage	CPG	–	8.0	–	mm	from any input pin to any output pin
Overvoltage category per IEC 60664-1 table F.1	–	I	–	IV		Rated mains voltage ≤ 150 V_{RMS}
		I	–	III		≤ 300 V_{RMS}
		I	–	II		≤ 600 V_{RMS}
Capacitance input-to-output	C_{IO}	–	2	–	pF	–
Resistance input-to-output	R_{IO}	–	>1000	–	MΩ	–
Common Mode Transient Immunity	CMTI	150	–	–	V/ns	according to DIN V VDE V0884-11, static and dynamic test

1) VDE 涵盖以前的 VDE0884-10、IEC60747-5-5（光耦标准）

2) 根据 IEC60065-10.1 (Ed 8.0 2014)、61000-4-5、60060-1 进行浪涌脉冲测试；波形（1.2 µs 斜率，50 µs 衰减）

表 27　增强隔离封装特性（在 WB PG-DSO-16-30 中）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Comparative Tracking Index of package mold	CTI	400	–	600	V	according to DIN EN 60112 (VDE 0303-11)
Material group	–	–	II	–	–	according to IEC 60112

表 27 增强隔离封装特性（在 WB PG-DSO-16-30 中）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Pollution degree	–	–	2	–	–	–
Climatic category	–	–	40/125/21	–	–	–

表 28 符合 UL1577 Ed 5 的增强型输入至输出隔离（在 WB PG-DSO-16-30 中）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Withstand isolation voltage	V_{ISO}	5700	–	–	V_{RMS}	V_{ISO}= 5700 V_{RMS} for t = 60 s (qualification); V_{ISO} > 1.2 x V_{RMS} = 6840 V for t = 1 s (production test)

表 29 通道间功能隔离（在 WB PG-DSO-16-30 中）

Parameter	Symbol	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Functional isolation test voltage	$V_{Ch2Ch\text{-}DC\text{-}test}$	1500	–	–	V_{DC}	Impulse Test >10 ms; sample tested
Package creepage	CPG	–	2.5	–	mm	Shortest distance over surface, from Output pin Ch1-GND to output pin Ch2-VDD

4.5.3 安全限值

表 30 VDE-0884-10 中列出的增强隔离安全限值 (WB PG-DSO-16-30)

Parameter	Side	Values			Unit	Note or Test Condition
		Min.	Typ.	Max.		
Safety supply power	Input chip	–	–	20.0	mW	R_{thJA} = 59 K/W[1], T_{amb} = 25°C, T_J = 150°C
	Output A	–	–	1050	mW	
	Output B	–	–	1050	mW	
	Total	–	–	2120	mW	
Safety supply currents	Output A	–	–	87.5	mA	R_{thJA} = 59 K/W[1], V_{DDA}/V_{DDB} = 12 V, T_{amb} = 25°C, T_J = 150°C
	Output B	–	–	87.5	mA	
	Output A	–	–	53.5	mA	R_{thJA} = 59 K/W, V_{DDA}/V_{DDB} = 20 V, T_{amb} = 25°C, T_J = 150°C
	Output B	–	–	53.5	mA	
Safety temperature	T_s	–	–	150	°C	T_s = $T_{J,max}$

1) WB PG-DSO-16-30 封装的 R_{th}计算（见表 7）

根据 VDE0884-10 和 UL1577，安全限值定义了保证隔离屏障不受影响的工作条件。这与允许的最大结温相对应，因为温度引起的故障可能会导致严重过热并最终损坏隔离屏障。

5 时序图

图 5 描绘了 2EDi 4 A/8 A 的上升、下降和延迟时间。此外，还显示了激活死区时间控制（连接到引脚 DTC 的电阻器）的效果。

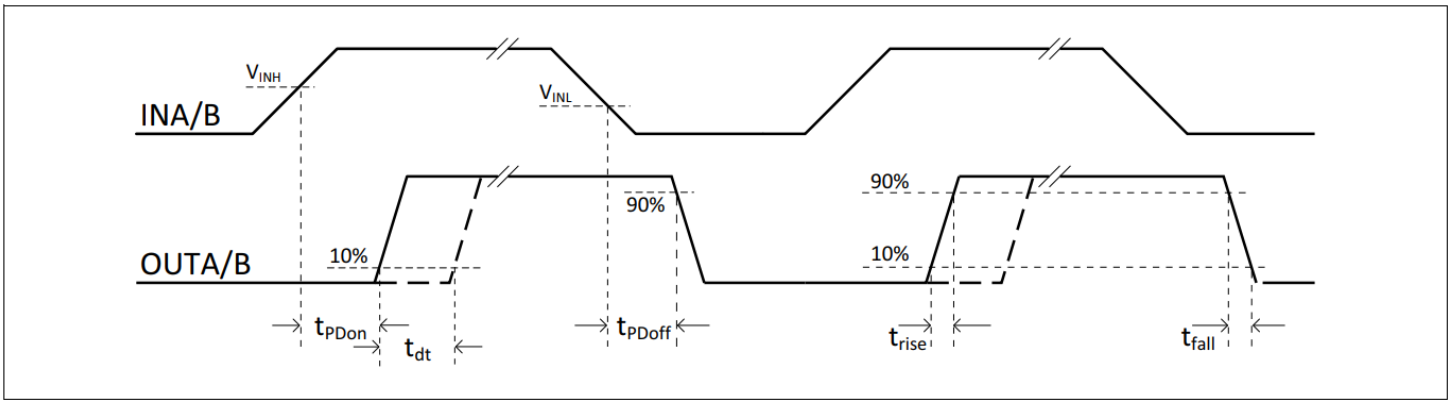


图 5 传播延迟、上升、下降和死区时间

图 6 图示了 UVLO 行为。它描述了当电源在上升或下降（上电、断电、电源噪声）期间跨越 UVLO 阈值时，对 UVLO 事件的响应时间。

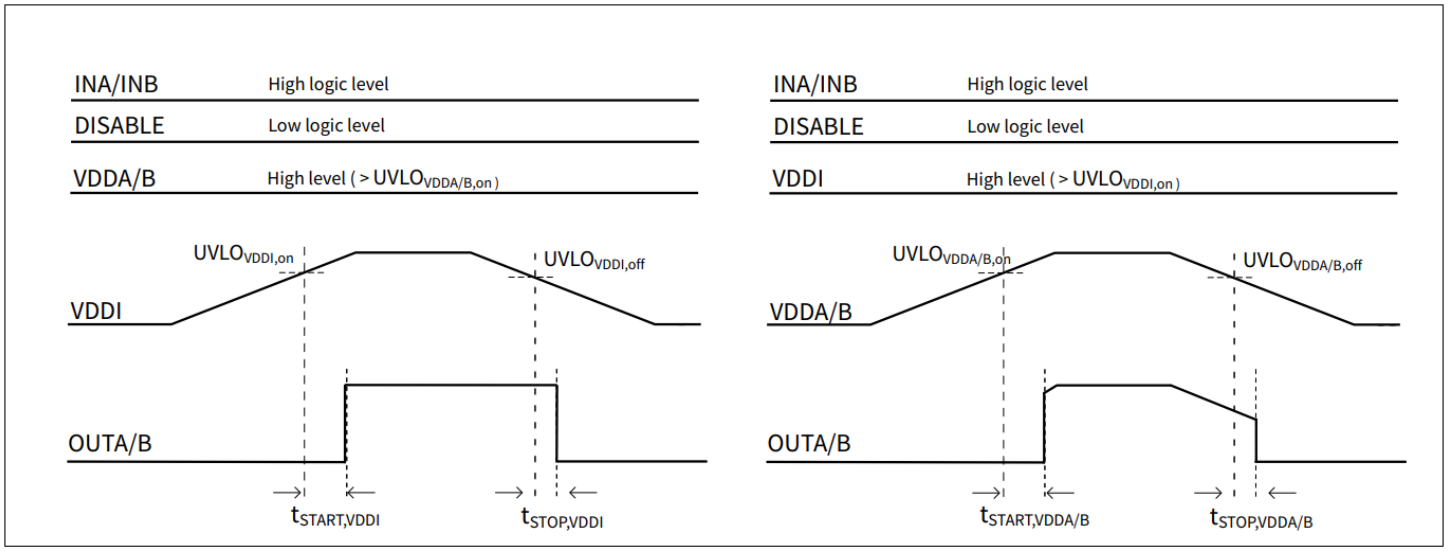


图 6 UVLO 行为、启动和停用时间（空载输出）

6 典型特征

VDDA = VDDB = 12 V、VDDI = 3.3 V、T_{amb} = 25°C、2EDF7235K（PG-TFLGA-13-1），无负载，除非另有说明。

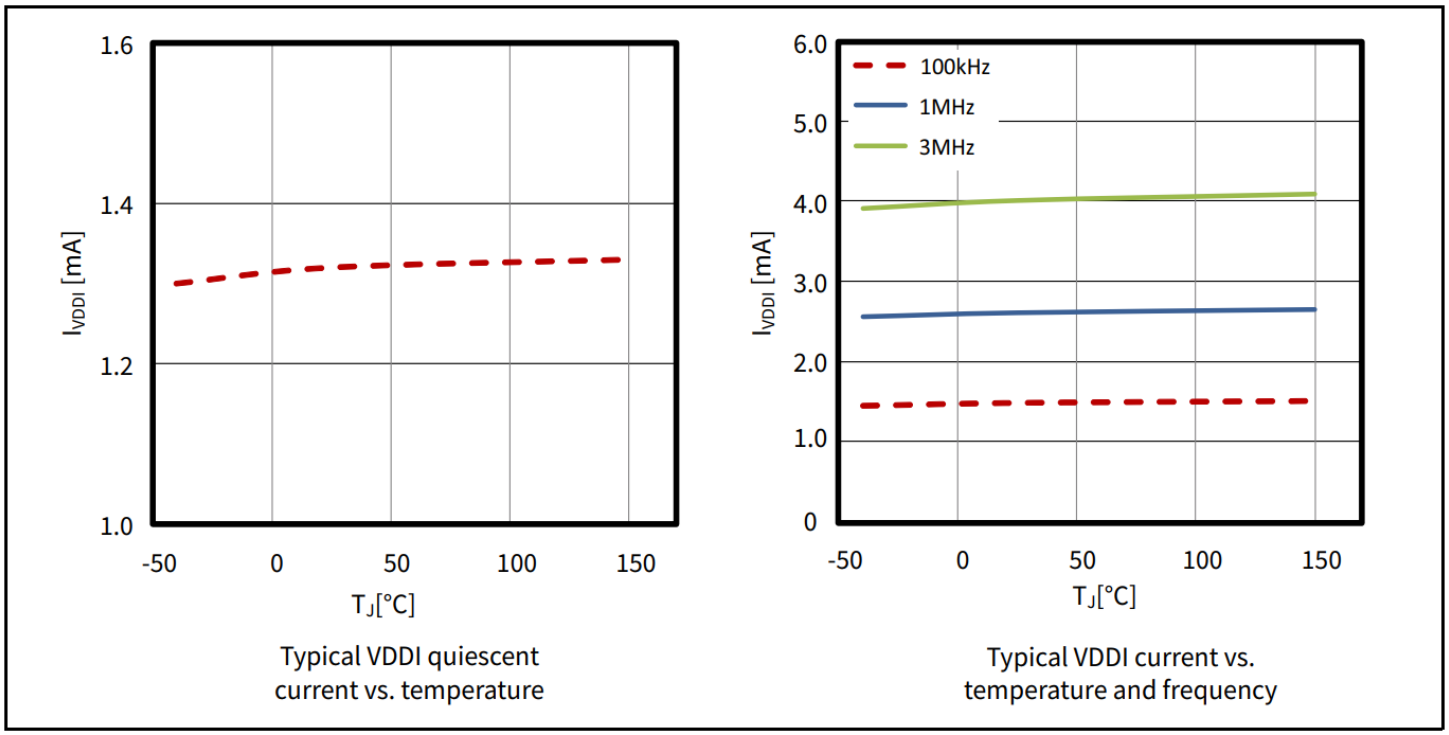


图7 电源电流 VDDI

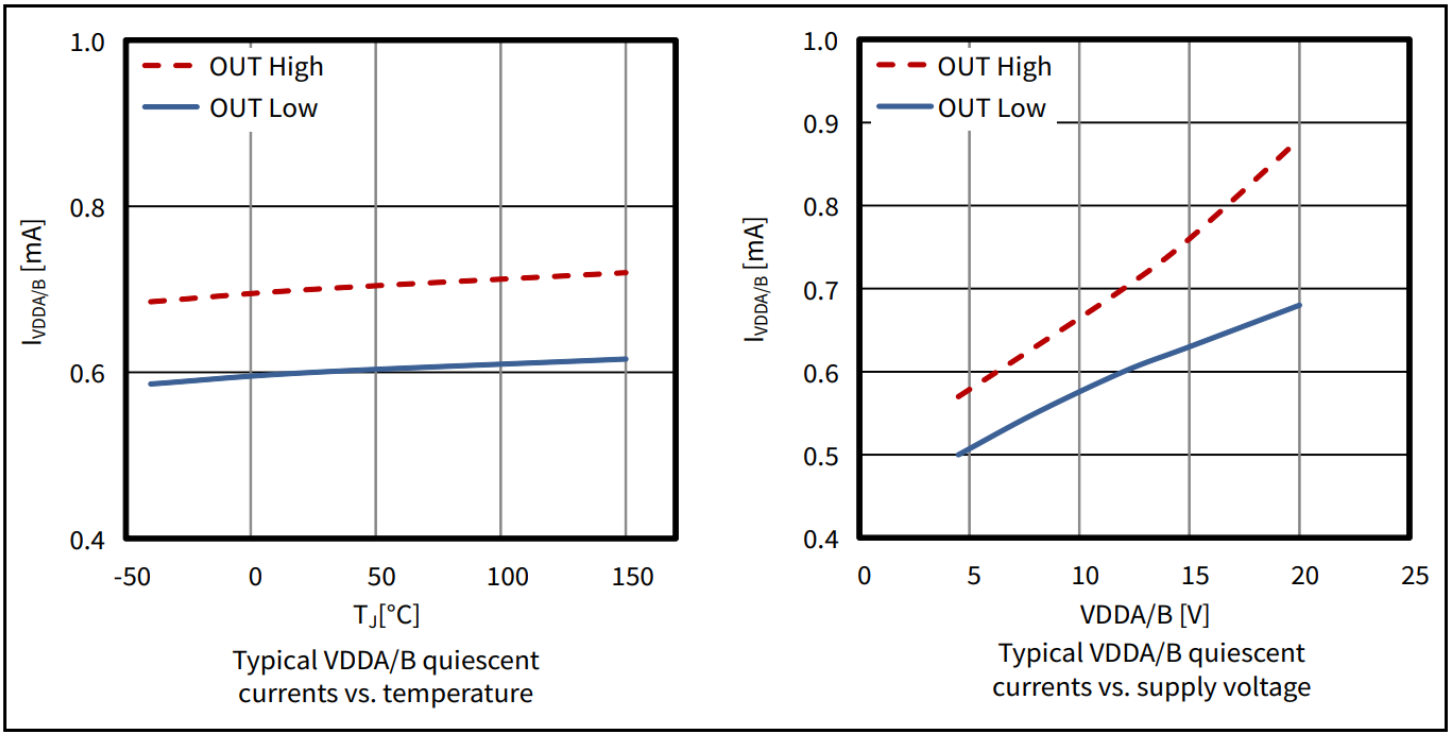
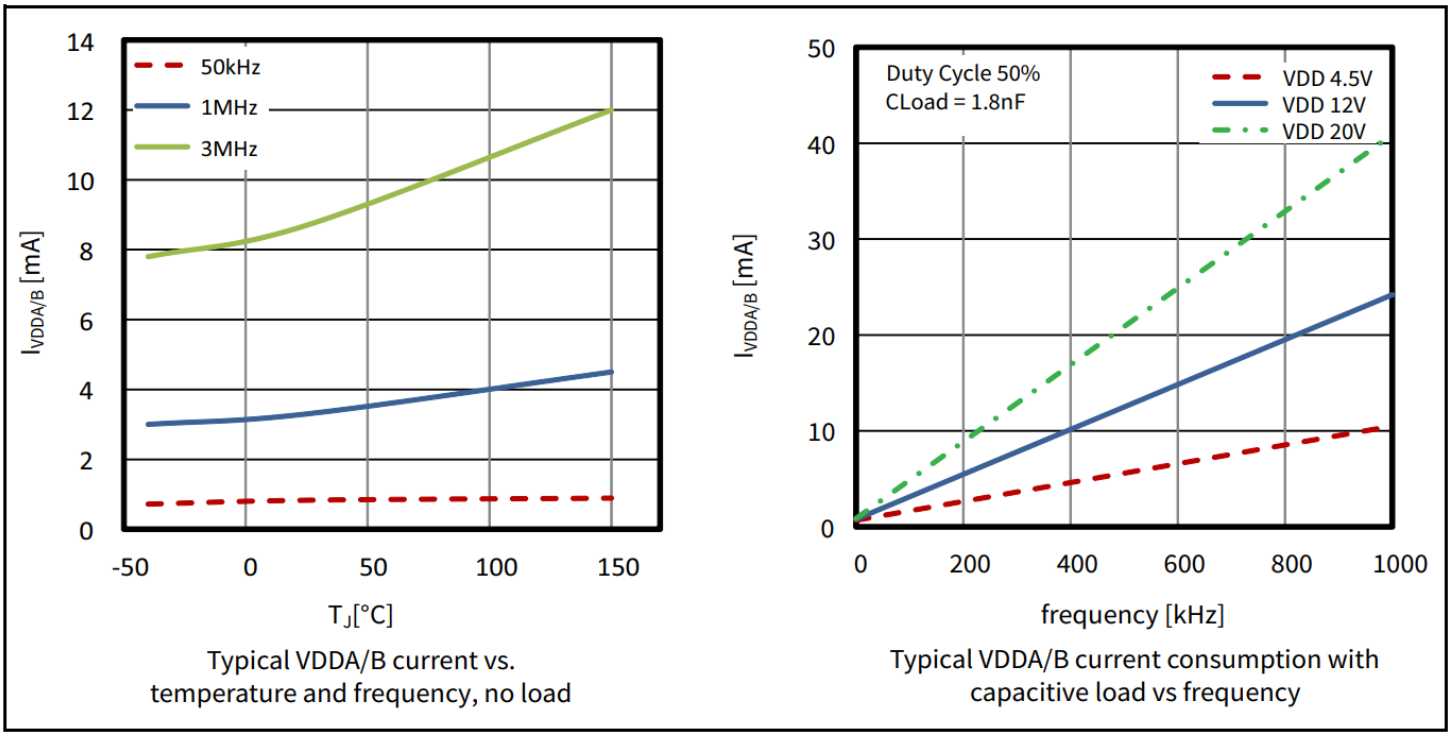


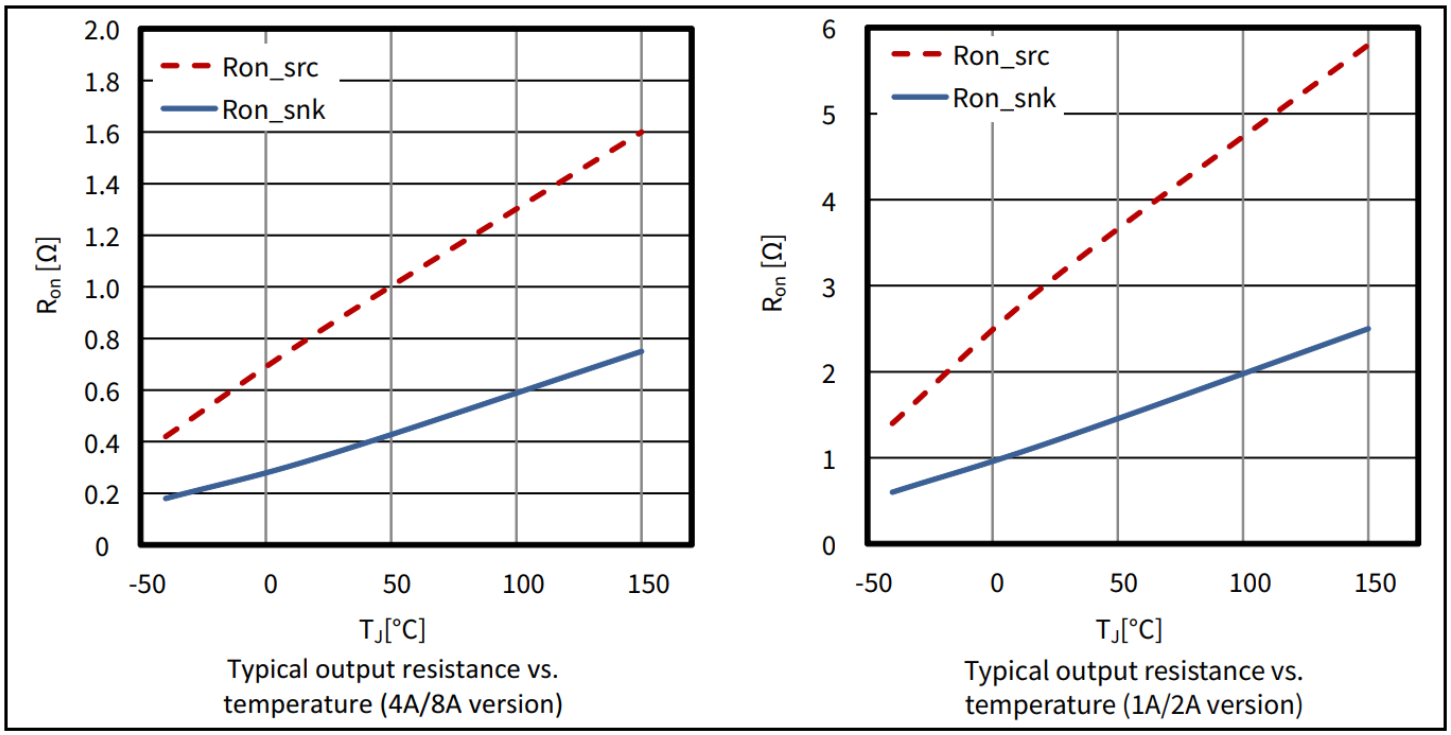
图8 电源电流 VDDA、VDDB



Typical VDDA/B current vs. temperature and frequency, no load

Typical VDDA/B current consumption with capacitive load vs frequency

图9　　电源电流 VDDA、VDDB（有/无负载）



Typical output resistance vs. temperature (4A/8A version)

Typical output resistance vs. temperature (1A/2A version)

图10　　输出电阻

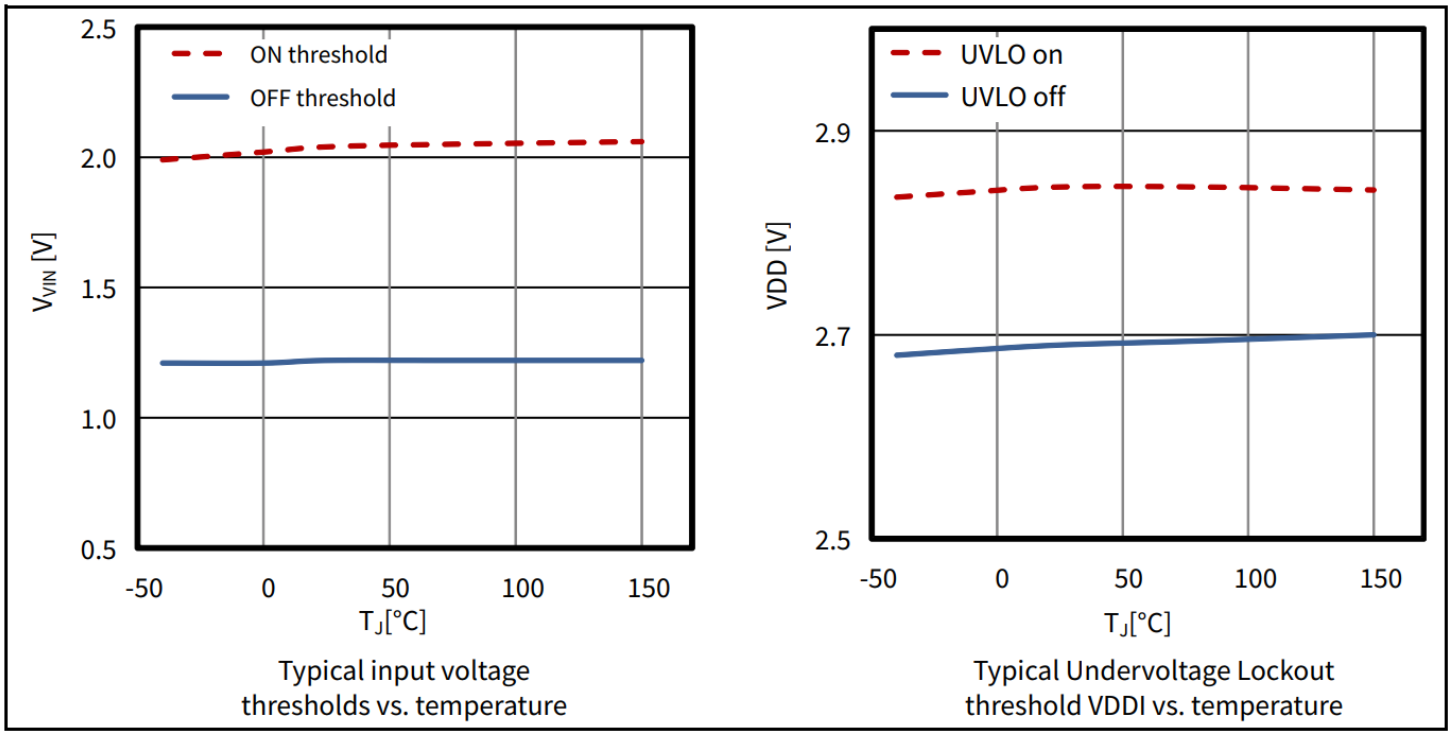


图11　　逻辑输入阈值和 VDDI UVLO

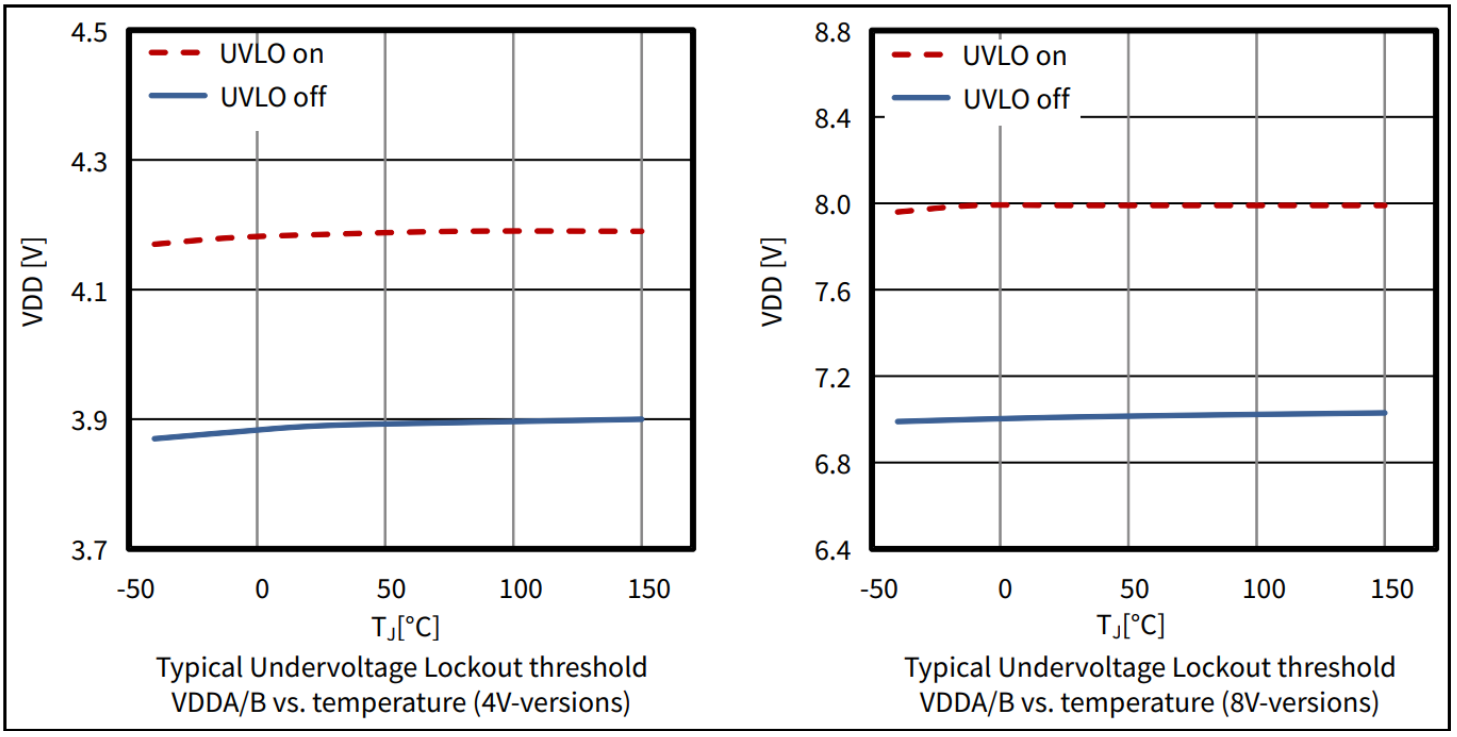
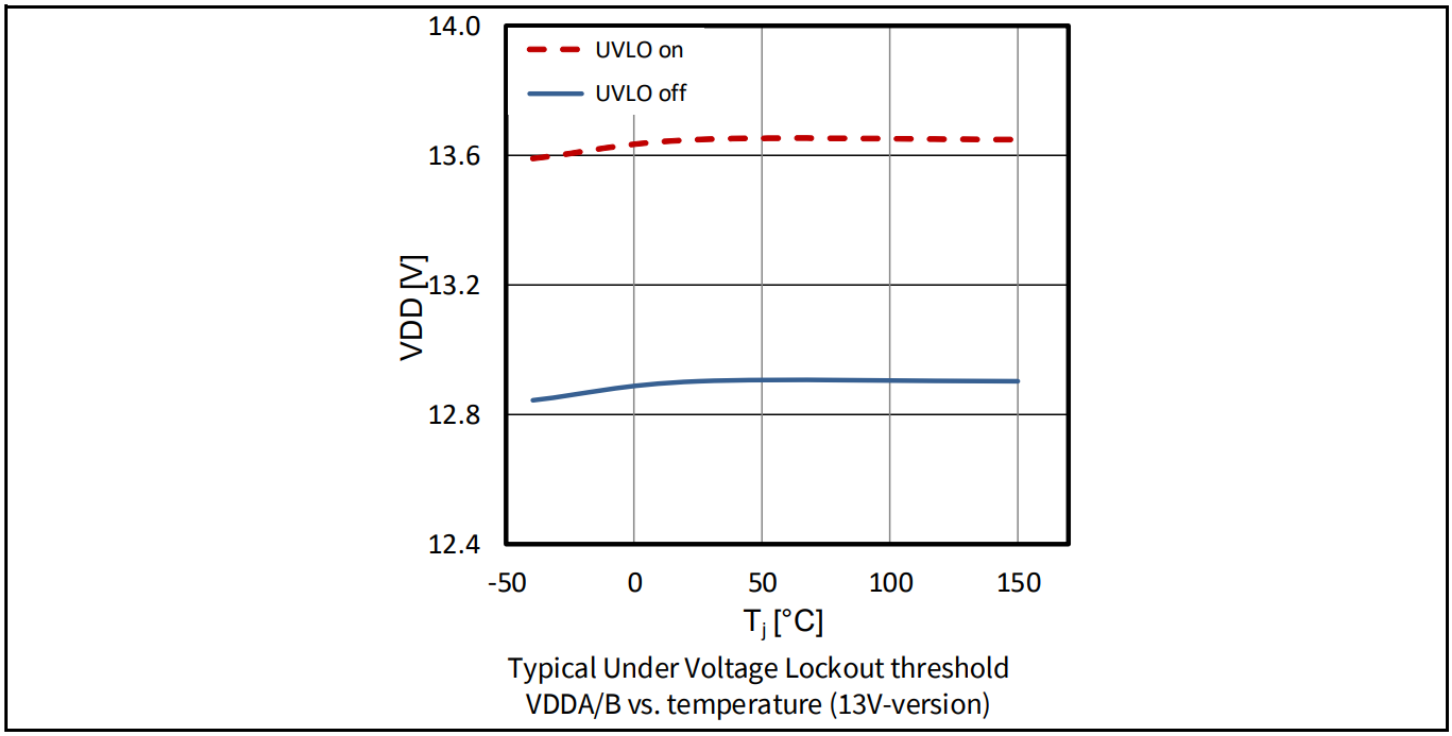
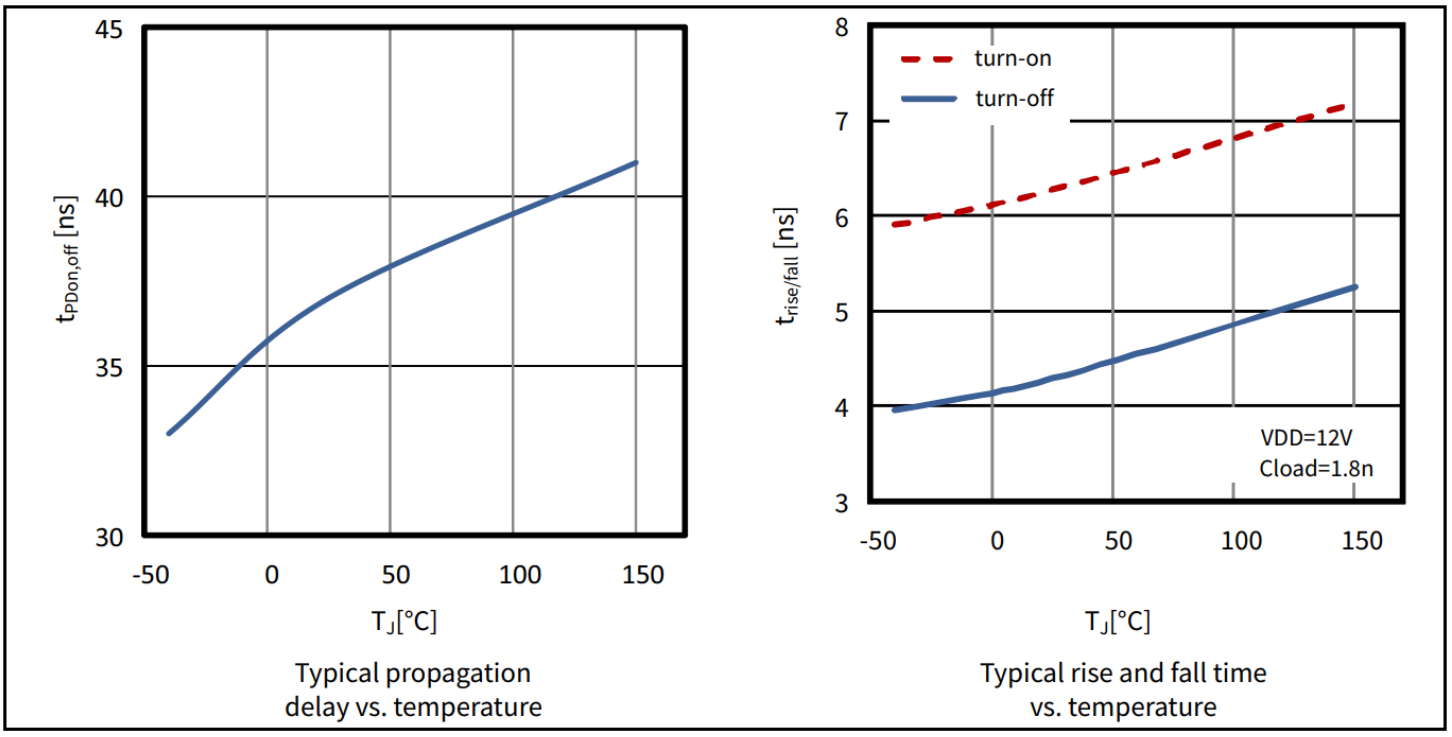


图12　　VDDA/B UVLO（4 V 和 8 V）



Typical Under Voltage Lockout threshold
VDDA/B vs. temperature (13V-version)

图13　　VDDA/B UVLO（13 V）



Typical propagation
delay vs. temperature

Typical rise and fall time
vs. temperature

图14　　传播延迟和上升/下降时间

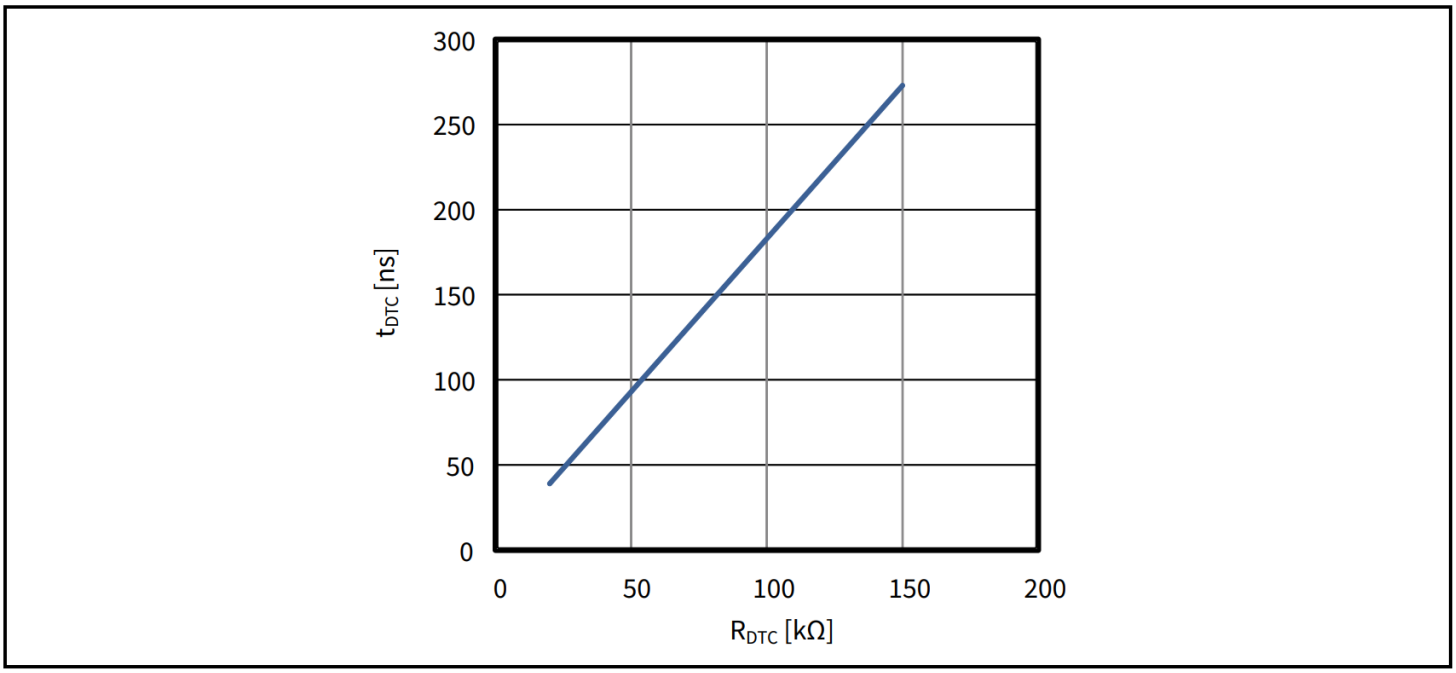


图15　　死区时间控制：上升沿延迟 vs R_{DTC}

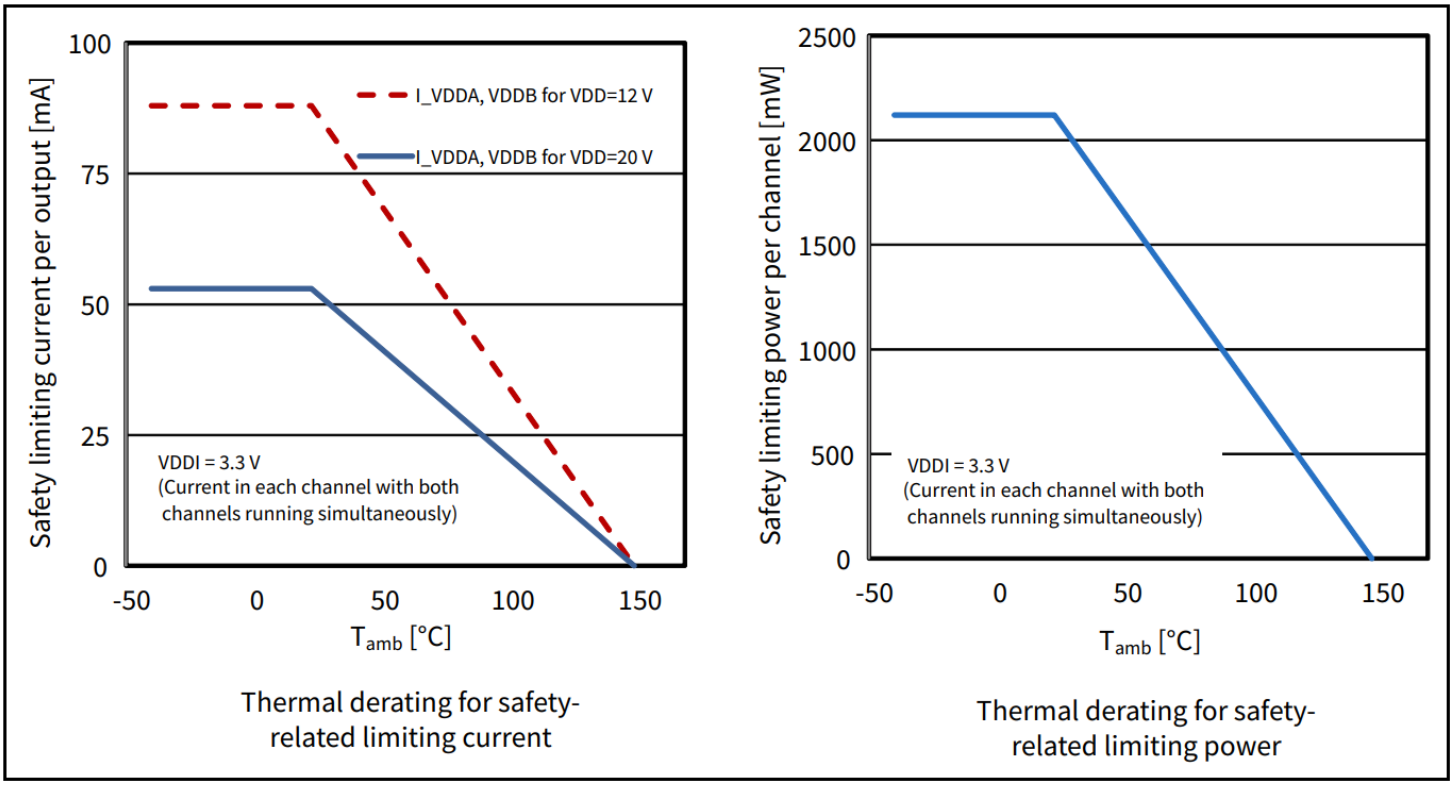


图16　　热降额曲线

7 封装

下列封装版本可用。

- NB PG-DSO-16-11 封装，输入至输出爬电距离典型值为 4 mm
- 面积优化 5 x 5 mm^2 PG-TFLGA-13-1
- WB PG-DSO-16-30 封装，输入至输出爬电距离典型值为 8 mm

注释： *关于封装类型的更多信息及板级组装建议，请访问：*
www.infineon.com/2EDi

7.1 器件编号和标记

表 31 器件编号和标记

Part number	Orderable part number (OPN)	Device marking
2EDF7275F	2EDF7275FXUMA2	2F7275B
2EDF8275F	2EDF8275FXUMA1	2F7875B
2EDF9275F	2EDF9275FXUMA1	2F9275B
2EDF7175F	2EDF7175FXUMA2	2F7175B
2EDF7275K	2EDF7275KXUMA2	2F7275B
2EDF7235K	2EDF7235KXUMA1	2F7235A
2EDS8265H	2EDS8265HXUMA2	2S8265B
2EDS9265H	2EDS9265HXUMA1	2S9265B
2EDS7165H	2EDS7165HXUMA1	2S7165B
2EDS8165H	2EDS8165HXUMA2	2S8165B

7.2 封装 PG-DSO-16-11

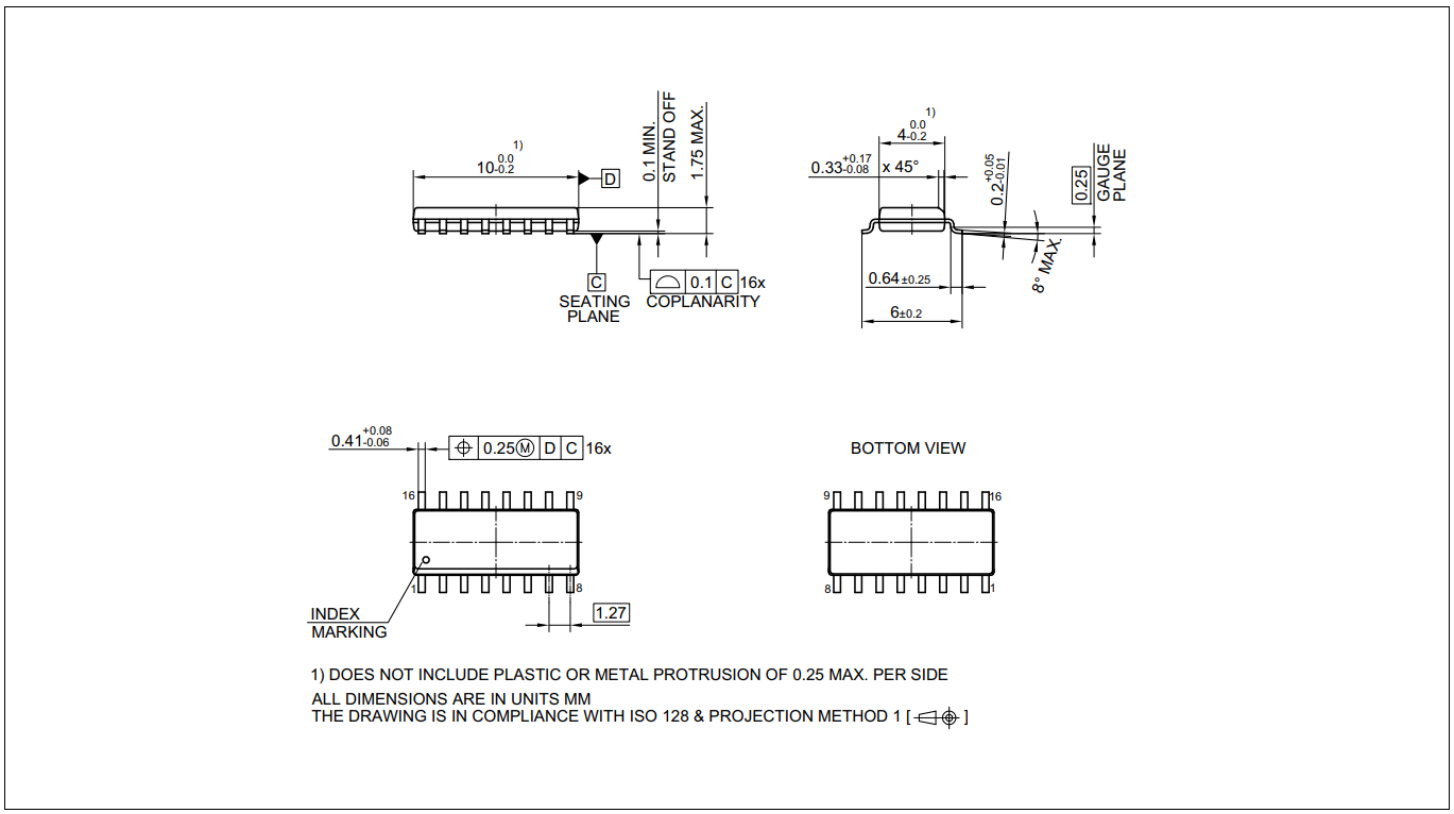


图 17 PG-DSO-16-11 外形

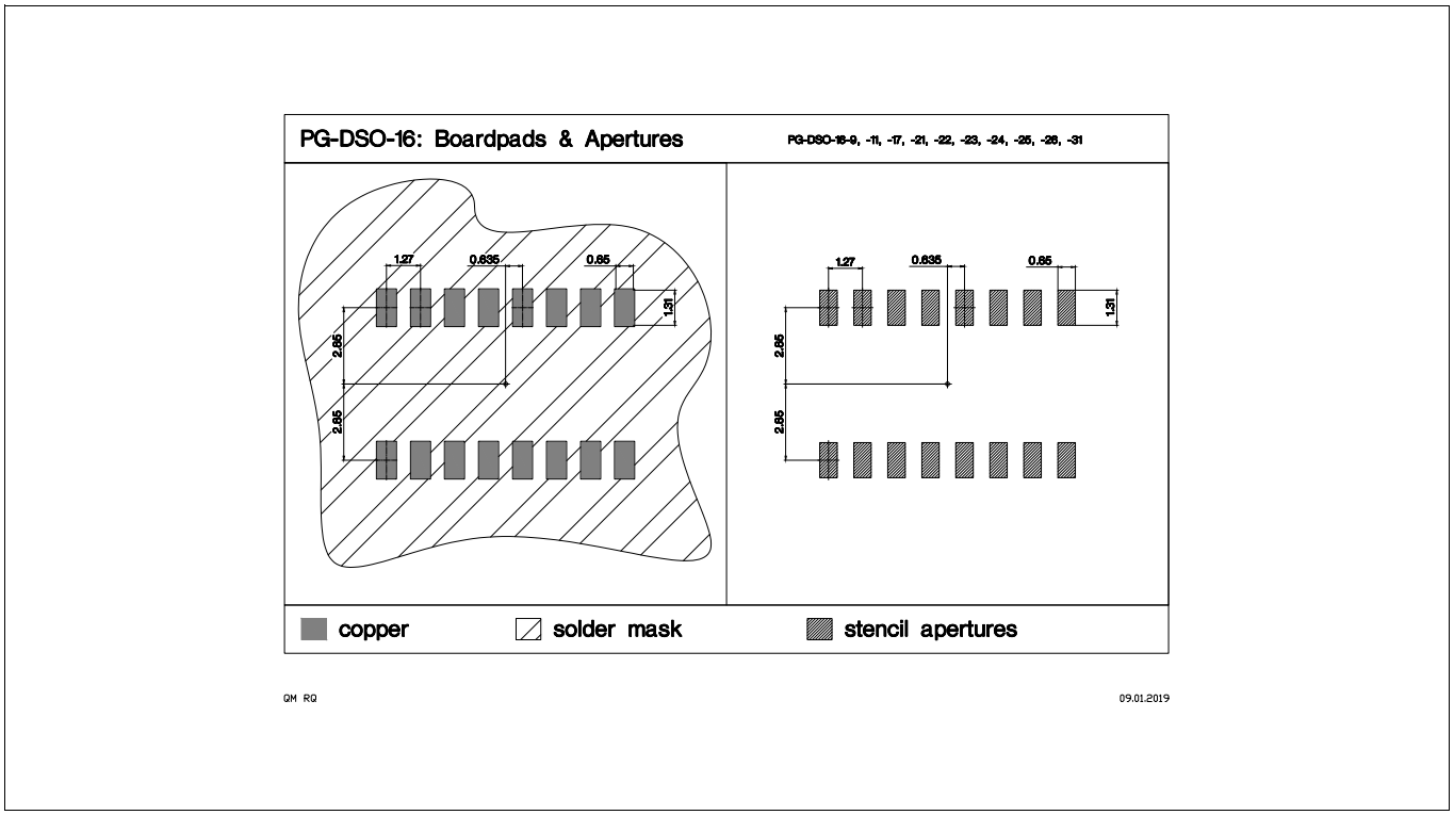


图 18 PG-DSO-16-11 封装尺寸

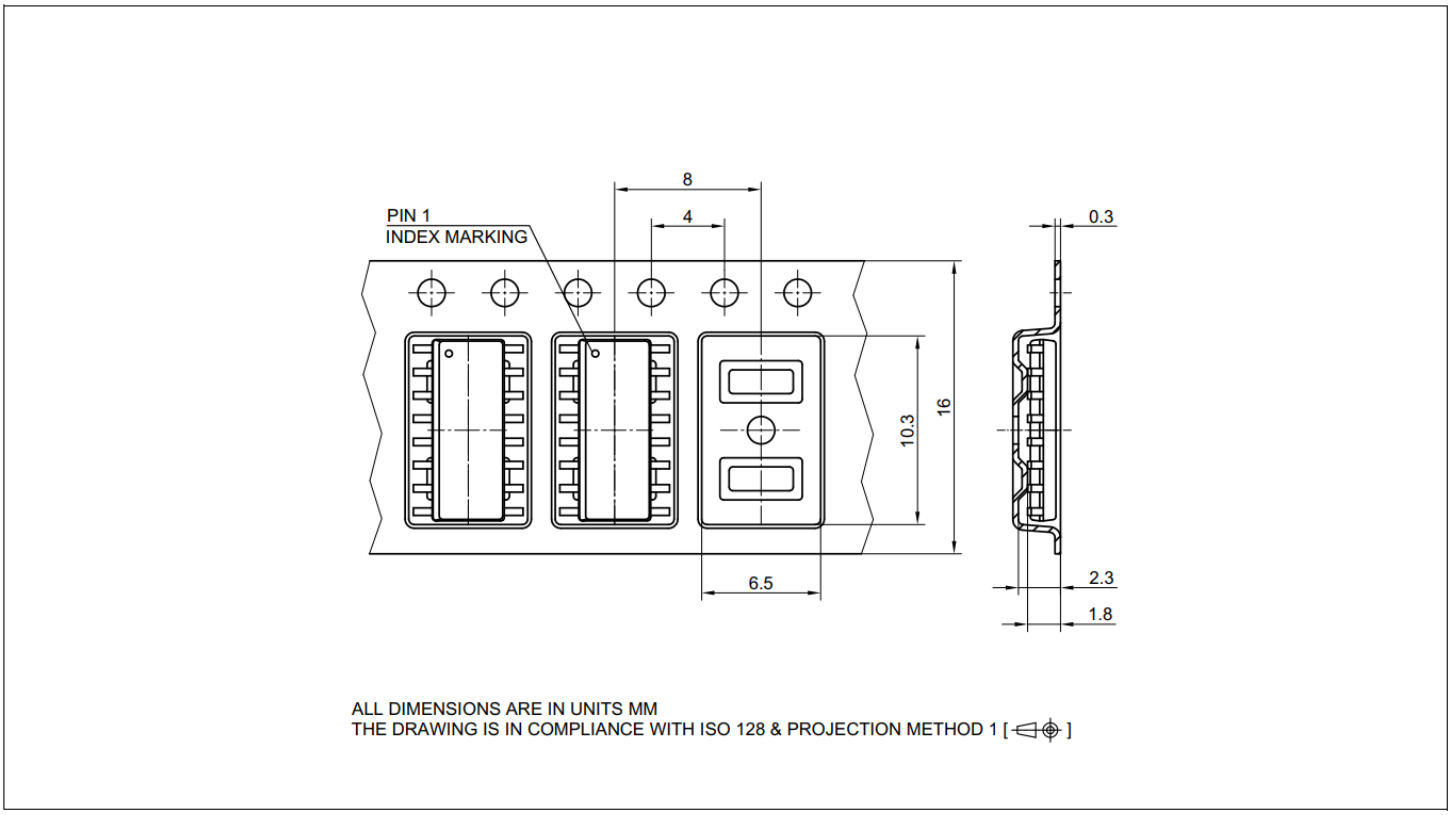


图 19　　PG-DSO-16-11 封装

7.3　　封装 PG-DSO-16-30

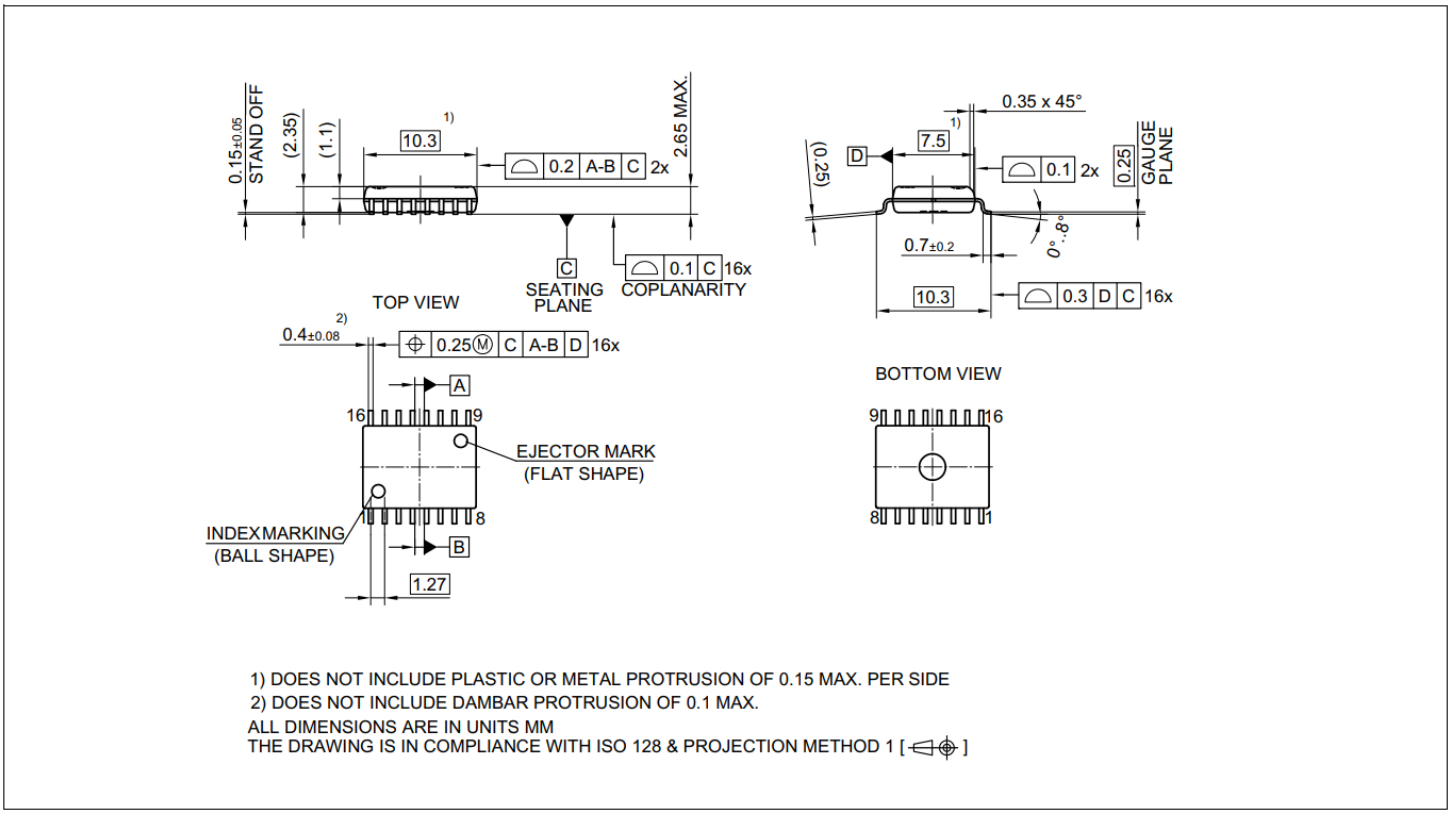


图 20　　PG-DSO-16-30 外形

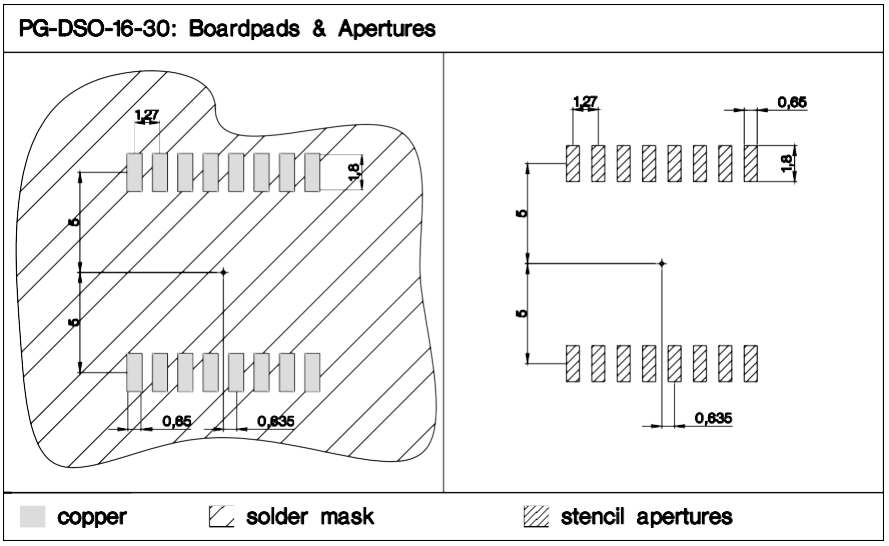


图 21　　PG-DSO-16-30 封装尺寸

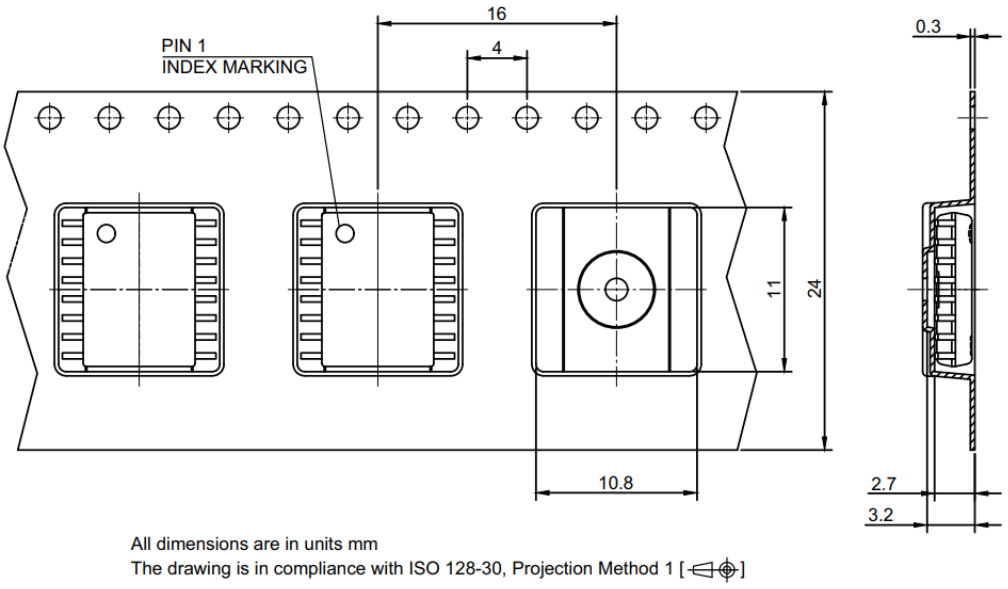


图 22　　PG-DSO-16-30 封装

7.4 封装 PG-TFLGA-13-1

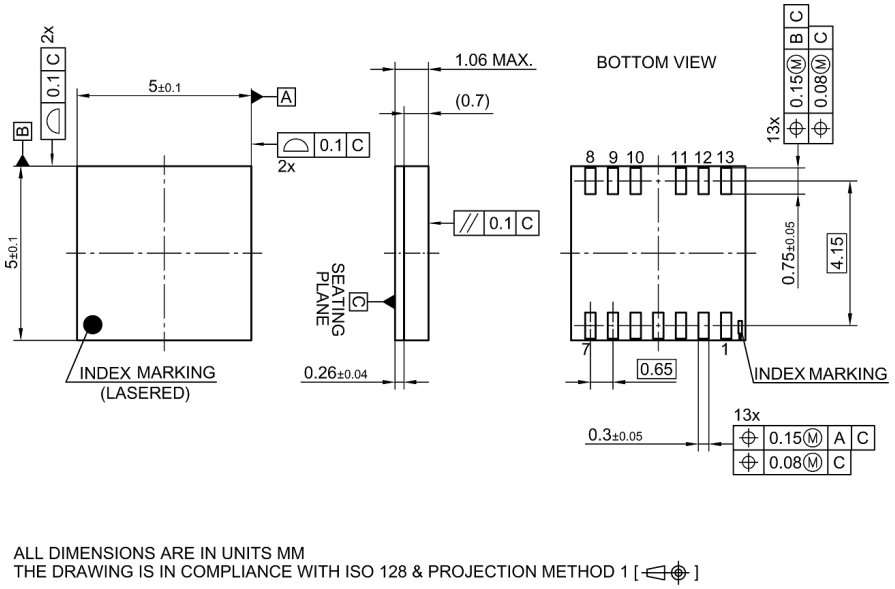


图 23 PG-TFLGA-13-1 外形

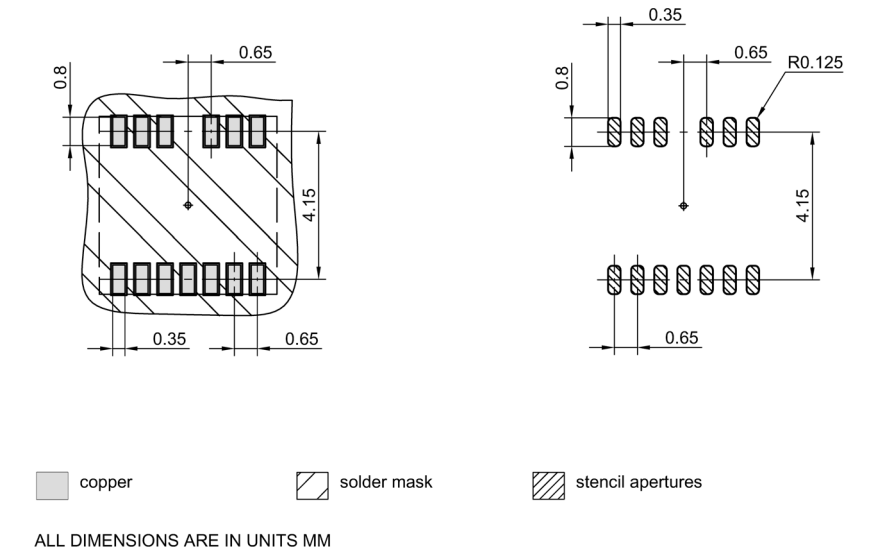


图 24 PG-TFLGA-13-1 封装尺寸

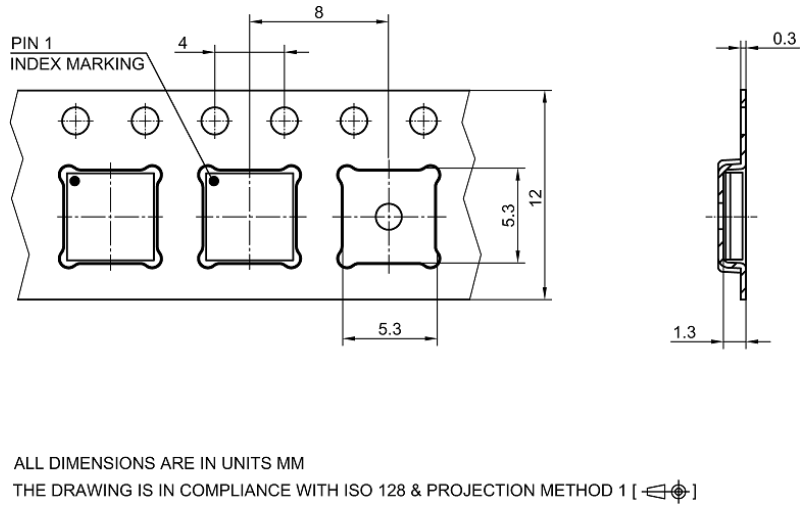


图 25　　PG-TFLGA-13-1 封装

修订记录

Page or Item	Subjects (major changes since previous revision)
Rev 2.7 Datasheet, 2021-09-10	
Table 6, **Table 8**	“Input supply voltage” → “Voltage at pin VDDI” to highlight that the supply voltage can be higher if the SLDO is activated
Whole document, **Table 1**, **Table 31**	added 2EDS7165H, 2EDF8275F products
Table 1	modified footnote 2
Figure 6	fixed typo
Rev 2.6 Datasheet, 2021-04-23	
Page 1, **Table 1**, **Table 25**	added reference to issued EN 60601-1 certification
Page 1, **Table 1**, **Table 25**	added reference to issued GB4943.1 certification
Page 1, **Table 1**, **Table 25**	removed reference to CSA C22.2 No. 62368-1 as it is not anymore planned
Table 17	added UVLO start-up and deactivation time
Rev 2.5 **Datasheet,** 2020-02-07	
Page 1	“certified according to DIN V VDE V0884-10” changed in “DIN V VDE V0884-10 compliant” due to standard expiration on 2019.12.31
Whole document	added references to 2EDF9275F and 2EDS9265H (13 V UVLO options for SiC MOSFETs driving)
Page 1, **Table 1**	added reference to EN 61010-1 certification
Page 1	update of term DIN EN 62368-1 and DIN EN 60950-1
Table 1	CQC removed from **Table 1** due to presence of footnote [2]
Table 1	added footnote [3] due to expiration of VDE0884-10 certification
Table 1, **Table 31**	added 2EDF9275F and 2EDS9265H products
Table 1	removed OPN for better readability; OPN shown in **Table 31**
Table 13	V_{IN} max. value 6.5 V→ 15 V
Table 9	added IV_{DDA}, IV_{DDB}quiescient current for 2EDF9275F and 2EDS9265H
Table 11	added V_{DDA}, V_{DDB} Undervoltage Lockout table for 2EDF9275F and 2EDS9265H
Table 13	added “UVLO threshold vs temperature” for the 13 V UVLO options (2EDF9275F, 2EDS9265H)
Table 24, **Table 25**	added tables for overview on safety-related certifications of PG-DSO-16-30
Table 26	“see VDE certificate” footnote removed due to certification expiration
Table 28	fixed typo in the test condition: 5700 kV_{RMS} → 5700 V_{RMS}
Table 31	new OPN and “B” marking: improved secondary-side clamping performance
Rev 2.4 Datasheet, 2019-02-08	
Table 6	max. V_{DDI}: 3.7 V → 4.0 V
Rev. 2.3 Datasheet, 2019-01-31	
Whole document	removed “certification pending” because certification has been issued (see **Table 1**)

Page or Item	Subjects (major changes since previous revision)
Chapter 7	latest footprints, outlines and packaging for PG-DSO-16-11 and PG-DSO-16-30
Figure 7	adjusted values
Page 1	propagation delay variance in “**Features**” updated
Table 1 and **Table 31**	OPN inserted for 2EDF7235K
Table 6	reference to max. value → V_{DDO} for voltage at pins OUTA and OUTB
Table 6	removed footnote 1 from parameter “Non-destructive Common Mode Transient Immunity”
Table 8	T_{amb} max. value 85°C → 125°C
Table 17	C_{LOAD} in "Note or test condition" moved to table description
Table 18, **Table 21** and **Table 26**	Non-destructive Common Mode Transient Immunity transferred to **Table 6**, **Absolute maximum ratings**
Table 18	added footnote to “Capacitance” and “Resistance” parameters
Table 21	footnotes assignation patched
Rev. 2.2 Datasheet, 2018-11-07	
Chapter 3.2	Update device part numbers
Chapter 4	Update of term “DIN V, VDE V0884-10”
Page 1	Update product validation in “**Features**”
Table 1, **Table 31**	Update of OPN
Table 6	Removed typos
Rev. 2.1 Datasheet, 2018-10-24	
Table 1, **Table 6**, **Table 31**	Updates
Rev. 2.0 Datasheet, 2018-06-04	
	Initial data sheet available

Trademarks of Infineon Technologies AG
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2021-09-10
Published by
Infineon Technologies AG
81726 Munich, Germany

© 2021 Infineon Technologies AG. All Rights Reserved.

Do you have a question about any aspect of this document?
Email: erratum@infineon.com

Document reference
EiceDRIVER™ 2EDi Rev.2.7

IMPORTANT NOTICE

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics ("Beschaffenheitsgarantie").

With respect to any examples, hints or any typical values stated herein and/or any information regarding the application of the product, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation warranties of non-infringement of intellectual property rights of any third party.

In addition, any information given in this document is subject to customer's compliance with its obligations stated in this document and any applicable legal requirements, norms and standards concerning customer's products and any use of the product of Infineon Technologies in customer's applications.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (**www.infineon.com**).

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.

免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。
由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。
因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 http://www.infineon.com
英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。
您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

版本 **2026-09-14**

Infineon Technologies AG 出版，
德国 **Neubiberg 85579**

版权 © **2026 Infineon Technologies AG**
及其关联公司。
保留所有权利。

Do you have a question about this document?

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称 "英飞凌"）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称 "产品"），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文档中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：
由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称"安全漏洞"），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：
根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码(binary code)形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 **https://www.infineon.com**。