

英飞凌 EiceDRIVER™ 2EDBx259K

LGA封装的双通道隔离栅极驱动器IC

描述

EiceDRIVER™ 2EDBx259K 是专为驱动硅 MOSFETs 而设计的双通道隔离栅极驱动器 IC 系列。2EDBx259K 采用 13 引脚 LGA 封装，输入至输出爬电距离为 3.4 毫米，并通过片上无磁芯变压器 (CT) 技术提供基本绝缘。

2EDBx259K 提供可选的直通保护 (STP) 和死区控制 (DTC) 功能；这允许作为具有可配置死区时间的双通道低侧、双通道高侧或半桥栅极驱动器运行。该产品具有出色的共模瞬态抗扰度 (CMTI)、低部件间偏差和快速信号传播，最适合用于快速开关电源转换系统。

特性

- 用于 Si MOSFET 的双通道隔离栅极驱动器
- 快速输入到输出传播 (38 ns)，具有出色的稳定性 (+9/-5 ns)
- 强大的输出级：5 A/9 A 拉/灌
- 快速输出钳位，用于 $V_{DDA/B} < UVLO$
- 快速 UVLO 恢复时间 ($< 2\mu s$)
- 两个 $V_{DDA/B}$ UVLO 选项：4 V、8 V
- 共模抑制比 (CMTI) $> 150 V/ns$
- 提供 13 引脚 LGA 5x5

隔离和安全证书

- UL1577 with $V_{ISO} = 2500 V_{RMS}$ (认证编号 n.E311313)

产品验证

完全符合工业应用要求

表 1 产品列表

Part number	UVLO	V_{iso}	Package
2EDB7259K	4 V	2.5 kV _{rms}	LGA 5x5
2EDB8259K	8 V	2.5 kV _{rms}	LGA 5x5

潜在应用

- 服务器、电信开关电源
- 电动汽车非车载充电器
- 低压驱动器和电动工具
- 太阳能微型逆变器、太阳能优化器
- 工业电源 (开关电源、家用 UPS)

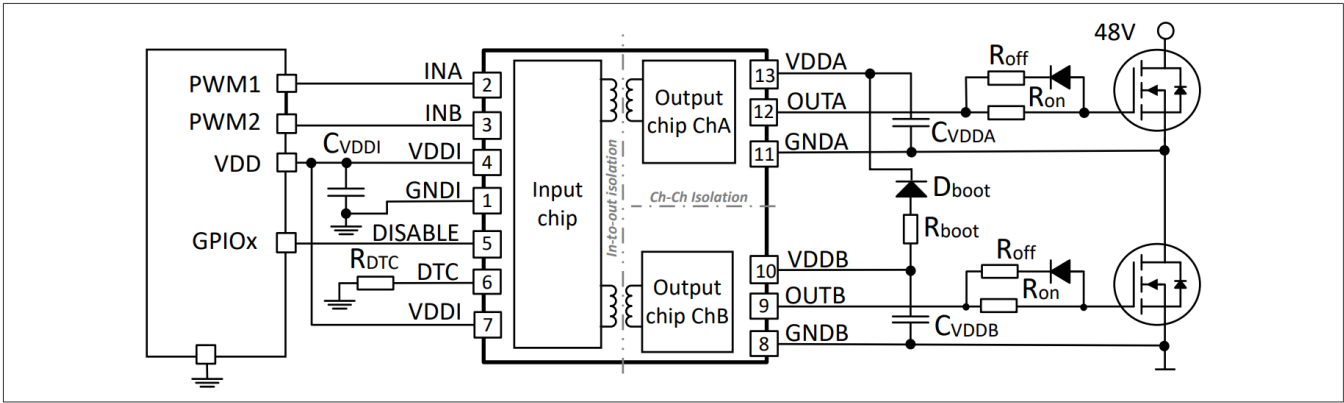


Figure 1 Application diagram

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。

目录

目录

	目录	2
1	引脚配置及说明	3
2	功能描述	4
2.1	框图	4
2.2	电源和欠压锁定 (UVLO)	4
2.2.1	输入电源电压	4
2.2.2	输出电源电压	4
2.3	输入极-INA, INB, DISABLE	5
2.4	直通保护和可配置死区时间 - STP/DTC	6
2.5	栅极驱动器输出	7
2.6	UVLO条件下的快速有源输出钳位	7
2.7	CT 通信和输入到输出数据传输	7
3	电气特性	8
3.1	最大绝对额定值	8
3.2	热特性	9
3.3	工作范围	10
3.4	电气特性	10
3.5	隔离规格	14
4	时序图	17
5	典型特征	20
6	封装外形尺寸	26
6.1	产品编号和标记	26
6.2	LGA5x5 封装	26
7	修订记录	29
	免责声明	30

1 引脚配置及说明

1 引脚配置及说明

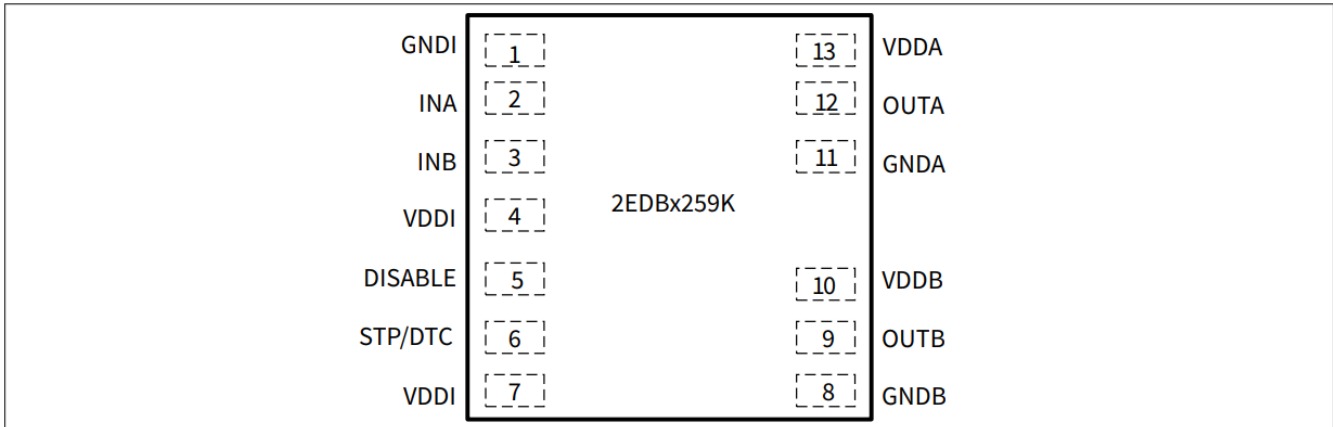


图2 引脚配置（顶视图）

表2 引脚描述

Pin	Symbol	Description
1	GNDI	Ground primary-side
2	INA	Input signal channel A Logic input with TTL compatible thresholds and internal pull-down resistor
3	INB	Input signal channel B Logic input with TTL compatible thresholds and internal pull-down resistor
4,7	VDDI	Input-side supply voltage (operating range: 3 V to 17 V)
5	DISABLE	Disable input channel A and B (active high) If DISABLE is low or left open, OUTA/OUTB are controlled by INA/INB DISABLE high causes OUTA/OUTB low
6	STP/DTC	Shoot-through Protection (STP) and Dead-Time Control (DTC) If STP/DTC is high or left open, OUTA and OUTB can overlap (SPT and DTC disabled). If STP/DTC is connected to GNDI with a resistance R_{DTC} , OUTA and OUTB cannot overlap and a “safe dead-time” can be configured: $t_{dt} [ns] = 10 \times R_{DTC} [k\Omega]$ If STP/DTC is connected to GNDI, OUTA and OUTB cannot overlap (STP only enabled) Connecting capacitors to the DTC pin must be avoided.
8	GNDB	Ground secondary-side channel B
9	OUTB	Output secondary-side channel B Low-impedance output with source and sink capability
10	VDDDB	Supply secondary-side channel B (operating range: UVLO to 20 V)
11	GNDA	Ground secondary-side channel A
12	OUTA	Output secondary-side channel A Low-impedance output with source and sink capability
13	VDDA	Supply secondary-side channel A (operating range: UVLO to 20 V)

有关封装图的详细信息，请参阅第 6 章。

2 功能描述

2 功能描述

2.1 框图

EiceDRIVER™ 2EDBx259K 的简化功能框图如图 3所示

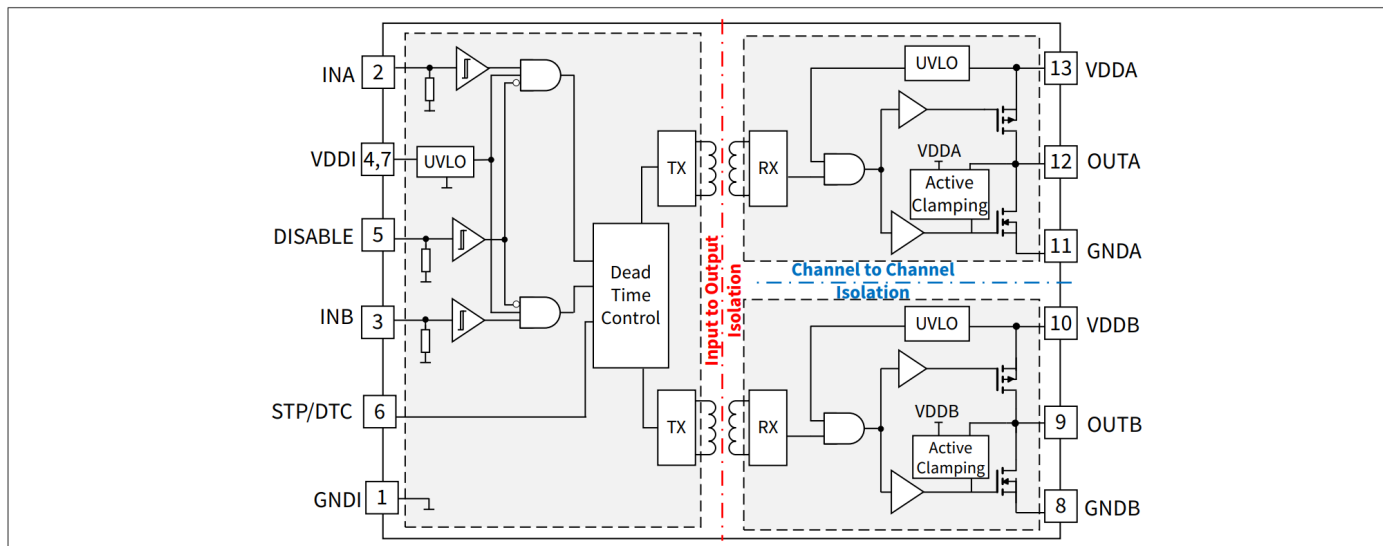


图3 框图

2.2 电源和欠压锁定 (UVLO)

由于输入到输出和通道到通道的隔离，需要三个具有独立电源管理的电源区。输入和输出电源的欠压锁定 (UVLO) 功能可确保在所有工作条件下实现明确的启动和稳健的功能。

2.2.1 输入电源电压

输入芯片通过 VDDI 供电，支持 3 V 至 17 V 的宽电源电压范围。必须在靠近设备的 VDDI 和 GNDI 之间放置一个陶瓷旁路电容器；建议最小旁路电容为 100 nF。

功耗在一定程度上取决于开关频率，因为输入信号会被转换成一系列重复电流脉冲来驱动 CT。由于选择了稳健的编码方案，这些脉冲的平均重复率以及平均电源电流取决于开关频率 f_{sw} 。然而，当 $f_{sw} < 500$ kHz 时，这种影响非常小。

输入电源 V_{DDI} 的欠压锁定功能可确保只要 V_{DDI} 低于 UVLO（例如启动时），数据就不会传输到输出侧，并且栅极驱动器输出保持低电平（启动时安全锁定）。当 V_{DDI} 超过 UVLO 电平时，PWM 输入信号将传输到输出侧。如果输出侧已准备就绪（非 UVLO 状态），则输出将根据逻辑输入做出反应。

2.2.2 输出电源电压

两个输出芯片通过两个独立的电源电压 V_{DDA} 和 V_{ddb} （最高 20 V）供电。

必须在靠近器件的位置在 V_{DDA} 和 $GNDA$ 之间以及 V_{ddb} 和 $GNDB$ 之间放置两个陶瓷旁路电容。建议最小电容为 $20 \times C_{iss}$ （MOSFET 输入电容），以确保电源引脚上的纹波为可接受的水平（ V_{DDO} 的 5%）。

最低电源电压由欠压锁定 (UVLO) 功能设定。仅当输出电源电压 (V_{DDA} 、 V_{ddb}) 超过输出侧 UVLO 时，栅极驱动器输出才能切换。因此，如果驱动电压过低，无法完全快速地切换到“导通”状态，则可以保证开关晶体管不会工作。事实上，低驱动电压可能导致功率 MOSFET 进入饱和（欧姆）区，并可能造成破坏性的功耗；输出 UVLO 可确保开关晶体管始终处于其安全工作区 (SOA) 内。目前提供 4 V 和 8 V 输出电源 UVLO 阈值版本；表 3 显示了不同英飞凌电源开关系列的推荐 UVLO 水平。

2 功能描述

表 3 典型用例的推荐 UVLO 水平

Inputs	Examples of part number	Recommended driver
Logic level OptiMOS™	BSC010N04LS6, BSZ070N08LS5, ..	2EDB7259K (4 V UVLO)
Normal level OptiMOS™	BSC040N10NS5, BSZ084N08NS5, ..	2EDB8259K (8 V UVLO)
CoolMOS™	IPP60R099C7, IPB60R600P6, ..	2EDB8259K (8 V UVLO)

2.3 输入级 - INA、INB、DISABLE

输入INL和INH是两个独立的逻辑（PWM）通道。输入信号以非反相方式传输至相应的栅极驱动器输出 OUTL 和 OUTH。所有输入均与 LV-TTL 阈值电平兼容，具有典型的滞回。0.8伏。滞回与电源电压 V_{DDI} 无关。

PWM 输入在内部下拉至逻辑低电压电平 (GNDI)。如果 PWM 控制器信号在上电期间处于未定义状态，则栅极驱动器输出将被强制为“关闭”状态（低）。

如果 DIS 输入处于高状态，则无论 INA 或 INB 的状态如何，都会无条件地将两个通道输出驱动至低状态。

表 4 显示了电源电压足够高时的 INA、INB、DISABLE 驱动器逻辑。否则，驱动器的输出由欠压锁定(UVLO) 和输出有源钳位功能决定，如表 7所示。

表4 供电足够时的逻辑表 - INA、INB、DIS

Inputs		DIS	Supplies	Outputs		Note
INA	INB		V_{DDI} , V_{DDA} , V_{ddb}	OUTA	OUTB	
L	L	L or left open	> UVLO _{VDDx,on} (active)	L	L	–
L	H	L or left open		L	H	–
H	H	L or left open		H	H	DTC/STP pin tied to VDDI or left open
				L	L	DTC/STP pin tied to GNDI or tied to GNDI via R_{DTC}
Left open	Left open	L or left open		L	L	Input pins internally pulled down
x	x	H		L	L	Outputs disabled via DIS high

2 功能描述

2.4 直通保护和可配置死区时间 - STP/DTC

当输入信号 INA 和 INB 均处于高电平状态时，直通保护功能会下拉输出 OUTA 和 OUTB。当驱动器用作半桥驱动器时，建议激活该功能，以防止 INA 和 INB 的意外重叠导致危险的直通。死区时间可通过引脚 STP/DTC 确保和配置，如表 5 所示。

表5 STP/DTC逻辑表

Conditions on the STP/DTC pin	Shoot-through protection	Configurable dead-time
Tied to VDDI or left open	Disabled	Disabled
Connected to GNDI via resistor R_{DTC}	Enabled	Enabled with $t_{dt} [ns] = 10 \times R_{DTC} [k\Omega]$; allowed R_{DTC} range is 1.2k Ω to 100k Ω
Connected to GNDI	Enabled	Disabled

驱动器死区逻辑在一个输入的下降沿触发，并延迟另一个输入的上升沿转换。仅当驱动器配置的死区时间长于输入信号自身的死区时间时，才会分配延迟。

死区时间可以通过改变外部电阻流入 STP/DTC 引脚的电流来配置，公式如下： $t_{dt}[ns] = 10 \times R_{DTC}[k\Omega]$ 。建议使用精度为 1% 的电阻，阻值范围为 1.2 k Ω 至 100 k Ω 。使用死区时间控制功能时，必须避免将电容连接到 DTC 引脚。

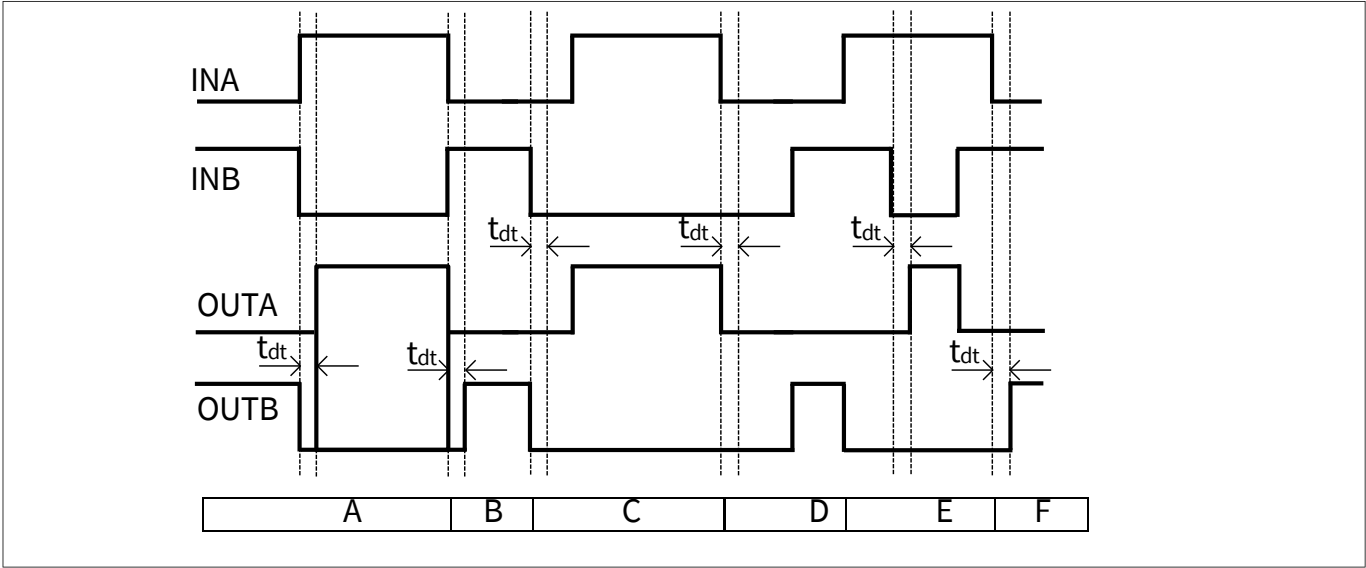


图 4 通过电阻 R_{DTC} 连接到 GNDI 的 STP/DTC 引脚逻辑
表 6 通过电阻 R_{DTC} 连接到 GNDI 的 STP/DTC 引脚逻辑

Condition	STP/DTC logic
A, B	The driver logic assigns the configured dead-time since it is longer than the input signals' dead-time
C, D	The driver logic does not assign the configured dead-time since it is shorter than the input signals' dead-time

(表格续下页.....)

2 功能描述

表 6 (续) 通过电阻 R_{DTC} 连接到 GNDI 的 STP/DTC 引脚逻辑

Condition	STP/DTC logic
E, F	The shoot-through protection pulls down the outputs OUTA, OUTB until one of the outputs goes low. At this point, after the configured driver dead-time, the other output is allowed to go high

2.5 栅极驱动器输出

采用互补MOS晶体管实现的轨到轨输出级能够提供典型的5 A峰值拉电流和9 A峰值灌电流。低导通电阻与高驱动电流相结合，尤其有利于超大MOSFETs的快速开关。源极pMOS的导通电阻 R_{on} 约为 $1\ \Omega$ ，对于灌电流nMOS晶体管，其电阻约为 $0.5\ \Omega$ ，在大多数应用中，驱动器可视为近乎理想的开关。p沟道灌电流晶体管可实现真正的轨到轨特性，而不会受到nMOS源极跟随器级不可避免的压降影响。

如果输入浮动或电源电压不足且未超过 UVLO 阈值，则驱动器输出将被主动钳位到“低”电平（GNDA、GNDB）。

2.6 UVLO 条件下的快速有源输出钳位

欠压锁定 (UVLO) 可确保当电源低于 UVLO 阈值时栅极驱动器输出不会运行。然而，这不足以确保驱动器的输出保持低水平。

功率级中的瞬变或噪声可能会上拉驱动器的输出节点和栅极电压，从而导致开关不必要的导通；这在使用自举的系统中尤其重要，因为在启动期间，高端通道的电源会延迟，而低端 MOSFET 已在切换。在谐振拓扑（如 LLC）中，半桥开关节点可能会在低压开关关闭后被拉高。

当低侧 MOSFET 再次导通时，如果自举电源尚未可用，则由 dV/dt 事件引起的高侧栅极电压增加无法被驱动器 $R_{DS(on),sink}$ 钳位。

驱动器的输出级配备快速输出箝位电路，确保在所有欠压锁定 (UVLO) 情况下都能安全运行，避免输出过冲。该结构可快速响应并有效箝位输出引脚 (OUTA、OUTB)。确切的反应时间取决于输出电源 (V_{DDA} 、 V_{ddb}) 和输出电压；然而，即使电源电压非常低（约 1 V），有源输出箝位也能在几十纳秒内做出反应。

欠压锁定与输出有源钳位相结合，确保在电源电压不足的情况下输出保持低位。

表 7 供电不足时的逻辑表- INA、INB、DISABLE

Inputs		DIS	Supplies			Outputs	
INA	INB		V_{DDI}	V_{DDA}	V_{ddb}	OUTA	OUTB
X	X	X	$< UVLO_{VDDI,on}$	X	X	L	L
X	X	X	$> UVLO_{VDDI,on}$	$< UVLO_{VDDA,on}$	$< UVLO_{Vddb,on}$	L	L
X	X	X	$> UVLO_{VDDI,on}$	$> UVLO_{VDDA,on}$	$< UVLO_{Vddb,on}$	Follows INA	L
X	X	X	$> UVLO_{VDDI,on}$	$< UVLO_{VDDA,on}$	$> UVLO_{Vddb,on}$	L	Follows INB

2.7 CT通信和输入到输出数据传输

基于无芯变压器 (CT) 的通信模块用于输入和输出之间的 PWM 信号传输。发射器中经过验证的高分辨率脉冲重复方案与接收器侧的看门狗超时相结合，可以从通信故障中恢复，并确保在故障情况下系统安全关闭。

3 电气特性

3 电气特性

绝对最大额定值列于表 8 中。超过这些值的应力可能会对器件造成永久性损坏。长时间暴露于绝对最大额定条件下可能会影响器件的可靠性。

3.1 最大绝对额定值

表 8 绝对最大额定值

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Input supply voltage	V_{DDI}	-0.3	–	18	V	–
Output supply voltage at pins VDDB, VDDB	V_{DDA}, V_{DDB}	-0.3	–	22 ¹⁾	V	–
Voltage at pins INA, INB, DIS (DC)	V_{IN}	-0.3	–	18	V	–
Voltage at pins INA, INB, DIS (transient)	V_{IN}	-5	–	–	V	transient for 50 ns ³⁾
Voltage at pin DTC	V_{DTC}	²⁾	–	$V_{DDI} + 0.3$	V	–
Voltage at pins OUTA, OUTB (DC)	V_{OUT}	-0.3	–	$V_{DDA/B} + 0.3$	V	–
Voltage at pins OUTA, OUTB (transient)	V_{OUT}	-2	–	$V_{DDA/B} + 1.5$	V	transient for 200 ns ³⁾
Reverse current peak at pins OUTA, OUTB	I_{SRC_rev}	-5	–	–	A _{pk}	transient for 500 ns ³⁾
Reverse current peak at pins OUTA, OUTB	I_{SNK_rev}	–	–	5	A _{pk}	transient for 500 ns ³⁾
Junction temperature	T_J	-40	–	150	°C	–
Storage temperature	T_{STG}	-65	–	150	°C	–
Soldering temperature	T_{SOL}	–	–	260	°C	reflow ⁴⁾
ESD capability	V_{ESD_CDM}	–	–	1	kV	Charged Device Model (CDM) ⁵⁾
ESD capability	V_{ESD_HBM}	–	–	2	kV	Human Body Model (HBM) ⁶⁾

1) 最大正电源电压已经符合降额指南。

2) 当 DTC 运行时 (DTC 引脚通过电阻连接到 GND)，最小值由内部调节给出。

3) 不适用于生产测试 - 由设计/特性验证

4) According to JEDEC-020E.

5) According to ANSI/ESDA/JEDEC JS-002.

6) According to ANSI/ESDA/JEDEC JS-001 (discharging 100 pF capacitor through 1.5 kΩ resistor).

3 电气特性

3.2 热特性

热特性是通过模拟获得的，在驱动器输入侧施加 65 mW，在任何输出通道施加 200 mW。

表 9 $T_A = 25^\circ\text{C}$ 时的热特性

Parameter	Symbol	Value		Unit	Note or condition
		2s2p ¹⁾	10-layer ²⁾		
Thermal resistance junction ambient ³⁾	R_{thJA25}	131	114	K/W	–
Thermal resistance junction-case (top) ⁴⁾	R_{thJC25}	56		K/W	–
Thermal resistance junction board ⁵⁾	R_{thJB25}	73	78	K/W	–
Characterization parameter junction-top ⁶⁾	ψ_{thJT25}	10	9	K/W	–
Characterization parameter junction-board ⁶⁾	ψ_{thJB25}	71	75	K/W	–

1) High-K board JEDEC-standard as specified in JESD51-7: four-layers board with 2-oz inner layers copper planes and with no thermal vias for cooling.

2) 10-layer board emulating typical application conditions: 3.2 mm thick board with 3-oz copper layers and 2 thermal vias connecting GNDA, GNDB to the inner layers.

3) Obtained by simulating the 2s2p JESD51-7 board or the 10-layer board in an environment described in JESD51-2a.

4) Obtained by simulating a cold plate test on the package top.No specific JEDEC standard exists, but a close description can be found in the ANSI SEMI standard G30-88.

5) Obtained by simulating the 2s2p JESD51-7 board or the 10-layer board in an environment described in JESD51-8 with a ring cold plate fixture to control the PCB temperature.

6) Estimates the junction temperature in a real system and is extracted from the simulation data for obtaining R_{thJA} , using a procedure described in JESD51-2a (sections 6 and 7).

3 电气特性

3.3 工作范围

表 10 工作范围

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Input supply voltage at pin VDDI	V_{DDI}	3	–	17	V	Min. defined by $UVLO_{VDDI}$
Output supply voltage at pin VDDA and VDDB	V_{DDA}, V_{DDB}	4.5	–	20 ¹⁾	V	4 V UVLO option
Output supply voltage at pin VDDA and VDDB	V_{DDA}, V_{DDB}	8.5	–	20 ¹⁾	V	8 V UVLO option
Input voltage at pins INA, INB, DISABLE	V_{IN}	0	–	17	V	–
Input voltage at pin DTC	V_{DTC}	²⁾	–	V_{DDI}	V	–
Junction temperature	T_J	-40	–	150 ³⁾	°C	
Ambient temperature	T_A	-40	–	125	°C	–

1) 最大正电源电压已经符合降额指南。

2) 当 DTC 运行时 (DTC 引脚通过电阻连接到 GND)，最小值由内部调节给出。

3) 在高于 125°C 的温度下持续运行可能会缩短使用寿命。

3.4 电气特性

除非另有说明，电气特性均基于 $V_{DDI} = 3.3\text{ V}$ 、 $V_{DDA/B} = 12\text{ V}$ 和空载条件。典型值基于 $T_J = 25^\circ\text{C}$ 计算，最小值和最大值分别为整个工作范围内的下限和上限。

表 11 电源

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
IVDDI quiescent current	I_{VDDIq}	–	1.67	2.12	mA	no switching
IVDDA/B quiescent current	$I_{VDDA/Bq}$	–	0.62	0.86	mA	OUT = low
IVDDA/B quiescent current	I_{VDDBq}	–	0.76	1.0	mA	OUT = high

表 12 欠压锁定 VDDI

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-on threshold VDDI	$UVLO_{VDDI,on}$	–	2.85	2.95	V	–

(表格续下页.....)

3 电气特性

表 12 (续) 欠压锁定 VDDI

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-off threshold VDDI	UVLO _{VDDI,off}	2.55	2.7	–	V	–
UVLO threshold hysteresis VDDI	UVLO _{VDDI,hys}	0.10	0.15	0.20	V	–

表 13 欠压锁定 VDDA、VDDB 为 4 V UVLO 选项

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-on threshold VDDA, VDDB	UVLO _{VDDA,on} UVLO _{VDDB,on}	–	4.2	4.4	V	–
Undervoltage Lockout (UVLO) turn-off threshold VDDA, VDDB	UVLO _{VDDA,off} UVLO _{VDDB,off}	3.7	3.9	–	V	–
UVLO threshold hysteresis VDDA, VDDB	UVLO _{VDDA,hys} UVLO _{VDDB,hys}	0.2	0.3	0.4	V	–

表 14 欠压锁定 VDDA、VDDB 的 8 V UVLO 选项

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Undervoltage Lockout (UVLO) turn-on threshold VDDA, VDDB	UVLO _{VDDA,on} UVLO _{VDDB,on}	–	8.0	8.5	V	–
Undervoltage Lockout (UVLO) turn-off threshold VDDA, VDDB	UVLO _{VDDA,off} UVLO _{VDDB,off}	6.6	7.0	–	V	–
UVLO threshold hysteresis VDDA, VDDB	UVLO _{VDDA,hys} UVLO _{VDDB,hys}	0.7	1	1.3	V	–

表 15 逻辑输入 INA、INB、DISABLE

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Input voltage threshold for transition LH	V _{INH}	–	2.0	2.36	V	–
Input voltage threshold for transition HL	V _{INL}	0.9	1.2	–	V	–

(表格续下页.....)

3 电气特性

表 15 (续) 逻辑输入 INA、INB、DISABLE

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Input voltage threshold hysteresis	V_{IN_hys}	0.38	0.8	1.2	V	–
High-level input leakage current	I_{IN}	–	22	27	μA	INA/INB pin tied to VDDI
Input pull-down resistor	$R_{IN,PD}$	–	150	–	kΩ	–

表 16 死区时间控制 (DTC) 和直通保护 (STP)

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Dead-time	t_{dt}	85	100	115	ns	$R_{DTC} = 10\text{ k}\Omega$
Dead-time	t_{dt}	255	300	345	ns	$R_{DTC} = 30\text{ k}\Omega$
Dead-time	t_{dt}	800	950	1100	ns	$R_{DTC} = 100\text{ k}\Omega$ ¹⁾
Channel-to-channel dead-time mismatch	$\Delta t_{dt,Ch-Ch}$	0	–	10	ns	$R_{DTC} = 10\text{ k}\Omega$
Channel-to-channel dead-time mismatch	$\Delta t_{dt,Ch-Ch}$	0	–	14	ns	$R_{DTC} = 30\text{ k}\Omega$
Channel-to-channel dead-time mismatch	$\Delta t_{dt,Ch-Ch}$	0	–	40	ns	$R_{DTC} = 100\text{ k}\Omega$ ¹⁾
Part-to-part dead-time mismatch	$\Delta t_{dt,p-p}$	0	–	20	ns	$R_{DTC} = 10\text{ k}\Omega$ ²⁾
Part-to-part dead-time mismatch	$\Delta t_{dt,p-p}$	0	–	55	ns	$R_{DTC} = 30\text{ k}\Omega$ ²⁾
Part-to-part dead-time mismatch	$\Delta t_{dt,p-p}$	0	–	105	ns	$R_{DTC} = 100\text{ k}\Omega$ ^{1) 2)}

1) 不适用于生产测试 - 由设计/特性验证

2) 该参数给出了在相同条件下（包括相同的环境温度）不同样本插入的死区时间的差异。

表 17 静态输出特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
High-level (sourcing) output resistance	R_{on_SRC}	0.6	1.0	1.6	Ω	$I_{SRC} = 50\text{ mA}$
Peak sourcing output current	I_{SRC_pk}	–	5	–	A	$C_{LOAD} = 22\text{ nF}$ ¹⁾
Low-level (sinking) output resistance	R_{on_SNK}	0.2	0.46	0.8	Ω	$I_{SNK} = 50\text{ mA}$

3 电气特性

表 17 (续) 静态输出特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Peak sinking output current	I_{SNK_pk}		-9	–	A	$C_{LOAD} = 22 \text{ nF}$ ¹⁾

1) 不适用于生产测试 - 由设计/特性验证

表 18 动态特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
INx to OUTx turn-on propagation delay	$t_{PDon,INx}$	33	38	47	ns	See Figure 5 , Figure 6
INx to OUTx turn-off propagation delay	$t_{PDoff,INx}$	30	36	46	ns	See Figure 5 , Figure 6
Part-to-part turn-on propagation delay mismatch	$\Delta t_{PDon,p-p}$	0	–	6	ns	¹⁾
Part-to-part turn-off propagation delay mismatch	$\Delta t_{PDoff,p-p}$	0	–	8	ns	¹⁾
Channel-to-channel turn-on propagation delay mismatch	$t_{PDon,ChA-ChB}$	-4	–	4	ns	See Figure 7 ²⁾
Channel-to-channel turn-off propagation delay mismatch	$\Delta t_{PDoff,ChA-ChB}$	-5.5	–	3	ns	See Figure 7 ²⁾
Pulse width distortion	t_{PWD}	-5	2	5.5	ns	See Figure 8 ³⁾
Channel turn-off to channel turn-on propagation delay mismatch	t_{DTD}	-5	-2	1	ns	See Figure 9 ^{4) 5)}
Rise time	t_{rise}	–	7.5	14	ns	$C_{LOAD} = 1.8 \text{ nF}$, see Figure 10 ⁶⁾
Fall time	t_{fall}	–	6	11	ns	$C_{LOAD} = 1.8 \text{ nF}$, see Figure 10 ⁶⁾
Minimum input pulse width that changes output state	t_{PW}	10	17	25	ns	See Figure 11
Input-side start-up time	$t_{START,VDDI}$	–	3.5	5	μs	See Figure 12 ⁶⁾
Input-side deactivation time	$t_{STOP,VDDI}$	600	750	–	ns	See Figure 12 ⁶⁾

3 电气特性

表 18 (续) 动态特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Output-side start-up time	$t_{\text{START,VDDA/B}}$	–	2.5	5	μs	See Figure 13 ⁶⁾
Output-side deactivation time	$t_{\text{STOP,VDDA/B}}$	500	800	–	ns	See Figure 13 ⁶⁾

- 1) 该参数表示在相同条件（包括相同环境温度）下，不同样本在相同方向上切换时的传播延迟差异；因此，可以指示生产差异。给出的限值适用于所有通道组合： $t_{\text{PD_ChA}}-t_{\text{PD_ChA}}$, $t_{\text{PD_ChB}}-t_{\text{PD_ChB}}$, $t_{\text{PD_ChA}}-t_{\text{PD_ChB}}$, $t_{\text{PD_ChB}}-t_{\text{PD_ChA}}$ 。
- 2) 该参数给出了通道A和通道B在相同方向上切换的传播延迟的差异相同的样本。
- 3) 该参数给出了相同环境温度下相同样本中相同通道（ChA 或 ChB）的 ON 和 OFF 传播延迟之间的差异。
- 4) 该参数给出了相同室温下相同样品中一个通道的 ON 传播延迟与另一个通道的 OFF 传播延迟之间的差值。此参数仅表示当驱动器 DTC 未使用或未强制执行时输入死区时间的失真，否则，请参阅“死区时间和直通保护”表。
- 5) 不适用于生产测试 - 由设计/特性验证
- 6) 不适用于生产测试 - 由设计/特性验证

表 19 共模瞬态抗扰度 (CMTI)

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Static Common-Mode Transient Immunity	$ CM_{\text{Static,H}} $	150	–	–	V/ns	$V_{\text{CM}} = 1500 \text{ V}$; INA, INB tied to V_{DDI} (logic high inputs) ¹⁾
Static Common-Mode Transient Immunity	$ CM_{\text{Static,L}} $	150	–	–	V/ns	$V_{\text{CM}} = 1500 \text{ V}$; INA, INB tied to GNDI (logic low inputs) ¹⁾

- 1) Minimum slew rate of a common-mode voltage that is able to cause an incorrect output signal

3.5 隔离规格

表 20 隔离规格

Parameter	Symbol	Value	Unit	Note or condition
External input-to-output creepage ¹⁾	CRP	3.4	mm	Shortest distance over package surface from any input pin to any output pin according to IEC 60664-1
External input-to-output clearance ¹⁾	CLR	3.4	mm	Shortest distance in air from any input pin to any output pin according to IEC 60664-1
Comparative tracking index	CTI	> 400	V	According to DIN EN 60112 (VDE 0303-11)
Material group	–	II	–	According to IEC 60112
Pollution degree	–	II	–	According to IEC 60664-1

3 电气特性

表 20 (续) 隔离规格

Parameter	Symbol	Value	Unit	Note or condition
Overvoltage category (for basic isolation)	–	I - III	–	Rated mains voltage $\leq 150 V_{RMS}$
	–	I - II	–	Rated mains voltage $\leq 300 V_{RMS}$
	–	I	–	Rated mains voltage $\leq 600 V_{RMS}$
Climatic category	–	40/125/21	–	According to IEC 60112

输入至输出隔离符合 UL1577 Ed. 5²⁾

Input-to-output isolation voltage	V_{ISO}	2500	V_{RMS}	$V_{TEST} = V_{ISO}$ for $t = 60$ s (qualification); $V_{TEST} = 1.2 \times V_{ISO}$ for $t = 1$ s (100% productive tests)
-----------------------------------	-----------	------	-----------	---

输入至输出隔离符合 DIN VDE V0884-11³⁾

Maximum rated transient isolation voltage	V_{IOTM}	3535	V_{pk}	$V_{TEST} = 1.2 \times V_{IOTM}$ for $t_{ini} = 1$ s
Maximum rated repetitive isolation voltage	V_{IORM}	800	V_{pk}	According to Time Dependent Dielectric Breakdown (TDDB) Test
Apparent charge	Q_{PD}	< 5	pC	Method (b1) ⁴⁾ $V_{PD(ini)} = 1.2 \times V_{IOTM}$ for $t_{ini} = 1$ s $V_{PD(m)} = 1.875 \times V_{IORM}$ for $t_m = 1$ s
Maximum surge isolation voltage ⁵⁾	V_{IOSM}	5384	V_{pk}	$V_{IOSM_TEST} = 1.3 \times V_{IOSM}$
Isolation resistance input-to-output ⁶⁾	R_{IO}	10^{12}	Ω	$V_{IO} = 500 V_{dc}$ for $t = 60$ s, $T_A = 25^\circ C$
		10^{11}	Ω	$V_{IO} = 500 V_{dc}$ for $t = 60$ s, $T_A = 125^\circ C$
		10^9	Ω	$V_{IO} = 500 V_{dc}$ for $t = 60$ s, $T_A = 150^\circ C$
Capacitance input-to-output ⁶⁾	C_{IO}	2	pF	$f = 1$ MHz

1) 爬电距离和间隙要求取决于应用和相关的终端设备隔离标准。应注意满足PCB板上所需的爬电距离和电气间隙值。

2) 参见 UL1577 证书 n.E311313.

3) 根据VDE0884-11规范提供的参数, 无需安全认证

4) 部分放电电压 $V_{PD(m)}$ 较大 ($1444 V_{pk} > 1.875 \times V_{IORM}$), 以包含终端设备标准 IEC 60664-1、IEC 62368-1、IEC 60950 所要求的 F4 系数 ($V_{PD(m)} = F1 \times F2 \times F3 \times F4 \times V_{IORM} = 1.875 \times F4 \times V_{IORM}$)。增强隔离的 F3 系数 (1.25) 也被考虑用于进一步增加绝缘应力。

5) 浪涌测试在绝缘油中进行, 以确定绝缘屏障的固有浪涌抗扰度。该参数通过设计/特性验证

6) 该参数适用于转换为双端子器件的产品, 其中 1 侧的所有端子连接在一起, 2 侧的所有端子连接在一起。

3 电气特性

表 21 输出通道间隔规格

Parameter	Symbol	Value	Unit	Note or condition
External channel-to-channel creepage ¹⁾	CRP _{Ch-Ch}	1.0	mm	Shortest distance over package surface between any output channel A pin and any output channel B pin

1) 爬电距离和间隙要求取决于应用和相关的终端设备隔离标准。应注意满足PCB板上所需的爬电距离和电气间隙值。

4 时序图

4 时序图

图 5 说明了在电容负载输出处观察到的输入到输出传播延迟。

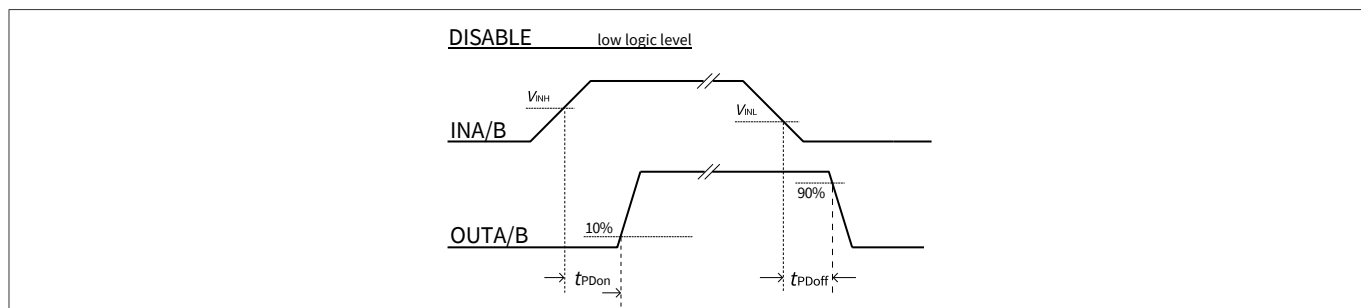


图 5 INx 至 OUTx 传播延迟

图 6 说明了在电容负载输出处观察到的输入到输出传播延迟。

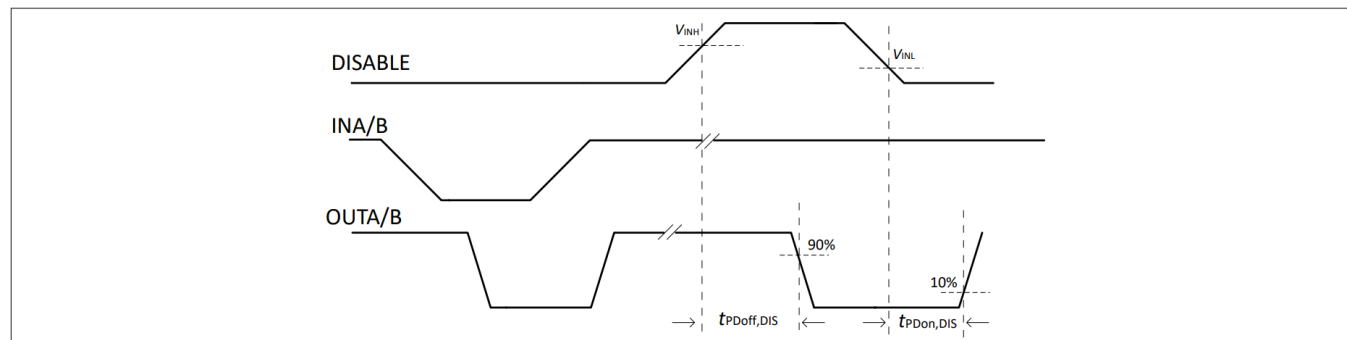


图 6 DISABLE 至 OUTx 传播延迟

图 7 表示空载输出端的通道间传播延迟不匹配。当通道驱动并联开关时，此参数很重要，因为它表示两个驱动信号之间的延迟。

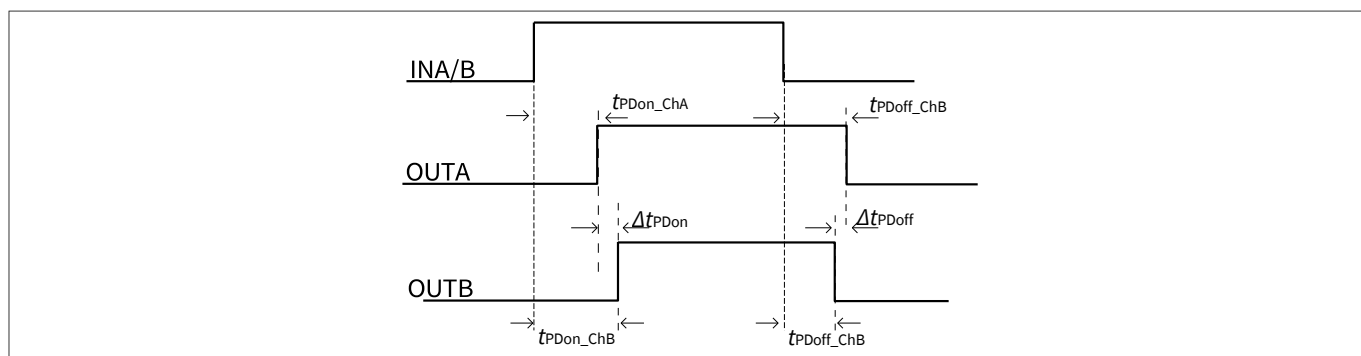


图7 通道间传播延迟不匹配

图8 图示为空载输出端的脉冲宽度失真。理想情况下，输入脉冲宽度 (t_{PW_INx}) 等于输出脉冲宽度 (t_{PW_OUTx})；然而，驱动器会引入输出脉冲失真 t_{PW} ，其值为导通 (ON) 和关断 (OFF) 传播延迟之差。

4 时序图

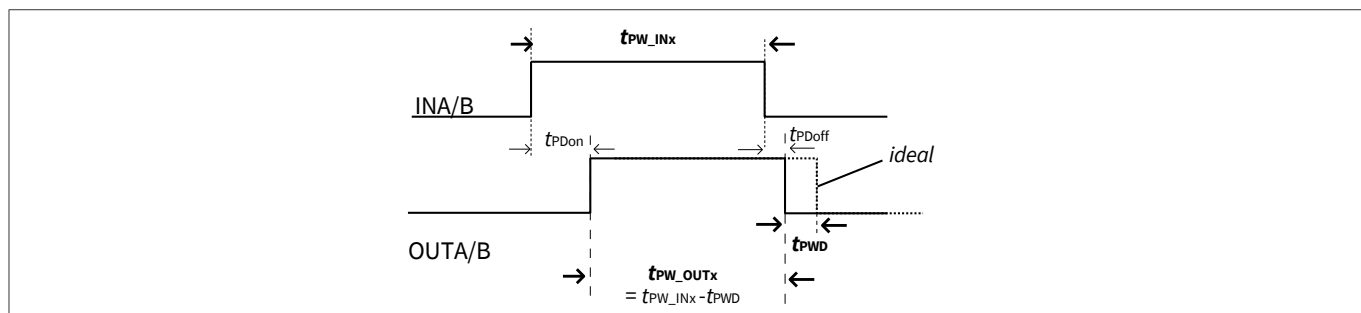


图8 脉冲宽度失真

图9图示为空载输出端的死区失真。该参数与互补信号操作相关，例如在输入端 INA 和 INB 上设置特定死区时间 t_{DT_INx} 的半桥驱动。理想情况下，驱动器输出端的死区时间 (t_{DT_OUTx}) 等于输入死区时间；然而，驱动器会引入失真 t_{DTD} ，其值由一个通道的关断传播延迟与另一个通道的导通传播延迟之差决定。

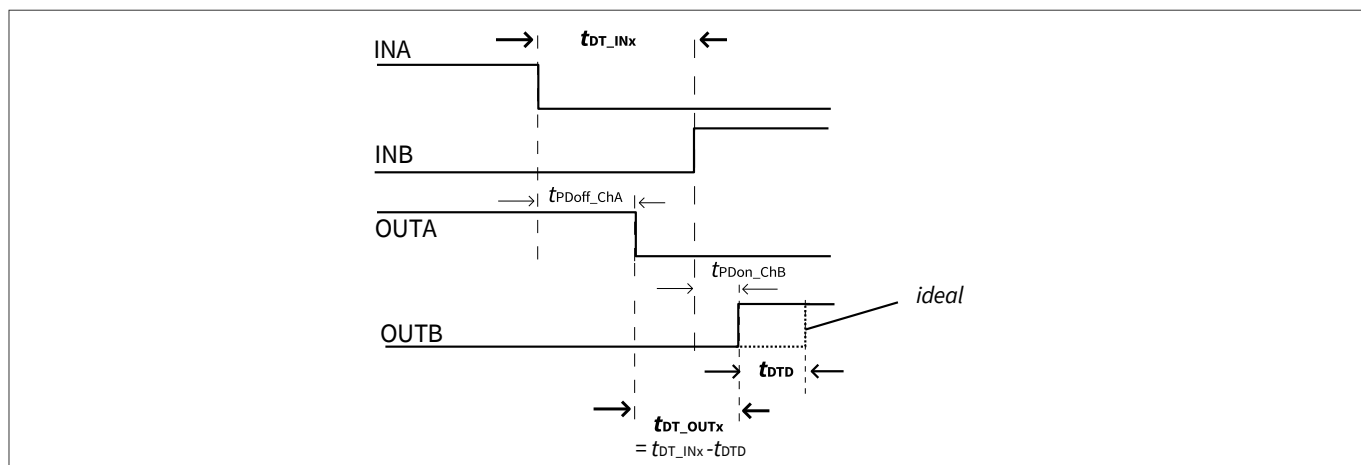


图9 通道关闭与通道开启传播延迟不匹配

图10 说明了在电容负载输出处观察到的上升和下降时间。

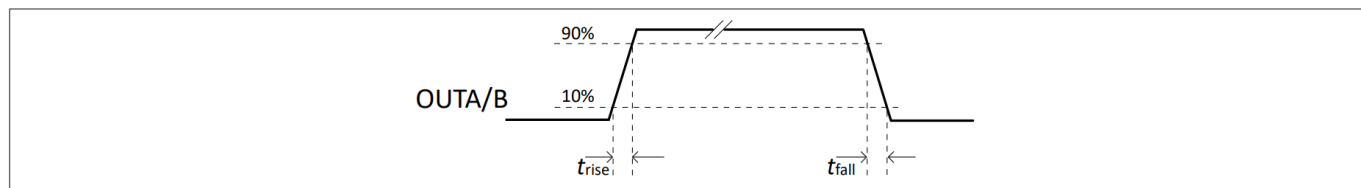


图10 上升和下降时间

图11 说明了抗尖峰脉冲滤波器的行为，该滤波器可滤除 INA、INB 上持续时间短于 t_{PWmin} 的杂散脉冲。

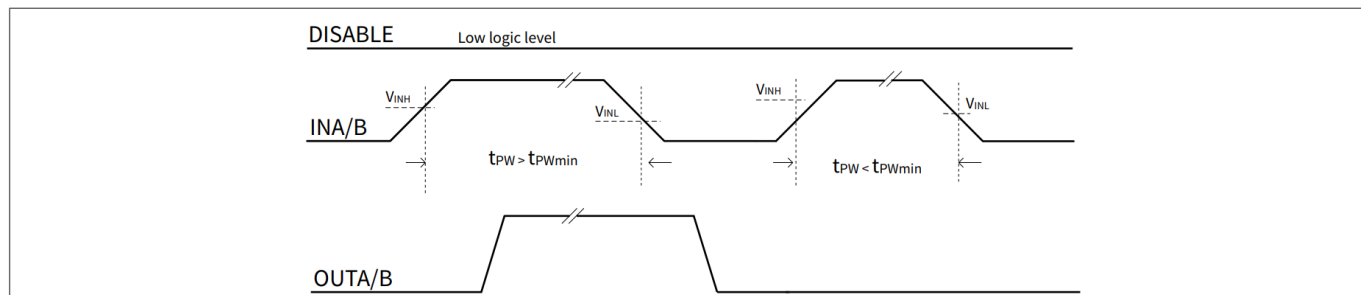


图11 最小脉冲改变输出状态

4 时序图

图 12 图示了输入侧电源 UVLO 行为。它描述了当 V_{DDI} 在上升或下降转换（上电、断电、电源噪声）期间超过 UVLO 阈值。

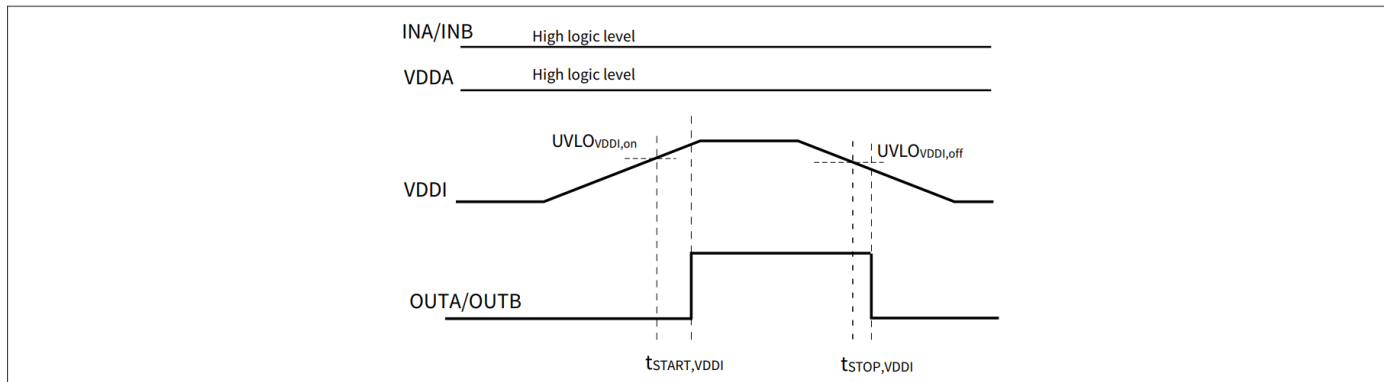


图 12 V_{DDI} UVLO 行为、启动和停用时间

图 13 图示了输出侧电源 UVLO 行为。它描述了当 $V_{DDA/B}$ 在上升或下降转换（上电、断电、电源噪声）期间跨越 UVLO 阈值。

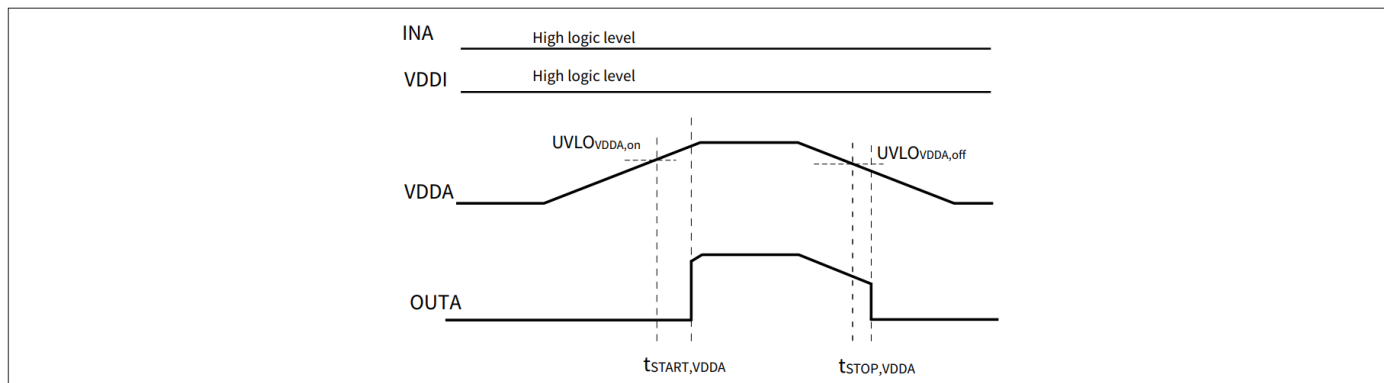


图 13 V_{DDA} 、 V_{DDB} UVLO 行为、启动和停用时间

图 14 图示了直通保护和死区时间逻辑。启用后，如果驱动器死区时间长于信号自身的死区时间，则死区时间会添加到关断传播延迟之上。

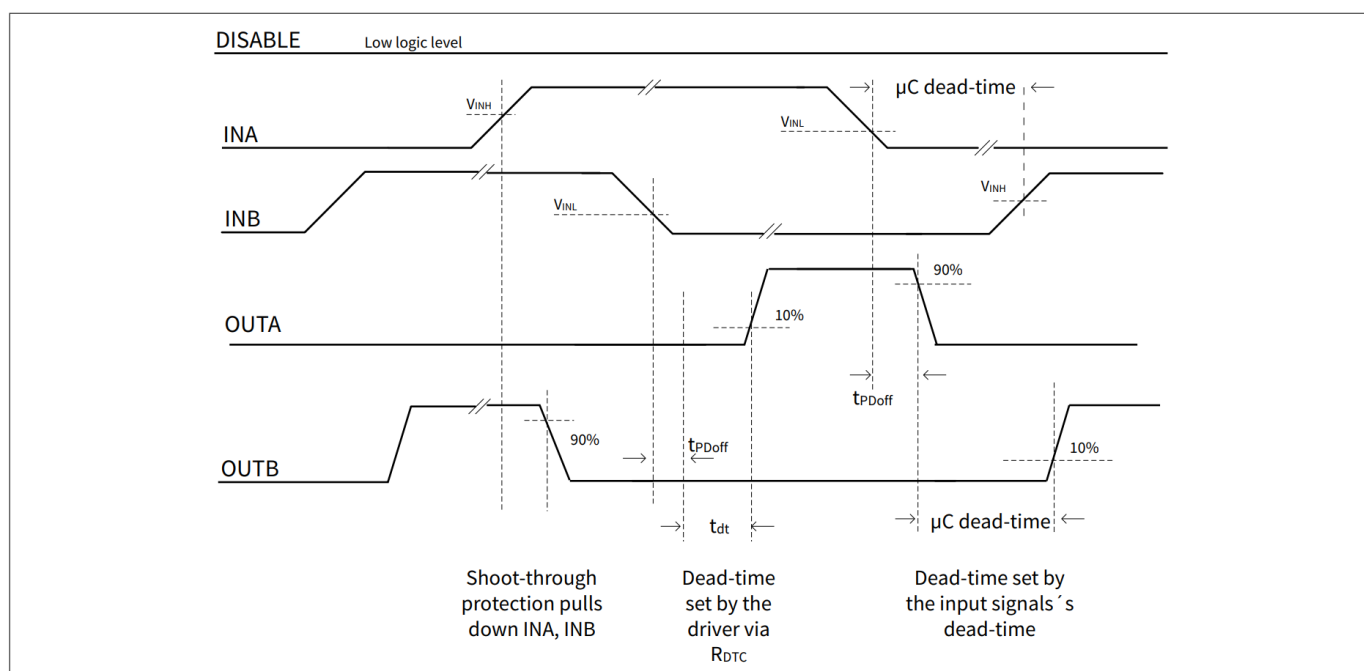


图 14 直通和可配置死区时间

5 典型特征

5 典型特征

$V_{DDI} = 3.3\text{ V}$, $V_{DDA/B} = 12\text{ V}$, $T_A = 25^\circ\text{C}$, $f_{sw} = 1\text{ MHz}$, no load unless otherwise noted

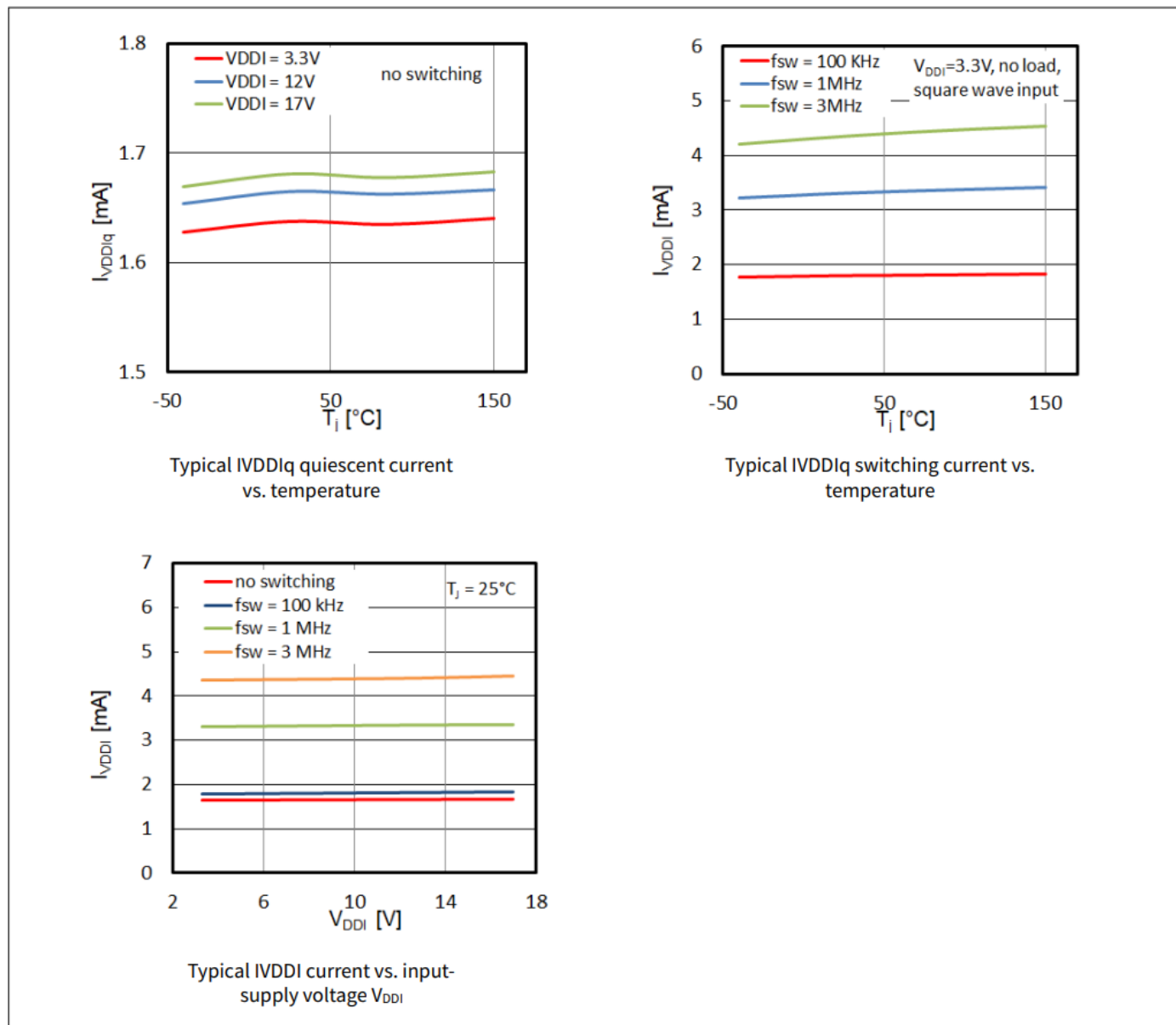


图15 输入侧电源电流

5 典型特征

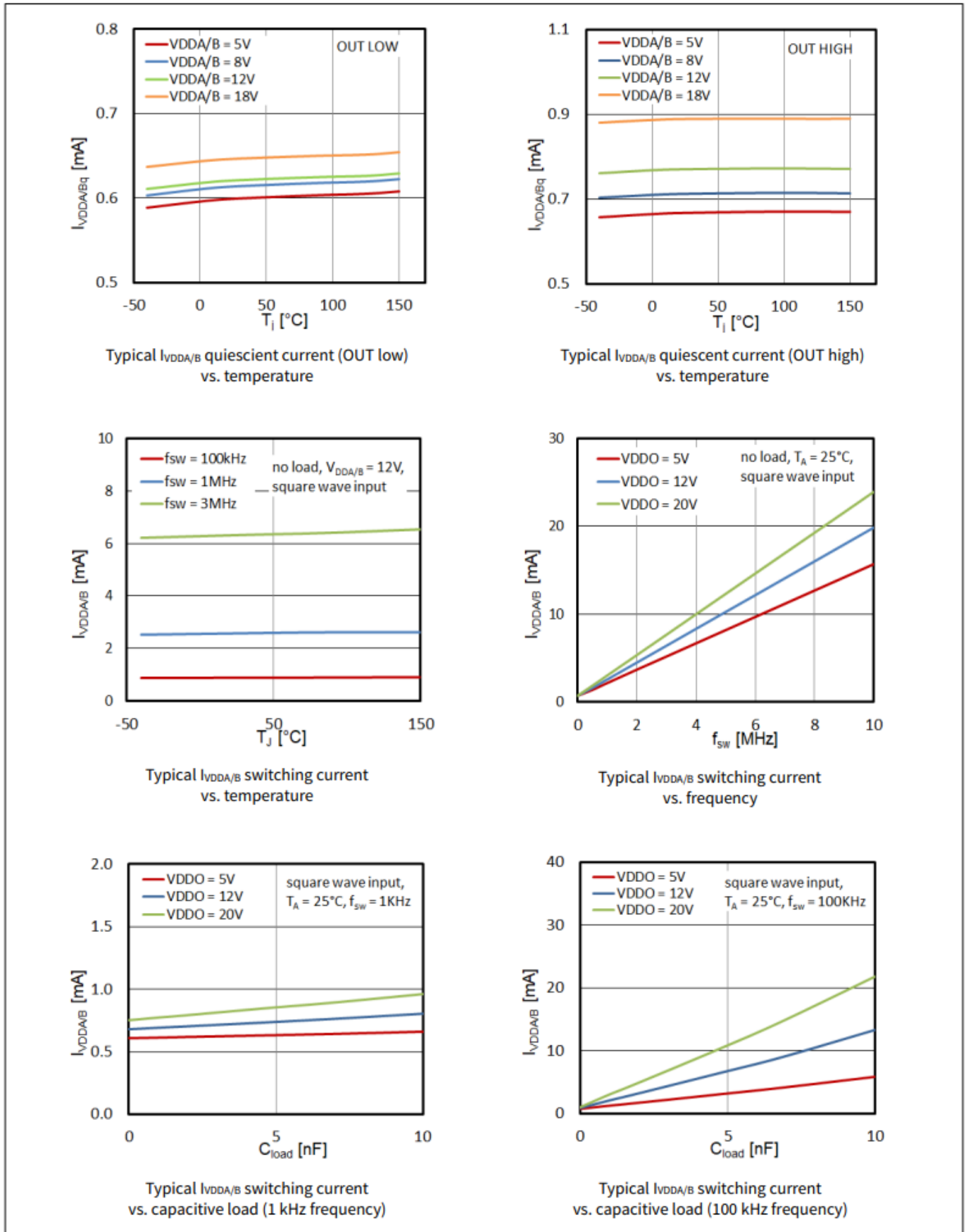


图16 输出侧电源电流

5 典型特征

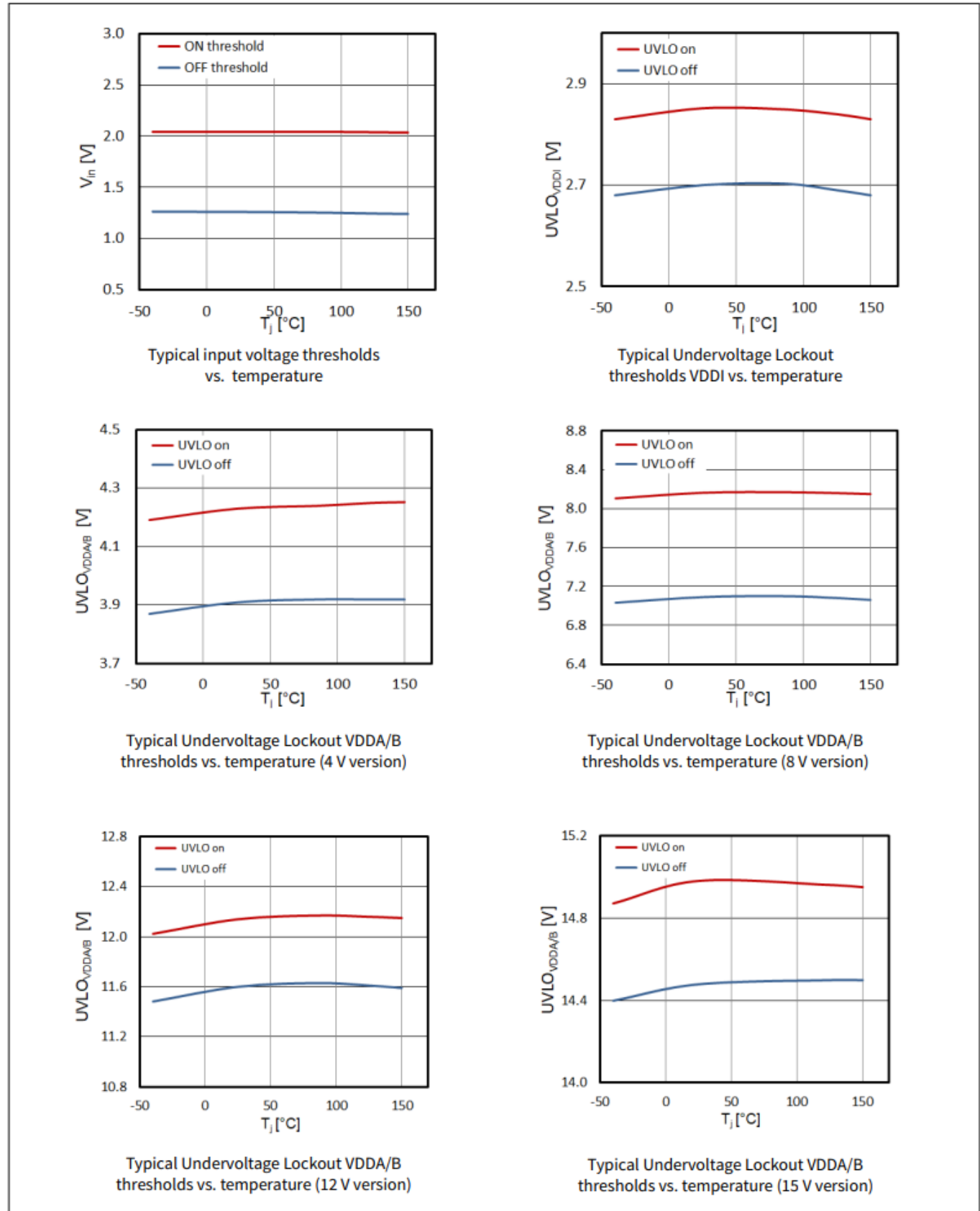


图 17 输入电压阈值和欠压锁定

5 典型特征

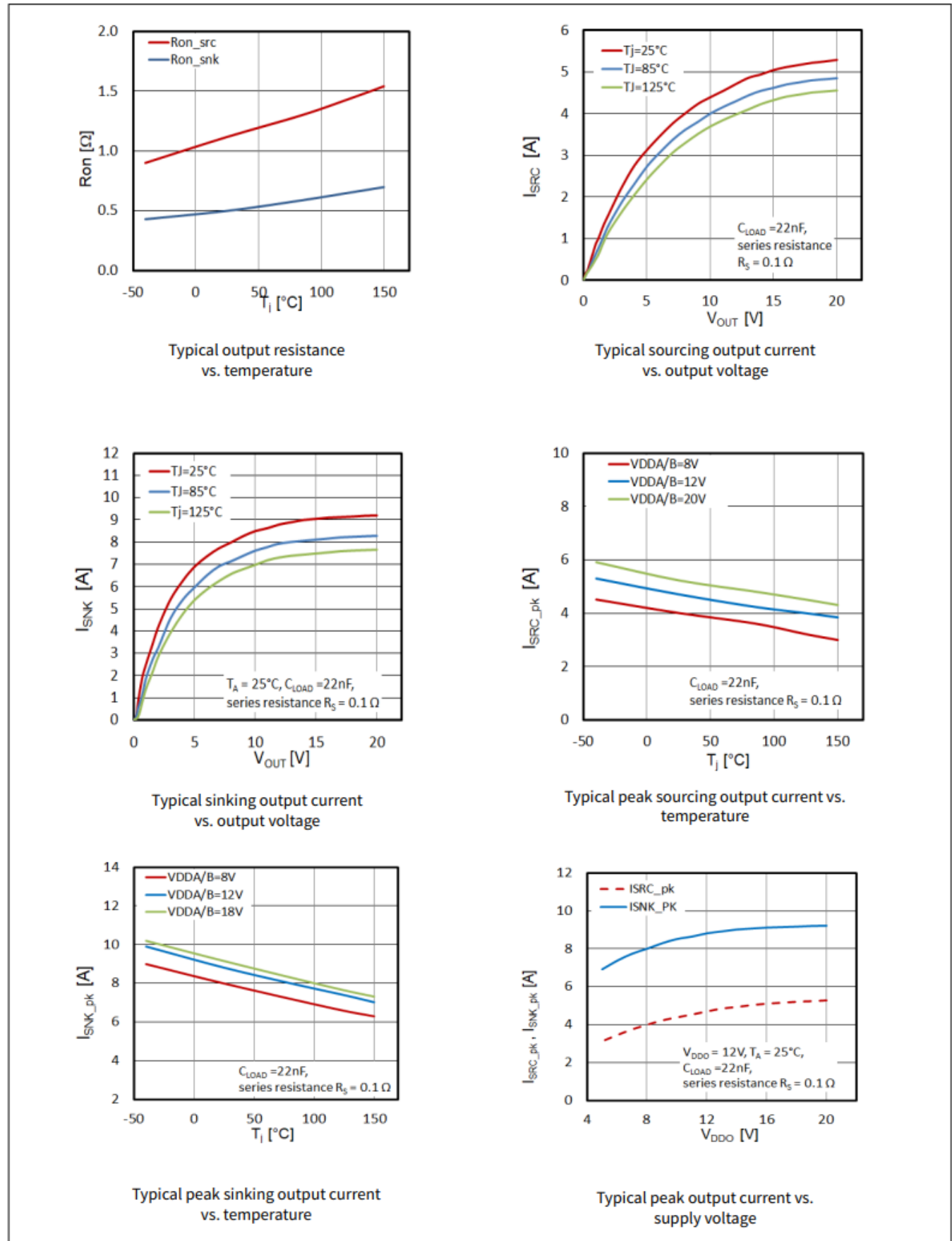


图18 典型输出特性

5 典型特征

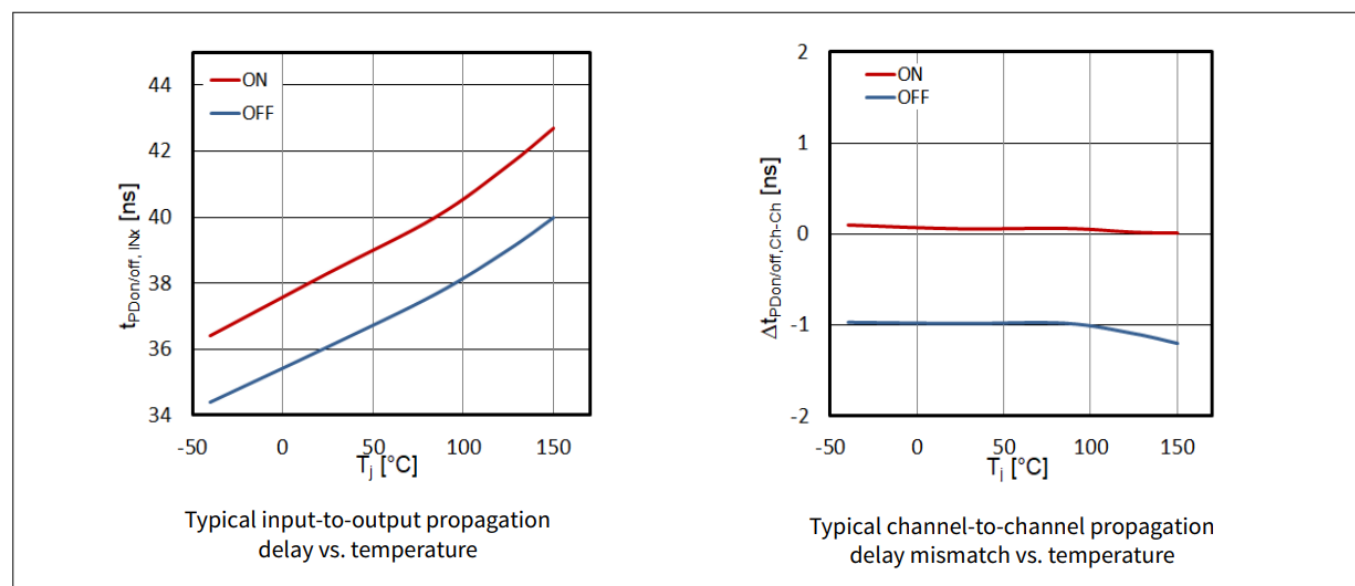


图19 典型的传播延迟

5 典型特征

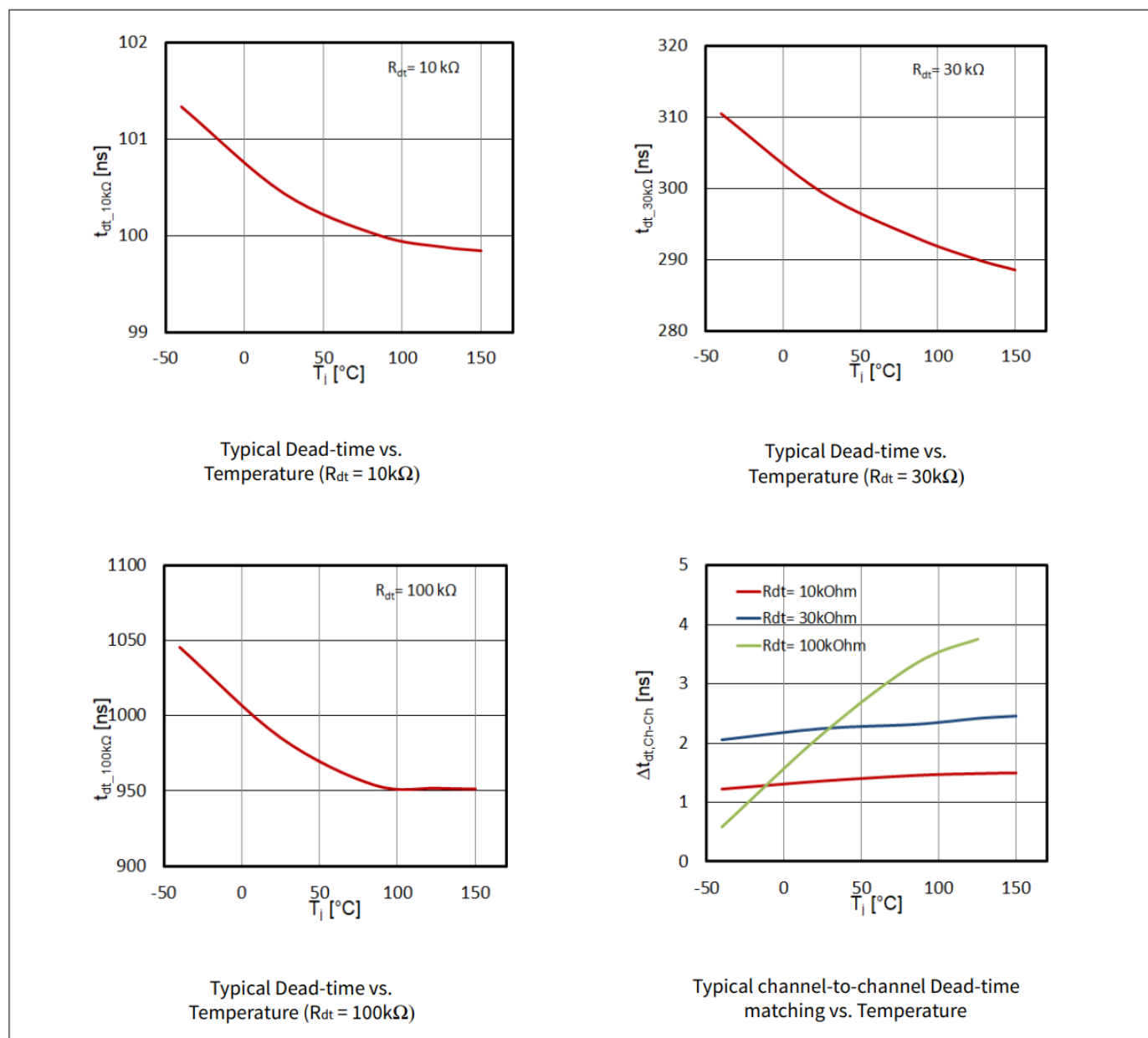


图20 典型死区时间

6 封装外形尺寸

6 封装外形尺寸

6.1 产品编号和标记

表 22 产品编号和标记

Part number	Orderable part number (OPN)	Device marking
2EDB7259K	2EDB7259KXUMA1	2B7259B
2EDB8259K	2EDB8259KXUMA1	2B8259B

6.2 LGA5x5 封装

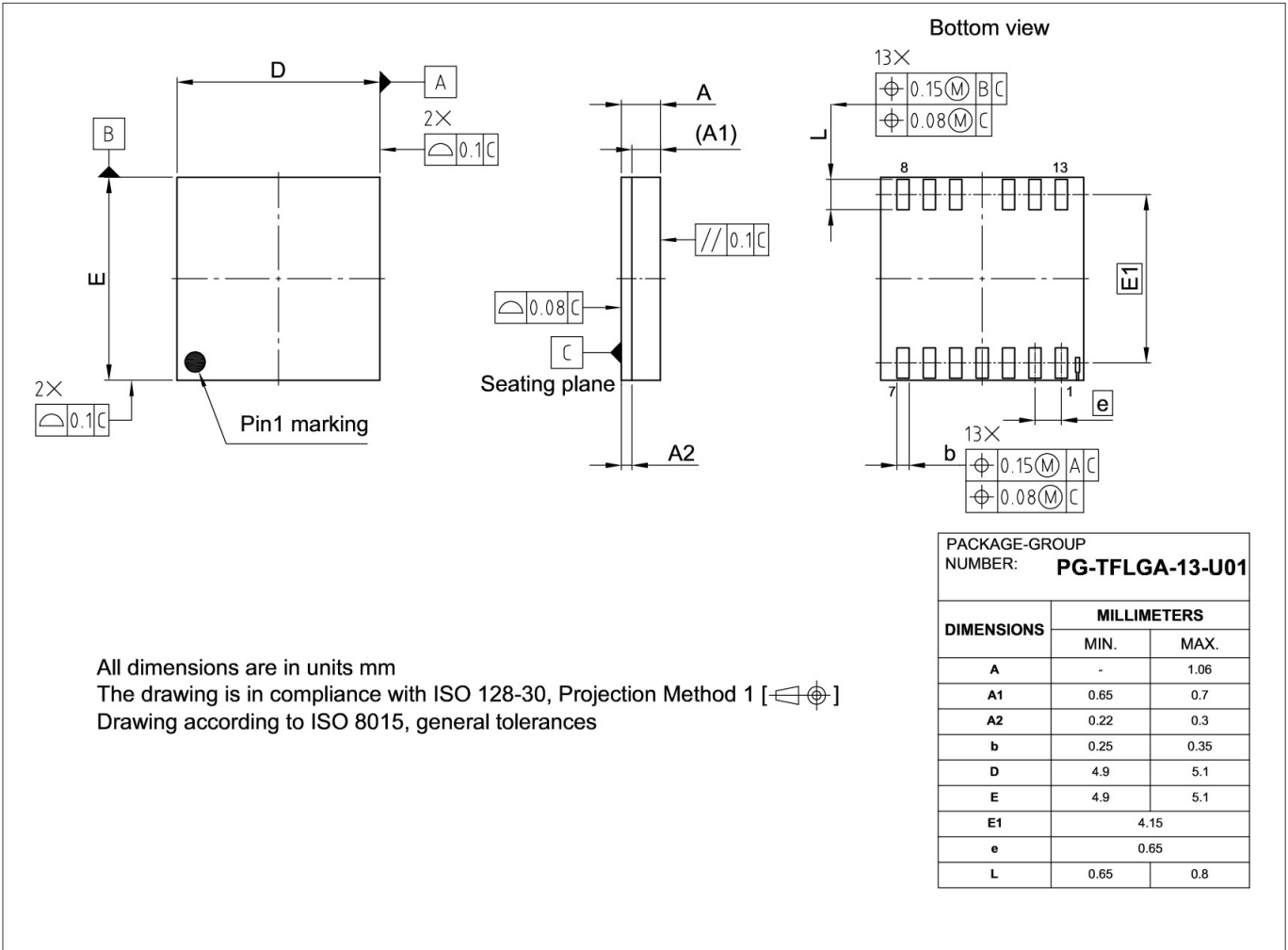


图21 LGA 5x5封装外形

6 封装外形尺寸

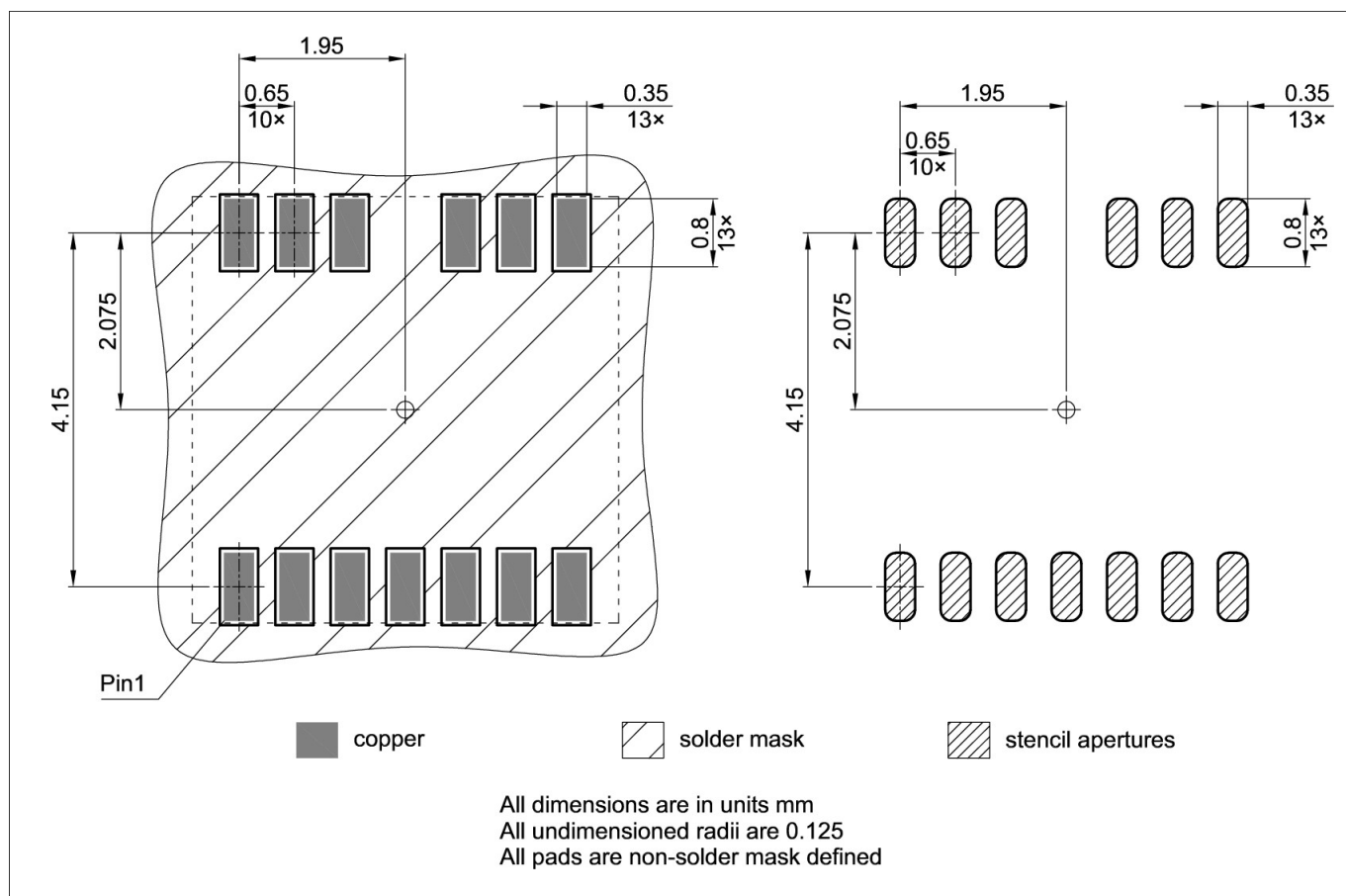


图 22 LGA5x5 封装

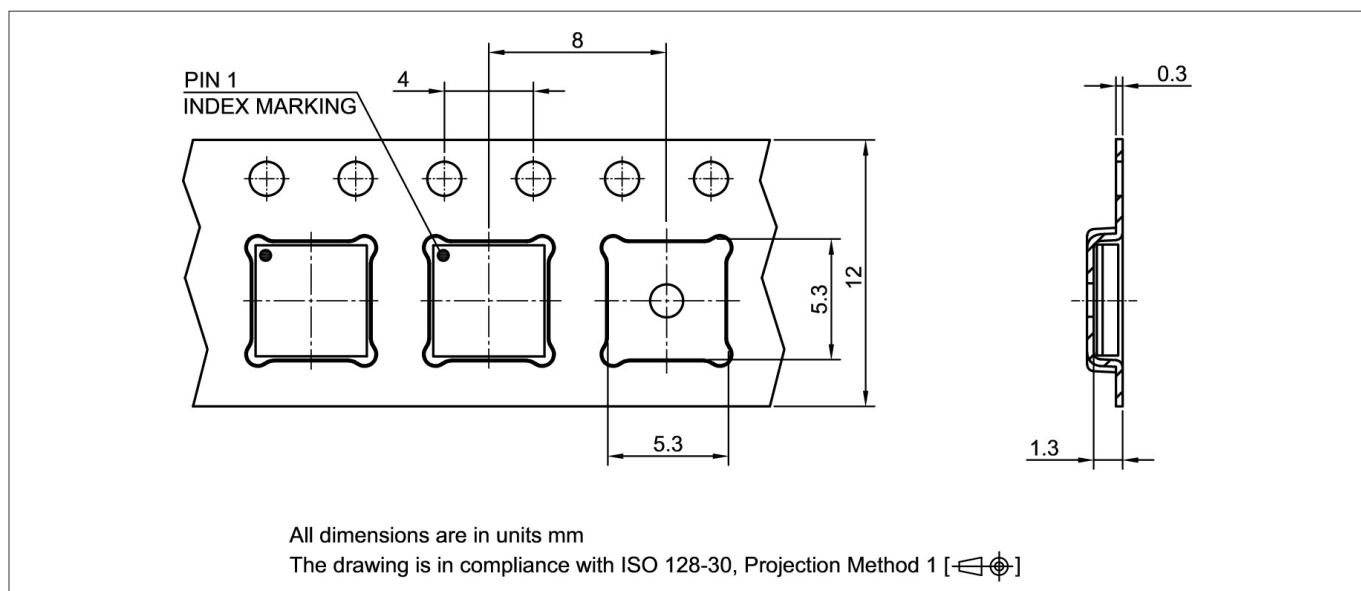


图 23 LGA5x5 封装

绿色产品（符合 RoHS 标准）

为了满足全球客户对环保产品的要求，并遵守政府法规，该器件以绿色产品的形式提供。

6 封装外形尺寸

绿色产品符合RoHS标准（即，引线采用无铅涂层，并且符合IPC/JEDEC J-STD-020标准，适用于无铅焊接）。有关封装的更多信息，请访问 <https://www.infineon.com/packages>。

7 修订记录

7 修订记录

Revision	Date	Description of changes
Rev 1.1	2024-03-21	Updated device marking and application drawing Updated typical characteristic curves Updated ESD CDM rating Updated thermal characteristics table (R_{thJC25_top} and Ψ_{thJT25_top}) for LGA 5x5 Removed LGA 4x4
Rev 1.0	2023-05-04	Initial release



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-10-30

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。