

英飞凌 EiceDRIVER™ 2ED314xMC12L (2ED-X3紧凑型)

具有死区时间控制的双通道隔离栅极驱动器 IC

特性

- 双通道隔离式栅极驱动器
- 适用于 600 V/650 V/1200 V/1700 V/2300 V IGBT、Si 和 SiC MOSFET
- 典型峰值输出电流高达 6.5 A
- 传播延迟为 39 ns，通道间延迟不匹配（偏差）为 5 ns
- 35 V 绝对最大输出电源电压
- 高共模瞬变抗扰度， $CMTI > 200 \text{ kV}/\mu\text{s}$
- 主动关断和短路钳位
- 电气隔离无芯变压器栅极驱动器
- 3.3 V 和 5 V 输入电源电压
- 8 毫米输入至输出和 3.3 毫米通道间爬电距离和电气间隙
- 安全认证
 - UL 1577 (文件 311313) , $V_{ISO, test} = 6840 \text{ V (rms)}$, 持续 1 秒, $V_{ISO} = 5700 \text{ V (rms)}$, 持续 60 秒
 - 加强绝缘符合 IEC 60747-17 标准 (证书编号 40055138) , $V_{ORM} = 1767 \text{ V (峰值)}$



潜在应用

- 电动汽车充电桩
- 储能系统
- 太阳能逆变器
- 服务器和电信开关电源 (SMPS)
- UPS 系统
- 交流和无刷直流电机驱动器
- 商用空调 (CAC)
- 高压DC-DC转换器和DC-AC逆变器

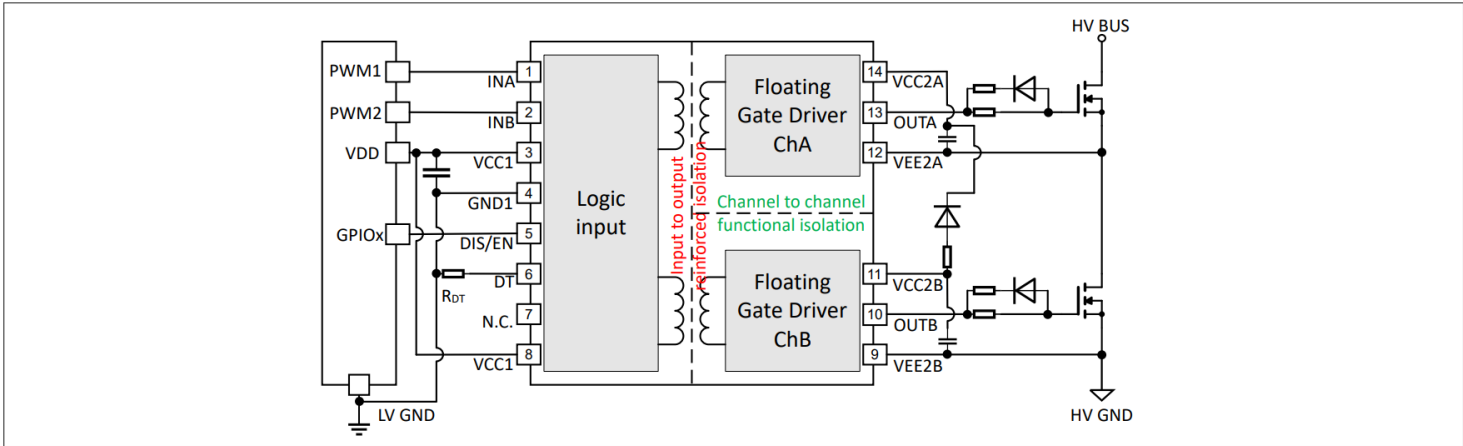
产品验证

符合JEDEC47/20/22相关测试的工业应用要求

描述

EiceDRIVER™ 2ED314xMC12L 是双通道隔离栅极驱动器 IC 系列，旨在驱动 Si MOSFET、IGBT 和 SiC MOSFET。所有产品均采用 14 引脚 DSO 封装，输入至输出爬电距离为 8 mm，并提供增强隔离。所有型号均提供死区时间控制 (DTC) 功能和独立通道操作。这使得它们可以用作双通道低侧驱动器、双通道高侧驱动器或具有可配置死区时间的半桥栅极驱动器。凭借出色的共模瞬变抗扰度 (CMTI)、低器件间传播延迟失配和快速信号传输，这些产品非常适合快速开关应用。

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性，请务必访问 infineon.com 参考最新的英文版本（控制文档）。



采用自举偏置的典型应用图

表 1 订购信息

Product type	Typical UVLO (V_{UVLOL2}/V_{UVLOH2})	Typical output current source/sink	Functionality	UL 1577 certification (single isolation)	IEC 60747-17 certification (reinforced isolation)	Package marking
2ED3140MC12L	8.5 V / 9.3 V	6 A / 6.5 A	DISABLE	E311313	40055138	3140MC12
2ED3141MC12L	11 V / 12 V	6 A / 6.5 A	DISABLE	E311313	40055138	3141MC12
2ED3142MC12L	12.5 V / 13.6 V	6 A / 6.5 A	DISABLE	E311313	40055138	3142MC12
2ED3143MC12L	14.7 V / 16 V	6 A / 6.5 A	DISABLE	E311313	40055138	3143MC12
2ED3144MC12L	8.5 V / 9.3 V	6 A / 6.5 A	ENABLE	E311313	40055138	3144MC12
2ED3145MC12L	11 V / 12 V	6 A / 6.5 A	ENABLE	E311313	40055138	3145MC12
2ED3146MC12L	12.5 V / 13.6 V	6 A / 6.5 A	ENABLE	E311313	40055138	3146MC12
2ED3147MC12L	14.7 V / 16 V	6 A / 6.5 A	ENABLE	E311313	40055138	3147MC12

表2 相关评估板

Board name	Gate driver	Power transistor	Short description
EVAL-2ED3146MC12L-SIC	2ED3146MC12L	IMZA120R020M1H	Half-bridge board with the 2ED3146MC12L gate driver and paired with CoolSiC™ in a PG-TO-247-4 package



目录

特征 1

潜在应用 1

产品验证 1

描述 1

目录 3

1 框图参考 5

2 引脚配置及说明..... 5

3 电气特性及参数 7

3.1 绝对最大额定值 7

3.2 推荐运行条件 9

3.3 电气特性..... 10

3.3.1 电源..... 10

3.3.2 逻辑输入..... 11

3.3.3 栅极驱动器..... 11

3.3.4 死区时间和直通保护 11

3.3.5 动态特性 12

3.3.6 主动关闭 13

3.3.7 过温保护..... 14

4 DSO-14 封装的绝缘特性 (IEC 60747-17, UL 1577) 15

5 典型特征 16

6 参数测量 20

6.1 CMTI 测量设置..... 20

6.2 欠压锁定(UVLO) 20

6.3 传播延迟, 上升和下降时间..... 21

6.4 死区时间匹配、偏差和偏差+ 22

7 功能说明 24

7.1 输入侧功能块..... 24

7.1.1 输入电源欠压锁定 (UVLO) 24

7.1.2 输入信号滤波器..... 25

7.1.3 下拉电阻..... 25

7.1.4 死区时间控制..... 25

7.2 输出侧功能块..... 27

7.2.1 输出侧欠压锁定 (UVLO) 27

7.2.2 短路钳位 28

7.2.3 主动关机..... 28

7.2.4 过温保护..... 28



8	应用信息	29
8.1	典型应用.....	29
8.2	电源建议.....	30
8.3	栅极电阻选择.....	30
8.4	死区电阻选择.....	31
8.5	功耗估算.....	31
8.5.1	栅极驱动器.....	31
8.5.2	外部栅极电阻.....	32
8.6	布局指南.....	32
9	相关链接	34
10	包装尺寸	35
	修订记录	36
	免责声明.....	37

1 框图参考

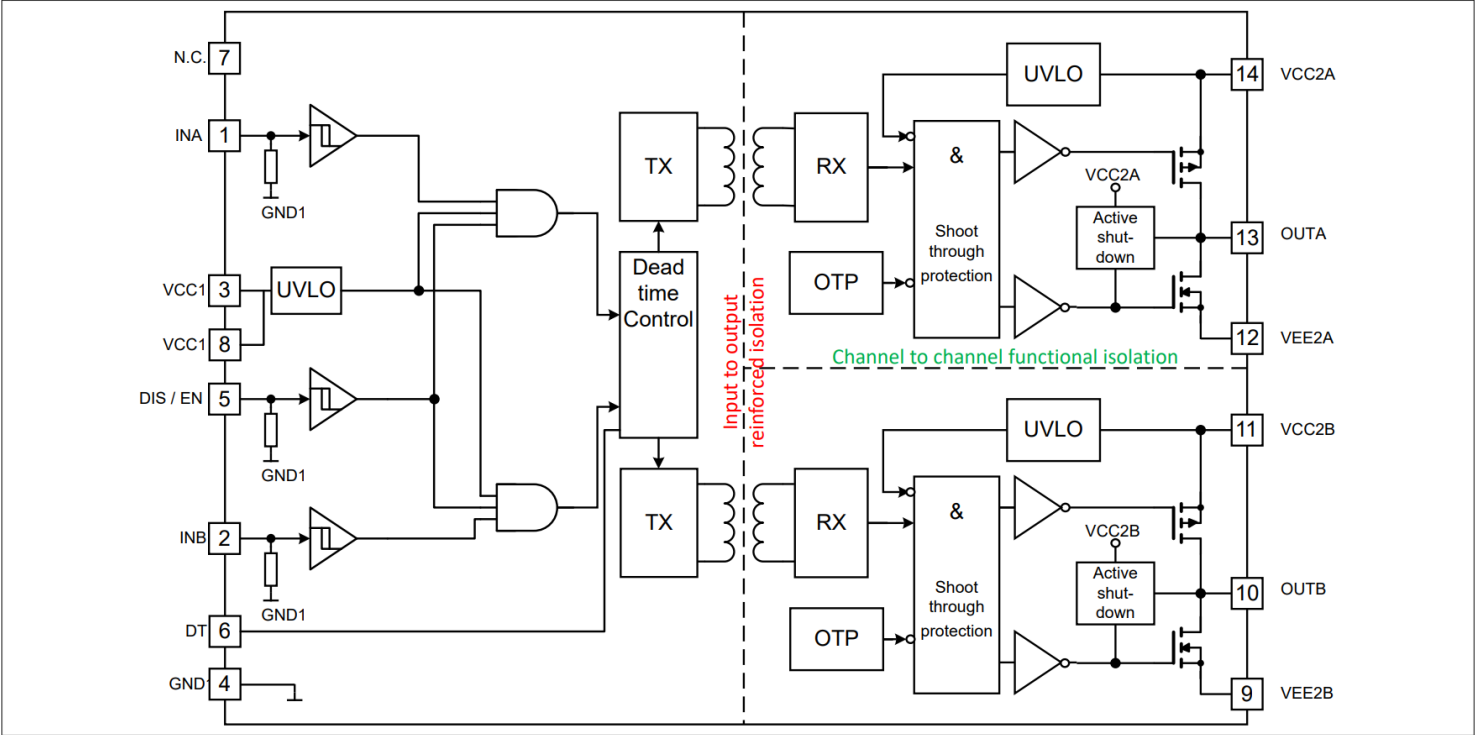


图 2 框图

2 引脚配置及说明

引脚配置

表3 引脚配置

Pin No.	Name	Function
1	INA	Input signal channel A
2	INB	Input signal channel B
3, 8	VCC1	Positive power supply input side
4	GND1	Ground reference input side
5	DIS	DISABLE input channel A and B (high active)
5	EN	ENABLE input channel A and B (high active)
6	DT	Dead-time control
7	N.C.	No internal connection
9	VEE2B	Ground reference output channel B
10	OUTB	Gate driver output channel B
11	VCC2B	Positive power supply output channel B
12	VEE2A	Ground reference output channel A
13	OUTA	Gate driver output channel A
14	VCC2A	Positive power supply output channel A

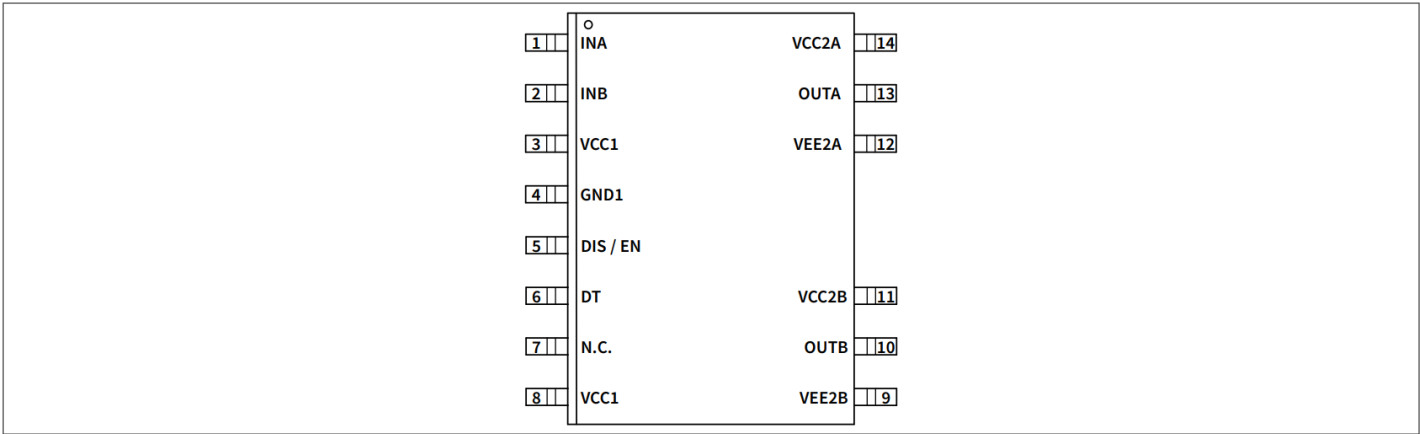


图3 DSO-14-71（顶视图）

引脚描述

- **VCC1**：输入电源电压。连接至 3.3 V 或 5 V 电源，并通过电容与 **GND1** 去耦。请使用低 ESR 和 ESL 电容，并尽可能靠近器件放置。
- **GND1**：输入地。所有输入侧信号 **VCC1**、**IN+** 和 **IN-** 均以此地为参考。
- **INA**：输出通道 A 的非反相控制信号。内部滤波器可有效抑制 **INA** 的噪声
- **INB**：输出通道 B 的非反相控制信号。内部滤波器可有效抑制 **INB** 处的噪声
- **DIS** (2ED3140-2ED3143)：禁用输入引脚。逻辑高电平时，关闭 **OUTA** 和 **OUTB**；逻辑低电平时，输出电平由各自的输入引脚控制。
- **EN** (2ED3144-2ED3147)：使能输入引脚。低电平时，关闭 **OUTA** 和 **OUTB**；高电平时，输出电平由各自的输入引脚控制。
- **DT**：死区时间控制。如果引脚 通过电阻连接到 **GND1**，则该功能有效；如果连接到 **VCC1** 或保持开路，则该功能无效。不建议将容性负载连接到此引脚。配置的死区时间应小于最小脉冲宽度。
- **VCC2A**：通道 A 正电源轨。连接一个去耦电容，从此引脚到 **VEE2A**。请使用低 ESR 和 ESL 电容，并尽可能靠近器件放置。
- **VEE2A**：通道 A 输出地。**VCC2A** 和 **OUTA** 以此地为参考。如果采用双极性电源（正负电压均参考 IGBT 发射极或 MOSFET 源极），则此引脚应连接到负电源电压。
- **OUTA**：通道 A 输出引脚，用于对外部晶体管（IGBT 或 MOSFET）的栅极进行充电和放电。导通状态下，此输出连接至 **VCC2A**；关断状态下，此输出连接至 **VEE2A**。此输出由 **INA** 控制，并由 UVLO 或 OTP 事件关闭。
- **VCC2B**：通道 B 正电源轨。连接一个去耦电容，使其从此引脚连接至 **VEE2B**。请使用低 ESR 和 ESL 电容，并尽可能靠近器件放置。
- **VEE2B**：通道 B 输出地。**VCC2B** 和 **OUTB** 以此地为参考。如果采用双极性电源（正负电压均参考 IGBT 发射极或 MOSFET 源极），此引脚应连接到负电源电压。
- **OUTB**：通道 B 输出引脚，用于对外部晶体管（IGBT 或 MOSFET）的栅极进行充电和放电。导通状态下，此输出连接至 **VCC2A**；关断状态下，此输出连接至 **VEE2B**。此输出由 **INB** 控制，并由 UVLO 或 OTP 事件关闭。

3 电气特性及参数

3.1 绝对最大额定值

表 4 绝对最大额定值

超出所列的绝对最大额定值的应力可能会对器件造成永久性损坏。这些仅为应力额定值。不保证器件在这些条件下或任何其他推荐操作条件之外的情况下工作。长时间暴露于绝对最大额定值条件下可能会影响器件的可靠性。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Power supply input side voltage	V_{VCC1}	-0.3		17	V	$V_{VCC1} - V_{GND1}$
Power supply output side voltage	V_{VCC2}	-0.3		35	V	$V_{VCC2A} - V_{VEE2A}$, $V_{VCC2B} - V_{VEE2B}$
Gate driver output voltage	V_{OUT}	$V_{VEE2A/B} - 0.3$		$V_{VCC2A/B} + 0.3$	V	
Logic input voltages (INA, INB, DIS/EN)	V_{IN}	-0.3		17	V	
Dynamic logic input voltages (INA, INB, DIS/EN)	V_{INDyn}	-5		17	V	¹⁾ $t_{IN} < 50 \text{ ns}$
Dead time control (DT)	V_{DT}	-0.3		$V_{VCC1} + 0.3$	V	
Input to output offset voltage	V_{OFFSET}			2300	V	²⁾ $V_{OFFSET} = V_{VEE2A/B} - V_{GND1} $
Channel-to-channel isolation voltage	V_{Ch-Ch}			1850	V	¹⁾ $ V_{VEE1} - V_{VEE2} $
ESD robustness - human body model	$ V_{ESD,HBM} $			2	kV	³⁾
ESD robustness - charged device model	ESD_{CDM}			TC1000		⁴⁾
Junction temperature	T_J	-40		150	°C	
Storage temperature	T_{Stg}	-65		150	°C	

PG-DSO-14-71热特性

Power dissipation (input side)	$P_{D,IN}$			66	mW	⁵⁾ $T_A = 85 \text{ °C}$
Power dissipation (output side)	$P_{D,OUT}$			900	mW	^{6) 7)} $T_A = 85 \text{ °C}$, equally distribute to the output channels
Thermal resistance junction-case (top)	R_{thJC}		46		K/W	
Thermal resistance junction ambient	R_{thJA25}		69		K/W	⁸⁾ $T_A = 25 \text{ °C}$, 2s2p - no vias, $P_D = 900 \text{ mW}$
Thermal resistance junction ambient	R_{thJA85}		65		K/W	⁸⁾ $T_A = 85 \text{ °C}$, 2s2p - no vias, $P_D = 900 \text{ mW}$
Thermal resistance junction board	R_{thJB}		27		K/W	⁹⁾ $T_A = 85 \text{ °C}$, 2s2p - no vias, $P_D = 450 \text{ mW}$

(表格续下页.....)

表 4 (续) 绝对最大额定值

超出所列的绝对最大额定值的应力可能会对器件造成永久性损坏。这些仅为应力额定值。不保证器件在这些条件下或任何其他推荐操作条件之外的情况下工作。长时间暴露于绝对最大额定值条件下可能会影响器件的可靠性。

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Characterization parameter junction-top	ψ_{thJT}		12		K/W	¹⁰⁾
Characterization parameter junction-board	ψ_{thJB25}		23		K/W	¹⁰⁾ $T_A = 25\text{ }^{\circ}\text{C}$

- 1) 参数无需经过生产测试 - 通过设计/特性验证
- 2) 仅用于功能操作
- 3) 根据 ANSI/ESDA/JEDEC-JS-001-2017 (通过串联 1.5 kΩ 电阻给 100 pF 电容器放电)。
- 4) 根据 ANSI/ESDA/JEDEC-JS-002-2014 (TC = 测试条件, 单位: 伏特)
- 5) IC 输入侧功耗在145°C 以上线性下降, 下降率为14 mW/°C
- 6) IC 输出侧功耗在85°C 以上线性下降, 下降率为14mW/°C
- 7) 两个渠道总计
- 8) 2s2p 高 K 板, 符合 JESD51-7 的规定, 适用于 JESD51-2 描述的环境
- 9) 2s2p 高 K 板, 符合 JESD51-7 的规定, 在 JESD51-8 描述的环境中使用环形冷板夹具来控制 PCB 温度
- 10) 估算设备在实际系统中的结温, 该温度从仿真数据中提取, 用于获取热阻 Rth, 采用 JED51-2a标准 (第6和第7章节) 中描述的程序实现

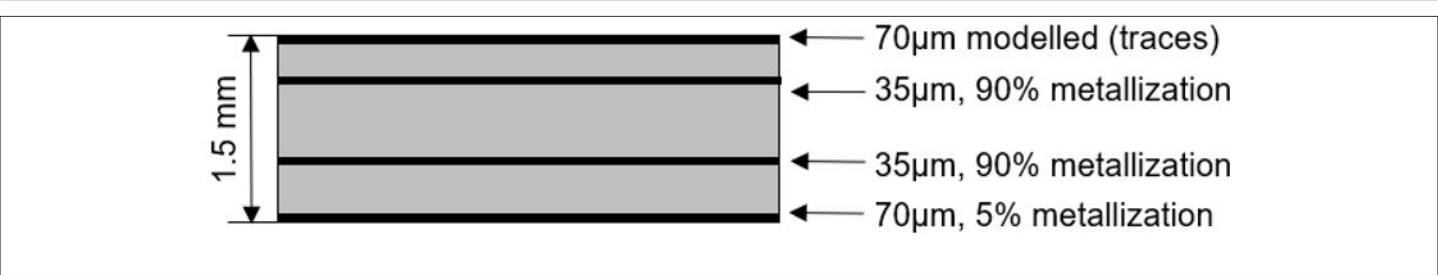


Figure 4 PCB layer stack for thermal simulations

该 PCB 布局代表用于热特性的参考布局。

3.2 推荐运行条件

表 5 推荐运行条件

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Power supply input side voltage	V_{VCC1}	3		16.5	V	$V_{VCC1} - V_{GND1}$
Power supply output side voltage	V_{VCC2}	9.6		32	V	$V_{VCC2A/B} - V_{VEE2A/B}$, 2ED3140 & 2ED3144
Power supply output side voltage	V_{VCC2}	12.35		32	V	$V_{VCC2A/B} - V_{VEE2A/B}$, 2ED3141 & 2ED3145
Power supply output side voltage	V_{VCC2}	14		32	V	$V_{VCC2A/B} - V_{VEE2A/B}$, 2ED3142 & 2ED3146
Power supply output side voltage	V_{VCC2}	16.45		32	V	$V_{VCC2A/B} - V_{VEE2A/B}$, 2ED3143 & 2ED3147
Logic input voltages (INA, INB, DIS/EN)	V_{IN}	0		5.5	V	
Dead time control (DT)	V_{DT}	0		V_{VCC1}	V	
Ambient temperature	T_A	-40		125	°C	–
Junction temperature	T_J	-40		150	°C	–

3.3 电气特性

电气特性包括超过电源电压和温度下的值的分布建议工作条件。电气特性在生产环境中于 $T_A = 25\text{ °C}$ 下测试。典型值代表在 $V_{CC1} = 3.3\text{ V}$ 、 $V_{VCC2A/B} - V_{VEE2A/B} = 15\text{ V}$ 和 $T_A = 25\text{ °C}$ 下测得的中值。特性中的最小值和最大值由特性/设计验证。除非另有说明，否则这适用于所有电气特性。

3.3.1 电源

表 6 电源

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
UVLO threshold input side (on)	V_{UVLOH1}		2.85	3	V	$V_{CC1} - V_{GND1}$
UVLO threshold input side (off)	V_{UVLOL1}	2.55	2.7		V	$V_{CC1} - V_{GND1}$
UVLO hysteresis input side	V_{HYS1}	0.1	0.15	0.2	V	$V_{UVLOH1} - V_{UVLOL1}$
Quiescent current input side	I_{Q1}		1.67	2.12	mA	INA = Low, INB = Low, DT = VCC1
Quiescent current output side, ON state	$I_{Q2,ON}$			1.35	mA	¹⁾ INA = High, INB = Low or INA = Low, INB = High, $V_{VCC2A/B} - V_{VEE2A/B} < 18\text{ V}$
Quiescent current output side, OFF state	$I_{Q2,OFF}$			1.0	mA	¹⁾ INA = Low, INB = Low, $V_{VCC2A/B} - V_{VEE2A/B} < 18\text{ V}$
2ED3140 / 2ED3144						
UVLO threshold output side (on)	V_{UVLOH2}		9.3	9.6	V	$V_{VCC2A/B} - V_{VEE2A/B}$
UVLO threshold output side (off)	V_{UVLOL2}	8.25	8.55		V	$V_{VCC2A/B} - V_{VEE2A/B}$
UVLO hysteresis output side	V_{HYS2}		0.75		V	$V_{UVLOH2} - V_{UVLOL2}$
2ED3141 / 2ED3145						
UVLO threshold output side (on)	V_{UVLOH2}		12	12.35	V	$V_{VCC2A/B} - V_{VEE2A/B}$
UVLO threshold output side (off)	V_{UVLOL2}	10.7	11.05		V	$V_{VCC2A/B} - V_{VEE2A/B}$
UVLO hysteresis output side	V_{HYS2}		0.95		V	$V_{UVLOH2} - V_{UVLOL2}$
2ED3142 / 2ED3146						
UVLO threshold output side (on)	V_{UVLOH2}		13.6	14	V	$V_{VCC2A/B} - V_{VEE2A/B}$
UVLO threshold output side (off)	V_{UVLOL2}	12.15	12.55		V	$V_{VCC2A/B} - V_{VEE2A/B}$
UVLO hysteresis output side	V_{HYS2}		1.05		V	$V_{UVLOH2} - V_{UVLOL2}$
2ED3143 / 2ED3147						
UVLO threshold output side (on)	V_{UVLOH2}		16	16.45	V	$V_{VCC2A/B} - V_{VEE2A/B}$
UVLO threshold output side (off)	V_{UVLOL2}	14.30	14.75		V	$V_{VCC2A/B} - V_{VEE2A/B}$
UVLO hysteresis output side	V_{HYS2}		1.25		V	$V_{UVLOH2} - V_{UVLOL2}$

1) 每通道

3.3.2 逻辑输入

表 7 逻辑输入

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
INA, INB, DIS / EN low input threshold voltage	$V_{IN,L}$	0.9	1.2	1.6	V	
INA, INB, DIS / EN high input threshold voltage	$V_{IN,H}$	1.73	2.0	2.36	V	
INA, INB, DIS / EN low/high hysteresis	$V_{IN,HYS}$	0.38	0.8	1.2	V	
INA, INB, DIS / EN input current	I_{IN}		22	27	μA	$V_{CC1} = 3.3 V, V_{IN} \leq V_{CC1}$
INA, INB, DIS / EN pull down resistor	$R_{IN,PD}$		150		k Ω	–

3.3.3 栅极驱动器

表 8 栅极驱动器

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
High level output peak current	I_{OUTH}	3.5	6		A	¹⁾ $V_{CC2A/B} - V_{VEE2A/B} = 15 V$, INA/B = High, $C_L = 100 nF$
High level output on resistance	$R_{DSON,H}$	0.3	0.9	2.2	Ω	$I_{OUTH} = 0.1 A$
Low level output peak current	I_{OUTL}	3.5	6.5		A	¹⁾ $V_{CC2A/B} - V_{VEE2A/B} = 15 V$, INA/B = Low, $C_L = 100 nF$
Low level output on resistance	$R_{DSON,L}$	0.2	0.5	1.1	Ω	$I_{OUTL} = 0.1 A$
Short circuit clamp voltage between OUTA/B and VCC2A/B	V_{CLP_OUTH}			1.0	V	$V_{OUTA/B} - V_{CC2A/B}$, $I_{OUTA/B} = -500 mA$, $t < 10 \mu s$, INA/B = High
Clamp voltage between VEE2A/B and OUTA/B	V_{CLP_OUTL}			1.0	V	$V_{VEE2A/B} - V_{OUTA/B}$, $I_{OUTA/B} = -500 mA$, $t < 10 \mu s$, INA/B = Low

1) 参数无需经过生产测试 - 通过设计/特性验证

3.3.4 死区时间和直通保护

表 9 死区时间和直通保护

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Dead-time	t_{DT}	85	100	115	ns	¹⁾ $R_{DT} = 10 k\Omega$
Dead-time	t_{DT}	255	300	345	ns	¹⁾ $R_{DT} = 30 k\Omega$
Dead-time	t_{DT}	800	950	1100	ns	^{1) 2)} $R_{DT} = 100 k\Omega$
Dead-time to resistor value ratio	K_{DT_R}	8	10	12	ns/ k Ω	$1.2 k\Omega \leq R_{DT} \leq 100 k\Omega$, $t_{DT} = K_{DT_R} \times R_{DT} + M_{DT_R}$

(表格续下页.....)

表 9 (续) 死区时间和直通保护

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Dead-time offset	M_{DT_R}		0		ns	$t_{DT} = K_{DT_R} \times R_{DT} + M_{DT_R}$
Dead-time resistor range	R_{DT}	1.2		100	k Ω	
Ch-to-ch dead-time matching	$\Delta t_{DT,Ch-Ch}$			10	ns	$R_{DT} = 10 \text{ k}\Omega$, $\Delta t_{DT,Ch-Ch} = t_{DT,A-B} - t_{DT,B-A} $
Ch-to-ch dead-time matching	$\Delta t_{DT,Ch-Ch}$			14	ns	$R_{DT} = 30 \text{ k}\Omega$, $\Delta t_{DT,Ch-Ch} = t_{DT,A-B} - t_{DT,B-A} $
Ch-to-ch dead-time matching	$\Delta t_{DT,Ch-Ch}$			40	ns	²⁾ $R_{DT} = 100 \text{ k}\Omega$, $\Delta t_{DT,Ch-Ch} = t_{DT,A-B} - t_{DT,B-A} $
Part-to-part dead-time matching	$\Delta t_{DT,P-P}$			20	ns	$R_{DT} = 10 \text{ k}\Omega$
Part-to-part dead-time matching	$\Delta t_{DT,P-P}$			55	ns	$R_{DT} = 30 \text{ k}\Omega$
Part-to-part dead-time matching	$\Delta t_{DT,P-P}$			105	ns	²⁾ $R_{DT} = 100 \text{ k}\Omega$

1) 不包括输入过滤时间

2) 参数无需经过生产测试 - 通过设计/特性验证

3.3.5 动态特性

表 10 动态特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Input to output propagation delay ON	t_{PDON}	30	39	50	ns	$V_{CC2A/B} - V_{EE2A/B} = 15 \text{ V}$, $C_L = 100 \text{ pF}$, valid for INA, INB and DIS/EN, $V_{DT} = V_{CC1}$
Input to output propagation delay OFF	t_{PDOFF}	30	39	50	ns	$V_{CC2A/B} - V_{EE2A/B} = 15 \text{ V}$, $C_L = 100 \text{ pF}$, valid for INA, INB and DIS/EN, $V_{DT} = V_{CC1}$
Input to output propagation delay distortion	$ t_{PDISTO} $		0	5	ns	¹⁾ $ t_{PDOFF} - t_{PDON} $
Input to output, part to part turn-on skew	$t_{SKEW_ON,P-P}$			6	ns	¹⁾ $C_L = 100 \text{ pF}$, $V_{DT} = V_{CC1}$
Input to output, part to part turn-off skew	$t_{SKEW_OFF,P-P}$			8	ns	¹⁾ $C_L = 100 \text{ pF}$, $V_{DT} = V_{CC1}$
Input to output, channel to channel turn-on skew	$t_{SKEW_ON,Ch-Ch}$			5	ns	$V_{DT} = V_{CC1}$, $t_{SKEW_ON,Ch-Ch} = t_{PDON,A} - t_{PDON,B} $
Input to output, channel to channel turn-off skew	$t_{SKEW_OFF,Ch-Ch}$			5	ns	$V_{DT} = V_{CC1}$; $t_{SKEW_OFF,Ch-Ch} = t_{PDOFF,A} - t_{PDOFF,B} $
Input pulse suppression time (filter time)	t_{INFLT}	10	17	25	ns	²⁾
Input to output, channel to channel skew plus	t_{SKEW+}			5	ns	$\max\{ t_{PDOFF,A} - t_{PDON,B} , t_{PDOFF,B} - t_{PDON,A} \}$, $V_{DT} = V_{CC1}$

(表格续下页.....)

表 10 (续) 电气特性

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Rise time	t_{RISE}			20	ns	$V_{VCC2A/B} - V_{VEE2A/B} = 15\text{ V}$, $C_L = 1\text{ nF}$, valid for all parts, except 2ED3143 and 2ED3147
Rise time	t_{RISE}			20	ns	$V_{VCC2A/B} - V_{VEE2A/B} = 18\text{ V}$, $C_L = 1\text{ nF}$, valid for 2ED3143 and 2ED3147
Fall time	t_{FALL}			20	ns	$V_{VCC2A/B} - V_{VEE2A/B} = 15\text{ V}$, $C_L = 1\text{ nF}$, valid for all parts, except 2ED3143 and 2ED3147
Fall time	t_{FALL}			20	ns	$V_{VCC2A/B} - V_{VEE2A/B} = 18\text{ V}$, $C_L = 1\text{ nF}$, valid for 2ED3143 and 2ED3147
Input-side start-up time	$t_{START,VCC1}$		3.5	5	μs	³⁾ INA/B = High, DT = VCC1, DIS = low / EN = high, $V_{VCC2A/B} > V_{UVLOH2}$, $C_L = 100\text{ pF}$
Input-side deactivation time	$t_{STOP,VCC1}$	600	750		ns	³⁾ INA/B = High, DT = VCC1, DIS = low / EN = high, $V_{VCC2A/B} > V_{UVLOH2}$, $C_L = 100\text{ pF}$
Output-side start-up time	$t_{START,VCC2}$		5	10	μs	³⁾ INA/B = High, DIS = Low / EN = High, DT = VCC1, $V_{VCC1} > V_{UVLOH1}$, $C_L = 100\text{ pF}$
Output-side deactivation time	$t_{STOP,VCC2}$	0.5		1	μs	³⁾ INA/B = High, DIS = Low / EN = High, DT = VCC1, $V_{VCC1} > V_{UVLOH1}$, $C_L = 100\text{ pF}$
High-level common-mode transient immunity	$ CM_H $	200			kV/ μs	³⁾ $V_{CM} = 1500\text{ V}$, INA/B tied to VCC1, DT = VCC1
Low-level common-mode transient immunity	$ CM_L $	200			kV/ μs	³⁾ $V_{CM} = 1500\text{ V}$, INA/B tied to GND1, DT = VCC1
Dynamic common-mode transient immunity	$ CM_{DYN} $	200			kV/ μs	³⁾ $V_{CM} = 1500\text{ V}$, INA/B = 10 MHz square wave, DT = VCC1

1) 相同环境和操作条件下的值。

2) 适用于 INA、INB 和 DIS/EN, $V_{DT} = V_{VCC1}$ 。脉冲在 DT 窗口外产生；较短的脉冲不会传播到输出。

3) 参数无需经过生产测试 - 通过设计/特性验证

3.3.6 主动关断

表 11 主动关断

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Active shut down voltage	V_{ACTSD}			1.8	V	$V_{OUTA/B} - V_{VEE2A/B}$, $I_{OUTL} = 500\text{ mA}$, VCC2A/B open



3.3.7 过温保护

表12 过温保护

Parameter	Symbol	Values			Unit	Note or condition
		Min.	Typ.	Max.		
Overtemperature protection level	T_{OTPOFF}	150	160	175	°C	1)
Overtemperature protection release level	T_{OTPREL}	130	140	150	°C	1)
Overtemperature protection hysteresis	T_{OTPHYS}		20		°C	1)

1) 参数无需经过生产测试 - 通过设计/特性验证

4 DSO-14 封装的绝缘特性 (IEC 60747-17、UL 1577)
4 DSO-14 封装的绝缘特性 (IEC 60747-17、UL 1577)

该耦合器仅适用于给定安全等级内的额定绝缘。应通过适当的保护电路确保符合安全额定值。

表 13 DSO-14 封装绝缘规格安全限值

Description	Symbol	Characteristic	Unit
Maximum ambient safety temperature	T_s	150	°C
Maximum input-side power dissipation at $T_A = 25^\circ\text{C}^{1)}$	P_{SI}	66	mW
Maximum output-side power dissipation at $T_A = 25^\circ\text{C}^{2)}$	P_{SO}	1600	mW

封装特定的绝缘特性

External clearance	CLR	> 8	mm
Channel-to-channel clearance	CLR_{Ch-Ch}	> 3.3	mm
External creepage	CPG	> 8	mm
Channel-to-channel creepage	CPG_{Ch-Ch}	> 3.3	mm
Comparative tracking index	CTI	> 400	–
Isolation capacitance	C_{IO}	2	pF

加强绝缘符合 IEC 60747-17 标准 (证书编号: 40055138)

Installation classification per IEC 60664-1, Table F.1 for rated mains voltage $\leq 150\text{ V (rms)}$ for rated mains voltage $\leq 300\text{ V (rms)}$ for rated mains voltage $\leq 600\text{ V (rms)}$ for rated mains voltage $\leq 1000\text{ V (rms)}$		I-IV I-IV I-III I-II	–
Climatic classification		40/125/21	–
Pollution degree (IEC 60664-1)		2	–
Apparent charge, method a $V_{pd(ini),a} = V_{IOTM}$, $V_{pd(m)} = 1.6 \times V_{IORM}$, $t_{ini} = 1\text{ min}$, $t_m = 10\text{ s}$	q_{pd}	< 5	pC
Apparent charge, method b $V_{pd(ini),b} = V_{IOTM} \times 1.2$, $V_{pd(m)} = 1.875 \times V_{IORM}$, $t_{ini} = 1\text{ s}$, $t_m = 1\text{ s}$	q_{pd}	< 5	pC
Isolation resistance at $T_{A,max}$; $V_{IO} = 500\text{ V}_{DC}$, $T_A = 125^\circ\text{C}$	R_{IO}	> 10^{11}	Ω
Isolation resistance at T_s ; $V_{IO} = 500\text{ V}_{DC}$, $T_s = 150^\circ\text{C}$	R_{IO_S}	> 10^9	Ω
Maximum rated transient isolation voltage	V_{IOTM}	8000	V(peak)
Maximum repetitive isolation voltage	V_{IORM}	1767	V(peak)
Maximum working isolation voltage	V_{IOWM}	1249	V(rms)
Impulse voltage	V_{IMP}	8000	V(peak)
Maximum surge isolation voltage for reinforced isolation; $V_{TEST} \geq V_{IMP} \times 1.3$	V_{IOSM}	11000	V(peak)

获得 UL 1577 认可 (文件 311313)

Insulation withstand voltage (60 s)	V_{ISO}	5700	V(rms)
Insulation test voltage (1 s)	$V_{ISO,TEST}$	6840	V(rms)

1) IC 输入侧功耗在 145°C 以上线性下降, 降幅为 $14\text{ mW}/^\circ\text{C}$

2) IC 输出侧功耗在 25°C 以上线性下降至 $12.6\text{ mW}/^\circ\text{C}$

5 典型特征

除非另有说明，测量都是在 $V_{CC1}=3.3\text{ V}$ 、 V_{CC1} 和GND1之间放置100nF电容 $V_{CC2A/B}$ 与 $VEE2A/B$ 之间 4.7 μF 电容。

表 14

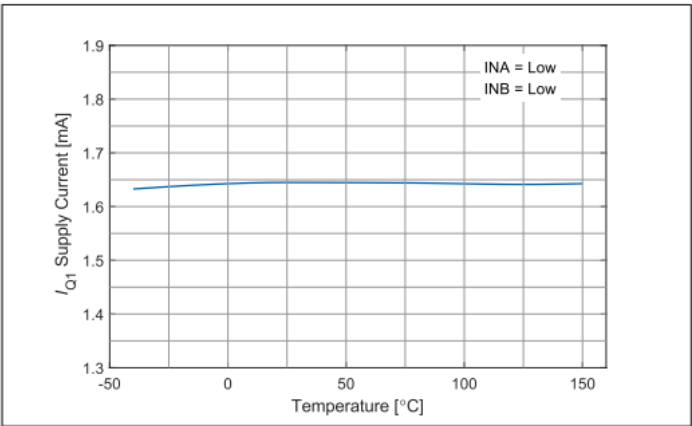


Figure 5 I_{Q1} vs. temperature

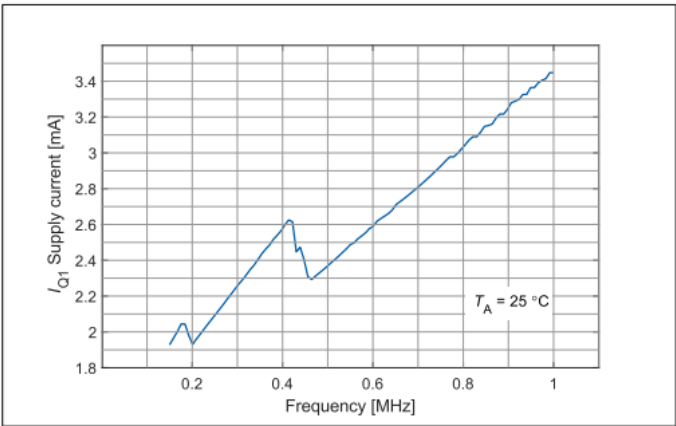


Figure 6 I_{Q1} vs. frequency

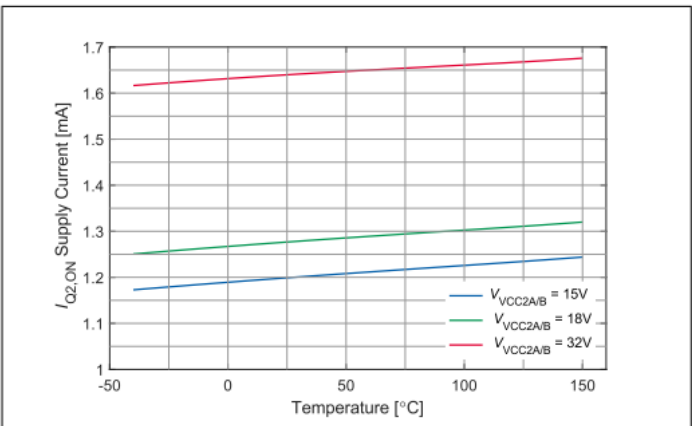


Figure 7 $I_{Q2,ON}$ vs. temperature

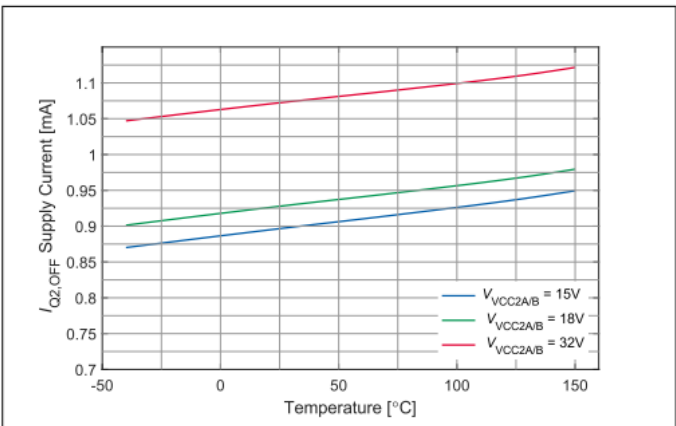


Figure 8 $I_{Q2,OFF}$ vs. temperature

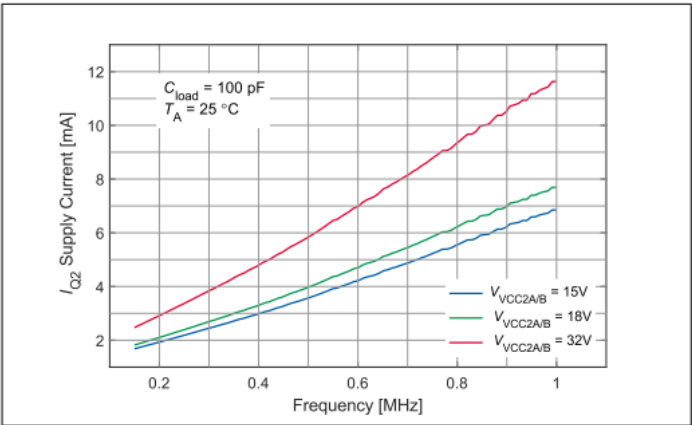


Figure 9 I_{Q2} vs. frequency

(table continues...)

表 14 (续)

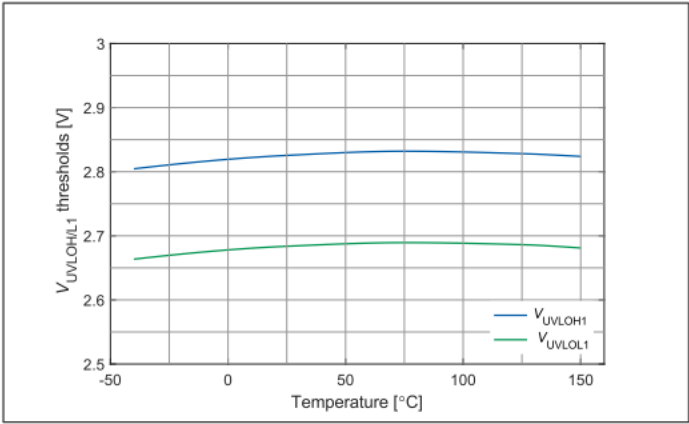


Figure 10 V_{UVLOH1} and V_{UVL0L1} vs. temperature

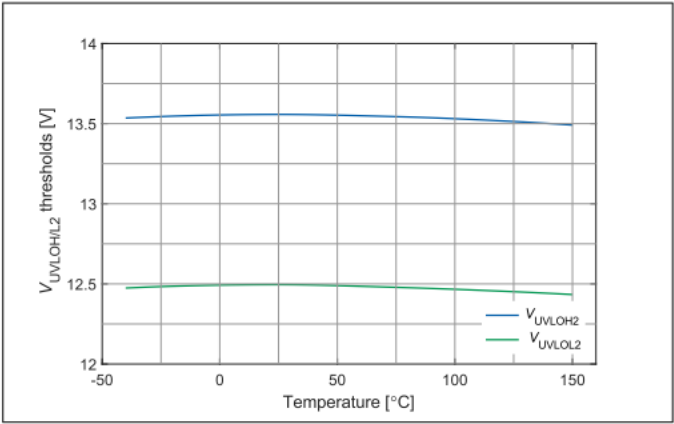


Figure 11 V_{UVLOH2} and V_{UVL0L2} (2ED3146MC12L) vs. temperature

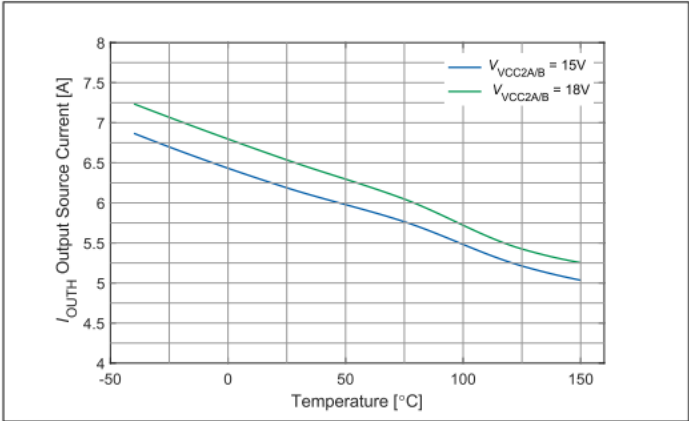


Figure 12 I_{OUTH} vs. temperature

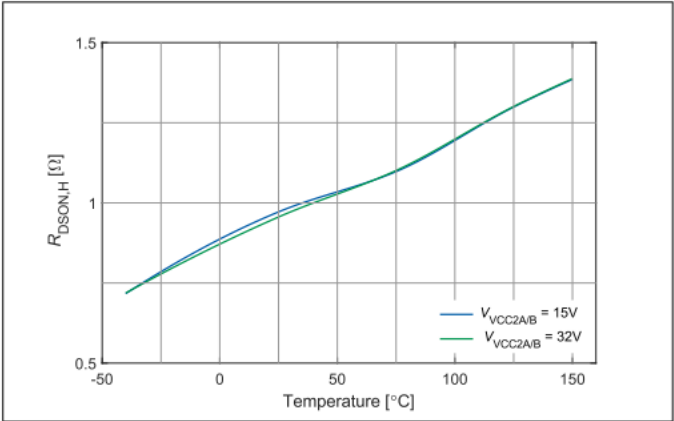


Figure 13 $R_{DS(on),H}$ vs. temperature

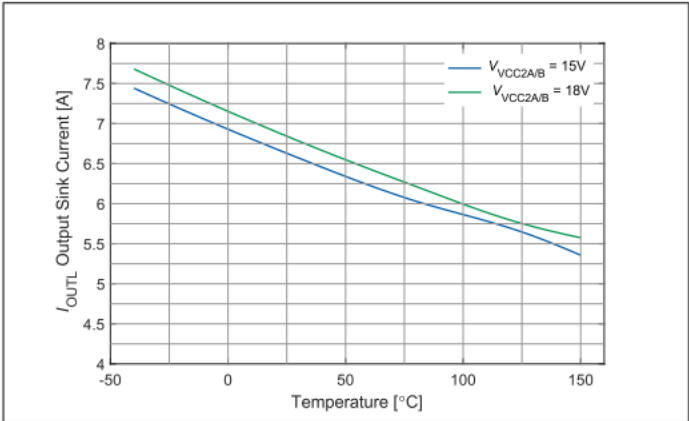


Figure 14 I_{OUTL} vs. temperature

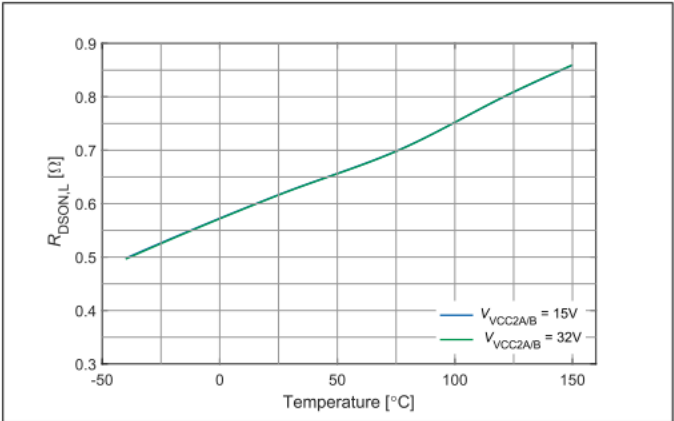


Figure 15 $R_{DS(on),L}$ vs. temperature (lines are overlapping)

(table continues...)

表 14 (续)

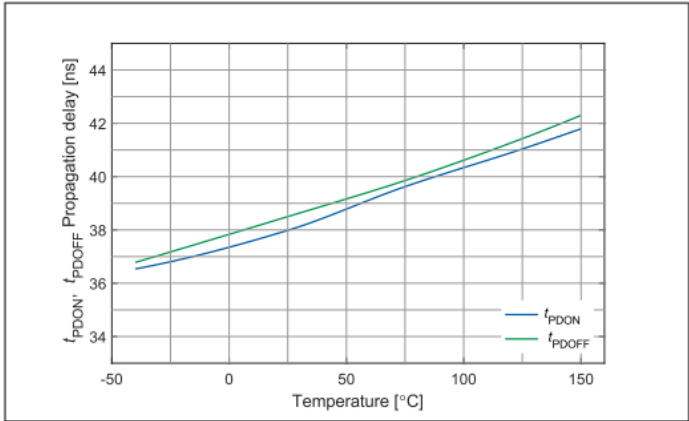


Figure 16 t_{PDON} & $t_{PD OFF}$ vs. temperature

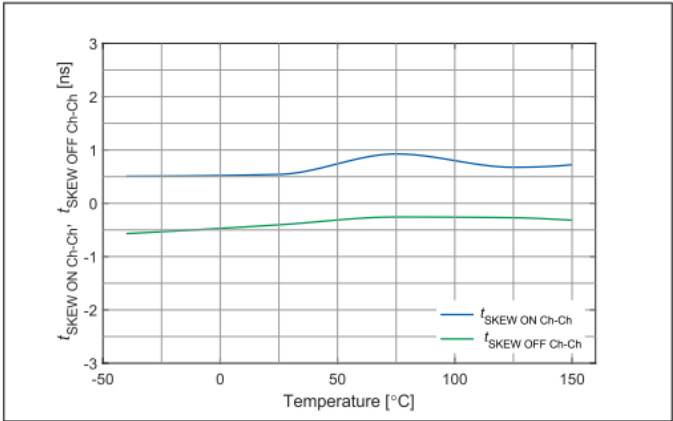


Figure 17 $t_{SKEW_ON,Ch-Ch}$ & $t_{SKEW_OFF,Ch-Ch}$ vs. temperature

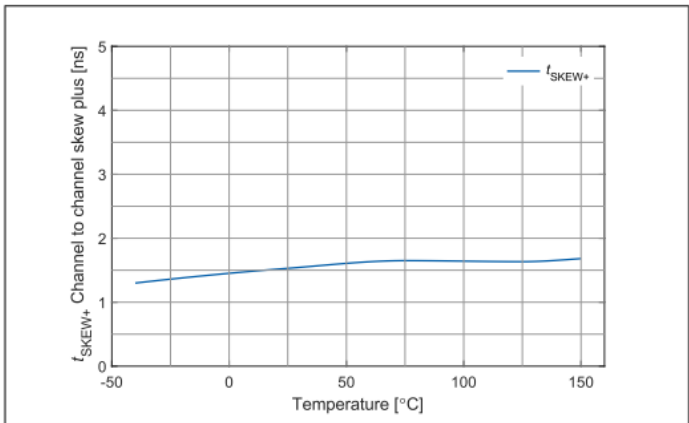


Figure 18 t_{SKEW+} vs. temperature

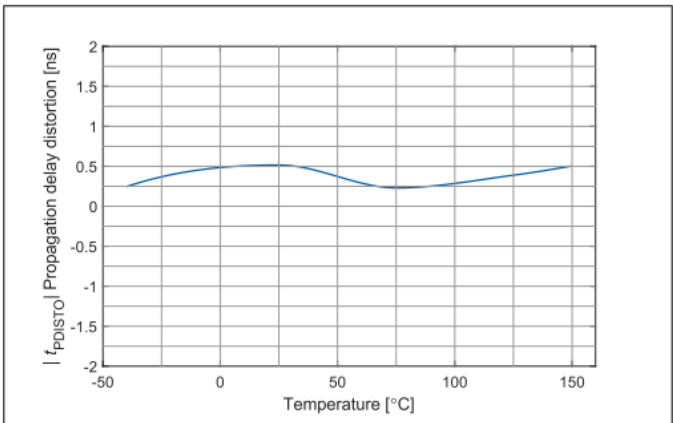


Figure 19 $|t_{PDISTO}|$ vs. temperature

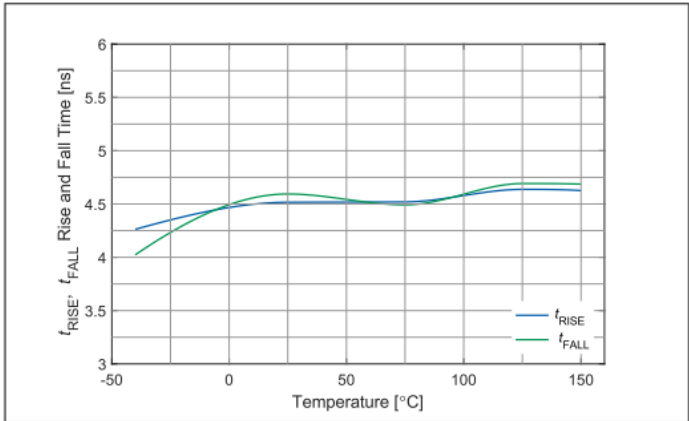


Figure 20 t_{RISE} & t_{fall} vs. temperature

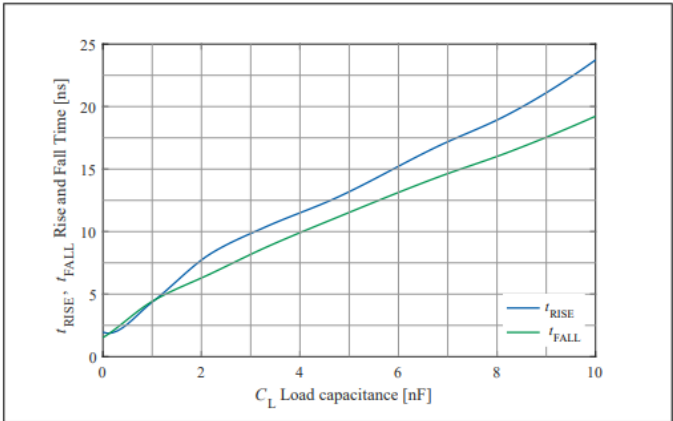


Figure 21 t_{RISE} & t_{fall} vs. C_{LOAD}

(table continues...)

表 14 (续)

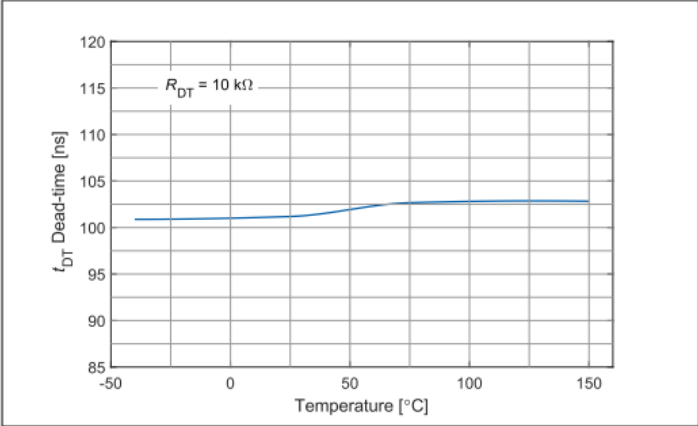


Figure 22 t_{DT} vs. temperature

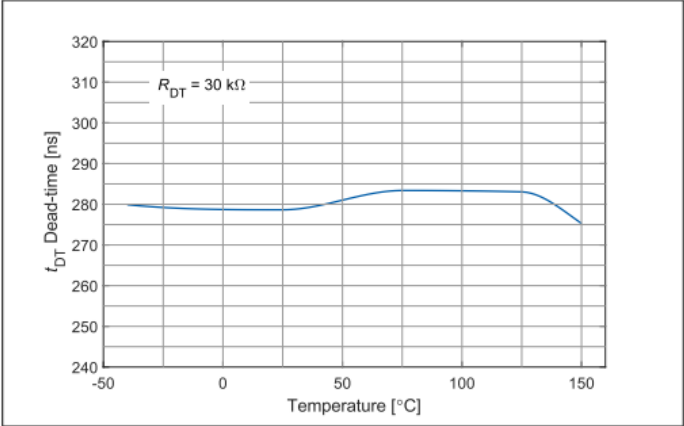


Figure 23 t_{DT} vs. temperature

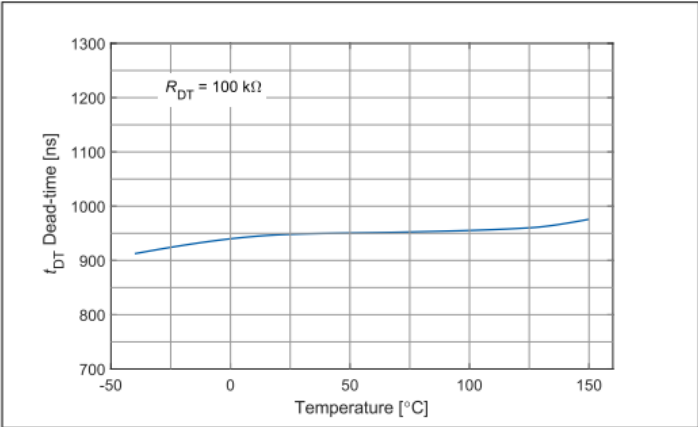


Figure 24 t_{DT} vs. temperature

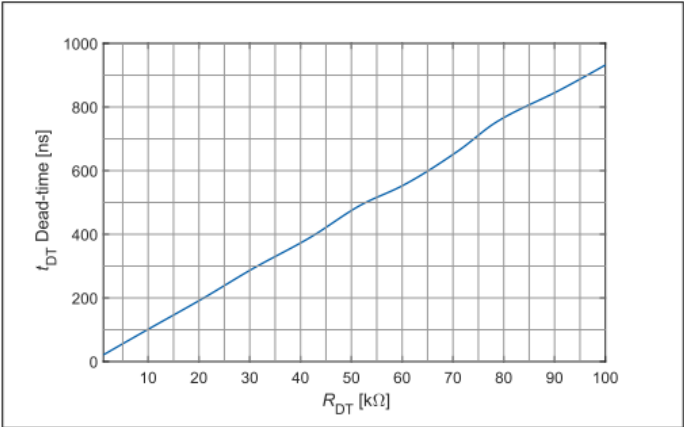


Figure 25 t_{DT} vs. R_{DT}

6 参数测量

6.1 CMTI 测量设置

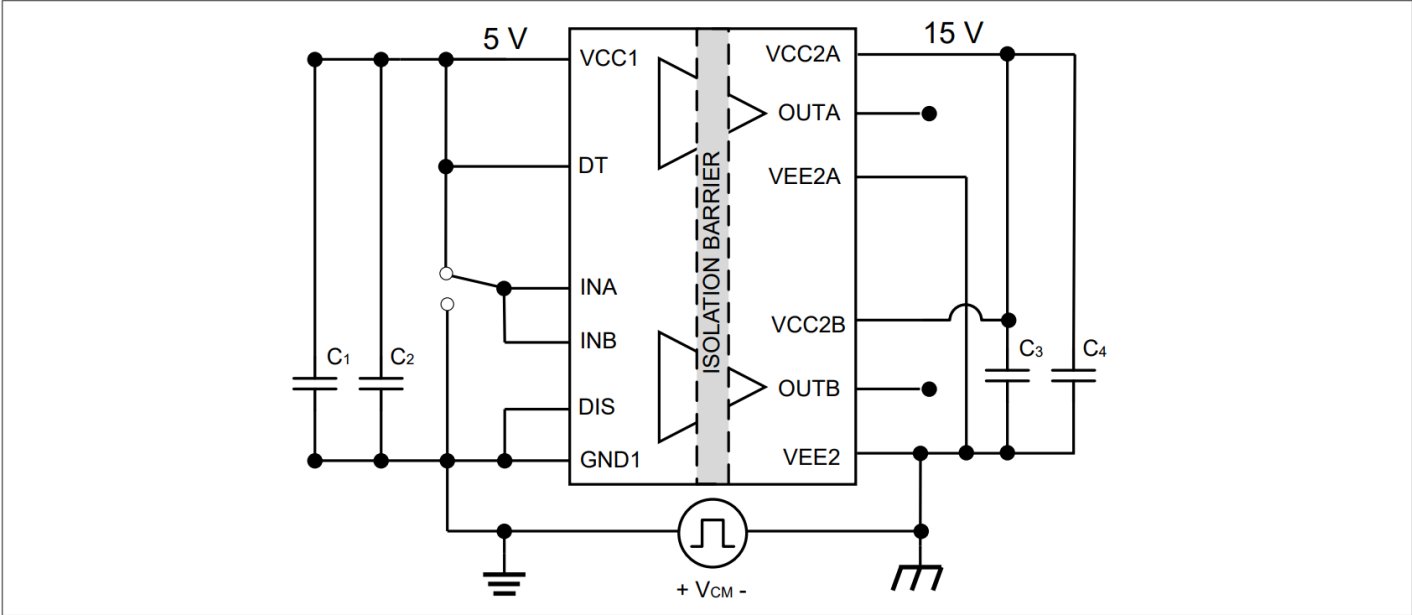


图26 静态CMTI测试电路

图 26 上面显示了静态、共模瞬态抗扰度的测试设置

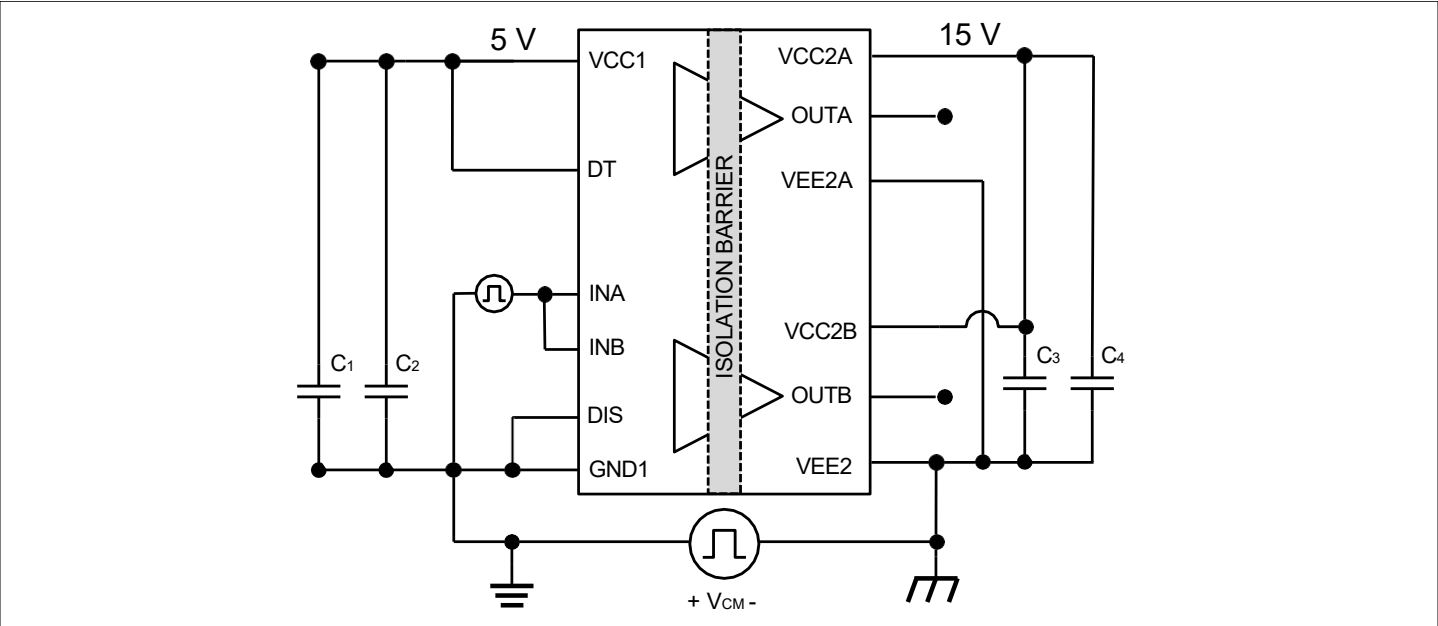


图27 动态CMTI测试电路

图 27 显示了动态、共模瞬态抗扰度的测试设置

6.2 欠压锁定(UVLO)

图 28 显示了 UVLO 条件下通道输出的行为。为了测量阈值，*INA*和*INB* 保持在逻辑高电平，然后电源电压 V_{VCC1} 和 V_{VCC2x} 逐渐下降和上升。

当电压降至 V_{UVLOLx} 以下时，通道关闭，从而可以测量阈值。当电压升至 V_{UVLOHx} 以上时，通道打开，再次启用阈值测量。所有阈值均采用所有电源上的慢速斜坡进行测量。

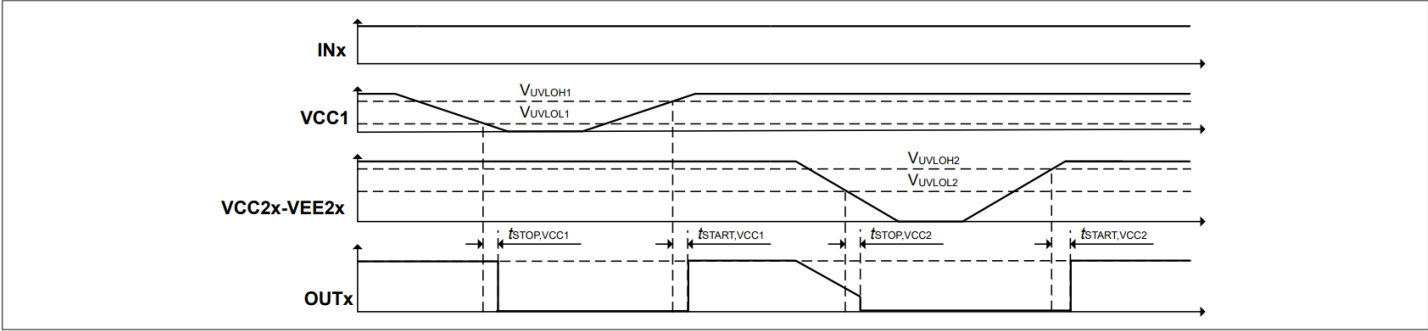


图 28 UVLO 行为

6.3 传播延迟、上升和下降时间

图29和图30显示 INA 和 INB 的传播延迟 t_{PDON} 和 t_{PDOFF} ，以及 DIS ，包括上升时间 t_{RISE} 和下降时间 t_{FALL} 。

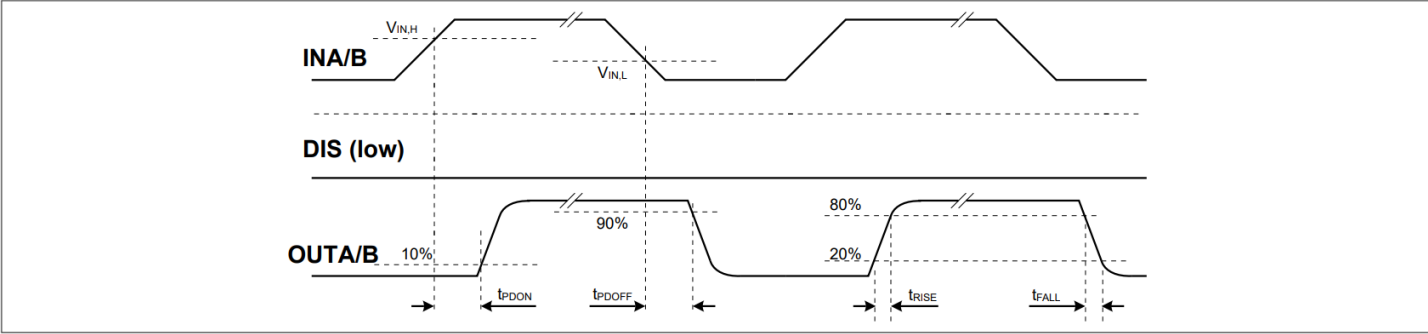


图 29 DIS 变体的传播延迟

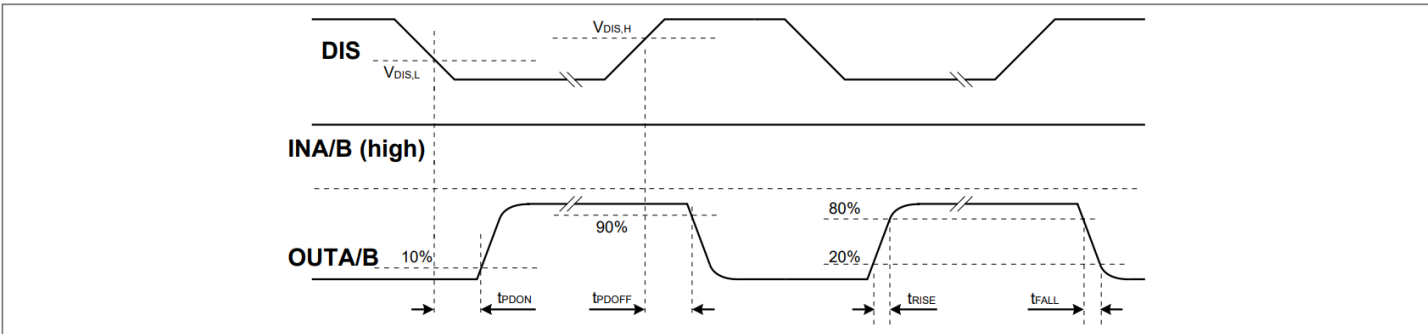


图 30 DIS 引脚的传播延迟

图31和图32显示 INA 和 INB 的传播延迟 t_{PDON} 和 t_{PDOFF} ，以及 EN ，包括上升时间 t_{RISE} 和下降时间 t_{FALL} 。

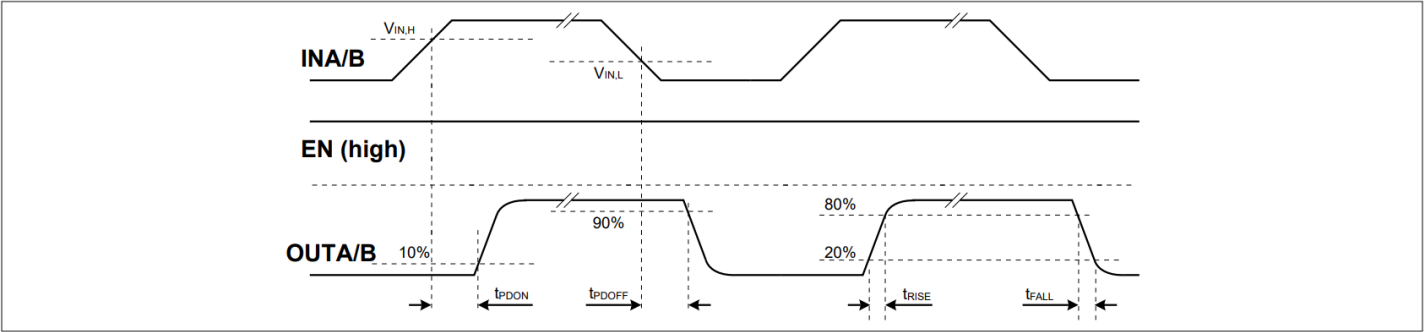


图 31 EN 变体的传播延迟

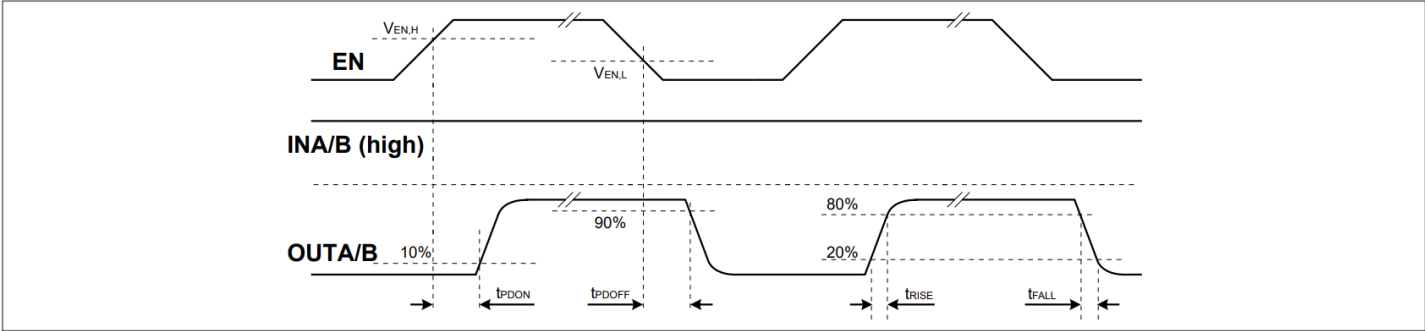


图 32 EN 引脚的传播延迟

6.4 死区时间匹配、偏差和偏差+

通道间死区时间匹配 $\Delta t_{DT,Ch-Ch}$ 定义为两个通道 INA 和 INB 的下降沿产生的死区时间之间的绝对差。

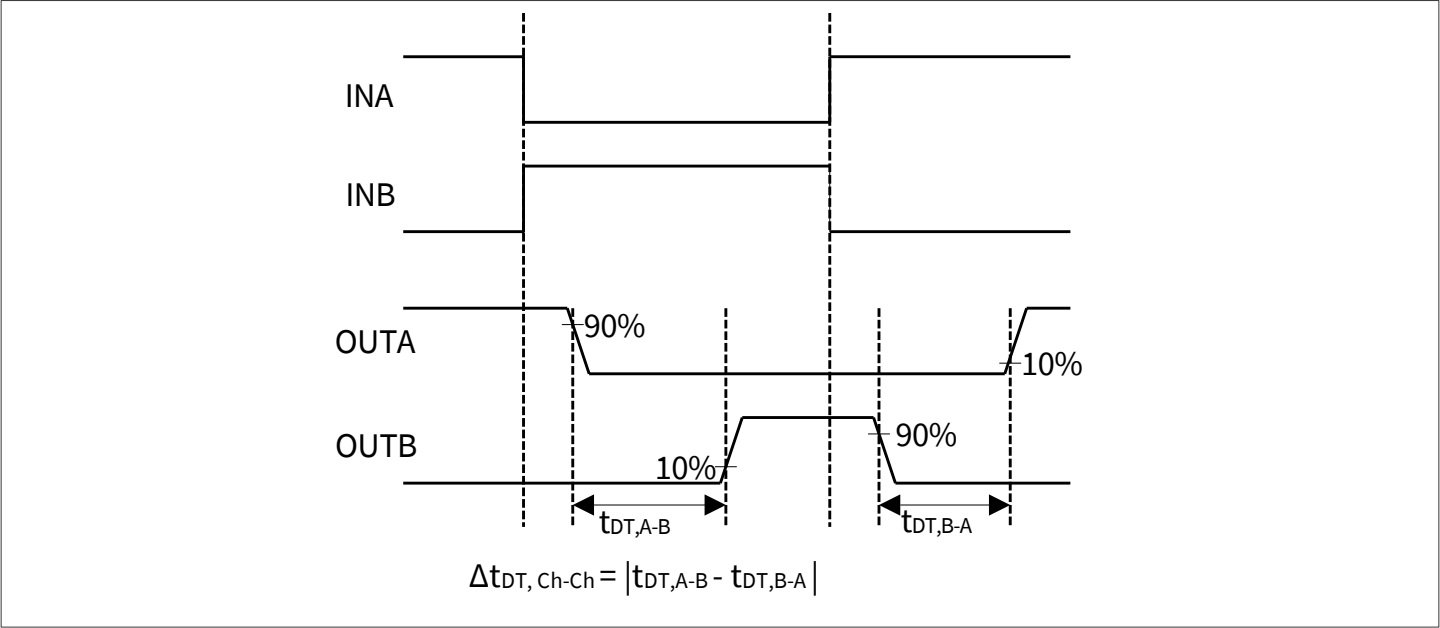


图 33 通道间死区时间匹配

图 34 展示了通道间开启偏斜 $t_{SKEW_ON,CH-Ch}$ 和通道间关闭偏斜 $t_{SKEW_OFF,CH-Ch}$ 这些参数突显了当具有相同边沿的同步脉冲施加到两个通道时，两个通道之间传播延迟的不匹配，并且在并联栅极驱动器时具有相关性。

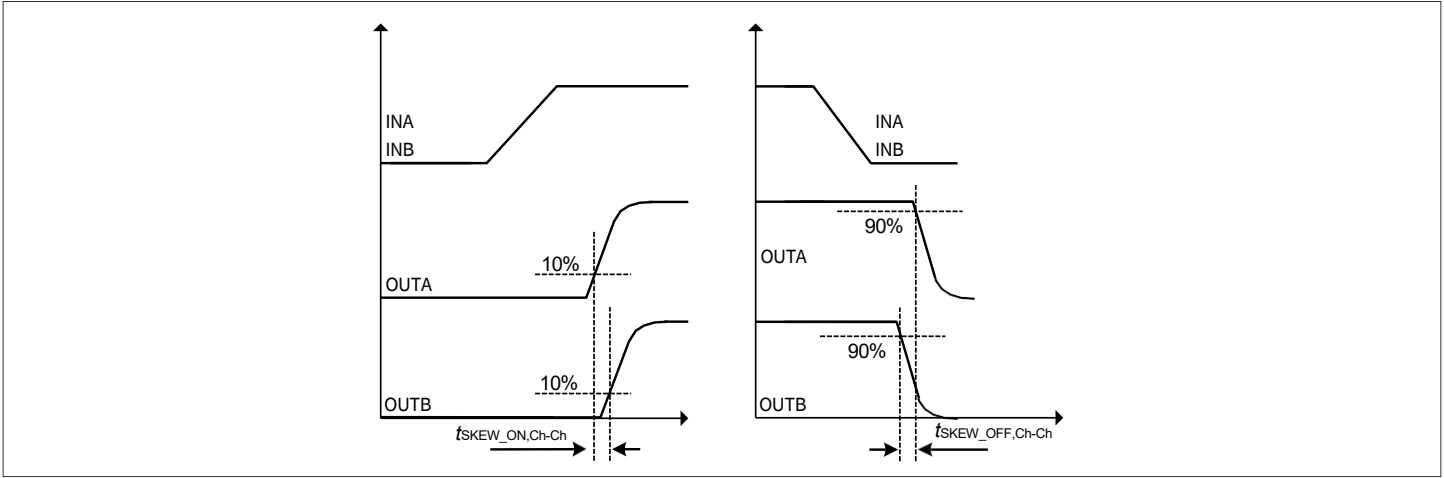


图 34 上升沿和下降沿的输入至输出、通道至通道偏移

图 35 图示为通道间偏移+ $t_{SKEW+, Ch-Ch}$ 。此参数描述半桥中各个通道开启和关闭传播延迟之间的差异。这在通道驱动器互补驱动期间很重要，并有助于定义安全操作所需的最小死区时间。

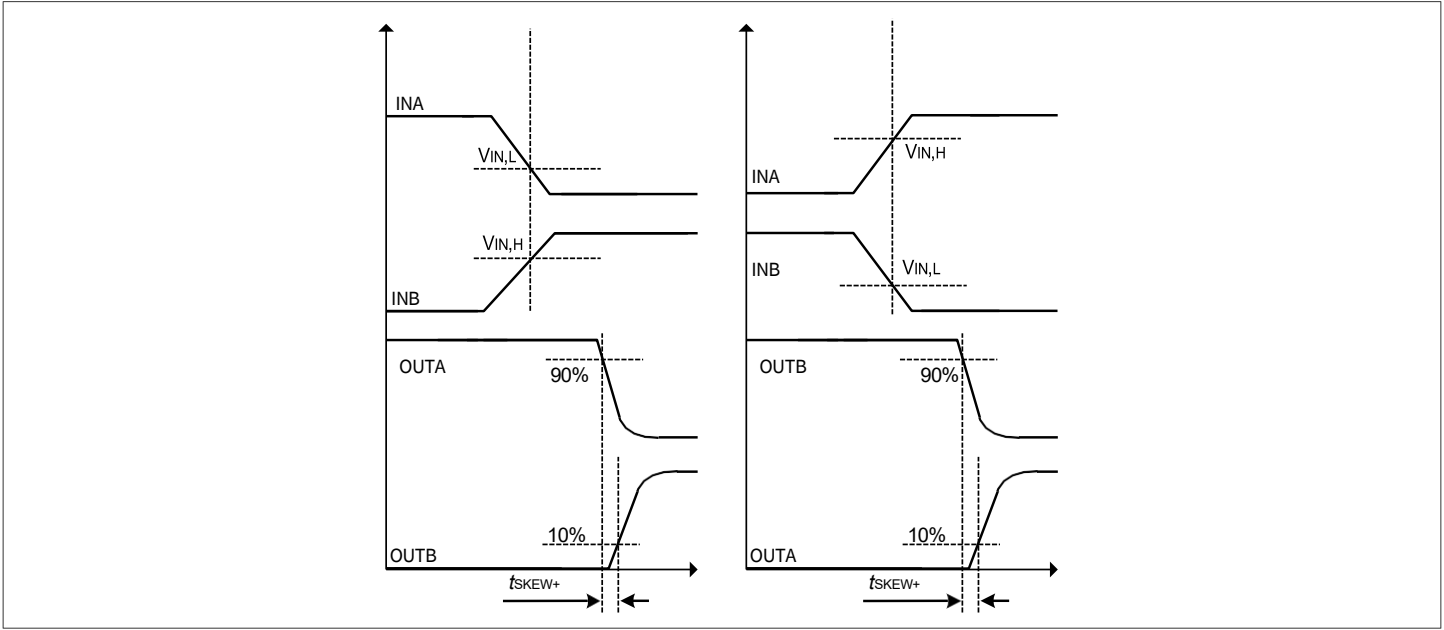


图 35 输入至输出、通道至通道的上升沿和下降沿偏移+

当通道和栅极驱动器在相同的偏置和温度条件下运行时，所有偏斜参数均有效。

7 功能说明

7.1 输入侧功能块

栅极驱动器的输入侧包含多个块，用于确保与微控制器的接口以及跨隔离屏障的数据传输。

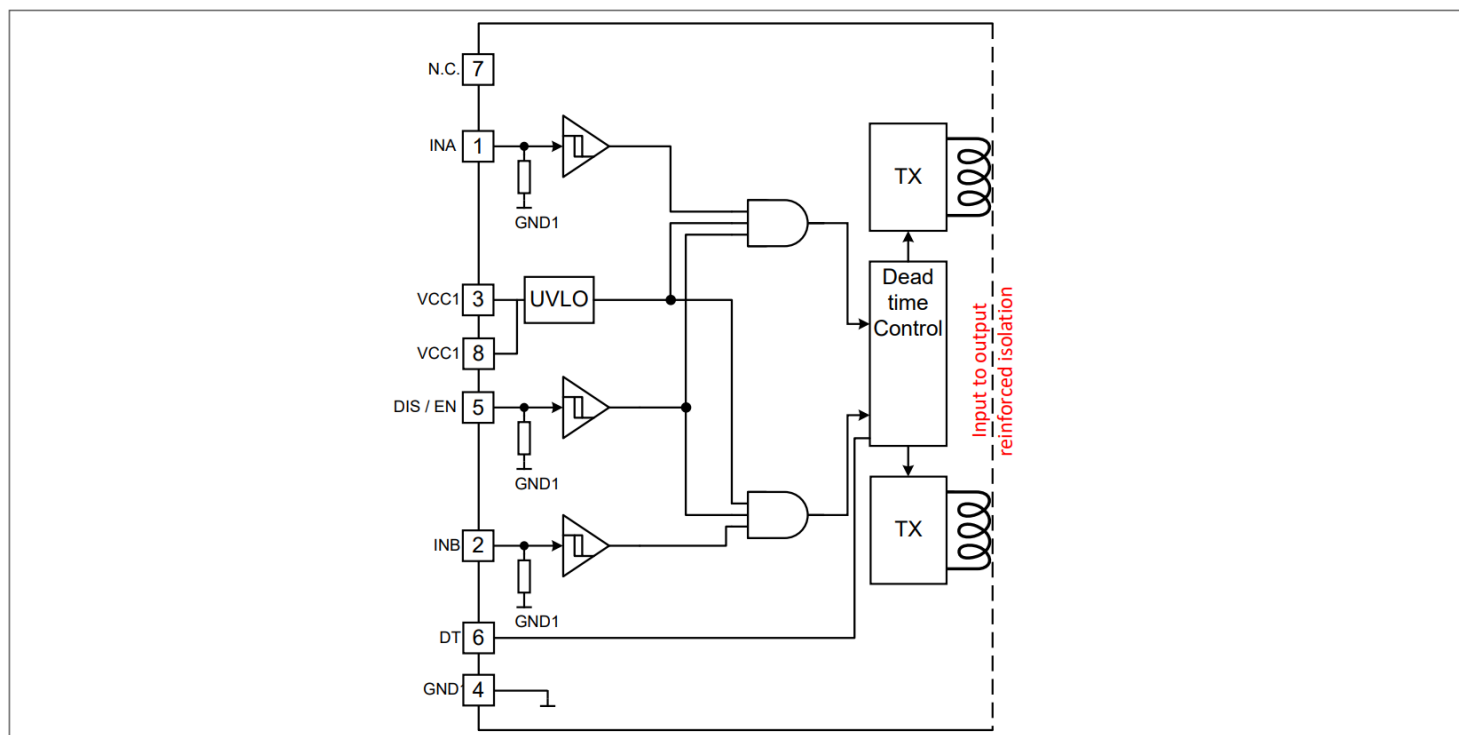


图36 输入侧框图

下列块可用：

- 输入电源欠压锁定
- 输入信号滤波器
- 下拉电阻
- 死区时间控制

7.1.1 输入电源欠压锁定 (UVLO)

输入芯片上的 UVLO 块监控 V_{CC1} 和 $GND1$ 引脚之间的电压，并确保这些引脚之间有足够的电压以确保内部电路正常运行。

只要这两个引脚之间的电压低于 V_{UVLOL1} ， INA 或 INB 引脚上的开启信号就不会通过隔离屏障发送，并且通道默认关闭。

为了允许开启信号跨越隔离栅， V_{CC1} 和 $GND1$ 引脚之间的电压必须超过 V_{UVLOH1} 阈值并保持在 V_{UVLOL1} 以上。否则，跨越隔离栅的通信将被禁用，通道将被关闭。

尽管 UVLO 可确保 V_{CC1} 和 $GND1$ 引脚之间的电压足够大，但它无法防止电源线上的动态干扰，而这种干扰可能会传播到设备的内部电路。

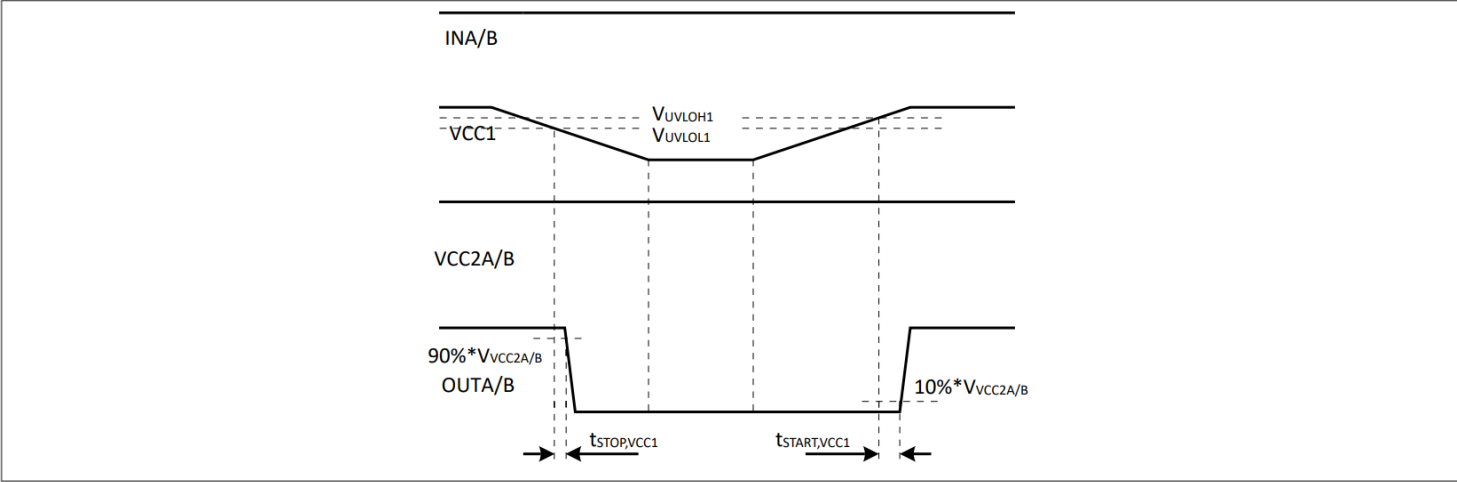


图 37 输入侧 UVLO 行为

7.1.1.2 输入信号滤波器

INA、INB或DIS/EN上的任何脉冲，如果短于输入脉冲抑制时间 t_{INFLT} ，将被滤波，不会传输到输出芯片。较长的脉冲将以传播延迟 t_{PDON} 和 t_{PDOFF} 发送到输出端，如图38所示。这有助于设计，并且大多数情况下不需要外部 RC 滤波器来抑制噪声。

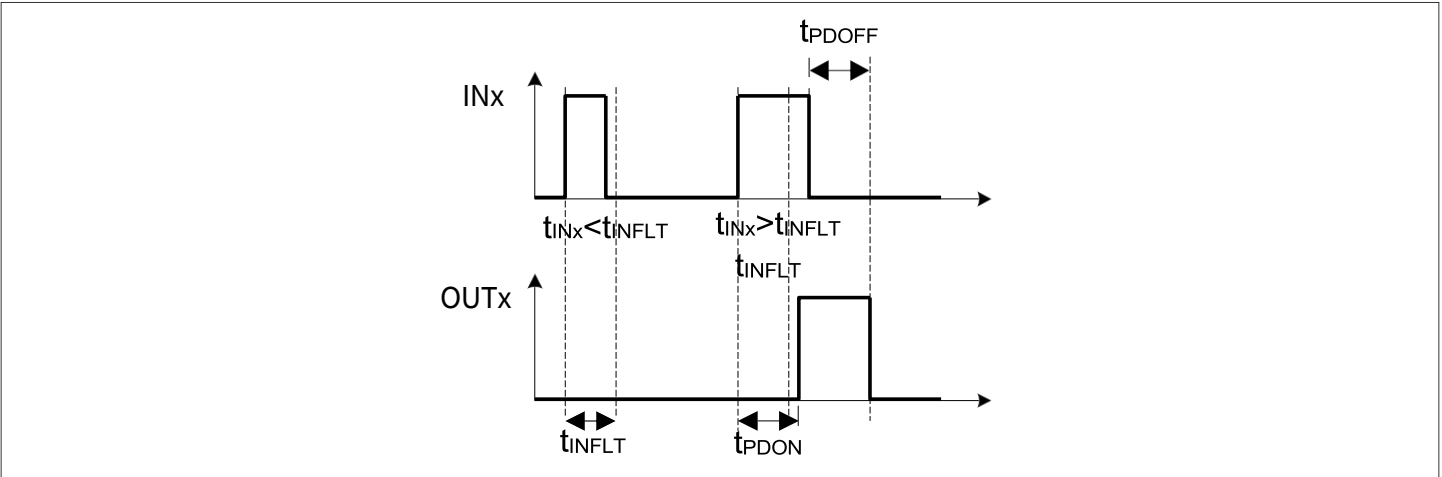


图 38 输入过滤器行为

7.1.1.3 下拉电阻

每个数字输入引脚都连接一个下拉电阻。这确保即使引脚从电路板上拆焊，也能将其拉至安全状态，并禁用通道。这适用于INA、INB以及带EN引脚的型号。带DIS引脚的型号驱动更简单，并且由于驱动器默认处于活动状态，因此功耗更低。但强烈建议不要将此引脚悬空，如果微控制器不主动驱动，则应将其连接到GND1。

7.1.1.4 死区时间控制

死区控制模块根据DT引脚的状态，实现两个通道之间的非重叠。定义了以下状态和行为：

- DT连接到GND1：在通道之间实现最小 (<10 ns) 直通保护



- DT 连接到 $VCC1$ 或悬空：两个通道作为独立驱动器
- DT 通过电阻器连接到 $GND1$ ：根据以下等式，在一个通道的下降沿和另一个通道的上升沿之间实现死区时间：

$$t_{DT} = K_{DT_R} \times R_{DT} + M_{DT_R} \tag{1}$$

请注意，如果 DT 引脚在运行期间断开，设备将不会自动转换到独立驱动模式。

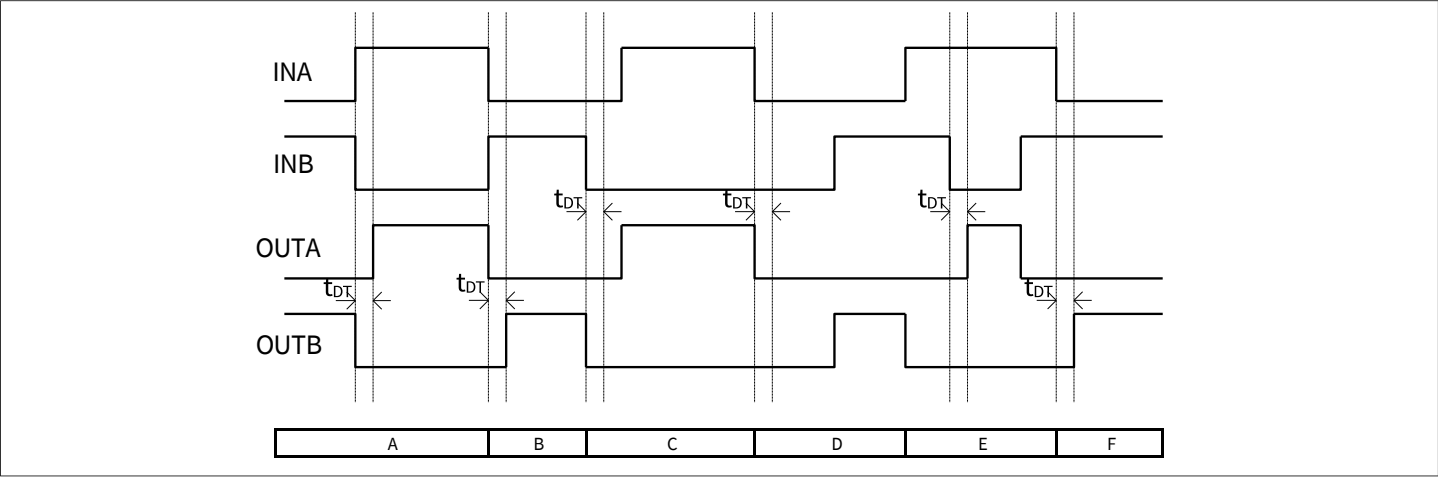


图 39 死区时间特殊脉冲

当电阻连接到 DT 引脚时，定义了以下行为：

- A和B：当互补信号同时出现在输入引脚时，在关闭通道的下降沿会产生死区时间。只有当它过期后，才会触发另一个通道的开启
- C：如果一个通道上的开启信号出现在另一个通道关闭后 超过 t_{DT} 的时间，则死区时间在两个通道的输出上不可见
- D：如果一个通道在另一个通道已经打开的情况下收到开启命令，则两个通道都会立即关闭，直到输入端的条件消失
- E和F：退出条件 D 时，从一个通道的关闭命令开始产生死区时间，直到另一个通道打开

不建议 将电容器连接到 DT 引脚。

7.2 输出侧功能块

该设备的输出侧包含两个相同的 IC，每个 IC 驱动一个输出通道。每个 IC 包含以下模块：

- 输出侧欠压锁定 (UVLO)
- 短路钳位
- 主动关机
- 过温保护 (OTP)

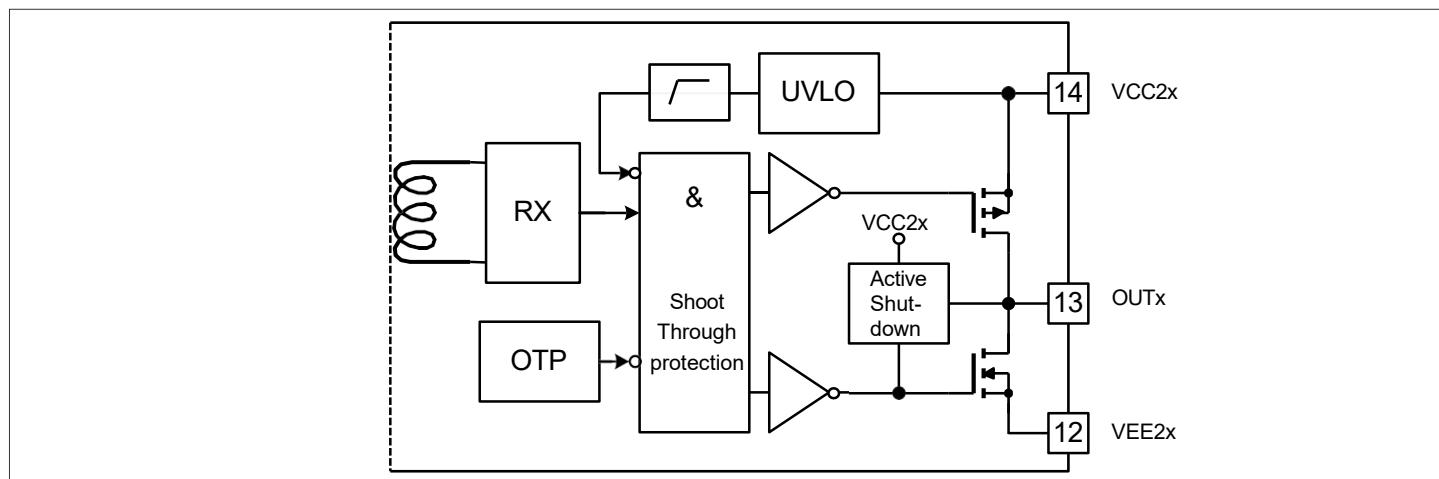


图40 输出侧框图

7.2.1 输出侧欠压锁定 (UVLO)

输出芯片上的 UVLO 块监控 $VCC2A/B$ 和 $VEE2A/B$ 引脚之间的电压，并确保这些引脚之间有足够的电压来正确驱动连接的开关。

只要这两个引脚之间的电压低于 V_{UVLO2} ，穿过隔离屏障的任何开启信号都不会改变输出状态，并且通道默认关闭。

为了使通道开启，VCC2A/B和VEE2A/B引脚之间的电压必须超过 V_{UVLOH2} 阈值并保持在 V_{UVLOL2} 以上。否则，无论输入引脚的状态如何，通道都会自动关闭。

开启连接到通道的电源开关所需的电荷由连接在VCC2A/B和VEE2A/B之间的缓冲电容提供。因此，该电容的尺寸必须确保在开启事件期间或之后，这两个引脚之间的电压不会降至 V_{UVLOL2} 以下，否则将自动触发驱动器的关闭。

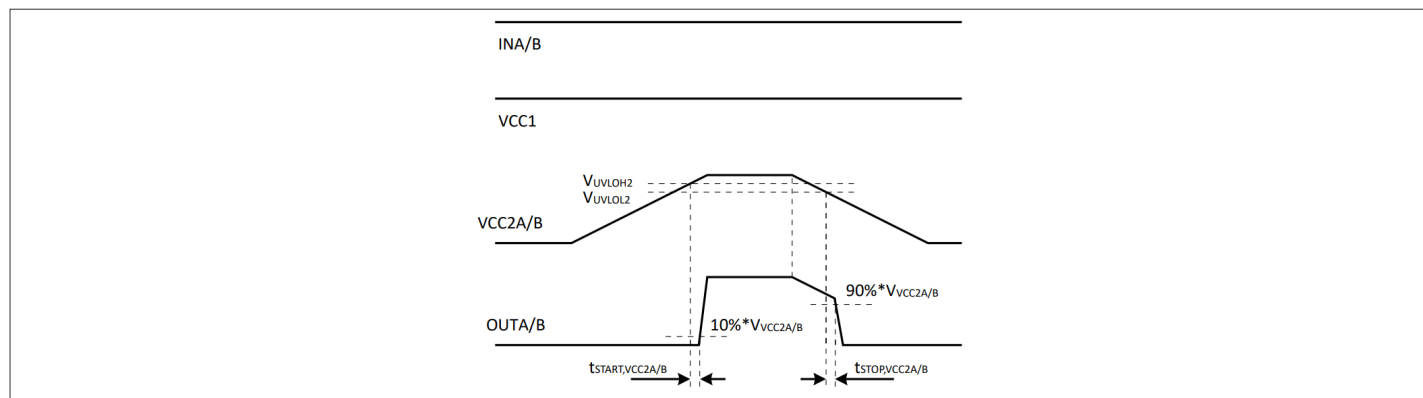


图 41 **输出侧 UVLO 行为**

7.2.2 短路钳位

短路期间，由于米勒电容的反馈，功率晶体管的栅极电压趋于上升。在这种情况下，IC 会在内部钳位 $OUTA/B$ 引脚上的电压，并将其限制在略高于电源电压 $V_{VCC2A/B}$ 的水平。最大 500 mA 电流可通过此路径反馈至电源，持续 10 μ s。如果预计电流更大或需要更严格的钳位，则应在 $OUTA/B$ 和 $VCC2A/B$ 引脚之间添加外部肖特基二极管。

7.2.3 主动关机

主动关断功能是驱动器的一项保护功能。它的设计目的是防止电源开关因浮动栅极而打开。

主动关断功能可在输出芯片未连接到电源或欠压锁定功能生效时，确保 IGBTs、Si 或 SiC MOSFETs 处于安全关断状态。IGBT、Si 或 SiC MOSFET 栅极通过 $OUTA/B$ 引脚钳位至 $VEE2A/B$ 。

如果 $VCC2A/B$ 引脚电源缺失或崩溃，驱动器的输出部分将进入主动关断模式。在这种情况下，驱动器使用所连接栅极的浮动电压为内部电路供电。该解决方案比在电源开关的栅极和源极引脚之间放置外部电阻的解决方案强得多。同时，如果开关上的 dV/dt 事件产生可能偏置栅极的米勒电流，即使栅极驱动器未通电，主动关断电路也会使用该电压为自身供电，并主动将栅极拉低。主动关断功能在所有 IC 型号中都以类似的方式运行。

7.2.4 过温保护

当 IC 结温超过阈值温度 T_{OTPOFF} 时，过温保护功能会关闭栅极驱动器 IC 的输出，保护应用。输出保持关闭状态，直至温度达到安全水平 T_{OTPREL} 。达到安全水平后，如果发送开启命令，输出将再次开启。

虽然过热保护功能试图保护设备，但请注意，在高于 T_J 可能会永久损坏驱动器。

8 应用信息

注意：英飞凌仅出于礼貌提供此信息，并不承担任何法律义务。以下应用章节中的信息不属于英飞凌组件规范的一部分，英飞凌不保证其准确性或完整性。英飞凌的客户负责确定组件是否适合其用途。客户应验证并测试其设计实施以确认系统功能。

8.1 典型应用

本节介绍如何在应用中使用栅极驱动器。图 42 和图 43 展示应用程序实现的示例。

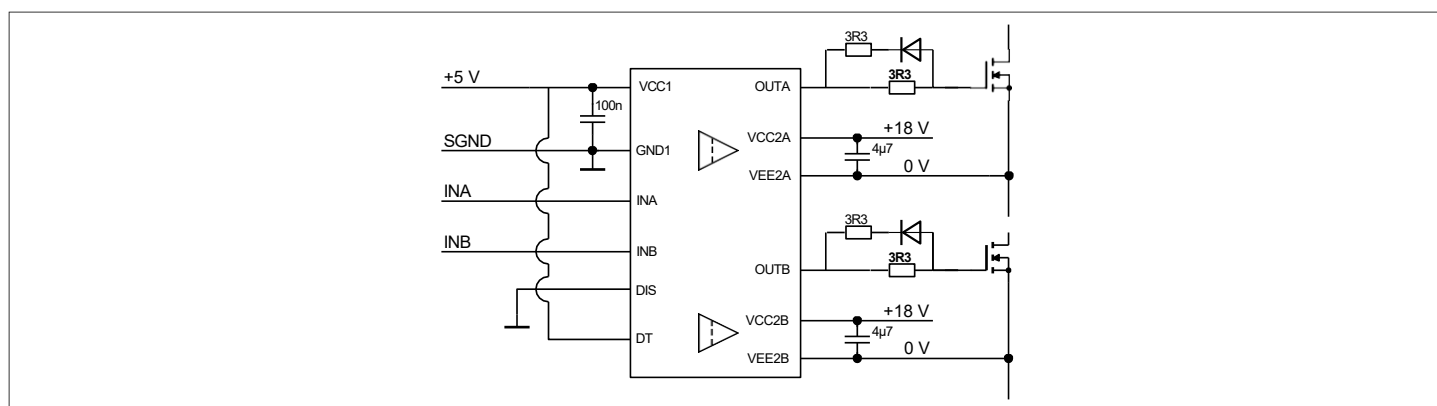


图 42 使用 SiC 开关实现单极偏置的独立双通道操作

要将驱动器作为两个独立通道运行，应将 *DT* 引脚连接到输入电源引脚 *VCC1*。这样，驱动器就不会在 *INA* 和 *INB* 信号之间施加任何死区时间。此工作模式适用于空间受限或成本敏感的应用。如图 42 是使用单极电源。此处 *VEE2A/B* 引脚应直接连接到功率晶体管的源极或发射极。当使用无寄生导通的开关，或开关节点的 *dV/dt* 较低时，可以使用此偏置策略。为了获得不同的导通和关断速度，可以与现有的栅极电阻并联一个二极管和一个额外的串联电阻。如图 42，等效放电电阻大约是充电电阻的一半。在这种情况下，应该使用肖特基二极管，并且必须考虑其压降。

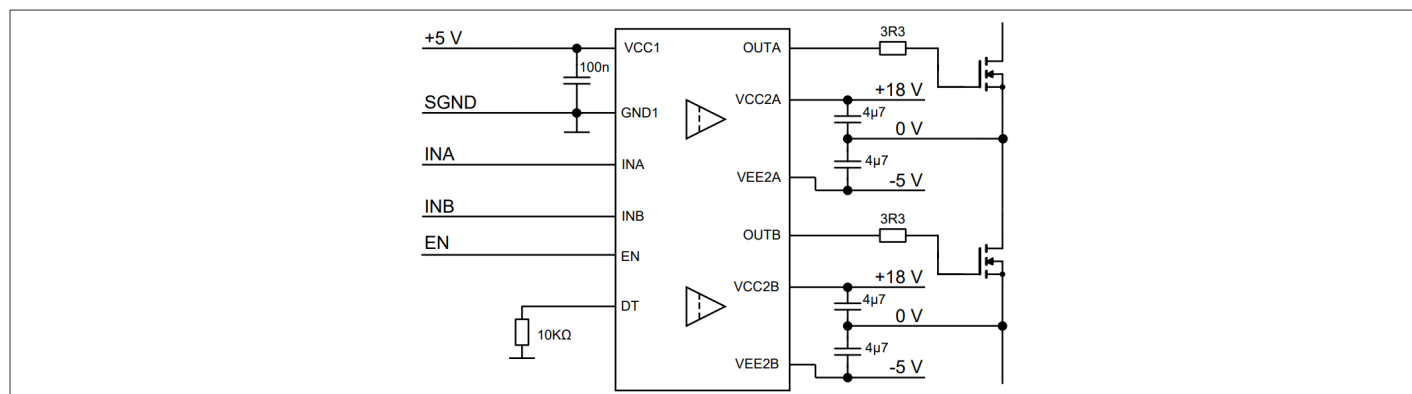


图 43 使用 SiC 开关的双极偏置半桥操作

该器件还可以通过在 *DT* 和 *GND1* 引脚之间连接一个电阻来实现半桥模式。这样，驱动器会在一个通道的下降沿和另一个通道的上升沿之间实现死区时间。需要注意的是，死区时间失真 $|t_{\text{DTD}}|$ 也必须考虑在内。图中还显示了双极驱动电源的使用。在这种情况下，虚拟地由两个从 *VCC2A/B* 到 *VEE2A/B* 串联的电容器实现，中间点连接到驱动开关的源极或发射极。

8.2 电源建议

2ED314xMC12L 栅极驱动器支持输入侧和输出侧的宽范围电压。该设备的输出侧可采用单极或双极电源电压运行，以确保应用中的可靠、安全运行。

为确保栅极驱动器正常工作，必须在电源引脚上放置合适的去耦电容。在输入侧，建议在VCC1和GND1之间放置一个 100 nF 的低 ESR 表贴多层陶瓷电容。该电容应尽可能靠近引脚放置。

输出侧的去耦电容器除了可以去耦电源上的任何干扰之外，还可以存储打开和关闭功率晶体管所需的峰值电流所需的能量。

因此，这些电容应适当选择，以限制功率晶体管开启和关闭期间的压降。使用单极电源时，应在 VCC2A/B 引脚和 VEE2A/B 引脚之间靠近引脚放置一个至少 4.7 μF 的低 ESR、表面贴装多层陶瓷电容。如果是双极电源，建议在 VCC2A/B 和虚拟地（功率晶体管的源极或发射极电位）之间以及 VEE2A/B 引脚和虚拟地之间使用电容至少 4.7 μF 的陶瓷电容。根据功率晶体管的栅极电荷以及峰值源极和灌栅极电流，可能需要更高的电容来限制功率晶体管开启和关闭期间的压降。最后，建议在 VCC2A/B 和 VEE2A/B 引脚之间放置一个 100 nF 的去耦电容，确保它们之间的路径短，以去耦任何高频噪声。

选择电容器时，重要的是要考虑陶瓷电容器相对于所施加的直流电压的电容下降。

8.3 栅极电阻的选择

栅极电阻是栅极驱动电路中的关键元件。栅极电阻限制栅极驱动器的源电流和灌电流，从而控制相关功率晶体管在导通和关断操作期间的开关速度。因此，在设计过程中仔细选择合适的栅极电阻至关重要。选择栅极电阻时需要考虑的一些重要因素包括：

- 优化开关损耗
- 限制关断时功率晶体管漏源电压或集电极发射极电压的过冲和振荡
- 限制导通期间漏极电流或集电极电流的过冲和振荡
- 抑制栅极环路中的寄生电感和电容引起的栅极源极或栅极发射极电压的振荡

作为栅极驱动器选择的起点，可以使用功率晶体管数据表中用于表征导通和关断损耗的栅极电阻。电源条件很少与功率晶体管数据表中使用的电源条件相同。因此，需要应用功率晶体管数据表的值作为优化最终栅极电阻的起点。这里提出的方法对于实际应用和功率晶体管数据表使用相同的峰值栅极电流值。

根据功率晶体管数据表，峰值栅极电流等于：

$$I_{G, pk} = \frac{\Delta V_{GS}}{R_{G, datasheet} + R_{G, int}} = \frac{\Delta V_{GS}}{R_{G, application} + R_{G, int}} \quad (2)$$

with $\Delta V_{GS} = V_{VCC2} - V_{VEE2}$

解该方程中的 R_G 可得出：

$$R_G = \frac{\Delta V_{GS}}{I_{G,pk}} - R_{G,int} \quad (3)$$

该方法为选择栅极电阻提供了一个起点。需要进行进一步评估（例如 EMI 测量）来确定栅极电阻的最终尺寸，因为它们必须进行调整以适应电路电感、裕度和允许的 dV/dt 瞬变。

在确定栅极电阻元件的尺寸时，必须考虑由于功率晶体管的开关而导致的这些电阻的平均功率耗散（如基于损耗的外部栅极电阻选择中所述）以及元件的脉冲功率能力。

8.4 死区电阻选择

在选择死区电阻时，必须考虑操作期间可能出现的最小脉冲宽度。如果最小脉冲宽度的值与死区时间相似，则可能会发生二极管过度导通。这将导致效率损失，并且对于 SiC 开关来说，可能会损坏设备。因此，建议将死区时间合理地保持在小于最小脉冲宽度的范围内，同时考虑上升和下降时间以及通道传播延迟。

8.5 功耗估算

8.5.1 栅极驱动器

栅极驱动器输入侧损耗主要由静态损耗组成，其计算公式为：

$$P_{Q1} = V_{VCC1} \cdot I_{Q1} \quad (4)$$

每个通道的栅极驱动器输出侧损耗包括额定开关频率和无负载时的静态电流损耗 $P_{Q2A/B}$ 、拉电流损耗 $P_{source,A/B}$ 和吸收电流损耗 $P_{sink,A/B}$

$$P_{OUT,A/B} = P_{Q2,A/B} + P_{source,A/B} + P_{sink,A/B} \quad (5)$$

输出侧的静态损耗 $P_{Q2,A/B}$ 可通过以下公式计算：

$$P_{Q2,A/B} = (V_{VCC2A/B} - V_{VEE2A/B}) \cdot I_{Q2} \quad (6)$$

开启损耗 $P_{source,A/B}$ 和关闭损耗 $P_{sink,A/B}$ 可以通过使用栅极驱动器输出级内部电阻 $R_{DSON,H}$ 或 $R_{DSON,L}$ 与外部栅极电阻 $R_{G,ext}$ 之间的电阻分压器，结合应用相关的栅极电荷 Q_G 、总栅极驱动电压 $V_{VCC2A/B} - V_{VEE2A/B}$ 和开关频率 f_{sw} 来估算：

$$P_{source,A/B} = \frac{1}{2} Q_G \cdot f_{sw} \cdot (V_{VCC2A/B} - V_{VEE2A/B}) \cdot \frac{R_{DSON,H}}{R_{DSON,H} + R_{G,ext,ON} + R_{G,int}}$$

$$P_{sink,A/B} = \frac{1}{2} Q_G \cdot f_{sw} \cdot (V_{VCC2A/B} - V_{VEE2A/B}) \cdot \frac{R_{DSON,L}}{R_{DSON,L} + R_{G,ext,OFF} + R_{G,int}} \quad (7)$$

栅极驱动器周围的外部组件会使 IC 发热。仅仅计算损耗和理论结温对于经过验证的栅极驱动器电路设计来说是不够的。需要通过测量进行验证以防止应用中出现意外的影响。例如，可以使用红外摄像机来识别热点。

8.5.2 外部栅极电阻

可以使用由栅极电流的源极路径和吸收路径中的电阻形成的相同电阻分压器来估算导通栅极电阻 $R_{G,ext,ON}$ 和关断栅极电阻 $R_{G,ext,OFF}$ 的损耗，具体公式如下：

$$P_{source,ext} = \frac{1}{2} Q_G \cdot f_{sw} \cdot (V_{VCC2} - V_{VEE2}) \cdot \frac{R_{G,ext,ON}}{R_{DSON,H} + R_{G,ext,ON} + R_{G,int}} \quad (8)$$

$$P_{sink,ext} = \frac{1}{2} Q_G \cdot f_{sw} \cdot (V_{VCC2} - V_{VEE2}) \cdot \frac{R_{DSON,L}}{R_{DSON,L} + R_{G,ext,OFF} + R_{G,int}}$$

8.6 布局指南

拥有精心设计的 PCB 布局对于实现栅极驱动器的最佳性能至关重要。这确保了整个电力电子转换器处于最佳运行状态。创建精心设计的 PCB 布局需要对特定关键因素给予一定程度的关注和考虑。使用 2ED314xMC12L 栅极驱动器设计 PCB 布局时应考虑以下关键点：

- 输入侧的低 ESR、低 ESL 去耦电容必须靠近 VCC1 和 GND1 引脚放置，并与这些引脚连接，以尽可能缩短去耦环路。同样，输出侧的去耦电容也应靠近 VCC2A/B 和 VEE2A/B 引脚放置，并通过短连接与这些引脚连接。
- 最小化功率晶体管栅极充电和放电电流环路的物理面积至关重要。栅极环路包含具有高 dv/dt 和 di/dt 的走线，并且短环路可最大限度地减少栅极开启和关闭产生的噪声。短环路设计还可以最大限度地减少栅极环路的杂散电感并提高开关性能。为了实现短栅极环路，栅极驱动器应位于功率晶体管附近，而存储峰值电流能量的去耦电容器应位于靠近栅极驱动器的位置。
- 为了进一步降低栅极环路的杂散电感，可以对栅极环路中的走线使用宽走线。此外，电流的正向路径和返回路径可以在同一 PCB 层上彼此平行布线，或者在相邻的 PCB 层上彼此重叠，以实现最小的杂散电感。
- 如果采用单极电源，则应将栅极驱动器的 VEE2A/B 引脚连接到功率晶体管的开尔文源极/发射极引脚（如有）。如果没有开尔文引脚，则应尽可能缩短与源极/发射极的连接距离，从器件引脚开始，以避免功率晶体管的大电流流入栅极环路。
- 栅极驱动器封装主体下方的区域应保持无任何走线，以确保输入侧和输出侧之间安全隔离的完整性。
- 建议将连接到 INA 和 INB 引脚的栅极驱动器输入信号远离任何噪声走线。虽然 2ED314xMC12L 内置输入滤波器，可以滤除输入信号中的高频噪声，但可以在这些引脚附近放置一个时间常数较小的外部 RC 滤波器，以增强滤波效果。此外，建议在输入信号走线下方放置一个接地层，以屏蔽噪声。
- 栅极驱动器 IC 在系统运行时会产生功耗，正如前几章所述。器件产生的热量主要通过 PCB 散热。建议最大限度地增加连接到 VEE2A/B 引脚的铜箔面积，以便有效地将栅极驱动器产生的热量通过 PCB 散热。

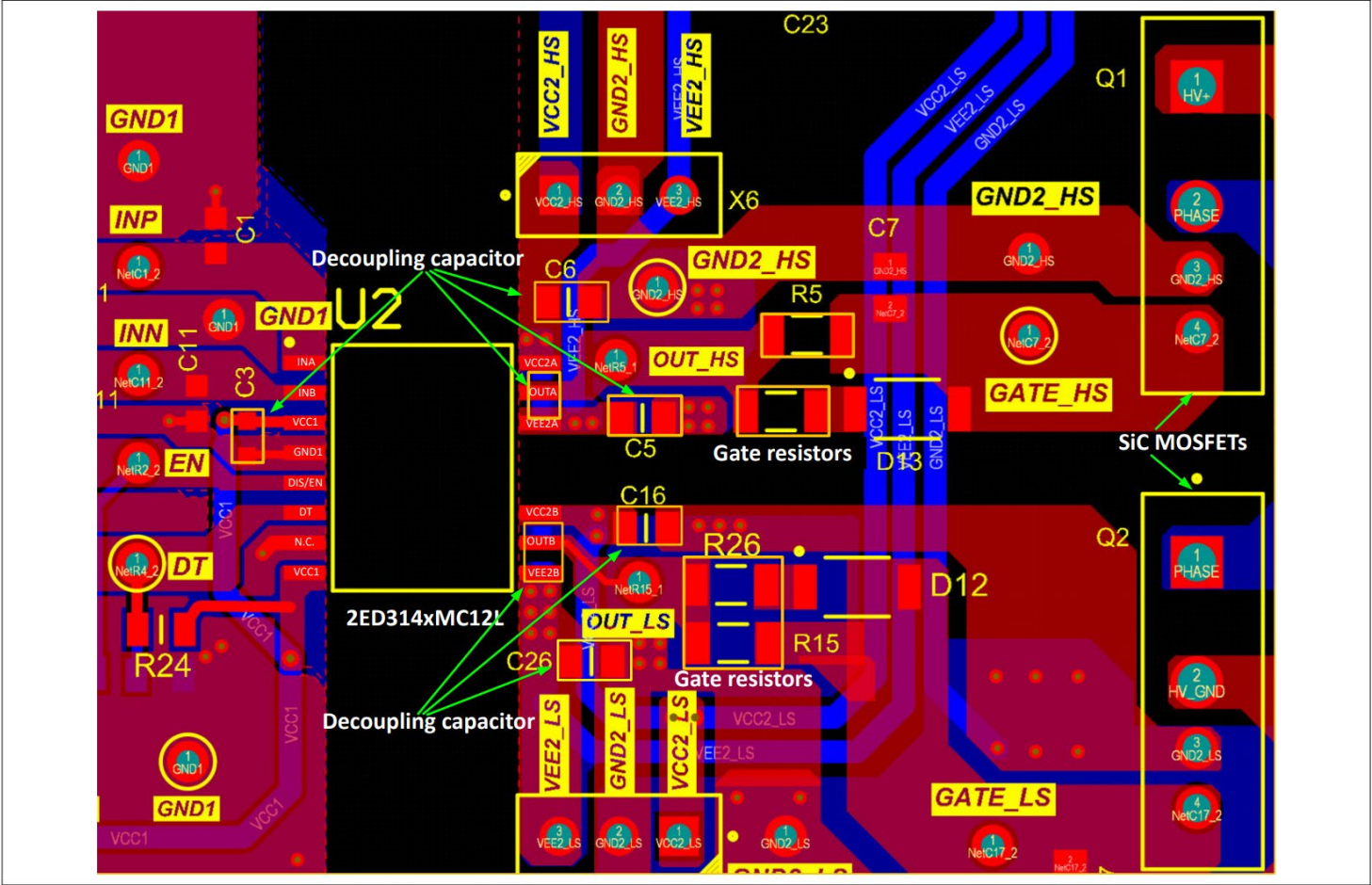


图 44 示例 PCB 布局，显示去耦电容的位置

图 44 显示了去耦电容、栅极电阻和 SiC MOSFETs 的位置

9 相关链接

注意： 请考虑所选电源开关和工作条件的栅极驱动器IC 功率耗散和绝缘要求。

Product group	Product name	Description
TRENCHSTOP™ IGBT Discrete	IKWH40N65WR6	650 V, 40 A IGBT with anti-parallel diode in TO-247-3-HCC
	IHW30N160R5	1600 V, 30 A IGBT Discrete with anti-parallel diode in TO-247
	IKW15N120CS7	1200 V IGBT7 S7, 15 A IGBT with anti-parallel diode in TO247
	IKQ75N120CS7	1200 V IGBT7 S7, 75 A IGBT with anti-parallel diode in TO247-3
CoolSiC™ SiC MOSFET Discrete	IMBF170R1K0M1	1700 V, 1000 mΩ SiC MOSFET in TO-263-7 with extended creepage
	IMZA120R040M1H	1200 V, 40 mΩ SiC MOSFET in TO247-4 package
	IMZA120R014M1H	1200 V, 14 mΩ SiC MOSFET in TO247-4 package
	IMBG120R030M1H	1200 V, 30 mΩ SiC MOSFET in TO-263-7 package
CoolSiC™ SiC MOSFET Module	FS33MR12W1M1H_B11	EasyPACK™ 1B 1200 V, 33 mΩ sixpack module
	FF17MR12W1M1H_B11	EasyDUAL™ 1B 1200 V, 17 mΩ half-bridge module
	FF4MR12W2M1H_B11	EasyDUAL™ 2B 1200 V, 4 mΩ half-bridge module
	F4-17MR12W1M1H_B11	EasyPACK™ 1B 1200 V, 17 mΩ fourpack module
TRENCHSTOP™ IGBT Modules	F4-100R17N3E4	EconoPACK™ 3 1700 V, 100 A fourpack IGBT module
	F4-200R17N3E4	EconoPACK™ 3 1700 V, 200 A fourpack IGBT module
	FP10R12W1T7_B11	EasyPIM™ 1B 1200 V, 10 A three phase input rectifier PIM IGBT module
	FS100R12W2T7_B11	EasyPACK™ 2B 1200 V, 100 A sixpack IGBT module
	FP150R12KT4_B11	EconoPIM™ 3 1200 V three-phase PIM IGBT module
	FS200R12KT4R_B11	EconoPACK™ 3 1200 V, 200 A sixpack IGBT module

10 包装尺寸

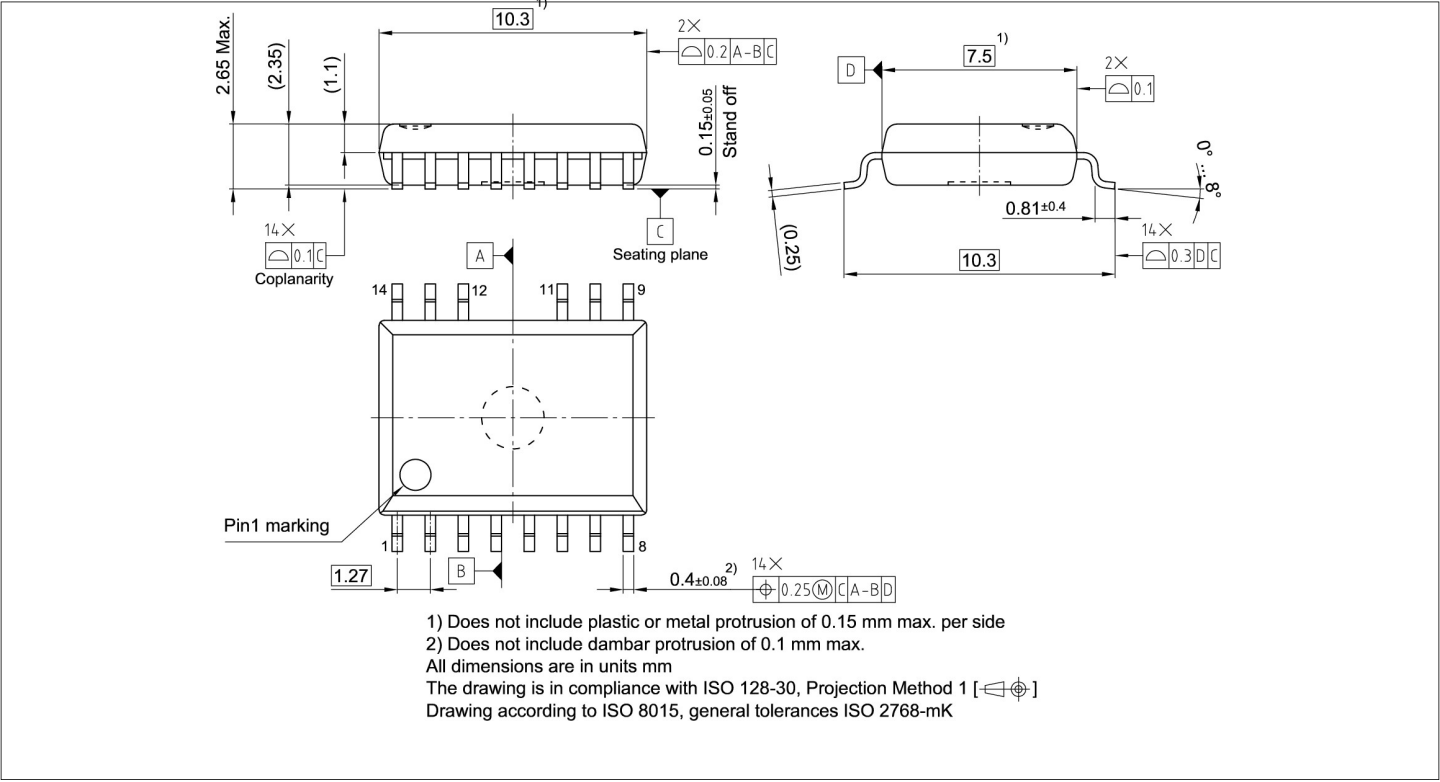


图45 PG-DSO-14-71 (300 mil)轮廓

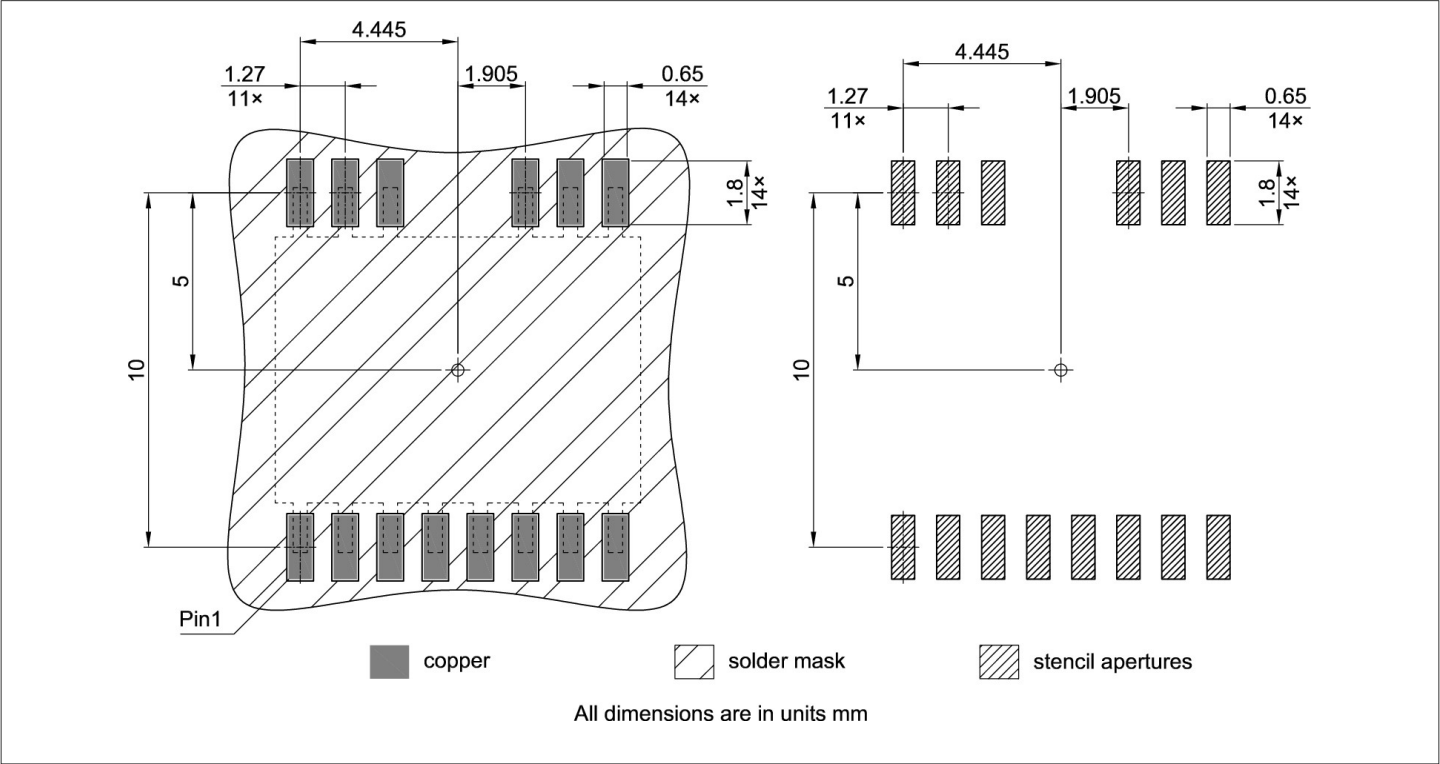


图 46 PG-DSO-14-71 (300 mil) 推荐封装



修订记录

Document version	Date of release	Description of changes
v1.00	2024-06-12	Initial official release
v1.10	2024-07-17	Updated $t_{\text{SKEW_ON,P-P}}$, $t_{\text{SKEW_OFF,P-P}}$, $t_{\text{SKEW_ON,Ch-Ch}}$, $t_{\text{SKEW_OFF,Ch-Ch}}$, $t_{\text{SKEW+}}$ parameter names
v1.20	2024-09-02	- Updated graphs for better visibility - Added channel-to-channel isolation voltage
v1.30	2025-01-16	- Updated the IEC60747-17 certification status and number - Corrected the typographical error in Figure 2 - Updated Figure 44



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-09-29

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

Do you have a question about this
document?

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的信息或本文件中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据勘探（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文件包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。