

英飞凌2ED1322S12M/2ED1321S12M半桥栅极驱动器

带有集成自举二极管和 OCP 的 1200 V 半桥栅极驱动器

特性

- 独特的英飞凌薄膜绝缘体上硅 (SOI) 技术
 - 浮动通道设计用于引导操作
- 最大自举电压 (VB 节点) 为 +1225 V
- 工作电压 (VS 节点) 高达 +1200 V
- 负 VS 瞬态电压抗扰度为 100 V
 - 重复 700 ns 脉冲
- 2.3 A / 4.6 A 峰值输出拉电流/灌电流能力
- 集成超快速过流保护 (OCP)
 - $\pm 5\%$ 高精度参考阈值
 - 小于 1 us 的过流感应到输出关闭
- 集成超快速、低电阻自举二极管
- 集成死区时间和直通预防逻辑 (2ED1322S12M)
- 启用、故障和可编程故障清除 RFE 输入
- VS 引脚上的逻辑操作电压高达 -8 V
- 每通道独立欠压锁定 (UVLO)
- 25 V VCC 电源电压 (最大值)
- 独立逻辑 (VSS) 和输出地 (COM)
- 电气间隙/爬电距离大于 5 毫米
- 2kV HBM ESD 能力

典型应用

- 工业驱动
- 用于泵、风扇电机控制的嵌入式逆变器
- 商用和轻型商用空调

产品概要

$V_{S_OFFSET} = 1200 \text{ V}$ (最大值)
 $I_{o+} / I_{o-} = 2.3 \text{ A} / 4.6 \text{ A}$ (峰值)
 $V_{CC} = 13 \text{ V}$ 至 20 V (典型值)
 传播延迟 = 500 ns 典型值。
 死区时间 = 380 ns 典型值。

封装

PG-DSO-16-U02 (300 mil)



产品验证

符合 JEDEC78/20/22 相关测试的工业应用要求

订购信息

Sales Product Name	Package type	Standard pack		Orderable part number
		Form	Quantity	
2ED1322S12M	PG-DSO-16-U02	Tape and Reel	1,000	2ED1322S12MXUMA1
2ED1321S12M	PG-DSO-16-U02	Tape and Reel	1,000	2ED1321S12MXUMA1

本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性请务必访问 infineon.com 参考最新的英文版本 (控制文档)。

描述

2ED132x 系列包含可控制半桥配置中最大阻断电压为 +1200 V 的 IGBT 或 SiC MOSFET 功率器件的设备。基于所使用的 SOI 技术，它对瞬态电压具有出色的耐受性。该器件中不存在寄生晶闸管结构。因此，该设计在整个工作温度和电压范围内对寄生闩锁具有非常强的抵抗力。

两个独立的驱动器输出分别使用两个不同的 CMOS 在低侧进行控制。LSTTL 兼容信号，最低可达 3.3 V 逻辑。该装置包括一个具有滞后特性的欠压检测单元。

2ED132x 具有对称欠压锁定水平，可强力支持集成的超快速自举二极管。此外，当 IC 未通过 VCC 供电时，离线栅极钳位功能可通过浮动栅极条件为晶体管提供寄生导通的固有保护。

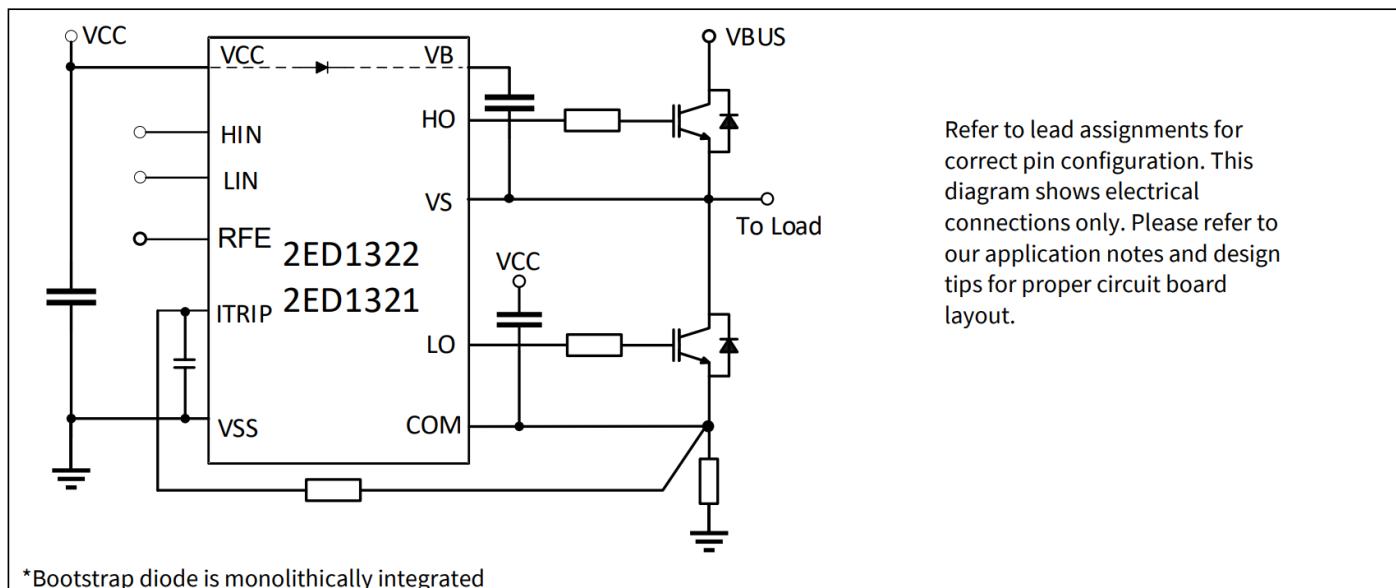


图1 典型应用框图

2ED132x 系列特性比较总结：

表 1

Sales Product Name	Package Type	Source / sink drive (peak - A)	Key Features	Cross conduction prevention	Integrated Deadtime	Integrated Bootstrap Diode	t_{ON} / t_{OFF} (typ)
2ED1324S12P	PG-DSO-20-U03	+ 2.3 / - 2.3	OCP, AMC, SCC, RFE	Yes	380 ns	Yes	500 ns
2ED1323S12P	PG-DSO-20-U03	+ 2.3 / - 2.3	OCP, AMC, SCC, RFE	No	None	Yes	350 ns
2ED1322S12M	PG-DSO-16-U02	+ 2.3 / - 4.6	OCP, RFE	Yes	380 ns	Yes	500 ns
2ED1321S12M	PG-DSO-16-U02	+ 2.3 / - 4.6	OCP, RFE	No	None	Yes	350 ns

1 目录

特性	产品概要	1
典型应用		1
产品验证		1
订购信息		1
描述	2	
1 目录		3
2 框图		4
3 引脚配置和功能		5
3.1 引脚配置		5
3.2 引脚功能		6
4 电气参数		7
4.1 绝对最大额定值		7
4.2 推荐运行条件		8
4.3 静态电气特性		9
4.4 动态电气特性		10
5 申请信息和其他详细细节		11
5.1 栅极驱动		11
5.2 切换关系		11
5.3 时序图		12
5.4 死区时间		13
5.5 传输延迟时间匹配		13
5.6 输入逻辑兼容性		14
5.7 欠压锁定		14
5.8 直通保护		15
5.9 启用、故障报告和可编程故障清除定时器		15
5.10 过流保护		16
5.11 真值表：欠压锁定、OCP和启用		17
5.12 菊花链式连接多个设备		17
5.13 自举二极管		18
5.14 计算自举电容 C_{BS}		19
5.15 可耐受输入引脚上的负瞬变		21
5.16 VS 引脚的负电压瞬态耐受性		21
5.17 NTSOA - 负瞬态安全工作区		22
5.18 PCB 布局技巧		23
6 温度趋势图		25
7 资质信息		29
8 相关链接		30
9 封装详情		31
10 零件标记信息		32
11 其他文档和资源		33
11.1 英飞凌在线论坛资源		33
12 修订记录		34

2

框图

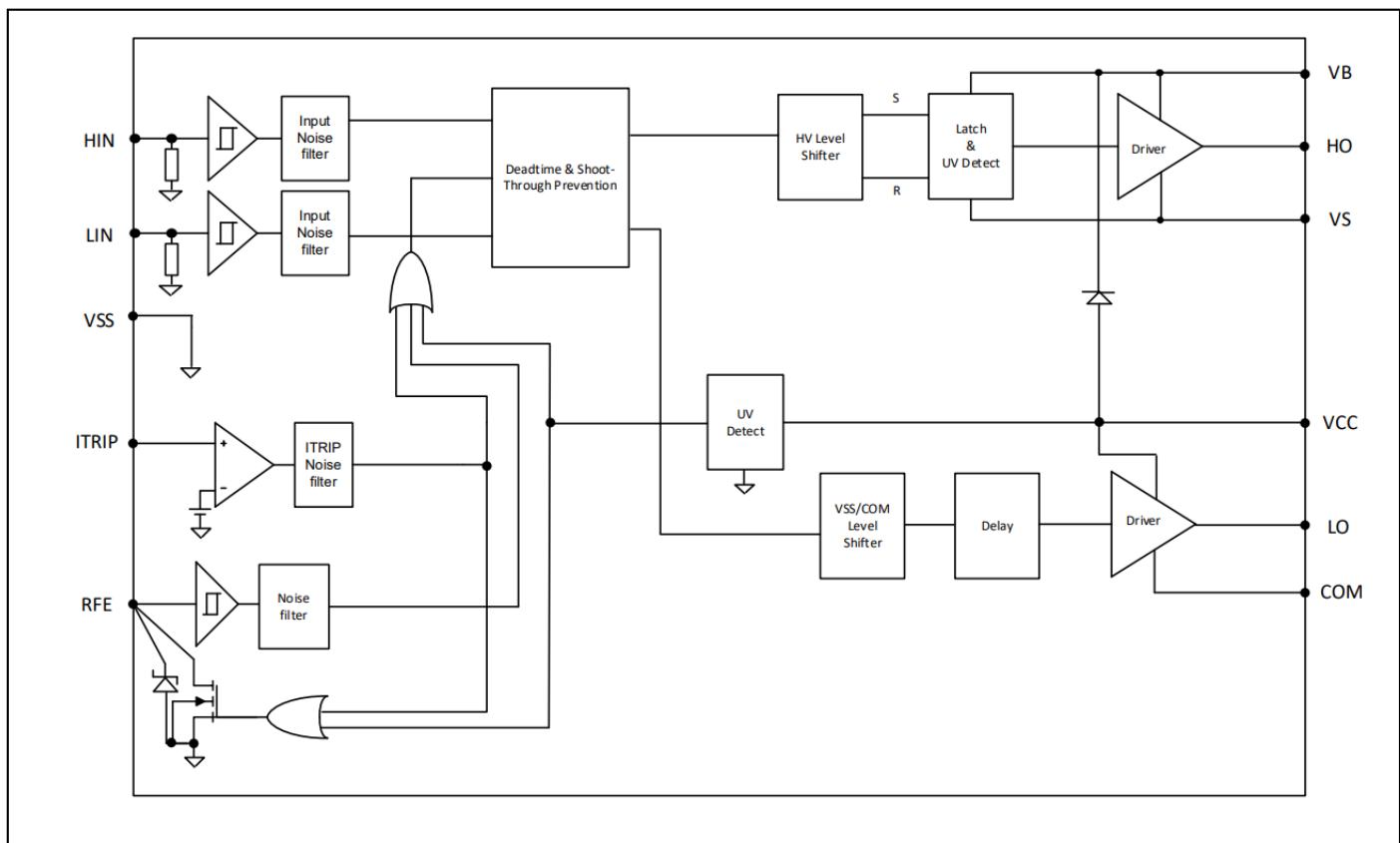
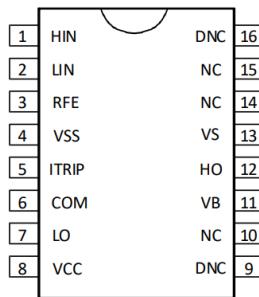


图2

2ED1322S12M框图

3 引脚配置和功能

3.1 引脚配置



16-Lead PG-DSO-16-U02 (300 mil)
2ED1322S12M/2ED1321S12M

图3 引脚分配 (顶视图)

3.2 引脚功能

表 2

Symbol	Description
HIN	Logic input for high side gate driver output (HO), in phase with HO
LIN	Logic input for low side gate driver output (LO), in phase with LO
RFE	Integrated fault reporting function like over-current protection (OCP), or low-side undervoltage lockout and the fault clear timer. This pin has negative logic and an open-drain output. The use of over-current protection requires the use of external components
VSS	Logic ground
ITRIP	Analog input for over-current shutdown. When active, OCP shuts down outputs and activates RFE low. When OCP becomes inactive, RFE stays active low for an externally set time t_{FLTCLR} , then automatically becomes inactive (open-drain high impedance)
COM	Low-side gate drive return
LO	Low-side driver output
VCC	Low-side and logic supply voltage
VS	High voltage floating supply return
HO	High-side driver output
VB	High-side gate drive floating supply
NC	Pin Not Connected
DNC	Do Not Connect the pin to any electrical node

4 电气参数

4.1 绝对最大额定值

绝对最大额定值表示持续的极限值，超过该极限值可能会损坏器件。除非表中另有说明，所有电压参数均为以 COM 为参考的绝对电压。热阻和功耗额定值是在电路板安装且空气静止的条件下测得的。(Ta = 25 °C)。

表 3 绝对最大额定值

Symbol	Definition	Min.	Max.	Units
V_B	High-side floating well supply voltage ^{Note 1}	-0.5	1225	V
V_S	High-side floating well supply return voltage ^{Note 1}	$V_B - 25$	$V_B + 0.5$	
V_{BS}	High-side floating supply voltage (V_B vs. V_S) (internally clamped)	-1	25	
V_{HO}	Floating gate drive output voltage	$V_S - 0.5$	$V_B + 0.5$	
V_{CCGND}	Low side supply voltage (V_{CC} vs. V_{SS}) (internally clamped)	-1	25	
V_{CC}	Low side supply voltage (V_{CC} vs. V_{COM}) (internally clamped)	-1	25	
V_{LO}	Low-side output voltage	-0.5	$V_{CC} + 0.5$	
V_{IN}	Logic input voltage (HIN, LIN, RFE, ITRIP)	$V_{SS} - 5$	$V_{CC} + 0.5$	
dV_S/dt	Allowable V_S offset supply transient relative to COM	—	50	V/ns
P_D	Package power dissipation @ $T_A \leq +25^\circ\text{C}$ ^{Note 2}	—	1.6	W
R_{thJA}	Thermal resistance, junction to ambient ^{Note 3}	—	78	°C/W
Ψ_{Jtop}	Characterization parameter junction to package top ^{Note 3}		4	
T_J	Junction temperature	-40	150	
T_S	Storage temperature	-55	150	°C
T_L	Lead temperature (soldering, 10 seconds)	—	300	

注 1：当 $V_{CC} > V_B$ 时，如果自举二极管处于激活状态，则 V_{CC} 和 V_B 引脚之间的内部自举二极管会产生额外的功率耗散

注 2：所有输出的功率耗散一致。所有参数均在工作范围内

注 3：根据 JEDEC 标准进行模拟， $T_a = 50^\circ\text{C}$ ， $P_D = 1\text{W}$ ，PCB：JEDEC 2s2p (JESD 51-5)

4.2 推荐运行条件

为确保器件正常工作，应在建议的条件下使用。除非表中另有说明，所有电压参数均为以 COM 为参考的绝对电压。失调额定值是在 $(V_{CC} - COM) = (V_B - V_S) = 15 \text{ V}$ ($T_a = 25^\circ \text{C}$) 的电源电压下测试的。

表 4 推荐运行条件

Symbol	Definition	Min	Max	Units
V_B	Bootstrap voltage	$V_S + 13$	$V_S + 20$	V
V_{BS}	High-side floating well supply voltage	13	20	
V_S	High-side floating well supply offset voltage ^{Note 1}	-8	1200	
V_{St}	Transient High-side floating well supply offer voltage (<700ns) ^{Note 2}	-100	1200	
V_{HO}	Floating gate drive output voltage	V_S	V_B	
V_{CC}	Low-side supply voltage	13	20	
V_{LO}	Low-side output voltage	0	V_{CC}	
V_{IN}	Logic input voltage (HIN, LIN, RFE, ITRIP)	V_{SS}	V_{CC}	
V_{SS}	Logic ground	-5	5	
t_{IN}	Minimal pulse width for ON or OFF	0.3	—	μs
T_A	Ambient temperature	-40	125	$^\circ\text{C}$

注 1：逻辑操作范围为 $V_S - 8 \text{ V}$ 至 $+1200 \text{ V}$

注2：如果 $V_{CC} > V_B$ ，则 V_{CC} 和 V_B 引脚之间的内部自举二极管会产生额外的功率耗散。电桥输出对高达-100 V 的负瞬态电压的不敏感性无需进行生产测试，而是通过设计/特性验证。

4.3 静态电气特性

除非另有说明，否则($V_{CC} - COM$) = ($V_B - V_S$) = 15 V、 $V_{SS} = COM$ 且 $T_A = 25^\circ C$ 。 V_{IL} 、 V_{IH} 和 I_{IN} 参数以 COM 为参考，适用于相应的输入引脚：HIN 和 LIN。 V_o 和 I_o 参数以 V_S / COM 为参考，适用于相应的输出引脚 HO 或 LO。 V_{CCUV} 参数以 COM 为参考。 V_{BSUV} 参数以 V_S 为参考。

表 5 静态电气特性

Symbol	Definition	Min.	Typ.	Max.	Units	Test Conditions
V_{BSUV+}	V_{BS} supply undervoltage positive going threshold	11.5	12.2	12.9	V	
V_{BSUV-}	V_{BS} supply undervoltage negative going threshold	10.6	11.3	12		
V_{BSUVHY}	V_{BS} supply undervoltage hysteresis	0.5	0.9	—		
V_{CCUV+}	V_{CC} supply undervoltage positive going threshold	11.5	12.2	12.9		
V_{CCUV-}	V_{CC} supply undervoltage negative going threshold	10.6	11.3	12		
V_{CCUVHY}	V_{CC} supply undervoltage hysteresis	0.5	0.9	—		
I_{LK}	High-side floating well offset supply leakage	—	0.5	20	uA	$V_B = 1215 V$ $V_S = 1200 V$
I_{QBS}	Quiescent V_{BS} supply current	—	180	350		$V_{IN} = 0V$ or 3.3V
I_{QCC}	Quiescent V_{CC} supply current	—	600	1000		
V_{OH}	High level output voltage drop, $V_{CC} - V_{LO}$, $V_B - V_{HO}$	—	0.32	0.7	V	$I_o = 100 mA$
V_{OL}	Low level output voltage drop, V_o	—	0.18	0.4		
I_{o+mean}	Mean output current from 4.5 V to 7.5 V	1.4	2.0	—		
I_{o+1}	Peak output current turn-on	—	2.3	—	A	$R_L = 0 \Omega$ $PW \leq 10 \mu s$
I_{o-mean}	Mean output current from 7.5 V to 4.5 V	2.8	4.0	—		
I_{o-1}	Peak output current turn-off	—	4.6	—		
V_{IH}	Logic “1” input voltage (HIN, LIN, EN)	1.7	2.0	2.3	V	
V_{IL}	Logic “0” input voltage (HIN, LIN, EN)	0.7	0.9	1.1		
I_{IN+}	Input bias current (Output = High)	15	35	60	μA	$V_{IN} = 3.3 V$
I_{IN-}	Input bias current (Output = Low)	—	0	—		$V_{IN} = 0 V$
I_{RFE+}	Logic “1” Input bias current (RFE)	—	0	1		$V_{RFE} = 3.3 V$
I_{RFE-}	Logic “0” Input bias current (RFE)	—	0	—		$V_{RFE} = 0 V$
I_{ITRIP+}	Logic “1” Input bias current (ITRIP)	—	0	1		$V_{IN} = 1 V$
I_{ITRIP-}	Logic “0” Input bias current (ITRIP)	—	0	—		$V_{IN} = 0 V$
V_{FBSD}	Bootstrap diode forward voltage between V_{CC} and V_B	—	1	1.2	V	$I_F = 0.3 mA$
I_{FBSD}	Bootstrap diode forward current between V_{CC} and V_B	40	70	100	mA	$V_{CC} - V_B = 4 V$
R_{BSD}	Bootstrap diode resistance	18	30	42	Ω	$V_{F1} = 4 V$, $V_{F2} = 5 V$
$R_{on,FLT}$	RFE low on resistance of the pull-down transistor	—	35	70		$V_{RFE} = 0.5 V$
V_{ACTSD}	Active shut-down voltage	—	2.1	2.4	V	$I_{OUT-} = 200 mA$ V_{CC}/V_{BS} open
$V_{th,OCP}$	OCP comparator threshold	0.416	0.44	0.464		
$V_{th,OCPH}$	OCP comparator hysteresis	0.04	0.05	—		

¹ 无需经过生产测试 - 经过设计/特性验证

4.4 动态电气特性

除非另有说明, $V_{CC} = V_{BS} = 15 \text{ V}$ 、 $T_A = 25^\circ \text{C}$ 和 $C_L = 1000 \text{ pF}$ 。

表6 动态电气特性

Symbol	Definition		Min.	Typ.	Max.	Units	Test Conditions
t_{ON}	Turn-on propagation delay	2ED1322	400	500	700	ns	$V_{IN} = 0 \text{ V or } 3.3 \text{ V}$ $V_S = 0 \text{ V or } 1200 \text{ V}$
		2ED1321	250	350	500		
t_{OFF}	Turn-off propagation delay	2ED1322	400	500	700	ns	$V_{IN} = 0 \text{ or } 3.3 \text{ V}$ $C_L = 4.9 \text{ nF}$
		2ED1321	250	350	500		
t_R	Turn-on rise time		—	48	80		
t_F	Turn-off fall time		—	48	80		
T_{EN}	RFE Enable propagation delay		400	500	700		
t_{FILIN}	Input filter time at LIN/HIN for turn-on and -off	2ED1322	100	150	—	$V_{IN} = 0 \text{ & } 3.3 \text{ V}$	$V_{RFE} = 0.5 \text{ V}$, $V_{LO}/V_{HO} = 20\%$
		2ED1321	25	35	—		
t_{FILEN}	RFE Input filter time		100	150	220		
t_{FLTCLR}	RFE Fault-clear time		120	160	—		$V_{ITRIP} = 0.1 \text{ V}$, $V_{RFE} = 2.1 \text{ V}$
t_{OCPfil}	ITRIP Filter time		0.3	0.5	0.7		$V_{ITRIP} = 1 \text{ V}$
$t_{OCPOUT,LS}$	OCP Sense to Low-side OUT LOW delay		0.4	0.65	0.9		$V_{ITRIP} = 1 \text{ V}$ $V_{OUT} = 3 \text{ V}$
$t_{OCPOUT,HS}$	OCP Sense to High-side OUT LOW delay		0.6	0.85	1.1		$V_{ITRIP} = 1 \text{ V}$ $V_{OUT} = 3 \text{ V}$
t_{OCPFLT}	OCP Sense to RFE LOW delay		0.4	0.65	0.9		$V_{ITRIP} = 1 \text{ V}$ $V_{RFE} = 10\%$
$t_{UVLOFIL}$	UVLO Noise filter		1.0	1.5	—		
MT	Delay matching time (HS & LS turn-on/off)		—	10	60	ns	external dead time > 500 ns
DT	Dead time (2ED1322 only)		260	380	540		$V_{IN} = 0 \text{ & } 3.3 \text{ V}$
MDT	Matching Dead time (2ED1322 only)		—	10	80		external dead time 0ns
PM	Output pulse width matching		—	20	80		$PW_{IN} > 1 \mu\text{s}$

5 申请信息和其他详细信息

5.1 栅极驱动

2ED132xS12 HVIC 设计用于驱动 IGBT 或 SiC MOSFET。图 4 和图 5 展示了与 HVIC 栅极驱动功能相关的几个参数。用于驱动功率开关栅极的 HVIC 输出电流定义为 I_o 。驱动外部功率开关栅极的电压定义为：高端功率开关的 V_{HO} 和低端功率开关的 V_{LO} ；该参数有时统称为 V_{OUT} ，在这种情况下不区分高端和低端输出电压。

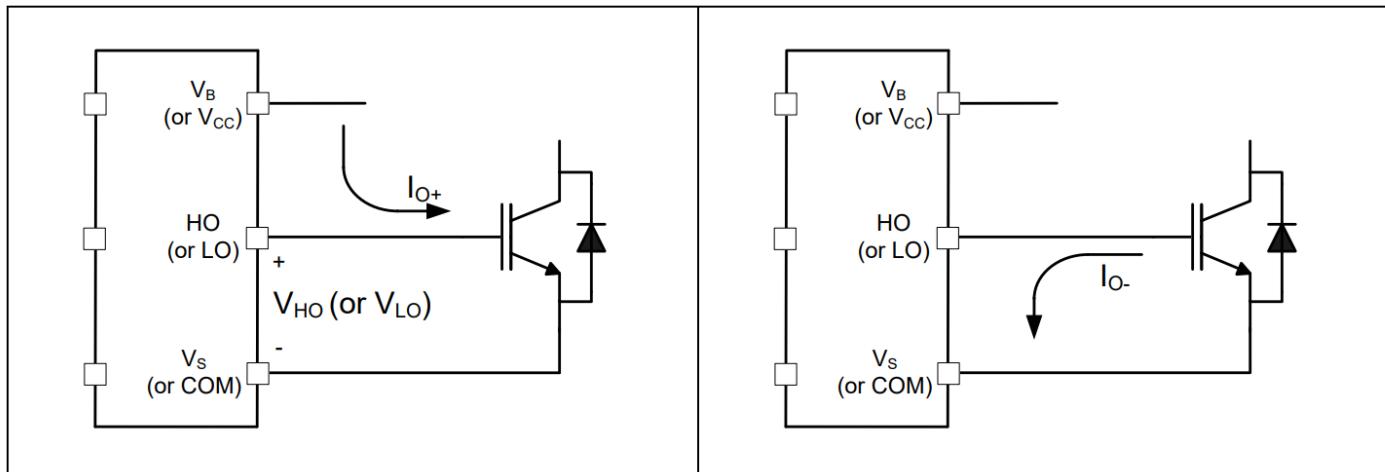


Figure 4 HVIC Sourcing current

Figure 5 HVIC Sinking current

5.2 切换关系

2ED132xS12 的输入和输出信号之间的关系如下图 6 和图 7 所示。从这些图中，我们可以看到与该设备相关的几个时序参数（即 t_{ON} 、 t_{OFF} 、 t_R 和 t_F ）的定义，以及用于抑制噪声的输入滤波器功能。

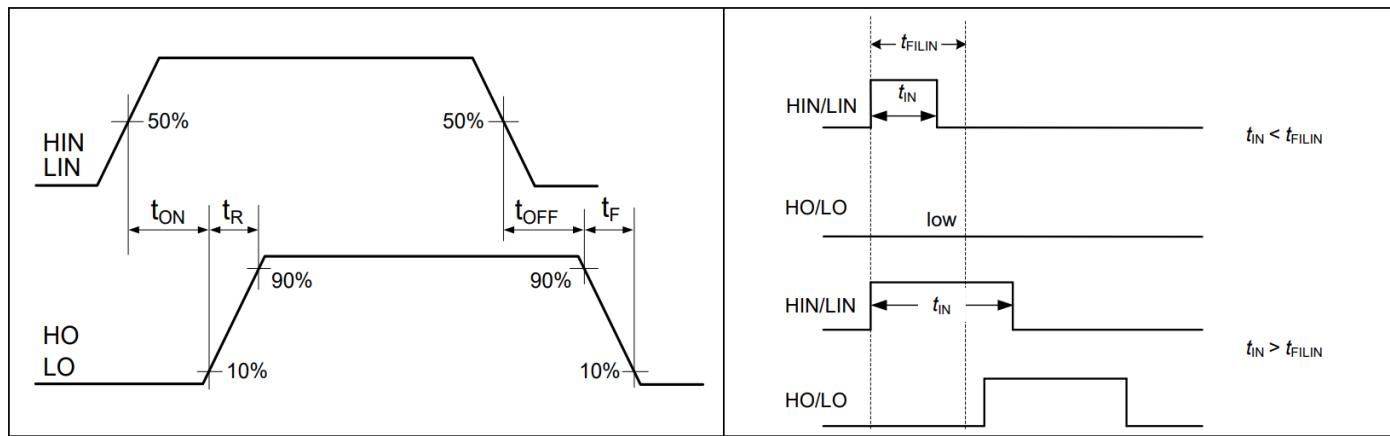


Figure 6 Switching timing diagram

Figure 7 Input filter

5.3 时序图

下图 8 和图 9 以 2ED1322S12M 为例，展示了部分功能的时序关系；本文档稍后将更详细地介绍此功能。在图 8 的间隔 A 期间，HVIC 收到同时开启高侧和低侧开关的命令；因此，HVIC 的直通保护功能阻止了这种情况的发生。HVIC 保持已开启的输出通道，忽略第 2 个输入信号。

图 8 的区间 B 和图 9 显示 ITRIP 输入引脚上的信号已从低电平变为高电平；因此，所有栅极驱动输出均被禁用（即，HO 已恢复至低电平状态；LO 也保持低电平状态），并且 RFE 引脚上报告故障状态，该引脚电压变为 0V。一旦 ITRIP 输入恢复至低电平状态，输出将保持禁用状态并报告故障状态，直到 RFE 引脚上的电压充电至 VRFE+ 阈值；充电特性由连接到 RFE 引脚的 RC 网络决定。故障清除时间过后，HVIC 等待 LIN/HIN 上的新输入信号，然后激活输出级（LO/HO）。

在图 8 中的间隔 C 期间和图 10，我们可以看到 RFE 引脚已被拉低（当驱动 IC 收到控制 IC 的关断命令时就会出现这种情况）；这会导致输出（HO 和 LO）保持低电平状态，直到 RFE 引脚被拉高。使能事件发生后，HVIC 将等待 LIN/HIN 上的新输入信号，然后激活输出级（LO/HO）。

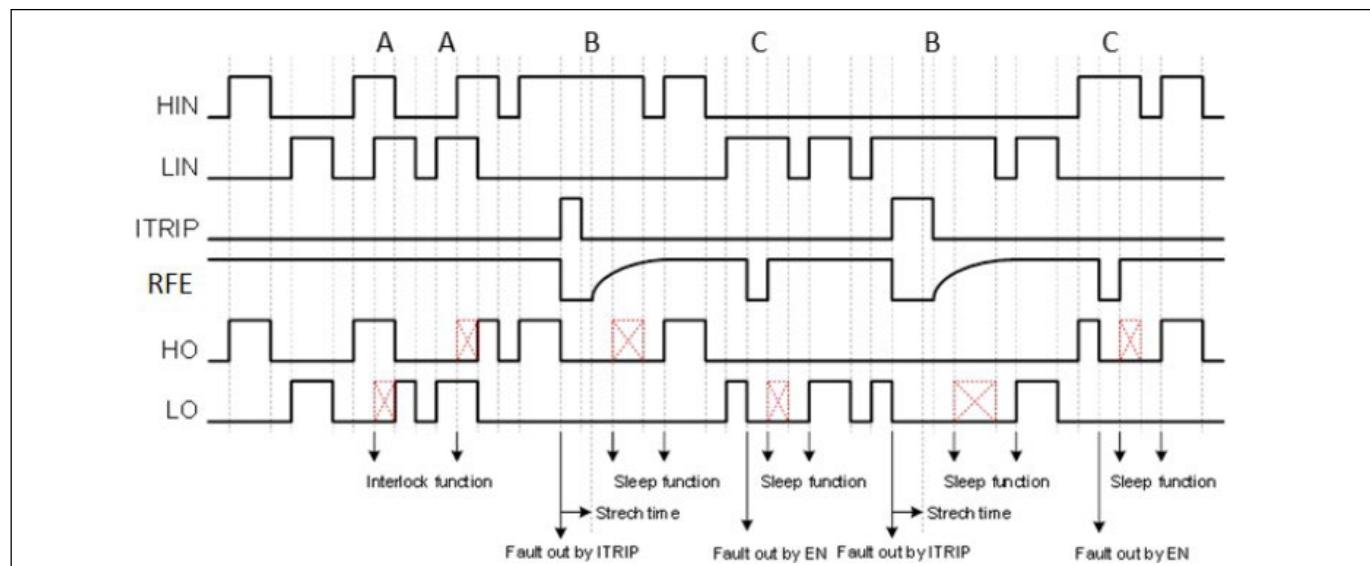
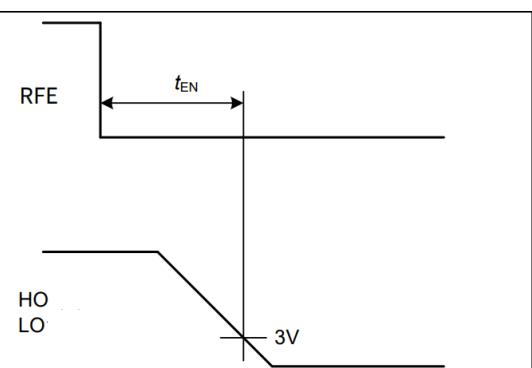
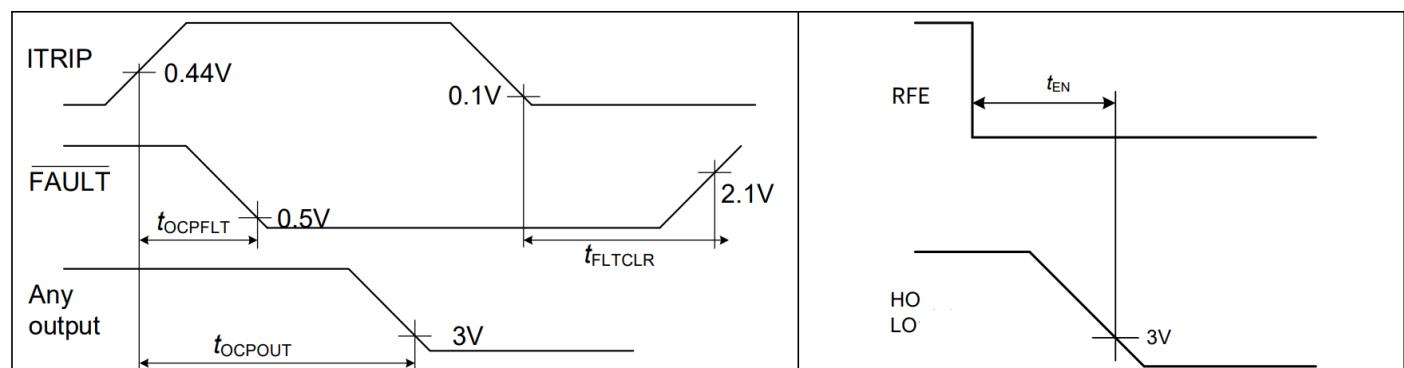


图8 输入/放置时序图



5.4 死区时间

2ED1322S12M 集成了死区保护电路。死区功能会插入一段（最小死区）时间，在此期间高端和低端电源开关均保持关闭状态；这样做是为了确保在第二个电源开关打开之前，被关闭的电源开关已经完全关闭。当外部死区时间短于内部死区时间时，会自动插入此最小死区时间；大于内部死区的外部死区时间不会被栅极驱动器修改。图 11 说明了死区时间段和输出门信号之间的关系。

2ED1322S12M 的死区电路与高端和低端输出匹配。图 11 定义了两个死区时间参数（即 DT_{LO-HO} 和 DT_{HO-LO} ）；与 2ED1322S12M 相关的死区时间匹配参数（MDT）规定了 DT_{LO-HO} 和 DT_{HO-LO} 之间的最大差值。

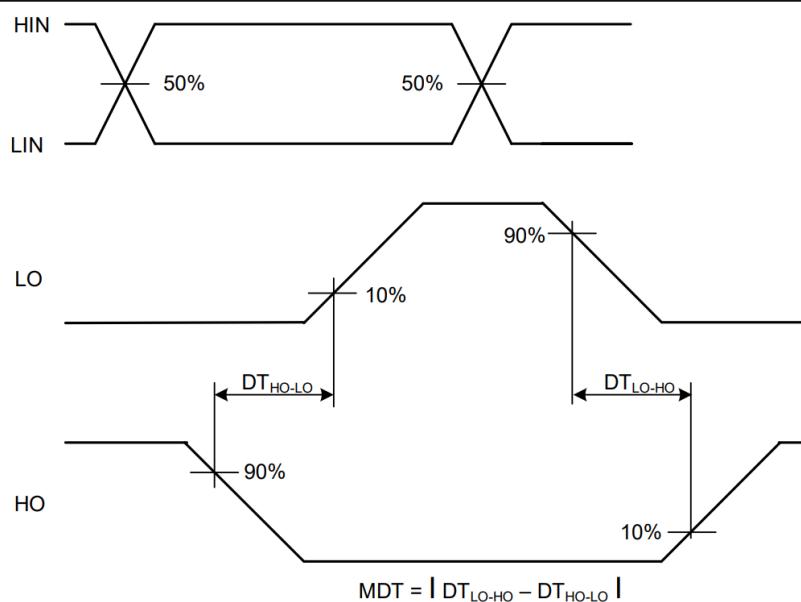


图11 死区时间匹配波形定义

5.5 传输延迟时间匹配

2ED132xS12 设计有传播延迟匹配电路。凭借此功能，IC 的输出端对输入端信号的响应所需的时间长度（即 t_{ON} 、 t_{OFF} ）对于低侧通道和高侧通道而言大致相同；最大差异由延迟匹配参数 (MT) 指定。2ED132xS12 的传播开启延迟 (t_{ON}) 与传播开启延迟 (t_{OFF}) 匹配。

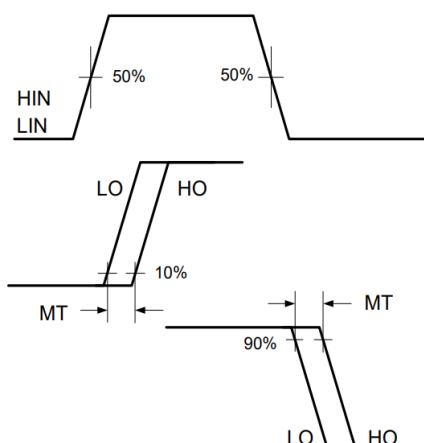


图12 延迟匹配波形的定义

5.6 输入逻辑兼容性

输入引脚基于TTL和CMOS兼容的输入阈值逻辑，该逻辑与V_{CC}电源电压无关。典型高阈值(V_{TH})为2.0 V，典型低阈值(V_{TL})为0.9 V，并且温度变化极小，如图 13 所示，输入引脚可方便地通过来自3.3 V和5 V数字电源控制器设备的逻辑电平 PWM 控制信号驱动。与传统 TTL 逻辑实现（滞后通常小于 0.5 V）相比，更宽的滞后（通常为 1.1 V）提供了增强的抗噪能力。2ED132xS12 还具有对输入引脚阈值电压水平的严格控制，这简化了系统设计考虑并确保在整个温度范围内稳定运行。2ED132xS12 具有浮动输入保护功能，如果任何输入引脚处于浮动状态，则相应级的输出将保持在低状态。如框图所示，这是通过使用所有输入引脚 (HIN、LIN) 上的下拉电阻实现的。2ED132xS12 的输入引脚能够维持高于施加在设备 V_{CC} 引脚上的偏置电压的电压。

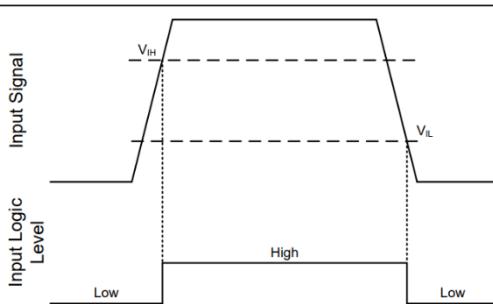


图 13 HIN 和 LIN 输入阈值

5.7 欠压锁定

该IC为V_{CC}（逻辑和低侧电路）电源和V_{BS}（高侧电路）电源提供欠压锁定保护。图 14 用于说明这一概念；绘制V_{CC}（或V_{BS}）随时间的变化图，当波形超过UVLO阈值（V_{CCUV+/-}或V_{BSUV+/-}）时，启用或禁用欠压保护。

上电时，如果V_{CC}电压未达到V_{CCUV+}阈值，IC将无法开启。此外，如果V_{CC}电压在工作期间降至V_{CCUV-}阈值以下，欠压锁定电路将识别故障状态并关闭高端和低端栅极驱动输出。

上电时，如果V_{BS}电压未达到V_{BSUV+}阈值，IC将无法开启。此外，如果V_{BS}电压在工作期间降至V_{BSUV-}阈值以下，欠压锁定电路将识别故障状态，并关断IC的高端栅极驱动输出。

UVLO 保护确保 IC 仅当栅极电源电压足以充分增强功率器件时才驱动外部功率器件。如果没有这个特性，外部电源开关的栅极可以用低电压驱动，导致电源开关在通道阻抗很高时传导电流；这可能导致功率器件内非常高的传导损耗，并可能导致功率器件故障。

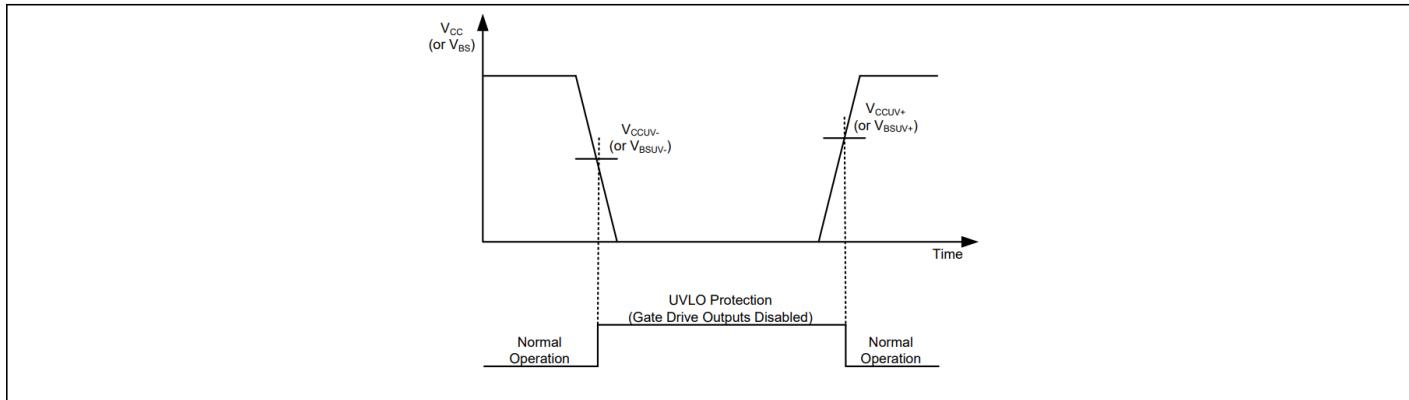


图 14 UVLO 保护

5.8 直通保护

2ED1322S12M 配备直通保护电路（也称为交叉传导预防电路）。图 15 显示了该保护电路如何防止高端和低端开关同时导通。

注意：2ED1321S12M 没有直通保护，因为它是高端和低端栅极驱动器，HO 和 LO 可以同时打开。

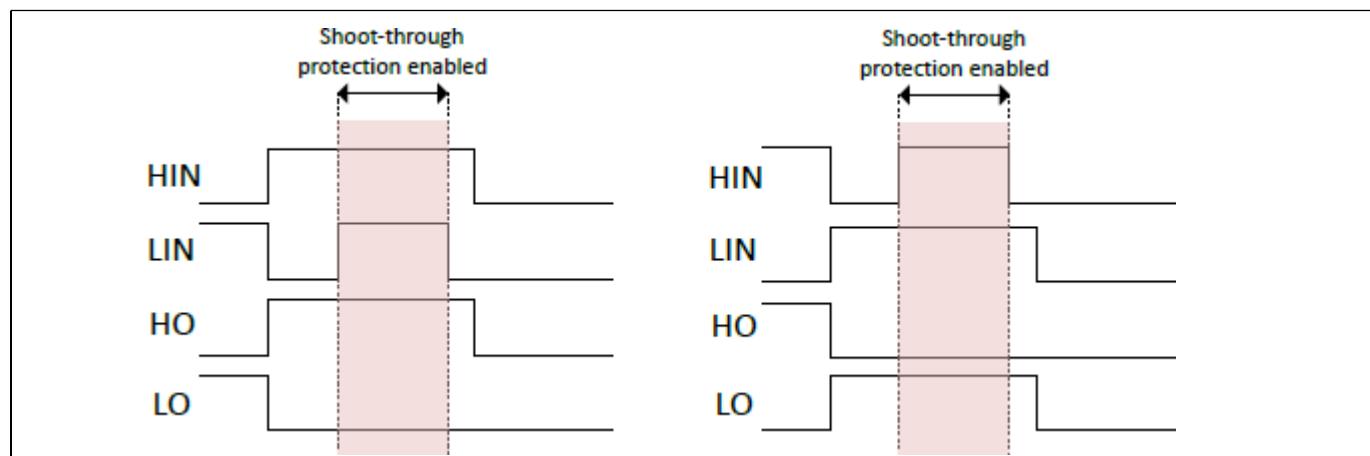


图 15 直通保护电路示意图

5.9 启用、故障报告和可编程故障清除定时器

2ED132xS12 提供启用功能，允许其关闭或启用 HVIC，还提供集成故障报告输出以及可调节故障清除计时器。有两种情况会导致 IC 通过 RFE 引脚报告故障。第一个是 VCC 欠压情况，第二个是过流功能是否识别出故障。一旦发生故障情况，RFE 引脚就会被内部拉至 VSS，并且故障清除定时器会被激活。RFE 输出保持低状态，直到故障条件消除且故障清除定时器到期；一旦故障清除定时器到期，RFE 引脚上的电压将返回到其外部上拉电压。

故障清除时间周期 (t_{FLTCLR}) 的长度由电容器的指数充电特性决定，其中时间常数由 R_{RFE} 和 C_{RFE} 设置。图 16 显示 R_{RFE} 连接在外部电源 (V_{DD})¹ 和 RFE 引脚之间，而 C_{RFE} 位于 RFE 和 VSS 引脚之间。

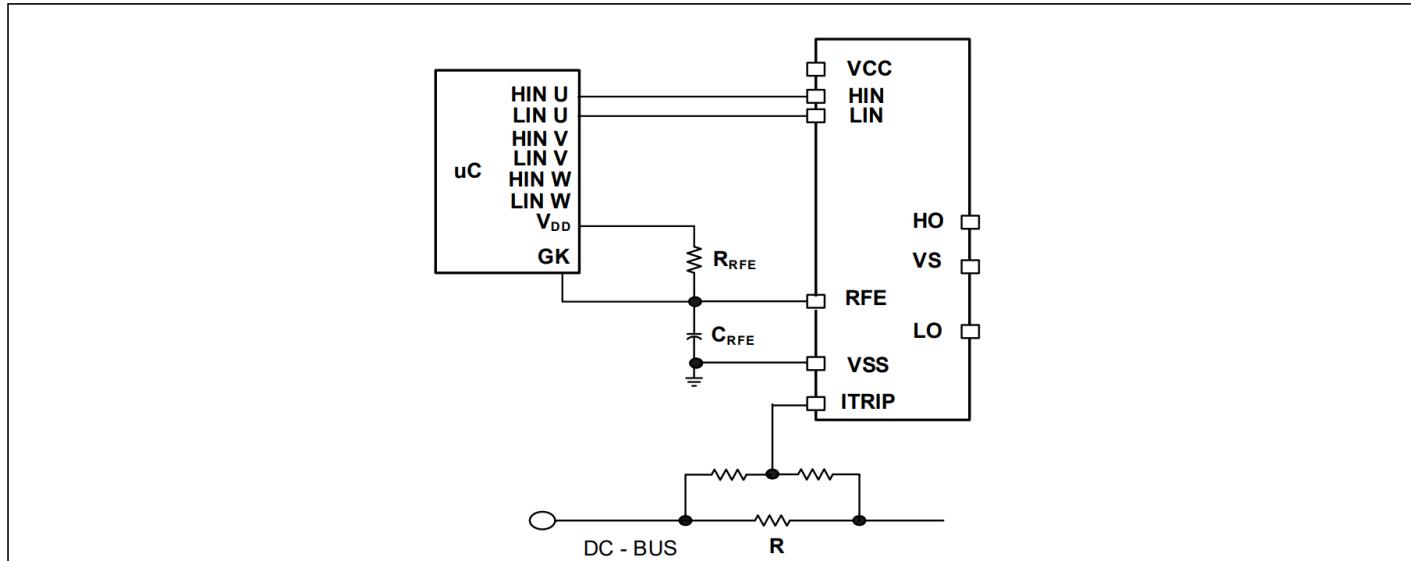


图 16 编程故障清除定时器

该网络的设计指南如表 7 所示

表 7 设计指南

C_{RFE}	$\leq 1 \text{ nF}$
	Ceramic capacitor
R_{RFE}	$0.5 \text{ M}\Omega \text{ to } 2 \text{ M}\Omega$
	$\gg R_{ON,RCIN}$

故障清除时间的长度可利用以下公式确定。

$$V_C(t) = V_f \cdot (1 - e^{-t/RC})$$

$$t_{FLTCLR} = - (R_{RFE} \cdot C_{RFE}) \cdot \ln(1 - V_{IH}/V_{DD}) + 160\text{us}$$

RFE 引脚上的电压不应超过 uC 电源的 VDD。

¹⁾当 VDD 高于 5V 时, R_{RFE} 电阻需要至少为 $200 \text{ k}\Omega$, 以限制 IC 功率耗散。

5.10 过流保护

2ED132xS12 配备过流功能 (ITRIP 输入引脚)。此功能可以感应直流总线或低压侧电源开关中的过流事件。一旦 HVIC 检测到过流事件, 输出就会关闭, 并且 RFE 会被拉至 VSS。

启动过流保护的电流水平由连接到 ITRIP 的电阻网络 (即 R_0 、 R_1 和 R_2) (如图 17 所示) 和 OCP 阈值 ($V_{th,OCP}$) 决定。电路设计人员需要确定直流总线中允许的最大电流水平, 并选择 R_0 、 R_1 和 R_2 , 使得节点 V_x 处的电压在该电流水平下达到过流阈值 ($V_{th,OCP}$)。

$$V_{th,OCP} = R_0 \cdot I_{DC} \cdot (R_1 / (R_1 + R_2))$$

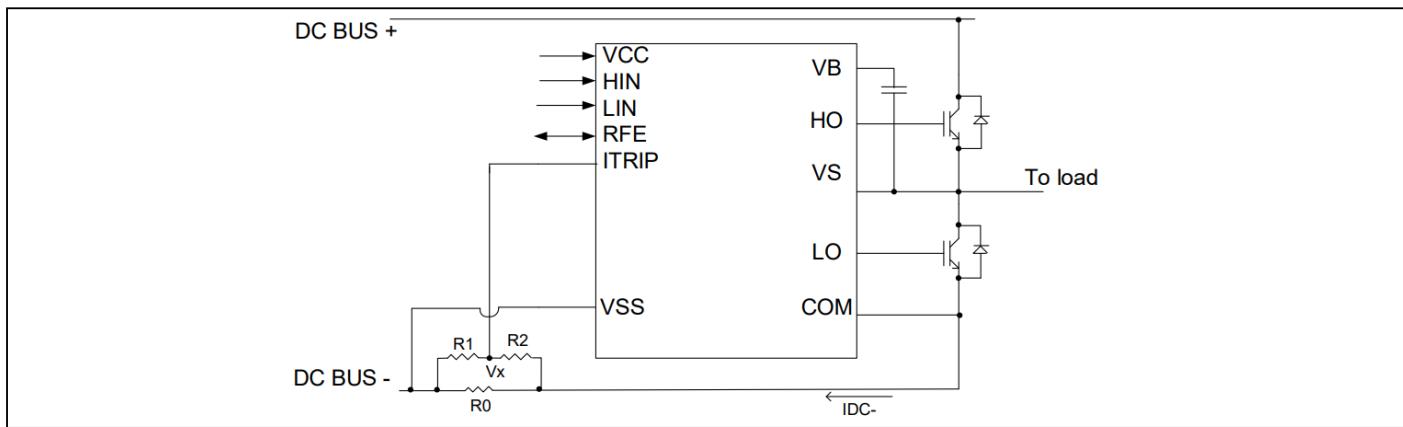


图 17 过流保护编程

例如，电阻器 R0 的典型值可能是 50 mΩ。ITRIP 引脚的电压不应超过 5 V；如有必要，可使用外部电压钳位。

5.11 真值表：欠压锁定、OCP 和启用

表 8 提供了 2ED132xS12 的真值表。第一行显示 VCC 的 UVLO 已触发；RFE 输出已变为低电平，栅极驱动输出已禁用。在这种情况下，VCCUV 未锁存，当 VCC 大于 VCCUV 时，FAULT 输出返回驱动器正常工作。

第二种情况表明 VBS 的 UVLO 已跳闸，并且高端栅极驱动输出已被禁用。当 VBS 超过 VBSUV 阈值后，HO 将保持低位，直到 HVIC 输入接收到 HIN 的新上升沿转换。第三种情况显示 HVIC 正常运行。第四种情况说明已达到 OCP 跳闸阈值并且栅极驱动输出已被禁用。该条件存储在外部 RC 网络中等待故障清除时间。最后一种情况表明，HVIC 通过 RFE 输入接收到外部禁用命令以关闭；因此，栅极驱动输出已被禁用。

表 8 2ED132xS12 UVLO、OCP、FLT/EN/RCIN

	VCC	VBS	ITRIP	RFE	LO	HO
UVLO V_{CC}	$<V_{CCUV}$	—	—	0	0	0
UVLO V_{BS}	15 V	$<V_{BSUV}$	0 V	HIGH	LIN	0
Normal operation	15 V	15 V	0 V	HIGH	LIN	HIN
OCP fault	15 V	15 V	$>V_{th,OCP}$	0	0	0
Disable command	15V	15V	0 V	0	0	0

5.12 菊花链式连接多个设备

2ED132xS12 可以菊花链形式连接，适用于需要多个设备的应用，例如下图所示的三相电路。如图 18 所示，三个 2ED132xS12 RFE 引脚连接在一起。ITRIP 感应功能仅用于第一个 HVIC；其他两个 ITRIP 引脚通过连接至 VSS 来禁用。可编程故障清除时序组件 R_{RFE} 和 C_{RFE} 仅在 RFE 引脚上连接一次。当发生故障时（无论是由于 ITRIP 或 UVLO 还是外部命令），所有三个 HVIC 都会通过将菊花链连接的 RFE 引脚拉低至 VSS 来禁用。

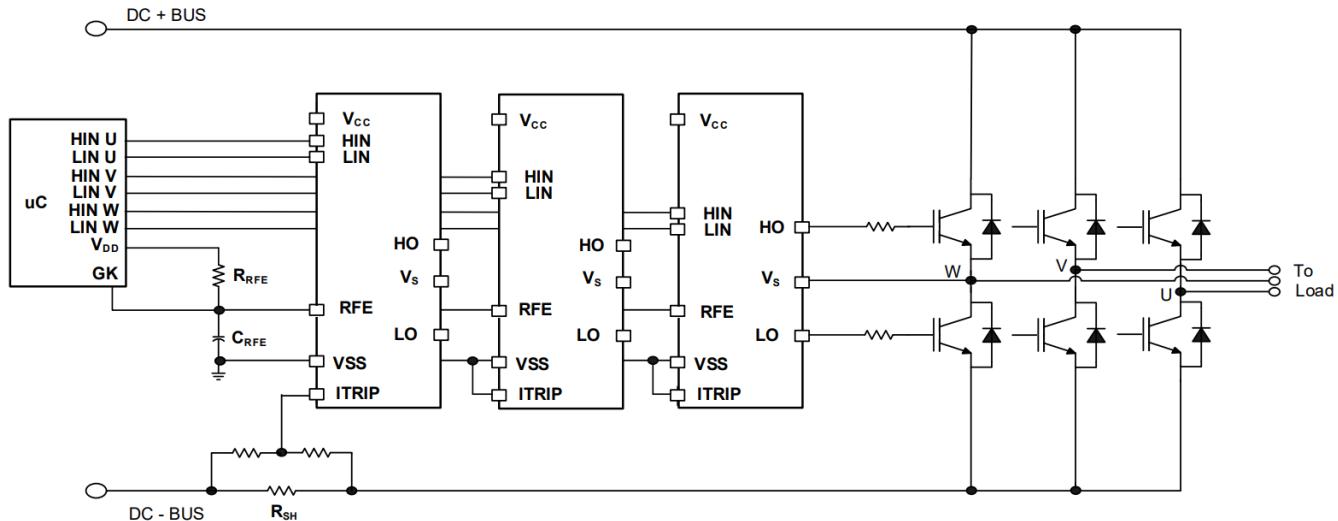


图 18 图 13：带单分流器的菊花链电路

图 19 中，可以测量三相的三个独立桥臂电流。RFE 引脚与仅用于第一个 HVIC 的引脚的组件连接在一起。三个 ITRIP 引脚用于监测三个独立桥臂电流。如果三个桥臂中任意一个的 ITRIP 感应网络发生故障，则所有三个 2ED132xS12 HVIC 都会被关闭，这意味着所有三相都具有独立的过流保护。

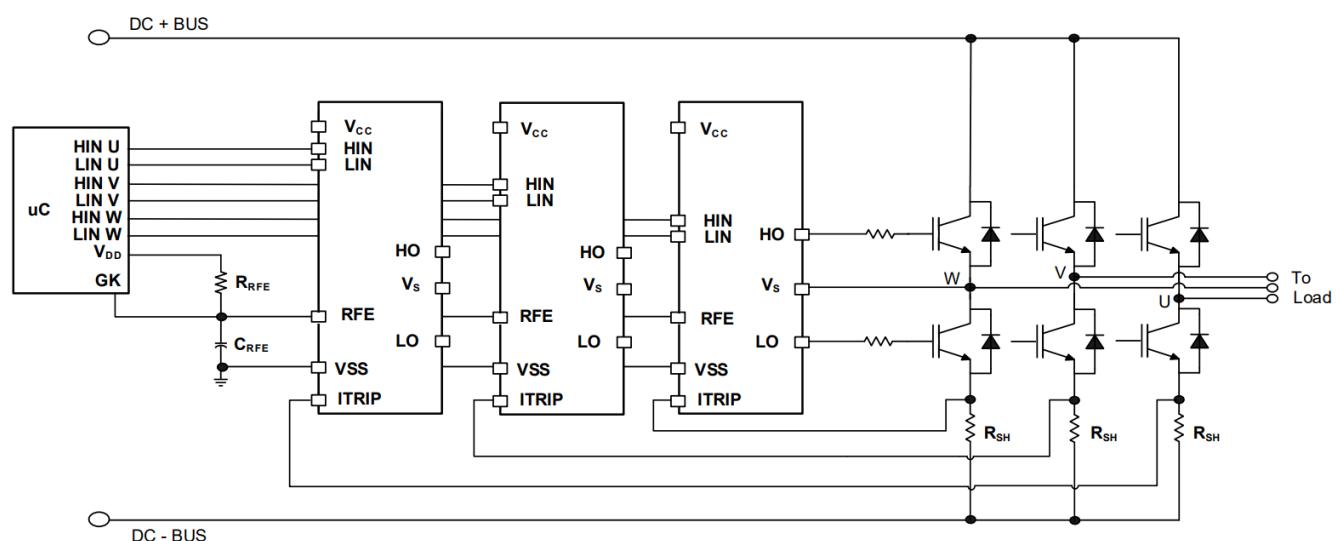


图 19 带支路分流器的菊花链电路

5.13 自举二极管

单片集成了一个超快速自举二极管，用于建立高端电源。该二极管的动态电阻有助于避免自举电容初始充电时出现极高的浪涌电流。集成二极管及其电阻有助于节省成本，并通过减少外部元件来提高可靠性，如图20所示。

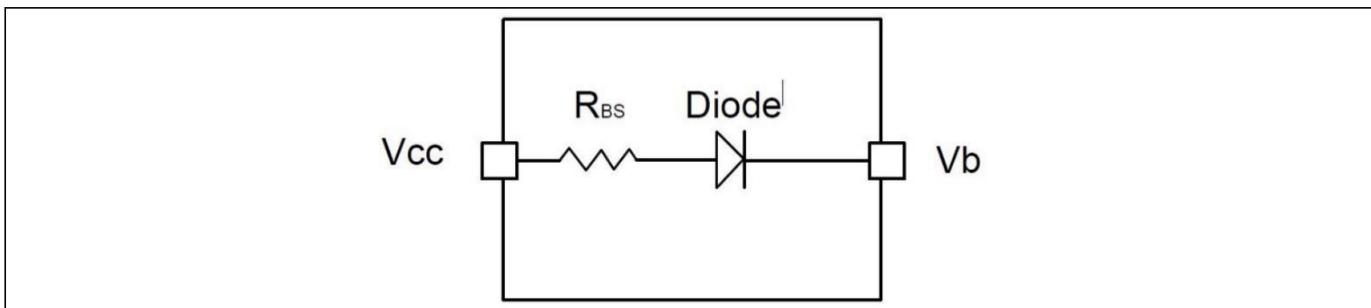


Figure 20 2ED132xS12 with integrated components

低欧姆限流电阻器比具有高欧姆自举结构的其他竞争器件具有重要优势。2ED132xS12 等低欧姆电阻器允许在低压侧晶体管的小占空比期间对自举电容器进行更快的充电。自举二极管适用于所有类型的电力电子转换器。自举二极管是真正的 pn 二极管，并且具有温度稳定性。它可以在高温下使用，低压侧晶体管的占空比较低。

2ED132xS12 的自举二极管适用于现代电力电子的所有控制算法，例如梯形或正弦电机驱动控制。

5.14 计算自举电容 C_{BS}

自举是一种将电荷从低电位泵送到高电位的常用方法。利用这种技术，可以轻松建立栅极驱动器浮动高端部分的电源电压，如图

21 所示。这种方法的优点是简单且成本低，但由于需要刷新自举电容中的电荷，占空比和导通时间可能会受到一些限制。选择合适的电容可以显著减少这些限制。

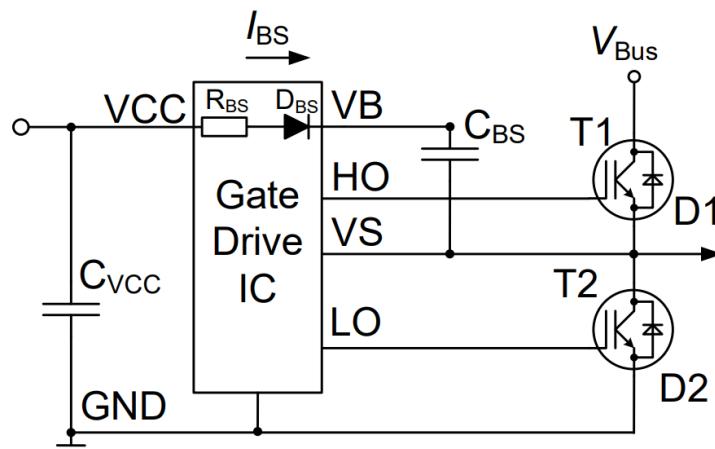


图21 2ED132xS12中的半桥自举电路

当低压侧功率器件开启时，它会将引脚 V_s 的电位强制为 GND。自举电容 C_{BS} 和 V_{CC} 之间的电压差会导致充电电流 I_{BS} 流入电容 C_{BS} 。电流 I_{BS} 为脉冲电流，因此电容 C_{BS} 的 ESR 必须非常小，以避免电容损耗导致电容寿命缩短。低压侧关闭、高压侧导通后，该引脚再次处于高电位。但是此时自举二极管 D_{BS} 会阻断反向电流，使电容上的电荷无法回流到电容 C_{VCC} 。自举二极管 D_{BS} 还承担了引脚 V_B 和 V_{CC} 之间的阻断电压。自举电容的电压现在可以为高压侧栅极驱动部分供电。自举电容 C_{BS} 的位置设计一般规则是，它们必须尽可能靠近 IC。否则，寄生电阻和电感可能会导致电压尖峰。

这可能会触发单个高端驱动器部分的欠压锁定阈值。然而，2ED132xS12 的所有部件都具有 UVLO，并且在每个电源部分都包含一个滤波器，以便主动避免这种不必要的 UVLO 触发。

限流电阻 R_{BS} 根据图 21 降低低压侧功率器件导通期间脉冲电流的峰值。脉冲电流会在低压侧功率器件每次导通时产生，因此随着开关频率的增加，电容 C_{BS} 的充电频率也会更高。因此，在较高的开关频率下，较小的电容更合适。自举电容的放电主要受两种因素的影响：高压侧静态电流和待导通的高压侧 MOSFET 的栅极电荷。

自举电容的最小尺寸由下式给出

$$C_{BS} = \frac{Q_{GTOT}}{\Delta V_{BS}}$$

ΔV_{BS} 是开关周期内自举电容上允许的最大压降，通常为 1V。建议将此压降保持在高侧欠压锁定 (UVLO) 范围以下，并限制

$$\Delta V_{BS} \leq (V_{CC} - V_F - V_{GSmin} - V_{DSon})$$

$V_{GSmin} > V_{BSUV}$ ， V_{GSmin} 是我们希望维持的最小栅极源电压， V_{BSUV} 是高端电源欠压负阈值。

V_{CC} 是 IC 电压电源， V_F 是自举二极管正向电压， V_{DSon} 是低压侧功率器件的漏源电压。

请注意， Q_{GTOT} 值可能会根据如下所述的不同因素而变化到最大值，并且电容器会表现出其电容的电压相关降额行为。

导致 V_{BS} 下降的影响因素有：

- 功率器件开启所需的栅极电荷 (Q_G)
- 功率器件栅源漏电流 (I_{LK_GS})
- 浮动部分静态电流 (I_{QBS})
- 浮地部分漏电流 (I_{LK})
- 自举二极管漏电流 (I_{LK_DIODE})
- 内部电平转换器所需电荷 (Q_{LS})：典型值 1nC
- 自举电容漏电流 (I_{LK_CAP})
- 高端导通时间 (T_{HON})

考虑到上述情况，

$$Q_{GTOT} = Q_G + Q_{LS} + (I_{QBS} + I_{LK_{GS}} + I_{LK} + I_{LK_{DIODE}} + I_{LK_{CAP}}) * T_{HON}$$

I_{LK_CAP} 仅在使用电解电容时才有意义，如果使用其他类型的电容，则可以忽略。强烈建议至少使用一个低 ESR 陶瓷电容（并联电解电容和低 ESR 陶瓷电容可能会产生更高效的解决方案）。

上述 C_{BS} 公式适用于逐脉冲计算。显而易见，当低端电路以较小的占空比连续工作时，需要更高的电容值。因此，对于大多数开关频率，建议的自举电容值最高为 4.7 μ F。

5.15 可耐受输入引脚上的负瞬变

通常，驱动器的接地引脚靠近功率设备的源极引脚连接。发送 HIN 和 LIN PWM 信号的微控制器指的是同一个地，并且在大多数情况下，由于地反弹，微控制器接地引脚和驱动器地之间会存在偏移电压。2ED132xS12 可以处理高达 5 V 的负电压尖峰。标准半桥或高端/低端驱动器仅允许低至 -0.3 V 的负电压水平。2ED132xS12 在输入引脚上具有更好的抗噪能力。

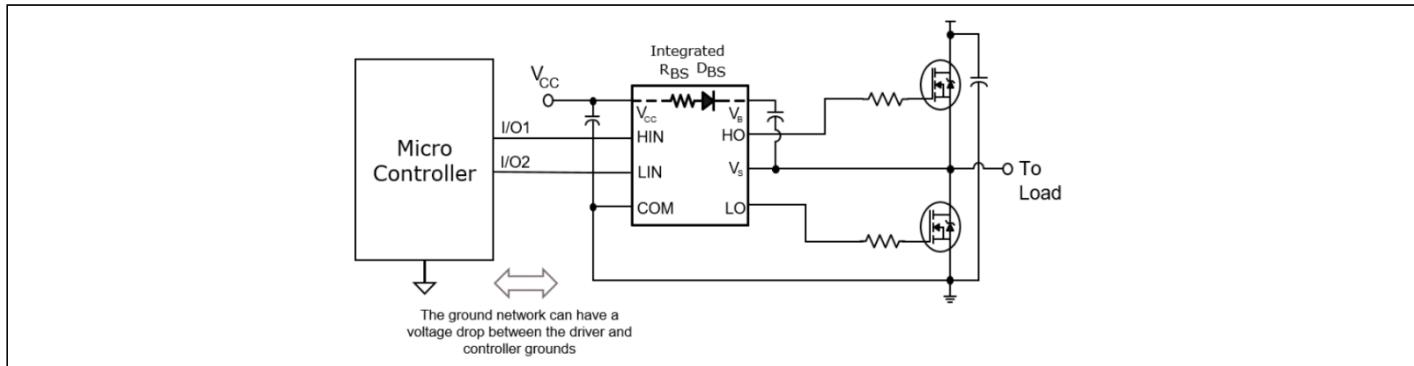


图 22 输入端负电压容差高达 -5 V

5.16 VS 引脚的负电压瞬态耐受性

当今大功率开关转换器的一个常见问题是，当功率开关在承载大电流的同时快速切换开关节点电压时，开关节点电压的瞬态响应。典型的三相逆变器电路如图 23 所示，这里我们定义了逆变器的功率开关和二极管。

如果高端开关（例如图 24 中的 IGBT Q1）从导通切换至关断，同时 U 相电流流向感性负载，则会发生电流换向，从高端开关 (Q1) 到与同一逆变器桥臂的低端开关并联的二极管 (D2)。与此同时，电压节点 V_{S1} 会从正直流母线电压摆动至负直流母线电压。

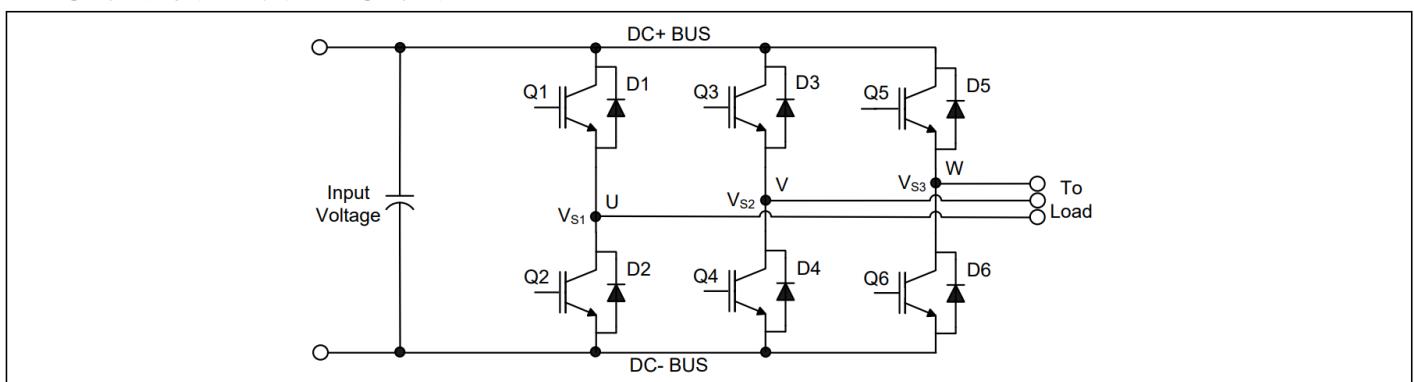


图 23 三相逆变器

另外，当 V 相电流从电感负载流回逆变器时（见图 24 C 和 D），Q4 IGBT 导通，电流从 D3 换流至 Q4。与此同时，电压节点 V_{S2} 会从正直流母线电压摆动至负直流母线电压。

然而，在实际的逆变器电路中，VS 电压摆幅不会停止在负直流母线的水平，而是它的摆幅低于负直流母线的水平。这种下冲电压被称为“负 VS 瞬态”

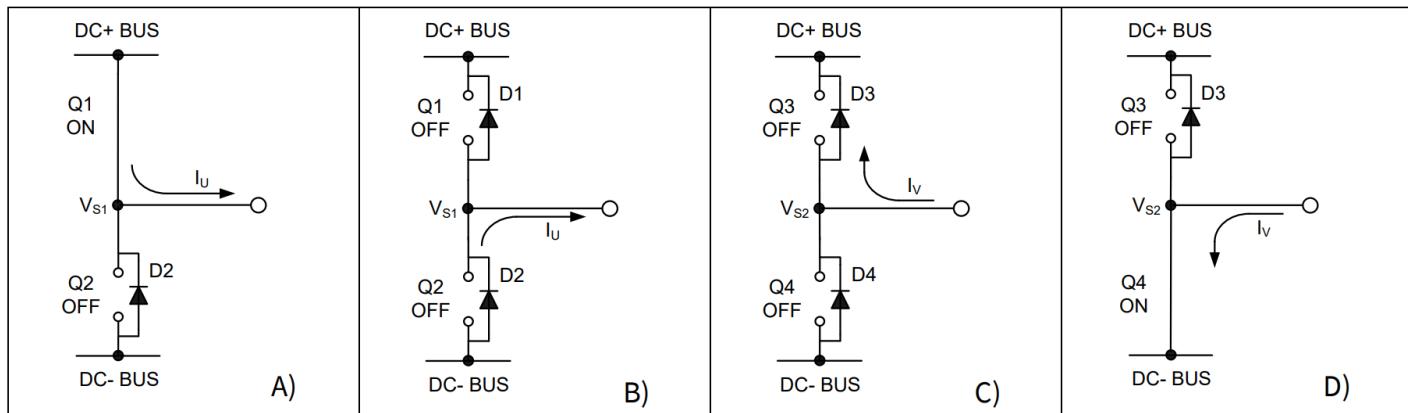


图 24

A) Q1 导通 B) D2 导通

C) D3 导通

D) Q4 导通

电路如图 25-A 所示，示出了三相逆变器的一个桥臂；图 25-B 和图 25-C 简化了 Q1 和 D2 之间的电流换向示意图。电源电路中从芯片键合到 PCB 走线的寄生电感，每个 IGBT 的 L_c 和 L_e 都集中在一起。当高边开关导通时， V_{S1} 低于 DC+ 电压，降幅为电源开关和电路寄生元件产生的压降。当高边电源开关关断时，由于连接到 V_{S1} 的感性负载（这些图中未显示该负载），负载电流会瞬间流入低边续流二极管。该电流从直流负极（连接到 HVIC 的 COM 引脚）流向负载，并在 V_{S1} 和直流负极之间感应出负电压（即，HVIC 的 COM 引脚的电位高于 V_s 引脚）。

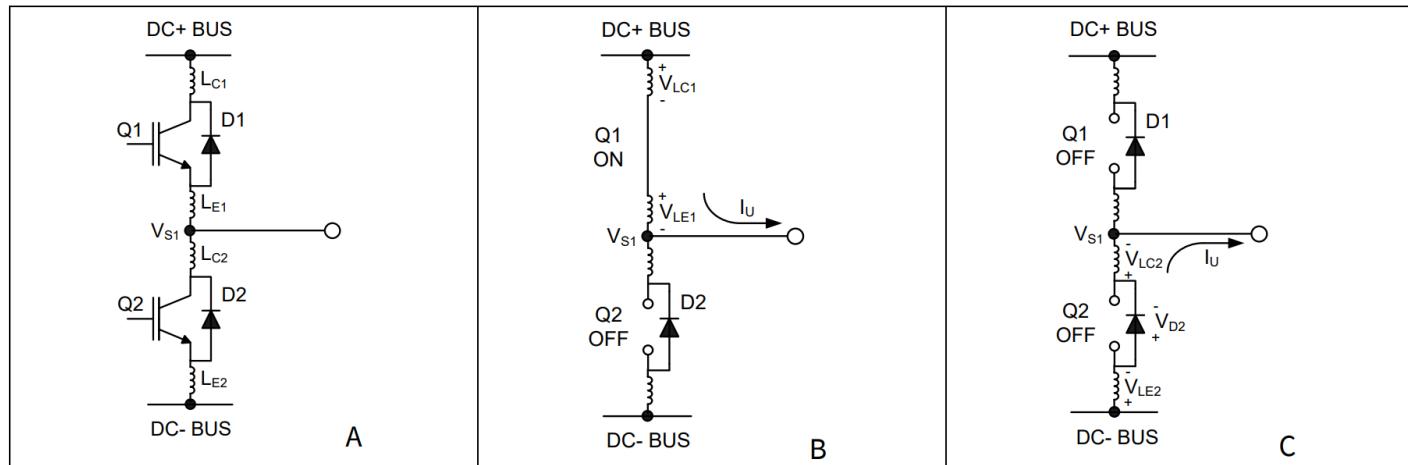


图 25

图 A 显示了寄生元件。图 B 显示了 V_s 正极的产生。图 C 显示了 V_s 负

5.17 NTSOA - 负瞬态安全工作区

在典型的电机驱动系统中， dV/dt 通常设计在 3 - 5 V / ns 范围内。在某些事件（例如短路和过流关断）期间，当 di/dt 大于正常运行时，负 V_s 瞬态电压可能会超过此范围。

英飞凌的 HVIC 专为满足当今众多严苛应用的稳健性要求而设计。图 26 展示了 2ED132xS12 的稳健性，其中基于重复的负 V_s 尖峰，2ED132xS12 的安全工作区 (SOA) 显示为 $V_{BS} = 15$ V。如果负 V_s 瞬变电压落在灰色区域（超出 SOA），则可能导致 IC 永久性损坏；反之，如果负 V_s 瞬变电压落在 SOA 范围内，则不会出现不必要的功能异常或 IC 永久性损坏。

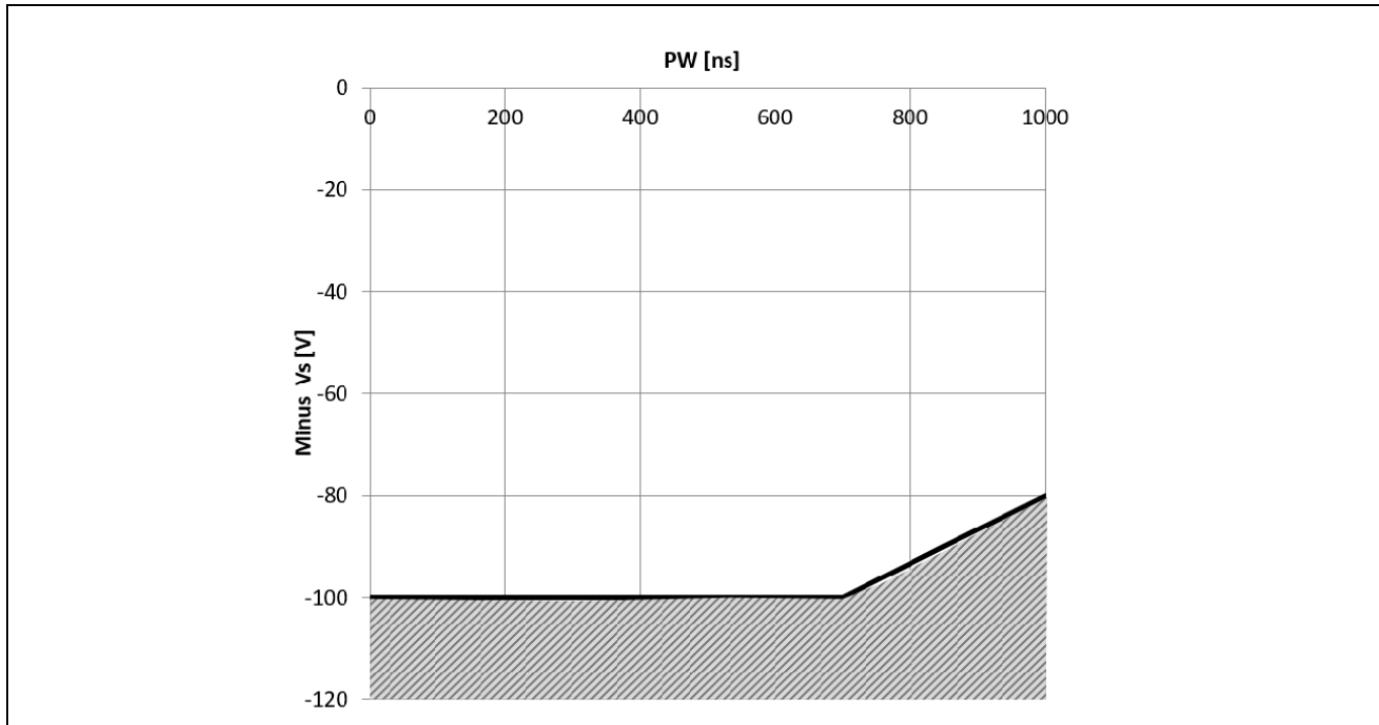


图 26 2ED132xS12 的负 VS 瞬态 SOA

尽管 2ED132xS12 已证明能够处理这些较大的负 VS 瞬态条件，但强烈建议电路设计人员始终通过仔细的 PCB 布局和组件使用来尽可能地限制负 VS 瞬态。

5.18 PCB 布局技巧

高低压元件之间的距离：强烈建议将连接到浮动电压引脚 (V_B 和 V_S) 的元件放置在靠近器件相应高压部分的位置。详情请参阅本数据手册中的“外壳外形”信息。

接地平面：为了尽量减少噪声耦合，接地平面不应放置在高压浮动侧下方或附近。

栅极驱动环路：电流环路的作用类似于天线，能够接收和发送电磁噪声（见图 27）。为了降低电磁耦合并提高功率开关的开关性能，必须尽可能缩短栅极驱动环路。此外，电流可以通过 IGBT 集电极至栅极的寄生电容注入栅极驱动环路。栅极环路的寄生自感会在栅极-发射极两端产生电压，从而增加自导通效应的可能性。

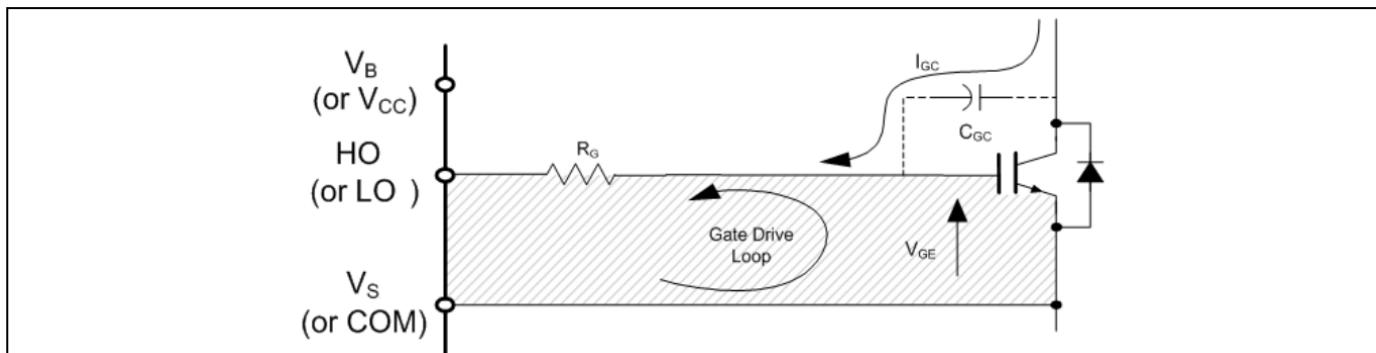


图 27 避免天线环路

电源电容：建议在 V_{CC} 和 COM 引脚之间放置一个旁路电容 (C_{IN})。1 μ F 陶瓷电容适用于大多数应用。该元件应尽可能靠近引脚放置，以减少寄生元件。

布线和布局：功率级 PCB 寄生元件可能导致开关节点出现较大的负电压瞬变；建议限制相电压负瞬变。为了避免这种情况，建议 1) 尽量缩短高端发射极到低端集电极的距离，以及 2) 尽量缩短低端发射极到负总线轨的杂散电感。但是，如果负 V_S 尖峰仍然过大，可以采取进一步措施来降低尖峰。这包括在 V_S 引脚和开关节点之间放置一个电阻（5 Ω 或更小）（参见图 28 - A），并且在某些情况下在 COM 和 V_S 之间使用钳位二极管（见图 28 - B）。请参阅 www.infineon.com 上的 DT04-4 以获得更详细的解释。

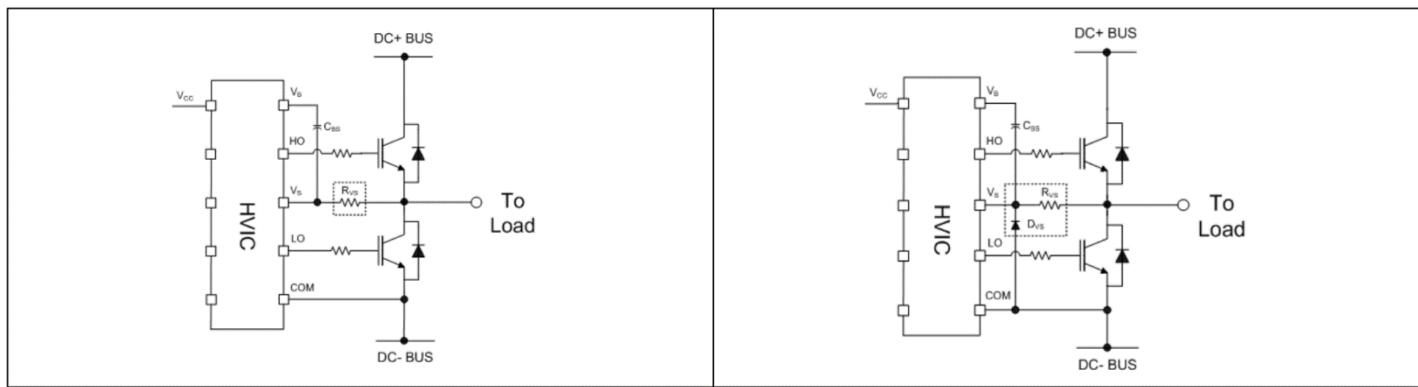


图 28 VS 引脚和开关节点之间的电阻以及 COM 和 V_S 之间的钳位二极管

6 温度趋势图

本章中所示的图表提供了有关 2ED1322S12M/2ED1321S12M 的实验性能的信息。除非另有说明，每个图中绘制的线都是根据实际实验室数据生成的。对大量单个样品进行了温度扫描测试，以生成实验曲线。Typ 上的各个数据点。通过计算每个参数的平均实验值来确定曲线。

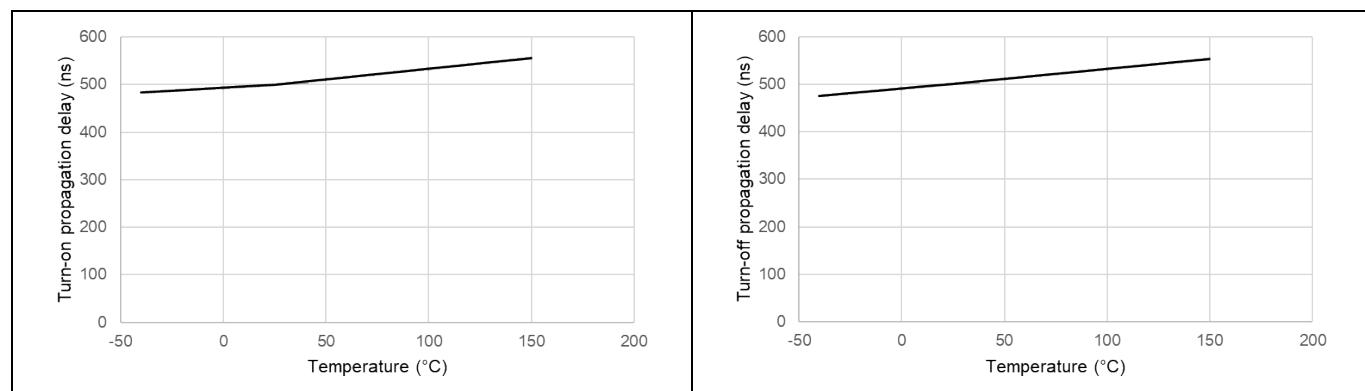


图 29 开启/关闭传播延迟 (2ED1322S12M)

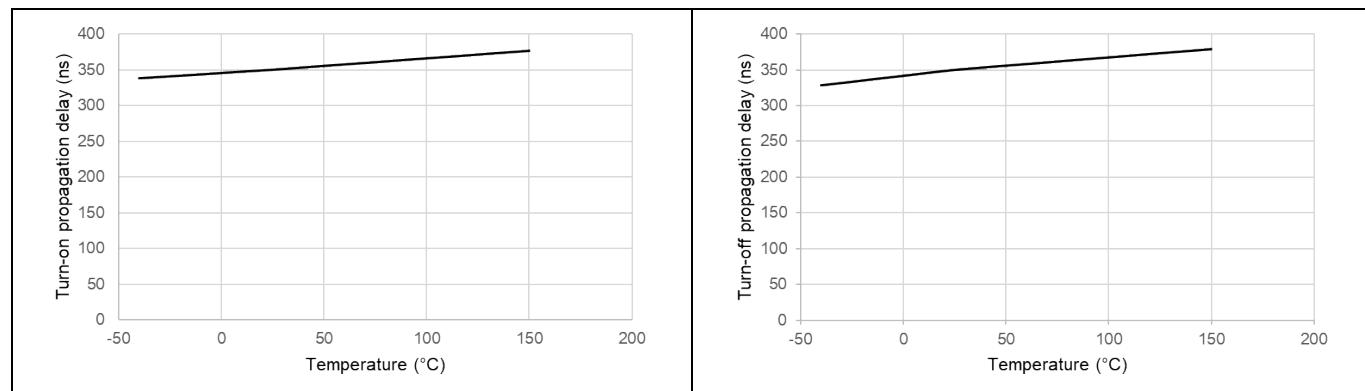


图 30 开启/关闭传播延迟 (2ED1321S12M)

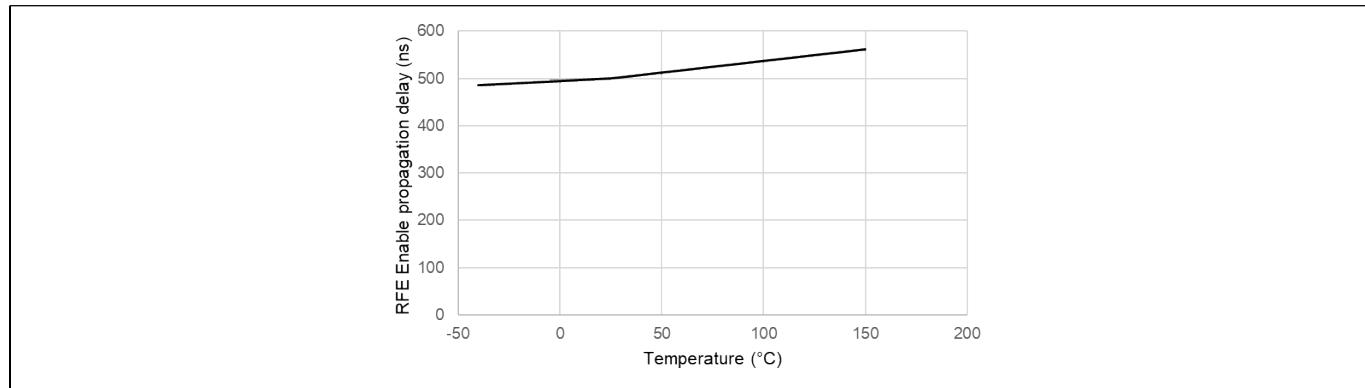


图 31 RFE 启用传播延迟

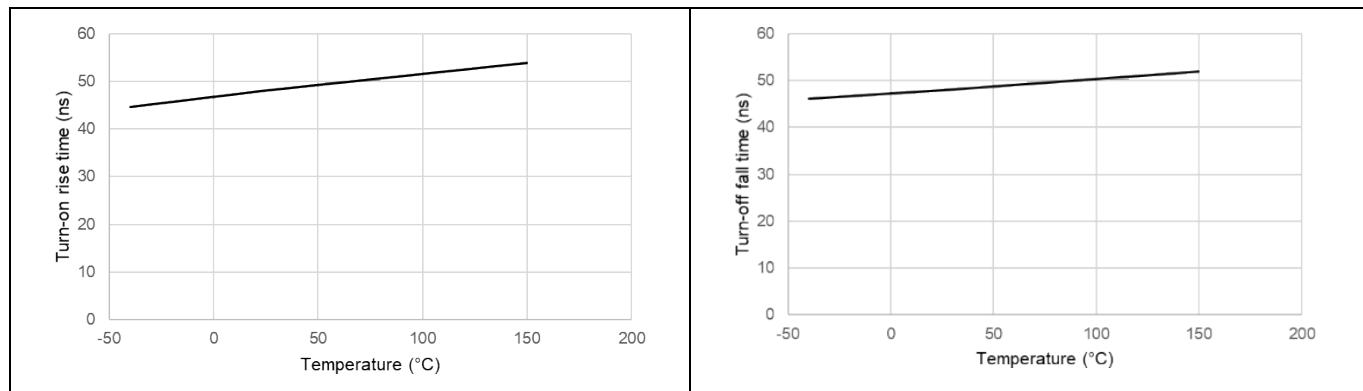


图32 开启上升时间和关闭下降时间

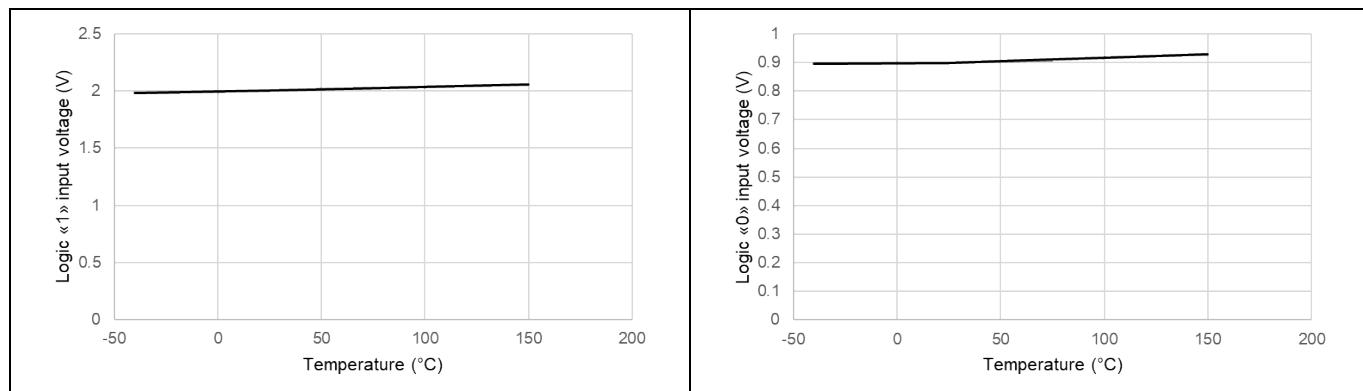


图33 逻辑“1”和逻辑“0”输入电压

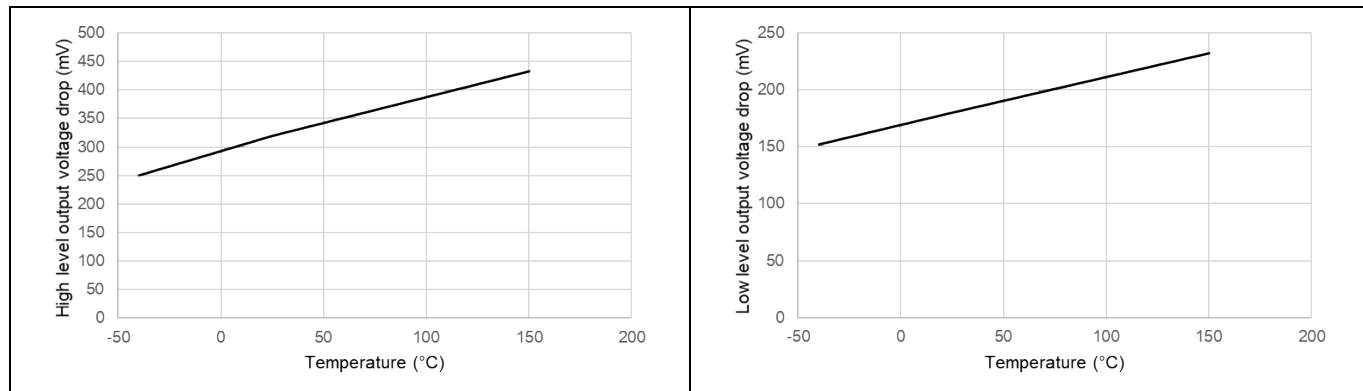


图34 高/低电平输出电压降

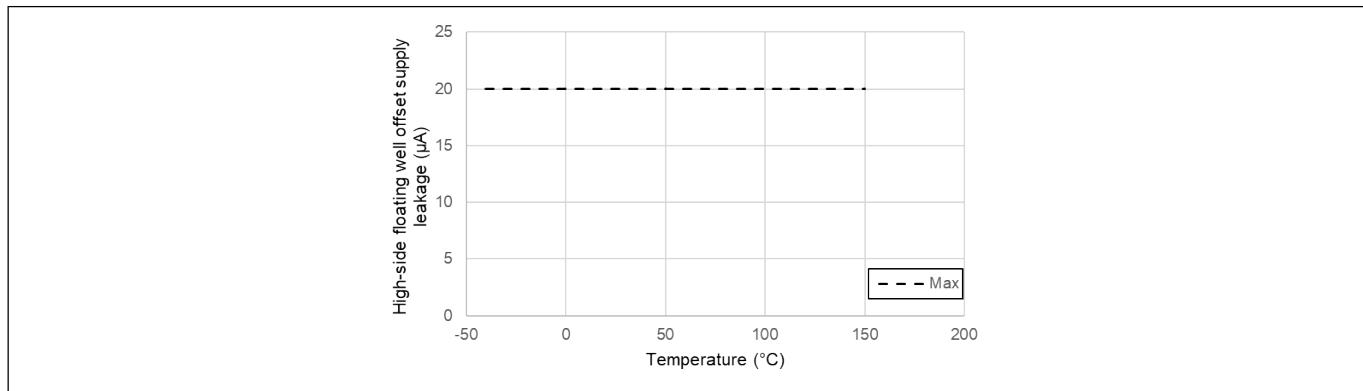


图35 高端浮井偏移电源泄漏

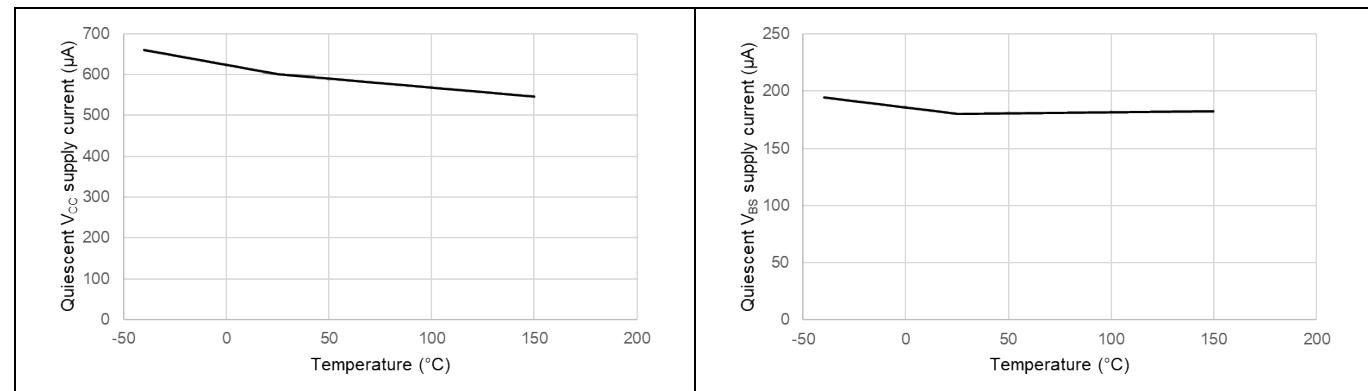
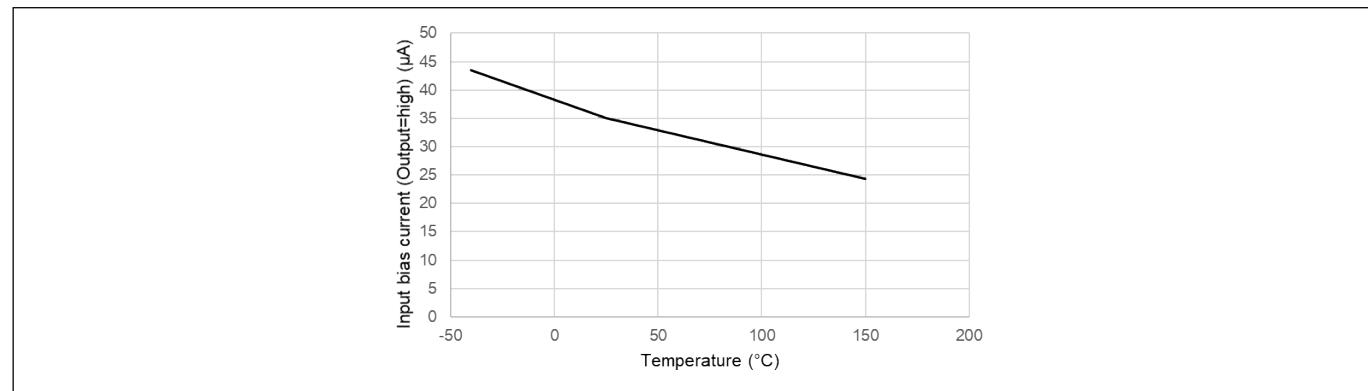
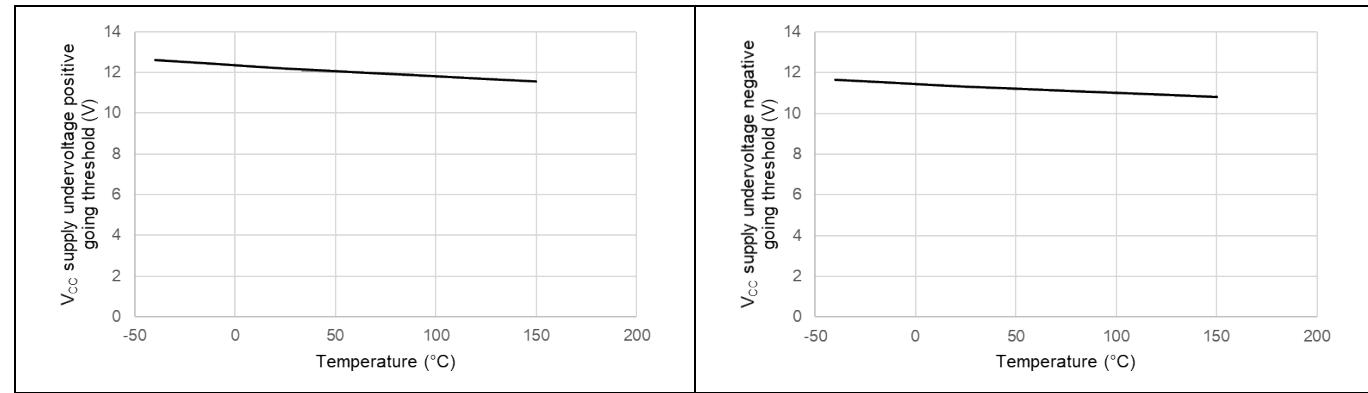
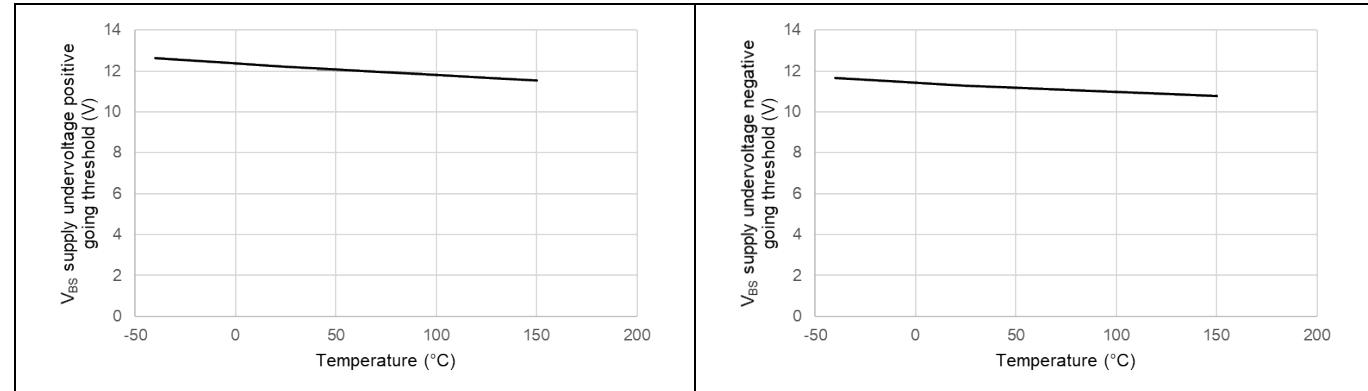
图36 静态V_{cc}和V_{bs}电源电流

图37 输入偏置电流

图38 V_{cc}电源欠压正向/负向阈值图39 V_{bs}电源欠压正向/负向阈值

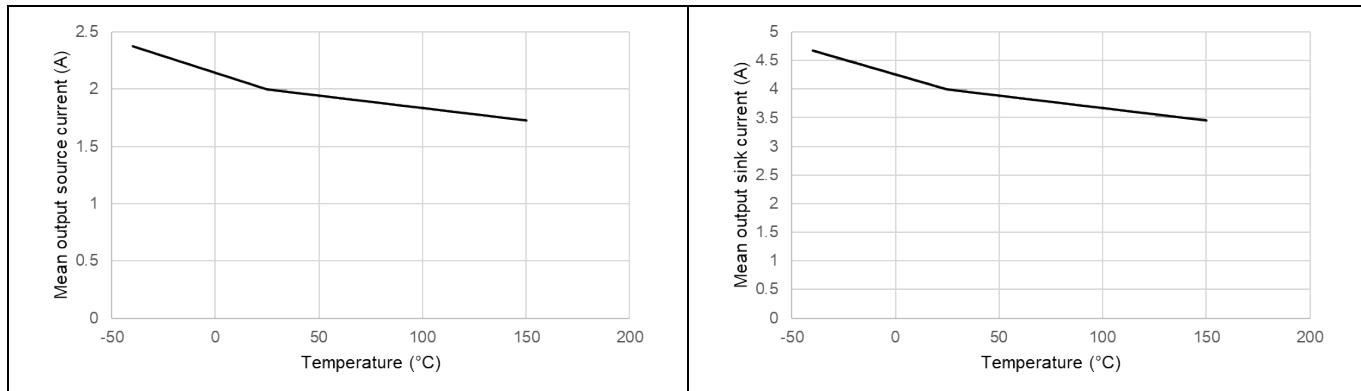


图 40 平均源/吸输出电流

7 资质信息¹

表9 资质信息

		Industrial ²	
Qualification level		Note: This family of ICs has passed JEDEC's Industrial qualification. Consumer qualification level is granted by extension of the higher Industrial level.	
Moisture sensitivity level		DSO-16-44	MSL2 ^a , 260°C (per IPC/JEDEC J-STD-020)
ESD	Charged device model	Class C3 (1.0 kV) (per JESD22-C101)	
	Human body model	Class 2 (2 kV) (per JEDEC standard JESD22-A115)	
IC latch-up test		Class II Level A (per JESD85)	
RoHS compliant		Yes	

¹ 资格标准可在英飞凌网站www.infineon.com上找到

² 如果用户有此要求，可提供更高的资质等级。请联系您的英飞凌销售代表了解更多信息。

³ 此处列出的特定封装类型可能提供更高的 MSL 等级。请联系您的英飞凌销售代表了解更多信息。

8 相关链接

表 10

Product	Description
Gate Driver ICs	
6ED2230S12T	1200 V, 3 phase level shift thin-film SOI gate driver with integrated bootstrap diodes, over-current protection (OCP), 350/650 mA source/sink current drive, Fault reporting, and Enable for IGBT switches.
6ED2231S12T	
Power Switches	
IKW40T120	1200 V IGBT in TRENCHSTOP™ and Fieldstop technology with anti-parallel diode
IKY50N120CH3	1200 V IGBT in Highspeed3 technology with anti-parallel diode
IKQ75N120CT2	1200 V IGBT in TRENCHSTOP™ 2 technology with anti-parallel diode
FP75R12KT3	1200 V EconoPIM™3 module with fast Trench/Fieldstop IGBT3 and Emitter Controlled diode
FP75R12KT4P	1200 V EconoPIM™3 module with fast Trench/Fieldstop IGBT4 and Emitter Controlled 4 diode
FP25R12W1T7_B11	1200 V EasyPIM™ module with TRENCHSTOP™ IGBT7 and Controlled 7 diode
FP35R12W2T7	1200 V EasyPIM™ module with TRENCHSTOP™ IGBT7 and Controlled 7 diode
FP50R12W2T7	EasyPIM™ 2B 1200 V, 50 A three phase input rectifier PIM (Power Integrated Modules) IGBT module with TRENCHSTOP™ IGBT7, Emitter Controlled 7 diode and NTC.
FP75R12N2T7	EconoPIM™ 2 1200 V, 75 A three phase PIM IGBT module with TRENCHSTOP™ IGBT7, Emitter Controlled 7 diode and NTC
FP100R12N3T7	EconoPIM™ 3 1200 V, 100 A three phase PIM IGBT module with TRENCHSTOP™ IGBT7, Emitter Controlled 7 diode and NTC.
FS55MR12W1M1H_B11	EasyPACK™ 1B 1200 V / 55 mΩ sixpack module with CoolSiC™ MOSFET with enhanced generation 1, NTC and PressFIT Contact Technology.
IMW/Z120R350M1H IMW/Z120R220M1H IMW/Z120R140M1H IMW/Z120R090M1H IMW/Z120R060M1H IMW/ZA120R040M1H IMW/Z120R030M1H IMW/ZA120R020M1H IMW/ZA120R014M1H	The CoolSiC™ 1200 V, 350 mΩ ~ 14 mΩ SiC MOSFET in TO247-3 or TO247-4 package build on a state-of-the-art trench semiconductor process optimized to combine performance with reliability. In comparison to traditional silicon (Si) based switches like IGBTs and MOSFETs, the SiC MOSFET offers a series of advantages. These include, the lowest gate charge and device capacitance levels seen in 1200 V switches, no reverse recovery losses of the internal commutation proof body diode, temperature independent low switching losses, and threshold-free on-state characteristic.
iMOTION™ Controllers	
IRMCK099	iMOTION™ Motor control IC for variable speed drives utilizing sensor-less Field Oriented Control (FOC) for Permanent Magnet Synchronous Motors (PMSM).
IMC101T	High performance Motor Control IC for variable speed drives based on field oriented control (FOC) of permanent magnet synchronous motors (PMSM).

9

套餐详情

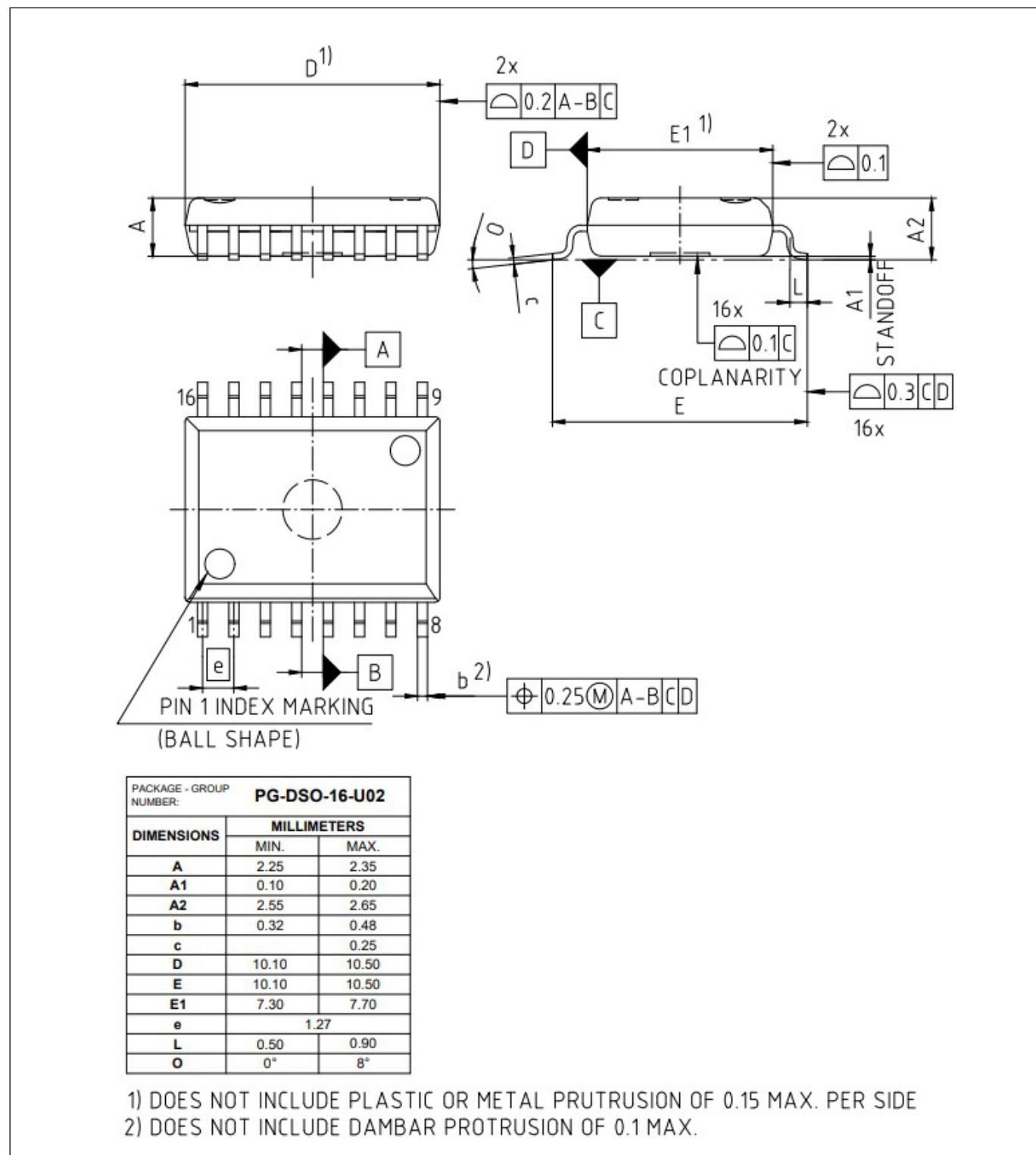


图41 300mil 16引脚PG-DSO-16-U02

10 零件标记信息

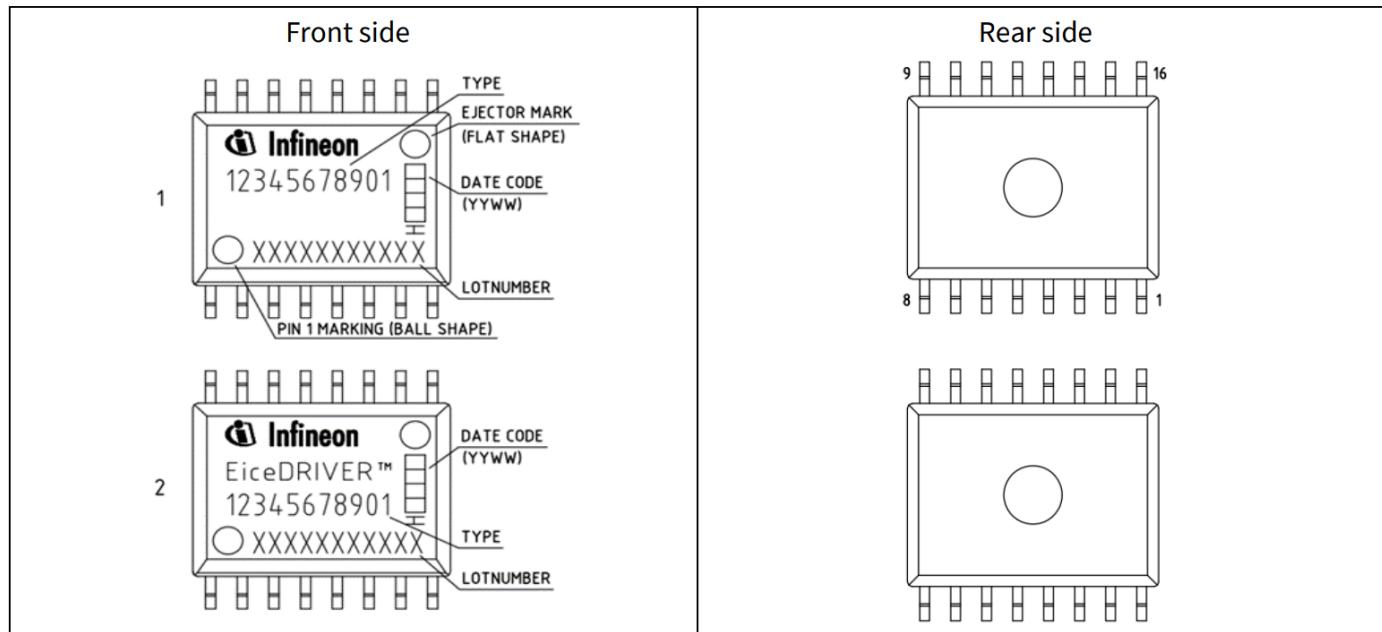


图 42 PG-DSO-16-U02 标记信息

11 其他文档和资源

www.infineon.com 上提供了一些与 HVIC 使用相关的技术文档；您可以使用站点搜索功能和文档编号快速找到它们。以下是部分文档的简要列表。

应用笔记：

[了解 HVIC 数据表规格](#)

[高压浮动 MOS 栅极驱动器集成电路](#)

[利用栅极电荷设计 SiC MOSFET 和 IGBT 的栅极驱动电路](#)

[升压网络分析：重点关注集成升压功能](#)

设计提示：

[使用单片高电压栅极驱动程序](#)

[缓解高边闩锁问题在上电时](#)

[保持降压转换器中自举电容器的充电状态](#)

[管理控制集成电路驱动功率级中的瞬态现象](#)

[简单高边驱动提供快速地切换和连续的准时](#)

11.1 英飞凌在线论坛资源

栅极驱动器论坛已在英飞凌论坛 (www.infineonforums.com) 上线。在这个在线论坛上，英飞凌栅极驱动器 IC 社区将为客户提供技术指导，包括如何使用栅极驱动器 IC、现有和新型栅极驱动器信息、应用信息、演示板可用性以及 500 多种栅极驱动器 IC 的在线培训资料。栅极驱动器论坛同时也是一个常见问题解答库，用户可以在其中查找类似应用中常见或特定问题的解决方案。

在栅极驱动器论坛上在线注册并了解在任何给定的电力电子应用中有效驱动电源开关的细微差别。

12 修订记录

Document version	Date of release	Description of changes
1.0	March 07, 2023	Final Datasheet
1.1	March 16, 2023	Updated the photo of package
1.2	April 18, 2023	Figure 9, OCP threshold changed, Changed, V_{RF+} to V_{IH} for the formula of t_{FLTCLR} calculation
1.3	September 6, 2023	Created the new paragraph “Temperature trend charts”



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

版本 2025-08-28

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:

erratum@infineon.com

重要通知

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）

（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上述合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文档中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及(b) 对于以二进制代码（binary code）形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 [https://www.infineon.com](http://www.infineon.com)。