

英飞凌 EiceDRIVER™ 1EDN751x/1EDN851x 栅极驱动器 IC

英飞凌具有 4 A 拉电流/8 A 灌电流输出级的单通道低侧栅极驱动器 IC

描述

EiceDRIVER™ 栅极驱动器 IC 系列采用分别具有 5 引脚和 6 引脚的 SOT23-5 和 SOT23-6 以及 WSON-6 封装。引脚排列符合事实上的行业标准。它们用于驱动逻辑和正常电平 MOSFET 如 OptiMOS™ 和 CoolMOS™ 以及 GaN HEMT 器件。

产品特点

- 4 A 拉电流/8 A 灌电流驱动能力
- 19 纳秒典型传播延迟
- +6/-4 ns 传播延迟精度
- -10 V 输入电压稳定性
- 5 A 反向电流稳健性
- 4.2 V 和 8 V UVLO 选项
- 行业标准封装和引脚排列选项：
 - 有引线的 SOT23-5 和 SOT23-6
 - 无引线 WSON-6
- 符合 JEDEC 工业应用标准

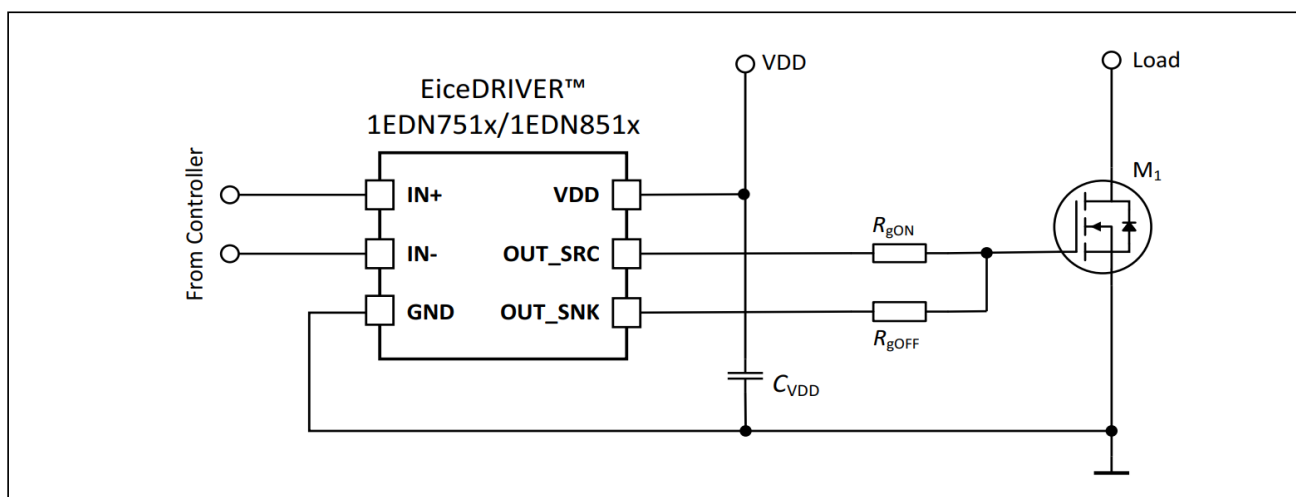
应用

- 开关电源 (SMPS)
- 功率因数校正系统
- DC-DC 电源转换器
- 低压驱动器和电动工具
- 工业电源 (SMPS、UPS)
- 电动汽车非车载充电器
- 太阳能微型逆变器、太阳能优化器



可用的器件配置和典型应用示例

| Part number | Package | UVLO ON/OFF | Output configuration | Output current |
|-------------|------------|-------------|---------------------------|----------------|
| 1EDN7511B | PG-SOT23-6 | 4.2 V/3.9 V | Separated source and sink | -8 A/+4 A |
| 1EDN8511B | | 8.0 V/7.0 V | Separated source and sink | |
| 1EDN7512B | PG-SOT23-5 | 4.2 V/3.9 V | Common OUT | |
| 1EDN7512G | PG-WSON-6 | 4.2 V/3.9 V | Common OUT | |



本数据手册的原文使用英文撰写。为方便起见，英飞凌提供了译文；由于翻译过程中可能使用了自动化工具，英飞凌不保证译文的准确性。为确认准确性请务必访问 infineon.com 参考最新的英文版本（控制文档）。

目录

目录

| | | |
|-----|---------------------------|----|
| | 描述..... | 1 |
| | 目录..... | 2 |
| 1 | 产品版本..... | 3 |
| 1.1 | 欠压锁定版本..... | 3 |
| 1.2 | 封装版本..... | 3 |
| 2 | 引脚配置及说明..... | 4 |
| 2.1 | PG-SOT23-6-2 封装的输入配置..... | 4 |
| 2.2 | PG-SOT23-5-1 封装的输入配置..... | 5 |
| 2.3 | PG-WSON-6-1 封装的输入配置..... | 6 |
| 3 | 框图..... | 7 |
| 4 | 功能说明..... | 8 |
| 4.1 | 简介..... | 8 |
| 4.2 | 供电电压..... | 8 |
| 4.3 | 驱动器输入..... | 8 |
| 4.4 | 驱动器输出..... | 8 |
| 4.5 | 欠压锁定(UVLO)..... | 9 |
| 5 | 电气特性..... | 10 |
| 5.1 | 绝对最大额定值..... | 10 |
| 5.2 | 热特性..... | 10 |
| 5.3 | 工作范围..... | 12 |
| 5.4 | 电气特性..... | 12 |
| 6 | 时序图..... | 14 |
| 7 | 典型特征..... | 15 |
| 8 | 封装外形..... | 20 |
| 8.1 | 设备编号和标记..... | 20 |
| 8.2 | PG-SOT23-6-2..... | 20 |
| 8.3 | PG-SOT23-5-1..... | 22 |
| 8.4 | PG-WSON-6-1..... | 24 |
| 9 | 修订记录..... | 26 |

产品版本

1 产品版本

EiceDRIVER™ 1EDN751x/1EDN851x 有两种不同的欠压锁定级别（4.2 V 和 8.0 V）和三种封装版本。

1.1 欠压锁定版本

该产品有两种欠压锁定版本可供选择：

- EiceDRIVER™ 1EDN751x 设计用于驱动逻辑电平 MOSFET（典型值 $UVLO_{ON} = 4.2\text{ V}$ ）
- EiceDRIVER™ 1EDN851x 设计用于驱动正常电平和超结 MOSFET（典型值 $UVLO_{ON} = 8.0\text{ V}$ ）。有关更多详细信息，请参阅[章节4.5](#)中的功能描述部分。

1.2 封装版本

EiceDRIVER™ 1EDN 系列有三种不同的封装版本。封装类型由产品代码的最后两个字符标识：

- EiceDRIVER™ 1EDN7511B 和 1EDN8511B 采用 PG-SOT23-6-2 封装
- EiceDRIVER™ 1EDN7512B 采用 PG-SOT23-5-1 封装
- EiceDRIVER™ 1EDN7512G 采用 PG-WSON-6-1 无引线封装

引脚配置及说明

2 引脚配置及说明

2.1 PG-SOT23-6-2封装的输入配置

PG-SOT23-6-2封装的引脚配置如图 1 所示。引脚描述如下表 1 所示。功能详情请阅读章节 4。

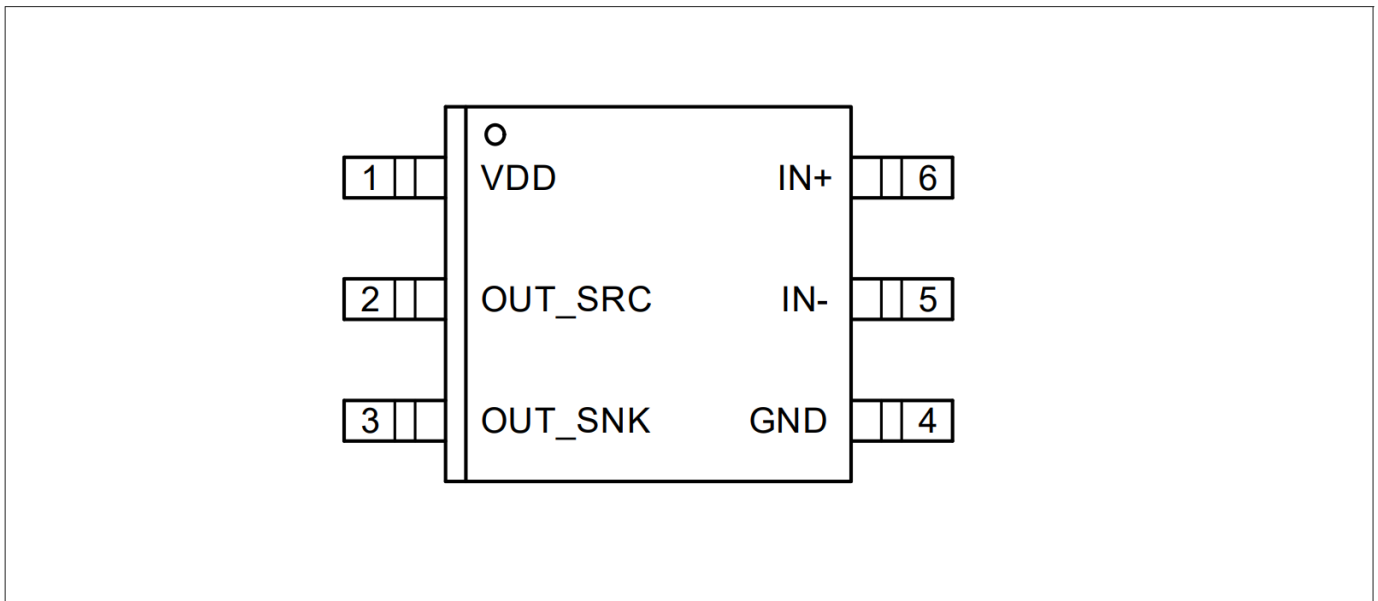


图1 PG-SOT23-6-2引脚配置 (顶视图)

表1 引脚配置

| Pin Nr. | Symbol | Description |
|---------|---------|--|
| 1 | VDD | Positive supply voltage Operating range 4.5 V to 20 V |
| 2 | OUT_SRC | Driver output source Low-impedance output with source capability |
| 3 | OUT_SNK | Driver output sink Low-impedance output with sink capability |
| 4 | GND | Ground |
| 5 | IN- | Inverting input Logic Input; if IN- is high or left open, causes OUT low (See Table 4) |
| 6 | IN+ | Non-inverting input Logic Input; if IN+ is low or left open causes OUT low (See Table 4) |

引脚配置及说明

2.2 PG-SOT23-5-1封装的输入配置

PG-SOT23-5-1封装的引脚配置如图 2 所示。引脚描述如下表 2 所示。功能详情请阅读章节 4。

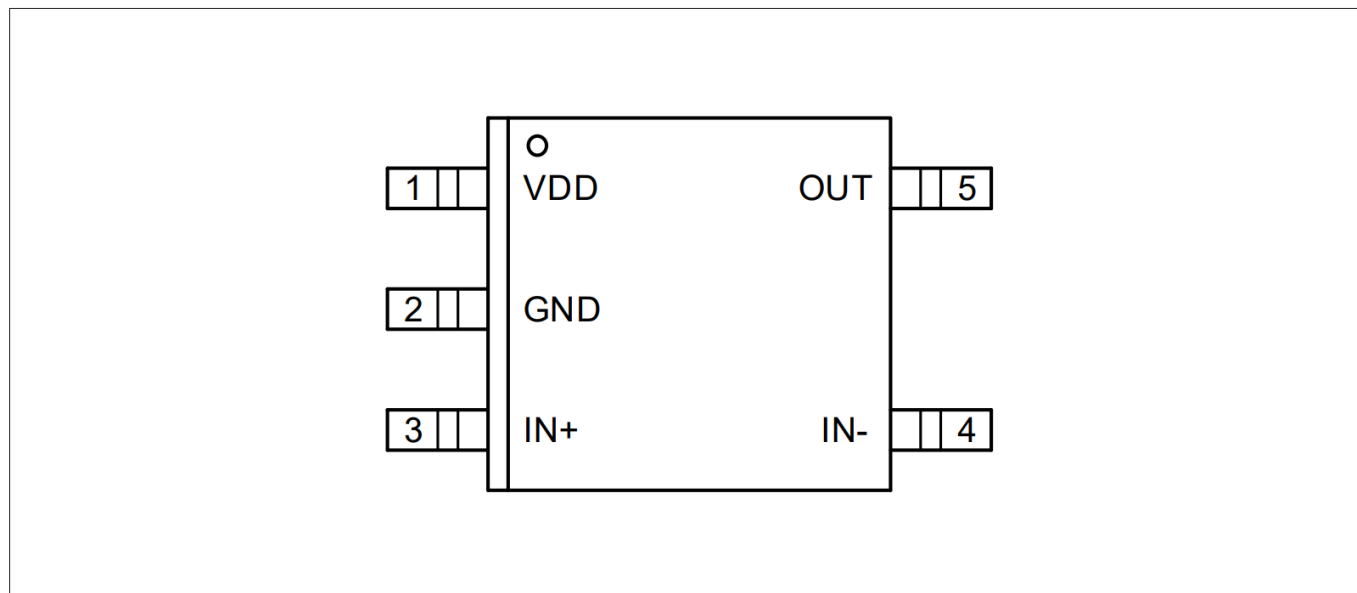


图2 PG-SOT23-5-1引脚配置（顶视图）

表 2 引脚配置

| Pin Nr. | Symbol | Description |
|---------|--------|---|
| 1 | VDD | Positive supply voltage Operating range 4.5 V to 20 V |
| 2 | GND | Ground |
| 3 | IN+ | Non-inverting input Logic Input; if IN+ is low or left open causes OUT low (See Table 4) |
| 4 | IN- | Inverting input Logic Input; if IN- is high or left open, causes OUT low (See Table 4) |
| 5 | OUT | Driver output Low-impedance output and sink capability |

引脚配置及说明

2.3 PG-WSO6-1 封装的输入配置

PG-WSO6-1封装的引脚配置如图3所示。引脚描述如下表3。功能详情请阅读章节4。

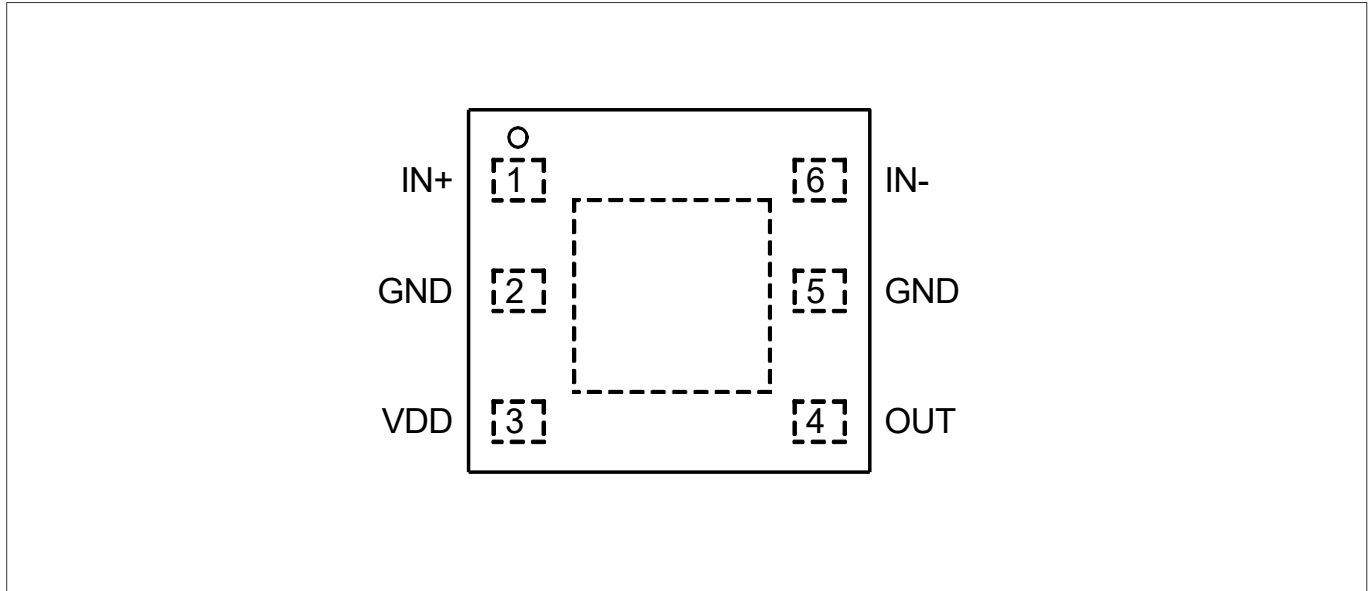


图3 引脚配置PG-WSO6-1 (顶视图)

表3 引脚配置

| Pin Nr. | Symbol | Description |
|---------|--------|---|
| 1 | IN+ | Non-inverting input Logic Input; if IN+ is low or left open causes OUT low (See Table 4) |
| 2; 5 | GND | Ground |
| 3 | VDD | Positive supply voltage Operating range 4.5 V to 20 V |
| 4 | OUT | Driver output Low-impedance output with source and sink capability |
| 6 | IN- | Inverting input Logic Input; if IN- is high or left open, causes OUT low (See Table 4) |

注释: PG-WSO6-1封装的裸露焊盘必须连接到GND引脚

框图

3 框图

图 4 给出了具有分离的灌电流和拉电流输出的 PG-SOT23-6-2 封装的简化功能框图。

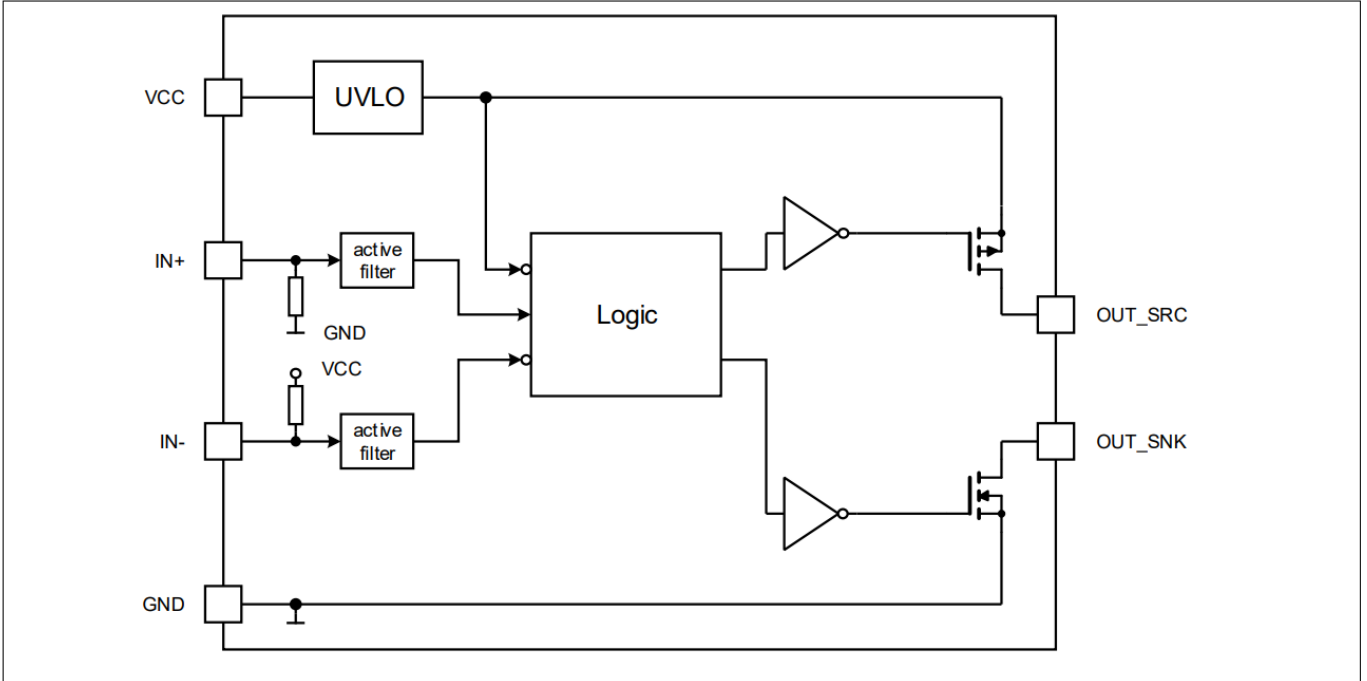


图4 EiceDRIVER™ 1EDN7511B和1EDN8511B的简化框图

具有公共输出的 PG-SOT23-5-1 和 PG-WSON-6-1 的简化功能框图如下图 5.

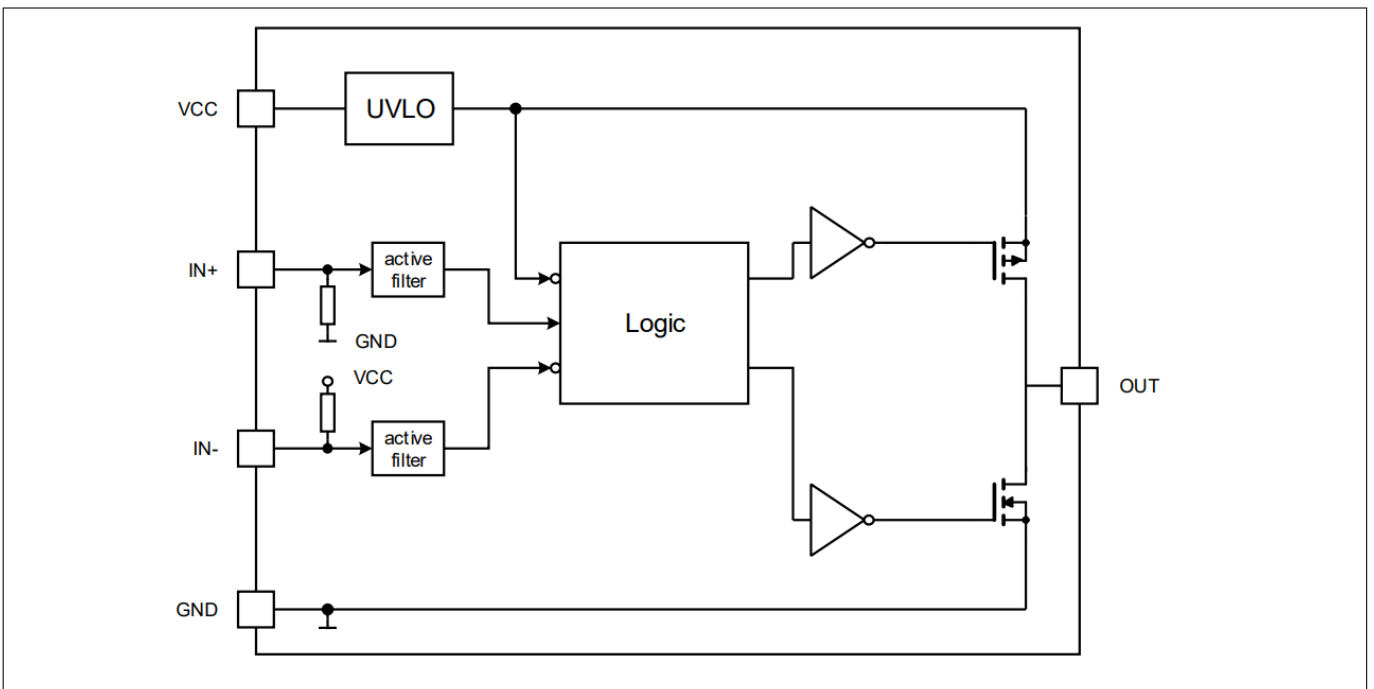


图5 EiceDRIVER™ 1EDN7512B和1EDN7512G的简化框图

功能说明

4 功能说明

4.1 简介

1EDN751x/1EDN851x 是用于低侧开关的快速单通道驱动器。选择具有非常低输出阻抗和高电流能力的轨到轨输出级，以确保最高的灵活性并覆盖各种各样的应用。

对输入和输出侧稳健性的关注使得该设备在关键异常情况下具有额外的安全裕度。扩展的负电压范围 (-10 V) 可保护输入引脚免受地电压变化的影响。在负输入电平期间，没有电流流过 IC 中的 ESD 结构。输出可耐受反向电流 (5 A)。与功率 MOSFET 的相互作用，甚至反向反射功率都将由强大的内部输出级处理。

输入与 LV-TTL 信号电平兼容。阈值电压的典型滞回为 1.1 V，在电源电压范围内保持恒定。

由于 1EDN751x/1EDN851x 特别针对快速开关应用，因此信号延迟和上升/下降时间已被最小化，以支持 MOSFET 中的低开关损耗。

4.2 供电电压

最大电源电压为 20V。在驱动非常大的 MOSFET 时，这种高电压对于充分利用 1EDN751x/1EDN851x 的电流能力非常有价值。最低工作电源电压由欠压锁定功能设置为典型默认值 4.2 V 或 8 V。此欠压锁定功能可防止功率 MOSFET 进入线性模式并随之产生高功率耗散。

4.3 驱动器输入

非反相输入在内部下拉至逻辑低电压。反相输入在内部上拉至逻辑高电压。这可以防止上电期间发生开启事件和未驱动的输入条件。

所有输入均与 LV-TTL 电平兼容，并提供通常为 1.1 V 的滞回。该滞回与电源电压无关。

所有输入引脚均具有负扩展电压范围 (-10 V)。当信号源（控制器）和驱动器输入之间的地线发生移动时，这可以防止信号线上出现交叉电流。

4.4 驱动器输出

采用互补 MOS 晶体管实现的轨到轨输出级能够提供典型的 4 A 拉电流和 8 A 灌电流。这种不对称推挽级可实现完美的“先断后通”（关断速度快于导通速度）状态，这是半桥功率 MOSFET 级所需要的。

该驱动器输出级具有直通保护和限流行为。

输出阻抗非常低，拉电流的 p 沟道 MOS 晶体管的典型值低于 0.85 Ω ，灌电流 n 沟道 MOS 晶体管的典型值低于 0.35 Ω 。使用 p 沟道拉电流晶体管对于实现真正的轨到轨行为和避免源跟随器的电压下降至关重要。

在输入悬空、启动期间或由 UVLO 保护触发的断电情况下，栅极驱动输出主动保持低电平。在任何情况下（启动、UVLO 或断电），输出均保持在规定的条件下表 4 列出了 EiceDRIVER™ 1EDN7511B 和 1EDN8511B 的输出状态。

功能说明

表4 真值表

| IN+ | IN- | OUT_SRC | OUT_SNK |
|-----|-----|---------|---------|
| L | L | OPEN | L |
| L | H | OPEN | L |
| H | L | H | OPEN |
| H | H | OPEN | L |

4.5 欠压锁定(UVLO)

欠压锁定功能确保仅当电源电压超过 UVLO 阈值电压时，输出才能切换到高电平。这样就可以保证，当驱动电压太低而无法完全导通开关晶体管时，开关晶体管也不会导通，从而避免过大的功率耗散。

UVLO 电平设置为典型值 4.2 V/8 V（具有滞回）。4.2 V UVLO 阈值通常用于逻辑电平 MOSFET。对于正常电平和超结 MOSFET，可用的 UVLO 电压通常为 8V。

电气特性

5 电气特性

超过表5列出的绝对最大额定值的应力可能会对器件造成永久性损坏。长时间在绝对最大额定值条件下工作可能会影响器件的可靠性。

5.1 绝对最大额定值

表 5 绝对最大额定值

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|---|----------------------------------|--------|------|---------------|----------|---|
| | | Min. | Typ. | Max. | | |
| Positive supply voltage | V_{VDD} | -0.3 | - | 22 | V | - |
| Voltage at pins IN+, IN- | V_{IN} | -10 | - | 22 | V | - |
| Voltage at pins OUT, OUT_SRC, OUT_SNK | V_{OUT} | -0.3 | - | $V_{VDD}+0.3$ | V | Note ¹⁾ |
| | | -2 | - | $V_{VDD}+2$ | V | Repetitive pulse < 200ns ²⁾ |
| Reverse current peak at pins OUT, OUT_SRC/OUT_SNK | I_{SNK_rev} I_{SRC_rev} | - | - | -5 | A_{pk} | < 500 ns |
| | | - | - | 5 | | |
| Junction temperature | T_J | -40 | - | 150 | °C | - |
| Storage temperature | T_S | -55 | - | 150 | °C | - |
| ESD capability | V_{ESD} | - | - | 1.5 | kV | Charged Device Mode (CDM) ³⁾ |
| ESD capability | V_{ESD} | - | - | 2.5 | kV | Human Body Model (HBM) ⁴⁾ |

1) 允许由反向电流峰值引起的电压尖峰。

2) 数值通过工作台上的特性验证。

3) 符合 ESD-CDM: ANSI/ESDA/JEDEC JS-002

4) 根据 ESD-HBM: ANSI/ESDA/JEDEC JS-001

5.2 热特性

表6 热特性

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|--|-----------------|--------|------|------|------|------------------------|
| | | Min. | Typ. | Max. | | |
| PG-SOT23-6-2, $T_{amb}=25^{\circ}C$ | | | | | | |
| Thermal resistance junction-ambient ¹⁾ | R_{thJA25} | - | 170 | - | K/W | - |
| Thermal resistance junction-case (top) ²⁾ | R_{thJC25} | - | 81 | - | K/W | - |
| Thermal resistance junction-board ³⁾ | R_{thJB25} | - | 52 | - | K/W | - |
| Characterization parameter junction-case (top) ⁴⁾ | Ψ_{thJC25} | - | 14 | - | K/W | - |
| Characterization parameter junction-board ⁵⁾ | Ψ_{thJB25} | - | 51 | - | K/W | - |

电气特性

表 6 热特性 (持续)

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|--|-----------------|--------|------|------|------|------------------------|
| | | Min. | Typ. | Max. | | |
| PG-SOT23-5-1, $T_{amb}=25^{\circ}\text{C}$ | | | | | | |
| Thermal resistance junction-ambient ¹⁾ | R_{thJA25} | – | 180 | – | K/W | – |
| Thermal resistance junction-case (top) ²⁾ | R_{thJC25} | – | 76 | – | K/W | – |
| Thermal resistance junction-board ³⁾ | R_{thJB25} | – | 60 | – | K/W | – |
| Thermal resistance junction-bottom (heat sink) ⁶⁾ | R_{thJB25} | – | 16 | – | K/W | – |
| Characterization parameter junction-case (top) ⁴⁾ | Ψ_{thJB25} | – | 14 | – | K/W | – |
| Characterization parameter junction-board ⁵⁾ | Ψ_{thJB25} | – | 52 | – | K/W | – |
| PG-WSON-6-1, $T_{amb}=25^{\circ}\text{C}$ | | | | | | |
| Thermal resistance junction-ambient ¹⁾ | R_{thJA25} | – | 63 | – | K/W | – |
| Thermal resistance junction-case (top) ²⁾ | R_{thJP25} | – | 83 | – | K/W | – |
| Thermal resistance junction-board ³⁾ | R_{thJB25} | – | 16 | – | K/W | – |
| Thermal resistance junction-bottom (heat sink) ⁶⁾ | R_{thJB25} | – | 16 | – | K/W | – |
| Characterization parameter junction-top ⁴⁾ | Ψ_{thJC25} | – | 9 | – | K/W | – |
| Characterization parameter junction-board ⁵⁾ | Ψ_{thJB25} | – | 15 | – | K/W | – |

- 1) 在 JESD51-2a 描述的环境中，通过对 JEDEC high-K 板（如 JESD51-7 中规定）进行模拟，可以获得自然对流下的结到环境的热阻。
- 2) 通过模拟封装顶部的冷板测试来获得结至外壳（顶部）的热阻。没有特定的 JEDEC 标准测试，但可以在 ANSI SEMI 标准 G30-88 中找到近似的描述。
- 3) 结到板的热阻是通过在具有环形冷板夹具来控制 PCB 温度的环境中模拟而获得的，如 JESD51-8 中所述。
- 4) 特性参数结顶用于估算实际系统中器件的结温，它是使用 JESD51-2a（第 6 和 7 节）中描述的程序从用于获取 R_{th} 的模拟数据中提取的。
- 5) 特性参数 junction-board 用于估算实际系统中器件的结温，它是使用 JESD51-2a（第 6 和 7 节）中描述的程序从用于获取 R_{th} 的模拟数据中提取的。
- 6) 通过在裸露（电源）焊盘上模拟冷板测试来获得结底热阻。没有特定的 JEDEC 标准测试，但可以在 ANSI SEMI 标准 G30-88 中找到近似的描述。

电气特性

5.3 工作范围

表 7 工作范围

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|----------------------|-----------|--------|------|------|------|------------------------|
| | | Min. | Typ. | Max. | | |
| Supply voltage | V_{VDD} | 4.5 | – | 20 | V | Min defined by UVLO |
| Logic input voltage | V_{IN} | -5 | – | 20 | V | – |
| Junction temperature | T_J | -40 | – | 150 | °C | 1) |

1) 持续在125°C以上温度下运行可能会缩短使用寿命。

5.4 电气特性

除非另有说明，特性的最小值和最大值分别为下限和上限。它们在整个工作范围内有效。电源电压为 $V_{VDD} = 12\text{ V}$ 。典型值在 $T_J = 25^\circ\text{C}$ 时给出。

表 8 电源

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|-----------------------|--------------|--------|------|------|------|-------------------------------------|
| | | Min. | Typ. | Max. | | |
| VDD quiescent current | I_{VDDqu1} | – | 0.4 | – | mA | OUT = high, $V_{VDD} = 12\text{ V}$ |
| VDD quiescent current | I_{VDDqu2} | – | 0.37 | – | mA | OUT = low, $V_{VDD} = 12\text{ V}$ |

表 9 逻辑电平MOSFET的欠压锁定

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|--|--------------|--------|------|------|------|------------------------|
| | | Min. | Typ. | Max. | | |
| Undervoltage lockout (UVLO) turn on threshold | $UVLO_{on}$ | 3.9 | 4.2 | 4.5 | V | – |
| Undervoltage lockout (UVLO) turn off threshold | $UVLO_{off}$ | 3.6 | 3.9 | 4.2 | V | – |
| UVLO threshold hysteresis | $UVLO_{hys}$ | – | 0.3 | – | V | – |

表 10 标准和超结 MOSFET 版本的欠压锁定

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|--|--------------|--------|------|------|------|------------------------|
| | | Min. | Typ. | Max. | | |
| Undervoltage lockout (UVLO) turn on threshold | $UVLO_{on}$ | 7.4 | 8.0 | 8.6 | V | – |
| Undervoltage lockout (UVLO) turn off threshold | $UVLO_{off}$ | 6.5 | 7.0 | 7.5 | V | – |
| UVLO threshold hysteresis | $UVLO_{hys}$ | – | 1.0 | – | V | – |

电气特性

表 11 逻辑输入 IN+、IN-

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|---|-----------|--------|------|------|------------|------------------------|
| | | Min. | Typ. | Max. | | |
| Input voltage threshold for transition LH | V_{INH} | 1.9 | 2.1 | 2.3 | V | - |
| Input voltage threshold for transition HL | V_{INL} | 0.8 | 1.0 | 1.2 | V | - |
| Input pull up resistor ¹⁾ | R_{INH} | - | 400 | - | k Ω | - |
| Input pull down resistor ²⁾ | R_{INL} | - | 100 | - | k Ω | - |

1) 初始高逻辑电平输入

2) 初始低逻辑电平输入

表 12 静态输出特性

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|---|-----------------|--------|------|---------------|----------|---------------------------|
| | | Min. | Typ. | Max. | | |
| High level (sourcing) output resistance | R_{on_SRC} | 0.42 | 0.85 | 1.46 | Ω | $I_{SRC} = 50 \text{ mA}$ |
| High level (sourcing) output current | I_{SRC_peak} | - | 4.0 | ¹⁾ | A | - |
| Low level (sinking) output resistance | R_{on_SNK} | 0.18 | 0.35 | 0.64 | Ω | $I_{SNK} = 50 \text{ mA}$ |
| Low level (sinking) output current | I_{SNK_Peak} | - | -8.0 | ²⁾ | A | - |

1) 有源限制在设计上约为 5.2 A_{pk}, 参数不受生产测试的影响 - 通过设计/特性验证, 必须遵守最大功率耗散2) 有源限制在设计上约为 -10.4 A_{pk}, 参数不受生产测试的影响 - 通过设计/特性验证, 必须遵守最大功率耗散

表 13 动态特性 (见图 6、图 7、图 8)

| Parameter | Symbol | Values | | | Unit | Note or Test Condition |
|---|-------------|--------|------|------------------|------|---|
| | | Min. | Typ. | Max. | | |
| Input to output propagation delay | T_{PDON} | 15 | 19 | 25 | ns | $C_{LOAD} = 1.8 \text{ nF}, V_{VDD} = 12\text{V}$ |
| Input to output propagation delay | T_{PDOFF} | 15 | 19 | 25 | ns | $C_{LOAD} = 1.8 \text{ nF}, V_{VDD} = 12\text{V}$ |
| Rise time | T_{RISE} | - | 6.5 | 11 ¹⁾ | ns | $C_{LOAD} = 1.8 \text{ nF}, V_{VDD} = 12\text{V}$ |
| Fall time | T_{FALL} | - | 4.5 | 9 ¹⁾ | ns | $C_{LOAD} = 1.8 \text{ nF}, V_{VDD} = 12\text{V}$ |
| Minimum input pulse width that changes output state | T_{PW} | - | 6 | 10 | ns | $C_{LOAD} = 1.8 \text{ nF}, V_{VDD} = 12\text{V}$ |

1) 参数通过设计验证, 未经 100% 生产测试。

时序图

6 时序图

图 6 显示了输入的上升、下降和延迟时间的定义。这也适用于反相控制。

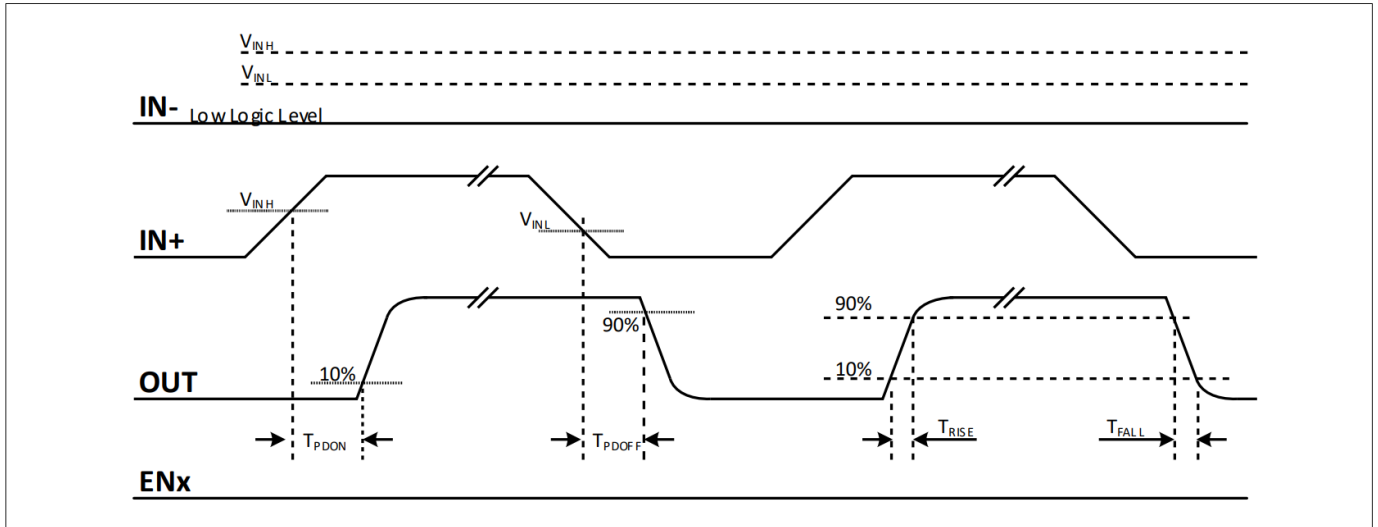


图6 传播延迟、上升和下降时间、非反转

图 7 说明了欠压锁定功能。

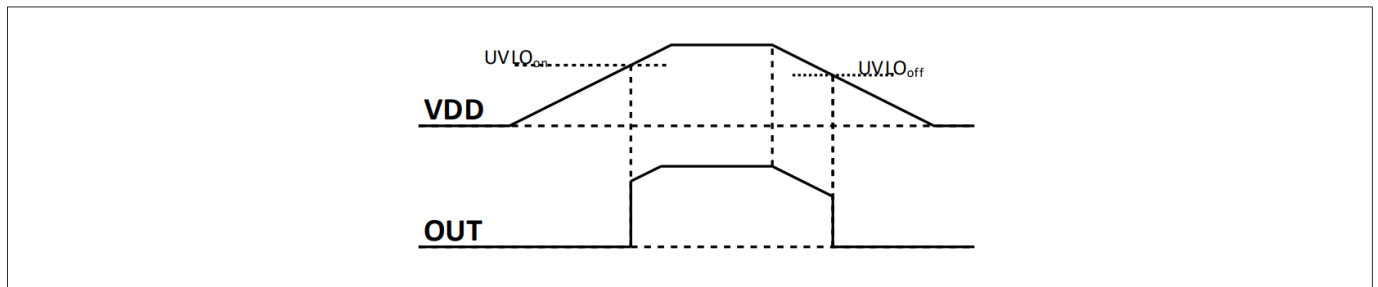


图 7 UVLO 行为，输入 INx 通常驱动 OUT 为高

图 8 说明改变输出状态的最小输入脉冲宽度。

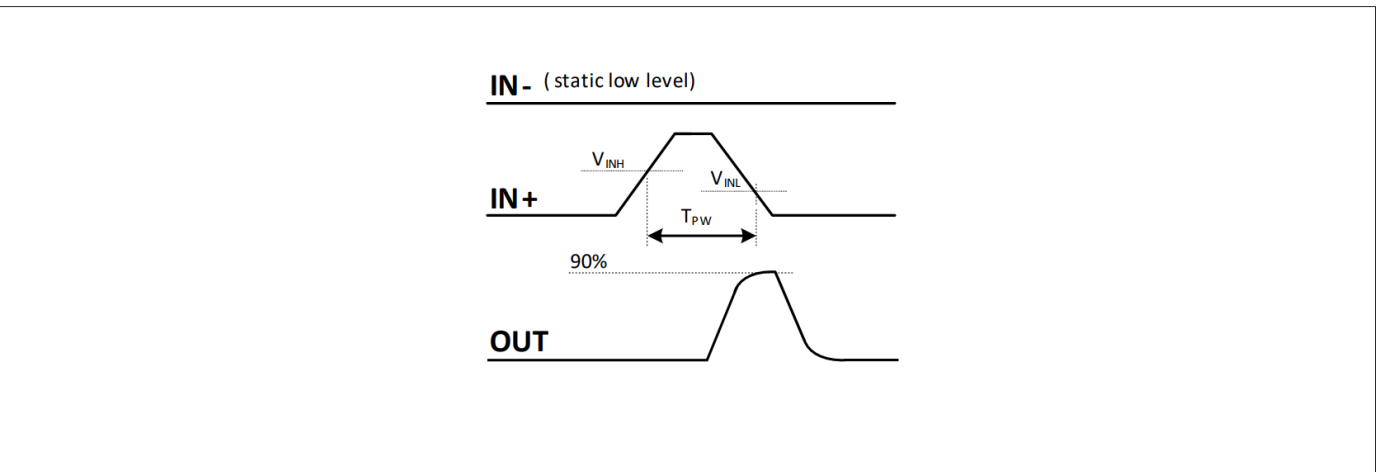


图8 改变输出状态的最小输入脉冲宽度

典型特征

7 典型特征

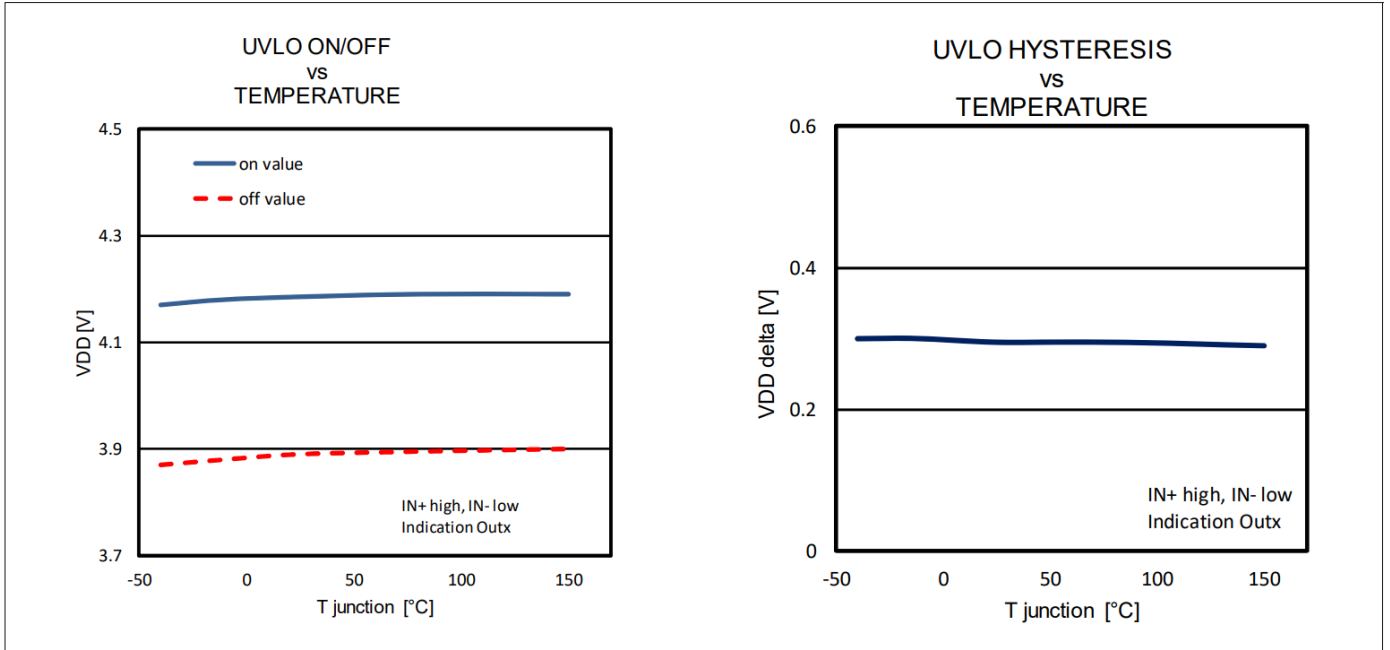


图9 欠压锁定1EDN751x (4.2 V)

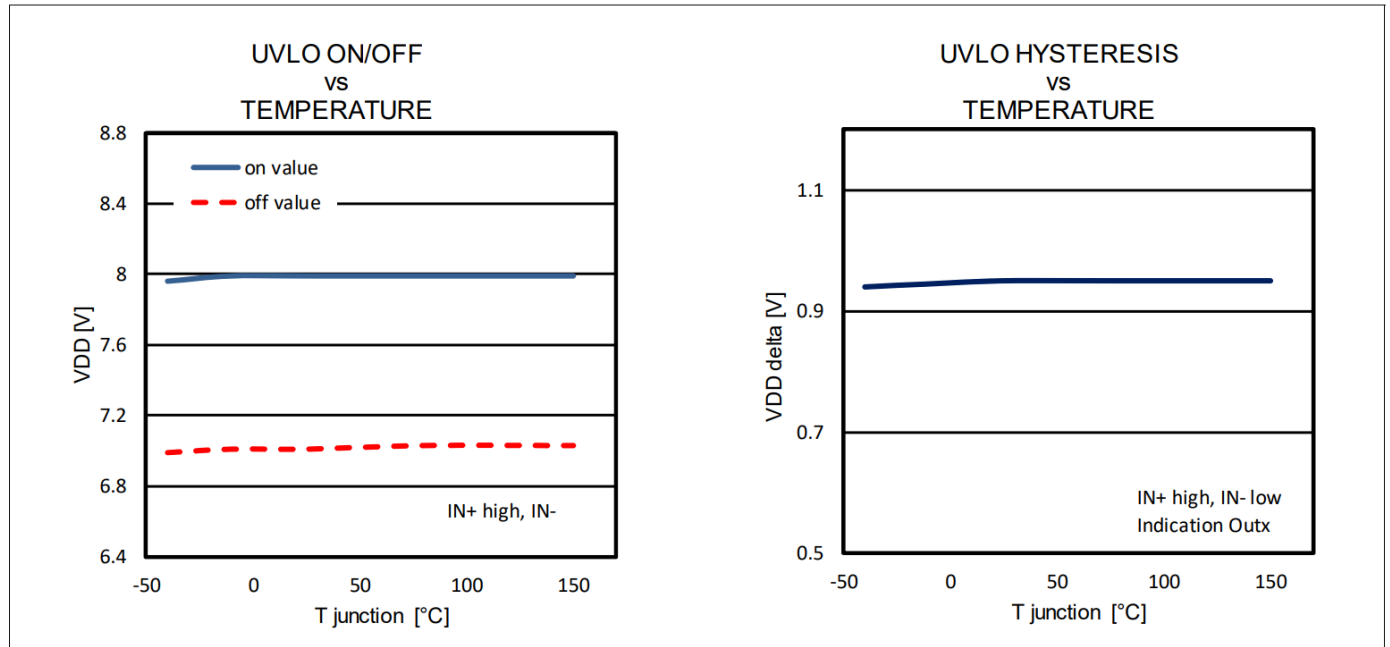


图10 欠压锁定1EDN851x (8 V)

典型特征

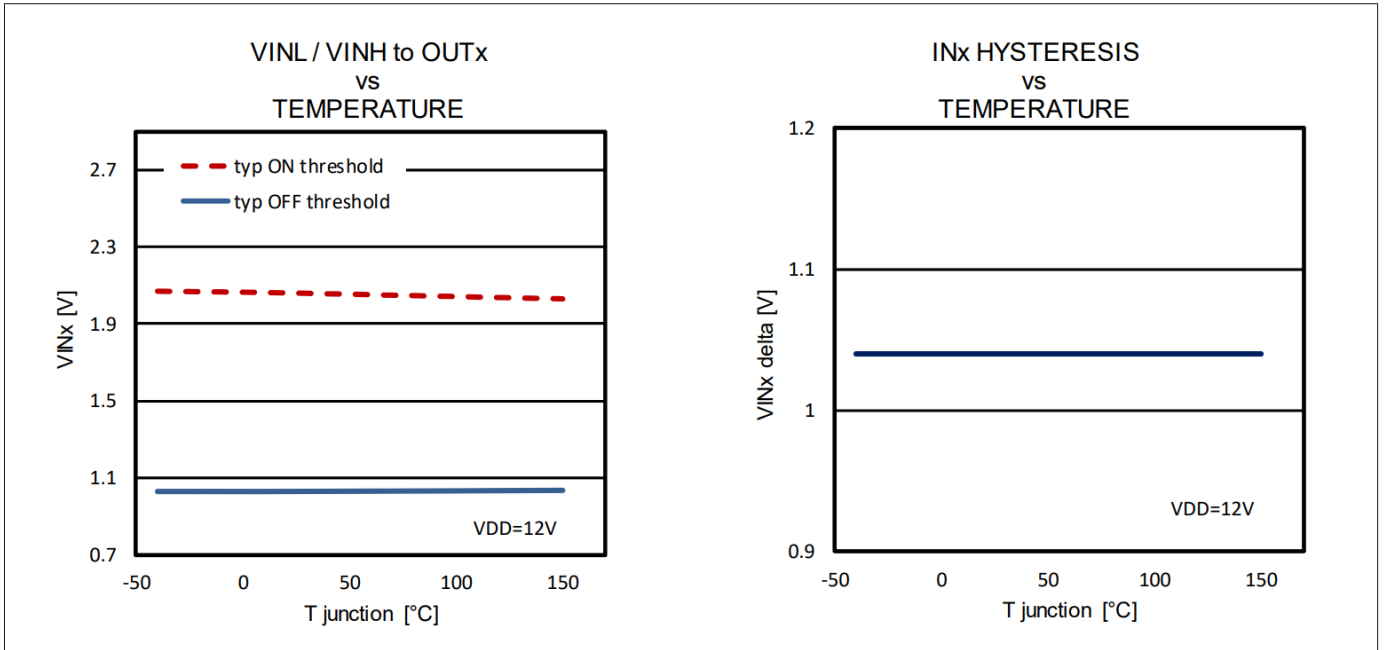


图11 输入 (INx) 特性

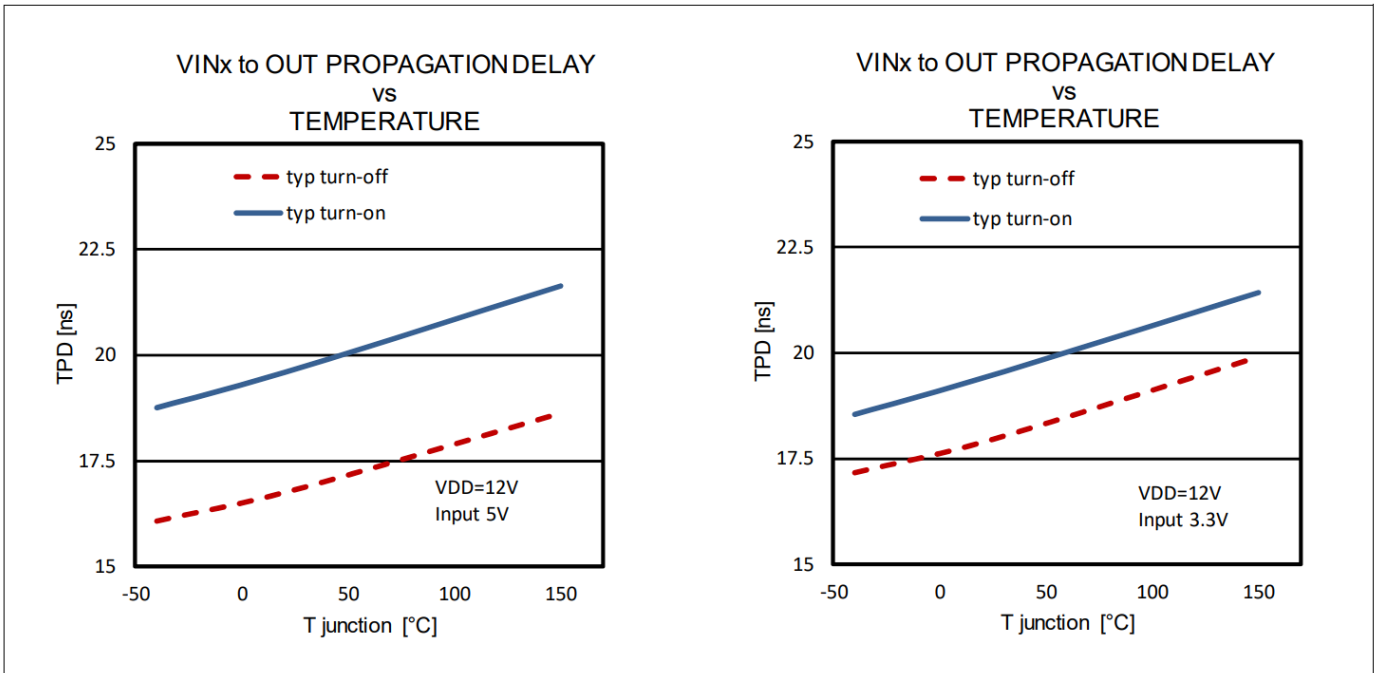


图 12 不同输入逻辑电平的传播延迟 (INx) (见图 6)

典型特征

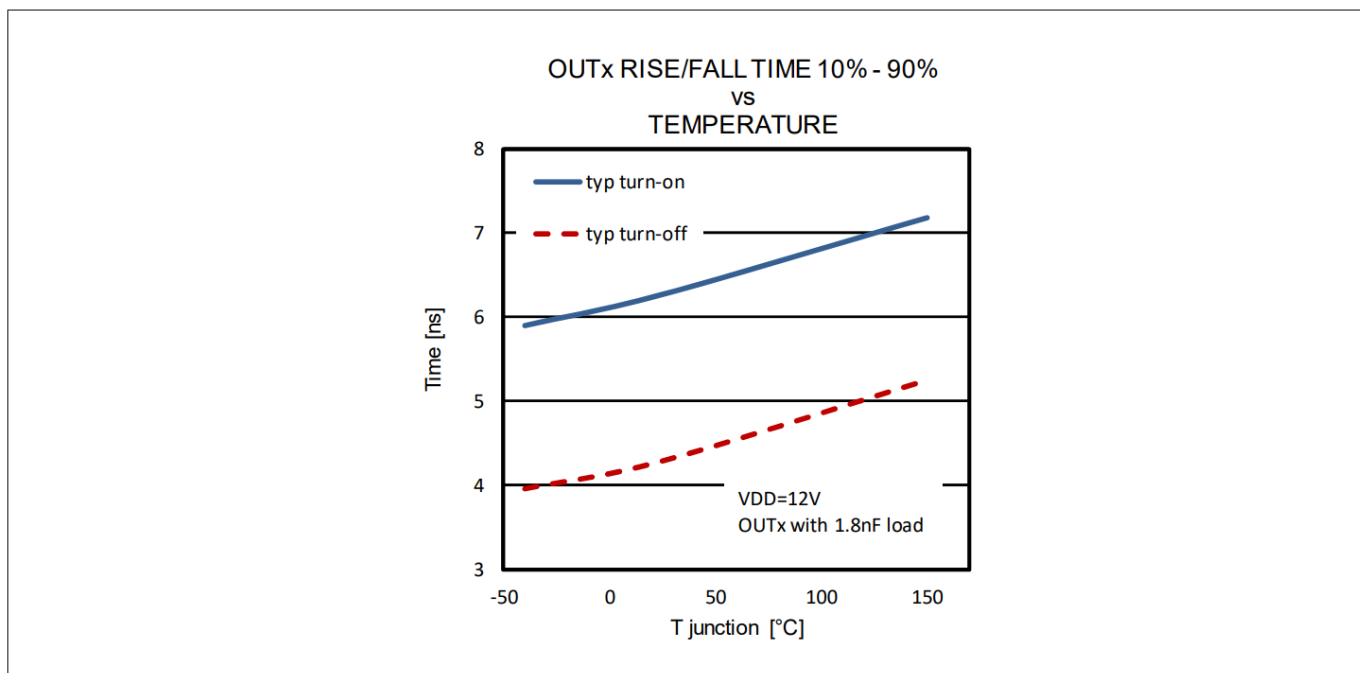


图 13 输出负载时的上升/下降时间

典型特征

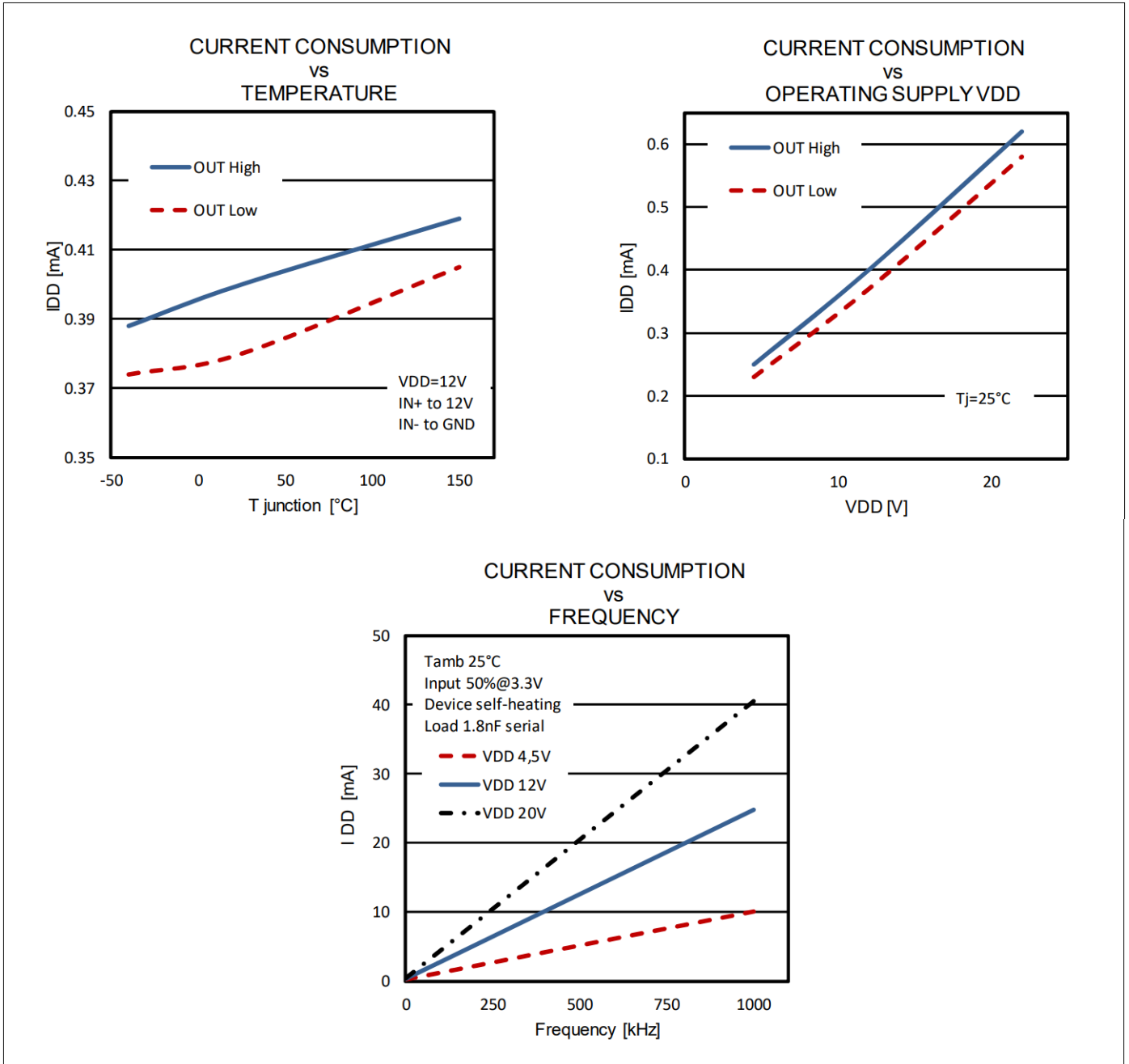


图14 与温度、电压供应和频率相关的功耗

典型特征

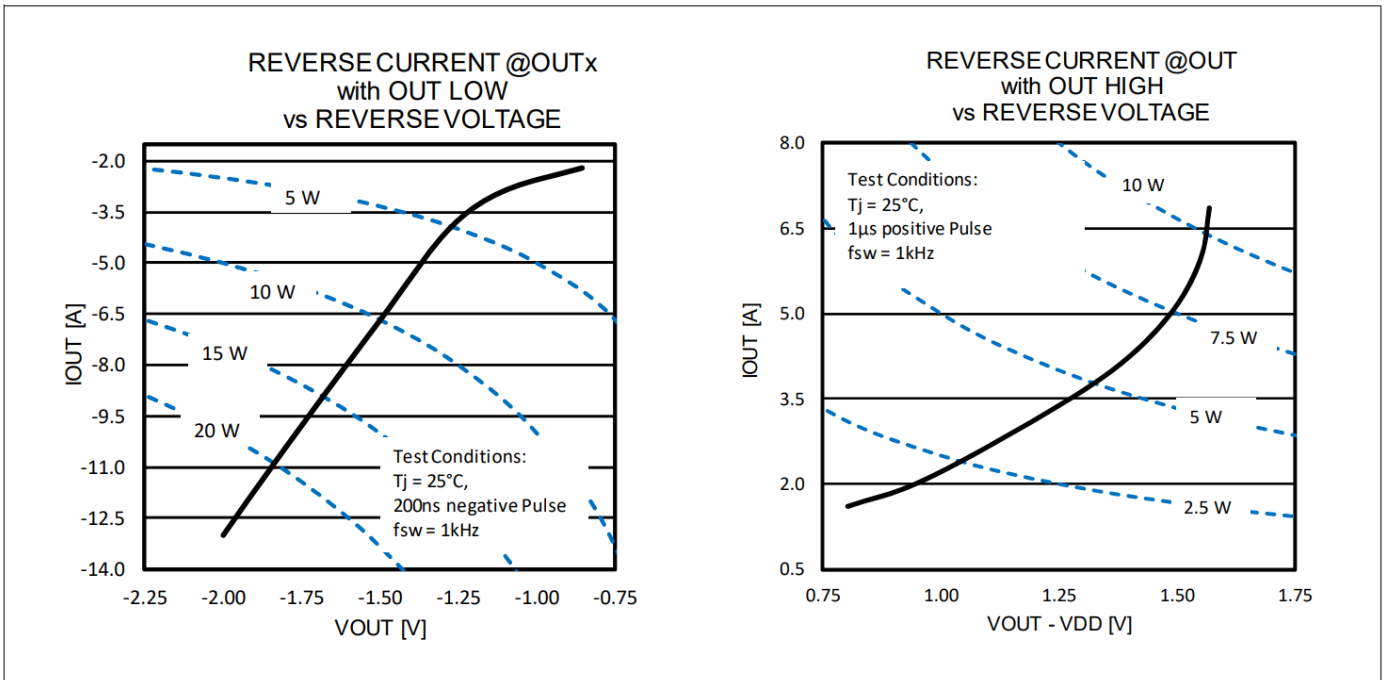


图 15 输出 OUTx 的反向电流和由此产生的功率耗散

封装外形

8 封装外形

注释： 有关封装类型、电路板组装建议的更多信息，请访问：[Infineon packages](https://www.infineon.com/packages).

8.1 设备编号和标记

表 14 设备编号和标记

| Part number | Orderable part number (OPN) | Device marking |
|-------------|-----------------------------|---------------------------|
| 1EDN7511B | 1EDN7511BXUSA1 | 71 |
| 1EDN8511B | 1EDN8511BXUSA1 | 81 |
| 1EDN7512B | 1EDN7512BXTSA1 | 72 |
| 1EDN7512G | 1EDN7512GXTMA1 | 1N7512 AG_XXX HYYWW |

8.2 PG-SOT23-6-2

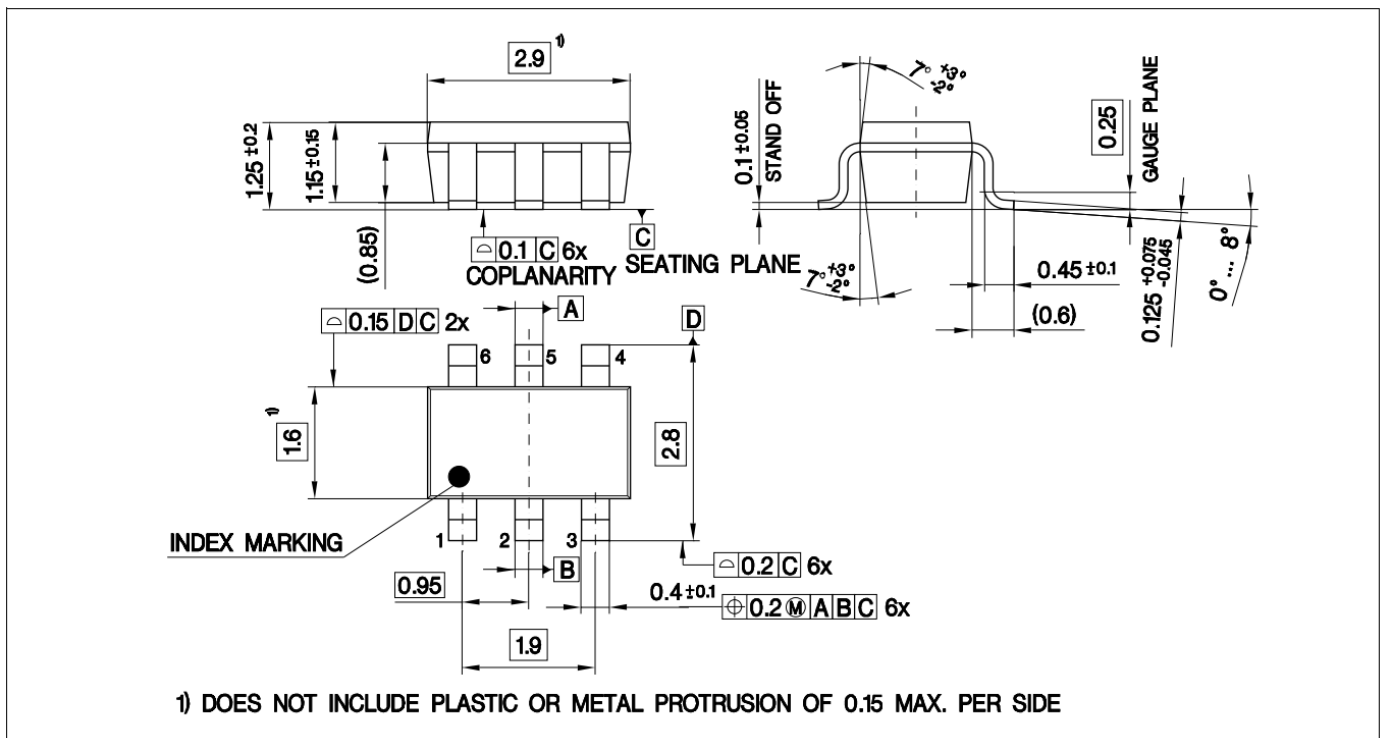


图16 PG-SOT23-6-2外形尺寸

封装外形

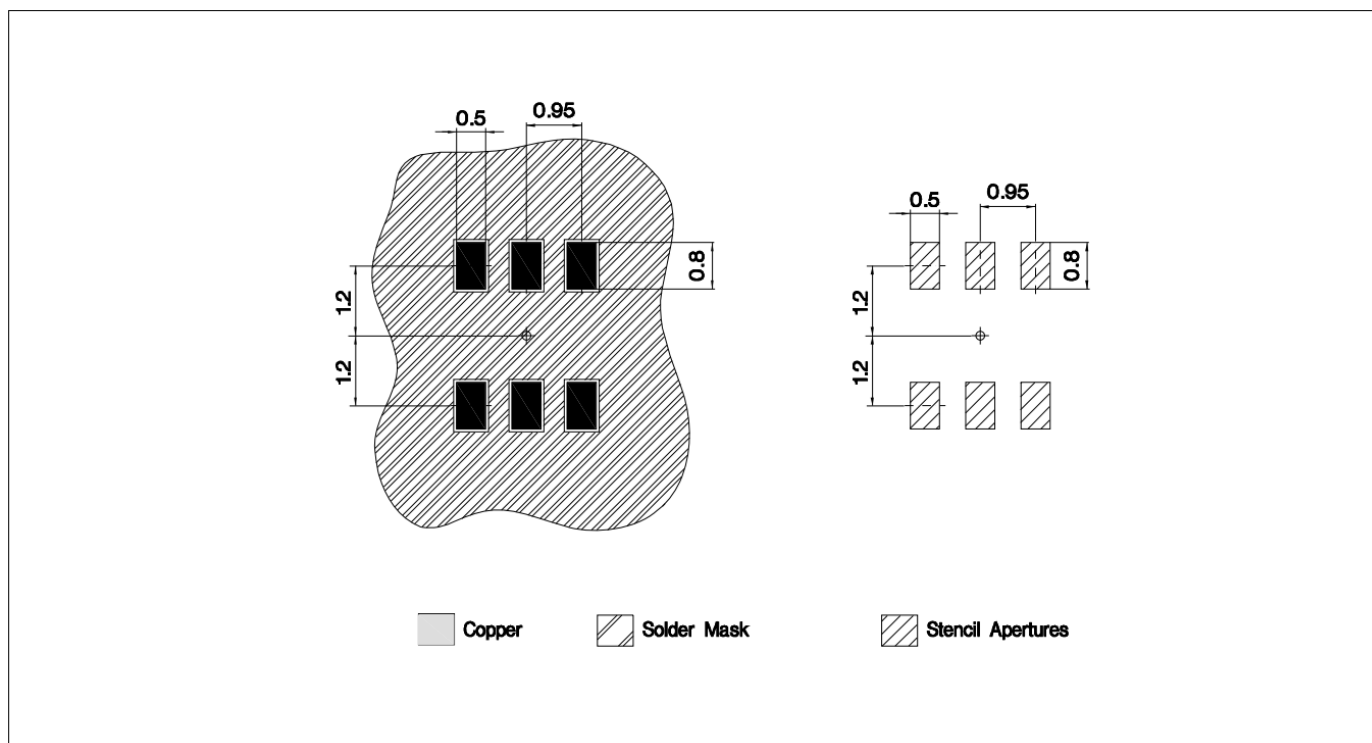


图 17 PG-SOT23-6-2 封装尺寸

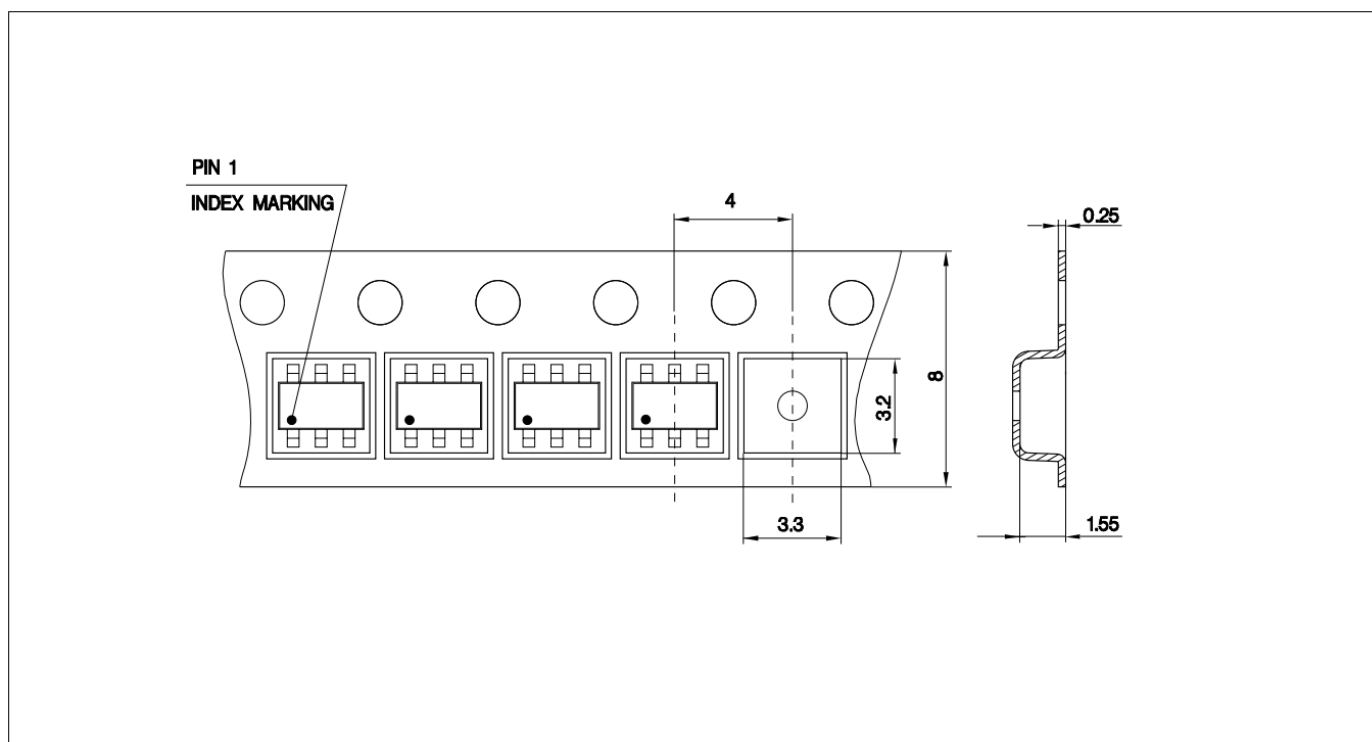


图 18 PG-SOT23-6-2 封装尺寸

封装外形

8.3 PG-SOT23-5-1

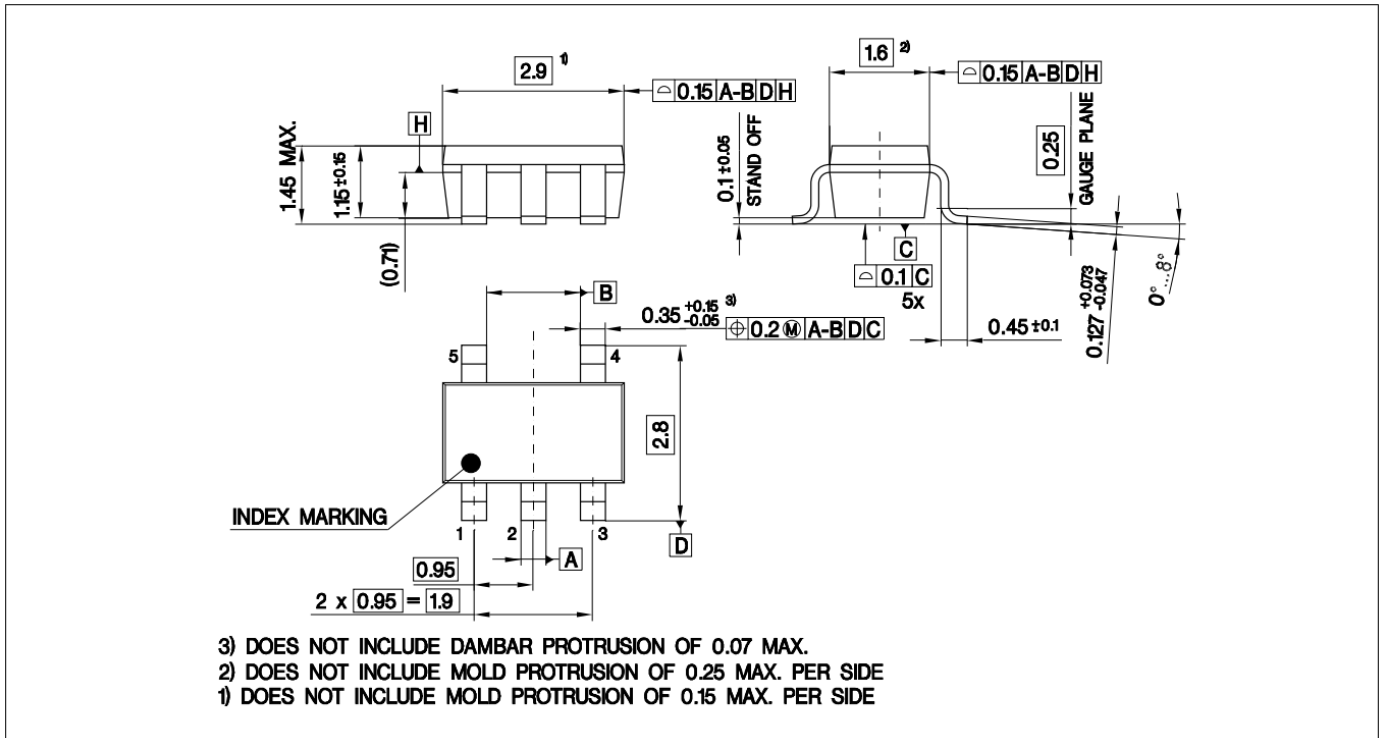


图19 PG-SOT23-5-1外形尺寸

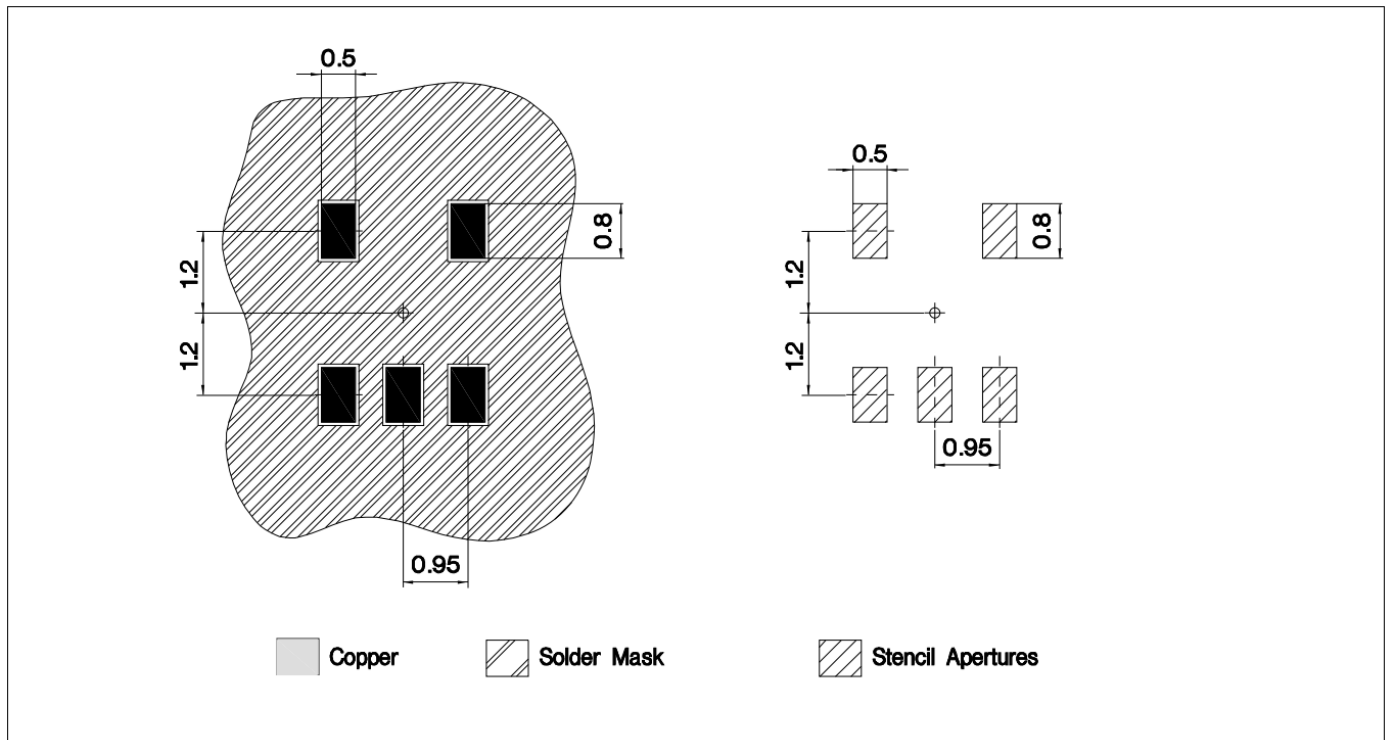


图 20 PG-SOT23-5-1 封装尺寸

封装外形

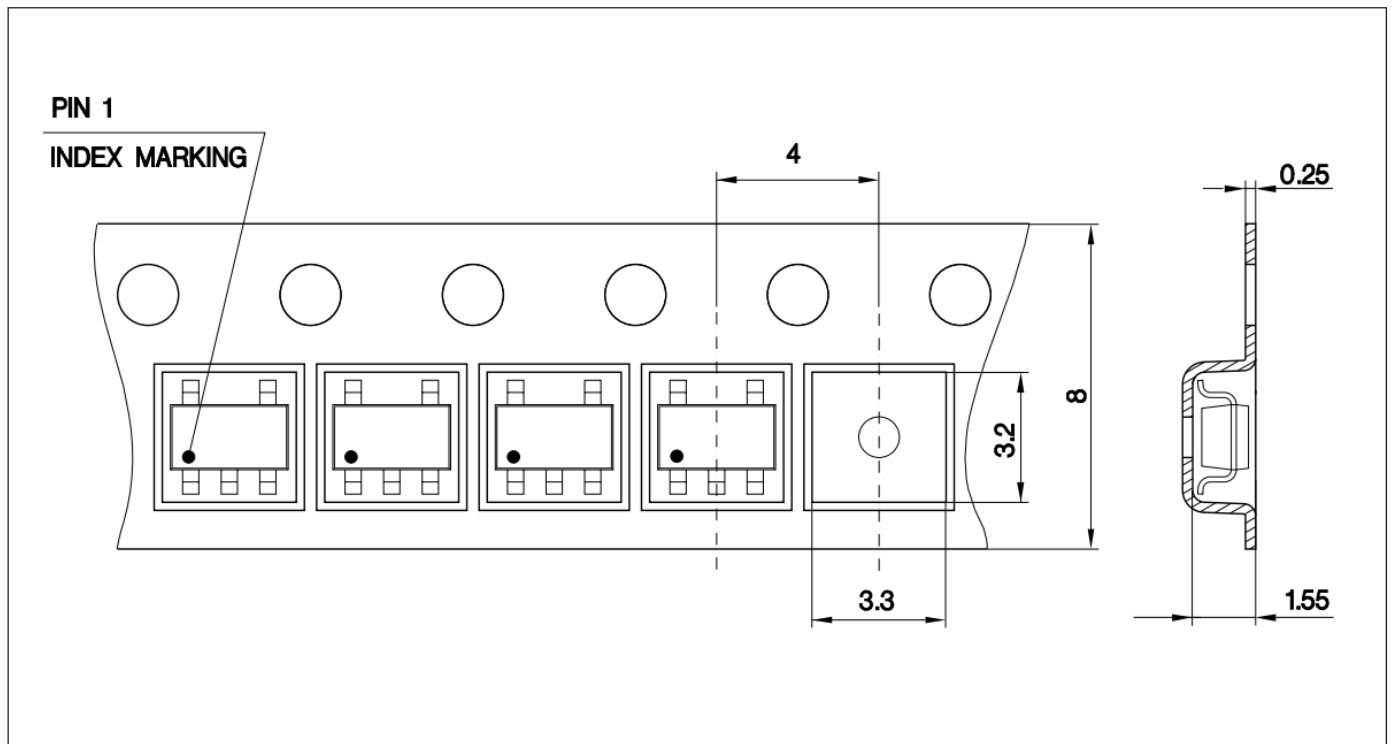


图21 PG-SOT23-5-1封装尺寸

封装外形

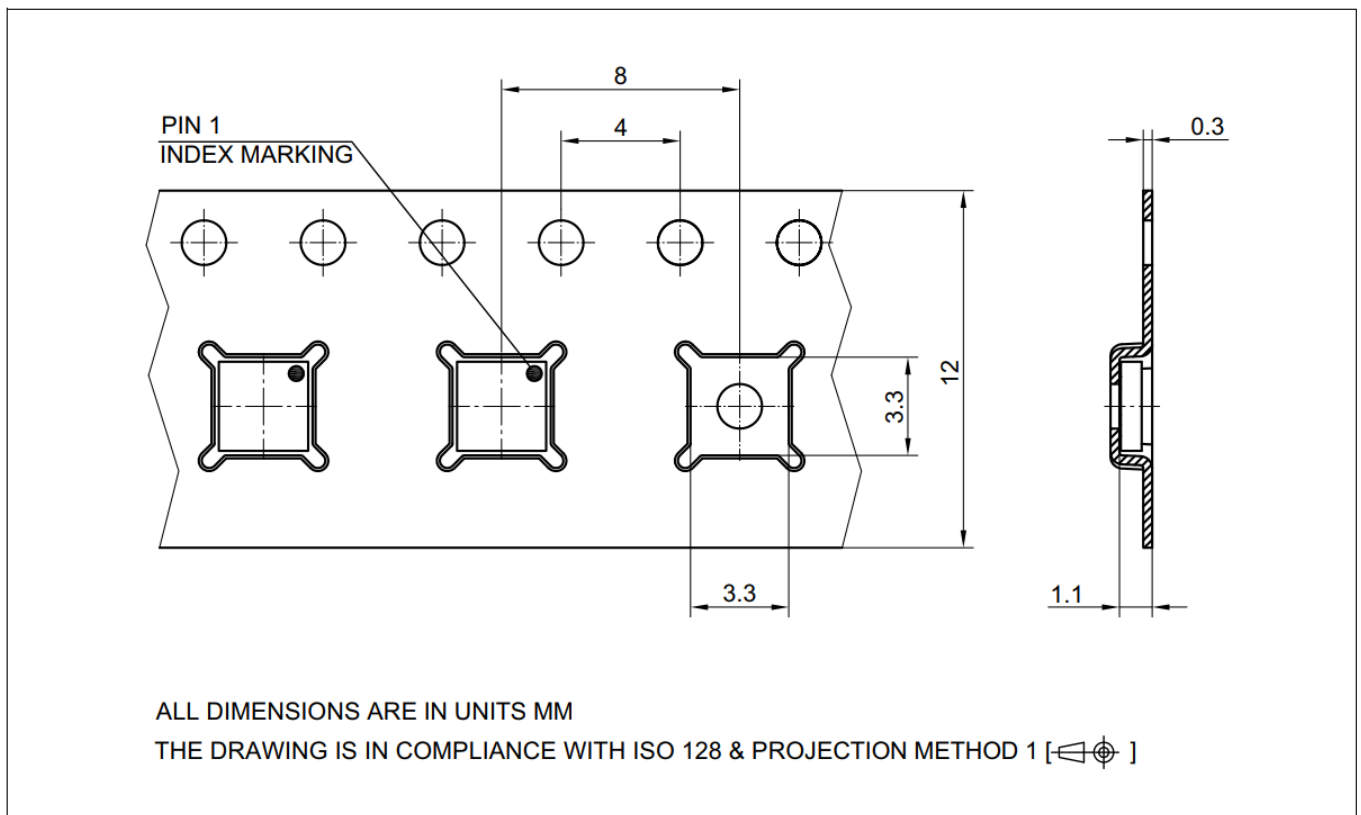


图 24 PG-WSON-6-1 封装尺寸

注释

- 您可以在我们的英飞凌互联网页面“产品”中找到我们所有的封装、包装种类和其他信息：
<https://www.infineon.com/cms/en/product/packages/>
- 引脚描述和方向位于**章节 2**

修订记录

9 修订记录

| Version | Date | Changes |
|---------|------------|--|
| Rev.2.3 | 2022-01-21 | <ul style="list-style-type: none"> Specifications of 1EDN7511B, 1EDN8511B, 1EDN7512B, 1EDN7512G not changed Editorial update in layout, figure and text on first page Editorial update in Product versions, Chapter 1 Added pin numbers in Table 1, Table 2 and Table 3 Added Truth table, Table 4 Updated Absolute maximum ratings for V_{OUT} (Repetitive pulse < 200ns) in Table 5 Added Device numbers and markings, Table 14 |
| Rev.2.2 | 2018-04-20 | <ul style="list-style-type: none"> Updated package diagram PG-WSON-6-1 |
| Rev.2.1 | 2017-10-02 | <ul style="list-style-type: none"> Restructured dimensional tolerances in drawing: Figure 19 |
| Rev.2.0 | 2016-10-25 | <ul style="list-style-type: none"> Symbols correction: Table 12 R_{on_SRC}, R_{on_SNK}, I_{SRC_peak}, I_{SNK_Peak} Insert pulse timing diagram: Figure 8 Added max. and min. values of R_{on_SRC}, R_{on_SNK} in Table 12 |



免责声明

请注意，本文件的原文使用英文撰写，为方便客户浏览英飞凌提供了中文译文。该中文译文仅供参考，并不可作为任何论点之依据。

由于翻译过程中可能使用了自动化程序，以及语言翻译和转换过程中的差异，最后的中文译文与最新的英文版本原文含义可能存在不尽相同之处。

因此，我们同时提供该中文译文版本的最新英文原文供您阅读，请参见 <http://www.infineon.com>

英文原文和中文译文版本之间若存有任何歧异，以最新的英文版本为准，并且仅认可英文版本为正式文件。

您如果使用本文件，即表示您同意并理解上述说明。英飞凌不对因翻译过程中可能存在的任何不完整或不准确信息而产生的任何直接或间接损失或损害负责。英飞凌不承担中文译文版本的完整性和准确性责任。如果您不同意上述说明，请不要使用本文件。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

重要通知

版本 2025-10-30

Infineon Technologies AG 出版，
德国 Neubiberg 85579

版权 © 2025 Infineon Technologies AG
及其关联公司。
保留所有权利。

**Do you have a question about this
document?**

Email:
erratum@infineon.com

Infineon Technologies AG 及其关联公司（以下简称“英飞凌”）销售或提供和交付的产品（可能也包括样品，且可能由硬件或软件或两者组成）（以下简称“产品”），应遵守客户与英飞凌签订的框架供应合同或其他书面协议的条款和条件，如无上合同或其他书面协议，则应遵守适用的英飞凌销售条件。只有在英飞凌明确书面同意的情况下，客户的一般条款和条件或对适用的英飞凌销售条件的偏离才对英飞凌具有约束力。

为避免疑义，英飞凌不承担不侵犯第三方权利的所有保证和默示保证，例如对特定用途/目的的适用性或适销性的保证。

英飞凌对与样品、应用或客户对任何产品的具体使用有关的任何信息或本文中给出的任何示例或典型值概不负责。

本文件中包含的数据仅供具有技术资格和技能的客户代表使用。客户有责任评估产品对预期应用和客户特定用途的适用性，并在预期应用和客户特定用途中验证本文件中包含的所有相关技术数据。客户有责任正确设计、编程和测试预期应用的功能性和安全性，并遵守与其使用相关的法律要求。

除非英飞凌另行明确批准，否则产品不得用于任何因产品故障或使用产品的任何后果可合理预期会导致人身伤害的应用。但是，上述规定并不妨碍客户在英飞凌明确设计和销售的使用领域中使用任何产品，但是客户对应用负有全部责任。

英飞凌明确保留根据适用法律，如《德国版权法》（UrhG）第 44b 条，将其内容用于商业资料和数据探勘（TDM）的权利。

如果产品包含安全功能：

由于任何计算设备都不可能绝对安全，尽管产品采取了安全措施，但英飞凌不保证产品不会被入侵、数据不会被盗或遗失，或不会发生其他漏洞（以下简称“安全漏洞”），英飞凌对任何安全漏洞不承担任何责任。

如果本文档包含或引用软件：

根据美国、德国和世界其他国家的知识产权法律和条约，该软件归英飞凌所有。英飞凌保留所有权利。因此，您只能按照软件附带的软件授权协议的规定使用本软件。

如果没有适用的软件授权协议，英飞凌特此授予您个人的、非排他性的、不可转让的软件知识产权授权（无权转授权）：(a) 对于以源代码形式提供的软件，仅在贵组织内部修改和复制该软件用于英飞凌硬件产品；及 (b) 对于以二进制代码 (binary code) 形式对外向终端用户分发该软件，仅得用于英飞凌硬件产品。禁止对本软件进行任何其他使用、复制、修改、翻译或编译。有关产品、技术、交货条款和条件以及价格的详细信息，请联系离您最近的英飞凌办公室或访问 <https://www.infineon.com>。