XDP™ XDP7xx-00x 热插拔应用的 PCB 布局指南

关于本文档

范围与目的

本应用笔记介绍了对于英飞凌 XDP™ XDP7xx-00x 热插拔应用至关重要的 PCB 布局指南。其他 PCB 设计指南可参见参考文献 [1] 和 [7]。

本文档虽以 XDP711-001 为对象进行说明，但所述 PCB 布局指南亦适用于英飞凌 XDP710-002 及同类热插拔控制器产品。

适用对象

本文档适用于在设计中使用英飞凌 XDP711-001、XDP710-002 及 XDP™ XDP7xx 系列其他产品的工程师和开发人员。

XDP™

XDP™ 是专为特定应用优化 IC 而设计的高性能数字功率控制器。可实现高能效和极低待机功耗的数字算法、可提高灵活性和简化开发工作的数字参数配置、以及优化的物料清单（BoM），让该系列控制器成为一系列应用的理想选择：

- 电信
- 数据中心与计算
- SMPS

目录

目录

关于本文档 1
1 概述 3
1.1 XDP711-001 3
1.2 缩略语 3
2 PCB 布局指南 5
2.1 栅极驱动器 5
2.2 电流检测 6
2.3 电源 8
2.4 温度检测 10
2.5 功率 MOSFET 11
3 PCB 布局示例 13
4 结论 19
参考文献 20
修订历史 21
免责声明 22

1 概述

1.1 XDP711-001

英飞凌热插拔控制器（如 XDP711-001）具有宽输入电压范围和可编程数字 SOA 控制功能，是人工智能（AI）服务器和电信基础设施的理想选择 [2]。这些热插拔控制器具备以下关键特性：高精度 AFE、丰富的系统警告与保护、通过 PMBus® 与主 CPU 高速通信、复位、关断、重试、数字 SOA 控制栅极驱动器，以及用于实现受控导通和安全运行的电荷泵。XDP711-001 的典型应用框图如图 1 所示。有关引脚配置、封装、产品特性、功能及应用的更多信息，请参见 XDP7xxx 的数据手册 [3]、[4]、[5]。

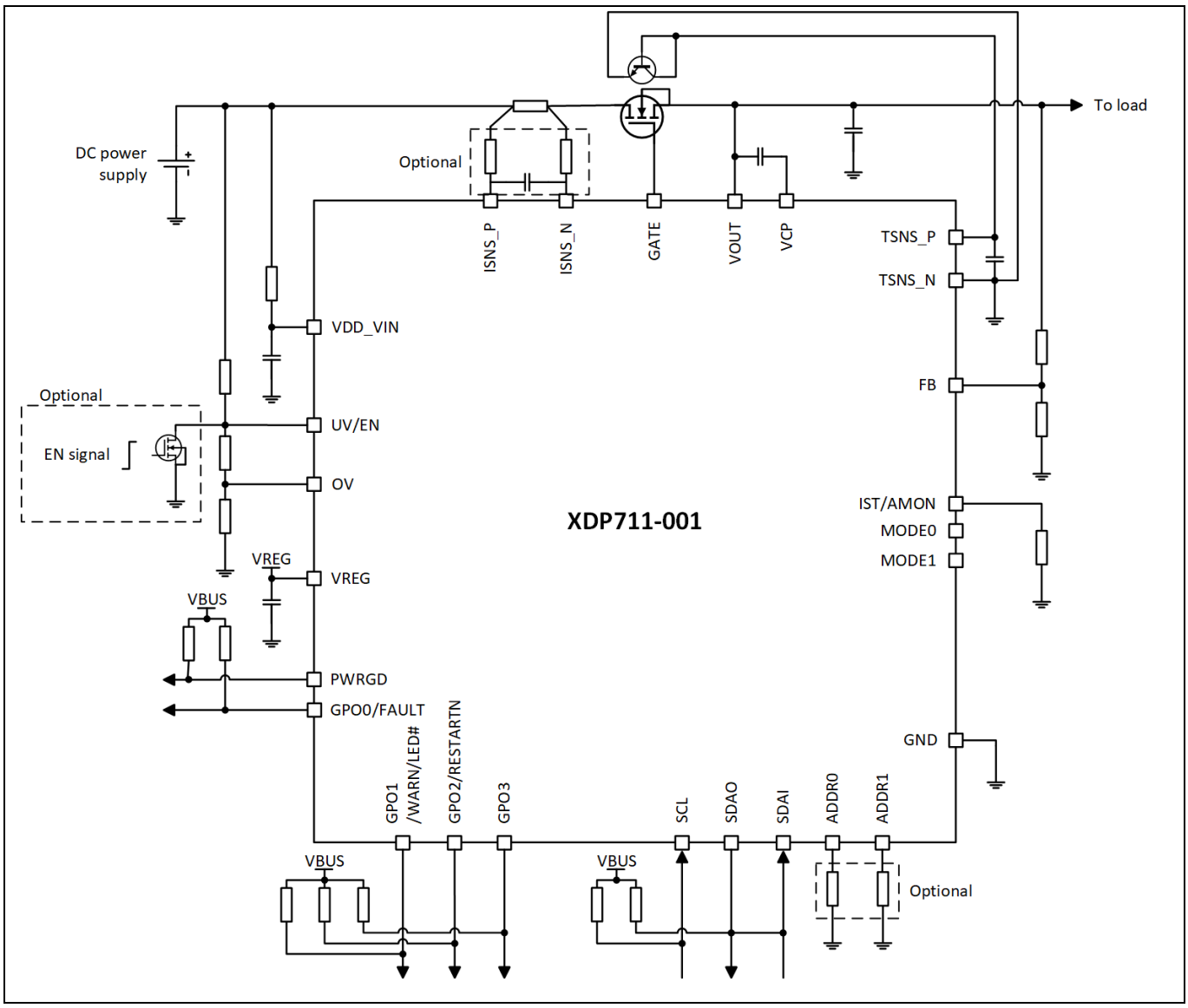

图 1 XDP711-001 的应用框图

1.2 缩略语

表 1 缩略语

缩略语	定义
AFE	模拟前端
AI	人工智能
BJT	双极结型晶体管
CPU	中央处理器
EN	使能
GND	地
GPO	通用输出
IC	集成电路
LED	发光二极管
MOSFET	金属氧化物半导体场效应晶体管
N/U	未使用、未安装
NPN	负-正-负
OV	过压
PCB	印刷电路板
PMBus®	电源管理总线
PWRGD	电源正常
SMD	表面贴装器件
UV	欠压

2 PCB 布局指南

2.1 栅极驱动器

图 2 为 XDP711-001 的栅极驱动器原理图。GATE 经电阻接至各功率 MOSFET 的栅极，VOUT 接源极。VCP 为集成电荷泵的储能电容引脚，需通过外部电容 C2 连接至 VOUT 引脚。推荐 PCB 布局见图 3。

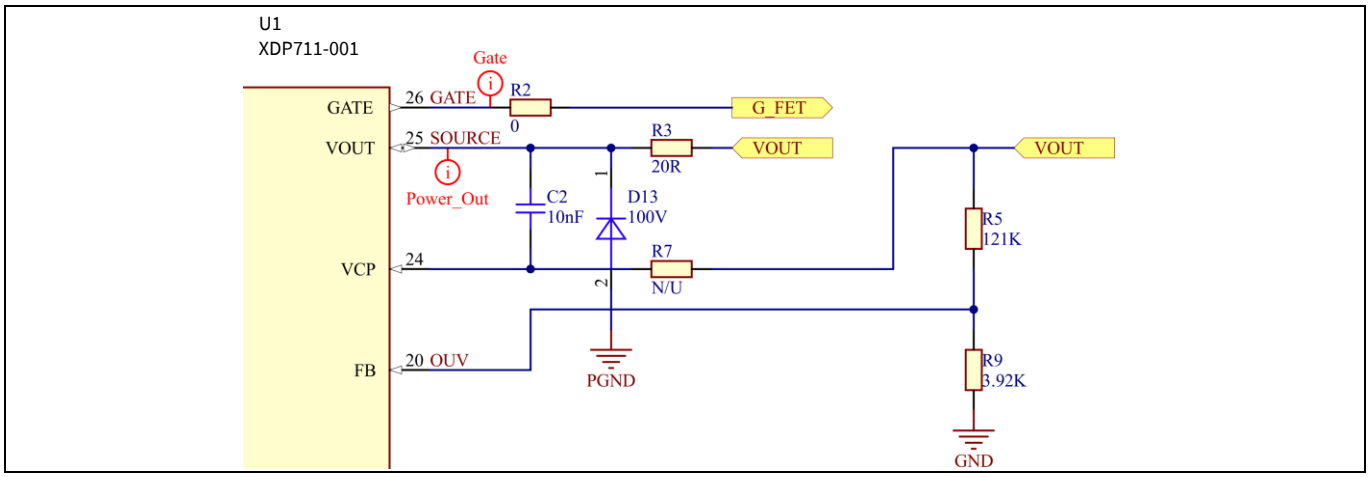

图 2 XDP711-001 的栅极驱动器原理图

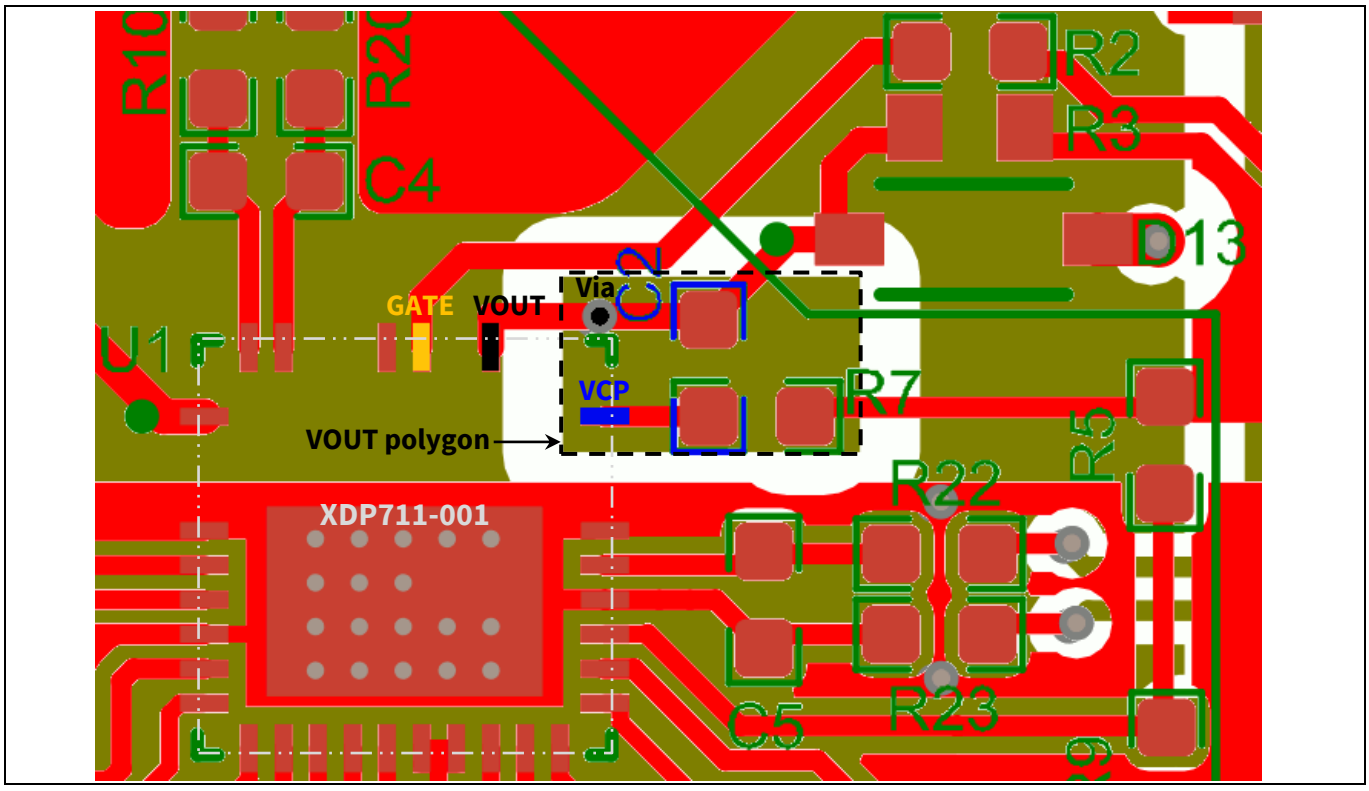

图 3 PCB 顶层（红色）与中间层 2（绿色）

推荐 PCB 布局：

1. VCP 电容 C2 应尽可能靠近 VCP 引脚布置

2. **重要**：在 VCP 引脚及 VCP 电容焊盘正下方的相邻层（本例为中间层 2）铺设 VOUT 覆铜，并通过一个（或多个）过孔将该覆铜连接至 VOUT 信号
3. 尽可能减小 VCP 焊盘、VCP 走线及与 VCP 引脚相连焊盘的覆铜面积。本例中，电容 C2 与电阻 R7 因不会同时安装，故共用同一 VCP 信号焊盘。
4. 将 GATE 和 VOUT 的走线并排布线，以最小化栅极电流回路
5. 为 XDP711-001 的裸露焊盘布置尽可能多的 GND 过孔，以确保裸露焊盘与 GND 可靠连接。

2.2 电流检测

图 4 为 XDP711-001 的电流检测原理图。推荐 PCB 布局见图 5。

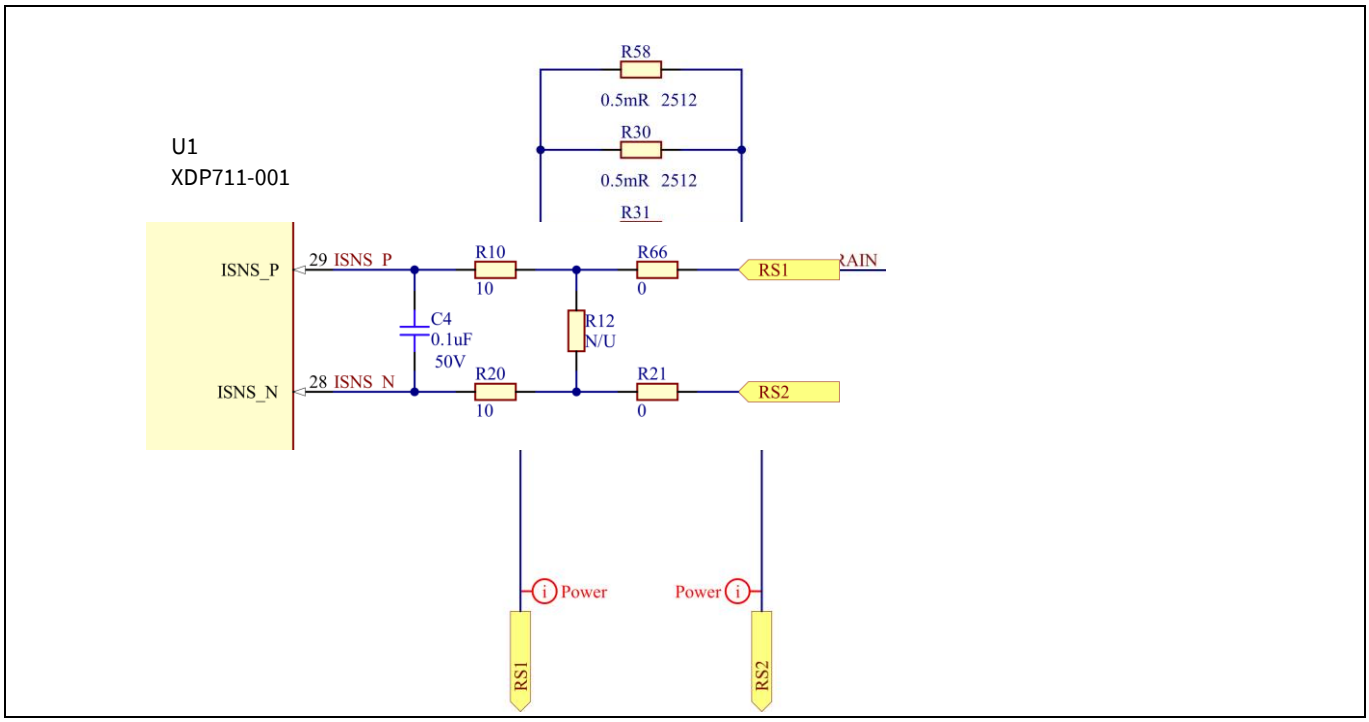

图 4 XDP711-001 的电流检测原理图

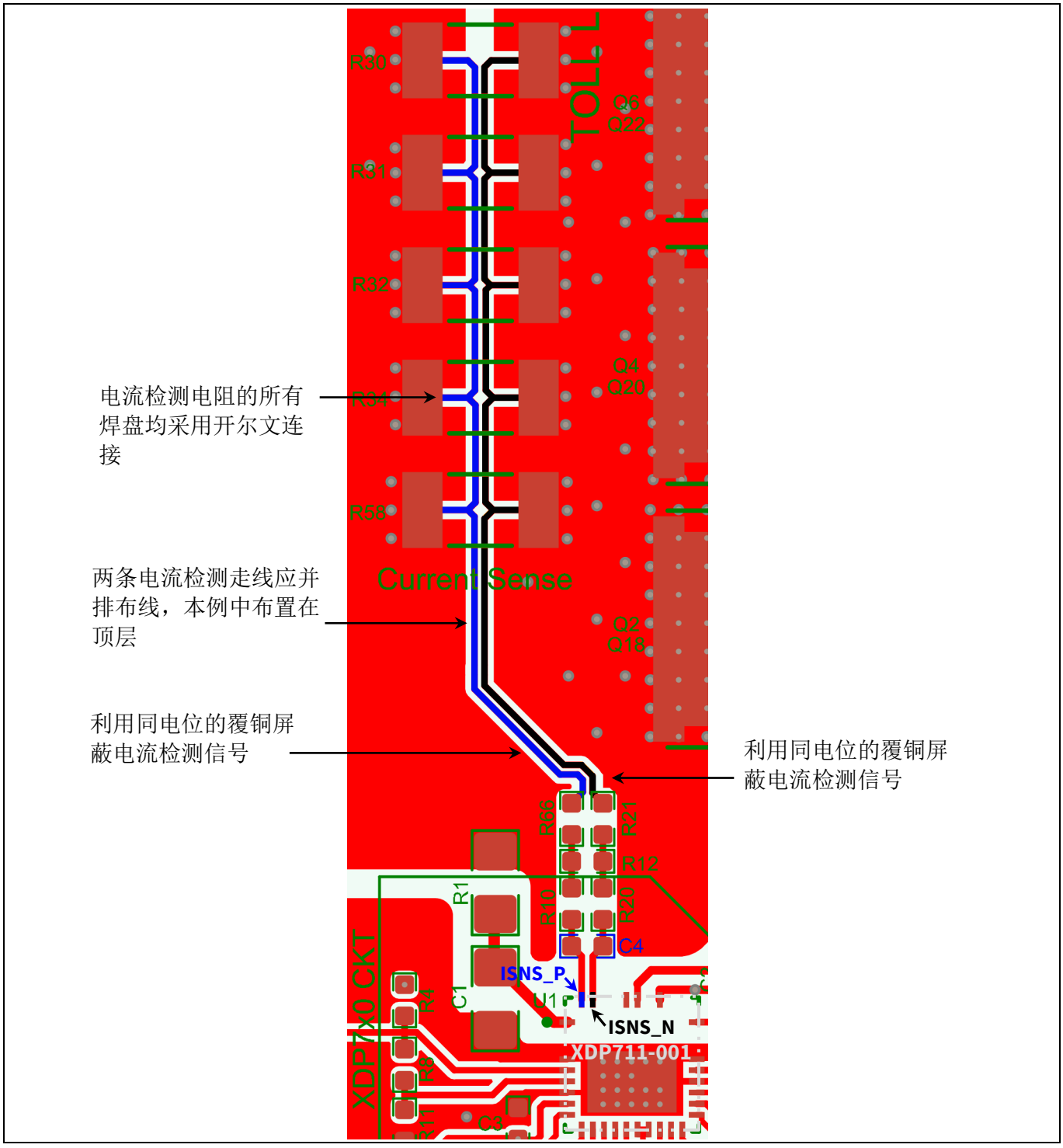

图 5 电流检测的 PCB 顶层布局

推荐 PCB 布局:

1. 电流检测电阻的每个焊盘均采用开尔文连接。图 6 给出了几个开尔文连接的示例
2. 将连接至 XDP711-001 的 ISNS_P 和 ISNS_N 引脚的两条电流检测信号走线并排布线
3. 使用覆铜屏蔽这两个电流检测信号
4. 将 ISNS 滤波电容（C4）靠近 XDP711-001 的 ISNS_P 和 ISNS_N 引脚布置

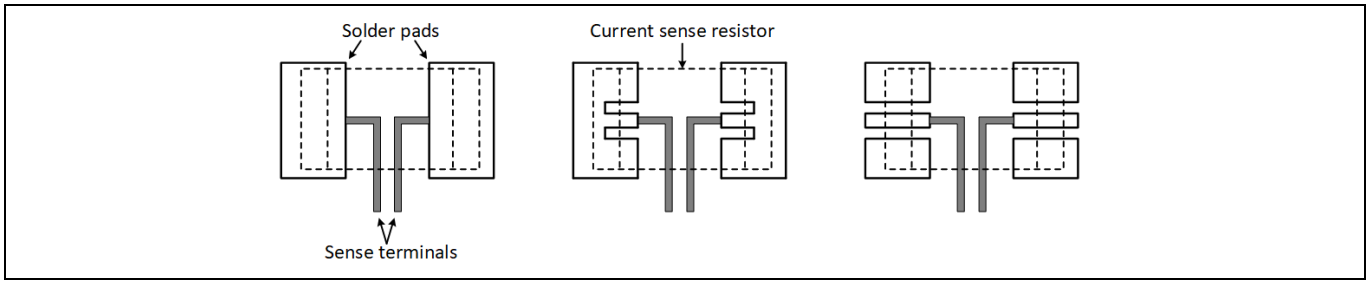

图 6 电流检测电阻的开尔文连接示例

2.3 电源

图 7 为 XDP711-001 的 VDD_VIN 与 VREG 引脚电源去耦原理图。图 8 为按推荐指南实现的 PCB 布局。

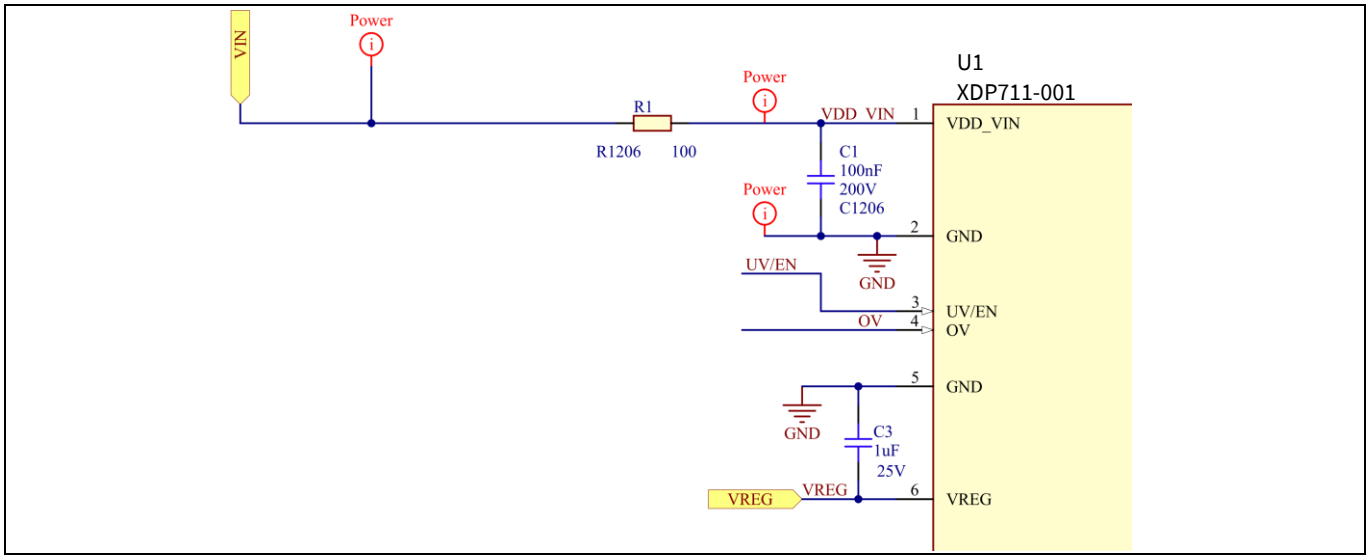

图 7 XDP711-001 的电源去耦原理图

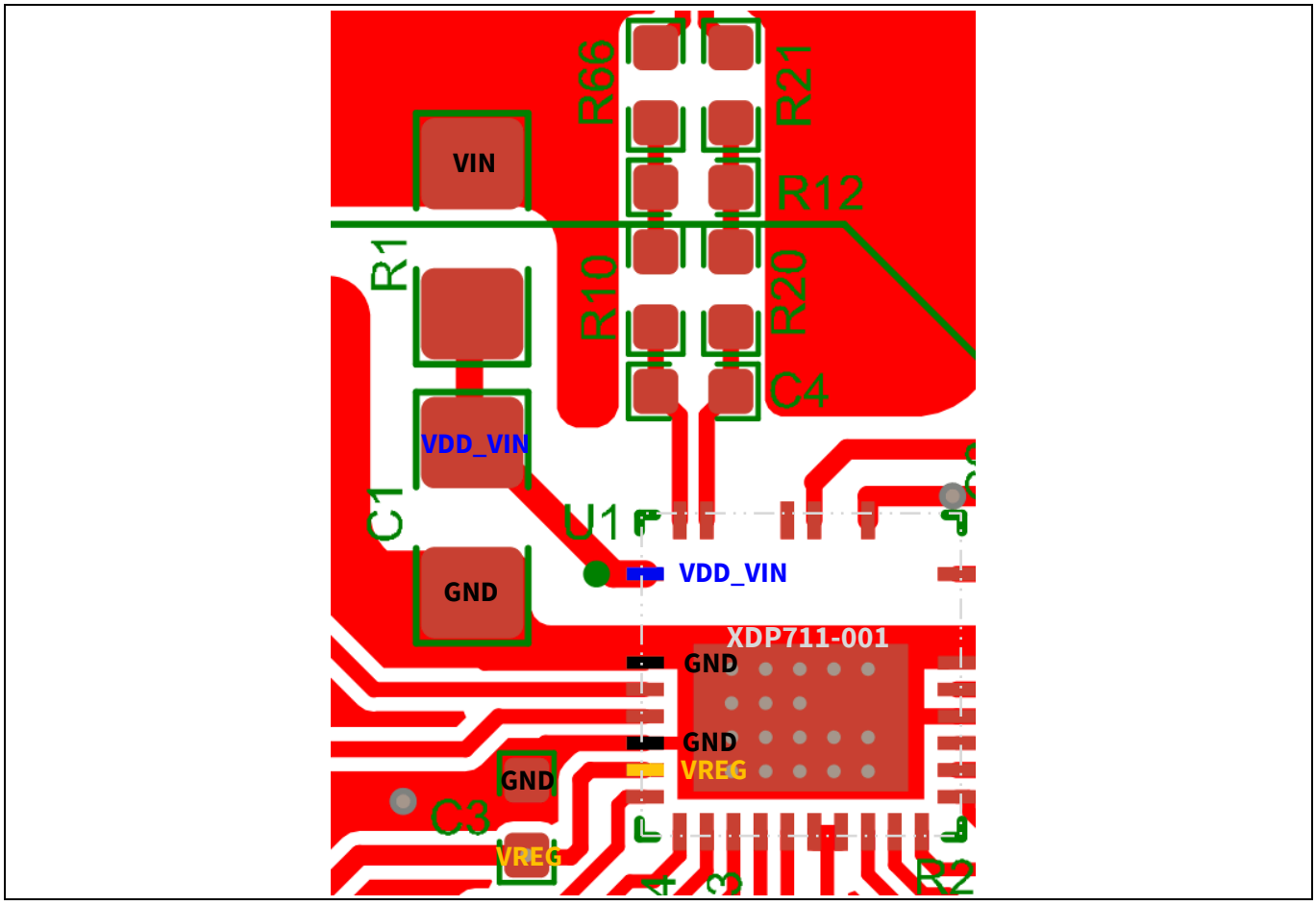

图 8 电源去耦的 PCB 顶层布局

推荐 PCB 布局:

1. 将 VDD_VIN 去耦电容 C1 靠近电源引脚 VDD_VIN 布置
2. 将 VREG 去耦电容 C3 紧邻 VREG 引脚布置
3. 去耦电容 C1、C3 的 GND 焊盘应通过短走线连接至 XDP711-001 的 GND 引脚和裸露焊盘，以尽量减小 GND 返回路径的环路面积和阻抗

XDP711-001 整个 IC 的最大内部电流消耗为 10 mA，而 VREG 引脚可向外部负载提供的最大电流为 10 mA。因为流入 VDD_VIN 引脚的最大电流为 10 mA + 10 mA = 20 mA，故 VDD_VIN 走线无需过粗。当 I_{R1} = 20 mA 时，VDD_VIN 滤波电阻 R1（100 Ω）的功耗可按以下公式计算:

$$P_{R1} = I_{R1}^2 R1 = 0.04\ \text{W}$$

公式 1

因此，R1 的 SMD 电阻封装可采用 0402，但考虑到高温（超过额定环境温度，通常 70°C）下的功率降额，建议选用 0603 或更大尺寸。

2.4 温度检测

图 9 为 XDP711-001 使用外部 NPN BJT 晶体管（Q1）进行温度检测的原理图。图 10 为按推荐指南实现的 PCB 布局。

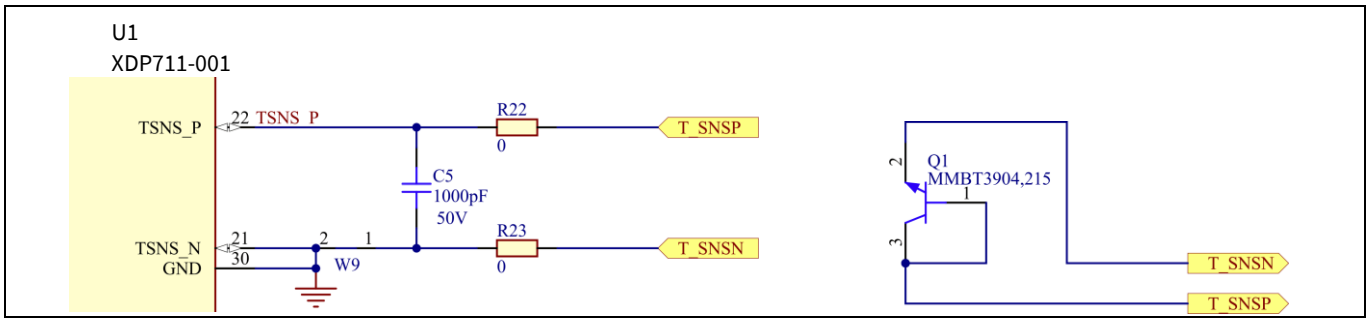

图 9 XDP711-001 的温度检测原理图

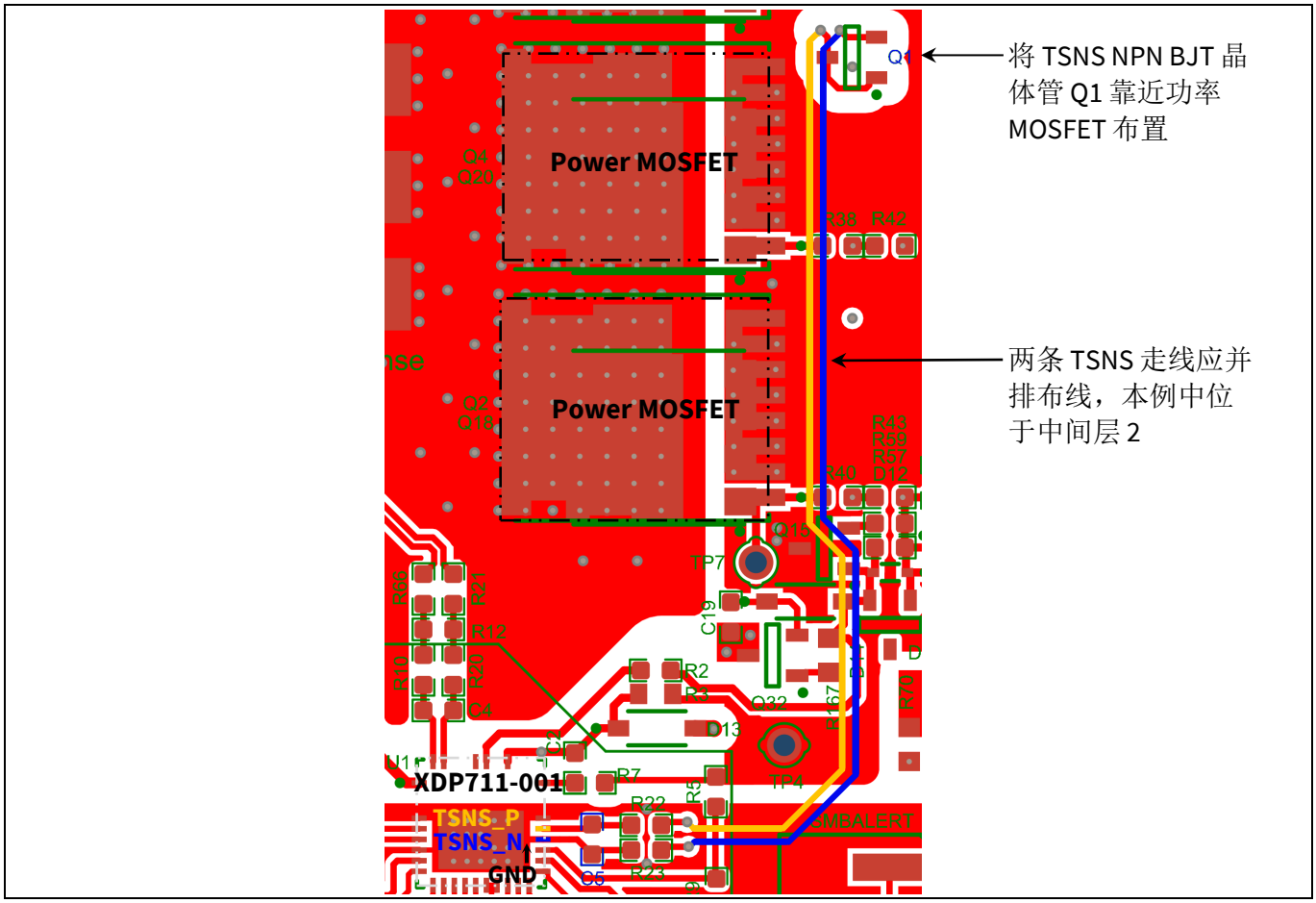

图 10 PCB 顶层（红色）与中间层 2（仅显示金色和蓝色 TSNS 走线）

推荐 PCB 布局:

1. 将 TSNS BJT 晶体管（Q1）靠近功率 MOSFET 或测温点布置
2. 将两条 TSNS 走线并排布线，本例中位于中间层
3. 将 TSNS 滤波电容（C5）靠近 XDP711-001 的 TSNS_P 和 TSNS_N 引脚布置。

4. 将 TSNS_N 引脚直接连接至 XDP711-001 的裸露焊盘

2.5 功率 MOSFET

图 11 为外部功率 MOSFET 的原理图（以 IPT017N10NM5LF2 [6] 为例）。图 12 为按推荐指南实现的 PCB 顶层布局。部分功率 MOSFET 和栅极电阻（Rg 电阻）位于底层，因布局相似而未在图中显示。

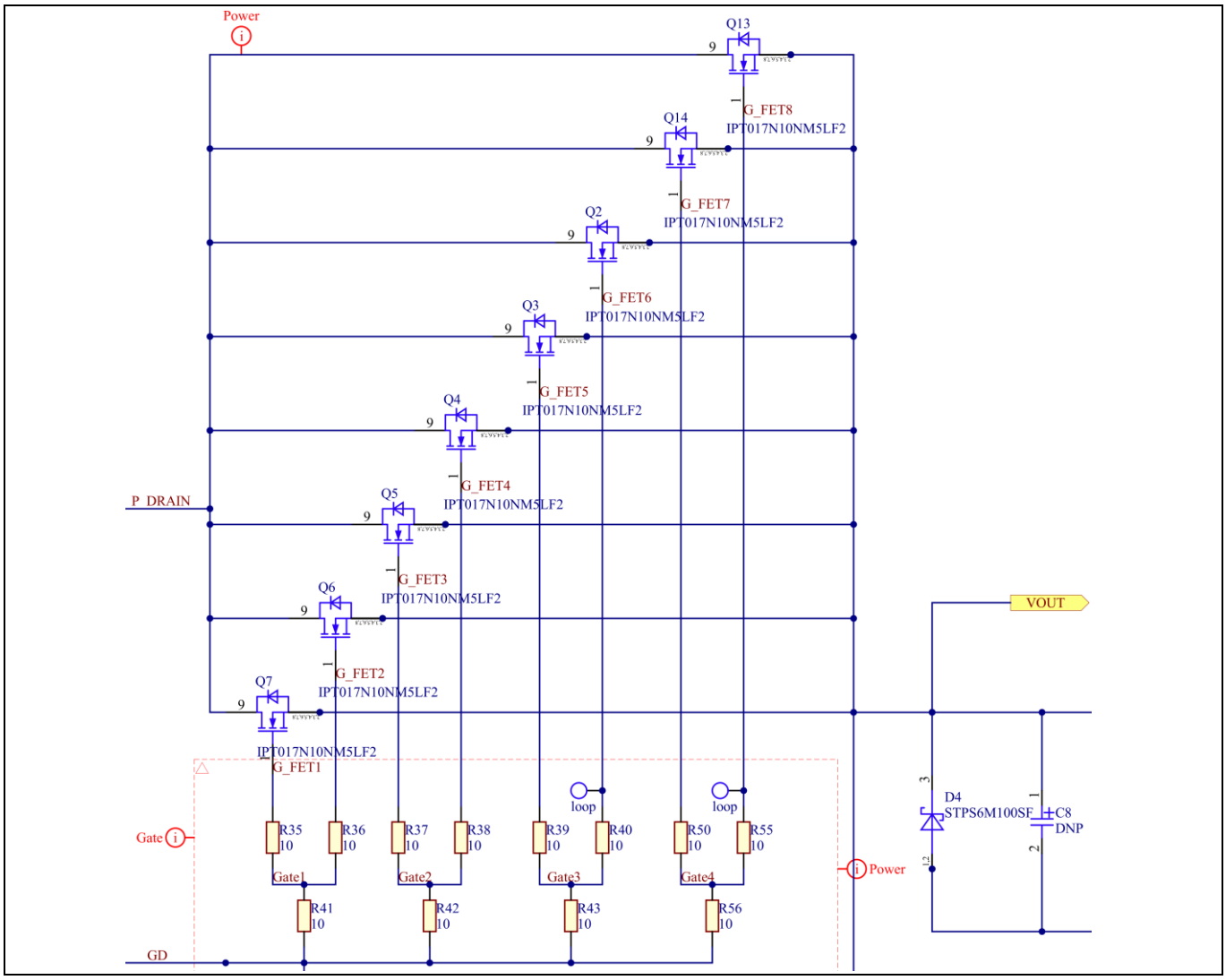

图 11 功率 MOSFET 及栅极电阻的原理图

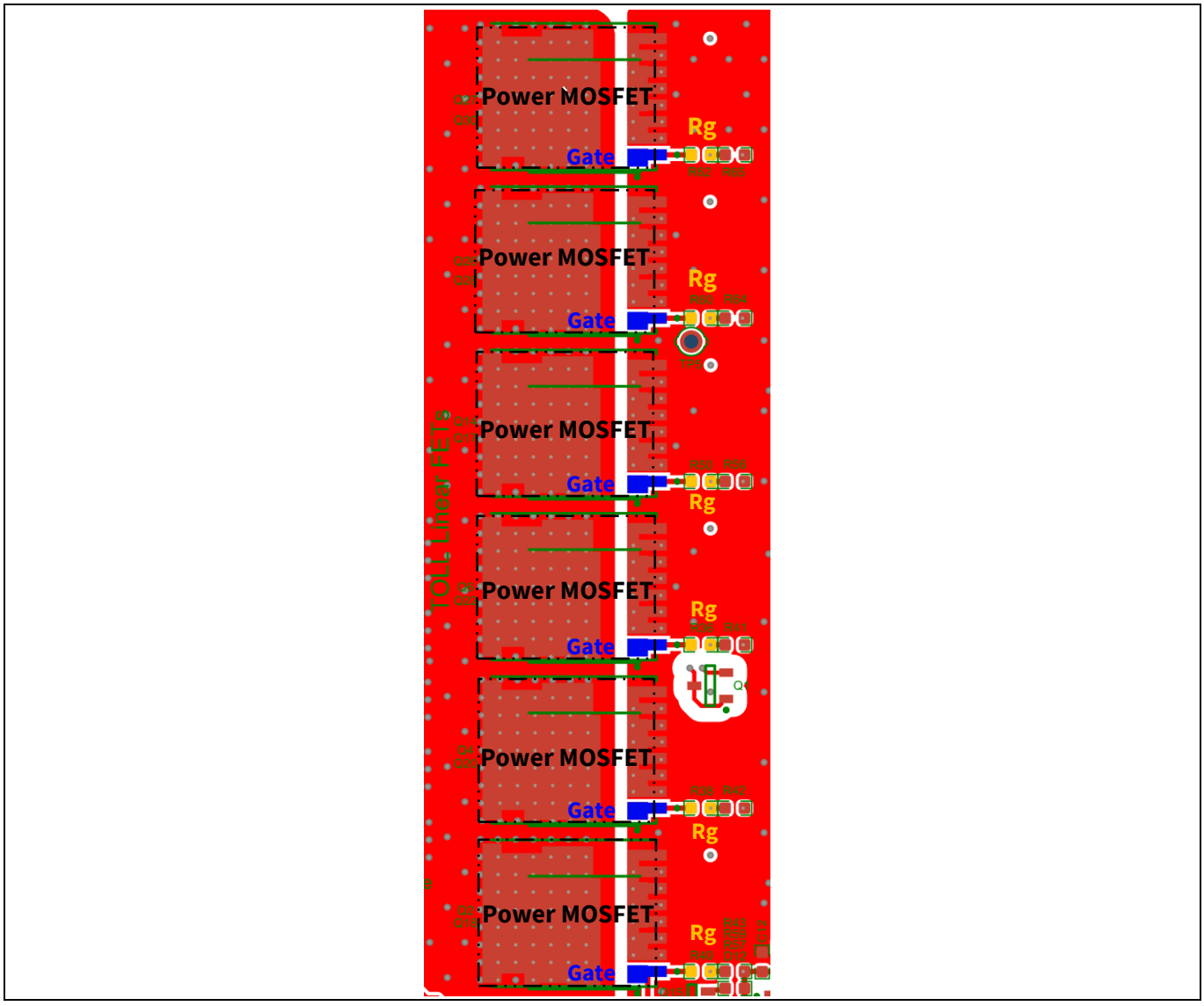

图 12 顶层的功率 MOSFET 与 Rg 电阻布局

推荐 PCB 布局:

1. 将 Rg 电阻靠近相应功率 MOSFET 的栅极引脚布置
2. 功率 MOSFET 的漏极和源极应采用实心直接连接，以承载大负载电流
3. 为功率 MOSFET 的漏极和源极布置尽可能多的过孔，以实现大电流路径与其他 PCB 层之间的可靠连接

3 PCB 布局示例

图 13 至图 18 给出了一个 4 kW 参考设计的 PCB 布局示例，适用于 XDP711-001 或 XDP710-002 热插拔应用，并已遵循本应用笔记中的全部 PCB 布局指南。

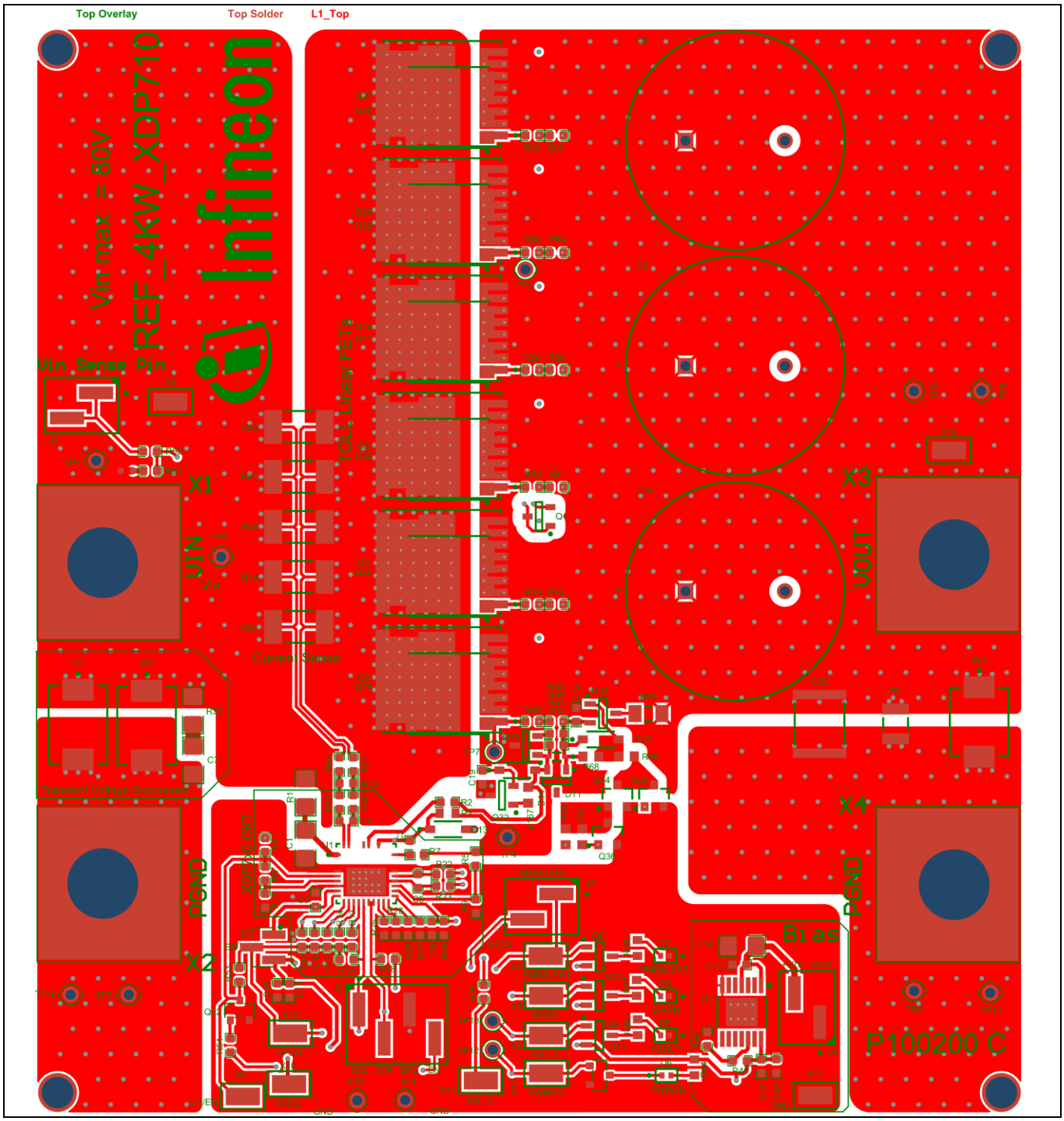

图 13 PCB 顶层

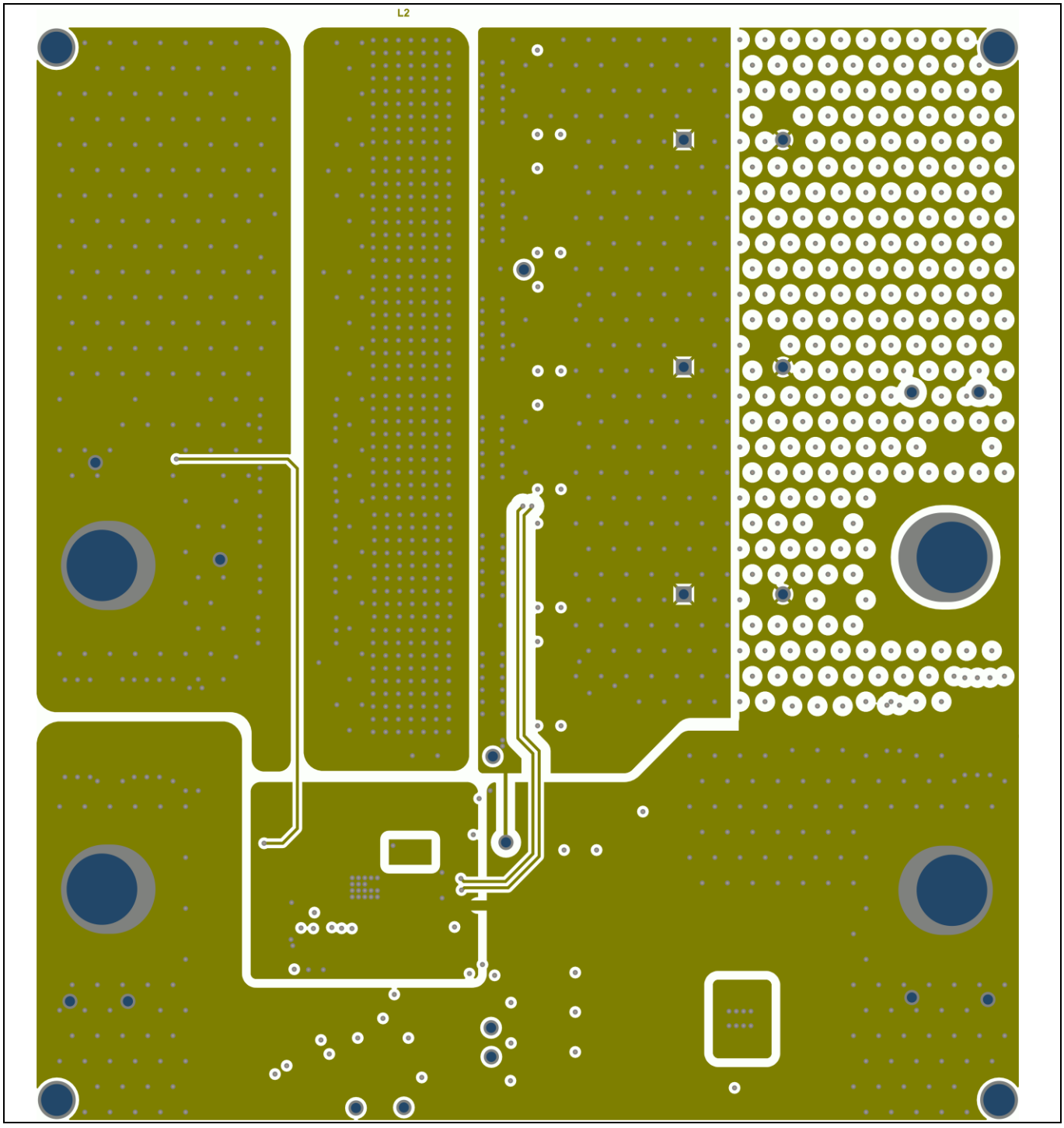

图 14 PCB 中间层 2

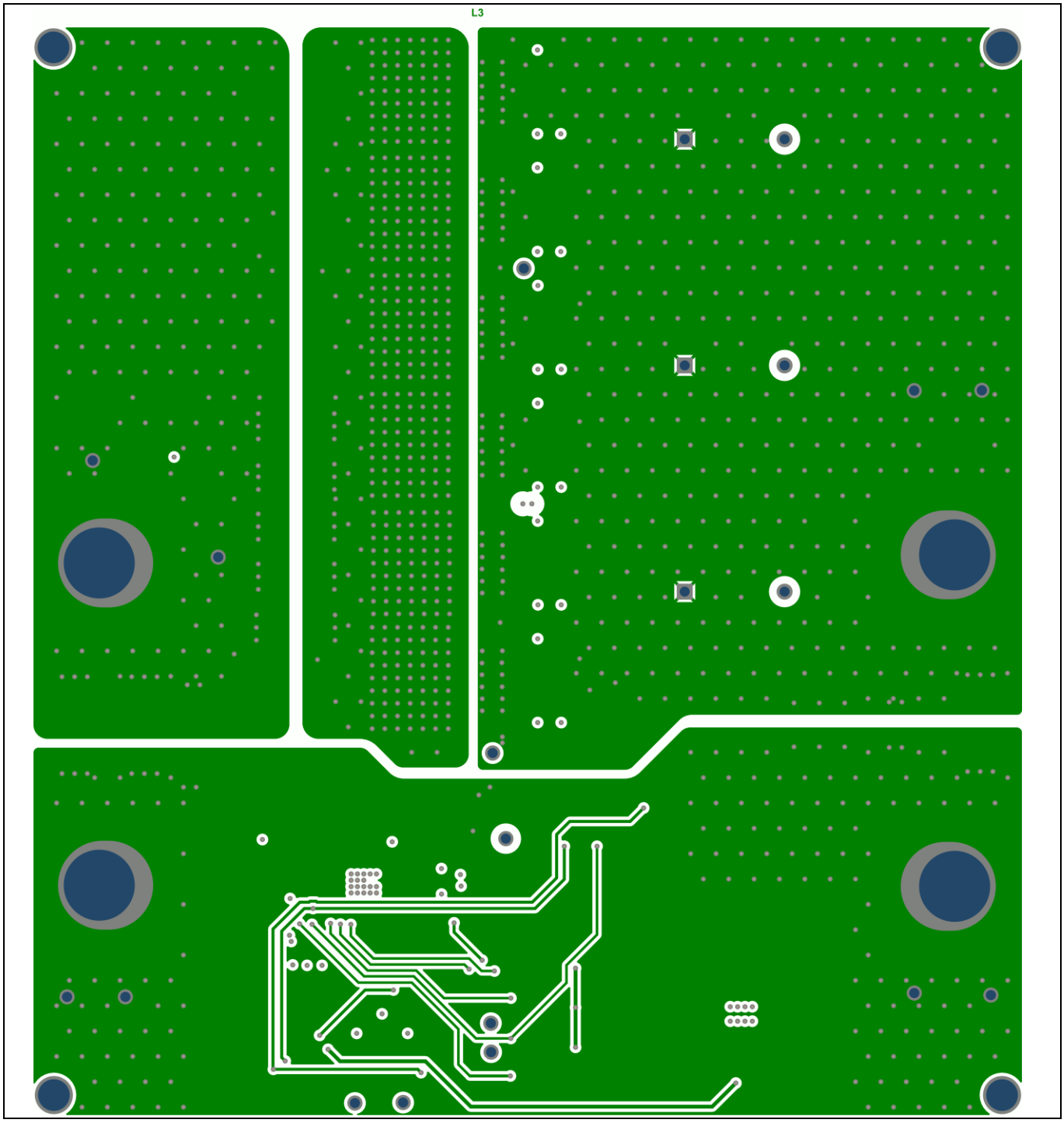

图 15 PCB 中间层 3

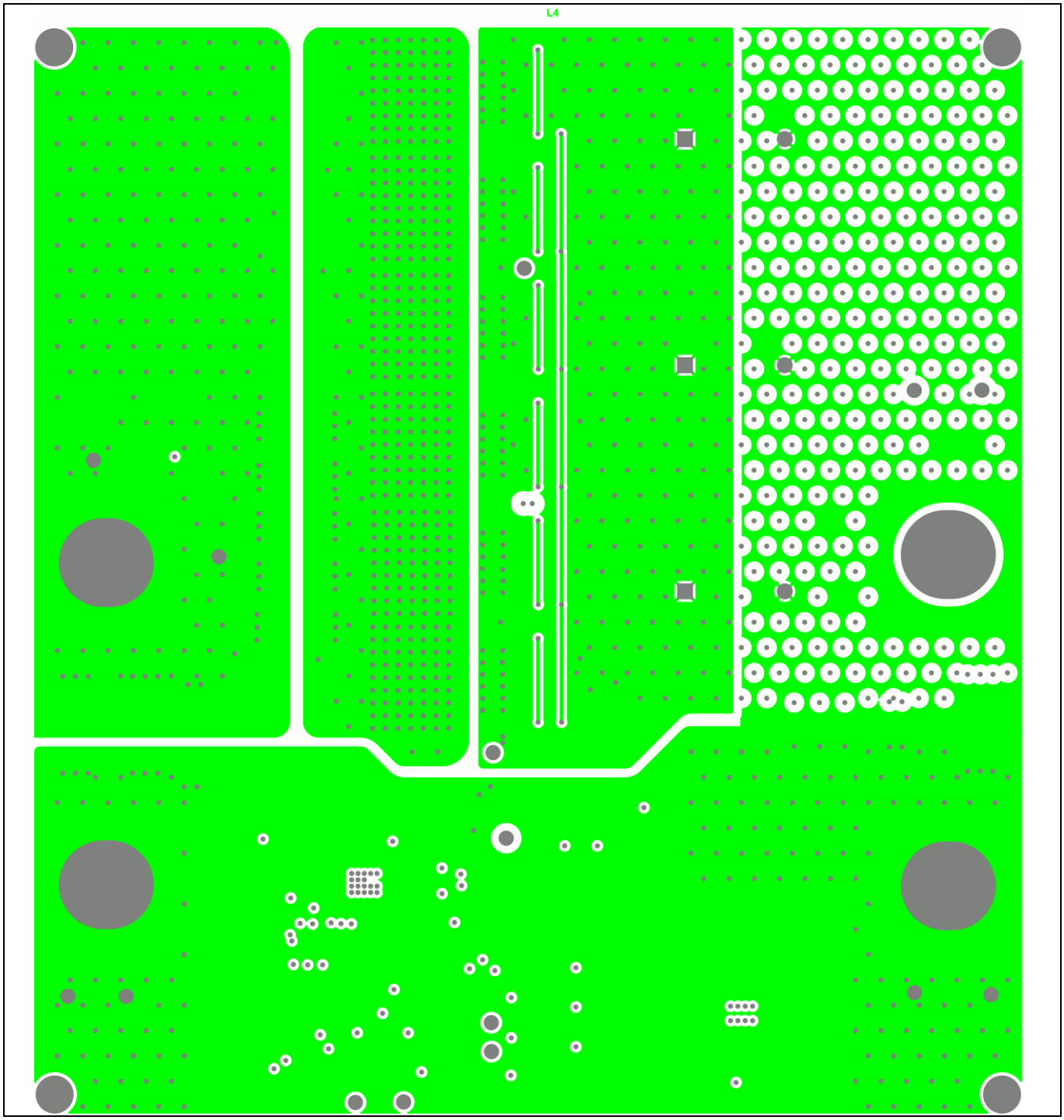

图 16 PCB 中间层 4

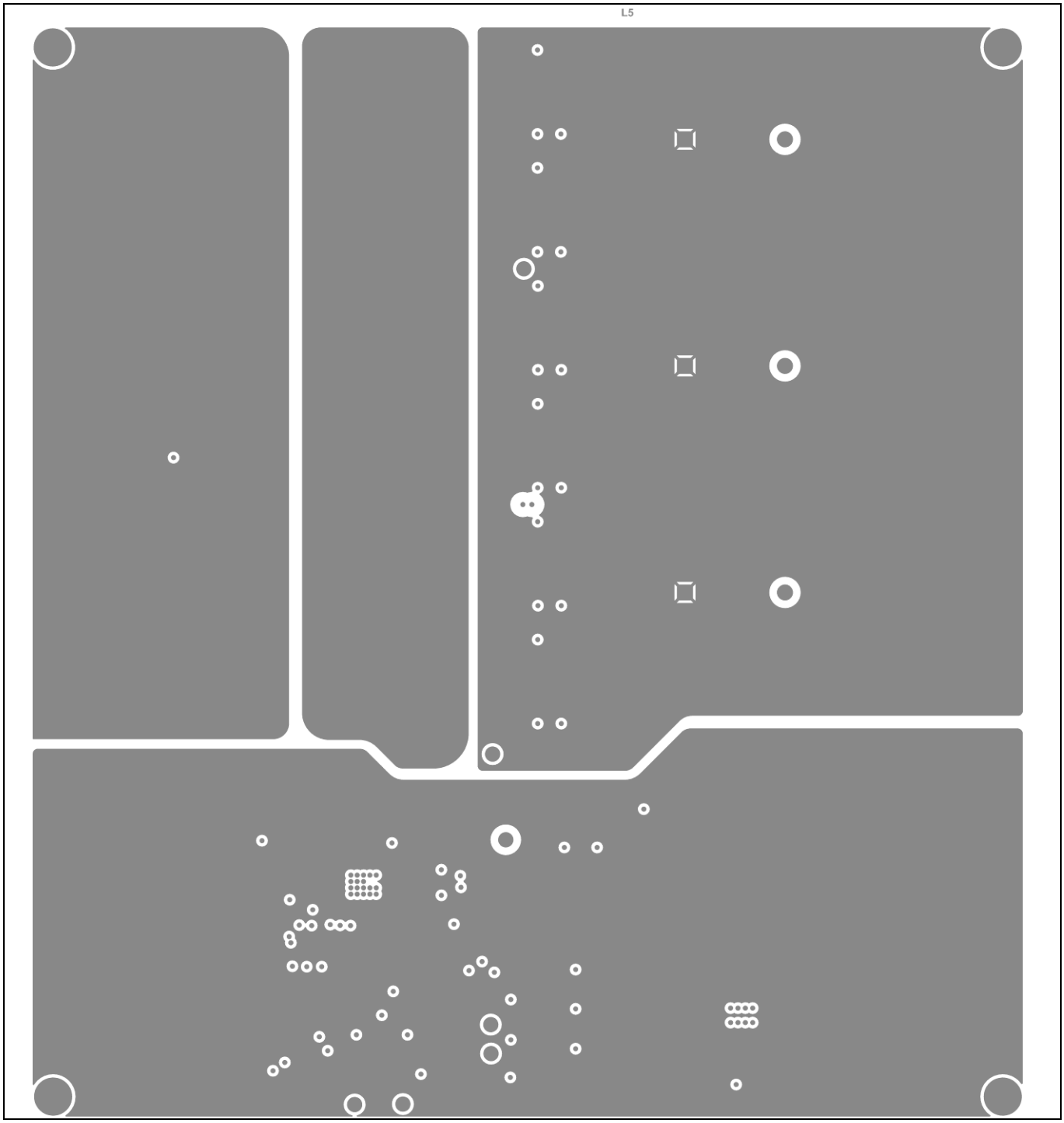

图 17 PCB 中间层 5

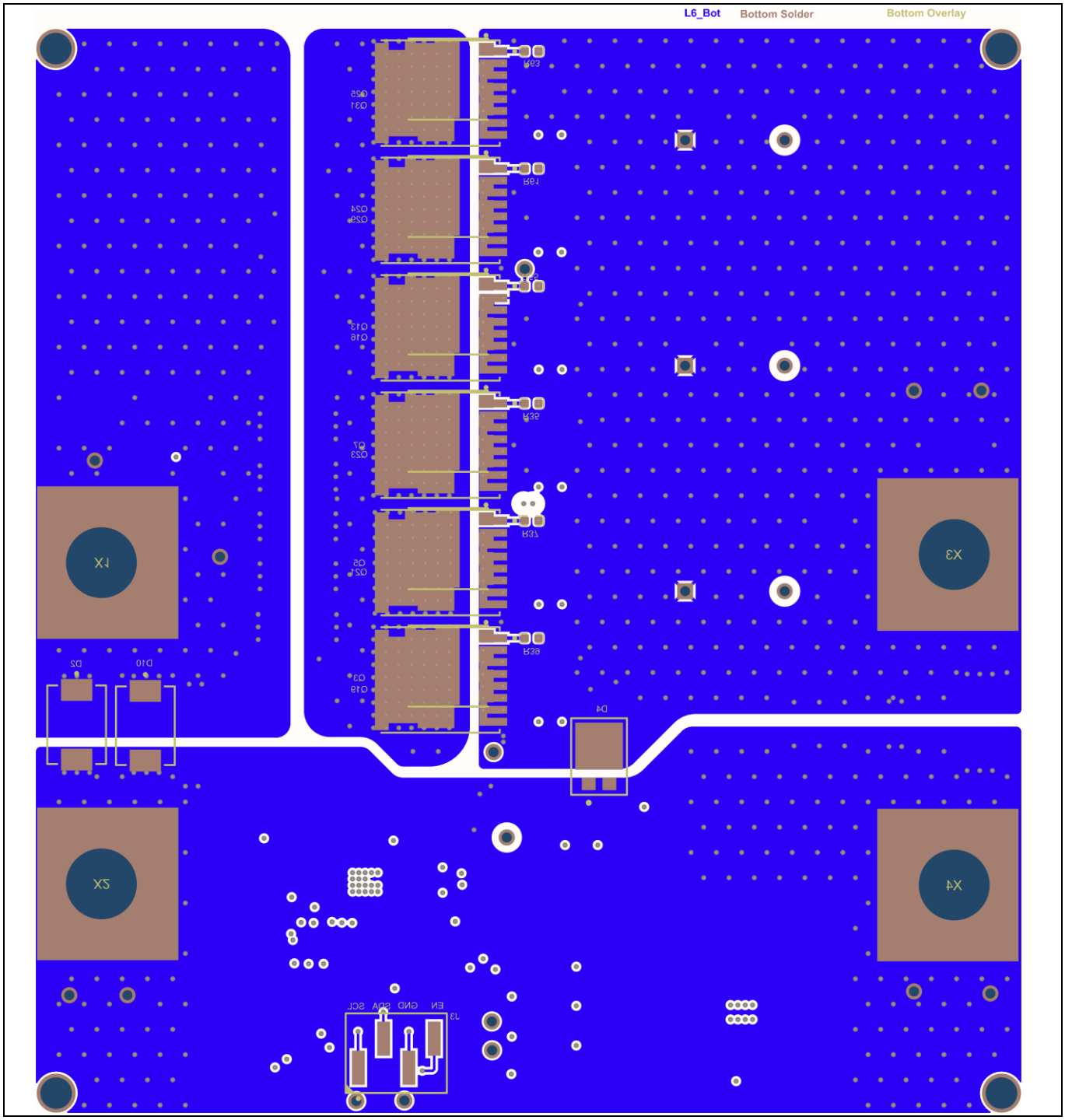

图 18 PCB 底层

4 结论

PCB 布局是 XDP7xx-00x 热插拔应用设计中至关重要的一环。本应用笔记给出了栅极驱动（含 VCP 引脚）、电流检测、电源、温度检测及功率 MOSFET 的 PCB 布局指南。短而直接的连接、XDP711-001 VCP 引脚屏蔽、开尔文连接、电流检测与温度检测的差分走线、Rg 电阻靠近功率 MOSFET 的栅极引脚布置等，对于确保 XDP7xx-00x 热插拔应用板首次上电即正常工作十分重要。

参考文献

[1] Infineon Technologies AG: *AP24026, EMC and System-ESD Design Guidelines for Board Layout*; 在线获取

[2] Infineon Technologies AG, AI server hot-plugging with robust hot-swap controllers; 在线获取

[3] Infineon Technologies AG: XDP711-001 hot-swap controller datasheet

[4] Infineon Technologies AG: *XDP710-002 hot-swap controller datasheet*; 在线获取

[5] Infineon Technologies AG: *XDP700-002 hot-swap controller datasheet*; 在线获取

[6] Infineon Technologies AG: *IPT017N10NM5LF2 datasheet*; 在线获取

[7] Roger Hu, PCB Design and Layout Fundamentals for EMC, July 2019

修订历史

修订历史

文档版本	修订日期	修订描述
V 1.0	2025-04-21	首次发布

商标
本文档中提及的所有产品或服务名称及商标，均为其各自所有者的财产。

版本：2025-04-21
出版：

Infineon Technologies AG
81726 Munich, Germany

©英飞凌科技版权所有，2026 年。
保留所有权利。

对本文档有疑问？
请发送邮件至：erratum@infineon.com

文档编号
AN203104

重要提示
本文档所提供的任何信息绝不应当被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文档中所提及的任何事例、提示或者任何特定数值及/或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。
此外，本文档所提供的任何信息均取决于客户履行本文档所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。

本文档所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文档中所提供的信息是否充分自行予以评估。

如需产品、技术、交付条款和条件以及价格等进一步信息，请向离您最近的英飞凌科技办公室接洽（www.infineon.com）。

警告事项
由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。