XDP™ XDP710-002 向 XDP711-001 迁移指南

关于本文档

范围与目的

本文档提供了将设计从 XDP710-002 迁移至 XDP711-001 的指南，并重点介绍了 XDP711-001 新增特性。

适用对象

本文档适用于设计工程师。

XDP™

XDP™ 是专为特定应用优化 IC 而设计的高性能数字功率控制器。可实现高能效和极低待机功耗的数字算法、可提高灵活性和简化开发工作的数字参数配置、以及优化的物料清单（BoM），让该系列控制器成为一系列应用的理想选择：

- 电信
- 数据中心与计算
- SMPS

重要声明

“评估板和参考板”是指嵌入在印刷电路板（PCB）上、用于演示和/或评估目的的产品，包括但不限于演示板、参考板、评估板、套件和设计（以下统称为“参考板”）。

英飞凌所提供的评估板和参考板在设计时已考虑环境条件。评估板和参考板的设计仅通过了本文档中所述的测试，在安全要求、制造工艺、全工作温度范围内及全生命周期内运行方面并未进行任何认证。

英飞凌所提供的评估板和参考板仅在典型负载条件下进行了功能测试，不适用于常规产品所遵循的客退品分析（RMA）、制程变更通知（PCN）及产品停产（PD）流程。

评估板和参考板并非商用产品，仅可用于评估和测试目的，尤其不得用于可靠性测试或生产用途。因此，评估板和参考板可能不符合 CE 或类似标准（包括但不限于 EMC 指令 2004/EC/108 及 EMC 法案）的要求，亦未必满足客户所在国家的其他法规要求。客户须确保以符合其所在国家或地区的相关要求与标准的方式使用所有评估板和参考板。

评估板与参考板以及本文档所载信息，仅供具备相应资质且经验丰富的技术人员在实验室环境下使用，且须按照本文档及随附于相应评估板或参考板的其他相关文档中规定的条款与条件进行使用和管理。

客户技术部门须自行评估评估板和参考板对于目标应用的适用性，以及本文档所载信息对于该等应用的完整性与准确性。

客户须确保评估板和参考板的使用不会对人员或第三方财产造成损害。

评估板与参考板及本文档所载之任何信息均系“按原样”提供，英飞凌科技概不作出任何明示或默示之保证，包括但不限于对不侵犯第三方权利之保证，以及对任何特定目的之适用性或适销性之默示保证。

对于因使用评估板与参考板和/或本文档所载之任何信息而造成的任何损失，英飞凌科技概不承担责任。客户须对因任何此类使用所引起或导致的任何索赔或损失，为英飞凌进行辩护、赔偿并使其免责。

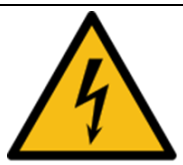
英飞凌科技保留随时修改本文档和/或其中所含任何信息的权利，恕不另行通知。

安全注意事项

***注意**：请留意以下与开发系统相关的危险警告。*

表 1 安全注意事项

安全注意事项

	**警告**：*本板的直流母线电位最高可达 1000 VDC。使用示波器测量电压波形时，必须使用高压差分探头。否则可能导致人身伤害甚至死亡。*
	**警告**：*本评估板或参考板含有直流母线电容器，切断主电源后需一定时间方可放电完毕。在对驱动系统进行任何操作之前，请等待五分钟，确保电容器放电至安全电压水平。否则可能导致人身伤害甚至死亡。LED 指示灯熄灭并不代表电容器已放电至安全电压水平。*
	**警告**：*测试期间，本评估板或参考板与电网输入相连。因此，使用示波器测量电压波形时，必须使用高压差分探头。否则可能导致人身伤害或死亡。LED 指示灯熄灭并不代表电容器已放电至安全电压水平。*
	**警告**：*在断开或重新连接导线，或进行维护工作之前，请先切断驱动器电源。断电后请等待五分钟，使母线电容器充分放电。在母线电容器完全放电至零之前，切勿尝试维修驱动器。否则可能导致人身伤害甚至死亡。*
	**注意：***测试期间，本评估板或参考板的散热器及器件表面可能变得灼热。因此，操作该板时必须采取必要的防护措施。否则可能造成人身伤害。*
	**注意：***仅限熟悉驱动器、电力电子及相关机械设备的人员，方可对系统进行规划、安装、调试及后续维护。否则可能导致人身伤害和/或设备损坏。*
	**注意：***本评估板或参考板包含对静电放电（ESD）敏感的部件和组件。在安装、测试、维护或维修组件时，必须采取静电控制防护措施。若未遵循 ESD 控制程序，可能导致组件损坏。如您不熟悉静电控制程序，请参阅适用的 ESD 防护手册与指南。*
	**注意：***驱动器若应用或安装不当可能导致组件损坏或产品寿命缩短。接线或应用错误——例如电机选型过小、交流电源规格不符或容量不足、环境温度过高等——均可能导致系统故障。*
	**注意：***本评估板或参考板出厂时附带包装材料，安装前须将其拆除。若未能拆除所有与系统安装无关的包装材料，可能导致过热或运行异常。*

目录

关于本文档 1
重要声明 2
安全注意事项 2
1 概述 5
2 PMBus 命令比较 6
3 XDP711-001 新增特性 8
3.1 输出欠压故障检测的混合模式设置 8
3.2 浪涌抗扰保护 9
3.2.1 浪涌抗扰设计示例 17
3.3 AMON（IMON 和 PMON） 20
3.4 预充电输出电压（VDS）故障检测 23
3.5 可调功率平均时间（最长 3 秒） 24
3.6 遥测峰值和谷值检测 25
3.7 可配置输入过压迟滞（VIN_OV_HYST） 25
3.8 RESTARTN 引脚 ..... **Error! Bookmark not defined.**
3.9 扩展能量计数器 26
3.10 SOA 曲线更新 28
3.11 用户配置 ID 存储寄存器 31
3.12 警告激活 31
4 XDP711-001 所需的硬件更改 33
5 PCB 布局指南与原理图 34
5.1 VCP 引脚布局 34
6 同时兼容 XDP710-002 与 XDP711-001 的设计 36
7 XDP711-001 的检测算法 37
8 结论 38
参考文献 39
修订历史 40
免责声明 41

1 概述

XDP™ XDP711-001 功率控制器是 XDP™ 数字热插拔控制器系列的最新成员，相比 XDP710-002 增加了多项新特性并进行了改进。这些新增特性要求更新寄存器映射，并影响 XDP710-002 设置向 XDP711-001 的移植。XDP711-001 新增的特性如下：

- OUV 故障检测混合模式（FB 引脚或 V_{OUT} 遥测）
- 浪涌抗扰
- AMON（IMON 和 PMON）
- VDS 故障检测
- 功率平均时间延长
- 独立于平均值的峰值和谷值检测
- 可配置输入过压迟滞
- 通过 GPIO 引脚重启
- 扩展能量计数器

以下章节将介绍更新的寄存器映射、新增特性及所需的硬件改动。

表 2 缩略语

缩略语	定义
AADM	模拟辅助数字模式
ACM	模拟比较器模式
ADC	模数转换器
BW	带宽
DCM	数字比较器模式
FDM	全数字模式
GND	地
OUC	输出欠流
OUV	输出欠压
POR	上电复位

2 PMBus 命令比较

表 3 总结了 XDP710-002 与 XDP711-001 之间 PMBus 命令的差异

表 3 **XDP710-002 与 XDP711-001 之间的 PMBus 命令结构差异**

PMBus 命令	地址	XDP710-002	XDP711-001
VOUT_UV_FAULT_LIMIT	0x44	默认值 = 0x0000	默认值 = 0x00E8
STATUS_MFR_SPECIFIC	0x80	位 7–4 保留	位 4 新增 VDS_FAULT，指示是否发生 VDS 故障
MFR_MODEL	0x9A	0x0000303137504458	0x0000313137504458
MFR_REVISION	0x9B	0x0001	0x0003
MODE	0x7F	位 7 保留 FET 列表见表 20	位 7 新增 **FB_COMP_SEL** **FET_SELECT** 位域中的 FET 列表已按表 20 更新
V_SNS_CFG	0xD4	位 14 – 10 保留	位 14:13 新增 **VDS_FAULT_LIMIT** 位，位 12:10 新增 **VIN_OV_HYST** 位。由于 **VIN_OV_HYST** 默认值为 0x1，该命令默认值现为 0x0428
I_SNS_OFFSET	0xD6	位 11–15 保留	**I_SOA_REG_OFFSET** 用于在控制环路中引入偏移，以降低启动时的目标调节电流，而不影响遥测
WATCHDOG_TMR	0xD8	8 位命令	扩展至 16 位，位 10–8 新增 **SURGE_REC_WATCHDOG[2:0]** 字段
GPO_CFG	0xDB	GPO2 可通过 **GPO2_CFG** 位域配置为通用或 CGDN	GPO2 可通过 **GPO2_CFG** 位域配置为通用、CGDN 或 RESTARTN
ENABLE_FAULTS, MASK_FAULTS, STATUS_FAULTS	0xDE, 0xDF, 0xE0	位 15 保留	位 15 新增 VDS 位，用于启用、屏蔽和监测 **VDS** 故障。ENABLE_FAULTS 和 MASK_FAULTS 的默认值改为 0xBEFF
RETRY	0xE7	位 14 为 GATE_REC_EN	**SRG_PROT_EN** 取代了位 14 的 **GATE_REC_EN**，用于启用或禁用浪涌保护功能 寄存器的默认值改为 0x3FBF
TELEMETRY_AVG	0xE9	位 11–10 保留；P_TELEMETRY_AVG 位域为 3 位	位 11 新增 AMON_SEL，位 10 新增 AMON_EN。命令重命名为 TELEMETRY_CFG。P_TELEMETRY_AVG 扩展至 4 位

PMBus 命令比较

PMBus 命令	地址	XDP710-002	XDP711-001
CONFIG_ID	0xFA	不支持	CONFIG_ID 命令允许用户存储一个标识号，以便区分系统中具有不同配置的器件
READ_EIN_EXT	0xFB	不支持	详情请参见“扩展能量计数器”

3 XDP711-001 新增特性

3.1 输出欠压故障检测的混合模式设置

在数字比较器模式（DCM）下，即 MODE 引脚未外接电阻，且 MODE 位（命令代码：**0xD1**，命令名称：**MODE**，位：**MODE[6]**）置高时，OUV 故障的检测方式可设置为基于模拟（即通过 FB 引脚）或基于数字（即通过 VOUT 遥测）。

此设置可通过 FB_COMP_SEL（命令代码：**0xD1**，命令名称：**MODE**，位：**FB_COMP_SEL[7]**）来实现，如表 4 所示。

表 4 命令 0xD1: MODE 中的 FB_COMP_SEL

FB_COMP_SEL [7]	说明
0x0	OUV 故障数字检测
0x1	OUV 故障模拟检测

表 5 输出欠压故障检测方式判定标准

MODE 引脚（MODE0 和 MODE1）	命令 0xD1: MODE 中的 MODE [6]	命令 0xD1: MODE 中的 FB_COMP_SEL [7]	OUV 故障检测方式
经电阻接地	x	x	模拟
开路	1：数字比较器模式（DCM）	0	数字
开路	1：数字比较器模式（DCM）	1	模拟
开路	0：模拟比较器模式（ACM）	x	模拟

XDP711-001 新增特性

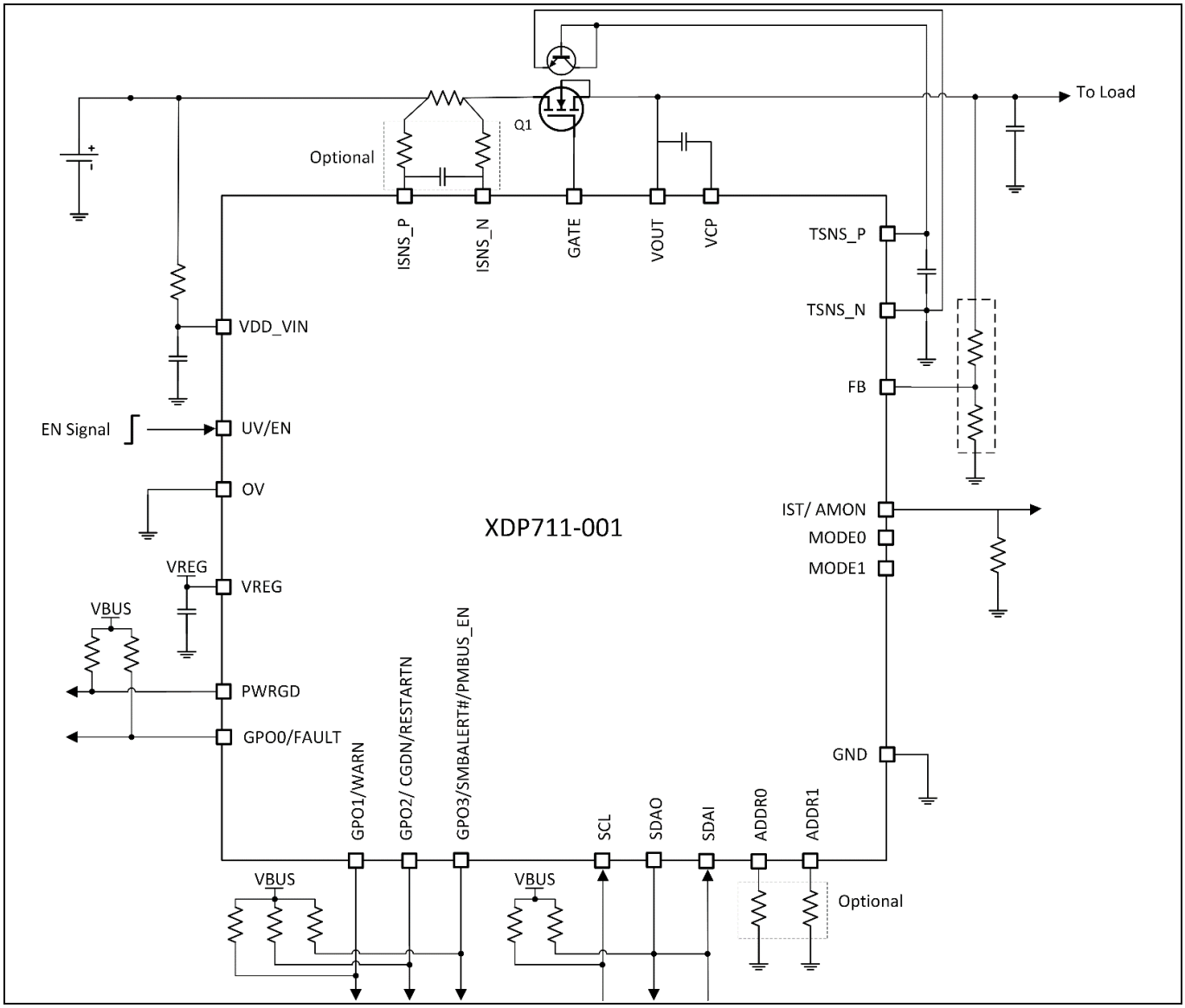


图 1 XDP711-001 的混合模式

3.2 浪涌抗扰保护

XDP711-001 新增浪涌抗扰特性，可防止因输入电压瞬变导致系统误跳闸。这些高输入电压尖峰本质上为快速的 dV/dt，会在输出电容正峰值充电时产生高浪涌电流，该电流会被误判为短路，从而触发系统关断。

图 2 所示为两条电源轨由同一 48 V 背板供电的典型场景。其中，POWER_RAIL_1 发生短路并被热插拔控制器隔离。

XDP711-001 新增特性

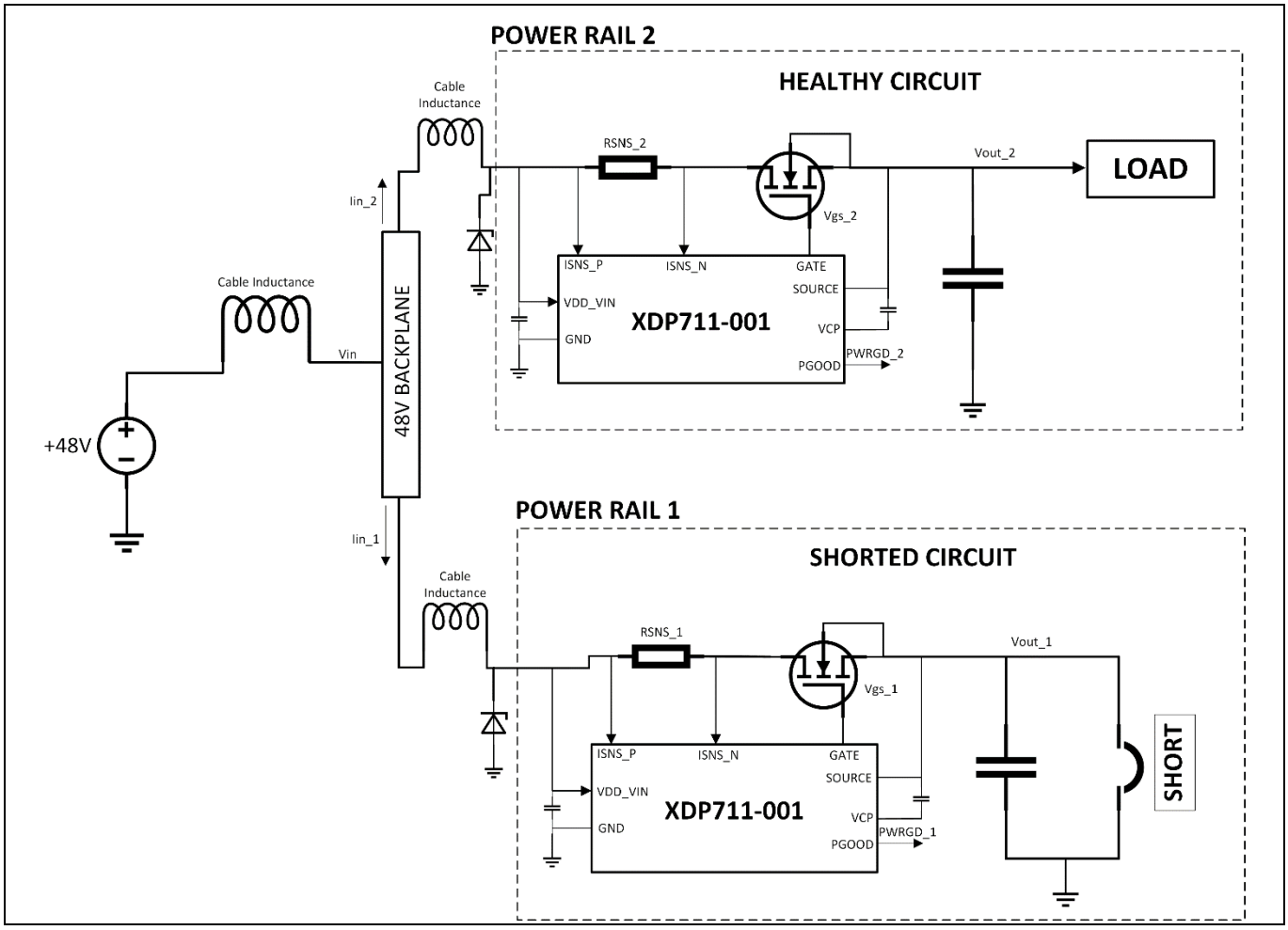


图 2 浪涌电压产生的典型应用场景

当热插拔控制器将短路事件隔离时，栅极以最大 1.5 A 的下拉电流被拉低，使短路电源轨中的电流在极短时间内由高值降至低值。这种高 di/dt 电流因电缆电感而感应出高输入电压尖峰。该高 dV/dt 尖峰随后对健康总线（POWER_RAIL_2）的电容进行充电，使 POWER_RAIL_2 中的电流在极短时间内升至极高值；该电流被误判为短路电流，进而触发健康总线关断。图 3 所示即为 POWER_RAIL_1 发生短路所产生的电压尖峰导致 POWER_RAIL_2 跳闸的情形。

XDP711-001 新增特性

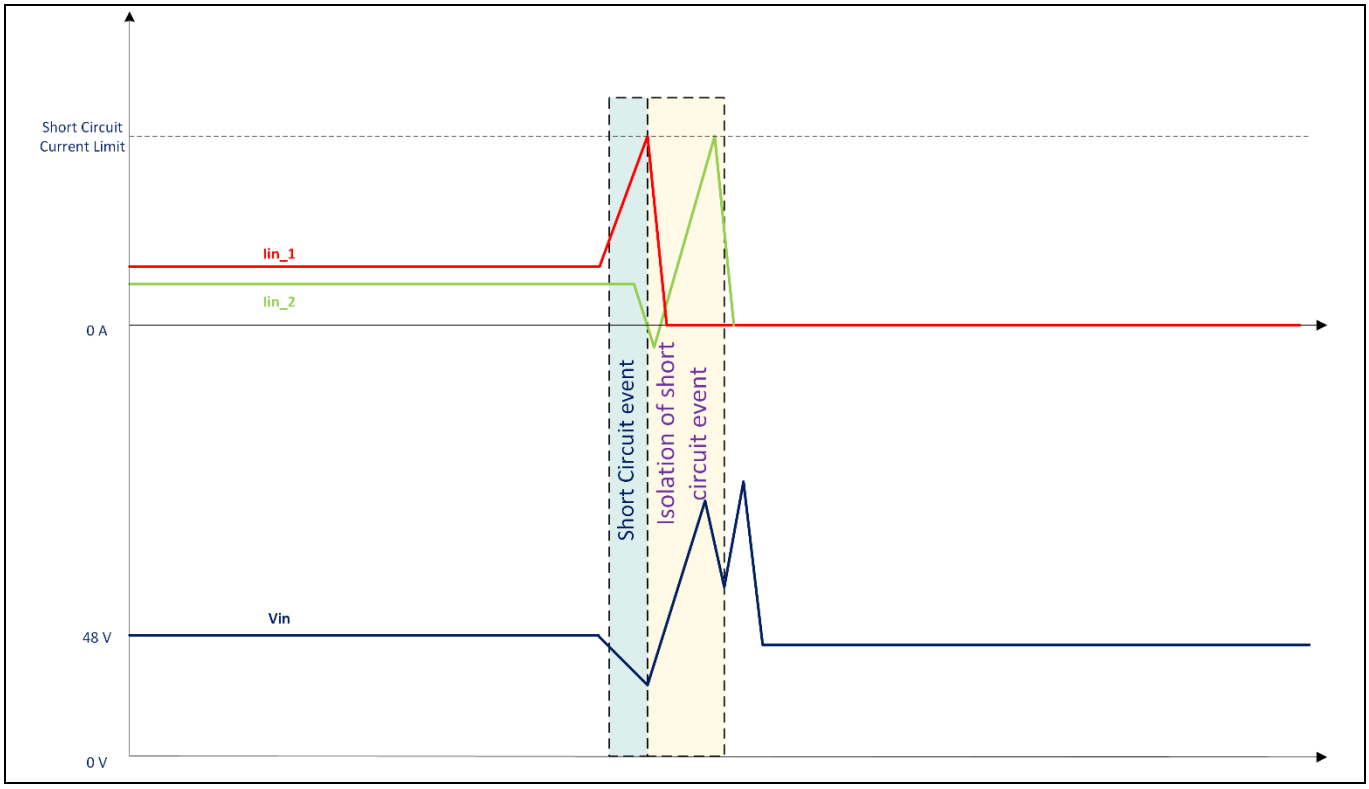


图 3 POWER_RAIL_1 短路导致 POWER_RAIL_2（健康总线）跳闸

XDP711-001 中的浪涌抗扰特性被启用后（命令代码：**0xE7**，命令名称：**RETRY**，位：**SRG_PROT_EN [14]**），若检测到浪涌，控制器将依次进入 SURGE、GREC1、GREC2 状态，以执行浪涌抗扰保护程序。

表 6 0xE7: RETRY 命令中的 SURGE_PROT_EN

SRG_PROT_EN[14]	说明
0x0（0 bin）	禁用浪涌保护
0x1（1 bin）	启用浪涌保护

注意：此项特性取代了 XDP710-002 的 GATE_FAST_RECOVERY 特性。

浪涌检测

当 ISNS_x 引脚测得的电流检测电阻电压超过编程的 SOC 故障阈值（命令代码：**0xD5**，命令名称：**I_SNS_CFG**，位：**SOC_FAULT_LIMIT [5:3]**）时，SOC_DG_TMR（命令代码：**0xE5**，命令名称：**SOA_TMR**，位：**SOC_DG_TMR [10:9]**）开始计时，并加入去毛刺定时以滤除高频噪声尖峰。一旦电流超过 SOC 阈值的持续时间达到 SOC_DG_TMR 定时器设定时长，控制器即进入 **SURGE** 状态。

注意：

1. *浪涌抗扰特性禁用时，SOC 故障判定同时依据 SOC_DG_TMR 和 SOC_TMR（命令代码：**0xE5**，命令名称：**SOA_TMR**，位：**SOC_TMR [8:6]**）；浪涌抗扰特性启用时，SOC 故障判定仅依据 SOC_DG_TMR，SOC_TMR 被忽略。*

2. 检测到浪涌事件时，PWRGD 信号不会被置为无效。

SURGE 状态

检测到 SOC 故障后，控制器进入 SURGE 状态，以 1.5 A 强下拉电流关断 FET——无论 GATE_FAST_PD（命令代码：**0xE6**，命令名称：**TURN_OFF_CTRL**，位：**GATE_FAST_PD [0]**）中配置为何值。

注意：1.5 A 是控制器内部开关的最大下拉电流。可通过在控制器的 GATE 或 SOURCE 路径中串联电阻来调节下拉电流。

栅极在此状态下被拉低并维持 15 µs，随后进入 GREC1（GATE_RECOVERY_1）状态。此时不会触发 SOC 故障，PWRGD 信号保持不变。

GREC1 状态

在 GREC1 状态下，表 7 所示的编程 SURGE_REC_WATCHDOG_TMR（命令代码：**0xD8**，命令名称：**WATCHDOG_TMR**，位：**SURGE_REC_WD [10:8]**）开始计时，以 15 mA（V_{GS} = 0 V）的电流上拉栅极（栅极充电电流的计算见公式 2），以使栅极电压升至 FET 导通阈值以上。控制器保持在 GREC1 状态，直至满足以下条件后再进入 GREC2（GATE_RECOVERY_2）状态，并停止栅极强上拉：

- 电流检测电阻的压降达到 12.5 mV（当 CS_RNG 为 12.5 mV 或 25 mV 时）或 25 mV（当 CS_RNG 为 50 mV 或 100 mV 时）
- 或者 FET 完全导通（即 V_{DS} < 1 V 且 V_{GS} > 7.8 V），适用于 FET 电流极低时（当输出已接近 Vin 且未提供负载电流时）

若 SURGE_REC_WATCHDOG_TMR[2:0] 在上述条件满足之前超时，则触发 WATCHDOG 故障并进入 FAULT 状态。此时，PWRGD 信号被置为无效，FAULT 信号被置为有效。

表 7 0xD8: WATCHDOG_TMR 命令中的 SURGE_REC_WD

SURGE_REC_WD[10:8]	说明
0x0（000 bin）	由 WATCHDOG（命令代码：**0xD8**，命令名称：**WATCHDOG_TMR**，位：**WATCHDOG[3:0]**）设置的定时器
0x1（001 bin）	1 ms
0x2（010 bin）	2 ms
0x3（011 bin）	5 ms
0x4（100 bin）	10 ms
0x5（101 bin）	20 ms
0x6（110 bin）	50 ms
0x7（111 bin）	100 ms

注意：确保栅极从 0 V 充电至阈值电压 $V_{GS(th)}$ 的时间约为 20 µs，以减缓栅极电压恢复速度，避免电流尖峰并实现可控恢复。因此，总栅极电容 C_{GATE_Total} 可通过公式 1 计算。

XDP711-001 新增特性

$$C_{GATE_{Total}}(nF) = 20\mu s \times \frac{i\,(mA)}{V_{GS(th)}}$$

公式 1 C_{GATE_Total} 计算

其中，i 为栅极充电电流，其大小取决于栅源电压，可由公式 2 计算：

$$\text{i} = i_{max}(mA) - \frac{(1.33 \times V_{GS(th)})}{2}$$

公式 2 栅极充电电流计算

其中，i_{max}= 15 mA

若 C_{GATE_Total} 大于 FET 总栅极电容（C_{FET}），则需在 GATE 与 SOURCE 之间额外增加电容（C_{GS}）。C_{GS} 可由 公式 3 计算，C_{FET} 可由公式 4 计算：

$$C_{GS} = C_{GATE_Total} - C_{FET}$$

公式 3 C_{GS} 计算

其中，C_{FET} 为 FET 的总栅极电容。若多个 FET 并联使用，则电容值须按公式 4 所示进行求和：

$$C_{FET} = n \times C_{iss}$$

公式 4 C_{FET} 计算

该 15 mA 栅极电流通过在 VCP 与 VOUT 引脚之间安装一个电容器来提供（如公式 3 所示），其容值须为所连接 FET 总栅极电容（C_{GATE_Total}）的 10 倍，可由公式 5 计算：

$$C_{VCP} = 10 \times C_{GATE_Total}$$

公式 5 C_{VCP} 计算

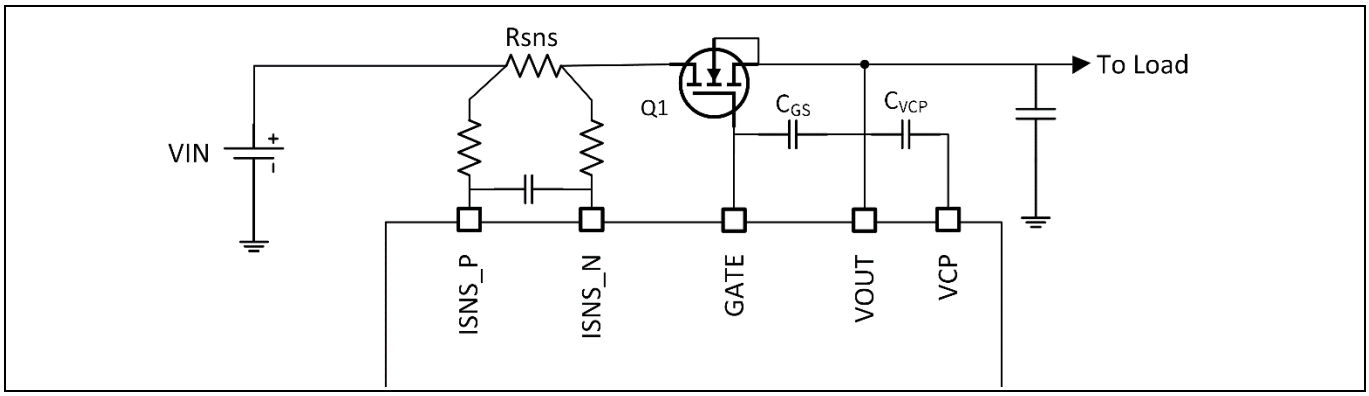


图 4 用于实现浪涌抗扰的电容连接

示例：

XDP711-001 新增特性

- **FET:** ISC035N10NM5LF2
- **FET 数量：**4
- **$V_{GS(th)}$** = 3.1 V
- **FET 栅极电容（C_{iss}）** = 5500 pF

通过 公式 1、公式 2、公式 3、公式 4 和 公式 5，可计算出 C_{GS} 和 C_{VCP} 的值：

$$i = i_{max}(mA) - \frac{(1.33 \times V_{GS(th)})}{2} = 15\ mA - \frac{(1.33 \times 3.1V)}{2} = 12.93\ mA$$

$$C_{GATE_{Total}}(nF) = 20\ \mu s \times \frac{i\ (mA)}{V_{GS(th)}} = 20\ \mu s \times \frac{12.93\ mA}{3.1\ V} = 83.44\ nF$$

$$C_{FET} = n \times C_{iss} = 4 \times 5500\ pF = 22000\ pF = 22\ nF$$

$$C_{GS} = C_{GATE_Total} - C_{iss} = 83.44\ nF - 22\ nF = 61.44\ nF$$

$$C_{VCP} = 10 \times C_{FET} = 10 \times 83.44\ nF = 834.4\ nF$$

GREC2 状态：

在 GREC2 状态下，控制器进入调节阶段，将电流限制在配置的过流阈值内。若电流未达到该阈值，则 FET 直接导通，不执行电流调节。输出电容持续充电；当 FET 完全导通（即 V_{DS} < 1 V 且 V_{GS} > 7.8 V）时，控制器进入 ON 状态。此时，栅极电压继续上升至最大值，同时 SURGE_REC_WATCHDOG_TMR 复位。

在 GREC2 状态下，一旦 VDS 电压超过 5.5 V，即触发 SOC 故障并关断 FET，同时根据 RETRY 故障设置进行故障响应。

若系统未能恢复，即 FET 未能在 SURGE_REC_WATCHDOG_TMR 超时之前完全导通，则控制器将触发 WATCHDOG 故障并进入 FAULT 状态。此时，PWRGD 信号被置为无效，FAULT 信号被置为有效。

*注意：须同时启用 SOC 故障（命令代码：**0xDE**，命令名称：**ENABLE_FAULTS**，位：**SOC [4]**）和浪涌抗扰保护（命令代码：**0xE7**，命令名称：**RETRY**，位：**SRG_PROT_EN [14]**），控制器才能执行浪涌保护。若禁用浪涌抗扰保护，控制器则按照 XDP710-002 的方式处理 SOC 故障。*

图 5 所示为浪涌抗扰保护启用时，POWER_RAIL_1 发生短路后的恢复过程。经过 SOC_DG_TMR 去毛刺后，检测到 SOC 故障，系统进入 SURGE 状态，通过快速下拉拉低栅极并维持 15 µs。随后，系统进入 GREC1 状态，SURGE_REC_WATCHDOG_TMR 开始计时，以 XDP711-001 控制器 VCP 与 SOURCE 引脚之间的电容器提供的 15 mA（V_{GS} = 0）电流上拉栅极。一旦电流检测电阻的压降超过 12.5 mV（CS_RNG 为 12.5 mV 或 25 mV 时）或 25 mV（CS_RNG 为 50 mV 或 100 mV 时），系统即进入 GREC2 状态。在 GREC2 状态下检测到 VDS 电压大于 5.5 V 时，系统进入 FAULT 状态，宣告 SOC 故障，同时 PWRGD 信号被置为无效。

图 6 所示为浪涌抗扰保护启用时，POWER_RAIL_2 因 RAIL_1 引发的浪涌而进行恢复的过程。其恢复步骤与 POWER_RAIL_1 相同。但由于该系统未发生短路，且在 GREC2 状态下 VDS 电压保持在 5.5 V 以下，系统在 SURGE_REC_WATCHDOG_TMR 超时之前成功恢复，控制器进入 ON 状态，不触发任何故障，亦不拉低 PWRGD 信号。

XDP711-001 新增特性

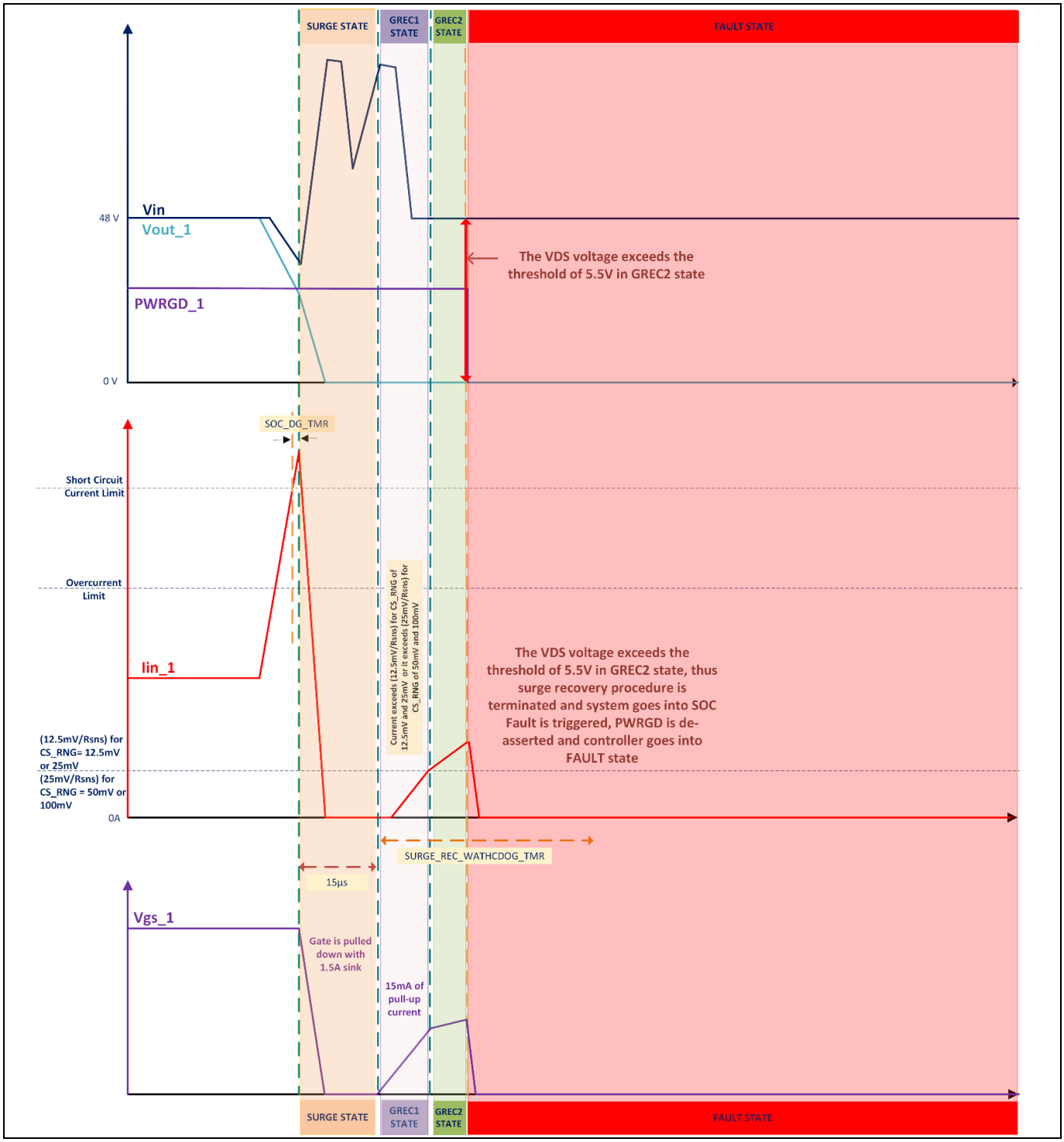


图 5 POWER_RAIL_1 发生短路后的恢复过程

XDP711-001 新增特性

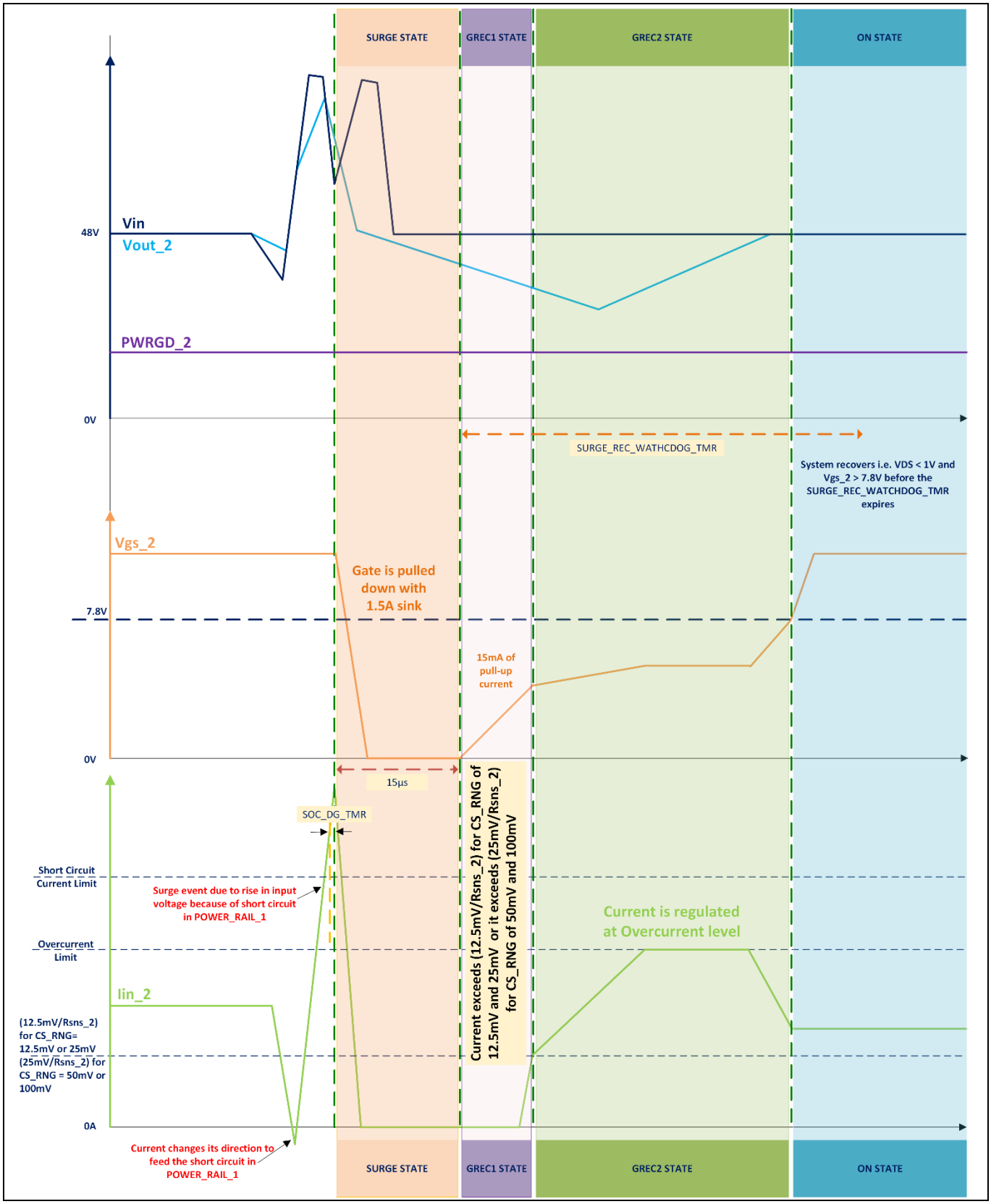


图 6 电压浪涌导致 POWER_RAIL_2 跳闸后的恢复过程

3.2.1 浪涌抗扰设计示例

浪涌抗扰特性已在一个 4 kW 设计上完成测试，该设计采用 4 颗 IPM018N10NM5LF2 FET、2.2 mF 负载电容以及 50 mV CS_RNG。其中过流阈值设定为 100 A，严重过流阈值设定为 150 A，去毛刺时间为 200 ns。

POWER RAIL 1 电路用于制造短路，在 POWER RAIL 2 中产生浪涌并使其误判为短路。随后，通过浪涌抗扰算法，POWER RAIL 1 成功恢复，下游负载的供电无任何中断。图 7 所示为用于验证浪涌抗扰特性的测试电路。

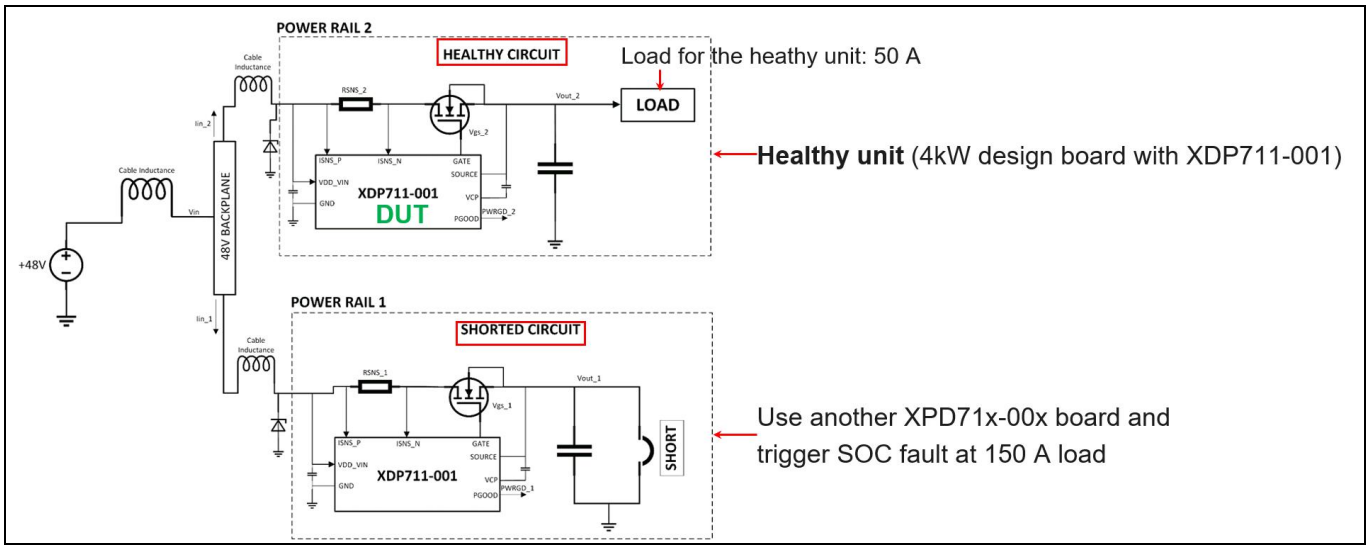


图 7 浪涌抗扰测试电路

从图 8 可以看出，POWER RAIL 2 关断后，输入电压出现浪涌，导致检测到的输入电流增大，从而使 POWER RAIL 1 的 GATE 因被误判为短路而关断。同时 PWRGD 和 FAULT 信号均保持高电平，表明浪涌抗扰程序已启动。

XDP711-001 新增特性

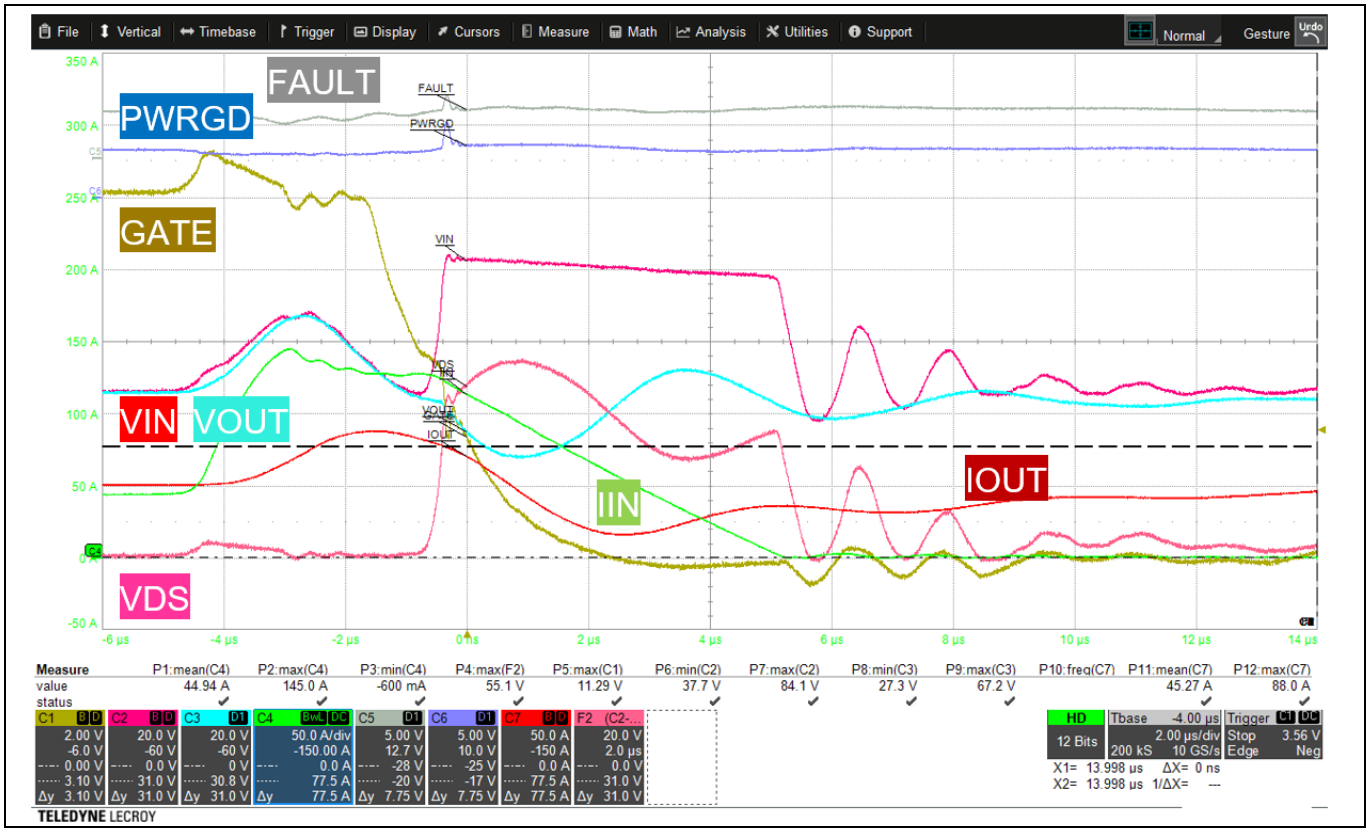
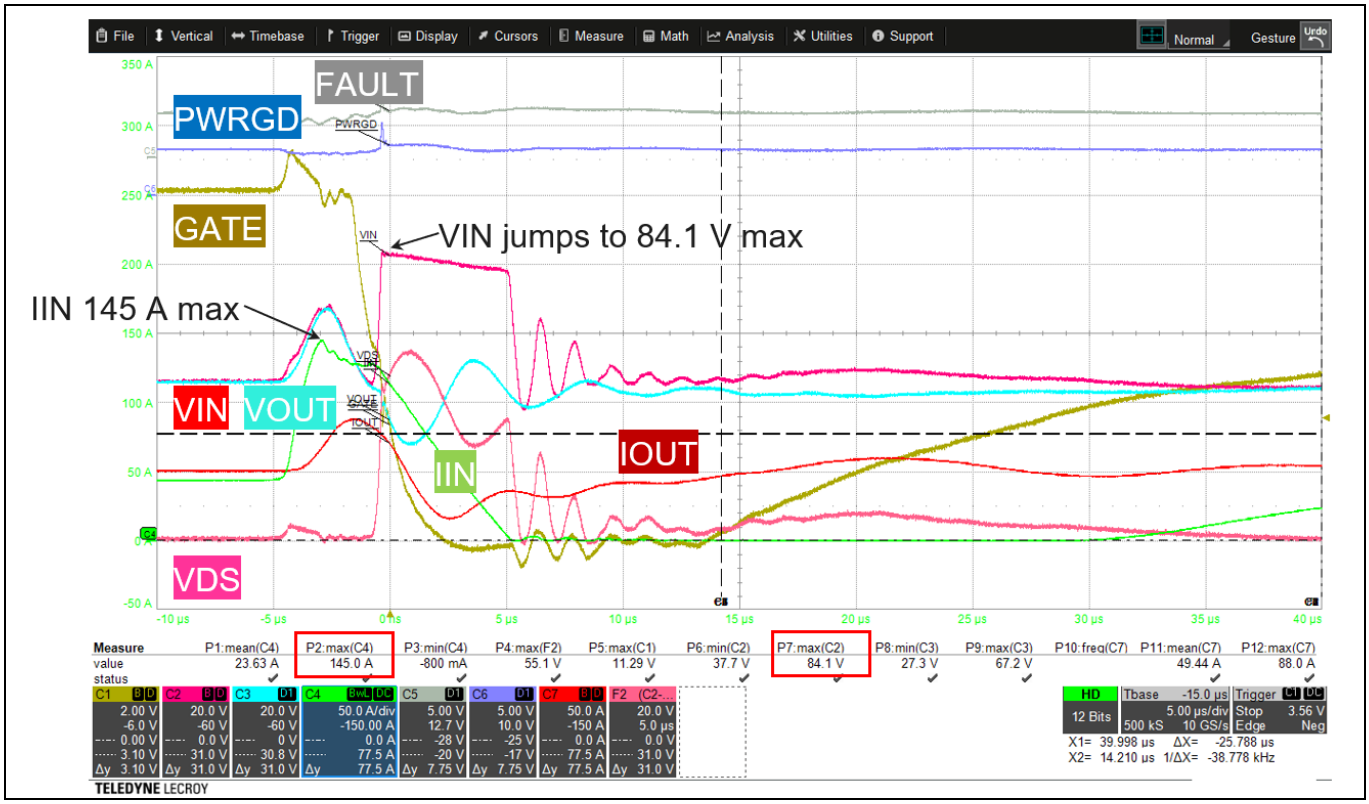


图 8 叠加至 POWER RAIL 1 的电压浪涌

如图 9 所示，在浪涌抗扰程序的第一阶段，GATE 被拉低并维持 15 µs；随后进入 GREC1 阶段，启动序列启动，GATE 被快速上拉以尽快导通 FET。



XDP711-001 新增特性

图 9 SURGE 状态

图 10 展示了浪涌恢复程序。在此情况下，输入电流保持在 25 mV 水平（即 125 A）以下，因此未进入 GREC2 状态，恢复过程仅在 GREC1 阶段即告完成。栅极先通过连接于 VCP 与 VOUT 引脚之间的电容所提供的栅极电荷恢复至 7.8 V，随后通过内部 248 µA 电荷泵充电至最高电压。

恢复过程不到 90 µs 即告完成，输出电压无损失，且未触发设定为 2 ms 的浪涌恢复监控定时器。绿色波形为恢复期间的输入电流，可以看出在恢复过程中未出现高浪涌电流脉冲。

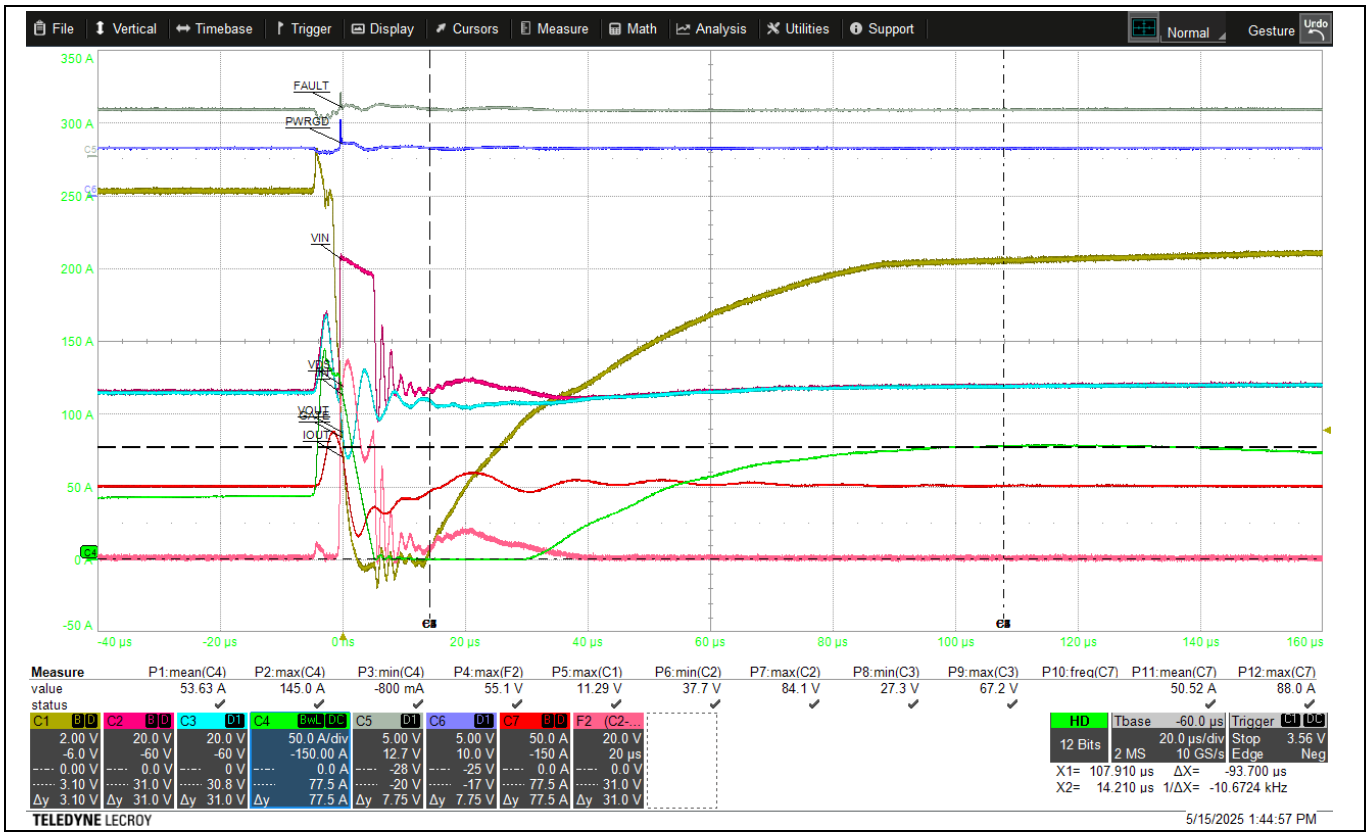


图 10 SURGE 恢复状态（GREC1）

图 11 所示为 POWER RAIL 1 的浪涌恢复全过程。可见 POWER RAIL 1 成功恢复，且输出未发生任何中断。

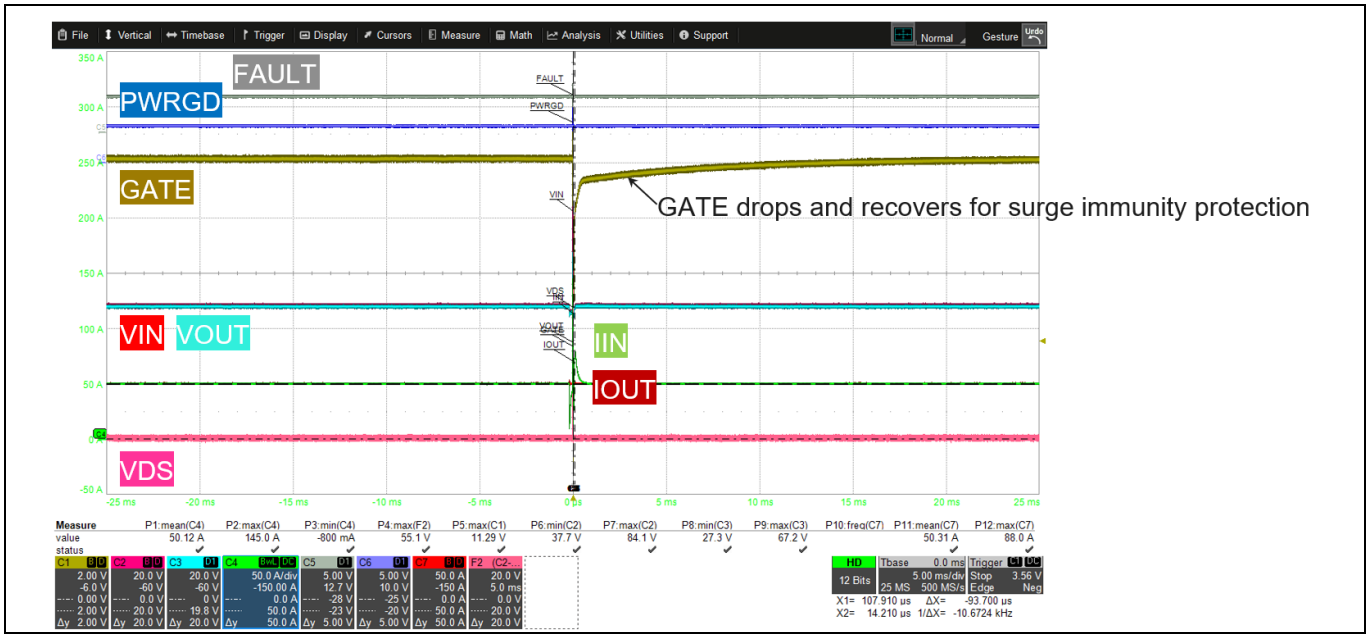


图 11 SURGE 抗扰保护

3.3 AMON（IMON 和 PMON）

XDP711-001 可通过 IST 引脚输出 FET 电流（IMON）或输入功率（PMON）信号的模拟监测与报告（AMON）。

AMON 功能可通过 AMON_EN（命令代码：**0xE9**，命令名称：**TELEMETRY_CFG**，位：**AMON_EN[10]**）启用；IST 引脚输出类型（IMON/PMON）可通过 AMON_SEL（命令代码：**0xE9**，命令名称：**TELEMETRY_CFG**，位：**AMON_SEL[11]**）进行选择。

表 8 0xE9: TELEMETRY_CFG 命令中的 AMON_EN

AMON_EN（位 10）	说明
0x0 (0 bin)	AMON 禁用
0x1 (1 bin)	AMON 启用

表 9 0xE9: TELEMETRY_CFG 命令中的 AMON_SEL

AMON_SEL（位 11）	说明
0x0 (0 bin)	报告模拟电流（IMON）
0x1 (1 bin)	报告模拟功率（PMON）

如图 12 所示，从 IOUT 数据路径和 PIN 数据输出中获取的信息，进入可通过 AMON_SEL 进行配置的数字多路复用器（1）。多路复用器的输出随后送入 IDAC (2)，由 IDAC 在 IST 引脚输出与相应电流或功率数字输入成比例的电流。该电流通过在 IST 引脚与 GND 之间外接 R_{AMON} 电阻转换为电压。

XDP711-001 新增特性

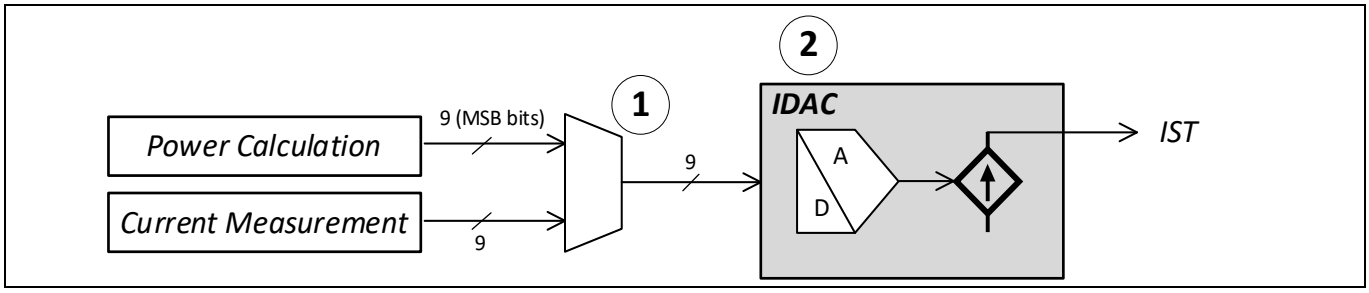


图 12 AMON 信号生成

建议在 IST 引脚增加一个输出 RC 低通滤波器（BW = 80-100 kHz）以降低噪声。C_{AMON} 可通过公式 6 计算。

$$C_{AMON}(nF) = \frac{1000}{2 \times \pi \times BW(kHz) \times R_{AMON}(k\Omega)}$$

公式 6 C_{AMON} 计算

AMON 引脚的最大输出电流为 2 mA（对应于控制器可检测的最大电流或功率），最大耐受电压为 5.5 V。因此，用于将电流转换为电压的电阻需据此合理选型。

选择 IMON 信号时，按以下步骤计算 AMON 引脚电流：

1. 确认 CS_RNG（命令代码：**0xD5**，命令名称：**I_SNS_CFG**，位：**CS_RNG[7:6]**）的设置，如表 10 所示。

表 10 命令 0xD5: I_SNS_CFG 中的 CS_RNG

CS_RNG[7:6]	说明
0x0 (00 bin)	12.5 mV
0x1 (01 bin)	25 mV
0x2 (10 bin)	50 mV
0x3 (11 bin)	100 mV

2. 记录板上实际安装的 Rsns 阻值或等效 Rsns 阻值，并将其记为 R_{eqv}。
3. 按以下公式计算 IMON 信号的增益：

$$G_{IMON} = \frac{2\ (in\ mA)}{\frac{CS_{RNG}(in\ mV)}{R_{eqv}(in\ m\Omega)}} \times R_{AMON}\ (in\ k\Omega)$$

公式 7 G_{IMON} 计算

4. 按以下公式计算最终电流：

$$Current\ (A) = \frac{V_{IMON}}{G_{IMON}}$$

公式 8 基于 IMON 信号的电流计算

基于 IMON 信号的电流计算示例如下：

- CS_RNG = 25 mV
- R_{eqv} = 0.3 mΩ

XDP711-001 新增特性

- R_{AMON} = 2 kΩ
- V_{IMON} = 2.75 V

$$G_{IMON} = \frac{2\times0.3\times2}{25} = 0.048$$
$$Current\ (A) = \frac{2.75}{0.048} = 57.291\ A$$

选择 PMON 信号时，按以下步骤计算 AMON 引脚电流：

1. 确认 CS_RNG（命令代码：**0xD5**，命令名称：**I_SNS_CFG**，位：**CS_RNG[7:6]**）的设置，如表 10 所示。
2. 确认 VTLM_RNG（命令代码：**0xD4**，命令名称：**V_SNS_CFG**，位：**VTLM_RNG[1:0]**）的设置。

表 11 命令 0xD4: V_SNS_CFG 中的 VTLM_RNG

VTLM_RNG [1:0]	说明
0x0 (00 bin)	88 V
0x1 (01 bin)	44 V
0x2 (10 bin)	22 V

3. 记录板上实际安装的 Rsns 阻值或等效 Rsns 阻值，并将其记为 R_{eqv}。
4. 按以下公式计算 PMON 信号的增益：

$$G_{PMON} = \frac{2\ (in\ mA)}{\frac{CS_{RNG}(in\ mV)}{R_{eqv}(in\ m\Omega)}\times VTLM_RNG(in\ V)} \times\ R_{AMON}\ (in\ k\Omega)$$

公式 9 G_{PMON} 计算

5. 按以下公式计算最终功率：

$$Power\ (W) = \frac{V_{PMON}}{G_{PMON}}$$

公式 10　　基于 PMPN 信号的功率计算

基于 PMON 信号的功率计算示例如下：

- CS_RNG = 25 mV
- VTLM_RNG = 88 V
- R_{eqv} = 0.3 mΩ
- R_{AMON} = 2 kΩ
- V_{IMON} = 1.5 V

$$G_{PMON} = \frac{2\times0.3\times2}{25\times88} = 0.000545$$

$$Power\ (W) = \frac{1.5}{0.000545} = 2750W$$

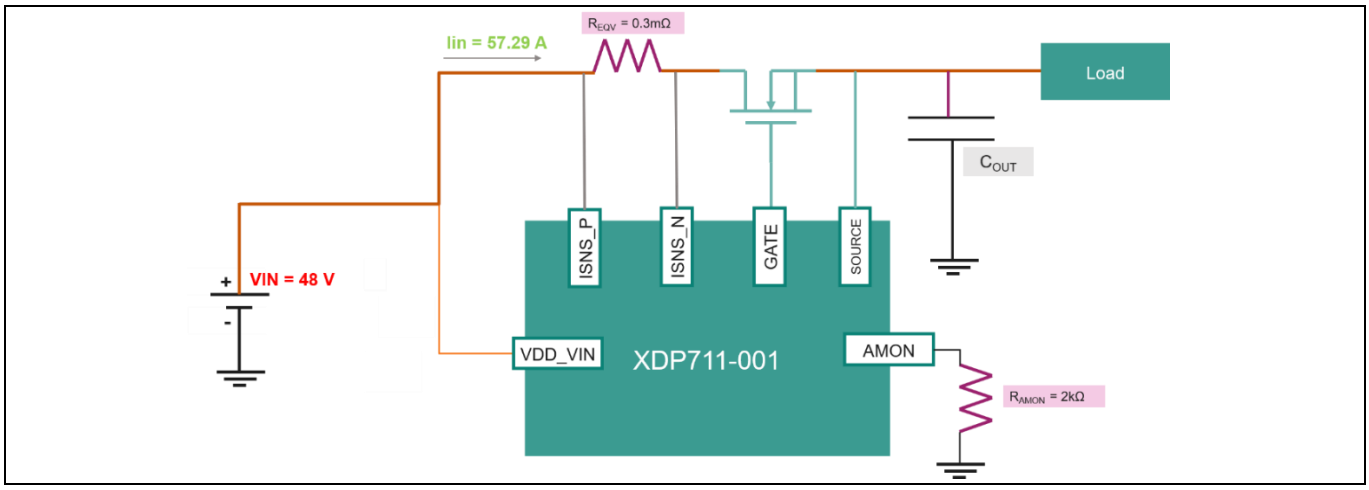


图 13 AMON 引脚连接示例

3.4 预充电输出电压（VDS）故障检测

XDP711-001 新增了 VDS 故障保护特性，用于在上电复位（POR）或发出 RESTART 命令后，在 STANDBY 状态下检测因 FET 短路或其他因素导致的预充电输出。

VDS 故障通过 VDS 位（命令代码：**0xDE**，命令名称：**ENABLE_FAULTS**，位：**VDS[15]**）使能。在 STANDBY 状态下，当 EN_DG 定时器（命令代码：**0xD8**，命令名称：**WATCHDOG_TMR**，位：**EN_DG[7:4]**）上电后首次超时时，控制器通过 VOUT 和 ISNS_P 引脚以数字方式测量 FET 的 VDS。若该电压超过 VDS_FAULT_LIMIT（命令代码：**0xD4**，命令名称：**V_SNS_CFG**，位：**VTLM_RNG[1:0]**）设定限值，且 VOUT 大于 2 V，则触发 VDS 故障，控制器进入 FAULT 状态，保持 FET 关断，并将 FAULT 或 SMBALERT 引脚置为有效。

VDS 故障将在 FET 的 V_{DS} 电压回落至 VDS_FAULT_LIMIT 设定限值以下，或 VOUT 电压降至 2 V 以下时立即解除。而当 VIN 低于 VDS_FAULT_LIMIT 设定限值时，控制器将退回 STANDBY 状态，并在条件满足时允许 FET 导通。

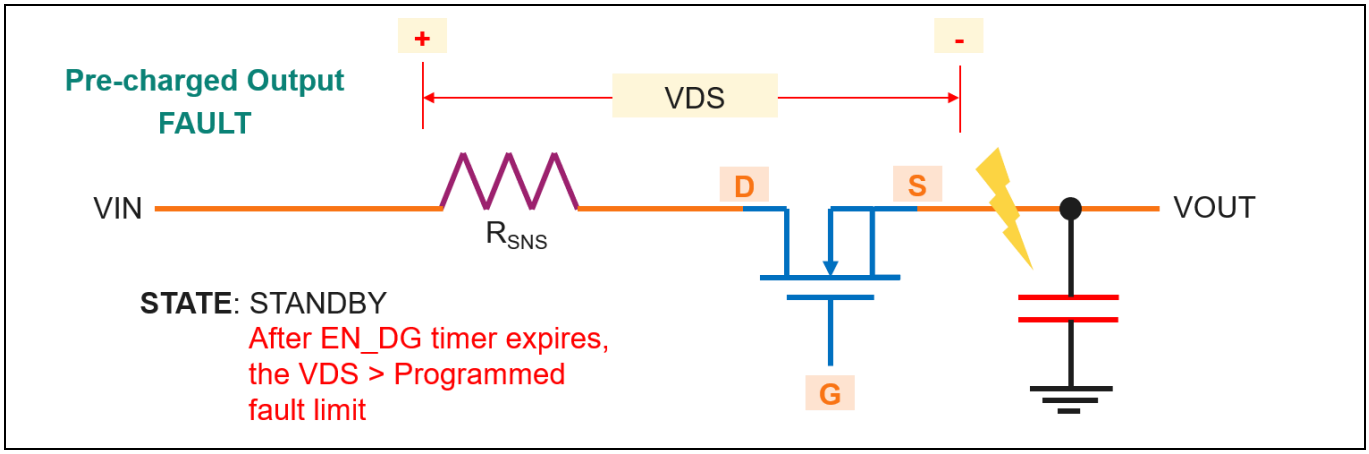


图 14 VDS 故障检测

表 12 命令 0xD4: V_SNS_CFG 中的 VDS_FAULT_LIMIT

VDS_FAULT_LIMIT [14:13]	VTLM_RNG		
	88 V	44 V	22 V
0x0 (00 bin)	10 V	5 V	2.5 V
0x1 (01 bin)	20 V	10 V	5 V
0x2 (10 bin)	30 V	15 V	7.5 V
0x3 (11 bin)	35 V	17.5 V	8.75 V

注意：仅在上电复位或 RESTART 事件之后进入 STANDBY 状态时才检测 VDS 故障。

建议启用 VDS 故障检测功能后，将 EN_DG 定时器设为非零值，以确保检测时电源已稳定。

3.5 可调功率平均时间（最长 3 秒）

XDP710-002 的最大功率平均时间为 13.1072 ms，XDP711-001 已提升至 3.35 秒。可通过 P_TELEMETRY_AVG（命令代码：**0xE9**，命令名称：**TELEMETRY_CFG**，位：**P_TELEMETRY_AVG[9:6]**）配置功率平均时间。XDP711-001 支持的不同功率平均时间见表 13。

表 13 命令 0xE9: TELEMETRY_CFG 中的 P_TELEMETRY_AVG

P_TELEMETRY_AVG[9:6]	样本数	功率平均时间
0x0 (0000 bin)	1	102.4 µs
0x1 (0001 bin)	2	204.8 µs
0x2 (0010 bin)	4	409.6 µs
0x3 (0011 bin)	8	819.2 µs
0x4 (0100 bin)	16	1.64 ms
0x5 (0101 bin)	32	3.27 ms
0x6 (0110 bin)	64	6.55 ms
0x7 (0111 bin)	128	13.10 ms
0x8 (1000 bin)	256	26.21 ms
0x9 (1001 bin)	512	52.43 ms
0xA (1010 bin)	1024	104.86 ms
0xB (1011 bin)	2048	209.72 ms
0xC (1100 bin)	4096	419.43 ms
0xD (1101 bin)	8192	838.86 ms
0xE (1110 bin)	16384	1.677 s
0xF (1111 bin)	32768	3.35 s

注意：功率平均时间配置同时影响 READ_PIN（命令：0x97）和 READ_PIN_EXT（命令：0xEE）的遥测平均。

3.6 遥测峰值和谷值检测

XDP710-002 的输入电流、输入电压、输出电压及功率的峰值与谷值均源自于经平均处理的遥测数据，如图 15 所示。

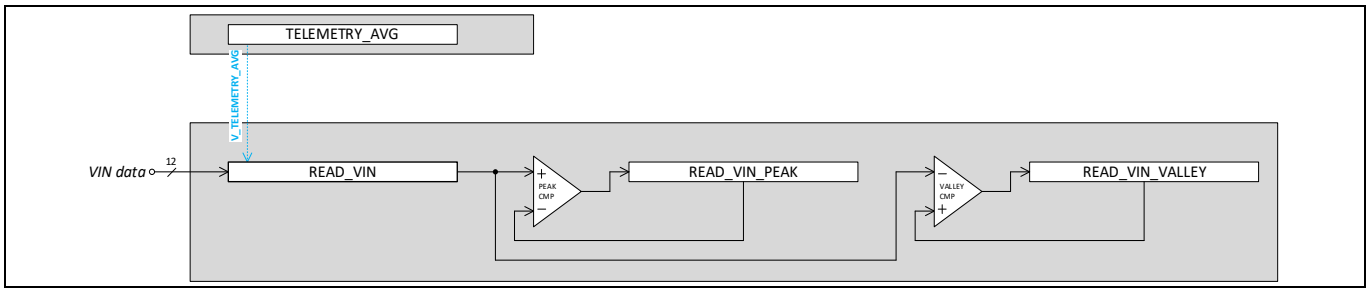


图 15 XDP7x0-002 和 XDP710-001 的 Vin 峰值与谷值检测

XDP711-001 的峰值与谷值独立于平均值，直接取自瞬时数据，即每 102.4 µs 采样一次，如图 16 所示。

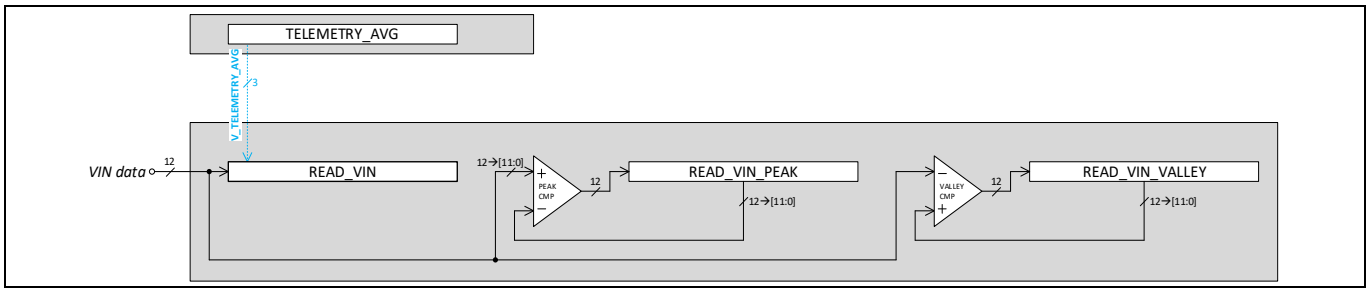


图 16 XDP711-001 的 Vin 峰值与谷值检测

3.7 可配置输入过压迟滞（VIN_OV_HYST）

对于 XDP711-001，若输入过压故障检测是基于 ISNS_P 引脚（而非 OV 引脚）的遥测数据，则可通过寄存器 VIN_OV_HYST（命令代码：**0xD4**，命令名称：**V_SNS_CFG**，位：**VIN_OV_HYST[12:10]**）配置输入过压故障迟滞。表 14 列出了基于不同电压检测范围设置输入过压恢复迟滞的多种可用选项。

表 14 命令 0xD4: V_SNS_CFG 中的 VIN_OV_HYST

VIN_OV_HYST[12:10]	VTLM_RNG		
	88 V	**44 V**	**22 V**
0x0 (000 bin)	1 V	0.5 V	0.25 V
0x1 (001 bin)	2 V	1 V	0.5 V
0x2 (010 bin)	3 V	1.5 V	0.75 V
0x3 (011 bin)	4 V	2 V	1 V
0x4 (100 bin)	5 V	2.5 V	1.25 V
0x5 (101 bin)	6 V	3 V	1.5 V
0x6 (110 bin)	7 V	3.5 V	1.75 V
0x7 (111 bin)	8 V	4 V	2 V

3.8 RESTARTN 引脚

XDP711-001 的重启功能不仅可通过 RESTART（命令：0xEC）PMBus 命令触发，亦可经由 GPO2 引脚（下降沿触发）触发，但该引脚须先通过寄存器 GPO2_CFG（命令代码：0xDB，命令名称：GPO_CFG，位：GPO2_CFG[8:9]）配置为 RESTARTN 引脚。表 15 列出了通过 GPO2 引脚启用重启功能所需的 GPO2 配置。

表 15 命令 0xDB: GPO_CFG 中的 GPO2_CFG

GPO2_CFG [6:7]	说明
0x0 (00 bin)	禁用 GPO2 功能
0x1 (01 bin)	引脚反映 GPO2_ST [2] 状态
0x2 (10 bin)	引脚配置为 CGDN（输入），内置上拉电阻
0x3 (11 bin)	引脚配置为 RESTARTN（输入），内置上拉电阻

3.9 扩展能量计数器

XDP711-001 新增了 PMBus 命令 READ_EIN_EXT（命令：**0xFB**），为 READ_EIN（命令：**0xE6**）的扩展版本。READ_EIN_EXT 寄存器中的功率累加器位宽已从 24 位扩展至 40 位（如表 16 所示）。由于能量计数器读取的是 16 位的 READ_PIN 值，24 位的翻转计数器最多可累加 16777215（即 2^24 − 1）个 READ_PIN 样本。由于每次采样间隔为 102.4 µs，故可在 28.6 分钟内可靠地累加功率，而不会发生计数器溢出。

表 16 READ_EIN_EXT（命令：0xFB）

寄存器	READ_EIN_EXT															
偏移	0xFB															
地址	0x0FB															
异步复位	0x0000000000000000															
说明	**READ_EIN_EXT 命令以直接格式返回输入能量读数。**															
位	63	62	61	60	59	58	57	56	55	54	53	52	51	50	49	48
字段	样本计数															
位	47	46	45	44	43	42	41	40	39	38	37	36	35	34	33	32
字段	样本计数								翻转计数							
位	31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
字段	翻转计数															
位	15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
字段	能量计数															

按照以下步骤进行能量计算：

1. 在 t1 时刻读取 READ_EIN_EXT（命令：0xFB）寄存器，并提取以下值：

表 17 在 t1 时刻读取 READ_EIN_EXT

XDP711-001 新增特性

READ_EIN_EXT [39:0]：翻转计数 [24:0] + 能量计数 [15:0]	READ_EIN_EXT [63:40]：样本计数 [23:0]
累加功率_t1	样本计数_t1

2. 在 t2 时刻再次读取 READ_EIN_EXT 寄存器，并提取以下值：

表 18 在 t2 时刻读取 READ_EIN_EXT

READ_EIN_EXT[39:0] ：翻转计数 [24:0] + 能量计数 [15:0]	READ_EIN_EXT[63:40]：样本计数 [23:0]
累加功率_t2	样本计数_t2

注意：确保 t2 与 t1 之间的时间间隔不超过 28.6 分钟，否则所计算的能量值将为无效值。

3. 计算样本计数的差值，以确定两次采样之间的准确时间差：

代码清单 1　　计算两次样本计数之间的时间差

```
如果样本计数_t2 大于样本计数_t1，则：
样本计数 (t2-t1) = 样本计数_t2- 样本计数_t1

如果样本计数_t2 小于样本计数_t1，则：
                    样本计数 (t2-t1) = 0xFFFFFF + 样本计数_t2 - 样本计数_t1
```

4. 计算累加功率计数的差值，以确定两次采样之间的准确功率累加量：

代码清单 2　　计算两次采样之间的累加功率

```
如果累加功率_t2 大于累加功率_t1，则：
累加功率 (t2-t1) = 累加功率_t2- 累加功率_t1

如果累加功率_t2 小于累加功率_t1，则：
累加功率 (t2-t1) = 0xFFFFFFFFFF + 累加功率_t2- 累加功率_t1
```

5. 由公式 11 将样本计数换算成实际时间值。

$$\text{采样间隔时间} = \text{样本计数} \times 102.4 \times 10^{-6} \text{ 秒}$$

公式 11　　采样间隔时间计算

6. 由公式 12. 将累加功率换算成实际能量值。

$$\text{能量} = \frac{(Accumulated_{Power} \times 10^{(-r)} - b)}{m \times R_{sns_pop}(m\Omega)} \text{ 焦耳}$$

公式 12　　能量计算

m、r、b 的取值见表 19。

注意：Rsns_pop 为实际焊接于电路板上、用于电流检测的等效分流电阻。

表 19 不同 VLTM_RNG 和 CS_RNG 下的 READ_EIN_EXT 系数值

VTLM_RNG (V)	CS_RNG (mV)	m	b	r
88	12.5	10780	0	0
	25	5390	0	0
	50	26949	0	-1
	100	13474	0	-1
44	12.5	21559	0	0
	25	10780	0	0
	50	5390	0	0
	100	26949	0	-1
22	12.5	43120	0	0
	25	21559	0	0
	50	10780	0	0
	100	5390	0	0

3.10 SOA 曲线更新

XDP711-001 新增了更多 SOA 曲线，以支持英飞凌推出的新款 FET。针对每款 FET 还增加了半直流 SOA 曲线，以替代 10 ms SOA 曲线，满足高功率设计的需求。

当 XDP711-001 用于最大电流设置超过 83.33 A 的设计时，所设 Rsns 与电路中等效 Rsns 的比例关系即不再成立。在此类设计中，Reqv 始终低于所设 Rsns，因此需对 SOA 曲线进行相应缩放。例如，若 SOA 曲线中设定的目标电流为 2 A，所设 Rsns 为 0.3 mΩ，CS_RNG = 25 mV，而等效 Rsns 为 0.15 mΩ，则控制器实际调节的电流将为 4 A 而非 2 A，这可能导致 FET 损坏。因此需特别注意对 SOA 曲线进行相应调整。XDP711-001 新增的半直流 SOA 曲线正是为解决这一问题而设。

表 20 重点列出了 XDP710-002 与 XDP711-011 在 SOA 曲线选项方面的差异。

表 20 FDM 模式下 XDP710-002 与 XDP711-001 的 SOA 曲线选项差异

FET_SELECT[5:0]	XDP7xx-002 的 SOA 曲线	XDP711-001 的 SOA 曲线
0x00 (00 0000 bin)	BSC027N10NS5ATMA1 – 直流曲线	BSC027N10NS5ATMA1 – 直流曲线
0x01 (00 0001 bin)	BSC035N10NS5ATMA1 – 直流曲线	**ISC022N10NM6 – 直流曲线**

XDP711-001 新增特性

FET_SELECT[5:0]	XDP7xx-002 的 SOA 曲线	XDP711-001 的 SOA 曲线
0x02 (00 0010 bin)	BSC040N10NS5ATMA1 – 直流曲线	**ISC027N10NM6 – 直流曲线**
0x03 (00 0011 bin)	IPTG011N08NM5 – 直流曲线	IPTG011N08NM5 – 直流曲线
0x04 (00 0100 bin)	IPTC012N08NM5 – 直流曲线	IPTC012N08NM5 – 直流曲线
0x05 (00 0101 bin)	IPB017N10N5LFATMA1 – 直流曲线	IPB017N10N5LFATMA1 – 直流曲线
0x06 (00 0110 bin)	BSC093N15NS5 – 直流曲线	**ISC025N08NM5LF2 – 直流曲线**
0x07 (00 0111 bin)	BSC074N15NS5 – 直流曲线	**ISC035N10NM5LF2 – 直流曲线**
0x08 (00 1000 bin)	IPTG014N10NM5 – 直流曲线	IPTG014N10NM5 – 直流曲线
0x09 (00 1001 bin)	IPTC015N10NM5 – 直流曲线	IPTC015N10NM5 – 直流曲线
0x0A (00 1010 bin)	IPT015N10N5ATMA1 – 直流曲线	IPT015N10N5ATMA1 – 直流曲线
0x0B (00 1011 bin)	IPB017N10N5ATMA1 – 直流曲线	IPB017N10N5ATMA1 – 直流曲线
0x0C (00 1100 bin)	IPB018N10NM6 – 直流曲线	IPB018N10NM6 – 直流曲线
0x0D (00 1101 bin)	IPT013N08NM5LF – 直流曲线	**ISC030N10NM6 – 直流曲线**
0x0E (00 1110 bin)	IPB020N10N5ATMA1 – 直流曲线	IPB020N10N5ATMA1 – 直流曲线
0x0F (00 1111 bin)	IPB020N10N5LFATMA1 – 直流曲线	IPB020N10N5LFATMA1 – 直流曲线
0x10 (01 0000 bin)	IPB027N10N5ATMA1 – 直流曲线	IPB027N10N5ATMA1 – 直流曲线
0x11 (01 0001 bin)	IPB032N10N5ATMA1 – 直流曲线	IPB032N10N5ATMA1 – 直流曲线
0x12 (01 0010 bin)	IPB033N10N5LFATMA1 – 直流曲线	IPB033N10N5LFATMA1 – 直流曲线
0x13 (01 0011 bin)	IPB072N15N3 – 直流曲线	IPB072N15N3 – 直流曲线
0x14 (01 0100 bin)	IPB042N10N3 – 直流曲线	IPB042N10N3 – 直流曲线
0x15 (01 0101 bin)	IPT016N10NM5LF – 直流曲线	**保留**
0x16 (01 0110 bin)	保留	**IQD020N10NM5CG – 直流曲线**
0x17 (01 0111 bin)	保留	**BSC035N10NS5ATMA1 – 直流曲线**
0x18 (01 1000 bin)	保留	**BSC040N10NS5ATMA1 – 直流曲线**
0x19 (01 1001 bin)	保留	**BSC093N15NS5 – 直流曲线**
0x1A (01 1010 bin)	保留	**BSC074N15NS5 – 直流曲线**
0x1B (01 1011 bin)	保留	**LF1FET1 – 直流曲线**
0x1C (01 1100 bin)	保留	**LF2FET2 – 直流曲线**
0x1D (01 1101 bin)	保留	保留
0x1E (01 1110 bin)	保留	保留
0x1F (01 1111 bin)	保留	保留
0x20 (10 0000 bin)	BSC027N10NS5ATMA1 – 10 ms 曲线	**BSC027N10NS5ATMA1 – 半直流曲线**
0x21 (10 0001 bin)	BSC035N10NS5ATMA1 – 10 ms 曲线	**ISC022N10NM6 – 半直流曲线**
0x22 (10 0010 bin)	BSC040N10NS5ATMA1 – 10 ms 曲线	**ISC027N10NM6 – 半直流曲线**
0x23 (10 0011 bin)	IPTG011N08NM5 – 10 ms 曲线	**IPTG011N08NM5 – 半直流曲线**
0x24 (10 0100 bin)	IPTC012N08NM5 – 10 ms 曲线	**IPTC012N08NM5 – 半直流曲线**
0x25 (10 0101 bin)	IPB017N10N5LFATMA1 – 10 ms 曲线	**IPB017N10N5LFATMA1 – 半直流曲线**

XDP711-001 新增特性

FET_SELECT[5:0]	XDP7xx-002 的 SOA 曲线	XDP711-001 的 SOA 曲线
0x26 (10 0110 bin)	BSC093N15NS5 – 10 ms 曲线	**ISC025N08NM5LF2 – 半直流曲线**
0x27 (10 0111 bin)	BSC074N15NS5 – 10 ms 曲线	**ISC035N10NM5LF2 – 半直流曲线**
0x28 (10 1000 bin)	IPTG014N10NM5 – 10 ms 曲线	**IPTG014N10NM5 – 半直流曲线**
0x29 (10 1001 bin)	IPTC015N10NM5 – 10 ms 曲线	**IPTC015N10NM5 – 半直流曲线**
0x2A (10 1010 bin)	IPT015N10N5ATMA1 – 10 ms 曲线	**IPT015N10N5ATMA1 – 半直流曲线**
0x2B (10 1011 bin)	IPB017N10N5ATMA1 – 10 ms 曲线	**IPB017N10N5ATMA1 – 半直流曲线**
0x2C (10 1100 bin)	IPB018N10NM6 – 10 ms 曲线	**IPB018N10NM6 – 半直流曲线**
0x2D (10 1101 bin)	IPT013N08NM5LF – 10 ms 曲线	**ISC030N10NM6 – 半直流曲线**
0x2E (10 1110 bin)	IPB020N10N5ATMA1 – 10 ms 曲线	**IPB020N10N5ATMA1 – 半直流曲线**
0x2F (10 1111 bin)	IPB020N10N5LFATMA1– 10 ms 曲线	**IPB020N10N5LFATMA1 – 半直流曲线**
0x30 (11 0000 bin)	IPB027N10N5ATMA1 – 10 ms 曲线	**IPB027N10N5ATMA1 – 半直流曲线**
0x31 (11 0001 bin)	IPB032N10N5ATMA1 – 10 ms 曲线	**IPB032N10N5ATMA1 – 半直流曲线**
0x32 (11 0010 bin)	IPB033N10N5LFATMA1 – 10 ms 曲线	**IPB033N10N5LFATMA1 – 半直流曲线**
0x33 (11 0011 bin)	IPB072N15N3 – 10 ms 曲线	**IPB072N15N3 – 半直流曲线**
0x34 (11 0100 bin)	IPB042N10N3 – 10 ms 曲线	**IPB042N10N3 – 半直流曲线**
0x35 (11 0101 bin)	IPT016N10NM5LF – 10 ms 曲线	**保留**
0x36 (11 0110 bin)	保留	**IQD020N10NM5CG – 半直流曲线**
0x37 (11 0111 bin)	保留	**BSC035N10NS5ATMA1 – 半直流曲线**
0x38 (11 1000 bin)	保留	**BSC040N10NS5ATMA1 – 半直流曲线**
0x39 (11 1001 bin)	保留	**BSC093N15NS5 – 半直流曲线**
0x3A (11 1010 bin)	保留	**BSC074N15NS5 – 半直流曲线**
0x3B (11 1011 bin)	保留	**LF1FET1 – 半直流曲线**
0x3C (11 1100 bin)	保留	**LF2FET2 – 半直流曲线**
0x3D (11 1101 bin)	保留	保留
0x3E (11 1110 bin)	保留	保留
0x3F (11 1111 bin)	SOA OTP（用户自定义 SOA）	SOA OTP（用户自定义 SOA）

若选择了 AADM 模式，表 21 列出了 XDP710-002 与 XDP711-001 通过 MODE 引脚选择预定义 SOA 曲线的差异。在 AADM 模式下将设计从 XDP710-002 移植至 XDP711-001 时，应注意为相应的 SOA 曲线选择正确的电阻。

XDP711-001 新增特性

表 21 AADM 模式下 XDP710-002 与 XDP711-001 的 SOA 曲线选项差异

MODE1 引脚电压	MODE0 引脚电压	XDP710-002 的 SOA 曲线	XDP711-001 的 SOA 曲线
GND (MODE1<0.8 V)	GND (MODE0<0.8 V)	BSC027N10NS5	BSC027N10NS5
GND (MODE1≥2.4 V)	12 kΩm (0.8 V≤MODE0<1.6 V)	BSC035N10NS5	**ISC022N10NM6**
GND (MODE1≥2.4 V)	20 kΩ (1.6 V≤MODE0<2.4 V)	BSC040N10NS5	**ISC027N10NM6**
GND (MODE1≥2.4 V)	开路 (MODE0≥2.4 V)	IPTG011N08NM5	IPTG011N08NM5
12 kΩ (0.8 V≤MODE1<1.6 V)	GND (MODE0<0.8 V)	IPTC012N08NM5	IPTC012N08NM5
12 kΩ (0.8 V≤MODE1<1.6 V)	12 kΩ (0.8 V≤MODE0<1.6 V)	IPB017N10N5LF	IPB017N10N5LF
12 kΩ (0.8 V≤MODE1<1.6 V)	20 kΩ (1.6 V≤MODE0<2.4 V)	BSC093N15NS5	**ISC025N08NM5LF2**
12 kΩ (0.8 V≤MODE1<1.6 V)	开路 (MODE0≥2.4 V)	BSC074N15NS5	**ISC035N10NM5LF2**
20 kΩ (1.6 V≤MODE1<2.4 V)	GND (MODE0<0.8 V)	IPTG014N10NM5	IPTG014N10NM5
20 kΩ (1.6 V≤MODE1<2.4 V)	12 kΩ (0.8 V≤MODE0<1.6 V)	IPTC015N10NM5	IPTC015N10NM5
20 kΩ (1.6 V≤MODE1<2.4 V)	20 kΩ (1.6 V≤MODE0<2.4 V)	IPT015N10N5	IPT015N10N5
20 kΩ (1.6 V≤MODE1<2.4 V)	开路 (MODE0≥2.4 V)	IPB017N10N5	IPB017N10N5
开路 (MODE1≥2.4 V)	GND (MODE0<0.8 V)	IPB018N10NM6	IPB018N10NM6
开路 (MODE1≥2.4 V)	12 kΩ (0.8 V≤MODE0<1.6 V)	IPT013N08NM5LF	**ISC030N10NM6**
开路 (MODE1≥2.4 V)	20 kΩ (1.6 V≤MODE0<2.4 V)	IPB020N10N5	IPB020N10N5
开路 (MODE1≥2.4 V)	开路 (MODE0≥2.4 V)	通过 MODE 命令选择的 SOA 曲线	通过 MODE 命令选择的 SOA 曲线

3.11 用户配置 ID 存储寄存器

XDP711-001 新增了一个可通过 PMBus 命令 CONFIG_ID（命令：**0xFA**）进行访问的 1 字节寄存器 CONFIG_ID，用于存储用户自定义信息，比如存储可供快速识别已存入控制器的配置的配置 ID。

3.12 警告激活

下表以粗体突出显示了 XDP710-002 与 XDP711-001 在警告激活方面的差异。

表 22 XDP711-001 的警告激活

警告名称	控制器状态														
	POR_INIT	READ_OTP	READ_PINS	ANA_EN	CHK_FET	STANDBY	INIT_SOA_REG	ON	I_REG	SURGE	GREC1	GREC2	FAULT	WAIT_10S	MEM_FAULT/LATCH_OFF
VGSL	–	–	–	–	–	–	–	X	–	–	–	–	–	–	–

XDP711-001 新增特性

警告名称	控制器状态														
	POR_INIT	READ_OTP	READ_PINS	ANA_EN	CHK_FET	STANDBY	INIT_SOA_REG	ON	I_REG	SURGE	GREC1	GREC2	FAULT	WAIT_10S	MEM_FAULT/LATCH_OFF
OT	–	–	–	–	–	X	X	X	X	X	X	X	X	–	–
TSD	–	–	–	–	–	X	X	X	X	X	X	X	X	–	–
UV	–	–	–	–	–	X	X	X	X	X	X	X	X	–	–
OV	–	–	–	–	–	X	X	X	X	X	X	X	X	–	–
OOV	–	–	–	–	–	X	X	X	X	X	X	X	X	–	–
OUV	–	–	–	–	–	–	–	X	X	X	X	X	–	–	–
SOAR	–	–	–	–	–	–	–	X	X	–	–	–	–	–	–
OUC	–	–	–	–	–	–	–	X	X	–	–	–	–	–	–
OOC	–	–	–	–	–	**X**	**X**	X	X	X	X	X	–	–	–
INeg	–	–	–	–	–	–	--	X	X	–	–	–	–	–	–
OP	–	–	–	–	–	**X**	X	X	X	X	X	X	–	–	–
COM	–	–	–	–	X	X	X	X	X	X	X	X	X	X	X

4 XDP711-001 所需的硬件更改

将设计从 XDP710-002 移植至 XDP711-001 所需的硬件更改如下：

- 引脚 25（SOURCE）与引脚 24（VOUT）合并为单一引脚 25（VOUT），输出电压检测和 MOSFET 源极连接均通过该引脚完成
- 引脚 24 现用于在引脚 24（VCP）与引脚 25（VOUT）之间安装用于实现浪涌抗扰的电荷泵电容。即使不使用浪涌抗扰功能，也建议预留电容位置。
- 引脚 26（GATE）与引脚 25（VOUT）之间需预留电容位置。使用浪涌抗扰功能时需要此电容，其计算方法详见 3.2 节中的公式 2、公式 3 和公式 4。
- 若已启用 AMON 功能，则需在引脚 19（AMON）分别外接对地电阻与对地电容。电阻用于将电流信号转换为电压信号以供 ADC 接口采样，实现模拟电流或功率的读取；电容则用于抑制噪声。
- XDP711-001 的输入电压范围已从 XDP710-002 的 5 V ~ 80 V 变更为 7 V ~ 80 V。

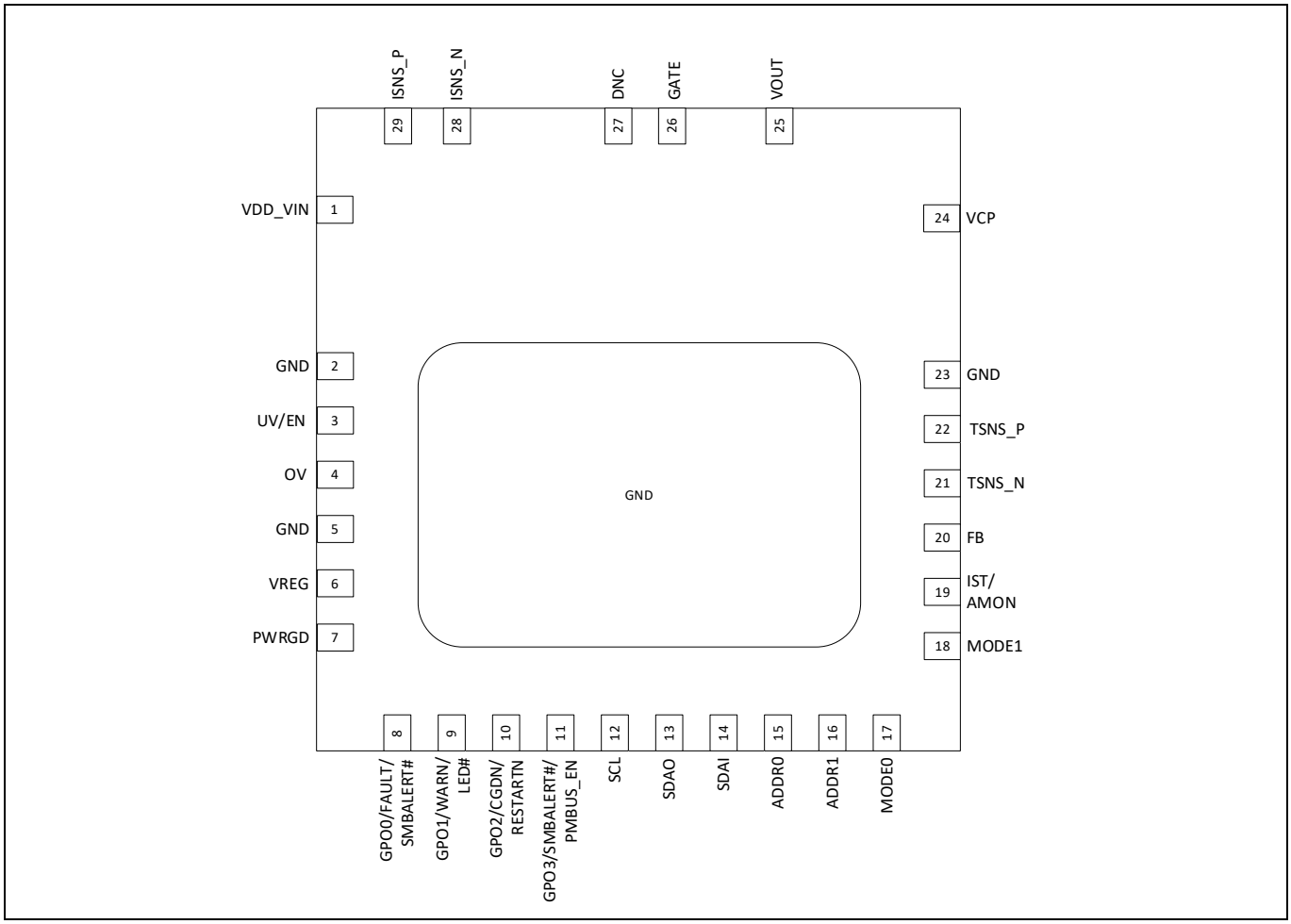


图 17 XDP711-001 的引脚分布

5 PCB 布局指南与原理图

5.1 VCP 引脚布局

图 18 所示为 XDP711-001 的栅极驱动器原理图。GATE 经由若干电阻连接至各功率 MOSFET 的栅极引脚，VOUT 则连接至源极引脚。VCP 是集成电荷泵的储能电容引脚，需要在该引脚与 V_{OUT} 引脚之间连接一个外部电容（C2）。推荐 PCB 布局见表 15。

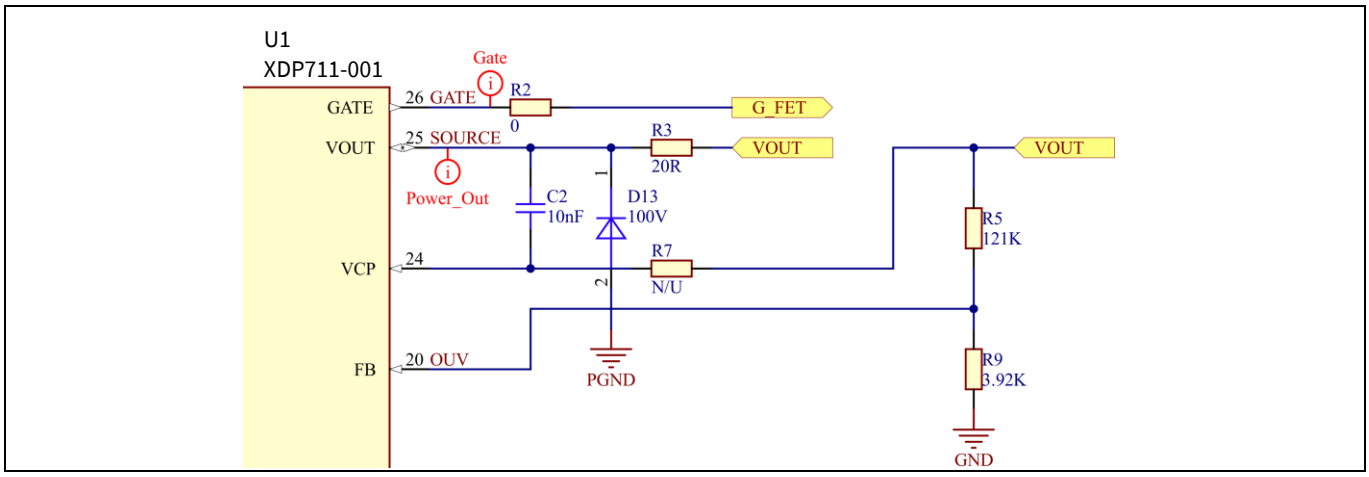


图 18 XDP711-001 的栅极驱动器原理图

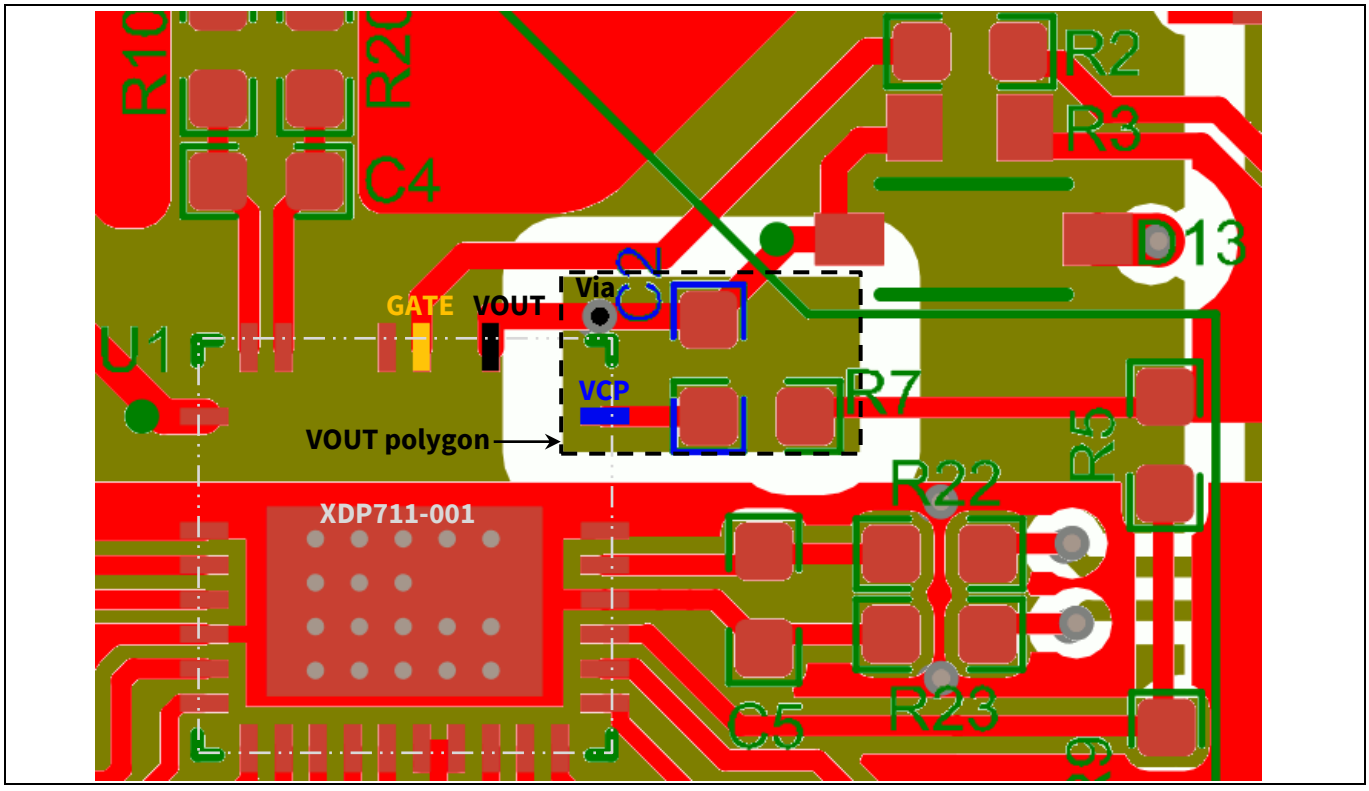


图 19 PCB 顶层（红色）与中间层 2（绿色）

推荐 PCB 布局：

PCB 布局指南与原理图

- VCP 电容 C2 应尽可能靠近 VCP 引脚布置
- **重要**：在 VCP 引脚及 VCP 电容焊盘正下方的相邻层（本例为中间层 2）铺设 VOUT 覆铜，并通过一个（或多个）过孔将该覆铜连接至 V_{OUT} 信号
- 尽可能减小 VCP 焊盘、VCP 走线及与 VCP 引脚相连焊盘的覆铜面积。本例中，电容 C2 与电阻 R7 因不会同时安装，故共用同一 VCP 信号焊盘。

6 同时兼容 XDP710-002 与 XDP711-001 的设计

为能同时兼容 XDP710-002 和 XDP711-001，建议在引脚 24 与引脚 25 之间预留电容和电阻的位置（见图 20 中的 C2 和 R7）。

不同使用场景下需安装的元件如下:

- **XDP710-002：**安装 R7，不安装 C11 和 C2
- **XDP711-001（无浪涌抗扰功能）：**安装 C2（可留空），不安装 R7 和 C11
- **XDP711-001（带浪涌抗扰功能）：**安装 C11 和 C2，不安装 R7

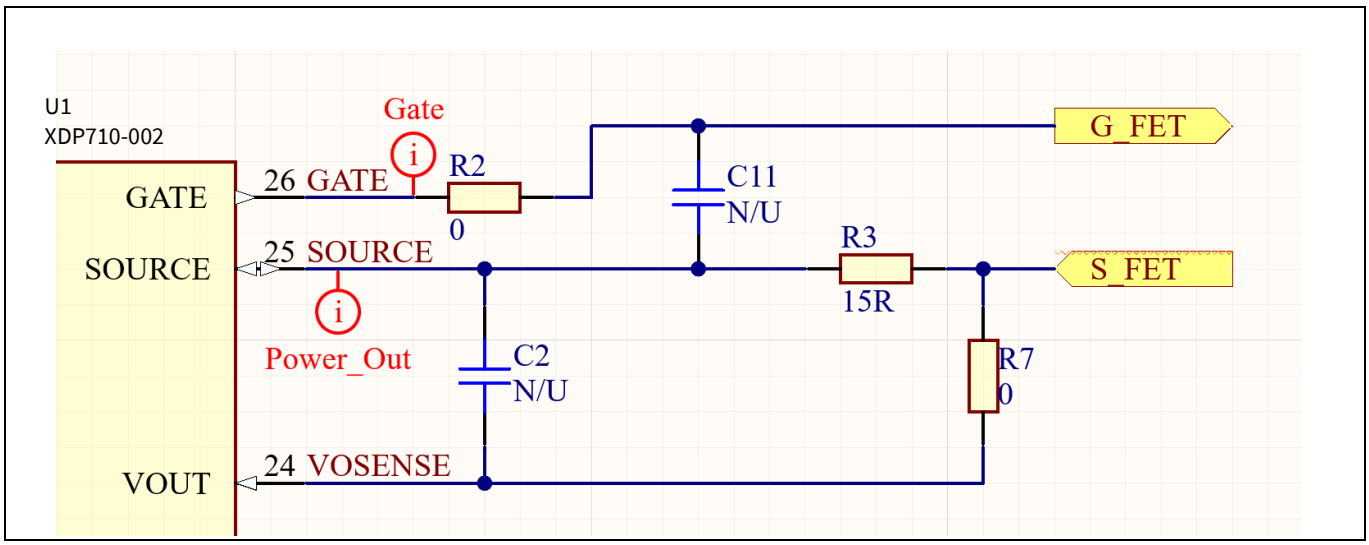


图 20 XDP710-002 和 XDP711-001 的引脚 24 和引脚 25 连接电路图

7 XDP711-001 的检测算法

按以下步骤在 PMBus 上识别 XDP711-001：

1. 读取 PMBus 命令 0x99（命令名称：**MFR_ID**，长度：**3 字节**）以识别控制器制造商。数据 **0x004649** 对应英飞凌科技
2. 块读取 PMBus 命令 0x9A（命令名称：**MFR_MODEL**，长度：**16 字节**）。数据 **0x0000313137504458** 对应 XDP711
3. 块读取 PMBus 命令 0x9B（命令名称：**MFR_REVISION**，长度：**4 字节**）。数据 **0x0003** 对应版本 3，即 XDP711-001。

8 结论

按本文所述的步骤操作，即可顺利将设计从 XDP710-002 移植至 XDP711-001。XDP Design GUI 还提供了**配置文件转换工具**，可将 XDP710-002 配置文件转换为 XDP711-001 配置文件，以获得与 XDP710-002 相同的设计。随后再调整设置以启用 XDP711-001 新增的特性。

参考文献

[1] Infineon Technologies AG: *XDP710-002 hot-swap controller datasheet;* 在线获取

[2] Infineon Technologies AG: *XDP700-002 hot-swap controller datasheet*; 在线获取

[3] Infineon Technologies AG: *XDP711-001 hot-swap controller datasheet*; 在线获取

修订历史

修订历史

文档版本	修订日期	修订描述
V 1.0	2025-06-27	首次发布

商标
本文档中提及的所有产品或服务名称及商标，均为其各自所有者的财产。

版本：2025-06-27
出版：

Infineon Technologies AG
81726 Munich, Germany

©英飞凌科技版权所有，2026 年。
保留所有权利。

对本文档有疑问？
请发送邮件至：erratum@infineon.com

文档编号
DG225002

重要提示
本文档所提供的任何信息绝不应当被视为针对任何条件或者品质而做出的保证（质量保证）。英飞凌对于本文档中所提及的任何事例、提示或者任何特定数值及/或任何关于产品应用方面的信息均在此明确声明其不承担任何保证或者责任，包括但不限于其不侵犯任何第三方知识产权的保证均在此排除。
此外，本文档所提供的任何信息均取决于客户履行本文档所载明的义务和客户遵守适用于客户产品以及与客户对于英飞凌产品的应用所相关的任何法律要求、规范和标准。

本文档所含的数据仅供经过专业技术培训的人员使用。客户自身的技术部门有义务对于产品是否适宜于其预期的应用和针对该等应用而言本文档中所提供的信息是否充分自行予以评估。

如需产品、技术、交付条款和条件以及价格等进一步信息，请向离您最近的英飞凌科技办公室接洽（www.infineon.com）。

警告事项
由于技术所需产品可能含有危险物质。如需了解该等物质的类型，请向离您最近的英飞凌科技办公室接洽。

除非由经英飞凌科技授权代表签署的书面文件中做出另行明确批准的情况外，英飞凌科技的产品不应当被用于任何一项一旦产品失效或者产品使用的后果可被合理地预料到可能导致人身伤害的任何应用领域。