International
IOR Rectifier

APPLICATION NOTE

アプリケーション･ノート AN-1087

2次側同期整流用の SmartRectifier™コントロールIC「IR1167」の 応用設計例

Maurizio Salato, Adnaan Lokhandwala, Marco Soldano
International Rectifier Corporation

目次

はじめに.....p.2

SmartRectifier™技術の概要.....p.2

CCM フライバックと DCM フライバックの動作と解析.....p.3

共振型コンバータの動作..... p.7

標準的な周辺回路と受動部品.....p.8

設計手順の詳細.....p.14

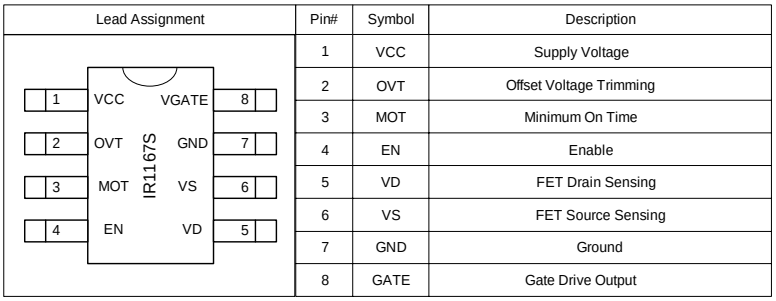
プリント回路基板のレイアウトの指針と例.....p.26

記号の一覧.....p.29

はじめに

IR1167S は、絶縁型フライバック・コンバータの中で同期整流用に使われる n チャネルのパワーMOSFET を駆動するために設計した 2 次側のゲート駆動 IC です。ショットキ・ダイオードによる整流動作を、1 個または並列接続した複数個の MOSFET に置き換えたときに、その MOSFET を制御するための IC です。

差動入力の比較器で MOSFET のドレイン-ソース間電圧 V_{DS} を検出して電流レベルを決め、電流変化がゼロとなる近くでデバイスをオン／オフさせます。この IC は 8 ピン・パッケージに収めてあり、そのピン配置が図 1 です。



Pin#	Symbol	Description
1	VCC	Supply Voltage
2	OVT	Offset Voltage Trimming
3	MOT	Minimum On Time
4	EN	Enable
5	VD	FET Drain Sensing
6	VS	FET Source Sensing
7	GND	Ground
8	GATE	Gate Drive Output

図 1　SmartRectifier™ コントロール IC (IR1167) のピン配置

SmartRectifier™ 技術の概要

出力に同期整流（ローサイド構成）を採用したフライバック・コンバータの代表的な回路図を図 2 に示します。

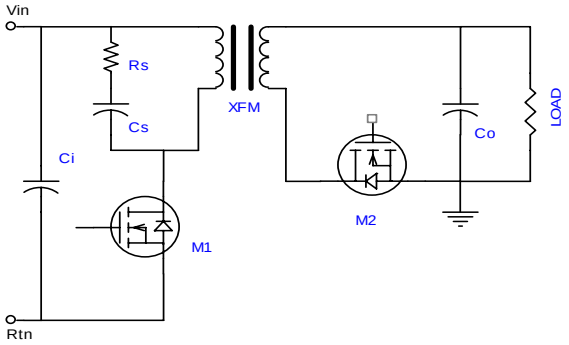


図2　同期整流を採用したフライバック･コンバータの代表的な回路図

１次側の MOSFET（M1）がオフすると、２次側の電流が MOSFET（ M2）のボディ・ダイオード（MOSFET に内蔵したダイオード）を介して流れます。ダイオードを使って構成した整流回路では、その出力ダイオードに電流が流れることに相当します。

SmartRectifier コントロール技術では、MOSFET に加わる電圧を検出し、それを 2 種類の負のしきい電圧と比較して、MOSFET のオン／オフを決定します（図３）。大きい方の負のしきい電圧 V_{TH2} がボディ・ダイオードを流れる電流を検出して、パワー・デバイスのオンへの変化を制御します。同様に、外部から設定した小さい方の負のしきい電圧 V_{TH1} は、MOSFET がオフする電流レベルを決定します。

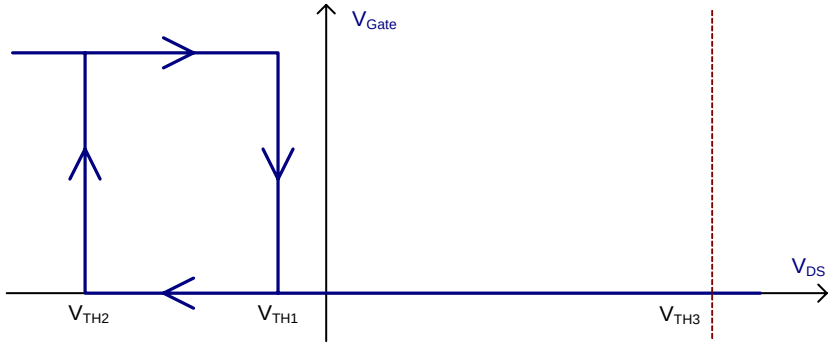


図3　SmartRectifier コントロール IC「IR1167」の差動電圧検出のしきい電圧

ボディ・ダイオードとチャネルとの間でデバイスの電流が変化するときに、誤ってオフすることやゲートのチャタリングを防止するための制御論理も追加されています。

パワー・デバイスがオンすると、検出電圧が瞬時にオン抵抗（R_{DSon}）×ドレイン電流（I_D）まで減少して、デバイス電流のレベルに応じてターン・オフのしきい電圧を下回ることがあるため、デバイスが誤ってオフしてしまうことがあります。また、デバイスのターン・オンは、トランスの漏れインダクタンスとデバイスの出力容量との間で発生するリンギングにも関係します。

CCM フライバックと DCM フライバックの動作と解析

SmartRectifier 技術を採用した IC（IR1167）は、同期整流用 MOSFET を最適に駆動することにより、ダイオード整流器の動作を置き換えることができます。パワーMOSFET のオン抵抗をシャント抵抗として使う入力比較器によって整流器の電流を検出し、図３に示した３種類のしきい電圧に基づいて、検出した電圧レベルに応じて MOSFET のゲート・ピンを駆動します。内蔵のブランキング論理を使って、誤動作の発生を防止し、電流連続モード（CCM）、電流不連続モード（DCM）、クリティカル・モード（CrCM）での動作を確実にします。

フライバック回路の動作モードは、主に同期整流用スイッチのターン・オフの位相によって異なりますが、２次側スイッチのターン・オンの位相（これは１次側スイッチのターン・オフに対応）は同じです。

▽ターン･オン状態

同期整流用 MOSFET の導通状態が始まると、電流がボディ・ダイオードを流れ始めて、MOSFET の両端に負のドレイン-ソース間電圧 V_{DS} が発生します。ボディ・ダイオードの電圧降下は、一般に MOSFET のオン抵抗で発生する電圧よりも高いため、ターン・オンのしきい電圧 V_{TH2} を超えて、トリガーがかかります。この点で、IR1167 が MOSFET のゲートを駆動してオンさせ、このために導通電圧 V_{DS} が低下します。

この電圧降下には、一般に、ある程度のリンギングが含まれるため、これによって入力の比較器がオフしてしまうことがあります。このため、外部から設定可能な最小のオン時間（MOT）のブランキング期間を設けて、この期間は、パワーMOSFET がオン状態を維持するようにします。

設定した最小オン時間は同期整流用 MOSFET のデューティ比の最小値も制限してしまうため、１次側スイッチのデューティ比の最大値も制限されます。

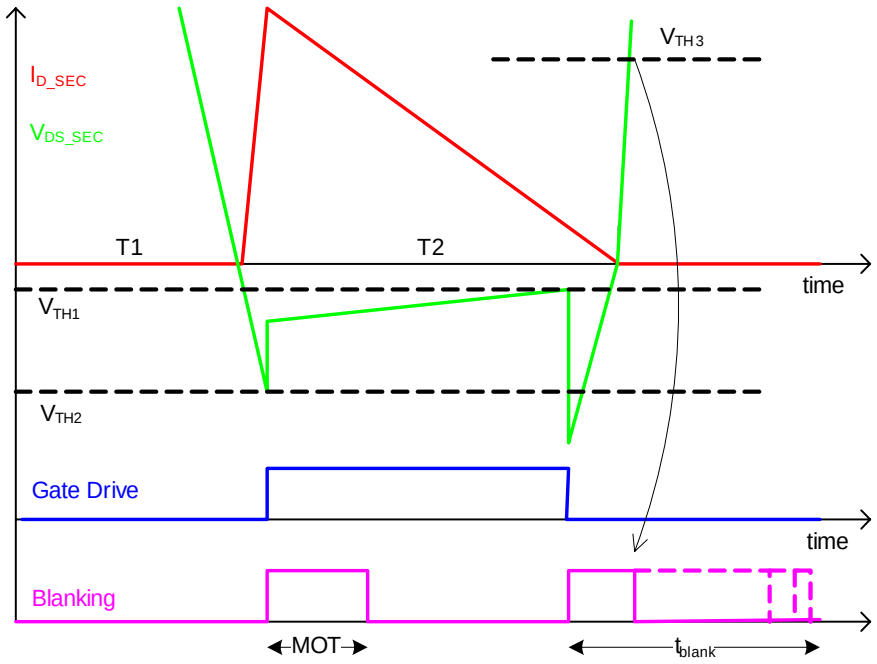


図4　DCM 動作時の最小オン時間 (MOT) とブランキング時間 t_{blank}

最小オン時間とブランキング期間の論理は、スイッチングの１周期当たり１回だけ有効であれば良いことに注意してください。これらが再度有効になるためには、すなわち次のスイッチング周期の準備ができるためには、V_{DS} が V_{TH3} に到達すること、つまり１次側がオンしなければなりません。

▽ DCM と CrCM のターン･オフ状態

同期整流用 MOSFET がいったんオンすると、整流電流が減少して V_{DS} がターン・オフのしきい電圧 V_{TH1} を超えるまでオン状態が維持されます。この動作は、動作モードに応じて異なります。

DCM では、電流は比較的小さい dI／dt でしきい電圧を横切ります。いったんしきい電圧を横切ると、電流は再度ボディ・ダイオードを流れるため、V_{DS} が負側に振れます。残留電流の大きさに応じて、V_{DS} は再度ターン・オンのしきい電圧にトリガーをかけます。このため、V_{TH1} のトリガー後、内部で設定されたブランキング期間 t_{blank} （図４）の間、V_{TH2} が無視されます。V_{DS} が正のしきい電圧 V_{TH3} を横切ると直ちに、ブランキング期間が終了して、IC は次の導通サイクルの準備が整います。

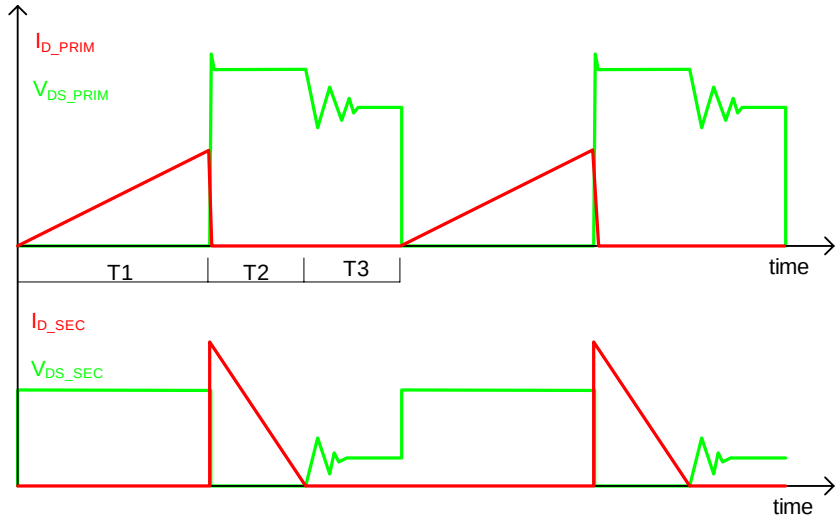


図5　DCM 動作のフライバック･コンバータの波形

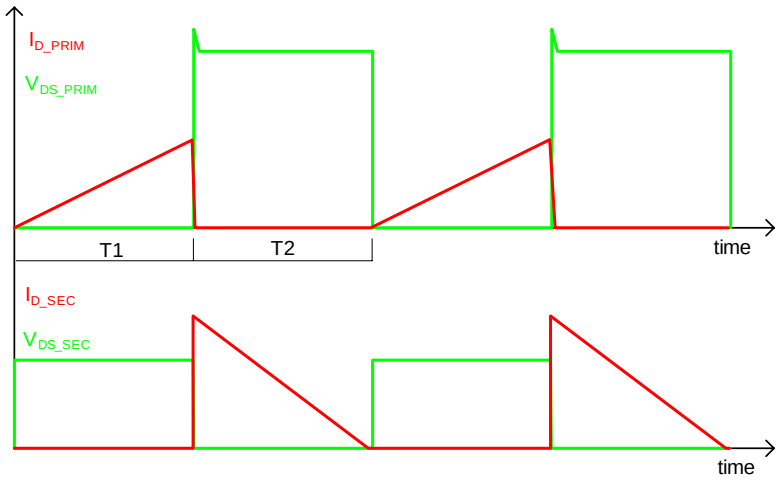


図6　CrCM 動作のフライバック･コンバータの波形

▽ CCM のターン･オフ状態

同期整流用 MOSFET の導通状態では電流が直線的に減少します。同期整流用 MOSFET の V_{DS} も同様です。１次側スイッチがオン状態に戻り始めると、同期整流用 MOSFET の電流が V_{TH1} を横切って急速に減少するため、ゲートがオフします。

ここでは、１次側でのスイッチング損失を減らすために、ターン・オフの速度の方が重要です。ブランキング期間は、この場合も使われますが、変化が非常に高速なので、V_{DS} が V_{TH3} を横切ったら直ちにリセットされます。

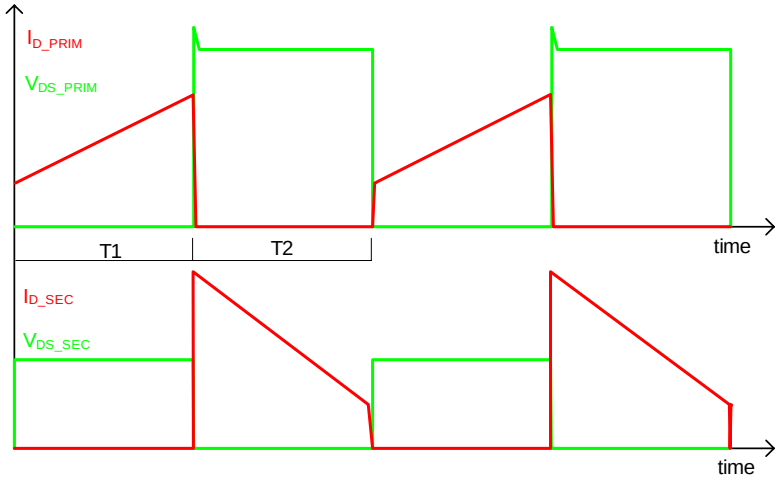


図 7　CCM 動作のフライバック･コンバータの波形

共振型コンバータの動作

図８に、出力フィルタ（図中のコンデンサ C_{out}）を備える直列共振型コンバータの代表的な２次側回路図を示します。このような用途で同期整流を行うときは、電流検出トランス２個、高速比較器２個、２個のパワー・デバイスを駆動するための伝搬遅延時間の小さい大電流ゲート駆動回路２個が必要になります。既存のモノリシック IC によるソリューションは PLL（位相同期ループ）技術を採用し、２次側 MOSFET のターン・オフの変化を予測するために１次側からの信号に同期させています。従って、コンバータが軽い負荷状態または無負荷状態でバースト・モード動作するときに信頼性の高い動作を保証できません。

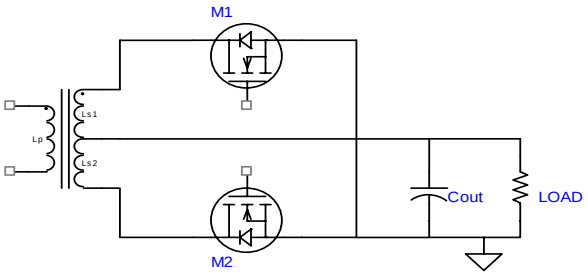


図8　直列共振型コンバータの代表的な2次側回路図

SmartRectifier 技術は、１次側のスイッチング技術とは完全に独立に動作します。共振型コンバータでは dI／dt の変化が小さいため、IR1167 はこのような用途に対して優れた選択肢です。図９の波形を使って説明します。

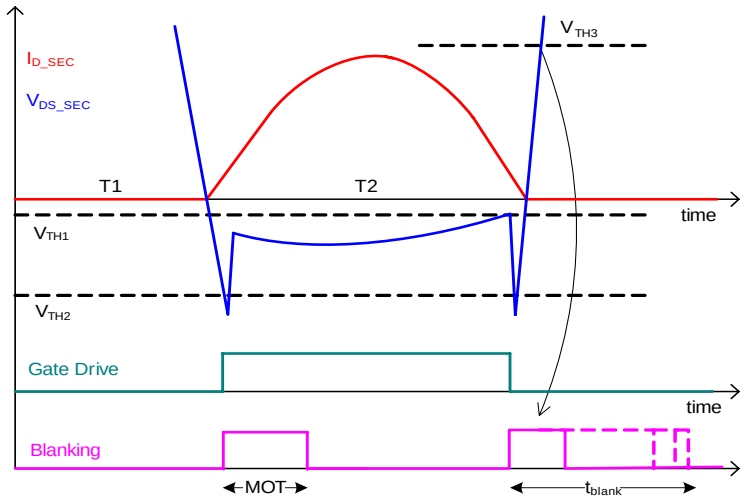


図9　SmartRectifier コントロール IC (IR1167) を使った直列共振型コンバータの波形

共振型コンバータでは、固定周波数または可変周波数（デューティ比 50%）で動作したときに安定化した出力電圧が得られます。可変周波数では、コンバータは低ライン電圧の全負荷状態では最小スイッチング周波数で、高ライン電圧の無負荷状態では最大スイッチング周波数で、それぞれ動作します。

このため、共振型コンバータに対して選択する最小オン時間は、単純にコンバータの最大スイッチング周波数に基づいています。軽い負荷状態（すなわち、最大スイッチング周波数での動作）で最小オン時間を設定しているので、同期整流用 MOSFET に対して正しいゲート信号が与えられます。そして、コンバータが重い負荷で動作するときにのみ、状況は改善できます。

標準的な周辺回路と受動部品

IR1167 の動作に必要な受動部品は、C（電源のデカップリング・コンデンサ）、R_g（同期整流用 MOSFET のゲートに接続する抵抗）、R_{MOT}（最小オン時間を設定するための抵抗）。

必須ではありませんが推奨する部品は、R_{CC}（電源の直列抵抗）です。

すべてのローサイド構成の回路では、安定化した電圧が推奨電圧範囲（12V～20V）にある限り、コンバータ出力から直接、電源を取り出すことができます。その他の場合は、次の専用電源を介して供給することを推奨します。

ハイサイドの場合はトランスの補助巻線。

ローサイドの場合はトランスの主巻線タップ。

図 10～図 17 に、標準的な周辺回路例を示します。

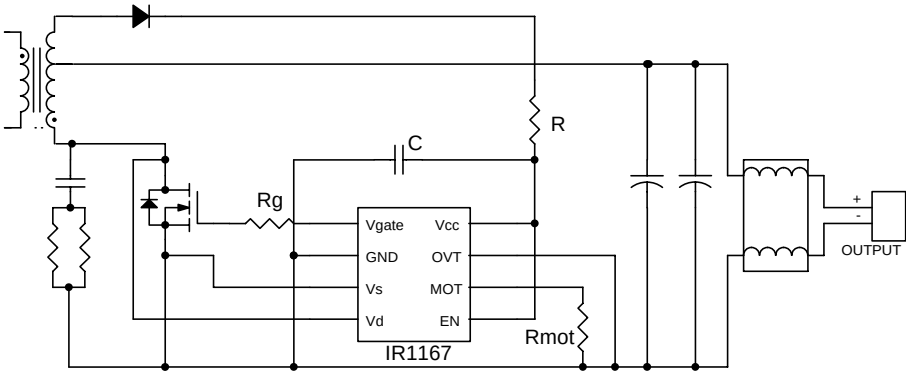


図 10　シングルエンド、ローサイド整流、巻線タップからの電源供給 (V_{output} < 12V)

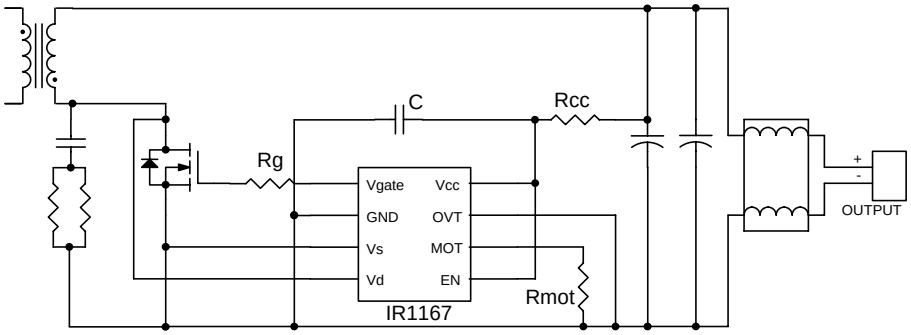


図 11　シングルエンド、ローサイド整流、出力電圧からの電圧供給 (V_{output} ＝ 12V～20V)

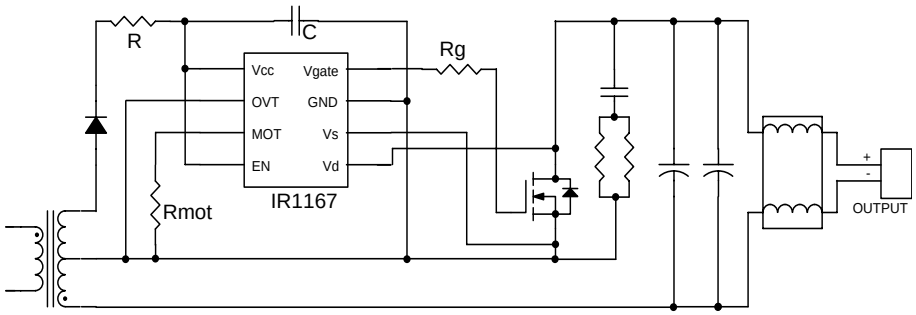


図 12　シングルエンド、ハイサイド整流、巻線の補助タップからの電圧供給 (出力電圧とは独立)

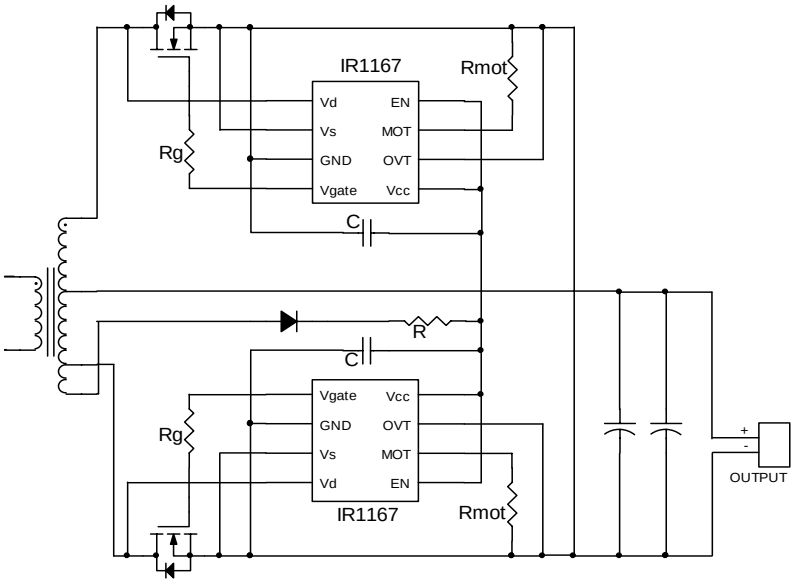


図 13 中央タップ、ローサイド整流 (ハーフブリッジまたはフルブリッジの共振型) 、特別な巻線からの電圧供給 (V_{output} < 6V)

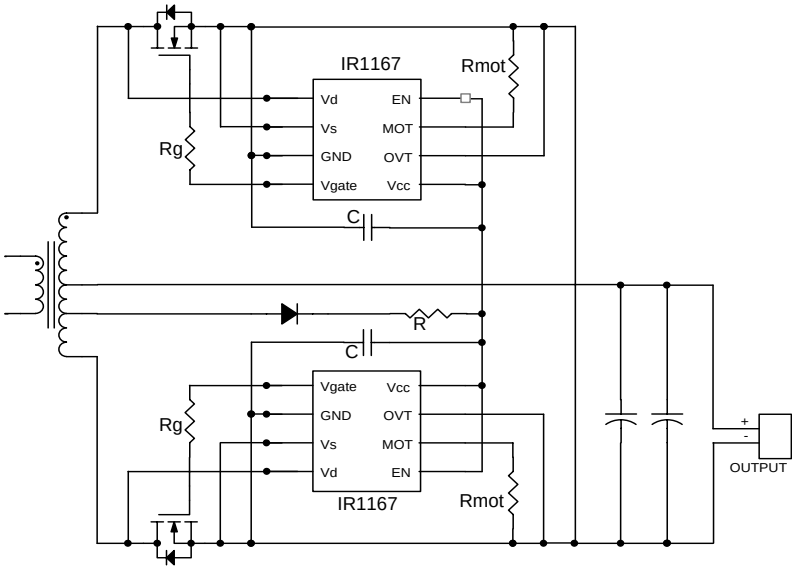


図 14 中央タップ、ローサイド整流 (ハーフブリッジまたはフルブリッジの共振型) 、巻線タップからの電圧供給 (6V < V_{output} < 10V)

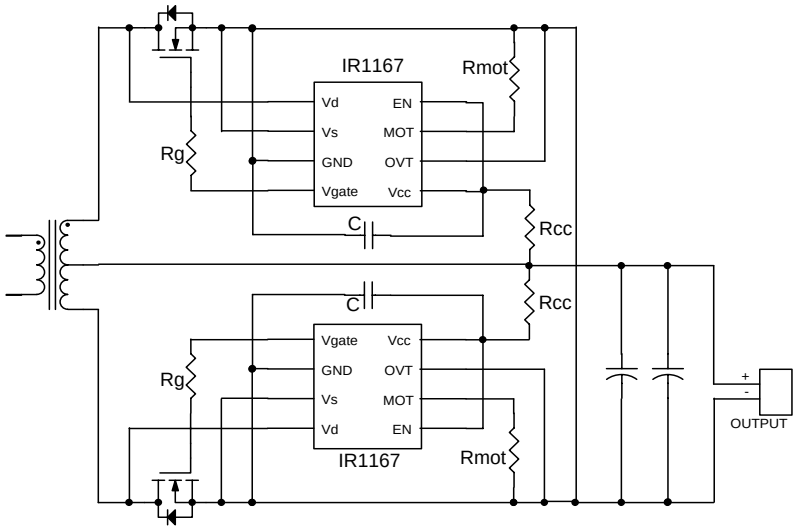


図 15　中央タップ、ローサイド整流 (ハーフブリッジまたはフルブリッジの共振型)、出力電圧からの電圧供給 (V_{output} ＝ 12V～20V)

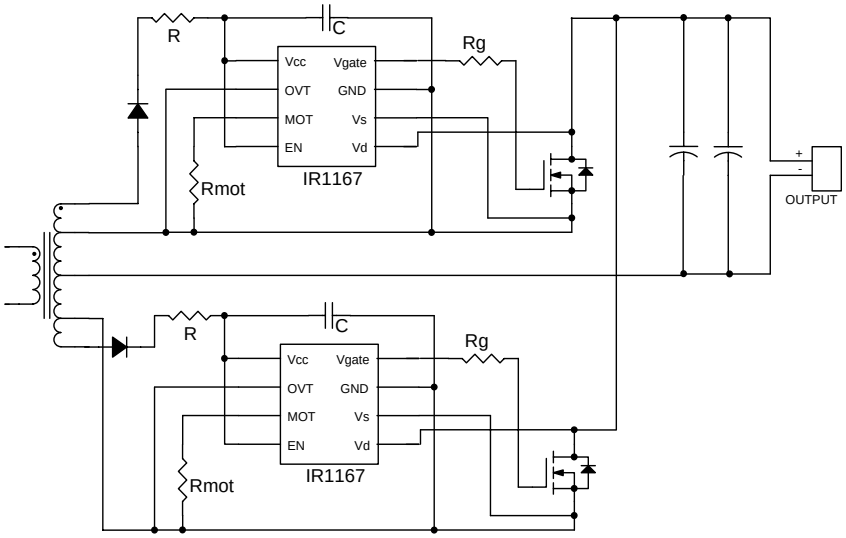


図 16　中央タップ、ハイサイド整流 (ハーフブリッジまたはフルブリッジの共振型)、特別な巻線からの電圧供給 (出力電圧とは独立)

必須のシステム・パラメータ

設計で知ることができない場合に、システムから得られる基本値は、

1. 最大スイッチング周波数 f_{SWmax} と最小動作スイッチング周波数 f_{SWmin}。
2. 2 次側の最小導通時間。
   最小オン時間（MOT）とも呼ばれます（SmartRectifier™ 技術の用語です）。
3. 動作モード：電流連続モード（CCM）、電流不連続モード（DCM）、クリティカル・モード（CrCM）。
4. IR1167S が動作する環境の最大温度は T_{ICamb}。
   一般的にはプリント回路基板の最大温度と同じです。
5. 電源電圧 V_{supply} の供給。比較器の出力電圧（ローサイド整流システムの場合）または専用電源（トランスの特別な巻線またはタップ）を使うことができます。

▽ 最小オン時間 (MOT) の決定

既存システムで最小オン時間を正しく求めるためには、次の手順に従ってください。まず、出力整流電圧（または電流）を測定し、導通波形をトリガーするためにオシロスコープを設定します。次に、導通波形の減少を最小（一般に軽い負荷または無負荷、高ライン電圧）に表示する条件（交流電源のライン電圧および負荷）を求めます。そして、測定器を使って、導通パルス幅を統計的にモニターします。この機能を内蔵している測定器が多いと思います。

ほとんどのフライバック・コントローラは周波数が可変なので、パルス幅は大幅に変化します。従ってここでは、求めた動作点付近で、負荷と主電源ラインの電圧が少し変化するときの最小の値を得ることが目的です（動作点が無負荷の場合は、負荷を接続する必要はありません）。 図 17 に測定データを示します。

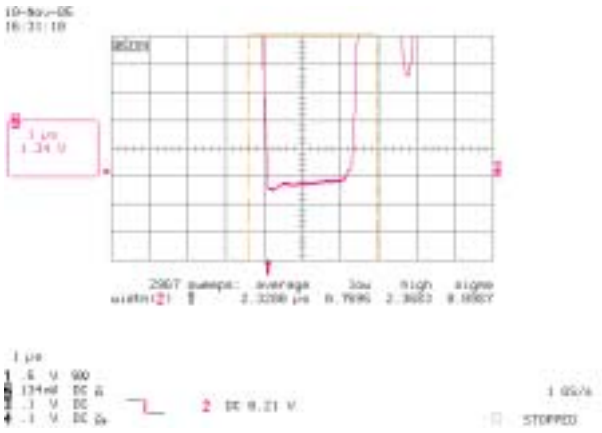


図 17　既存システムでの最小オン時間の決定

オシロスコープの統計データに表示される最小値（low 値）は紛らわしいことに注意してください。トリガーの問題や測定の問題など実際の問題に直接関係しない理由に起因しますが、通常は記録された最小の絶対値です。この場合、平均値から標準偏差（σ）の 6 倍を減算したものが最小値（3ppm）を表すものと仮定して、統計データを使ってください。この例における最小オン時間 MOT は、

$$MOT = 2.32 - 6 \times 0.0987 = 1.73\,\mu s$$

となります。

▽ 最大スイッチング周波数の決定

最小オン時間の決定と同様に、電源のさまざまな動作条件に対する最大周波数も求めることができます。交流電源ラインと負荷をスイープすると、この条件が発生する動作点を容易に表示できます。その後で統計処理すると、見つけ出した動作点の周辺で（すなわち負荷と交流電源ラインを少し変化させる）、最大周波数を容易に測定できます。

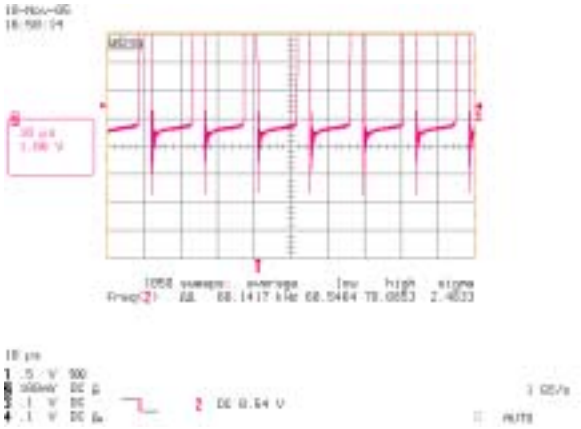


図 18　既存システムでの最大スイッチング周波数の決定

この場合も、オシロスコープに表示される low 値と high 値により、誤った判断をする可能性があります。このパラメータだけが、IR1167 の設計に熱的な影響を与え、これが事実上平均化（電気的手順を参照）されるので、最大スイッチング周波数を求める適切な方法として、平均値 ＋ 3σ（0.3%）を採用してください。

この例の最大スイッチング周波数 f_{SWmax} は、下記になります。

$$f_{SWmax} = 66.14 + 3 \times 2.48 = 73.6kHz$$

▽ 動作モードの決定

交流電源ラインと負荷をそれぞれの範囲でスイープすることにより、動作モードを容易に検証できます。

設計手順の詳細

以下の手順では、前述したシステム・パラメータと同様に同期整流用 MOSFET も決定済みであると仮定しています。

a. OVT (オフセット電圧調整) の設定

表 1 に、正しい OVT （比較器のオフセット電圧調整）しきい電圧を選択するための指針を示します。

システムの動作モード	OVT ピンの接続先 (標準値)
DCM または CrCM	グランド (接地)、V_{TH1} = −3.5mV
境界の CCM	フローティング、V_{TH1} = −10.5mV
CCM	V_{CC}、V_{TH1} = −19mV

表 1 システムの動作モードに対する OVT 設定の推奨

ここでの背景となっている基本的な考えは、コントローラへの入力が電圧検出だけの場合、整流動作を理想的として推定しなければなりません。DCM や CrCM では、MOSFET のチャネルの導通性を最大にするため、比較器のしきい電圧をゼロに近い値にするのは明らかなことです。

CCM の状態では一般に、整流器の両端に逆方向電圧が急激に発生するため、可能な限り小さな遅延時間でコントローラがオフしなければなりません。比較器の 2 種類の低いしきい電圧を使うと、電流低下の早期検出が可能になります。理想的には、最適なシステムでは、図 19（次ページ）に示した導通サイクルの終わりで、可能な限り MOSFET の V_{DS} に近い値を 2 種類のしきい電圧のうちの 1 つとします。

CCM 動作に対するこの他の条件は、この設計手順の終わりで説明します。境界的な CCM では（交流電源または負荷の境界条件での CCM は、通常のシステム動作条件ではほとんど発生しません)、標準的にはフローティング状態の OVT しきい電圧が優れた解決策になります。

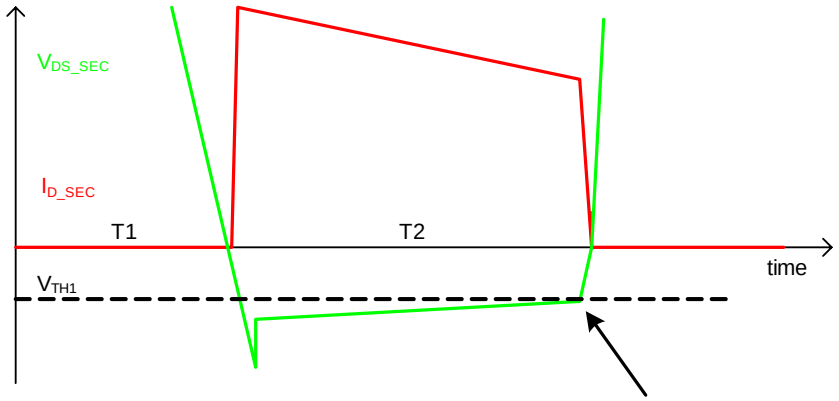


図 19　CCM 動作用の OVT の設定

b. IC の消費電流の計算

まず、選択した同期整流用 MOSFET の全ゲート電荷 Q_g とゲート-ドレイン間電荷 Q_{gd} と、対応するゲート電圧 V_{gs} とでデータを特定する必要があります。IR1167 が動作モードなので、２次側の電流は、最初はボディ・ダイオードを流れます。従って、オン時のゲート特性にはミラー電荷が含まれません。図 20 に、ゼロまたは少し負側のドレイン-ソース間電圧（図中の赤の破線）でスイッチがオンするときに、ゲート特性（黒の実線）の一般的な変化を示します。

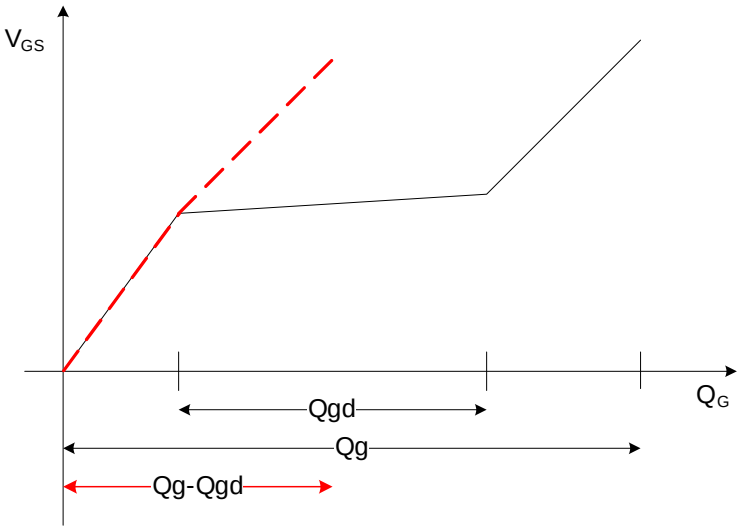


図 20　SmartRectifier コントロール IC で駆動したときの MOSFET のゲート特性

はるかに小さい電荷しか必要とされず、かつ動作はコンデンサ（容量）でモデル化できることは明らかです。

$$C_{sync} = \frac{Q_g - Q_{gd}}{V_{gs}}$$

並列接続するデバイスの数を増やす場合は、上記容量を（デバイスの数）倍します。ICに必要とされる最大電流は、次式で計算できます。

$$I_{CC} = f_{SWmax} \times C_{sync} \times V_{ghigh} + (I_{QCC} + 7 \times 10^{-9} \times f_{SWmax})$$

ここで、V_{ghigh} は IR1167 のゲート駆動回路の出力電圧、f_{SWmax} は上記で決定したコンバータの最大スイッチング周波数です。１項目は同期整流用 MOSFET のゲート駆動で決定され、２項目は通常動作のときに IC 内部の論理回路で消費される分です（係数 7×10^{-9} は内部論理回路の周波数に依存する電流条件に対応）。この項は V_{CC} 電圧に依存しないことに注意してください。

c. ゲートと電源の直列抵抗の設計と熱的な考察

IR1167S は同期整流を採用しているため、ゼロに近い V_{DS} レベルでスイッチをオン／オフできる利点を備えています。ゲート抵抗はこの遷移に影響を与えないため、独立に設計できます。ゲート・ループを最適にするためには、通常動作で発振しないようにしなければなりません。ゲート配線パターンのループの全インダクタンスが既知とすると（実際のパターン長の初期の見積もりの値は 1nH/mm とすることができます）、推奨する最小ゲート抵抗 R_{gloop} は、

$$R_{gloop} > 2 \times (L_g / C_{iss})^{1/2}$$

となります。ここで、C_{iss} はスイッチの入力容量です（スイッチのデータシートから取得）。インターナショナル・レクティファイアー社の代表的な MOSFET のゲート・ループの全インダクタンスに対して、このクリティカルな抵抗値が変化する様子を図 21 に示します。

レイアウトを注意深く行うと、この値を大幅に小さくできることは明らかです。

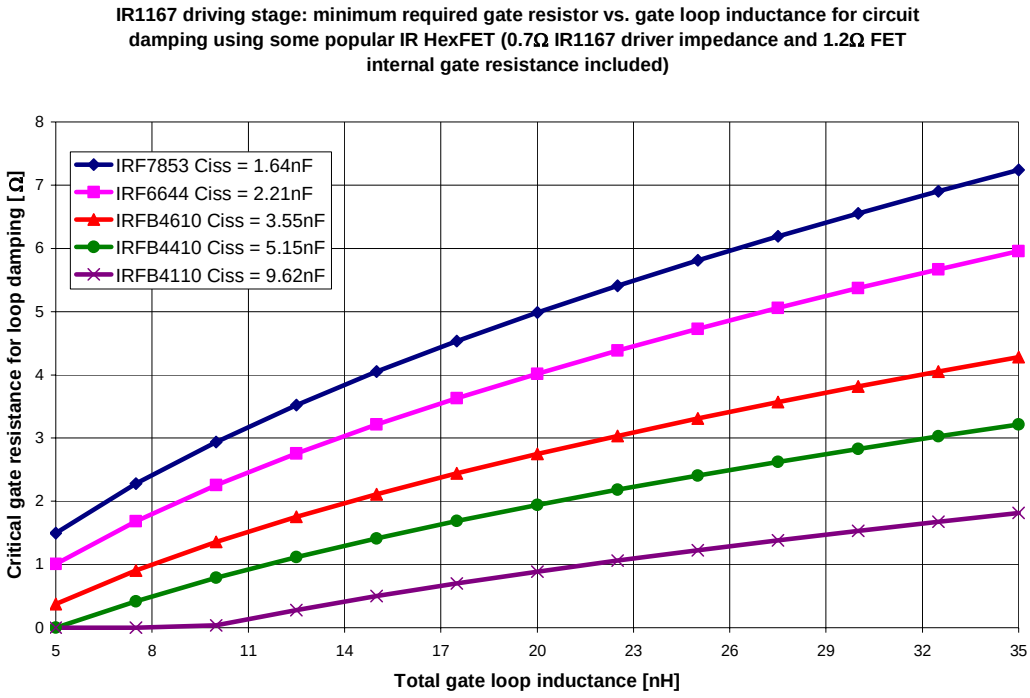


図 21　代表的な MOSFET の外部ゲート抵抗の最小値とゲート･ループのインダクタンスの関係

次に、よく知られた直列 RC 回路の過渡現象を検討します。抵抗で消費されるエネルギは、コンデンサに蓄積されるエネルギと正確に一致します。IR1167S の内部ゲート駆動回路は、常に外部ゲート抵抗と直列です。これは消費電力を比例して分担していることを意味します。

まず、MOSFET のゲートに蓄積されるエネルギ E_g を計算しましょう。

$$E_g = (1/2) \times C_{sync} \times V_{ghigh}^{\ 2}$$

従って、駆動回路のバッファと全ゲート抵抗で消費される電力 P_{dr} は、

$$P_{dr} = 2 \times f_{SWmax} \times E_g$$

となります。駆動回路のバッファと全ゲート抵抗は、次式の関係に従って、この消費電力を比例して分担します。

$$P_{Rg} = \{ R_g / (R_g + R_{source}) + R_g / (R_g + R_{sink}) \} \times (P_{dr} / 2)$$

この最後の関係を変形すると、

$$（P_{Rg} ／ P_{dr}）＝（1／2）×〔R_g ／（R_g ＋ R_{source}）＋ R_g ／（R_g ＋ R_{sink}）〕$$

さらに、R_g（外部ゲート抵抗と MOSFET の内部ゲート抵抗を含む）について解くと、ゲート抵抗で消費される全駆動電力のパーセント値を縦軸にしたグラフが描けます。これは、ゲート抵抗自体の最適寸法を決めるときにも使えます。IR1167S のデータシートには、プルアップ抵抗とプルダウン抵抗が指定されています。電圧クランプで消費されるエネルギ増を考慮するため、$R_{Sink} = r_{down}$、$R_{Source} = 1.1\ r_{up}$ と記載されていることに注意してください。

図 22 で、ゲート抵抗ですべての電力が消費されるのはゲート抵抗値が無限大のときです。

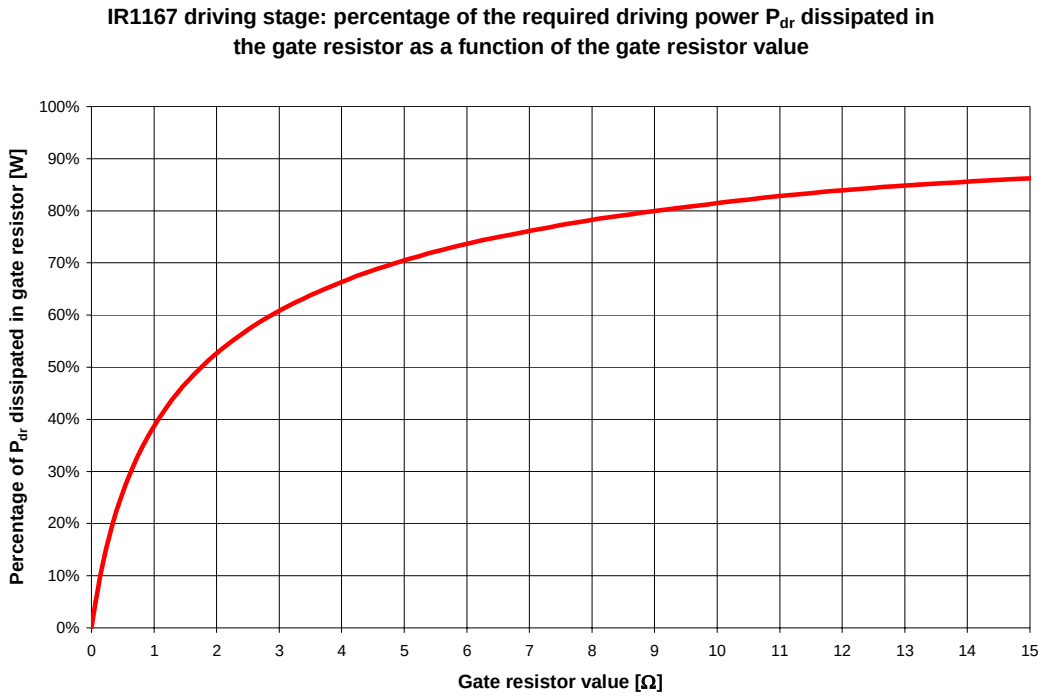


図 22　ゲート抵抗の値を変えたときにゲート抵抗で消費される駆動電力のパーセント値

最後のステップは、選択した値に対する熱的考察です。MOSFET の接合部と周囲（周囲とは IC が動作する環境のことです。きょう体やプリント回路基板などです）との間の最大熱抵抗、最大温度、IC の最大接合部温度を使うと、IC の最大許容消費電力 P_{ICmax} が計算できます。

$$P_{ICmax} = \frac{T_{Jmax} - T_{IC_amb}}{R_{\theta JA}}$$

ここで、IR1167 のデータシートから、$R_{\theta JA}$ = 128 ℃/W が得られます。下式で P_{Rg} は既知であり、供給電流 I_{CC} は計算済みなので、電源電圧 V_{CC}（すなわち IR1167 の入力電力）を制限することになります。電源電圧の最大値 V_{CCmax} は、

$$V_{CCmax} = \frac{P_{ICmax} + P_{Rg}}{I_{CC}}$$

となります。

図 23 に、インターナショナル・レクティファイアー（IR）社の耐圧 100V の MOSFET を使って、外部ゲート抵抗 1 Ω、周囲温度を 85℃としたときの IR1167A の最大許容 V_{CC} と最大スイッチング周波数の関係を示します。

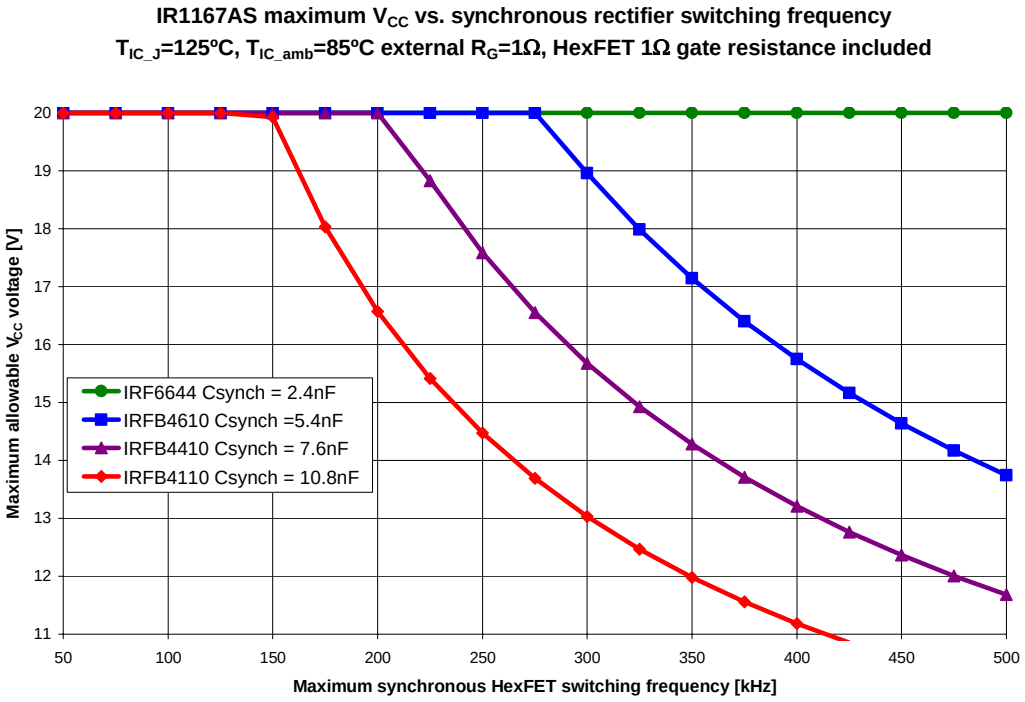


図 23　IR 社の MOSFET4 品種と IR1167AS を使って、ΔT_J = 40 ℃としたときの最大電源電圧 V_{CC} とスイッチング周波数の関係

UVLO（低電圧ロックアウト）問題を回避するためには、V_{CC} を 12V 以下で設計することは避けてください。設計のトレードオフで、電源電圧とゲート抵抗の役割は明確です。多くの民生用システムでは、ループ・ダンピング用の最小ゲート抵抗値は熱的条件を満たすと思われます。満たさない場合は、次のステップから成る手順を繰り返してください。

ステップ 1：次の直列抵抗を使って V_{CC} をできる限り小さくします。

$$R_{CC} = \frac{V_{supply} + V_{CC}}{I_{CC}}$$

これにより、V_{CC} が熱的な制限を満たすなら、ゲート抵抗値を設計のままにできます。

電源に対する直列抵抗を大きくすることには、さらなる利点があります。その場所に配置したデカップリング・コンデンサによるフィルタ機能が強化されることです。出力から電源を受けるシステム（専用の巻線などを使わない）では、スムースな動作が得られます。

ステップ 2：ゲート抵抗値を大きくします。小さな抵抗が使われていた場合には効果的です（図 22）。

d. デカップリング・コンデンサ

デカップリング・コンデンサの値の決定には、システム構成や特別な要求に応じてさまざまな技術を使うことができます。一般的な指針として、最小でも 100nF のコンデンサを使ってください。

一般的な 2 つの例としては、IR1167S が電源を出力から直接得る場合と専用巻線を介して得る場合があります。最初の場合では、電圧リップルと雑音を減らすために、電源に対して直列抵抗を接続して（熱的理由ですでに使っていない場合）、低域通過フィルタを構成するようにコンデンサの値を決めることです。この低域通過フィルタの極の周波数は、最小動作スイッチング周波数（待機状態でないとき）よりも数オクターブ低くしてください。

$$C_{min} = \frac{2}{\pi \times f_{SWmin} \times R_{CC}}$$

図 24 に求めた値の例を示します。最小値の 100nF が曲線の下限になっています。

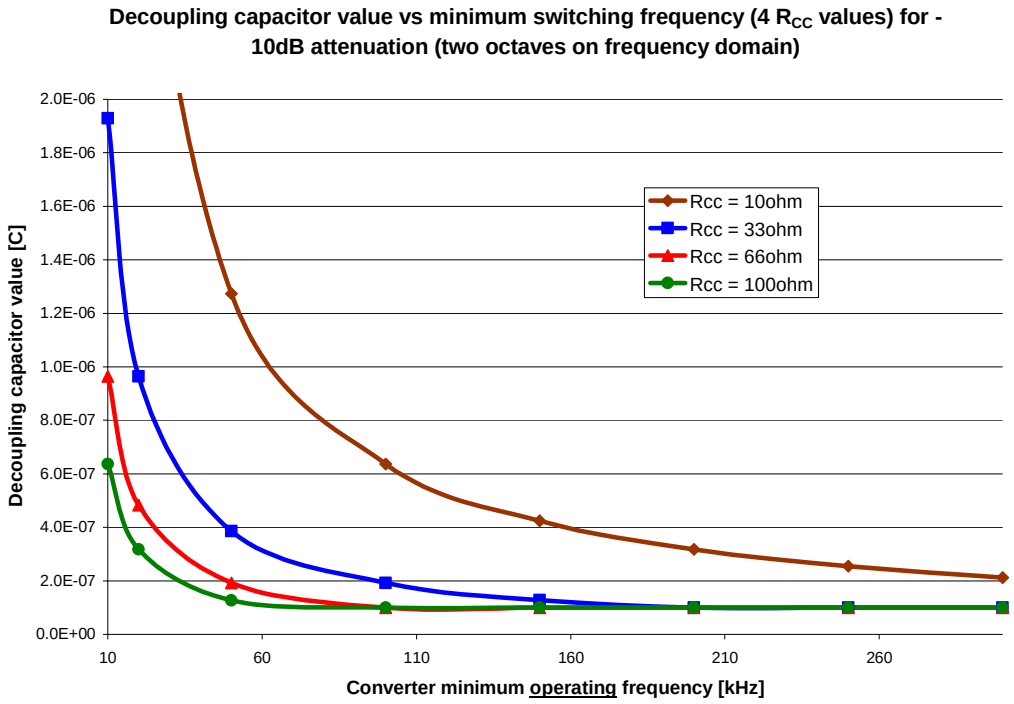


図 24　デカップリング･コンデンサの値と最小動作スイッチング周波数の関係　　電源での減衰量は 10dB

２つ目の例の補助巻線や巻線タップを使った動作の場合、主電源がないときでも許容電圧リップル ΔV_{CC} 以内で、スイッチング周期１周期分の動作を可能にするようにデカップリング・コンデンサの値を決めてください。

$$C_{min} = \frac{I_{CC}}{f_{SWmin} \times \Delta V_{CC}}$$

e. 最小オン時間 (MOT) 抵抗

MOT の設定値は抵抗値に比例しているため、次の関係が使えます。

$$R_{MOT} = 2.5 \times 10^{10} \times t_{MOT}$$

f. CCM システムでオフするときの電流の傾きの最大値計算

CCM システムでは、効率を最大化するために、SmartRectifier がオフするときに、２次側の電流の傾き（dI_{SEC}/dt）$_{turnoff}$ を制御してください。図 25 にオフするときの波形を示します。

t_1：１次側スイッチがオン
t_2：２次側 V_{DS} がしきい電圧 V_{TH1} に到達
t_3：２次側 V_{DS} と I_D がゼロに到達

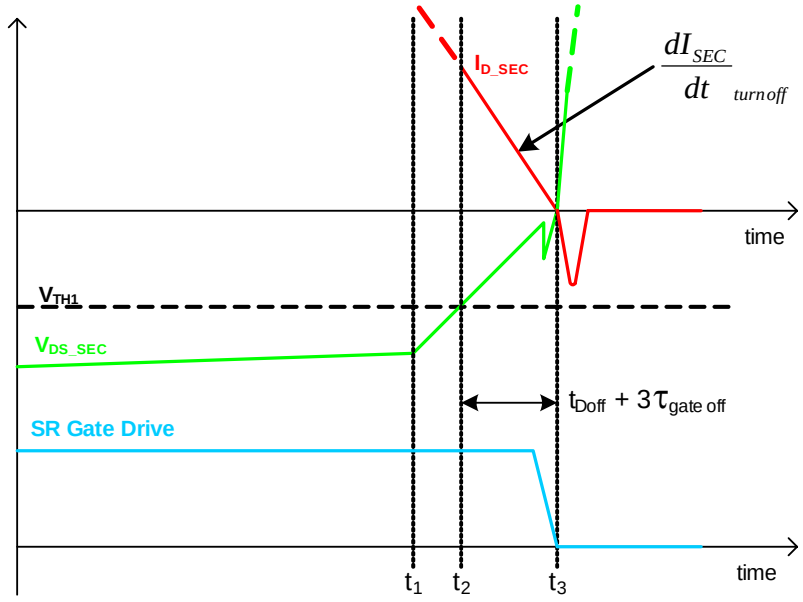


図 25　dI／dt を制御した CCM における SmartRectifier のオフ時の波形

電流がゼロに近付いたときに、同期整流用 MOSFET をオフさせることが最適条件であることは明らかです。これを実現するためには、十分な時間を確保して、内部論理回路が応答できるように（IR1167 のデータシートに記載されている t_{Doff}）、かつゲート駆動回路がゲートの電荷を完全に放電できるように dV_{DS}/dt を設計しなければなりません。すなわち、オフ時のゲート・ループ時定数の３倍、$\tau_{gateoff} = (R_{gFET} + R_g + r_{down}) \times C_{sync}$ です。ここで、R_{gFET} は MOSFET の内部ゲート抵抗、R_g は外部ゲート抵抗、r_{down} は駆動回路のプルダウン抵抗です。通常、55ns～100ns の範囲になります。

従って、同期整流用 MOSFET のオフ時の２次側電流の傾きは次式を使って設計してください。

$$(dI_{SEC}/dt)_{turnoff} \leqq \frac{V_{TH1}}{R_{DSon}(t_{Doff} + 3\,\tau_{gateoff})}$$

これを実現するためには、１次側巻線に直列に小型の可飽和コア（磁心）を使うか、小容量電源システム向けにはターン・オンが低速で十分強固な１次側トランジスタを使わなければなりません。オン時の１次側最大電流の傾きの条件は、次のようにトランスの巻数比を使って簡単に計算できます。

$$(dI_{PRI}/dt)_{turnon} = \frac{N_{SEC}}{N_{PRI}} \times (dI_{SEC}/dt)_{turnoff}$$

この設計条件が満足されるなら、同期整流用 MOSFET を流れる逆方向電流は最小化でき、出力容量を逆方向電圧まで充電するために必要な分だけで済みます。

IR1167AS を使った設計例 (ゲート出力電圧：10.7V)

システム・データ:

- f_{SWmax} ＝ 250 kHz
- MOT ＝ 1.2 µs
- クリティカル・モード
- f_{SWmin} ＝ 18 kHz
- T_{ICamb} ＝ 80 ℃
- ローサイド整流システム、出力電圧 19V（コンバータ出力から直接給電可能）

同期整流用 MOSFET：IRFB4110、耐圧 100V、オン抵抗 4.5mΩ（最大値）

- Q_g ＝ 150 nC　（V_{gs} ＝ 10V のとき）
- Q_{gd} ＝ 43 nC　（V_{gs} ＝ 10V のとき）
- C_{iss} ＝ 9.62 nF ； R_{gFET} ＝ 1.3Ω

a. OVT の設定：グランド (接地)

b. IC の消費電流の計算

$$C_{sync} = \frac{Q_g - Q_{gd}}{V_{gs}} = 10.7\ nF$$

$$I_{CC} = f_{SWmax} \times C_{sync} \times V_{ghigh} + (I_{QCC} + 7 \times 10^{-9} \times f_{SWmax}) = 32.8 \text{ mA}$$

c. ゲートと電源の直列抵抗の設計と熱的考察

ゲート・ループの全パターン長を 15mm （0.6 インチ）と仮定すると、L_g 15 nH だから、

$$R_{gloop} > 2 \left(L_g / C_{iss} \right)^{1/2} = 2.5 \ \Omega$$

MOSFET のデータシートから内部ゲート抵抗は 1.3Ω、IR1167S のデータシートから駆動回路のプルダウン抵抗は 0.7Ω、従って、合計 2Ω になります。足りない部分として、外部ゲート抵抗を選択することは合理的だと思います。外部ゲート抵抗 R_g を

$$R_g = 0.5 \ \Omega$$

として、手順に従って、システムを熱的に検討します。

$$P_{dr} = 2 \times f_{SWmax} \times E_g = 306 \text{ mW}$$

従って、

$$P_{Rg} + P_{Rg_FET} = \left[(R_g + R_{gFET}) / (R_g + R_{gFET} + R_{Source}) + (R_g + R_{gFET}) / (R_g + R_{gFET} + R_{Sink}) \right] \times (P_{dr} / 2) = 155 \text{ mW}$$

IC の許容最大接合部温度を 130℃とすると、

$$P_{ICmax} = \frac{T_{Jmax} - T_{IC_amb}}{R_{\theta JA}} = 390 \text{ mW}$$

これは、V_{CC} の最大電圧を意味します。すなわち、

$$V_{CCmax} = \frac{P_{ICmax} + (P_{Rg} + P_{Rg_FET})}{I_{CC}} = 16.6 \text{ V}$$

この値は使用可能な 19V 電源とかけ離れており、直列抵抗の消費電力が大き過ぎると思われます。図 22 から、ゲート抵抗を少し大きくすると大幅に改善できます。そこで、次の値に大きくします。

$$R_g = 1.1\ \Omega$$

IC の外部にあるゲート・ループ抵抗で消費される電力は次のようになります。

$$P_{Rg} + P_{Rg_FET} = \left[(R_g + R_{gFET}) / (R_g + R_{gFET} + R_{Source}) + (R_g + R_{gFET}) / (R_g + R_{gFET} + R_{Sink}) \right] \times (P_{dr} / 2) = 172\ \text{mW}$$

最大電源電圧は次の値に変わります。

$$V_{CCmax} = \frac{P_{ICmax} + (P_{Rg} + P_{Rg_FET})}{I_{CC}} = 17.2\ \text{V}$$

次の直列抵抗値を使って 19V との「ギャップを埋める」ことができます。

$$R_{CC} = 55\ \Omega$$

この抵抗では最大 60mW が消費され、これは許容できる値です。

d. デカップリング・コンデンサ

出力からシステムに給電されるため、フィルタ機能は望ましいものになります。従って、

$$C_{min} = \frac{2}{\pi \times f_{SWmin} \times R_{CC}} = 643\ \text{nF}$$

この値から、コンデンサの次の規格値が選択できます。

$$C = 660\ \text{nF}$$

e. MOT 抵抗

前述の関係から、最小オン時間抵抗 R_{MOT} は、

$$R_{MOT} = 2.5 \times 10^{10} \times t_{MOT} = 30\ \text{k}\Omega$$

となります。

プリント回路基板のレイアウトの指針と例

▽ IC の配置

高速で正確な電圧検出に基づいた制御なので、IR1167 をできるだけ同期整流用 MOSFET の近くに配置するようにしてください。一般的な指針として、２個のデバイス間の距離は 10mm （0.4 インチ）を超えないようにしてください。

▽ IC のデカップリング･コンデンサ

適切な IC バイパス機能の重要な要素は、バイパス・コンデンサの位置とコントロール IC の電源ピンとの接続方法です。十分なフィルタ機能を発揮させるためには、コンデンサを V_{CC} ピンと COM ピンのできるだけ近くに配置して、できる限り短い経路で接続してください。

▽ V_D／V_S の差動検出

IR1167S は、同期整流用 MOSFET に加わる正確な差動電圧検出機能を備えています。配線パターン長を最小にして、電源の接地からできるだけ離してください。挿入実装のデバイスの場合、デバイスのピンは、V_S のパターンと GND（接地）のパターンがつながる最適な場所になります。

表面実装パッケージである SO-8 の MOSFET を使うときは、ソース・ピンがはんだ付けされる銅領域まで、各パターンを離しておかなければなりません。ローサイド構成の場合、整流回路の電源ループ内で電流帰還に検出抵抗を使用するとき、検出抵抗を駆動ループ内や検出ループ内に配置しないでください。そうしないと V_{CC} に雑音が発生します。V_{CC} の雑音は、図 26 の回路図に示すように、デカップリング・コンデンサと R_{CC} 直列抵抗によって適切にフィルタされます。

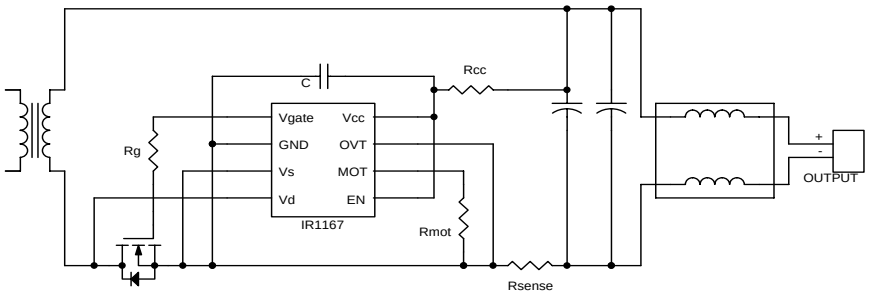


図 26　出力電流の検出抵抗を使用する場合の配置

▽ ゲート駆動ループ

ゲート駆動ループを最小にすると、ダンピング条件が小さくなり、システムが安定になります。ゲート・ループのインダクタンスは、図 21 に示すようにダンピング条件の中で重要な役割を担っています。レイアウト終了後、ループ・パターン長の測定で 1 ミリメートル当たり 1nH と仮定した「経験則」を使います。その他の方法としては、測定（低周波 LCR メーターや与えられた電圧パルスに対する電流の傾き）、または FEM シミュレーションがあります。

▽ 単層基板のレイアウト例

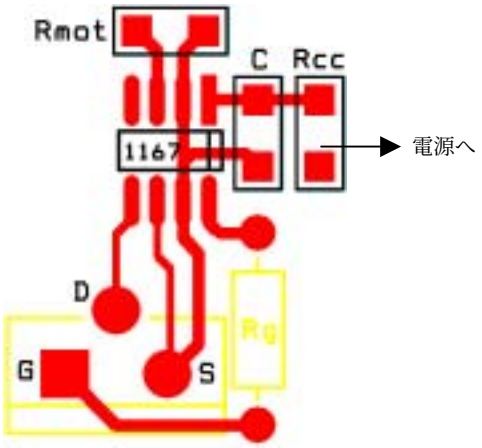


図 27　片面基板、TO-220 パッケージの MOSFET、OVT は接地に接続、はんだ面の図、ゲート抵抗は挿入実装

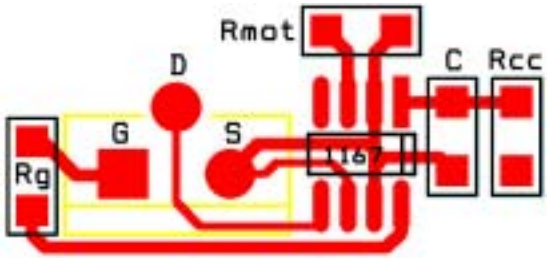


図 28　片面基板、TO-220 パッケージの MOSFET、OVT は接地に接続、はんだ面の図、ゲート抵抗は表面実装

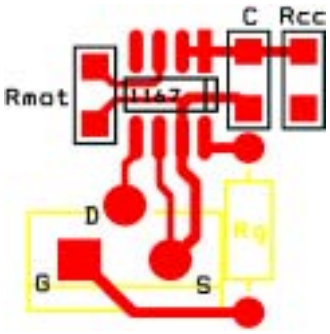


図 29 片面基板、TO-220 パッケージの MOSFET、OVT は VCC に接続、はんだ面の図、ゲート抵抗は挿入実装



図 30 片面基板、SO-8 パッケージの MOSFET、OVT は VCC に接続、はんだ面の図

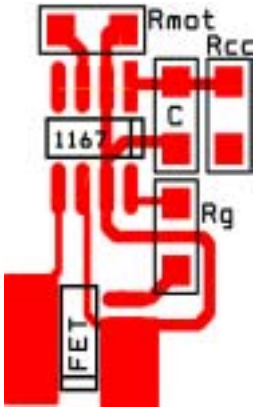


図 31 片面基板、SO-8 パッケージの MOSFET、OVT は接地に接続、はんだ面の図

記号の一覧

V_{TH1}：IR1167 のターン・オフしきい電圧
V_{TH2}:：IR1167 のターン・オンしきい電圧
V_{TH3}:：IR1167 の周期論理（リセット）のしきい電圧
R_{DSon}： 同期整流用 MOSFET のチャネルのオン抵抗
I_D:：同期整流用 MOSFET のドレイン電流
V_{DS} ：同期整流用 MOSFET のドレイン-ソース間電圧
MOT： IR1167 の最小オン時間のパラメータ
t_{blank}：IR1167 のターン・オフのブランキング時間
T1 ：フライバック・コンバータの 1 次側スイッチのオン時間
T2 ：フライバック・コンバータの 2 次側電流継続時間
T3：DCM フライバック・コンバータの 1 次側および 2 次側の回路が動作していない時間
C ：IR1167 の電源デカップリング・コンデンサの値
R_g ：IR1167 に外付けする同期整流用 MOSFET のゲート駆動ループの抵抗値
R_{MOT}：最小オン時間を設定する抵抗値
R_{CC}：電源の直列抵抗の値（V_{supply} と V_{CC} 間）
f_{SWmax}：コンバータの最大動作スイッチング周波数
f_{SWmin}：コンバータの最小動作スイッチング周波数
T_{ICamb}：IC の周囲温度（IC がはんだ付けされている場合はプリント回路基板の温度 ）
V_{supply}：IC の電源供給に使用可能な電圧源
OVT：比較器のオン／オフのオフセット電圧調整
Q_g：同期整流用 MOSFET の全ゲート電荷
Q_{gd}：同期整流用 MOSFET のゲート-ドレイン間電荷（ミラー電荷）
V_{gs}：同期整流用 MOSFET のゲート-ソース間電圧
V_{ghigh}：IR1167 のゲート駆動出力電圧
I_{QCC}：IR1167 の静止電流
$R_{g\,loop}$：全ゲート・ループ抵抗
L_g：ゲート・ループの全寄生インダクタンス
C_{iss}：同期整流用 MOSFET の入力容量
E_g：同期整流用 MOSFET のゲートに蓄積したエネルギ
P_{dr}：ゲート駆動機能の全消費電力
R_{Source}：ゲート駆動のソース（吐き出し）抵抗
R_{Sink}：ゲート駆動のシンク（吸い込み）抵抗
P_{Rg}：ゲート抵抗で消費される電力
P_{ICmax}：IR1167 の最大消費電力

T_{IC_amb}：IC の周囲温度(プリント回路基板の温度)
$R_{\theta JA}$：IR1167 の接合部と周囲との間の熱抵抗
V_{CC}：IR1167 のピンの電源電圧
I_{CC}：IR1167 のピンの電源電流
UVLO：IR1167 の UVLO（低電圧ロックアウト）
V_{supply}：同期整流機能用に使用可能なシステムの電源電圧
C_{min}：最小デカップリング・コンデンサの容量値の計算値
ΔV_{CC}：IR1167 の V_{CC} ピン上のピーク-ピーク間リップル電圧
t_{MOT}：求めた最小オン時間
$\tau_{gate\ off}$：ゲート・ループのオフ時の時定数
N_{SEC}：トランスの２次側の巻線数
N_{PRI}：トランスの１次側の巻線数

参考文献

１） IR1167S Smart Rectifier control IC datasheet, International Rectifier, February 2006

２） M.T. Zhang, M. Jovanovic, F. Lee, “Design considerations and performance evaluations of Synchronous Rectification in Flyback converters”, IEEE Transactions on Power Electronic, VOL.13, N.3, May 1998

３） Smart Rectifier™ increases Power Density in Flyback Topologies while reducing System Complexity, Maurizio Salato, Adnaan Lokhandwala, Marco Soldano, and Helen Ding, PCIM China 2006

４） Novel Output Rectification Control IC Improves Efficiency & Thermal Performance in External AC-DC Power Supplies, Adnaan Lokhandwala, Maurizio Salato and Marco Soldano, Portable Power Developers Conference 2006

５） US Patent Application Publication N. 2005/0122753 A1, Jun. 9, 2005

Rev. 1.1 – March 2006