

アバランシェに関するいくつかの重要事項について

About this document

Scope and purpose

このドキュメントは、見過ごされている、無視されている、もしくは単に一般的に知られていないアバランシェについての詳細情報を提供することを目的とします。後述する例を考察するときに使用する基礎知識を確立するために、理論的な検討内容も合わせて記述します。また、一般的なアバランシェ試験方法に関するいくつかの関連する解説も合わせて示します。ドキュメントの最後のセクションでは、繰り返しアバランシェについて説明します。

Intended audience

電源設計エンジニア、アプリケーションエンジニア、学生。

Table of contents

About this document	1
Table of contents	1
1 はじめに	3
2 シングルパルスアバランシェ	4
2.1 シングルパルスアバランシェとは何か?	4
2.1.1 アバランシェについての簡単な注意事項	4
2.1.2 シングルパルス アバランシェの定義	4
2.1.3 シングルパルスアバランシェにおける V_{DS} スパイクの振幅	7
2.2 故障メカニズム	13
2.2.1 ラッチアップ	13
2.2.2 熱破壊	15
2.3 量産での 100% テスト実施	16
3 データシートの活用	19
3.1 既存の情報	19
3.2 他のアプリの条件の外挿	21
3.2.1 $T_{j(start)} = 25^{\circ}\text{C}$ の例	23
3.2.2 異なる $T_{j(start)}$ で同じ手順の繰り返し	24
3.3 L_{loop} による E_{AS} のバリエーション	26
3.4 同一条件での比較	27
3.5 熱インピーダンスのデータシート図	27
4 繰り返しアバランシェ	30
4.1 繰り返しアバランシェとは何か?	30
4.2 故障メカニズム	31
4.3 アバランシェが発生する場所の特定	31
4.4 繰り返しアバランシェ下での OptiMOS™ ファミリの定格	33
5 参考資料	35

Table of contents

6	略語一覧	36
	改訂履歴	37

はじめに

1 はじめに

アバランシェ (特に繰り返しアバランシェ) は、新しいファミリを開発するときに MOSFET メーカーが検討する一般的なパラメーターのリストに必ずしも含まれていません。この理由は非常に単純です。アバランシェは通常、MOSFET のブレイクダウン電圧 ($V_{BR(DSS)}$) を超えたときに発生します。つまり、部品がデータシート仕様の範囲外で使用されていることを意味します。したがって、設計者は、アバランシェで MOSFET を動作させないようにあらゆる合理的な試みを行う必要があります。

Telecom (AC-DC 整流器、DC-DC ブリック) やサーバー電源ユニットなど、動作寿命が長い一部のアプリケーションでは、大幅な電圧ディレーティングを課す規格 (IPC9592B-2012 など) に準拠する必要性が高いため、設計者は「ゼロ・トレランス・アバランシェ」での設計が必要です。ただし、IPC9592 および他の同様の規格は、異常な状態に対するディレーティングガイドラインを必ずしも規定していません。

また、フォークリフトや電動工具などの低電圧ドライブアプリケーションは、動作寿命が短いか、ループインダクタンス (L_{loop}) が高いため、 V_{DS} スパイクが高くなり、アバランシェ条件に直面する可能性が高くなるため、電圧ディレーティングを考慮した設計を課されることはめったにありません。

さらに、効率要件が厳しいため、サーバーなどの他の高性能アプリケーション(サーバーの電源ではありません)の設計者は、より高い MOSFET の電圧クラスに移行する必要をなくすために、繰り返しアバランシェ耐量保証 MOSFET の使用を好むでしょう。

MOSFET が使用される多数のアプリケーション内の多くの「特殊なケース」が存在する結果として、ユーザーにとってアバランシェに対する堅牢性は、MOSFET メーカーが新しい技術開発中に無視するわけにはいかない重要な要件です。特に「繰り返しアバランシェ」に関しては、データシートに定格値の記載がないからといって、技術の設計段階で検証しなくて良いということを意味するわけではありません。

このドキュメントの次のセクションでは、インフィニオンの OptiMOS™ファミリのインダストリアルバージョンとスタンダードバージョンの MOSFET を使用する際に、設計者が留意する必要のあるアバランシェに関する重要事項を説明します。このため、すべて n チャネルエンハンスメントモードのトレンチパワー MOSFET である OptiMOS™3 以降のファミリに焦点を当てます。したがって、他の MOSFET ファミリはこのドキュメントに記載されていません。

アバランシェの背後にある理論にあまり時間をかけたくないエンジニアのために、セクション [2.1.2](#) は、アバランシェ中の MOSFET のさまざまな位置の温度を監視するために使用できるシミュレーション回路を示します。さらに、セクション [3.2.1](#) および [3.2.2](#) に特定の例を示します。これによって、エンジニアが独自のアプリケーション条件下で MOSFET がアバランシェに対して安全であるかどうかを評価できます。最後に、セクション [3.3](#) で示す式は、回路のループインダクタンスが異なる場合のアバランシェエネルギーの迅速な計算に役立ちます。

シングルパルスアバランシェ

2 シングルパルスアバランシェ

2.1 シングルパルスアバランシェとは何か？

2.1.1 アバランシェについての簡単な注意事項

アバランシェメカニズムは、[1]などの他の資料で、すでに包括的に説明されています。これは、FET の $V_{BR(DSS)}$ を超える動作から発生し、臨界電界 (E_c) を超える電界を誘導します。これらの強い電場によって自由キャリアに加えられる加速は、衝突イオン化による電子正孔対を放出するために十分なエネルギーを自由キャリアに提供します。この現象は制御できず、シリコン内で大電流が発生したり、高温に上昇したりする可能性があります。最終的に、このような制御不能なイベントは、デバイスの破壊につながる可能性があります。

アバランシェは、**Figure 1** に示すように、 V_{DS} スパイクのクランプ波形によって現れます。ここでは、接合温度 (T_j) 25°C で MOSFET が既にデータシートに記載されている最小 $V_{BR(DSS)}$ 定格よりも高くクランプされていることが確認できます ($V_{BR(DSS)(min,25)}$)。実際のクランプ電圧の詳細については、セクション **2.1.3** を参照してください。

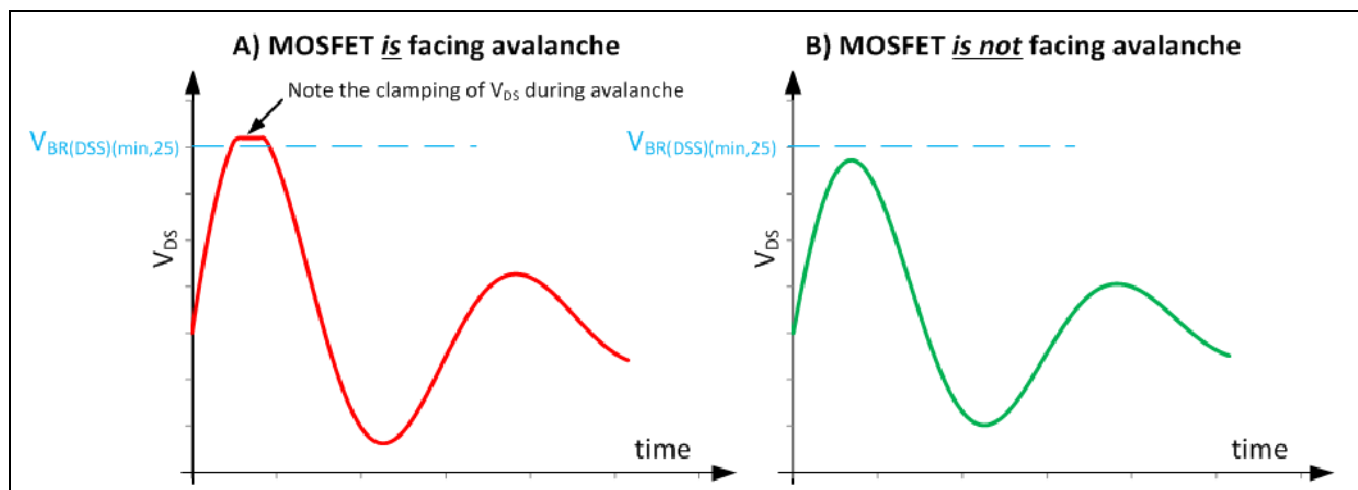


Figure 1 MOSFET がアバランシェにあるときとないときの V_{DS} 波形

2.1.2 シングルパルス アバランシェの定義

シングルパルス アバランシェは、重大なアバランシェ電流および/またはエネルギーを潜在的に (必ずしもではありませんが) 生成する可能性のある孤立したイベントです。このようなイベントによって生成されるエネルギーと電流が低い場合、MOSFET への影響はごくわずかです。ただし、アバランシェが高エネルギーまたは高電流のいずれかを誘発する場合、故障メカニズムについて説明するセクション **2.2** のように、MOSFET が破壊される可能性があります。

正確には、ここではエネルギーは実際の問題ではなく、故障の原因となるのは電流と温度であることに注意してください。「温度が非常に重要な場合、テストプラットフォーム (R_{thJA} など) の熱特性を参照せずに、データシート内にシングルパルス アバランシェ定格を提供するのはなぜか？」と疑問に思うかもしれません。アバランシェイベントが非常に短い期間で発生するため、単に熱が PCB に伝達される時間がないためです。この検証を以降に示します。

出発点として、MOSFET の熱的挙動は通常、必要なすべての熱抵抗と静電容量 (R_{thi} と C_{thi}) を含む high order Cauer ネットワークを用いて PSpice モデルで表されることを認識します。IPB072N15N3G の例を **Figure 2** に示します。

アバランシェに関するいくつかの重要事項について

シングルパルスアバランシェ

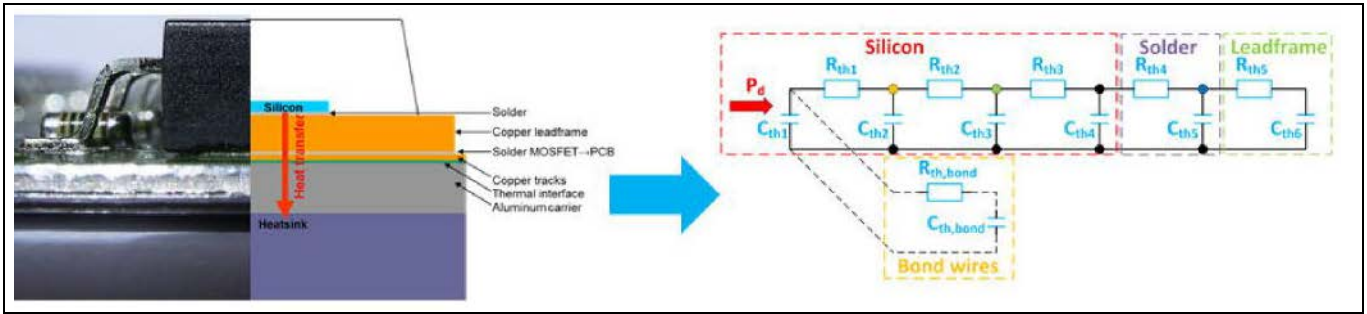


Figure 2 IPB072N15N3G-MOSFET から熱ネットワークへ

MOSFET のネットワーク表現は、Figure 3 に要約されるように、データシート内に提供される $Z_{thJC} = f(\text{time})$ グラフを生成するために使用されます。

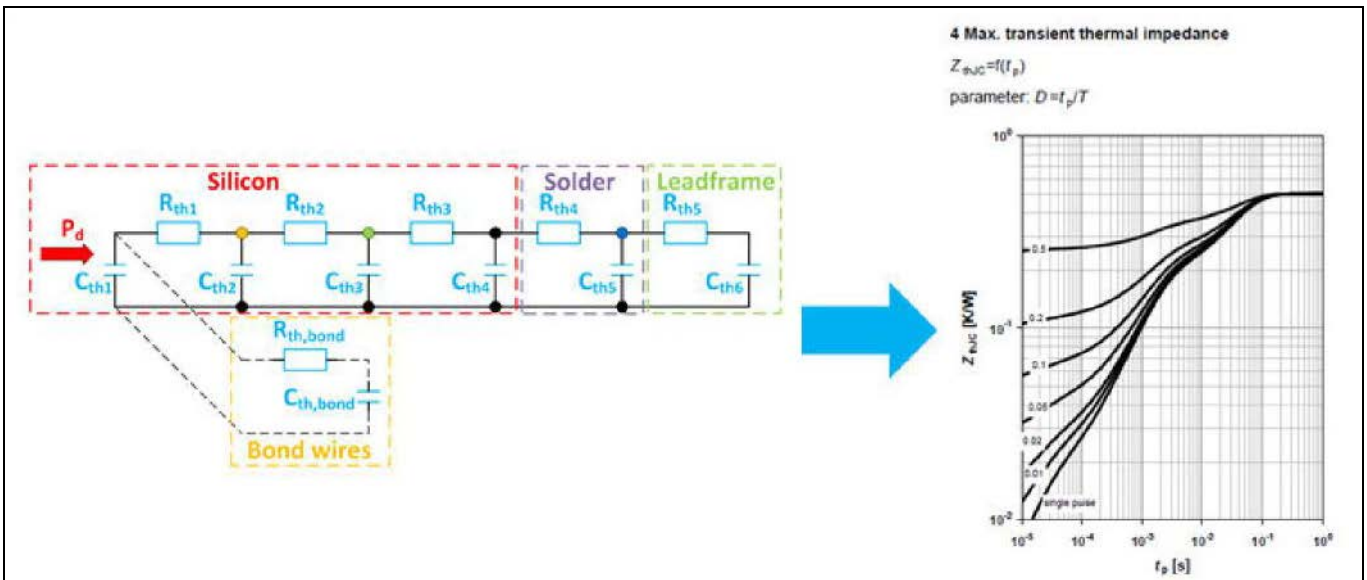


Figure 3 IPB072N15N3G-熱ネットワークから Z_{thJC} グラフまで

これらの (R_{thi}, C_{thi}) の特性値を利用するためには、設計者はインフィニオンが提供する PSpice ファイルのレベル 3 モデルを使用する必要があります。Figure 4 に、IPB072N15N3G の特性値を示します。この MOSFET の場合、ボンドワイヤの熱的影響はごくわずかであり、これは PSpice レベル 3 モデルには含まれません。

R_{thi} および C_{thi} の特性値は、それぞれケルビン/ワット (K/W) およびワット秒/ケルビン ($W \cdot s / K$) で示されます。さらに、たとえば、Figure 4 の「Rth1」のパラメーターを参照すると、「1.44m」と「534.18u」はそれぞれ 1 ワットあたり 1.44 ミリケルビンと 534.18 マイクロケルビンに対応します。同様に、「Cth6」の場合、「190m」はケルビンあたり 190 ミリワット秒に相当します。

アバランシェに関するいくつかの重要事項について

シングルパルスアバランシェ

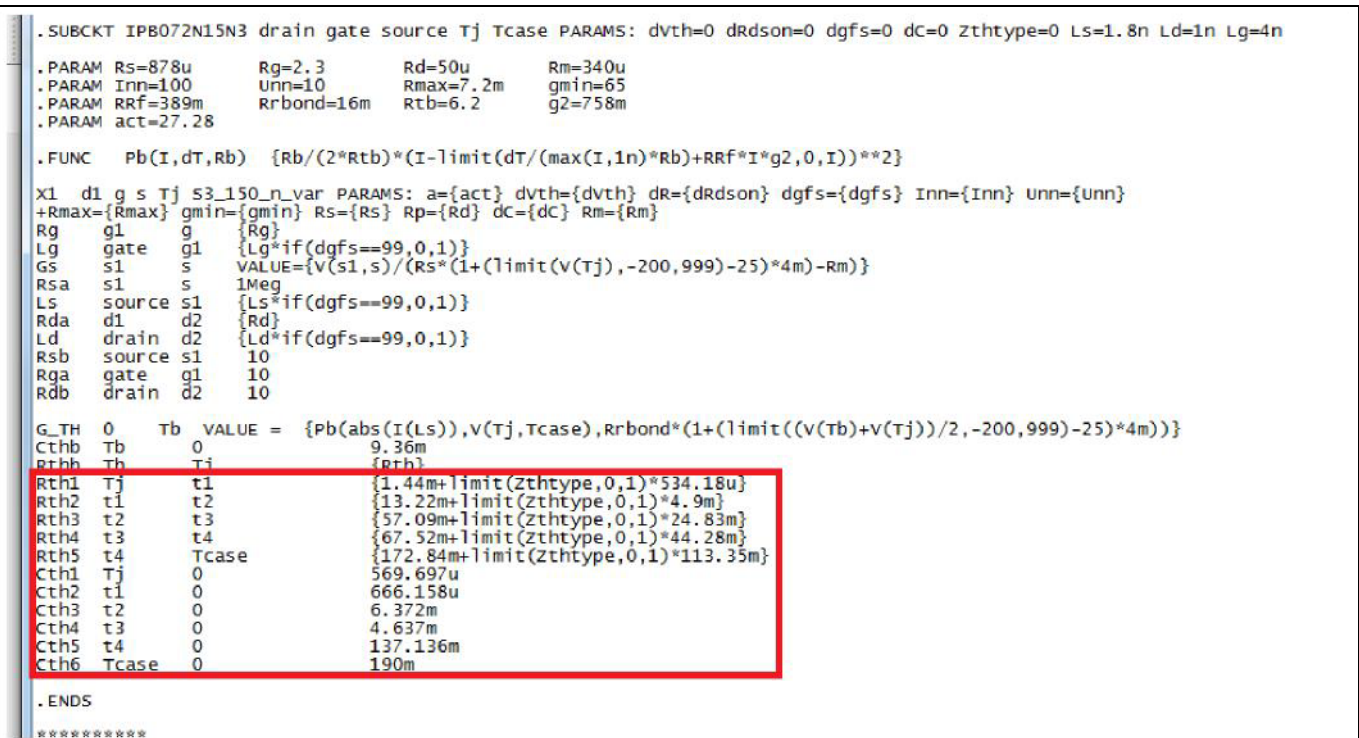


Figure 4 IPB072N15N3 G の PSpice レベル 3 モデル

このモデルを使用し、すべてのサブ回路のシミュレーションデータを確実に保持することによって、データシート条件下で、チップのさまざまな場所での温度挙動を測定できます。これらはアバランシェエネルギー、シングルパルス (E_{AS}) の定格を定義するために使用されます。これらの条件には、 $T_j = 25^\circ\text{C}$ および $i_{AS(0)} = 100\text{ A}$ が含まれます。ここで、 $i_{AS(0)}$ はシングルパルスアバランシェイベントの初期電流です。SIMetrix の回路図[2]を Figure 5 に示します。ここでは、テスト対象デバイス (DUT) がアバランシェに直面すると、電源 V3 が回路から切断されます。この場合、DUT は U1 です。

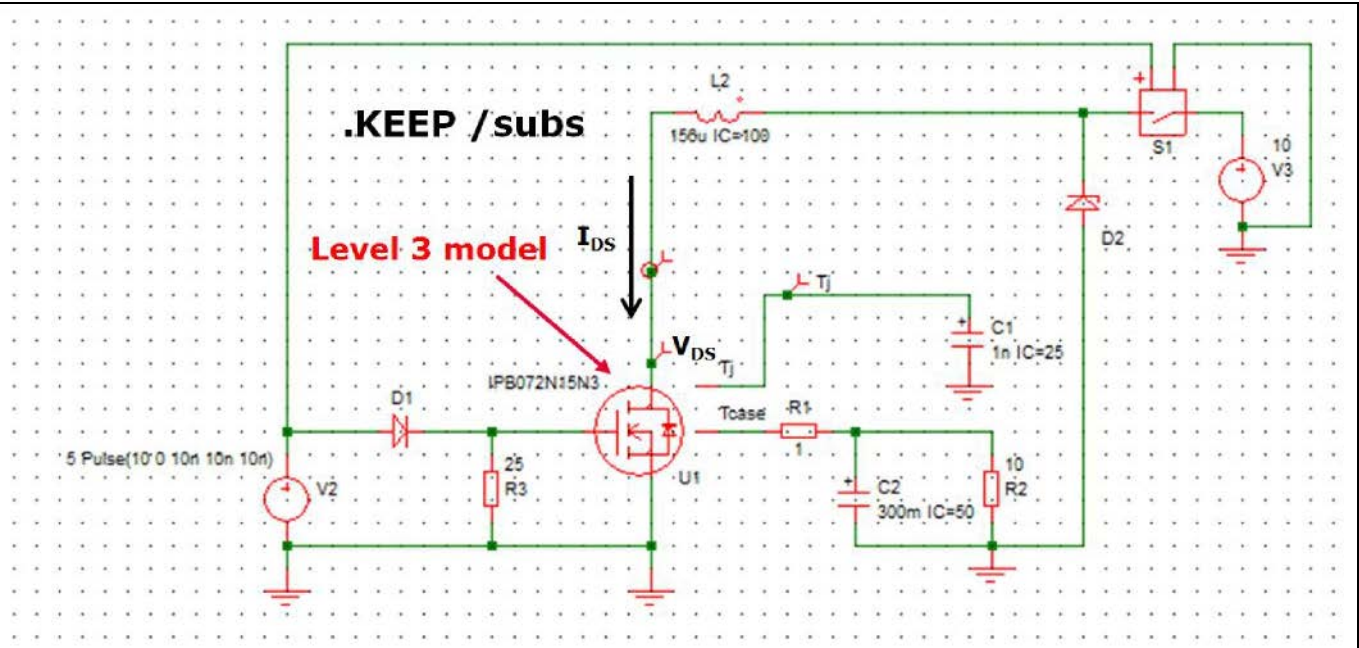


Figure 5 シングルパルスアバランシェ - 熱拡散のシミュレーション回路

シングルパルスアバランシェ

Note: ここでは、文字「E」はエネルギー(E_{AS})を指すために使用されていますが、以前は電界(E_c)を指すために使用されていました。別の命名法に従うのは困難なため、このドキュメントの残りの部分では、この点を念頭に置いてください。

シミュレーションの結果を **Figure 6** に示します。ここで、等価熱ネットワークは、接合部温度(T_j)、 $t1$ 、 $t2$ 、および $t4$ のモデル内の位置を示しています。図示のように、 T_j は 200°C を超えてピークに達しましたが、はんだ接合部とリードフレームの間にある $t4$ の温度 (**Figure 2** を参照) は、最小限の上昇しか示していません。これは、 $70\ \mu\text{s}$ 続く強いアバランシェイベントが発生した場合でも、PCB の近くに熱が広がる時間がないことを明確に示しています。したがって、シングルパルスアバランシェ定格は PCB の状態とは無関係です。

シミュレーション内では、 T_j のピーク値は約 210°C であり、IPB072N15N3 G の最大許容接合部温度($T_{j,max}$)である 175°C をはるかに上回っています。 E_{AS} データシートの定格を定義する場合、生涯にわたる発生回数が非常に限られているため、この高い T_j は許容できると見なされます(これらのエネルギーレベルでは1つのイベントのみを許容する必要があります)。このような温度は破壊的な接合部温度($T_{j,destr}$)を大幅に下回ります。 $T_{j,destr}$ は、OptiMOS™ FET が半導体のように動作しなくなる温度であり、セクション **2.2.2** で詳しく説明します。

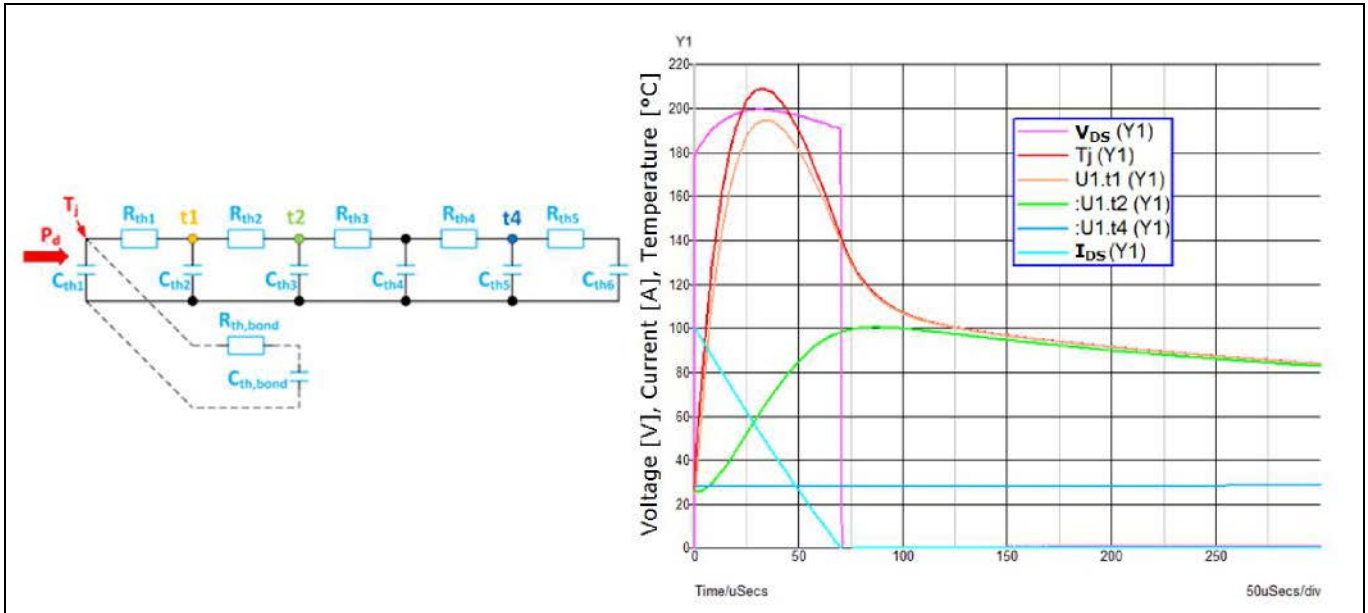


Figure 6 IPB072N15N3 G を使用したシングルパルスアバランシェシミュレーションの結果

2.1.3 シングルパルスアバランシェにおける V_{DS} スパイクの振幅

アバランシェ中の V_{DS} スパイクの振幅に影響を与える 2 つのパラメーターがあります。

- パラメーターA: MOSFET のブレイクダウン電圧 ($V_{BR(DSS)}$) の製造分布。
- パラメーターB: MOSFET の接合部温度。

これを理解するには、セクション **2.1.1** で説明したように、電界がテクノロジーの臨界電界 (E_c) を超え始めるとアバランシェが発生することを覚えておくことが重要です。**Figure 7** に、ブレイクダウン電圧に寄与する基本的なパワーMOSFET 構造の一部分と、逆バイアスした場合のこの領域での電界の分布を示します。緑の領域は、MOSFET の $V_{BR(DSS)}$ 性能を定義します。最初の概算として、縦軸の左側の領域は無視できます。この図から、MOSFET の実際の $V_{BR(DSS)}$ はその構造の E_c に比例することが明らかです。

Figure 7 およびドキュメントの残りの部分では、すべての電界が実際には絶対値として表される必要があるため、大まかに用語を使用します。

シングルパルスアバランシェ

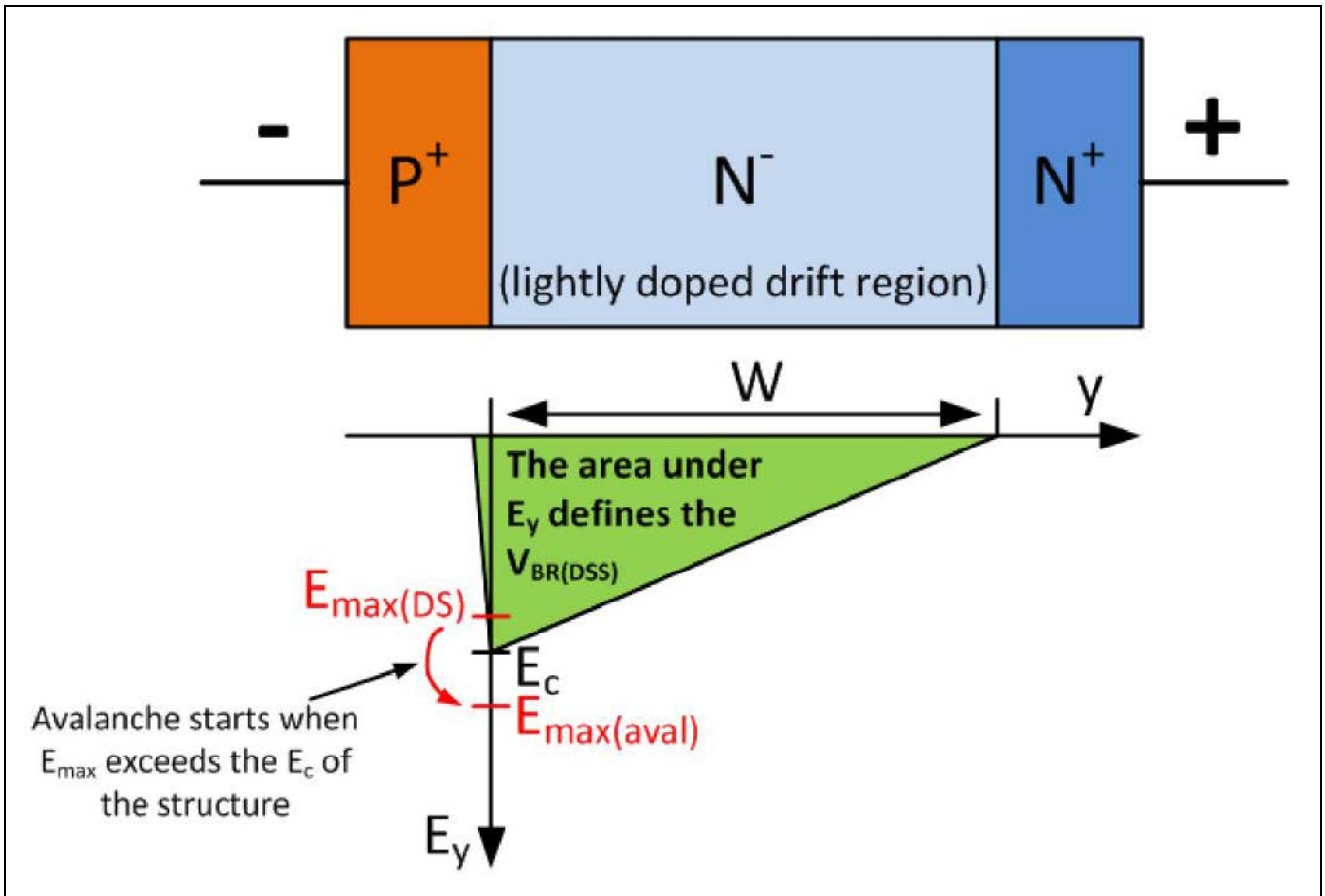


Figure 7 逆分極パワーFETの一部、電界分布も示す

まず、MOSFETのブレイクダウン電圧 $V_{BR(DSS)}$ の製造分布である「パラメーターA」に注目しましょう。数百万単位で大量生産されると、MOSFET $V_{BR(DSS)}$ は特定の分布を示します。このテクノロジーのMOSFETを開発する場合、エンジニアは、歩留まりの低下を避けるために、分布曲線の下部にあるMOSFETの $V_{BR(DSS)}$ がデータシートの最小値 ($V_{BR(DSS)(min,25)}$) (BSC014N06NSの場合は60V) を超える $V_{BR(DSS)}$ ことを示すことを確認する必要があります。言い換えると、 $T_j = 25^\circ\text{C}$ で、エンジニアは、 V_{DS} がすでに $V_{BR(DSS)(min,25)}$ を超えている場合にのみ、構造内の最大電界 (E_{max}) が E_c に到達できることを確認する必要があります。このように、 $V_{BR(DSS)(min,25)}$ では、 E_{max} は E_c よりも低く、**Figure 7** に示す $E_{max(DS)}$ パラメーターに対応します。

アバランシェは、構造の一部の電界が E_c を超えると開始します。これは、**Figure 7** のアバランシェ中に構造内で観察される最大電界 ($E_{max(aval)}$) で表されます。次に、当面は一定温度であると仮定すると、観測された V_{DS} スパイクは、FETの実際の $V_{BR(DSS)}$ でプラトーを示します。これは、**Figure 1** の最も基本的な形式で描かれています。

Figure 8 に、同じMOSFETの異なるロットの $V_{BR(DSS)}$ 分布の例を示します。各ロットの分布を計算するには、少なくとも数百のパーツを使用します。y軸のスケールが不明瞭であるにもかかわらず、MOSFETがすべて $V_{BR(DSS)(min,25)}$ を超える実際の $V_{BR(DSS)}$ を示すことは明らかです。ただし、設計者は部品の公式定格よりわずかでも高い $V_{BR(DSS)}$ を利用しないでください。MOSFETの定格が $T_j = 25^\circ\text{C}$ で60Vの場合、インフィニオンはこの定格までの使用のみを推奨します。データシートに記載されるMOSFETの $V_{BR(DSS)}$ 定格を超える使用は、ユーザーのリスクになります。さらに、**Figure 11** に示すように、設計者は、温度による $V_{BR(DSS)}$ の変化により、 25°C 未満の接合部温度では $V_{BR(DSS)}$ 値が低くなることに注意する必要があります。

シングルパルスアバランシェ

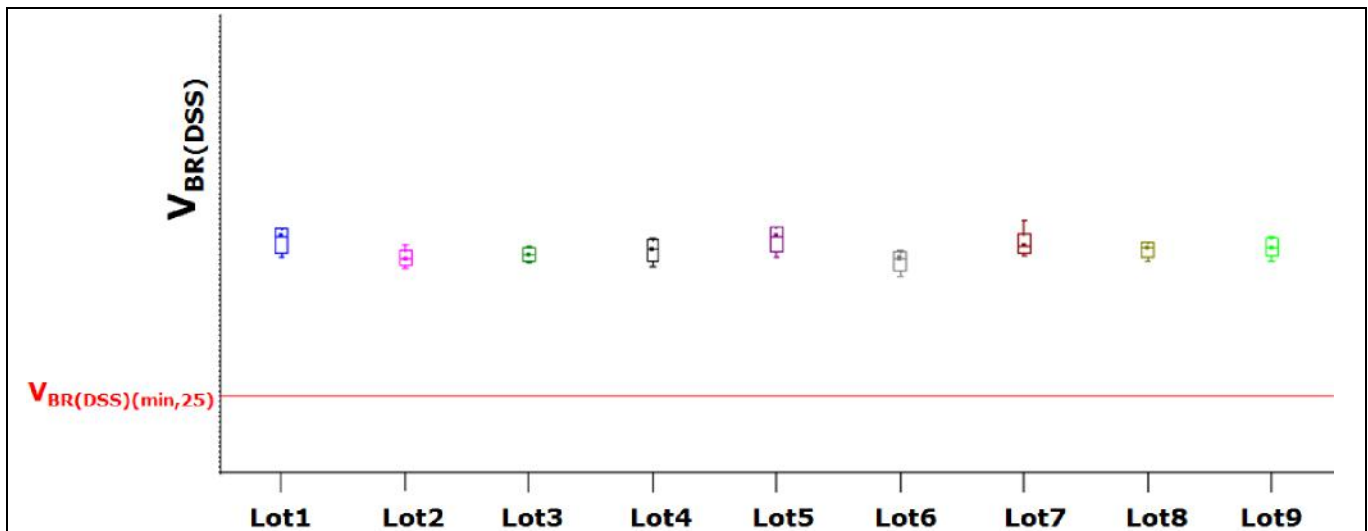


Figure 8 $V_{BR(DSS)}$ の製造分布の例

Figure 8 の本来の目的は、OptiMOS™ FET の実際の $V_{BR(DSS)}$ が常に $V_{BR(DSS)(min,25)}$ よりも高いことを強調することでしたが、この図から他の情報を導き出せます。実際、同じロットの MOSFET 間の $V_{BR(DSS)}$ 分布により、各 MOSFET は、アバランシェ時に異なるクランプ電圧を示します。低エネルギーアバランシェイベント (つまり、次から説明するように、温度の影響については無視できます) は、**Figure 9** に要約されています。OptiMOS™ FET の場合、 $V_{BR(DSS)}$ の分布が狭いため、同じロット内の MOSFET 間のクランプ電圧の差は非常に小さくなります。

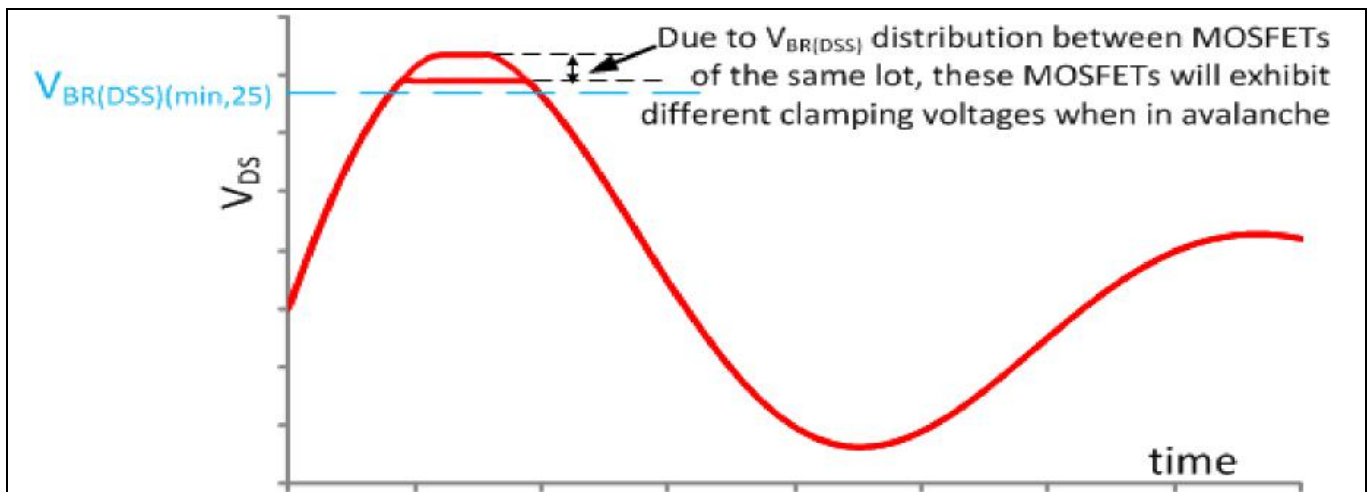


Figure 9 異なる $V_{BR(DSS)}$ は、低エネルギーアバランシェイベント中の異なるクランプ電圧を意味します

アバランシェ中の V_{DS} スパイクの振幅に対する温度の影響 (以前は「パラメーターB」として導入されていました) に関して、 E_c は温度とともに単調に増加することがわかります。したがって、 $V_{BR(DSS)}$ も同様です。高エネルギーアバランシェイベントの間、 T_j は時間とともに変化します。結果として、アバランシェ中に MOSFET の V_{DS} がクランプされる電圧は、**Figure 10** に見られるように、時間の経過とともに変化します。これは、**Figure 6** の最も関連性の高い波形を示すために簡略化されています。最後に、**Figure 10** は、アバランシェ中に観測されたピーク V_{DS} 電圧 ($V_{DS,peak}$) も示します。後述では、高エネルギーのアバランシェイベントを計算する場合でも、アバランシェイベント中の MOSFET の V_{DS} 電圧は一定で、かつ $V_{DS,peak}$ と等しいとして概算します。

シングルパルスアバランシェ

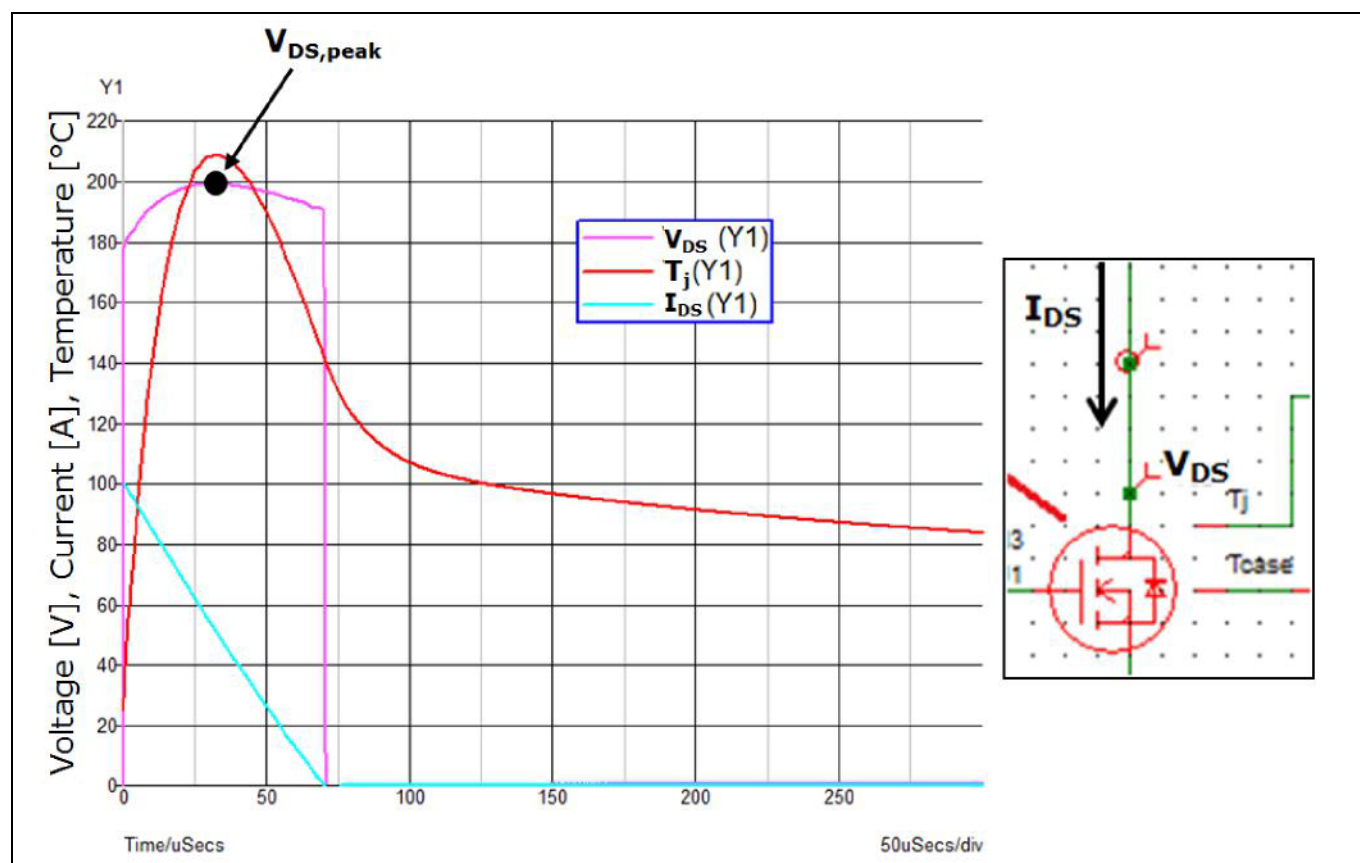


Figure 10 高エネルギーアバランシェイベント中の V_{DS} と温度の変動

当社の OptiMOS™ FET の場合、温度による E_c の変化により、Figure 11 の BSC014N06NS (最新の OptiMOS™ 60 V) および IPP110N20N3 G (OptiMOS™ 3 200 V) で見られるように、最新のファミリでは 100°C あたり 5%、一部の古いファミリでは最大 9% の $V_{BR(DSS)}$ の増加が見られます。

シングルパルスアバランシェ

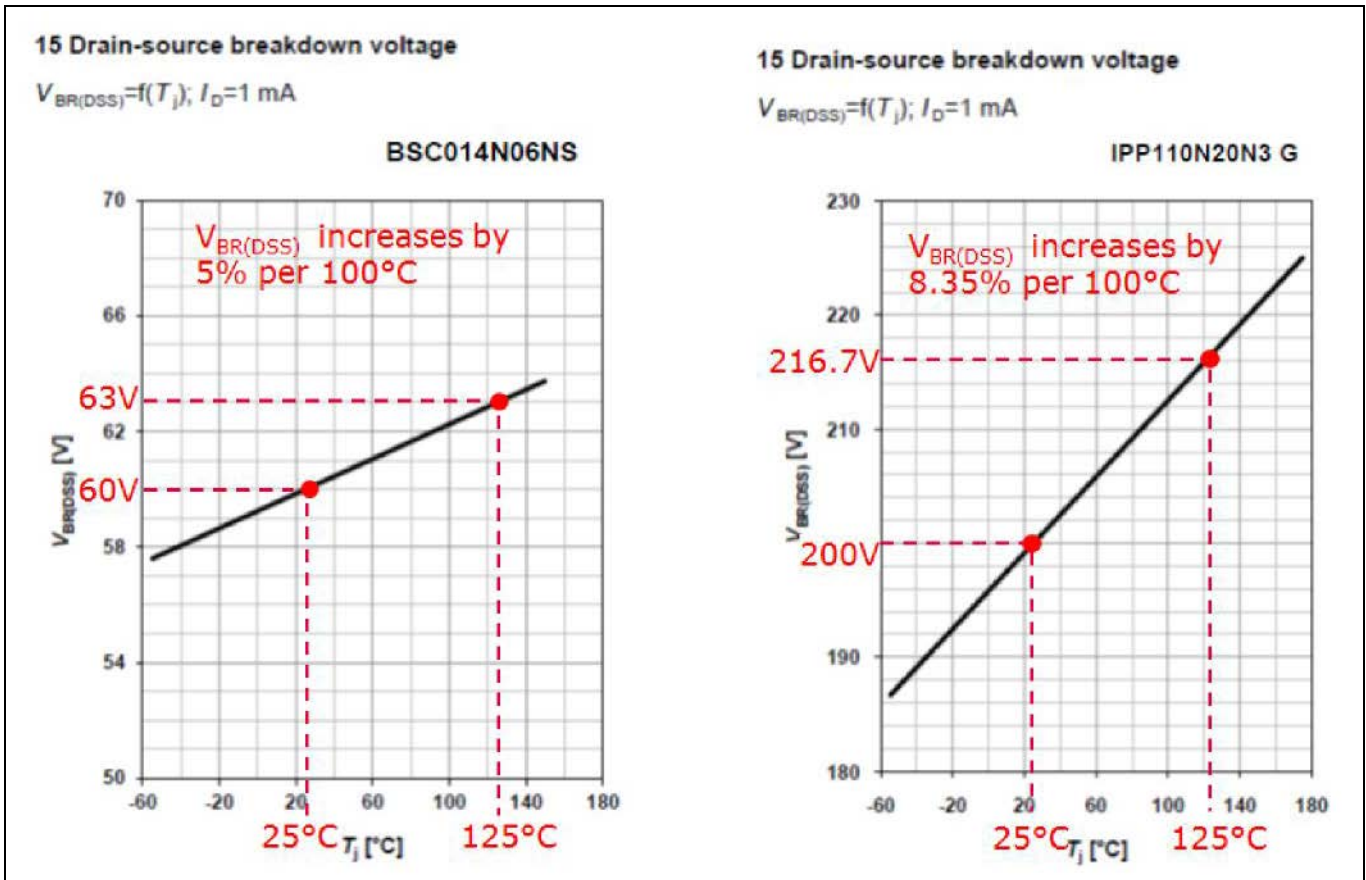


Figure 11 2つのOptiMOS™ MOSFETの温度による $V_{BR(DSS)}$ の変化

セクション 2.1.2 で見たように、 E_{AS} のデータシート値を計算するために使用されるテスト条件では、シリコン内部で 210°C の高温に達する可能性があります。これは、OptiMOS™ データシート内のほとんどのパラメータを定義するために使用される通常の T_J 温度 25°C よりもほぼ 200°C 高い温度です。この T_J の増加により、OptiMOS™ FET の $V_{BR(DSS)}$ が最大でほぼ 20% 増加します。

製造分布が起因の通常より 5~10% 高い $V_{BR(DSS)}$ を追加すると、アバランシェ時の V_{DS} スパイクのピーク振幅 (以前は $V_{DS,peak}$ として定義) は、資料で頻繁に記載される馴染みのある $1.3 \times V_{BR(DSS)(min,25)}$ 値が得られます。ただし、最新のすべての OptiMOS™ ファミリーでは、温度による $V_{BR(DSS)}$ の変動が少ないため、アバランシェ中の V_{DS} スパイクは $1.2 \times V_{BR(DSS)(min,25)}$ を超えてはいけません。

また、低エネルギーアバランシェイベントの場合、 T_J の上昇はほとんど無視できるため、観測された V_{DS} スパイクは $1.2 \sim 1.3 \times V_{BR(DSS)(min,25)}$ をはるかに下回ります。

これは、Figure 12 に示す回路図のテスト回路を使用して実証できます。DUT には、インフィニオンの最新の OptiMOS™ 60V ファミリーの一部である BSC014N06NS を使用します。このテストプラットフォームでは、 V_{DD} は 50 V に設定されます。60V 定格の MOSFET を DUT として使用する場合、この電圧振幅は非常に高くなります。これは、DUT をオフにするとときに生成される V_{DS} スパイクがこの V_{DD} の上に単純に重ね合わされるためです。この場合、 V_{DD} と $V_{BR(DSS)}$ の間の V_{DS} スパイクに小さな電圧幅を残すことで、アバランシェの発生を促進できます。

シングルパルスアバランシェ

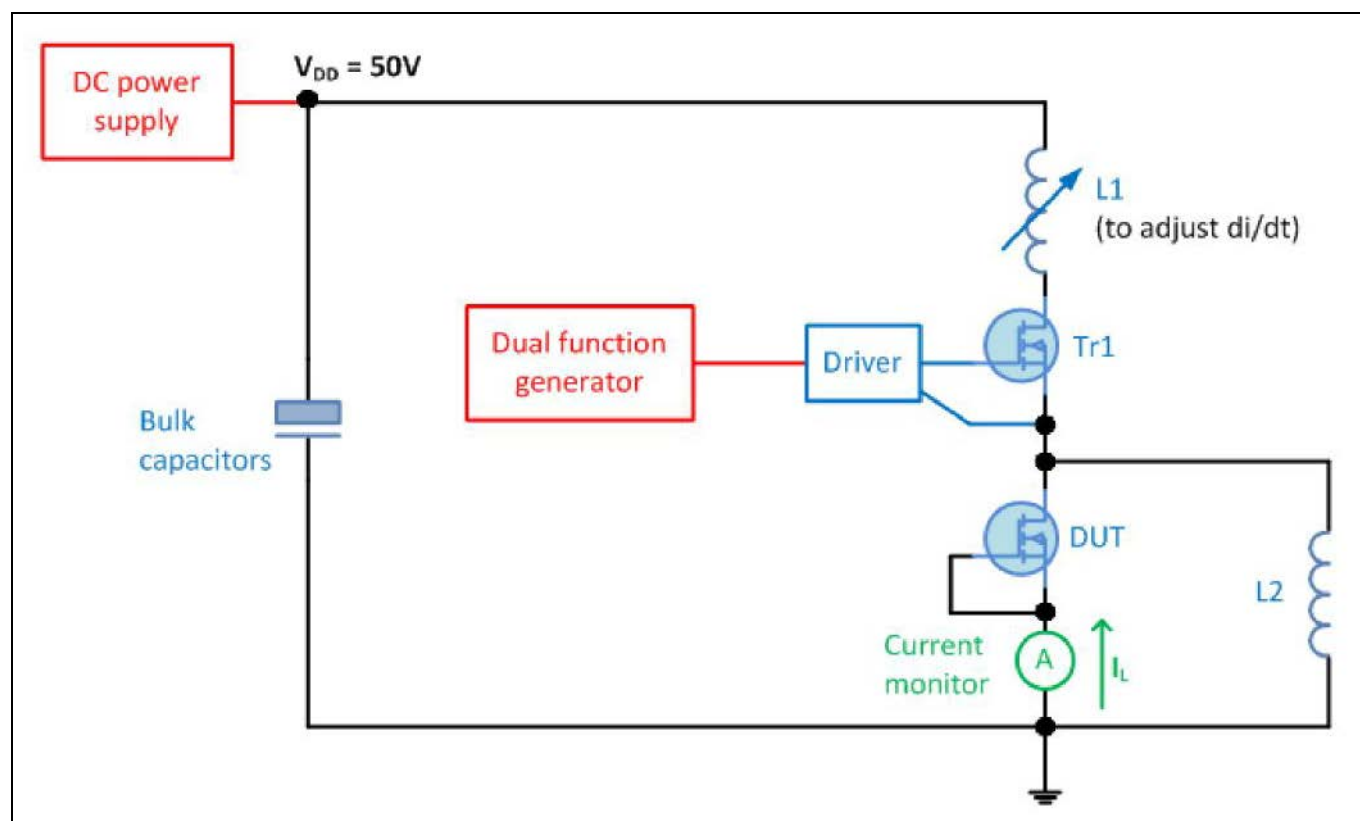


Figure 12 低エネルギーアバランシェイベントを学習するためのテスト回路

Figure 13 では、x 軸の $1\ \mu\text{s}$ の直後に、約 $40\ \text{ns}$ の V_{DS} のクランプによって示されるように、BSC014N06NS がアバランシェに入るのを観察できます。この場合、クランプ電圧の平坦性によって示されるように、アバランシェの間に生成されたエネルギーは、MOSFET を加熱するには不十分でした。その結果、クランプは約 $64\ \text{V}$ で発生します。これは、周囲温度約 25°C でのこのサンプルの実際の $V_{\text{BR(DSS)}}$ にの値と一致します。

シングルパルスアバランシェ

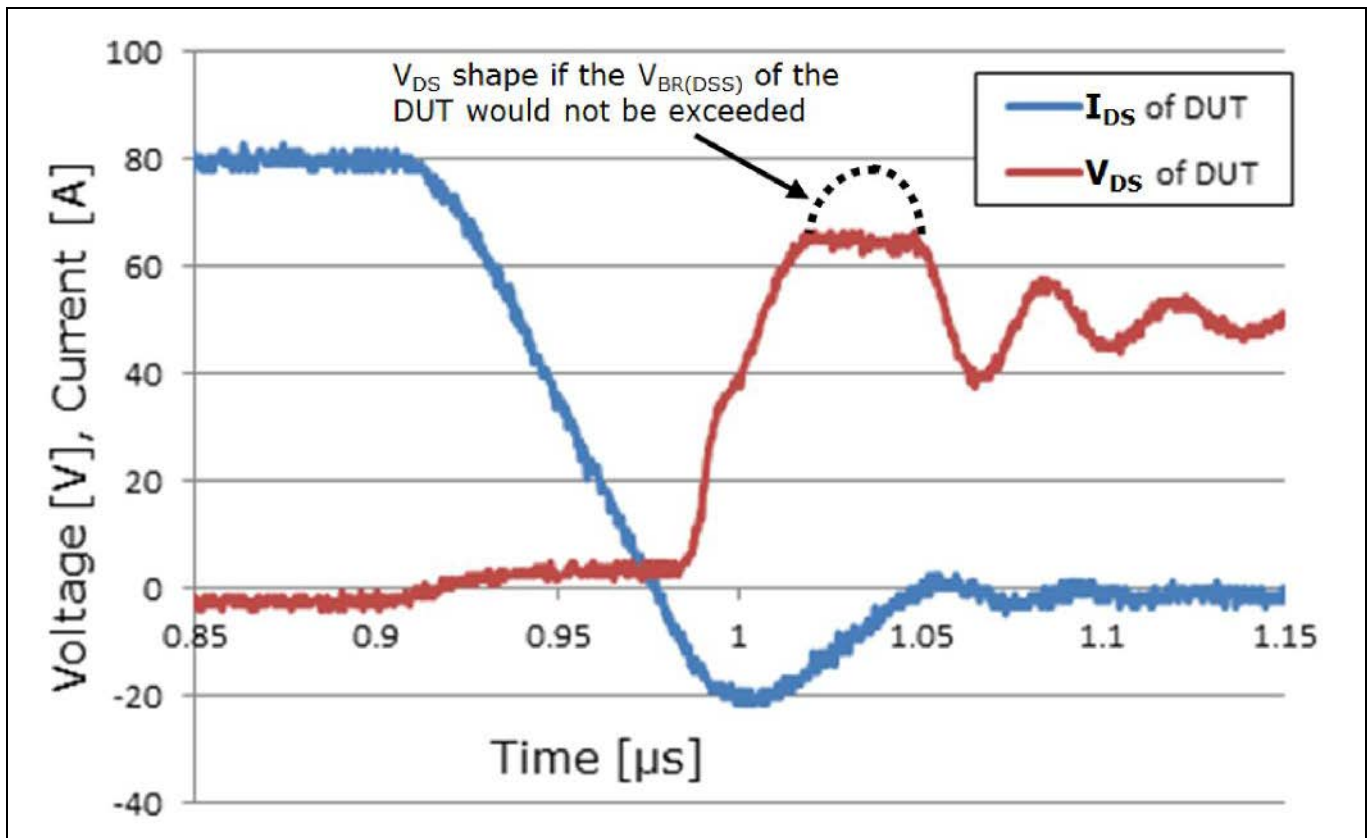


Figure 13 テスト回路付きの BSC014N06NS 波形

2.2 故障メカニズム

ここで、アバランシェ中に OptiMOS™ FET に影響を与える可能性のある 2 種類の障害を紹介します。

2.2.1 ラッチアップ

ラッチアップメカニズムは、[Figure 14](#) および[\[1\]](#)を参照することで最もよく理解できます。アバランシェイベントはドレイン電流を生成します。その振幅は、電界の強度が強いほど大きくなります。寄生 NPN バイポーラ接合トランジスタ (BJT) の近くで電界が強くなるようにテクノロジーが設計される場合、多量の電流がそのベース抵抗を流れ、ベースとエミッタの間に電圧を生成します。この電圧が特定のしきい値に達すると、バイポーラトランジスタがオンになり、アバランシェ電流の大部分が流れ、この電流を制御する手段がないため、MOSFET に損傷を与える可能性が生じます。

ラッチアップメカニズムは十分に理解されているため、インフィニオンは、このドキュメントで取り上げるすべての OptiMOS™ テクノロジーの開発中にその影響を軽減するよう努めました。したがって、これらのテクノロジーの多くでは、ラッチアップは発生しなくなりました。ただし、MOSFET の特有の内部構造により、いくつかのテクノロジーにおいてはラッチアップのリスクは、リスク軽減はできましたが、完全にリスク削除をできたわけではありません。

シングルパルスアバランシェ

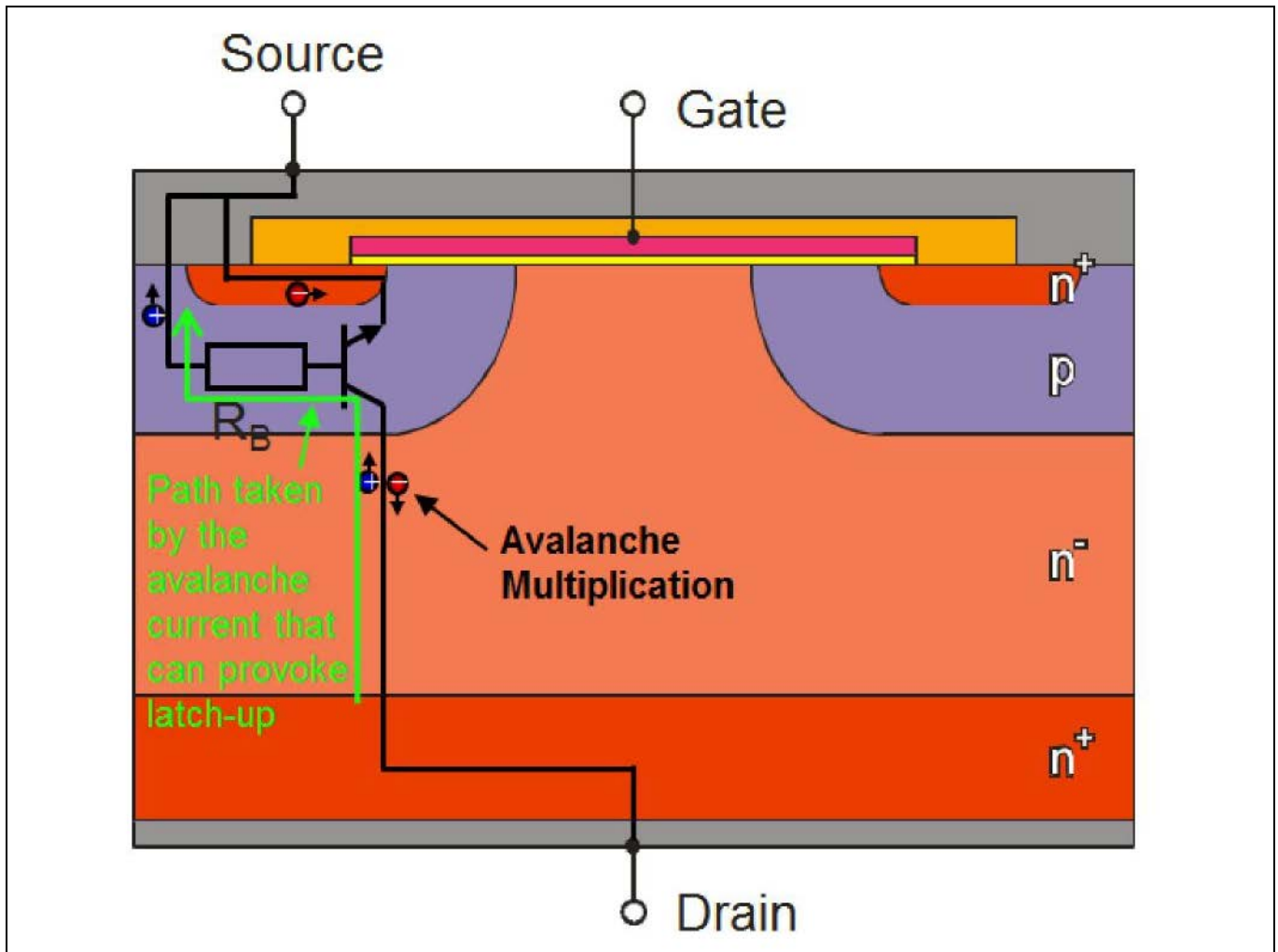


Figure 14 寄生 BJT を備えた MOSFET 断面

ここで、いくつかの方程式を使用して、ラッチアップについて詳しく見ていきます。

最初の式は、寄生バイポーラトランジスタがオンになる臨界電流である I_{crit} を導入します。これは通常、ベースからエミッタへの電圧が約 0.6V に達したときに発生します。

$$V_{BE} = R_B \times I_{crit} \approx 0.6 \text{ V}$$

式 1

アバランシェ中は温度が大幅に変化する可能性があるため、臨界電流がどのように変化するかを観察することが重要です。式 2 に示すように、式 1 を再構築できます。ここで、分子と分母の両方が温度によって変化することがわかります。

$$I_{crit} = I_{crit}(T) = \frac{V_{BE}(T)}{R_B(T)}$$

式 2

式 2 の分子に関して、この寄生 BJT の V_{BE} は、温度とともに数 mV/°C だけ直線的に減少します。

シングルパルスアバランシェ

次に、式 2 の分母を展開して、次の式を得られます。

$$R_B = R_B(T) \approx R_B(T_0) \times \left[\frac{T}{T_0} \right]^{2.5}$$

式 3

式 2 の分子とは対照的に、分母は温度とともに急速に増加します。

式 1~3 に基づいて、アバランシェイベント中の I_{crit} 制限の変化が **Figure 15** のマゼンタでプロットされています。 I_{crit} は、減少率が低下する前に、最初は非常に急速に低下することは明らかです。ある時点で、 I_{crit} は時間とともに増加し始めます。一方、アバランシェ電流 (紺色の線) は、インダクタ電流に一致するため、アプリケーションでは直線的に減少すると考えられます。その上で、ラッチアップはアバランシェイベントの開始点でのみ発生しますが、一方、減少する I_{crit} の傾斜は急です。

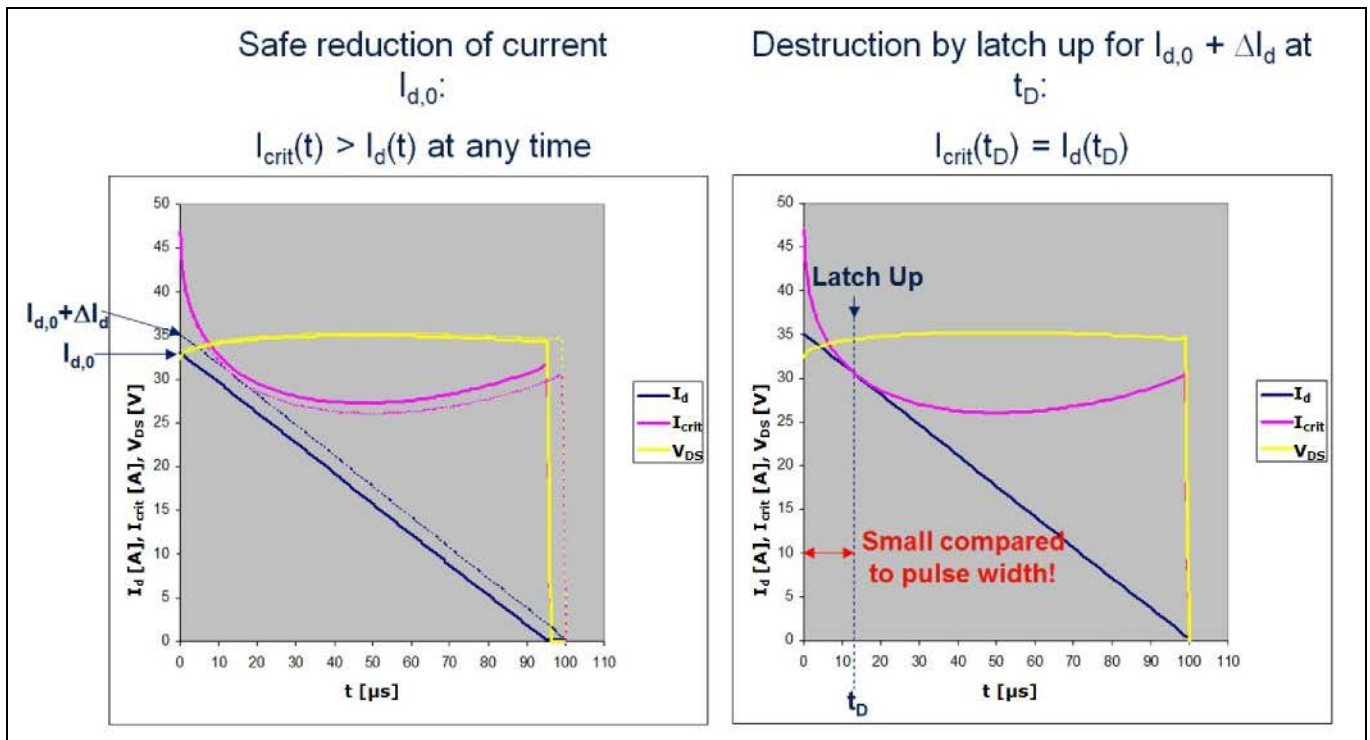


Figure 15 ラッチアップに対する臨界電流の影響

2.2.2 熱破壊

MOSFET の接合部温度が $T_{j,destr}$ に達すると、熱破壊が発生します。OptiMOS™ファミリのテクノロジー開発中にラッチアップに対して講じられた予防措置を考えると、アバランシェによって引き起こされる故障の大部分は熱破壊が原因です。ラッチアップが発生しやすいテクノロジーの場合でも、このような故障メカニズムは、 I_{loop} が低いアプリケーションでの熱破壊にのみ考慮されます。これは、アバランシェ中の温度上昇が $I_{loop} \times (i_{AS}(0))^2$ に比例するエネルギーによって引き起こされるためです。

$T_{j,destr}$ は、シリコンの真正温度に近い値、つまり熱的に生成されたキャリアの密度がバックグラウンドドーピングに等しくなる温度を示します。したがって、このような温度に達すると、MOSFET はもはや半導体のようには動作しなくなります。

議論されている OptiMOS™デバイスの $T_{j,destr}$ にはあまり変化がなく、値は通常 400°C に近い値です。さらに、この値は外部条件 (開始温度、パルス持続時間、パルス形状) とは無関係です。

シングルパルスアバランシェ

OptiMOS™ファミリの正確な $T_{j,destr}$ を決定するために、MOSFET が熱的に破壊されるアバランシェ電流が、固定 L_{loop} が用いられて複数のアバランシェの開始時の接合部温度($T_{j(start)}$)条件下で記録されます。次に、これらの結果を **Figure 16** のようなグラフ上に打点し、これらすべてのポイントの間に線を引きます。y=0 になるときの x 軸の値は、 $T_{j,destr}$ の値となります。**Figure 16** の青と緑の線の場合と同様に、すべての線がほぼ同じ温度で x 軸と交差することから、結果の有効性を確認するために、異なる $T_{j(start)}$ 値での測定を他の L_{loop} 値に対して繰り返すことができます。

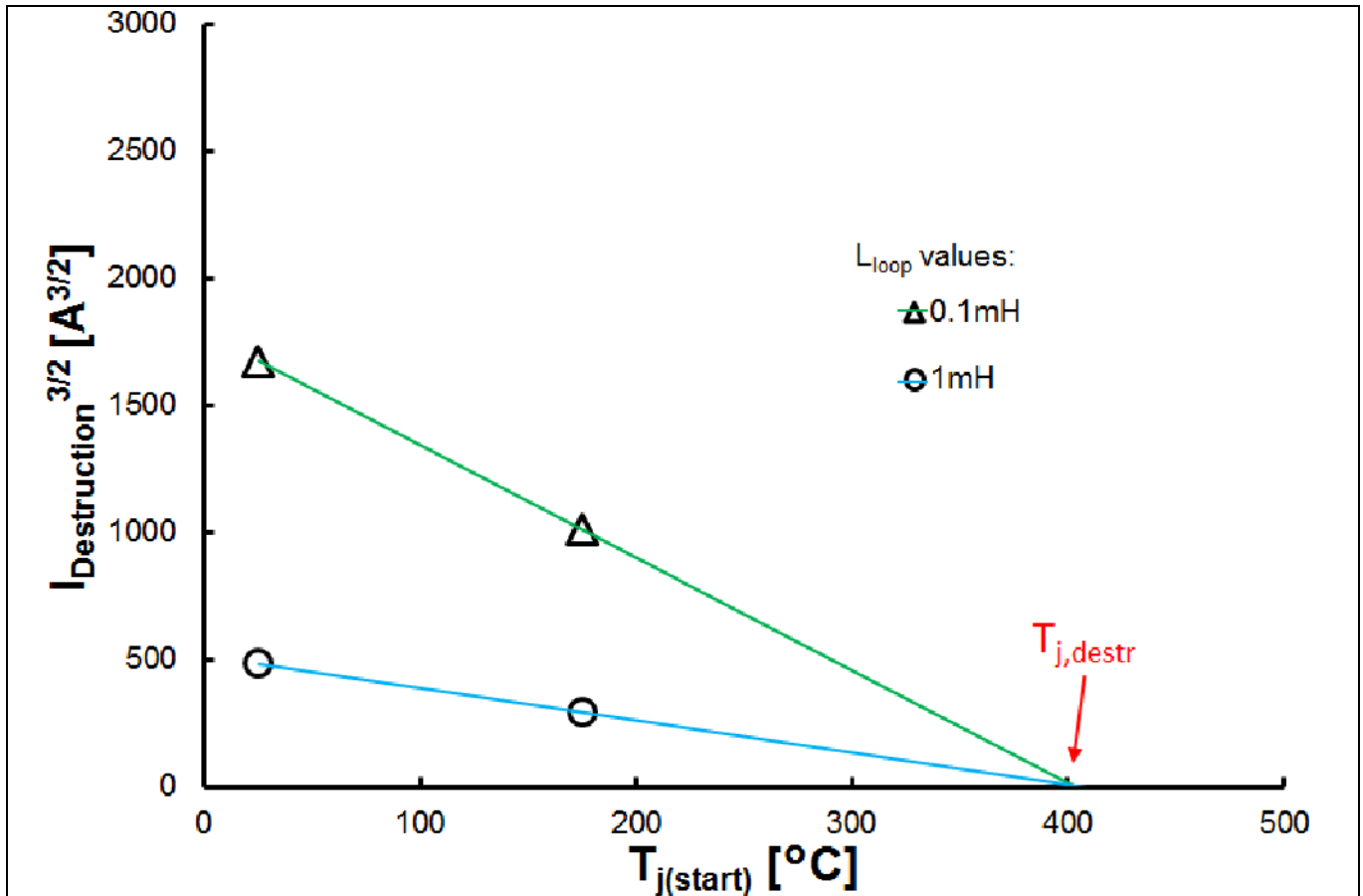


Figure 16 テクノロジのための $T_{j,destr}$ の抽出

残念ながら、熱破壊への対応はある程度のトレードオフの意味を含み、いくつかの高性能テクノロジーの主要な要素へ影響を与え、特に $R_{DS(on)} \times A$ としても知られるアクティブエリアにおけるドレイン-ソースのオン抵抗への影響を与えます。実際、定められている $R_{DS(on)}$ 値の達成のためには $R_{DS(on)} \times A$ の削減はチップサイズを小さくする必要がありますが、高エネルギーアバランシェイベントによって引き起こされる温度上昇を緩和するために、デバイス自体はより大きなチップサイズを必要とします。アバランシェに対処するためには、かなりの程度、より大きいチップサイズの方が適します。

2.3 量産での 100%テスト実施

当社の OptiMOS™FET はすべて、シングルパルスアバランシェの量産テストに合格する必要があります。テスト回路の回路図は、シミュレーションで **Figure 5** に使用したものと非常によく似ています。わかりやすくするために、この回路図は **Figure 17** に再描画されています。ここで、U1 は DUT を表します。

シングルパルスアバランシェ

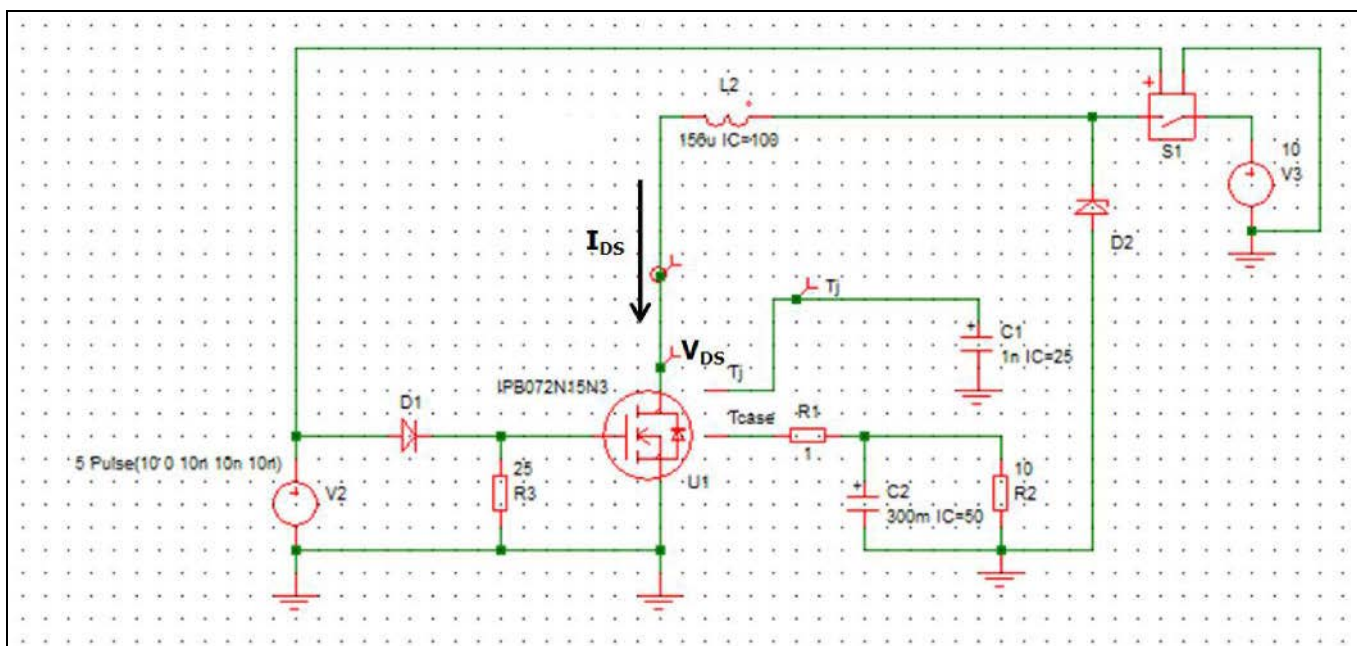


Figure 17 OptiMOS™のインフィニオンのアバランシェ量産試験の大まかな概略図

この量産テストは、半導体業界では一般にクランプなし誘導スイッチング (UIS) として知られており、[3]の5ページに詳しく説明されています。DUTがオフになり、高インピーダンスを示すと、インダクタンス L_2 は、代替パスがないため、この DUT に電流を強制的に流します。その結果、DUT の V_{DS} はすぐにその $V_{BR(DSS)}$ 定格を超え、アバランシェで動作します。

UIS テスト中に DUT がアバランシェに直面している間、その電流 (チャネルがオフになっているためアバランシェ電流のみになります) は直線的に減少します。この三角形の電流の形状は、インフィニオン OptiMOS™ データシートで提供されるすべてのアバランシェ定格の基礎であるため、このドキュメントでは他の電流の形状については説明しません。

Figure 17 に示すように、OptiMOS™ FET の場合、 V_{DD} 電源 (V3) は、DUT 内でアバランシェが発生する直前にインダクタから切断されます。したがって、後でエネルギーを計算する場合、使用される式は $E_{AS} = 1/2 \times L_{loop} \times (i_{AS}(0))^2$ になります。

Figure 18 に示す回路図とテスト手順の場合のように、一部のサプライヤはアバランシェ中に V_{DD} 電源を切断しないため、設計者はデータシートを比較するときにこの点に留意する必要があります。これにより、アバランシェエネルギー定格が高くなり、 $E_{AS} = 1/2 \times L_{loop} \times (i_{AS}(0))^2 \times V_{DS,peak} / (V_{DS,peak} - V_{DD})$ で定義されるようになったためです。

これは、 $L_{loop} = 100 \mu H$ 、 $i_{AS(0)} = 50 A$ 、 $V_{DS,peak} = 60 V \times 1.2 = 72 V$ および $V_{DD} = 12 V$ の例で説明できます。一方、 $E_{AS} = 1/2 \times L_{loop} \times (i_{AS}(0))^2$ を使用する場合、 E_{AS1} は 125mJ として記録されます。一方、 $E_{AS} = 1/2 \times L_{loop} \times (i_{AS}(0))^2 \times V_{DS,peak} / (V_{DS,peak} - V_{DD})$ を使用した場合、 E_{AS2} の記録値は 150 mJ です。アバランシェ中に V_{DD} が切断されなかったという理由だけで E_{AS1} より 20% 高くなります。

Note: 前述のように、シングルパルスアバランシェエネルギーを計算する場合は、アバランシェイベント中の MOSFET の V_{DS} 電圧は一定であり、 $V_{DS,peak}$ に等しいので近似値として使用します。

シングルパルスアバランシェ

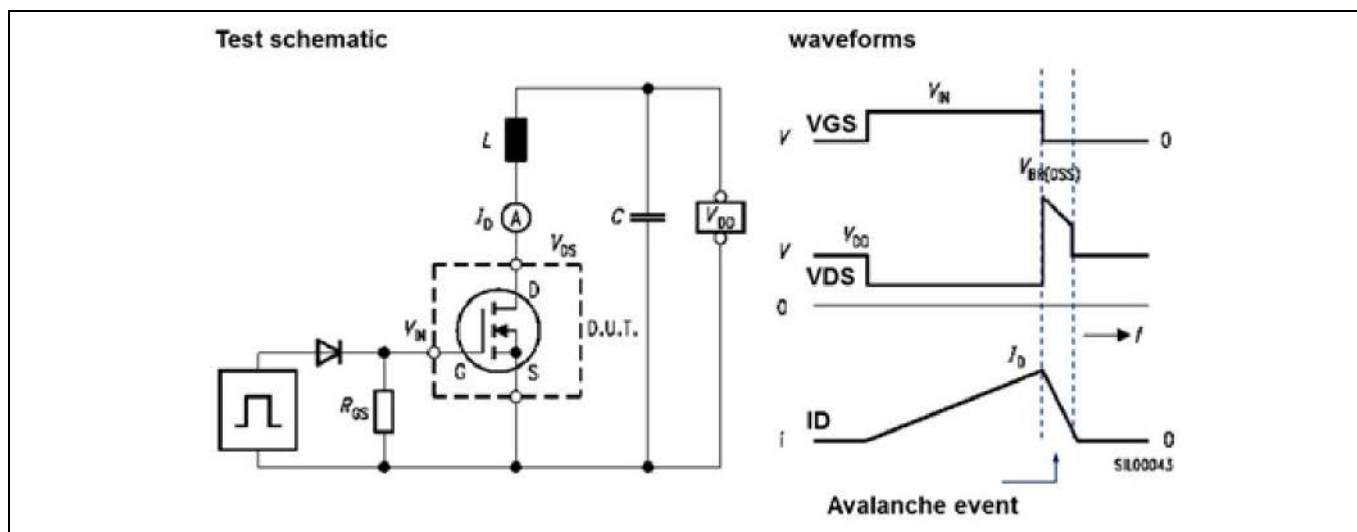


Figure 18 V_{DD} が常に回路に接続されているアバランシェテストセットアップ

イベントとしての名前があるように、単一パルスアバランシェイベントの発生は、1 回だけの発生のみ許容されます。特に、条件が「アバランシェ特性」というタイトルの名のもとデータシートに記載されている制限値に近い条件を示す場合です。これは、これらの制限値が MOSFET の $T_{j,max}$ を超える接合部温度に一致しており、このようなイベントを繰り返すと MOSFET の寿命が損なわれるためです。アバランシェそのものは、インフィニオンが焦点を当てて OptiMOS™ FET の使用を推奨するための条件ではないことに注意してください。

データシートの活用

3 データシートの活用

3.1 既存の情報

場合によっては、アプリケーション内の OptiMOS™ FET のシングルパルスアバランシェ機能は、 E_{AS} 定格やアバランシェ特性を示す図などのデータシートを参照することで簡単に評価できます (以下の **Figure 19** および **Figure 20** を参照)。 I_D (Table 2 内の E_{AS} のテスト条件として提供) は、初期アバランシェ電流 ($i_{AS}(0)$) に対応し、**Figure 20** の y 軸では i_{AV} と呼ばれることに注意してください。このドキュメントの残りの部分では、このパラメーターを参照するために常に $i_{AS}(0)$ を使用します。

データシートの「アバランシェ特性」図は、次のように解釈できます。定義された $T_{j(start)}$ の場合、アプリケーションの適用条件に対応する座標点 ($t_{AV}, i_{AS}(0)$) がプロットされた線の下と左にある場合、デバイスはアバランシェイベントに対処できます。例として、**Figure 20** では、 $T_{j(start)} = 125^\circ\text{C}$ の安全なアバランシェ状態の領域が緑色で覆われています。この図によって提供される情報を考慮して、これ以降、これを SOA_{AS} グラフとして参照していきます。ここで SOA_{AS} はシングルパルスアバランシェ下のセーフオペレーティングエリアを表します。

Table 2 Maximum ratings						
Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Continuous drain current	I_D	-	-	100 100 30	A	$V_{GS}=10\text{ V}, T_C=25^\circ\text{C}$ $V_{GS}=10\text{ V}, T_C=100^\circ\text{C}$ $V_{GS}=10\text{ V}, T_C=25^\circ\text{C}, R_{thJA}=50\text{ K/W}^{(1)}$
Pulsed drain current ⁽²⁾	$I_{D,pulse}$	-	-	400	A	$T_C=25^\circ\text{C}$
Avalanche energy, single pulse ⁽³⁾	E_{AS}	-	-	580	mJ	$I_D=50\text{ A}, R_{GS}=25\ \Omega$

Figure 19 BSC014N06NS のさまざまなデータシート定格 (E_{AS} を含む)

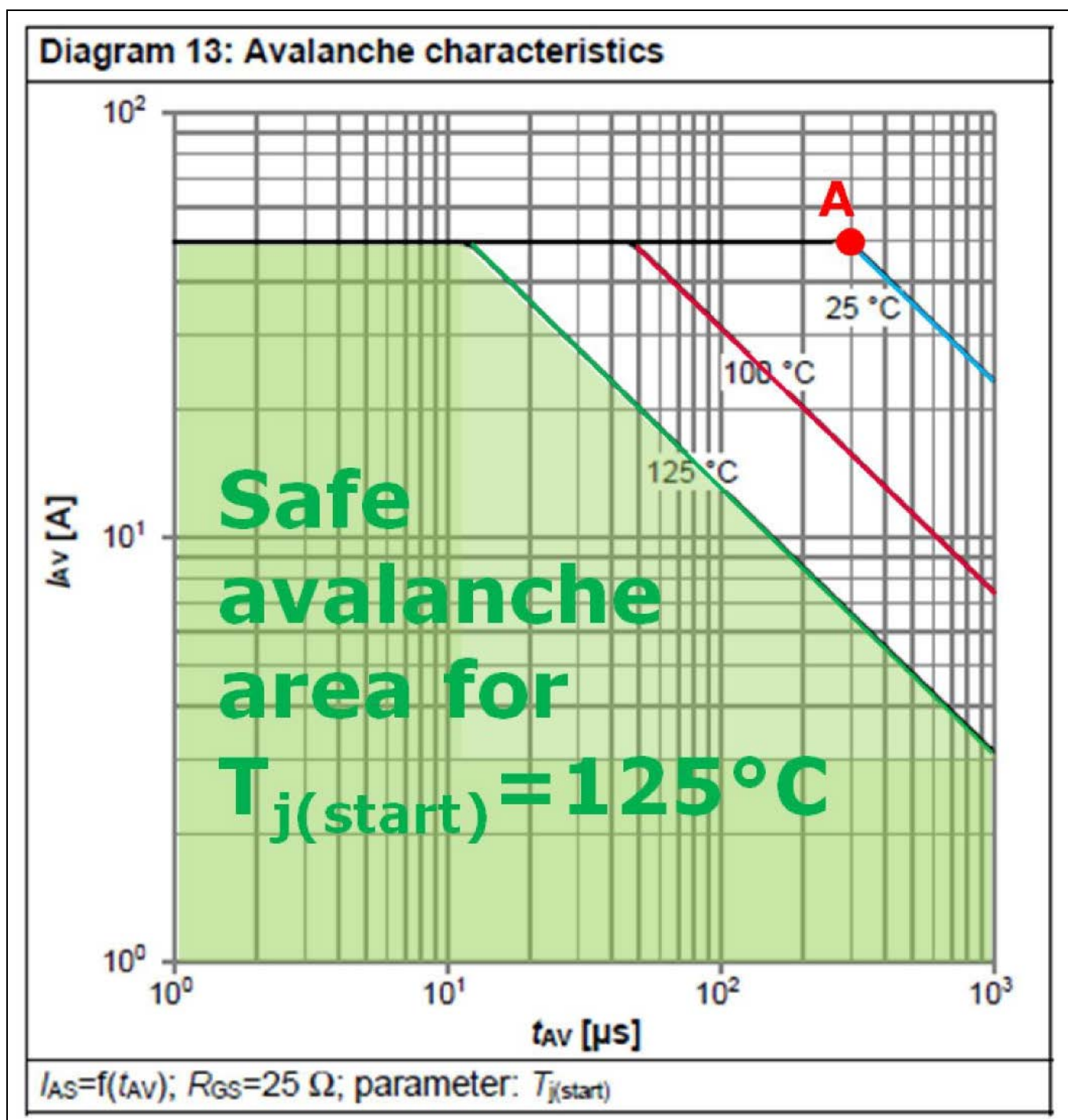


Figure 20 BSC014N06NS の SOA_{AS} グラフ

Figure 20 のポイント A は、データシートの Table 2 に記載される E_{AS} 値の条件に一致します (Figure 19 を参照)。実際、ポイント A では、 $T_{j(start)} = 25^{\circ}\text{C}$ 、 $i_{AS}(0) = 50\text{ A}$ 、 $t_{AV} = 300\ \mu\text{s}$ 、および $V_{DS,peak}$ は約 $1.3 \times V_{BR(DSS)(min,25)}$ です。ここで、 $V_{BR(DSS)(min,25)}$ = BSC014N06NS の場合は 60V です。

$E_{AS} = 1/2 \times V_{DS,peak} \times i_{AS}(0) \times t_{AV}$ の場合、約 580mJ の E_{AS} が得られます。

Note: セクション 2.1.3 の情報に基づくと、BSC014N06NS には係数 1.2 の方が適切です。このデータシートがリリースされた時点では、SOA_{AS} グラフに追加のディレーティングを提供するために 1.3 の使用を行いました。

データシートの活用

三角形を示すアバランシェイベントに焦点を合わせているため、 E_{AS} は $1/2 \times L_{loop} \times (i_{AS}(0))^2$ で計算できます。この式により、データシートの Table 2 に記載される E_{AS} 値を求めるためのテスト回路のループインダクタンス (L_{loop}) が得られます。BSC014N06NS データシートの場合、 L_{loop} は $464 \mu H$ に等しくなります。

E_{AS} のデータシート値は、インフィニオンが製造中のすべての単体 MOSFET のアバランシェ耐久性を検証するために必要なリファレンスを提供します。しかし、単一のループインダクタンス L_{loop} の値ですべてのアプリケーションをカバーすることは不可能であるため、この定格は多くのユーザーにとって限定的な使用条件であることを示している可能性があります。実際、テレコムブリック内の OptiMOS™ FET が直面するアバランシェエネルギーは、低 L_{loop} と高電流密度の組合せによるものですが、この同じアバランシェエネルギーは、フォークリフトアプリケーション内の非常に高い L_{loop} と低電流密度からも発生します。したがって、MOSFET の E_{AS} を任意の L_{loop} 値から推定できることが重要です。そのため、SOA_{AS} グラフを適切に理解することで、(異なる L_{loop} を使用する) アプリケーションがシングルパルスアバランシェエネルギーに関して安全であるかどうかを簡単に評価できます。それが次のセクションの目的です。

3.2 他のアプリの条件の外挿

外挿式を提供する前に、[4]の包括的な作業を参照として使用して、基本的な理論から始めます。実際の例にのみ興味がある読者は、このセクションをスキップして、セクション 3.2.1 および 3.2.2 に進むことができます。

Figure 21 は[4]に基づいており、2つの異なるループインダクタンス値 ($L1 < L2$) と2つの異なる初期アバランシェ電流 ($i_{AS1}(0) < i_{AS2}(0)$) を使用した3つの例を示します。セクション 2.2 で、OptiMOS™ FET の主なアバランシェ故障モードは接合部温度の過度の上昇によって引き起こされることが示されたため、監視する最も重要なパラメータは、アバランシェ中のピーク接合部温度である $T_{j,peak}$ です。したがって、Figure 21 は、説明した3つの例のそれぞれについて $T_{j,peak}$ をグラフ化したものです。[4]で、 $T_{j,peak}$ が $1/2 \times t_f$ で発生することが示されています。ここで、 t_f はアバランシェ電流が0に減少するのにかかる時間です。

まず、初期電流 $i_{AS}(0)$ が同じである例1と2を比較することで、異なる L_{loop} の影響を確認できます (赤と青の実線を参照)。例2では、 $L_{loop}, L2$ が高いほどアバランシェ電流の減少が遅くなり、その結果、赤と青の点線の曲線を比較するとわかるように、 L_{loop} が高い $L2$ ほど温度の上昇が速くなり、最終的にはピーク温度が高くなります。青色の実線と点線が E_{AS} 定格を求めるためのデータシート条件を参照していると仮定すると、ループインダクタンスが高い場合は同じ $i_{AS}(0)$ を使用できないことは明らかです。仮に同じ $i_{AS}(0)$ を使用した場合は、接合部温度のピークが高すぎます。温度の代わりにエネルギーを用いても、エネルギーは $E_{AS} = 1/2 \times L_{loop} \times (i_{AS}(0))^2$ の式で表れるため、このことは自明です。

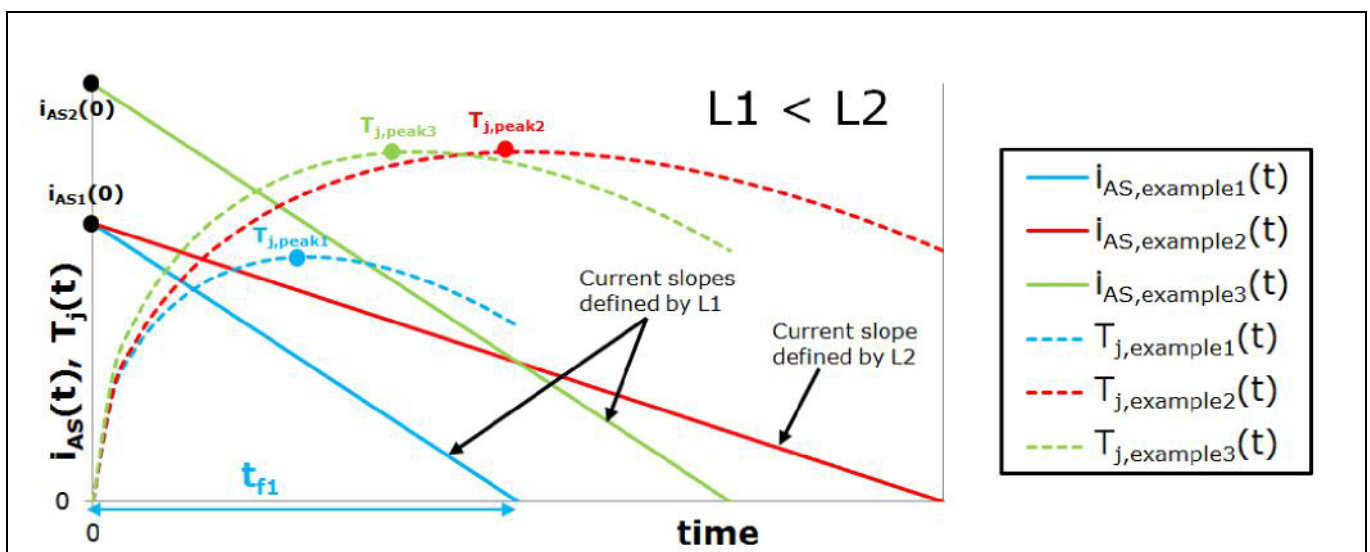


Figure 21 T_j に対する $i_{AS}(0)$ と L_{loop} の影響

データシートの活用

三角形の電流形状の条件下では、最大温度デルタ (ΔT_M) は、参考資料[4]を使用して次のように定義できます。

$$\Delta T_M = \frac{\sqrt{2}}{3} \times i_{AS}(0) \times V_{DS,peak} \times F_1 \times \sqrt{t_f}$$

式 4

この方程式は参考資料[4]にあるものとわずかに異なるため、この方程式についてコメントがいくつかあります。

第一に、因子 F_1 は[4]で「K」と呼ばれていました。ケルビンの記号との混同を避けるために、このアプローチには従いません。MKS 単位系を使用する場合、この係数 F_1 は $K/W \times \sqrt{s}$ で提供されます。 F_1 は、発電領域とシリコンの熱特性に依存します。この例では、外挿中に同じ MOSFET 部品番号を維持し、MOSFET パラメーターの製造分布を無視するため、 F_1 は一定であると見なせます。

次に、[4]と同様に、最初の近似としてアバランシェ電圧が一定であると仮定します。ただし、この場合、この定電圧をアバランシェ中のピーク電圧 ($V_{DS,peak}$) に等しいと定義します。 F_1 定数を考慮するために行われた仮定は、 $V_{DS,peak}$ にも適用されます。それらに加えて、異なるアバランシェエネルギーの値を外挿するとき $V_{DS,peak}$ が変化しないことも最初の近似として考慮します。セクション 2.1.3 で紹介した $V_{DS,peak}$ に対する温度の影響に続いて、異なるアバランシェ条件を使用すると $V_{DS,peak}$ が変化することを理解しますが、そのような変化はすべての最新の OptiMOS™ ファミリーでは、そのような変化が 10% をはるかに下回ることもわかっています。特に外挿は通常、アバランシェ中の実際のピーク温度値 ($T_{j,peak}$) (したがって $V_{DS,peak}$ 値) が比較的近い条件に対するものであることを考慮してください。

第 3 に、以下の計算のすべての温度値は $^{\circ}C$ を使用しますが、それらの温度デルタは最終的にケルビンを参照します。

最後に、式 4 の残りの項が以前に定義されていることを確認できます。

次のように t_f を展開できます。

$$t_f = \frac{L_{loop} \times i_{AS}(0)}{V_{DS,peak}}$$

式 5

式 4 に式 5 を挿入すると、より有益な式が得られます。

$$\Delta T_M = \frac{\sqrt{2}}{3} \times F_1 \times V_{DS,peak}^{1/2} \times i_{AS}(0)^{3/2} \times L_{loop}^{1/2}$$

式 6

定義された MOSFET に対して一定であるとして F_1 と V_{DS} のピークを先に概算したので、したがって、次の式で定義された定数係数 F_2 (単位は $K/\sqrt{I^2 \times V \times s}$) を導入することができます。

$$F_2 = \frac{\sqrt{2}}{3} \times F_1 \times V_{DS,peak}^{1/2}$$

式 7

式 7 を使用すると、式 6 をさらに簡略化して次の式が得られます。

データシートの活用

$$\Delta T_M = F_2 \times i_{AS}(0)^{3/2} \times L_{loop}^{1/2}$$

式 8

アプリケーション内では、初期接合部温度 ($T_{j(start)}$) および/または L_{loop} および/または $i_{AS}(0)$ は、インフィニオンのデータシートで E_{AS} を定義するために使用される条件とは異なる可能性があります。次の例は、設計者が自分の状態が安全かどうかを評価する方法を示します。

3.2.1 $T_{j(start)} = 25^\circ\text{C}$ の例

この例では、BSC014N06NS を使用するアプリケーションとして、初期アバランシェ電流 $i_{AS}(0) = 30\text{A}$ および $L_{loop3} = 928\mu\text{H}$ を定義します。計算を簡単にするために、 $T_{j(start)}$ が 25°C であると仮定します。BSC014N06NS データシート内で定義された E_{AS} の場合、 $i_{AS4}(0) = 50\text{A}$ および $L_{loop4} = 464\mu\text{H}$ でした。この例では、 L_{loop4} の値の 2 倍に等しいループ L_{loop3} を選択したことに注意してください。

ΔT_M は両方の条件で同じでなければなりません。したがって、式 8 を使用して、このアプリケーションが耐えることができる最大初期アバランシェ電流 $i_{AS3}(0)$ を定義します。

$$i_{AS3}(0)^{3/2} \times L_{loop3}^{1/2} = i_{AS4}(0)^{3/2} \times L_{loop4}^{1/2}$$

式 9

$$i_{AS3}(0) = 50\text{ A} \times \sqrt[3]{\frac{464\mu\text{H}}{928\mu\text{H}}} = 39.7\text{ A}$$

式 10

このアプリケーションでは、 $i_{AS}(0)$ はわずか 30 A であり、したがって $i_{AS3}(0)$ よりも低いため、BSC014N06NS はシングルパルスアバランシェイベントに安全に対応しております。

計算が正しいことを確認するために、式 5 を使用して t_{f3} を導出し、次の式を取得できます。

$$t_{f3} = \frac{928\mu\text{H} \times 39.7\text{ A}}{60\text{ V} \times 1.3} = 472\mu\text{s}$$

式 11

SOA_{AS} グラフの傾斜曲線 (Figure 22 で青、赤、緑で強調表示) の場合、 t_f は t_{AV} に対応します。同じ図で、座標 ($t_{f3}, i_{AS3}(0)$) の点 B は、 $T_{j(start)} = 25^\circ\text{C}$ の青い傾斜線上にあり、計算が正しいことを確認しています。ただし、場合によっては、OptiMOS™ データシートの SOA_{AS} グラフにプロットされた傾斜線は、以前に導入された式で示されるよりもわずかにディレーティングされます。それでも、上記の方法に従うことによって、比較的正確な評価が得られます。

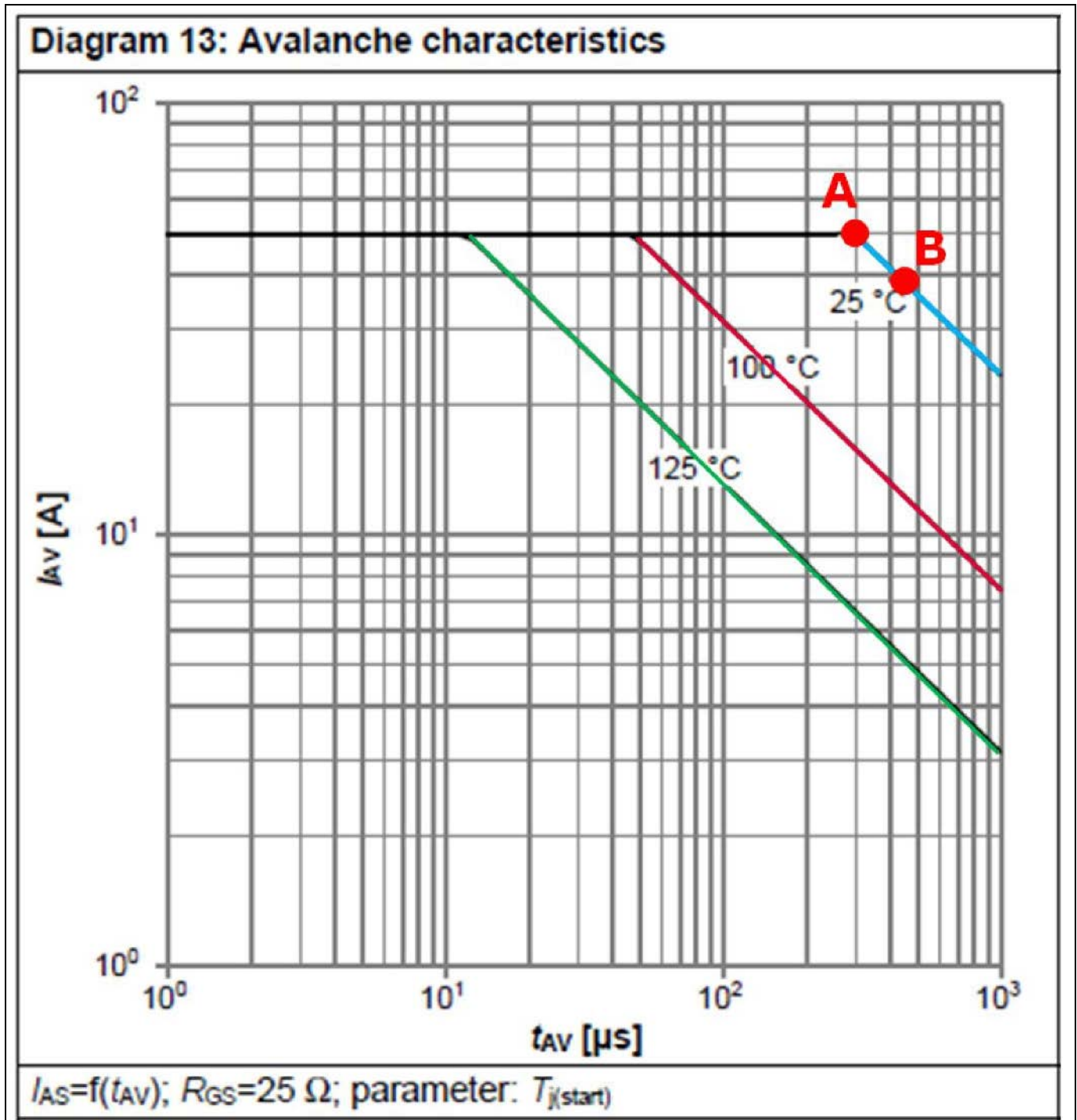


Figure 22 $T_{j(\text{start})} = 25^\circ\text{C}$ の場合の BSC014N06NS の SOA_{AS} グラフの使用

3.2.2 異なる $T_{j(\text{start})}$ で同じ手順の繰り返し

$T_{j(\text{start})}$ が 25°C でないアプリケーションでは、セクション 3.2 で紹介した式を使用する前に、 E_{AS} と L_{loop} の両方がわかっている基準点を見つける必要があります。

例として、BSC014N06NS を使用するとき 100°C の $T_{j(\text{start})}$ を想定し、Figure 23 のポイント C に対応する E_{AS} と L_{loop} を決定します。 $i_{AS}(0) = 50\text{A}$ および $t_{AV} = 50 \mu s$ であるため、 $E_{AS} = 1/2 \times V_{DS, \text{peak}} \times i_{AS}(0) \times t_{AV}$ と $V_{DS, \text{peak}} = 1.3 \times V_{BR(DSS)(\text{min}, 25)} = 78\text{V}$ を使用し、 $E_{AS} = 97.5\text{mJ}$ を取得します。

データシートの活用

$E_{AS} = 1/2 \times L_{loop} \times (I_{AS}(0))^2$ であるため、ポイント C の場合、 $L_{loop} = 78 \mu H$ であると推論することができます。その場合、3.2 の手順に従うのは簡単です。

$T_{j(start)}$ がデータシートの SOA_{AS} グラフで通常提供される 3 つの値のいずれにも対応しない場合、インフィニオンは別の温度を使用してグラフをプロットできます。インフィニオンの担当者に連絡して、これをリクエストしてください。

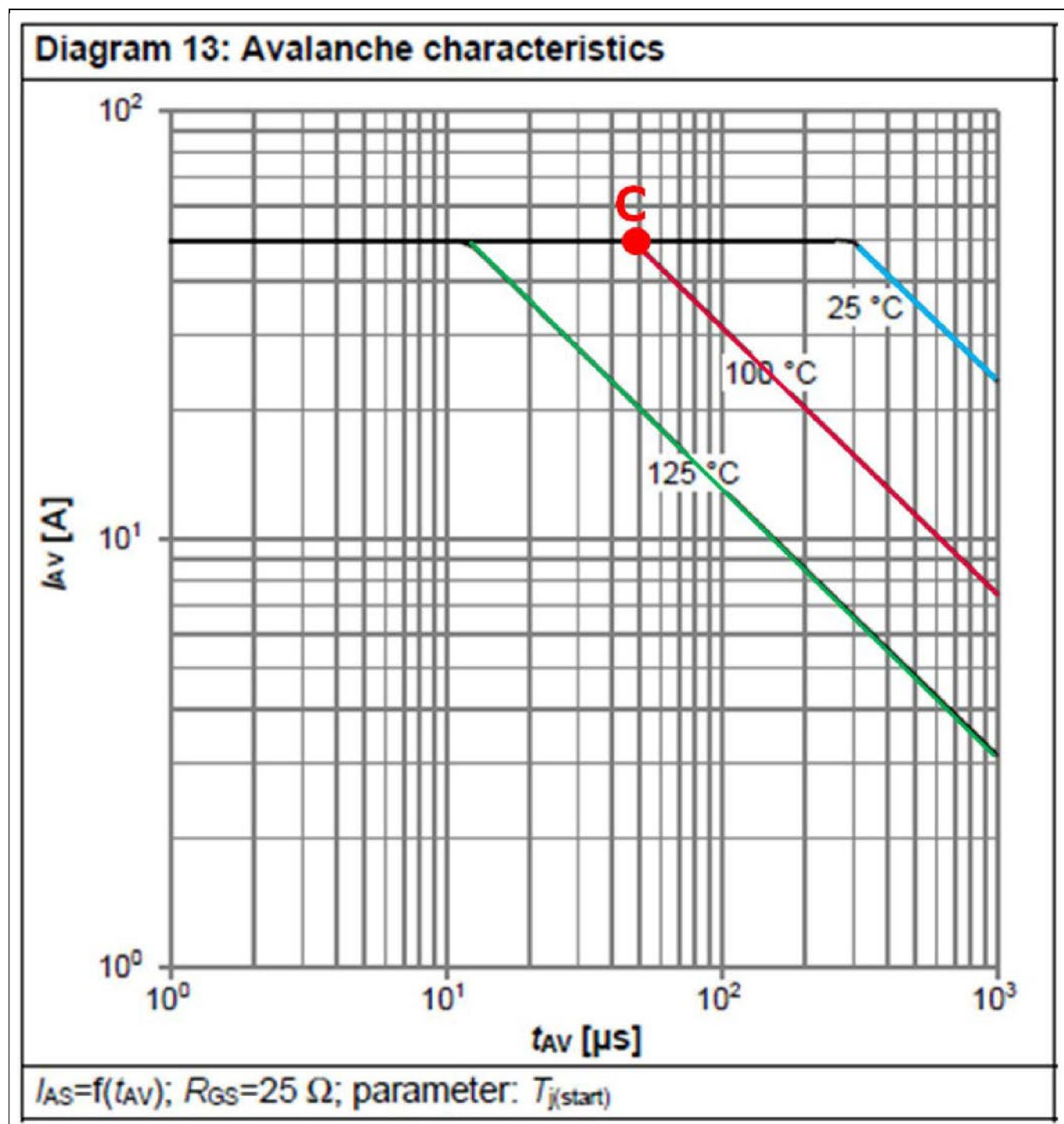


Figure 23 $T_{j(start)} = 100^\circ C$ の場合の BSC014N06NS の SOA_{AS} グラフの使用

データシートの活用

3.3 L_{loop} による E_{AS} のバリエーション

式 8 からさらに価値のある情報を抽出することが可能です。詳細が不要な読者は、式 13 に直接進んでください。

式 8 を参照すると、 L_{loop} と $i_{AS}(0)$ の指数は、シングルパルスアバランシェエネルギーに使用される式の指数、つまり $E_{AS} = 1/2 \times L_{loop} \times (i_{AS}(0))^2$ とは異なります。式 8 では、 $i_{AS}(0)$ の指数は L_{loop} の指数の 2 倍ではなく 3 倍です。つまり：

- 一方では、一定のエネルギーを維持するには、 $L_{loop} \times (i_{AS}(0))^2$ を一定に保つ必要があります。
- 一方、一定の温度上昇を維持するには (シングルパルスアバランシェを推定するために重要)、 $L_{loop} \times (i_{AS}(0))^3$ は一定のままである必要があります。

L_{loop} が係数 Y だけ変化すると仮定すると、次のようになります。

- $i_{AS}(0)$ は、エネルギーを一定に保つために $Y^{(-1/2)}$ だけ変更する必要があります、 $i_{AS_e}(0) = i_{AS}(0) \times Y^{(-1/2)}$ です。
- 同じ温度上昇を維持するには、 $i_{AS}(0)$ を $Y^{(-1/3)}$ だけ変更する必要があります、 $i_{AS_t}(0) = i_{AS}(0) \times Y^{(-1/3)}$ です。

したがって、同じ温度上昇を維持したときに得られるエネルギーの変動は、 $(i_{AS_t}(0) / i_{AS_e}(0))^2$ に等しい係数 Z による L_{loop} の変化の係数 Y に関連します。これは以下で与えられます。

$$Z = \left(\frac{Y^{(-1/3)}}{Y^{(-1/2)}} \right)^2 = Y^{\left(\left(\frac{1}{2} - \frac{1}{3} \right) \times 2 \right)}$$

式 12

さらに単純化します。

$$Z = Y^{(1/3)}$$

式 13

言い換えると、ループインダクタンスを係数 Y だけ変化させると、シングルパルスアバランシェエネルギーが係数 $Y^{(1/3)}$ だけ変化します。

これは、**Figure 22** のポイント B に対応するセクション **3.2** の結果を再利用することで確認できます。 L_{loop} の値を 2 倍にすることにより、 E_{AS} は 580mJ から次のように変更されました。

$$E_{AS} = \frac{1}{2} \times 928 \mu H \times 39.7 A^2 = 731 mJ$$

式 14

これは、アバランシェエネルギーが 1.26 倍 ($= 731 mJ / 580 mJ$) 増加することに相当します。 $Y=2$ で式 13 を使用すると、 $Z=1.26$ も得られ、この式の有効性が確認されます。

これらの調査結果から覚えておくべきもう 1 つのポイントがあります。上記の理論的説明に基づく、OptiMOS™ FET の SOA_{AS} グラフの傾斜線は一定のエネルギーではありません。

最後に、上記の説明は、以下の仮定が適用される OptiMOS™ FET に関連していることに注意してください。

- アバランシェ電流は三角形の形状をとると想定されます。
- 熱破壊は、シングルパルスアバランシェによって引き起こされる主要な故障メカニズムです。

データシートの活用

3.4 同一条件での比較

ここまでで、 E_{AS} は L_{loop} とともに増加することが分かりました。したがって、異なるメーカーのデータシートからの E_{AS} を比較するときは、提供された値が同じ L_{loop} 条件のものであることを確認してください。そうでない場合は、式 13 を使用して、できればアプリケーション回路の 1 つの中で、最初と同じ L_{loop} を用いて各製品の E_{AS} を再計算する必要がある可能性があります。

公平な比較のためのトピックとしては、設計者は $R_{DS(on)}$ の値が類似している MOSFET のアバランシェ能力のみを比較する必要があります。残念ながら、メーカーが異なれば使用するテクノロジーも異なるため、同じ $R_{DS(on)}$ の MOSFET はチップサイズが異なる可能性があります。しかし、少なくとも、この比較は理にかなっています。

$R_{DS(on)}$ の値が大幅に異なる MOSFET とのアバランシェ能力を比較することは推奨しません。同じテクノロジーの場合、MOSFET チップサイズはその $R_{DS(on)}$ に反比例し、前述のように、アバランシェに対処する場合は通常、大きい方がよいことを思い出してください。その結果、異なるメーカーの MOSFET を比較したとしても、 $R_{DS(on)}$ がはるかに低い部品のチップサイズは大きくなる可能性があります。

3.5 熱インピーダンスのデータシート図

アバランシェは動的な現象であるため、インフィニオンのデータシートに記載されている、パルス幅とデューティサイクルによる熱インピーダンス、ジャンクションツーケース (Z_{thJC}) の変化を参照する際に非常に役立ちます。Figure 24 は、BSC014N06NS データシートから抽出した図の例です。シングルパルスアバランシェに関係しているため、特に重要なプロットは下のプロット (シングルパルス) です。

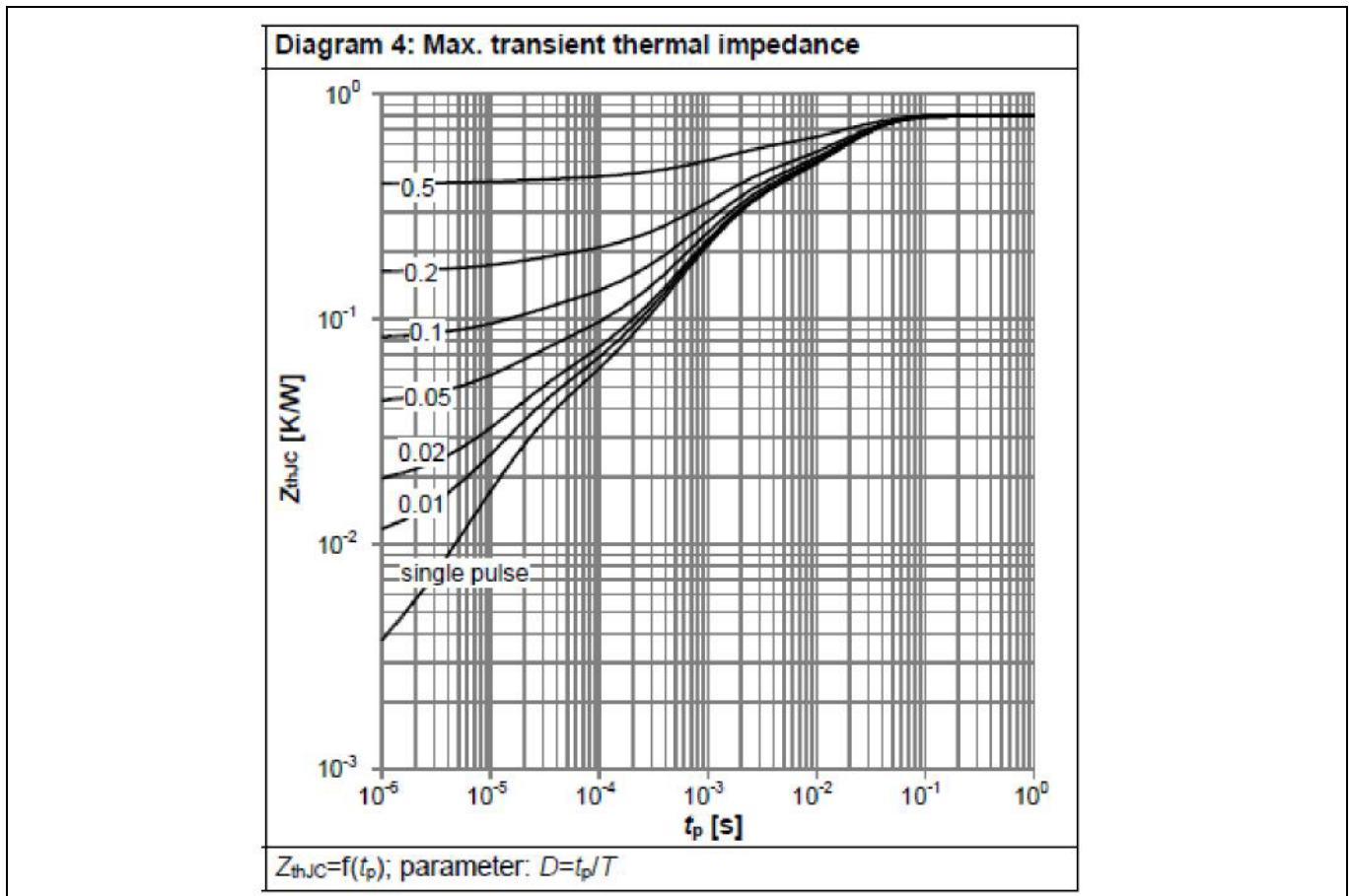


Figure 24 BSC014N06NS データシートの図 4

データシートの活用

残念ながら、[5]で述べたように、このプロットは MOSFET 温度に対するアバランシェの影響を過小評価する傾向があります。この不一致は、主に、**Figure 25** に要約されるように、MOSFET が経験するパワーパルスの形状の違いに起因する可能性があります。データシートに $Z_{thJC} = f(t_p)$ をプロットする場合、パワーパルスは長方形です。ただし、アバランシェ中は、アバランシェ電圧を一定に近づけると、パワーパルスはアバランシェ電流と同じ三角形の形状をしていると見なせます。

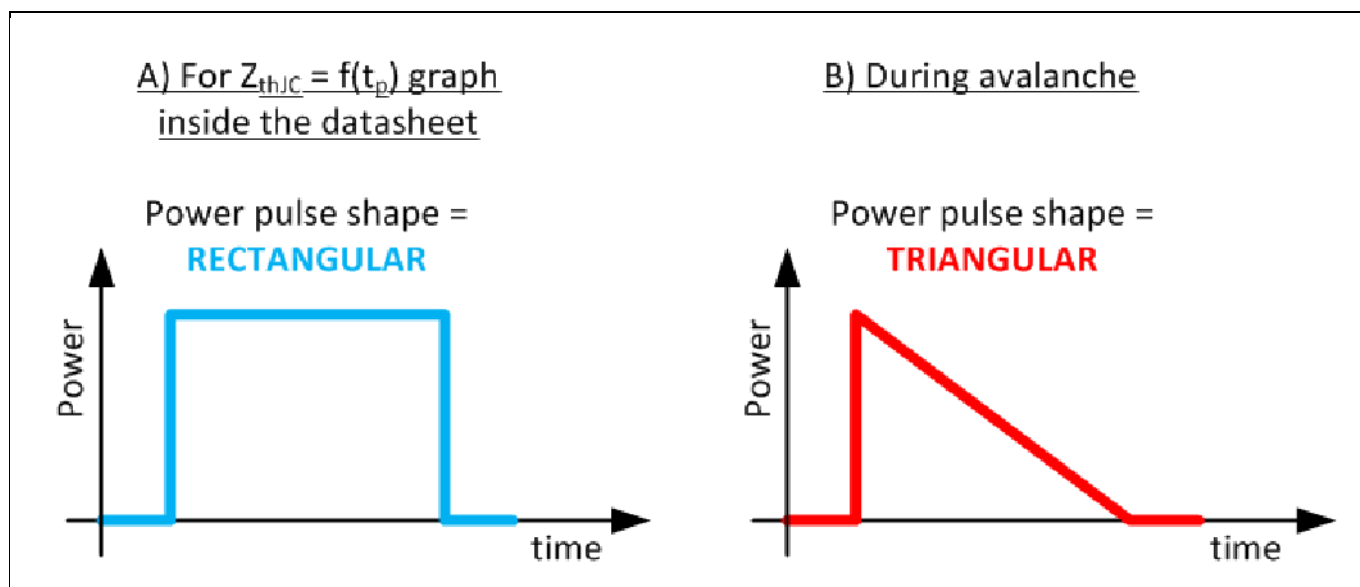


Figure 25 MOSFET が直面するパワーパルスの形状 - $Z_{thJC} = f(t_p)$ グラフ vs アバランシェ

ただし、シングルパルスアバランシェ中の MOSFET の一般的な温度動作は、PSpice シミュレーションに戻り、**Figure 5** の回路を再利用することで、この影響を比較的十分に考慮できます。ただし、今回は、PSpice レベル 3 モデルにデフォルトで設定される Z_{thJC} の標準値は使用しません。代わりに、MOSFET 温度に対するアバランシェのより高い影響を補償するために、**Figure 26** に示すように、パラメーター「Zthtype」を 1 に設定することによって、 Z_{thJC} の最大値を使用してシミュレーションできます。

その結果、接合部温度は、**Figure 6** で観察された 210°C よりもわずかに高くピークになります。ただし、以下が引き続き適用されるため、これは問題ではありません。

- この $T_{j,peak}$ は、構造の $T_{j,destr}$ よりも 100°C を大幅に下回ります。
- このようなエネルギーの単一パルスアバランシェイベントは 1 つしか許容されないため、MOSFET の $T_{j,max}$ を超える持続時間は非常に短いため、寿命に影響はありません。

データシートの活用

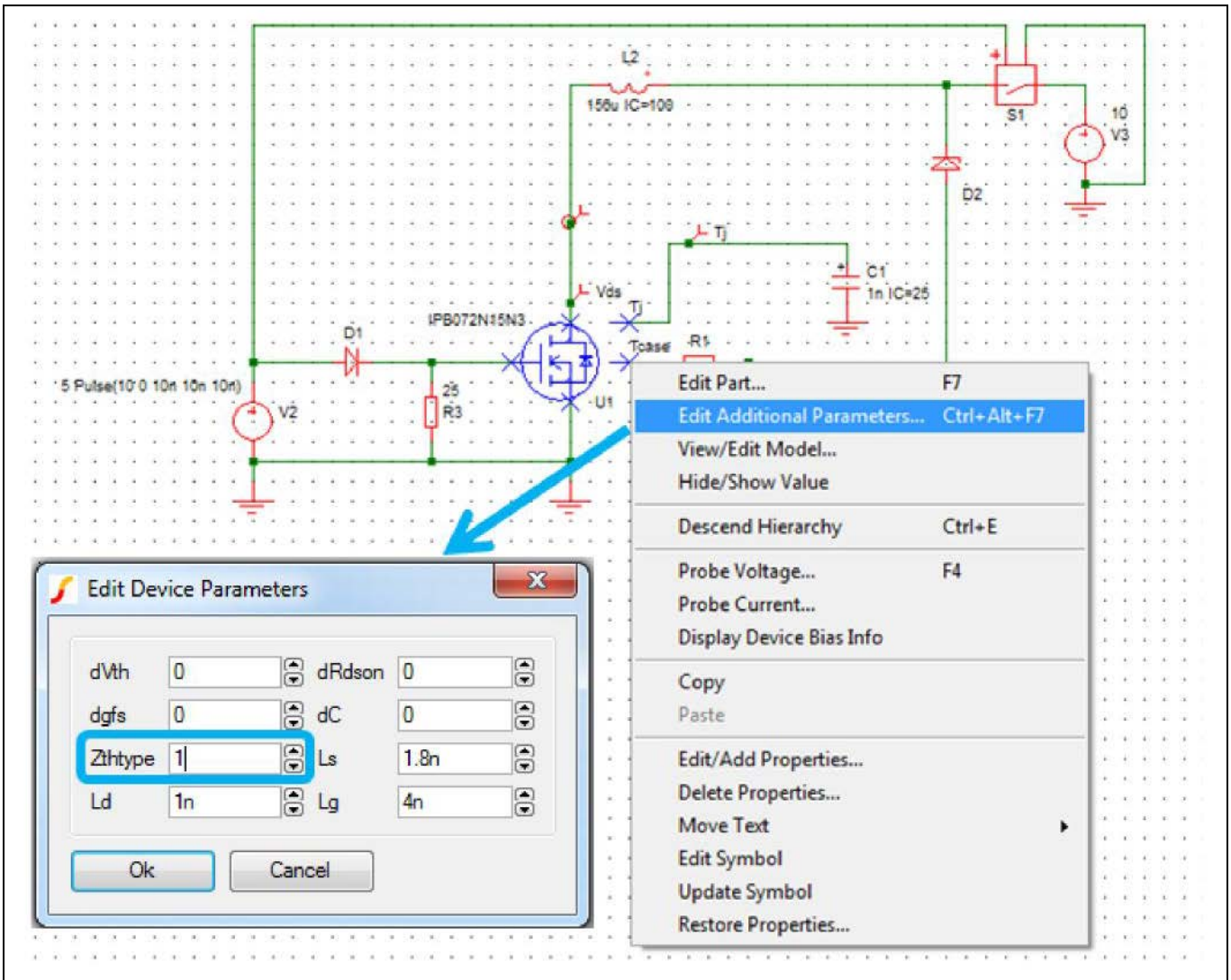


Figure 26 PSpice レベル 3 モデルの Z_{thJC} を最大値に設定

繰り返しアバランシェ

4 繰り返しアバランシェ

4.1 繰り返しアバランシェとは何か？

繰り返しアバランシェの場合、イベントあたりのエネルギーはシングルパルスアバランシェの場合よりもはるかに低くなります。名前が示すように、その発生は、通常、アプリケーション回路のスイッチング周波数 (f_{sw}) と同じである速い繰り返しレートによって特長付けられます。

Figure 27 に示すように、既存の反復パターンは2つの主要なタイプに分類できます。

1. いくつかのケースにおいては、「定常状態」の繰り返しアバランシェとして説明できます。これは、アバランシェイベントが製品の寿命全体にわたってすべてのスイッチングタイミングごとに発生するためです。
2. 他のケースでは、ある種の「一時的または障害状態」の繰り返しアバランシェに直面します。これは、アバランシェが特定の一時的 (起動など) または障害 (短絡など) 状態でのみ発生し、その間に 10 ~ 50 回の連続したアバランシェイベントが発生するためです。その後、次の起動または短絡によって多くの連続する電圧パルスにわたってアバランシェが再発するまで、アバランシェが停止します。

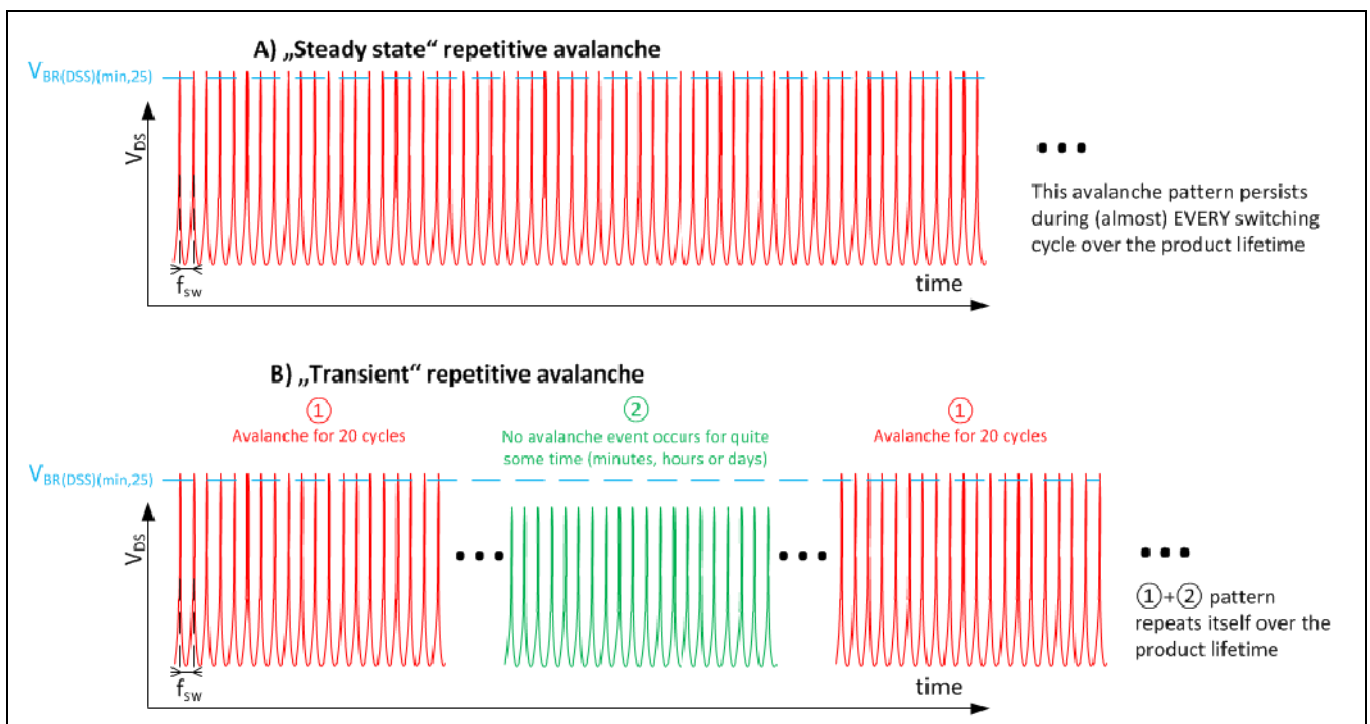


Figure 27 2 種類の繰り返しアバランシェ

ほとんどの繰り返しアバランシェケースでは、各アバランシェイベントのエネルギーが低い値であるため、シングルパルスアバランシェの最悪のケースと比較した場合、シリコン温度はほとんど上昇しません。したがって、観測された V_{DS} スパイクは、高エネルギーシングルパルスアバランシェ中に記録された $1.2 \sim 1.3 \times V_{BR(DSS)(min,25)}$ 振幅とは対照的に、MOSFET の $V_{BR(DSS)(min,25)}$ 定格をわずかに超えるだけです。アバランシェスパイクのこの比較的低い振幅は、低エネルギーアバランシェイベントのトピックを議論するときにセクション 2.1.3 でも観察されました。

単一パルスと繰り返しアバランシェ定格の関連する違いは、そのようなイベント中に許可される $T_{j,max}$ に関連します。実際、セクション 2.1.2 で示したように、単一パルスアバランシェ中に接合部温度が $T_{j,max}$ を超えることが許可されますが、これは繰り返しアバランシェには当てはまりません。[3] の 9 ページで

繰り返しアバランシェ

強調されるように、繰り返しアバランシェ中に $T_{j,max}$ を超えると、そのようなイベントの累積的な影響がデバイスの寿命全体にわたる信頼性に影響を与える可能性があります、これは許容できません。

この $T_{j,max}$ は、SuperSO8 または S308 デバイスの場合は 150°C まで低くなる可能性があります。これは通常、チップテクノロジーではなく、パッケージ自体の制限です。後者は通常 175°C に耐えることができます、なぜなら、これらの SuperSO8 MOSFET と同じファミリの MOSFET が、異なるパッケージ (TO-220 や D2PAK など) に収容されており、この MOSFET の定格が 175°C であることからわかります。

4.2 故障メカニズム

通常の MOSFET の動作に影響を与える方法が大幅に異なるため、シングルパルスと繰り返しアバランシェを区別する必要があります。

セクション 2.2 で見たように、シングルパルスアバランシェの 2 つの破壊モードは、高電流 (ラッチアップ) または高エネルギー (熱破壊) のいずれかによって引き起こされます。これらの破壊モードは非常に大きく、急に起こります。

一方で、繰り返しアバランシェの場合、破壊メカニズムははるかに控えめであり、繰り返される微小損傷によってデバイスに非常にゆっくりと影響を与えます。実際、低エネルギーを特長とする場合でも、アバランシェイベントによっていくつかのホットキャリアが生成されます。これらのホットキャリアは、パワー MOSFET のトレンチ酸化物に沿って蓄積される電荷です。このようなアバランシェイベントの繰り返しは、このような電荷の蓄積につながります。これは、セクション 4.4 で説明するように、MOSFET の通常の動作にゆっくりとしかし確実に影響を与えます。

「過渡状態または障害状態」の繰り返しアバランシェは、「定常状態」の繰り返しアバランシェに比べると OptiMOS™ FET に抑制された影響を与えると予想される場合があります。これは、前者が、アバランシェイベントの 2 つのバースト間で、蓄積された電荷が再結合する時間を与える可能性があるためです。実際には、そのような利点を予測することは非常に困難であり、いかなる種類の相関関係を構築することも非常に困難です。

4.3 アバランシェが発生する場所の特定

シングルパルスアバランシェとは対照的に、繰り返しアバランシェの場合に経験されるより低いエネルギーは、アバランシェのより局所的な開始につながります。セクション 2.1.1 でアバランシェに提供された定義と [6] で提供されたより具体的な詳細を参照すると、この場所についての洞察が得られます。

電界が増加するにつれて生成される自由キャリアの数 (およびその結果として電流振幅) が急速に増加することを考えると、 $V_{BR(DSS)}$ を超えるドレイン-ソース電圧がデバイスに印加される時、振幅が臨海電界 (E_c) を超える傾向のある、より高い電界の領域において、アバランシェは高確率で発生します。詳細については、Figure 28 を参照してください。

繰り返しアバランシェ

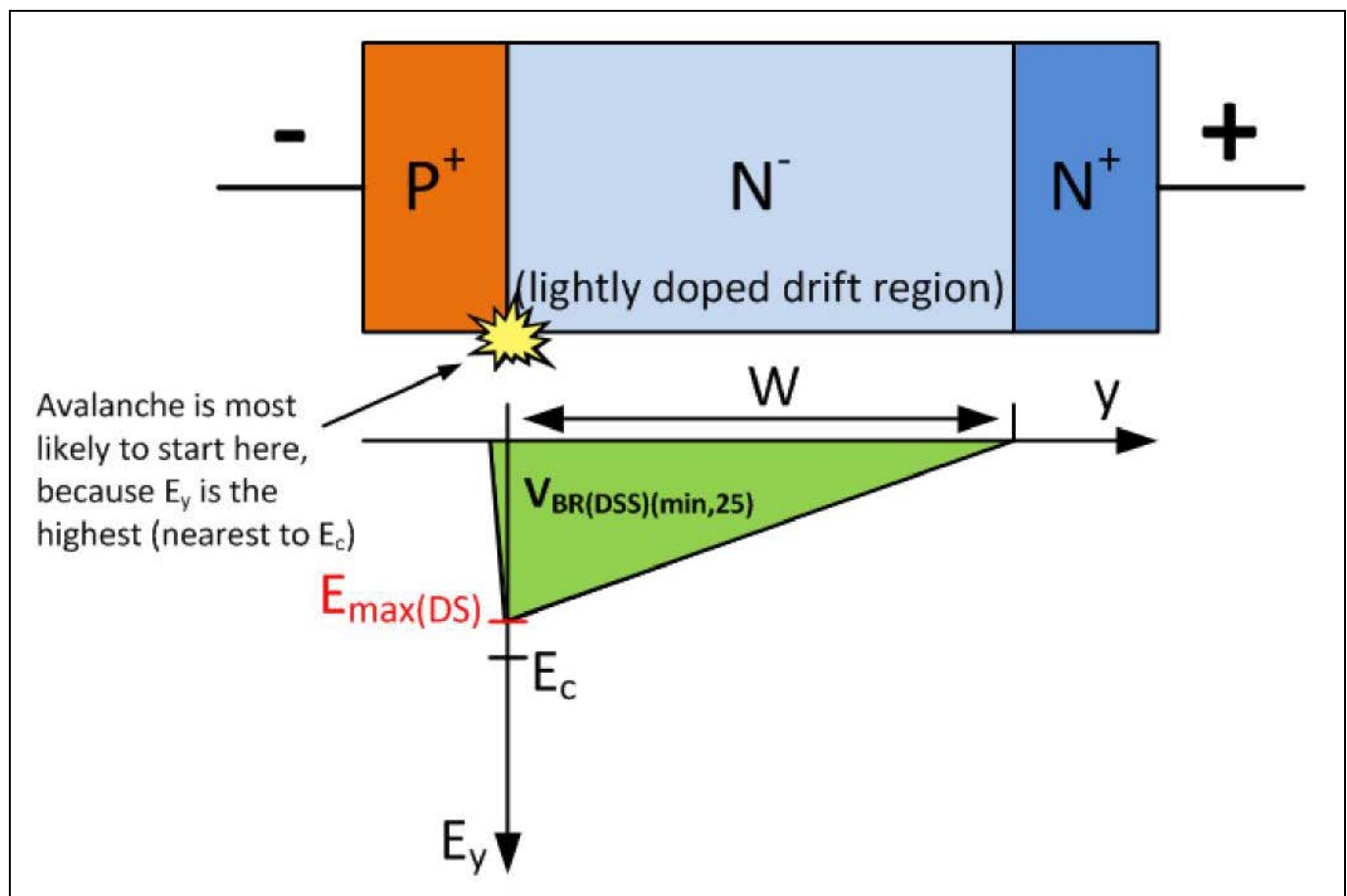


Figure 28 アバランシェが発生する可能性が最も高い場所

この最後のステートメントでは、実際には、トレンチ MOSFET などのフィールドプレートを使用する電荷補償デバイスの課題を示します。実際、フィールドプレートの挿入により、トレンチ全体にわたる電界のより良い均一性を可能にすることにより、 $R_{DS(on)}$ の低減が可能になります。Figure 29 に示すように、この均一性は、従来のアプローチ (基本的なトレンチまたは平面構造[7]) の三角形の形状とは対照的に、トレンチに沿った電界の長方形の分布の形状で理想的に実現されます。前の段落を参照すると、非常に均一に分布した電界は、アバランシェの開始に対して非常にランダムに配置された位置にある可能性があります。不可避免的に、 $R_{DS(on)}$ の低減と繰り返しアバランシェに対するロバスト性の間にはある程度の妥協点を見つける必要があります。

繰り返しアバランシェ

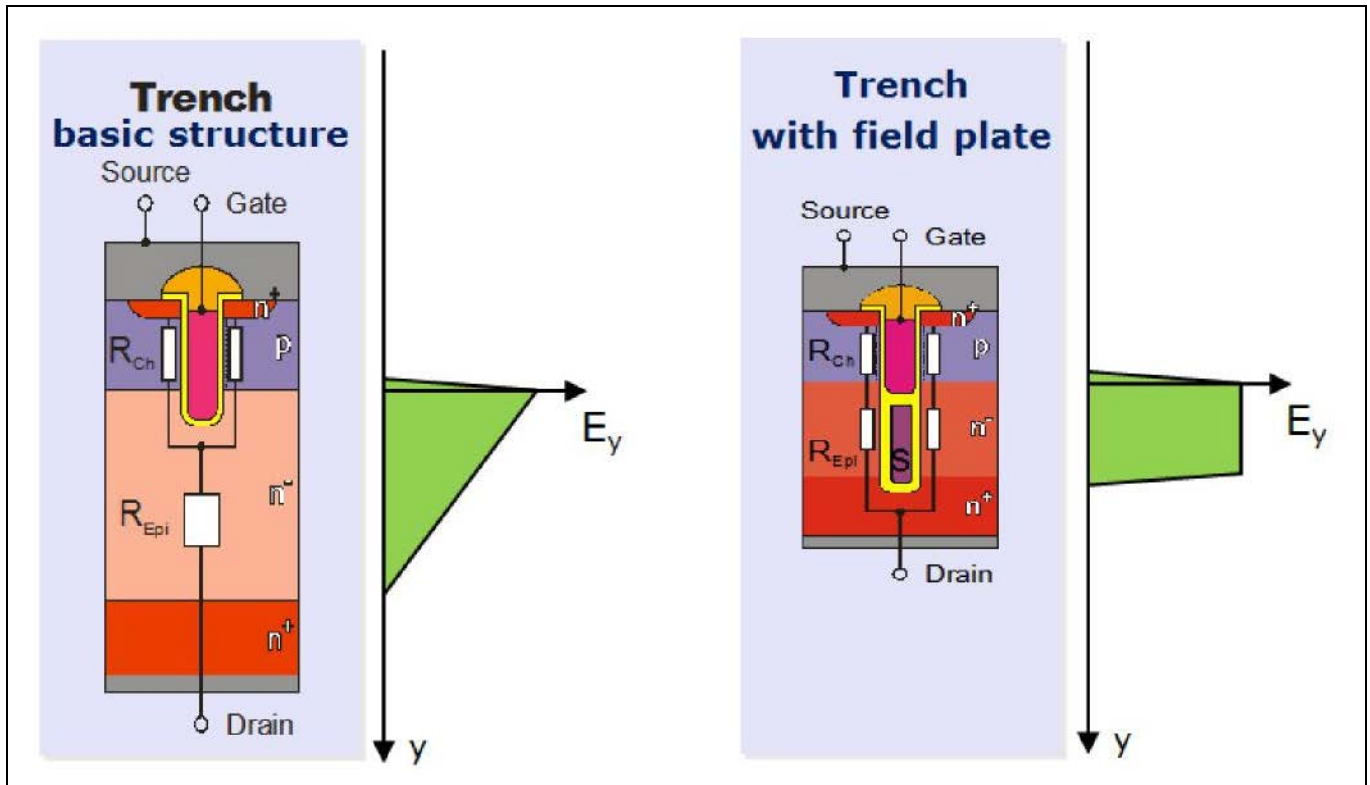


Figure 29 異なるトレンチ構造の y 軸に沿った E_y 分布の変化

4.4 繰り返しアバランシェ下での OptiMOS™ファミリの定格

過去数年間、インフィニオンの OptiMOS™ファミリのほとんどの設計段階で、繰り返しアバランシェが考慮されてきました。一部のパラメータは時間の経過とともにドリフトし、ドリフトの量と実際のパラメータはテクノロジーに依存することが観察されました。Figure 30 に、特定のテクノロジーのパラメトリックドリフトの例を示します。ほとんどの場合、このテクノロジーで内部的に定義された条件下で繰り返しアバランシェが発生すると、ゼロゲート電圧ドレイン電流 (I_{DSS}) と相互コンダクタンス (g_{fs}) がデータシートの制限に近づくことがわかります。複数の製造ロットにわたるパラメータの自然な分布に加えて、パラメータが仕様から外れるという明らかなリスクがあります。

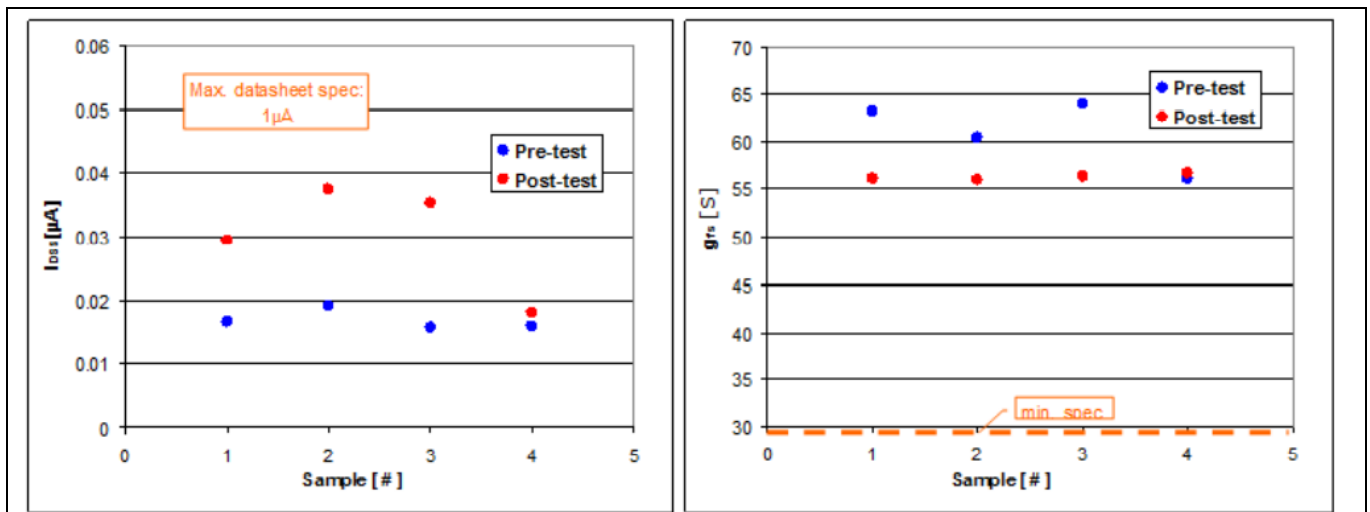


Figure 30 繰り返しアバランシェ時のパラメータドリフトの例

繰り返しアバランシェ

これを考慮に入れると、テクノロジーパラメーターに対する繰り返しアバランシェの影響を大幅に減らすためには、インフィニオンは、大多数のアプリケーションで他の性能指数を大きく妥協する必要があります。このことは、MOSFET の通常の使用方法に対応していないイベントに対して支払うには対価が大きすぎるため、設計者は絶対にアバランシェイベントを回避するように努める必要があります。その結果、インフィニオンは OptiMOS™ の「インダストリアルグレードおよびスタンダードグレード」のデータシートに繰り返しアバランシェ定格を記載しません。

参考資料

5 参考資料

- [1] **AN-1005 - Power MOSFET Avalanche Design Guideline** – Tim McDonald, Marco Soldano, Anthony Murray, Teodor Avram, International Rectifier
- [2] <http://www.simetrix.co.uk/site/demo.php>
- [3] **AN - Avalanche-FET: Consideration for the Development of Crucial Parameters for Power MOSFETs in Notebooks** – Jens Ejury, Infineon Technologies AG, version 1.1, June 2004
- [4] **Power MOSFET failure revisited** – David L. Blackburn, National Bureau of Standards, Gaithersburg, MD 20899
- [5] **APT9402 – Understanding the differences between standard MOSFETs and avalanche energy rated MOSFETs** – Kenneth Dierberger, Advanced Power Technology, PCIM '94 Dallas
- [6] **Fundamental of Power Semiconductor Devices** – B. Jayant Baliga, Springer, 2008, p.100
- [7] **Advanced Power MOSFET Concepts** – B. Jayant Baliga, Springer, 2010, p.159

略語一覧

6 略語一覧

BJT = バイポーラ接合トランジスタ

C_{thi} = MOSFET PSpice モデルの i 番目のステージの熱容量

DUT = テスト対象デバイス

E_{AS} = アバランシェエネルギー、シングルパルス

E_C = 臨界電界

E_{max} = 構造内の最大電界

$E_{max(aval)}$ = 雪崩時の構造内の最大電界

FET = 電界効果トランジスタ

f_{sw} = スイッチング周波数

g_{fs} = 相互コンダクタンス

$i_{AS}(0)$ = シングルパルスアバランシェの初期電流

I_{crit} = 寄生バイポーラトランジスタがアクティブになる臨界電流

I_{DS} = ドレイン電流

I_{DSS} = ゼロゲート電圧ドレイン電流

MOSFET = 金属酸化物半導体電界効果トランジスタ

$R_{DS(on)}$ = ドレイン-ソース間のオン状態抵抗

R_{thi} = MOSFET PSpice モデルの i 番目のステージの熱抵抗

R_{thJA} = 接合部から周囲までの熱抵抗 (通常は PCB に取り付けられたデバイスで提供されます)

SOA_{AS} = シングルパルスアバランシェ条件下の安全動作領域

t_f = アバランシェ電流が 0 に減少するのにかかる時間

T_j = ジャンクション温度

$T_{j,destr}$ = 破壊的な接合部温度

$T_{j,max}$ = 最大接合部温度

$T_{j,peak}$ = アバランシェ中のピーク接合部温度

$T_{j(start)}$ = アバランシェ開始時の接合部温度

t_p = パルス持続時間

UIS = クランプされない誘導スイッチング

$V_{BR(DSS)}$ = ドレイン-ソース間降伏電圧

$V_{BR(DSS)(min,25)}$ = ドレイン-ソース間最小降伏電圧のデータシート定格 @ $T_j = 25^\circ\text{C}$

V_{DS} = ドレイン-ソース間電圧

$V_{DS,peak}$ = アバランシェ中のピーク V_{DS} 電圧

Z_{thJC} = 熱インピーダンス、接合部からケースまで

ΔT_M = 最大温度デルタ

改訂履歴

改訂履歴

Document version	Date of release	Description of changes
1.0	2021-08-03	本版は英語版 AN_201611_PL11_002 Revision 1.0 Some key facts about avalanche について、CYPRESS DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2021-08-03

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2021 Infineon Technologies AG.

All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference

AN_201611_PL11_002_JA

重要事項

本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記載された一切の事例、手引き、もしくは一般的な価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください (www.infineon.com)。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないことを予めご了承ください。