# DC-DC コンバータの同期整流の効率と過電圧スパイクを最適化するための簡単な設計手法

## About this document

### Scope and purpose

パッケージ密度の継続的な増加と、ますます制限が強くなるエネルギーガイドライン (80PLUS® [1]) のため、スイッチングモード電源 (SMPS) の効率を継続的に改善することで 90%を超える必要があります。主な損失の 1 つは、絶縁型電力変換器の 2 次側整流のダイオード順方向損失です。したがって、高効率を達成するには、最新のパワーMOSFET を使用した同期整流 (SR) を使用する必要があります。この対策は、スイッチング損失の増加による軽出力負荷領域での低効率化および同期 MOSFET の最大電圧定格に違反する高電圧のオーバシュート電圧の２つのパラメータとシステム効率との間でトレードオフになる可能性があります。本文書では、システム全体の効率を最適化し、電圧オーバシュートを低減して SMPS 設計プロセスの時間短縮をするための簡単な実装設計手法を説明します。

## Table of contents

**About this document** ..... **1**
**Table of contents** ..... **1**
**1 はじめに** ..... **2**
**2 最適な $R_{DS(on)}$の選択** ..... **3**
**3 スナバネットワークの最適化** ..... **5**
**4 SR MOSFET ゲート制御タイミングの最適化** ..... **8**
**5 パッケージの最適化** ..... **9**
5.1 製品の $R_{DS(on)}$に対するパッケージの貢献 ..... 9
5.2 性能指数の改善 ..... 10
5.3 スイッチング動作の改善 ..... 11
**6 結論** ..... **13**
**7 参考資料** ..... **14**
**改訂履歴** ..... **15**

# 1 はじめに

スイッチングモード電源の 2 次側整流段は、通常、パワーダイオードを使用して実現されます。これらのダイオードの順方向の電圧降下は 0.5V 以上であるため、大きな出力電流と組み合わさると、大きな導通損失が発生します。これらの損失を減らすために、数ミリオームのオン抵抗を備えた最新のパワー MOSFET を使用できます。これは、特に大電流動作で、システム全体の効率を改善する大きな可能性を提供します。整流のこれら 2 つのバリエーションを詳しく比較すると、パワーダイオードを MOSFET に置き換えると、軽出力負荷での効率の低下やターンオフ時の高電圧オーバシュートなどの問題が発生する可能性があることがわかります。これは、スイッチング容量に起因します。スイッチング容量は、通常ダイオードよりも MOSFET の方が高くなります [4]。この欠点を克服するには、最適な $R_{DS(on)}$ の詳細な分析を実行する必要があります。もう 1 つの重要な問題は、SR MOSFET のゲート制御タイミングです。このパラメータは、コンバータの効率と過電圧スパイクに大きな影響を与える可能性があります。最新のシリコン技術を最大限に活用するには、パッケージの正しい選択も重要なトピックです。リードレス SMD パッケージは、パッケージの寄生抵抗性および誘導性部分を減らすことにより、効率と動的挙動を改善するのに役立ちます。

# 2 最適な $R_{DS(on)}$の選択

特定の MOSFET テクノロジーの最適な $R_{DS(on)}$を選択し、最高の効率のために最適化するには、スイッチング損失と導通損失のバランスの取れた比率を見つける必要があります。これらの損失を計算するための説明は、別の文書 [2]にあります。低出力負荷では、導通損失はわずかな役割しか果たしませんが、一方スイッチング損失が支配的な要因です。より高い負荷をかけると、比率が逆転し、導通損失が支配的になります。特定の SR MOSFET テクノロジーに最適な $R_{DS(on)}$クラスを簡単に計算するために、モデルが開発されています。そのため、MOSFET テクノロジーのパラメータである FOM (Figure of merit: 性能指数) が導入されています。この FOM (例えば、$FOM_{Qg}$ や $FOM_{Qoss}$) は、テクノロジーがシステム内でどのような性能になるかを示します。FOM は、予想されるゲート駆動損失または出力容量による損失の指標です。MOSFET の静電容量は $R_{DS(on)}$に反比例するため、この結果は 1 つの固定されたテクノロジーの $R_{DS(on)}$クラス全体を通して同じままです。

スイッチング周波数 $f_{sw}$、ゲート駆動電圧 $V_g$、2 次側トランス電圧 VT、$FOM_{Qg}$、および $FOM_{Qoss}$ がわかれば、定義された MOSFET 電流 $I_{RMS}$ で最適な $R_{DS(on)}$を計算できます。次のとおり FOM を定義する必要があります。

**Equation 1**

$$FOM_{Qg} = R_{DS(on)} \cdot Q_{g@V_g}$$

**Equation 2**

$$FOM_{Qoss} = R_{DS(on)} \cdot Q_{oss@V_T}$$

電荷は常にそれぞれの電圧で計算する必要があります。つまり、$Q_{oss}$ はトランス電圧 $V_T$ での電荷と $Q_g$ はゲート駆動電圧 $V_g$ での電荷を意味します。電力損失を計算するためのすべての式は、定数項を導入することにより、MOSFET の $R_{DS(on)}$を用いて表すことができます。

**Equation 3**

$$P_{v_cond} = I_{RMS}^2 \cdot R_{DS(on)}$$

**Equation 4**

$$P_{v_gate} = Q_g \cdot V_g \cdot f_{sw}$$

**Equation 5**

$$P_{v_oss} = {}^1/_2 \cdot V_T \cdot Q_{oss@V_T} \cdot f_{sw}$$

上記の式のそれぞれについて、次の定数項を定義できます。

**Equation 6**

$$C_{cond} = I^2$$

**Equation 7**

$$C_{gate} = FOM_{Qg} \cdot f_{sw} \cdot V_g$$

**Equation 8**

$$C_{oss} = FOM_{Q_{oss}} \cdot {}^1/_2 \cdot V_T \cdot f_{sw}$$

### 最適な RDS(on)の選択

総電力損失が定義されました。

**Equation 9**

$$P_v = c_{cond} \cdot R_{DS(on)} + c_{gate} \cdot \frac{1}{R_{DS(on)}} + c_{oss} \cdot \frac{1}{R_{DS(on)}}$$

この式の微分を計算することにより、最適な $R_{DS(on)}$が定義されます。

**Equation 10**

$$\frac{dP_v}{dR_{DS(on)}} = C_{cond} - C_{gate} \cdot \frac{1}{R_{DS(on)}^2} - C_{OSS} \cdot \frac{1}{R_{DS(on)}^2} = 0$$

**Equation 11**

$$R_{DS(on)_opt} = \sqrt{\frac{C_{gate} + C_{oss}}{C_{cond}}} = \sqrt{\frac{FOM_{Qg} \cdot f_{sw} \cdot V_g + {}^1/_2 \cdot FOM_{Qoss} \cdot V_T \cdot f_{sw}}{I_{RMS}^2}}$$

全負荷範囲でバランスの取れた効率を実現するには、MOSFET 電流を適切に選択する必要があります。全負荷範囲での最適化を行うと、高出力電流で良好な効率の結果が得られます。ただし、このアプローチでは、低負荷領域での効率が大幅に低下し、並列 MOSFET の数が許容できない値に増加します。したがって、出力電流範囲全体にわたって比較的一定の効率値を達成するために、最適値を見つける必要があります。この問題を説明するために、さまざまな最適化アプローチによる効率の検証結果を **Figure 1** に示します。これらの効率チャートは、トランス電圧が 40V、ゲート駆動電圧が 10V、スイッチング周波数が 100kHz の 12V 同期整流ステージの計算された効率を示します。75V 耐圧の SR MOSFET テクノロジーを採用し、MOSFET 電流 10A における最適な $R_{DS(on)}$を計算すると、低電流では高効率が得られますが、大電流では非常に低効率になります。MOSFET 電流 50A における最適化を行うと、低電流では許容できない効率となりますが、最大負荷時で最高値に達します。このセットアップの最適なソリューションは、全体的にバランスの取れたシステム効率を提供する MOSFET 電流 20A での最適化です。

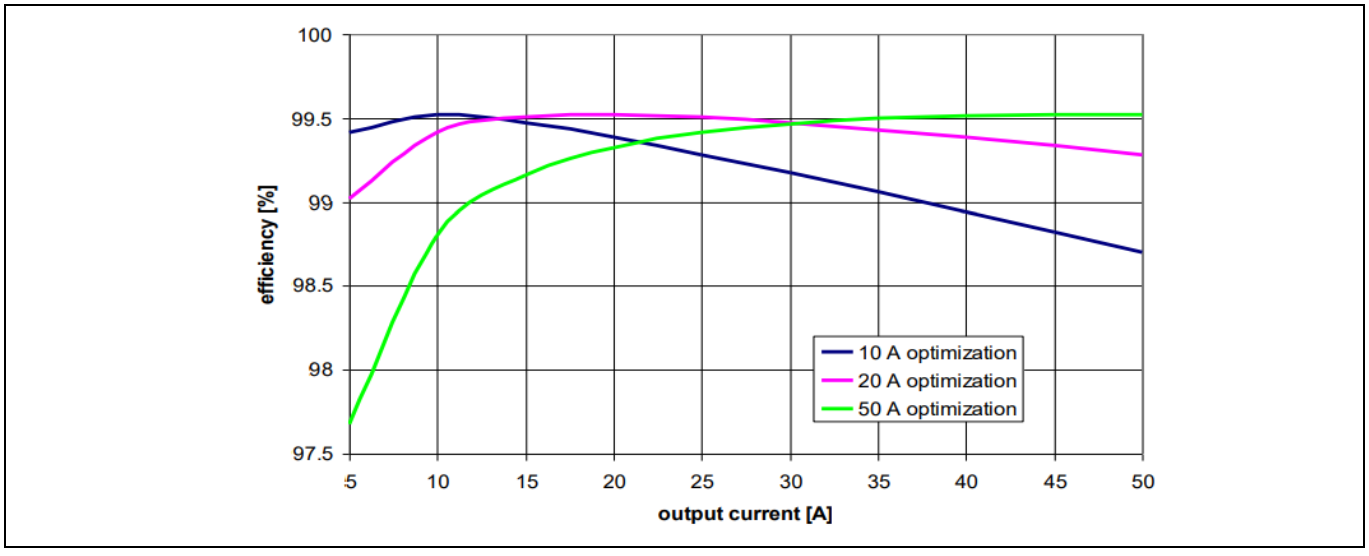



**Figure 1　SR ステージのさまざまな最適化ポイントの計算された効率**

# 3 スナバネットワークの最適化

性能を最適化するための 2 番目の手段は、SR MOSFET で電圧オーバシュートの減衰を担うスナバネットワーク (**Figure 2**) の選択と設計です **[3]**。MOSFET の出力容量と並列接続する RC 直列回路である単純な RC スナバネットワークを採用すると、追加の損失が発生します。この理由は、スナバ容量をスイッチングサイクルごとに充電および放電する必要があり、その結果、スイッチング損失が発生するためです。

**Equation 12**

$$P_{snub_loss} = \frac{1}{2} \cdot C_{snub} \cdot V_T^2 \cdot f_{sw}$$

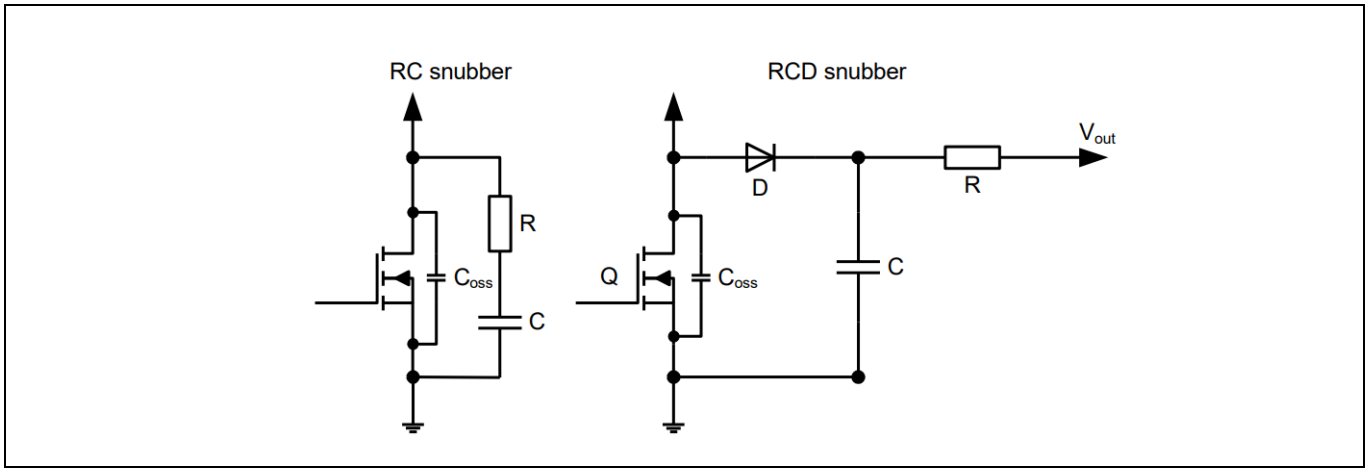



**Figure 2 RC スナバと RCD スナバネットワーク**

この RC スナバネットワークから RCD スナバネットワークに移行することで、損失を減らせます。MOSFET の電圧がスナバコンデンサの電圧を超えて上昇している場合、ダイオードは導電し、エネルギーはこの容量に移動され、過電圧レベルをクランプします (**Figure 3**)。

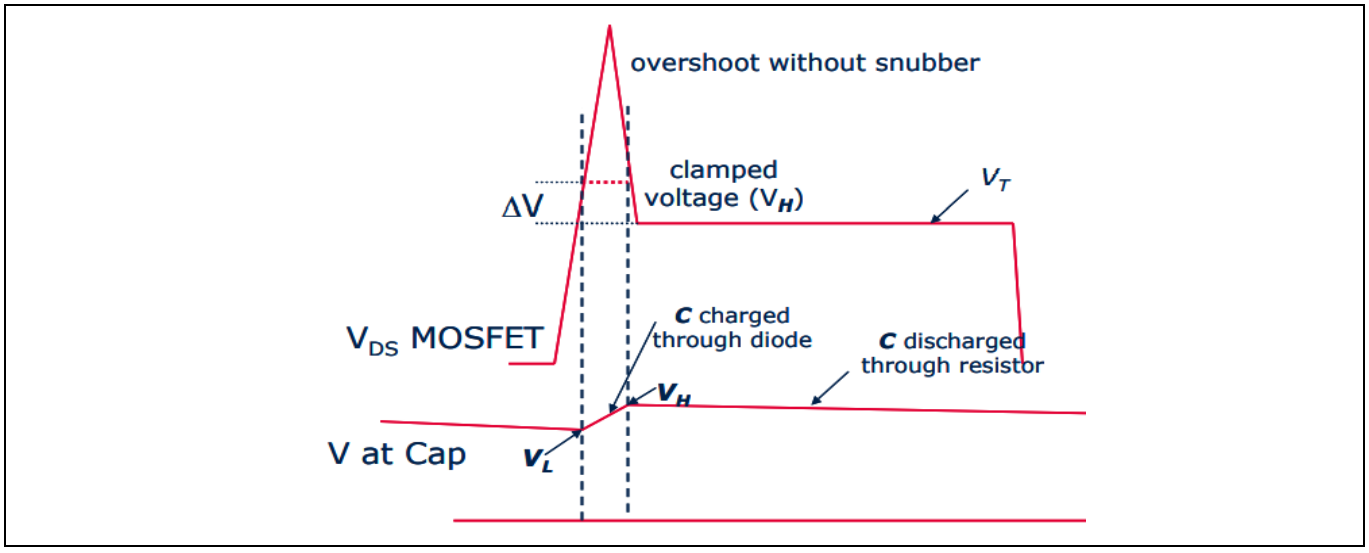



**Figure 3 RCD スナバ波形**

### スナバネットワークの最適化

コンデンサ C を超える電圧がトランス電圧より低くならないように、RC 時定数を適切に調整する必要があります。この場合、スナバ容量は MOSFET 出力容量から切り離されているため、容量性ターンオフ損失は生じません。さらに、RCD スナバ容量に蓄積されたエネルギーの一部を、グランドではなくコンバータの出力に放電することで回復できます。この方法で試験された、低負荷領域のおける DC/DC コンバータの効率向上は最大 0.6%の改善を達成しました。 (**Figure 4**)。

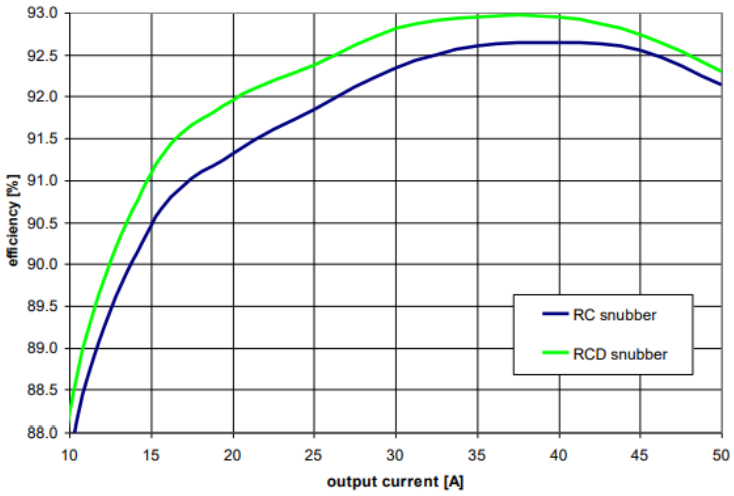



**Figure 4　効率の実験的検証 – RC スナバと RCD スナバ**

この RCD ネットワークの動作を最適化するには、MOSFET - ダイオード - コンデンサのループを最小限に抑える必要があります。インダクタンスが低いほど、応答時間が早くなるため、スナバの有効性が高くなります。アプリケーションの場合、これが意味することは、低誘導性である SMD コンポーネントを使用し、スナバネットワークを MOSFET のできるだけ近くに配置することを示唆します。理想的には、この RCD ネットワークは、オーバシュートのエネルギーの一部を回収できるようにしながら、追加の損失を回避します。

次の計算を使用して、抵抗と静電容量の値の概算を行えます。まず、オーバシュート電圧により蓄えられるエネルギーを知る必要があります [2]。

**Equation 13**

$$E = V_T \cdot \left( \frac{1}{2} \cdot Q_{oss@V_T} + Q_{rr} \right)$$

次に、このエネルギーをスナバネットワークの静電容量値に変換します。

**Equation 14**

$$E = \frac{1}{2} \cdot \left( C_{FET@V_T} + C_{snub} \right) \cdot \left( V_H^2 - V_L^2 \right)$$

この考慮事項から、スナバの静電容量値を見積もることができます。

## スナバネットワークの最適化

**Equation 15**

$$C_{snub} = \frac{2 \cdot V_T \cdot \left(\frac{1}{2} \cdot Q_{oss} + Q_{rr}\right)}{V_H^2 - V_{L:}^2} - C_{FET@V_T}$$

$C_{snub}$ に応じて、コンデンサを放電するための抵抗値を計算できます。

**Equation 16**

$$V(t) = \left(V_H - V_{out}\right) \cdot e^{\frac{-t}{R_{snub} \cdot C_{snub}}} + V_{out} = V_L$$

$$\frac{V_L - V_{out}}{V_H - V_{out}} = e^{\frac{-t}{R_{snub} \cdot C_{snub}}}$$

$$\ln\left(\frac{V_L - V_{out}}{V_H - V_{out}}\right)^{-1} = \frac{t}{R_{snub} \cdot C_{snub}}$$

$$\Rightarrow R_{snub} = \left(f_{sw} \cdot C_{snub} \cdot \ln\frac{V_L - V_{out}}{V_H - V_{out}}\right)^{-1}$$

これらの式は、$R_{snub}$ および $C_{snub}$ 値の最初の推定値を示します。多くの外部寄生成分もスナバネットワークの動作に寄与するため、アプリケーション内において、トライアルアンドエラーしながら正確な調整を必要があります。

# 4 SR MOSFET ゲート制御タイミングの最適化

オーバシュート電圧に対するもう 1 つの重要な影響は、SR MOSFET のゲート制御タイミングによるものです。通常、ボディダイオードは、SR MOSFET がオフになる前に導通しているため、オン時間に特別な注意を払う必要があります。ボディダイオードの導通時間が長ければ長いほど、$Q_{rr}$ は高くなります。$Q_{rr}$ が高いということは、誘導性ターンオフエネルギーが高いことを意味し、オーバシュート電圧の高さに直接影響します。最小の逆回復電荷を保証するには、ボディダイオードの導通時間を最小限に抑える必要があります。**Figure 5** を参照してください。この場合、許容超過時間を 150ns から 20ns にすると、電圧のオーバシュートが 20V 減少します。一方、貫通電流が容易に流れる可能性があるため、導通時間が 20nsec 未満であることは重大な問題です。これは、オーバシュートが高くなり、効率が低下することを意味します。タイミングは電流によって変化するため、全負荷範囲にわたって特定の最小のデッドタイムを保証する必要があります。

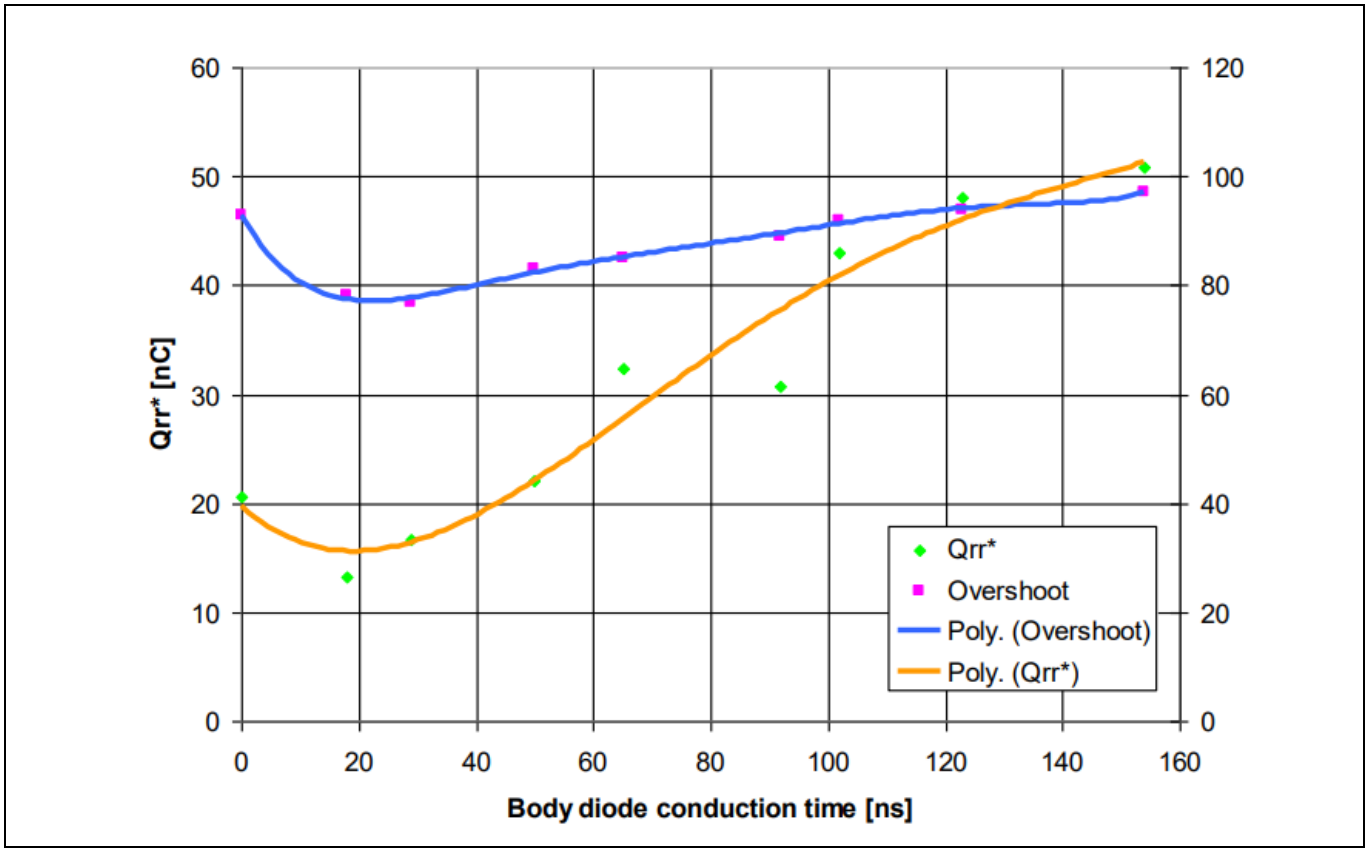



**Figure 5 ボディダイオードの導通時間に対する電圧オーバシュートと Qrr**

# 5 パッケージの最適化

過去を振り返ると、電源スイッチの標準パッケージタイプは TO220 パッケージでした。その理由は、優れた冷却能力と実装プロセスでの取り扱いの容易さでした。今日、シリコン技術が劇的に改善されたため、低電圧電源スイッチのオン抵抗は 2mΩ 以下の範囲ですが、パッケージによる抵抗部分は同じままでした。これは、$R_{DS(on)}$全体に対するパッケージによる抵抗寄与率が劇的に増加したことを意味します。TO220 のような標準的なスルーホールタイプは、現在、最新のシリコン技術を制限しています。これには、最新のシリコンスイッチをさらに活用するために、パッケージの抵抗成分を低減するためのパッケージ戦略を再考する必要があります。[6]

## 5.1 製品の $R_{DS(on)}$に対するパッケージの貢献

最新の 30V 耐圧 MOSFET テクノロジーを採用すると、TO-220 パッケージで 1.2mΩ という低いオン抵抗に到達できます。パッケージ (TO-220) の抵抗が 1mΩ の範囲にあることを考慮すると、$R_{DS(on)}$全体に対するパッケージの抵抗成分による寄与は、約 80%です (**Figure 6** 参照)。したがって、シリコンの抵抗成分の割合はわずか約 20%であり、これは MOSFET シリコンが低抵抗である今日の状況を明らかにしています。標準のスルーホールパッケージでのオン抵抗の低下を妨げているのは、シリコンではなくパッケージであります [5]。$D^2PAK$ などの SMD パッケージタイプに移行すると、パッケージの影響をすでに減らすことができます。さらに、はるかに革新的なステップは、リードレス SMD パッケージタイプを使用することです。これにより、TO-220 と比較してパッケージの抵抗成分の寄与度が 50%削減され、製品のより高いパフォーマンスが可能になります。

このパッケージの抵抗成分の大きさは、主に絶縁破壊電圧の低い MOSFET に影響を及ぼします。MOSFET 電圧クラスが高いほど、$R_{DS(on)}$は高くなります。これは、$R_{DS(on)}$全体に対するパッケージ抵抗の寄与率が低いことを意味します。150V 耐圧のテクノロジーを採用すると、パッケージの寄与度は 5%から 20%の範囲にすぎませんが、30V 耐圧の MOSFET の場合は 40%から 80%の範囲です。

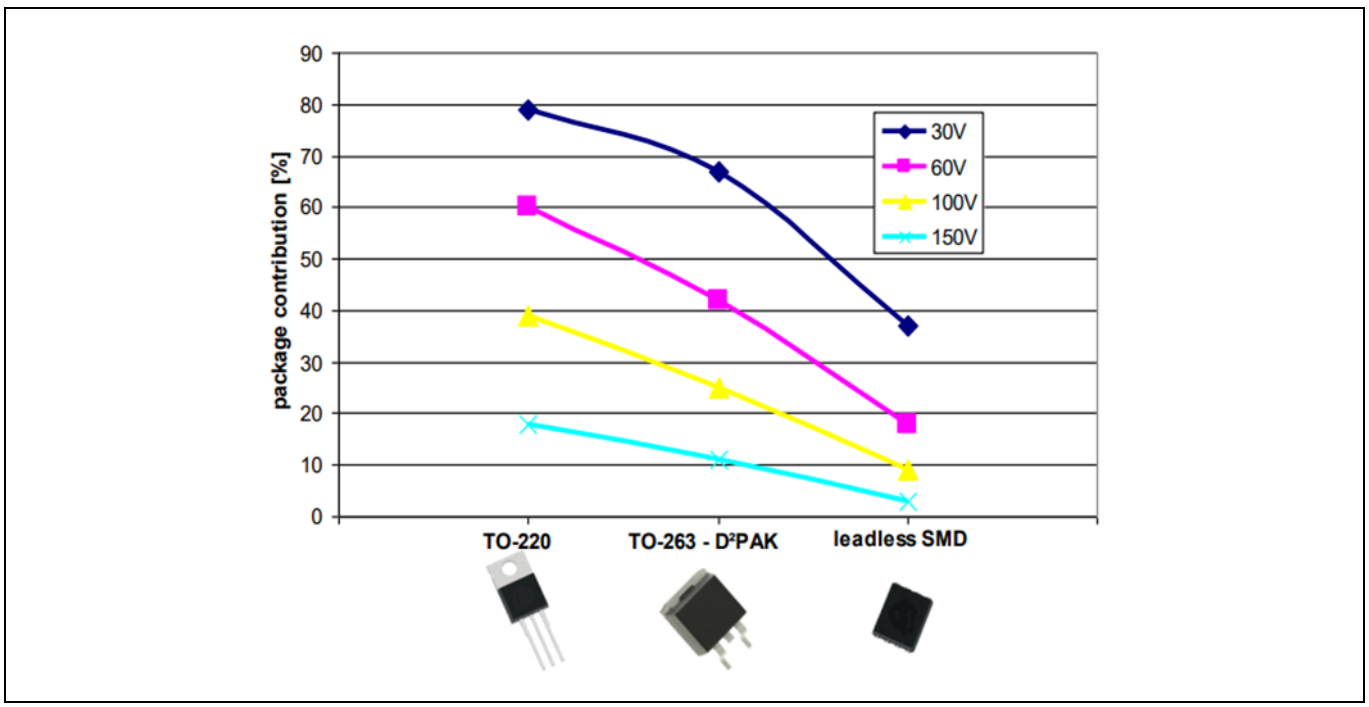



**Figure 6 製品の全体抵抗に対するパッケージの貢献**

## 5.2 性能指数の改善

MOSFET テクノロジーの性能を評価するために、$FOM_{Qg}$ は指標を与えることができます。

**Equation 17**

$$FOM_{Qg} = R_{silicon} \cdot Q_g$$

MOSFET の静電容量は $R_{DS(on)}$ に間接的に比例するため、特定のシリコン技術では、このパラメータは一定です。さまざまなパッケージタイプを考慮すると、$FOM_{Qg}$ はもはや一定ではありません。パッケージ抵抗は、シリコン抵抗に一定の値を加えます。

**Equation 18**

$$FOM_{Qg} = \left(R_{silicon} + R_{package}\right) \cdot Q_g$$

これにより、特定の MOSFET テクノロジーのパッケージや $R_{DS(on)}$ クラスごとに $FOM_{Qg}$ が異なります。パッケージ抵抗の影響は、シリコン抵抗が減少するにつれて増加します (**Figure 7** 参照)。左の 2 つのバーは、同じシリコンが内部にある 2 つの異なるパッケージを示します。右側は同じセットアップを示しますが、$R_{DS(on)}$ クラスがより高いです。

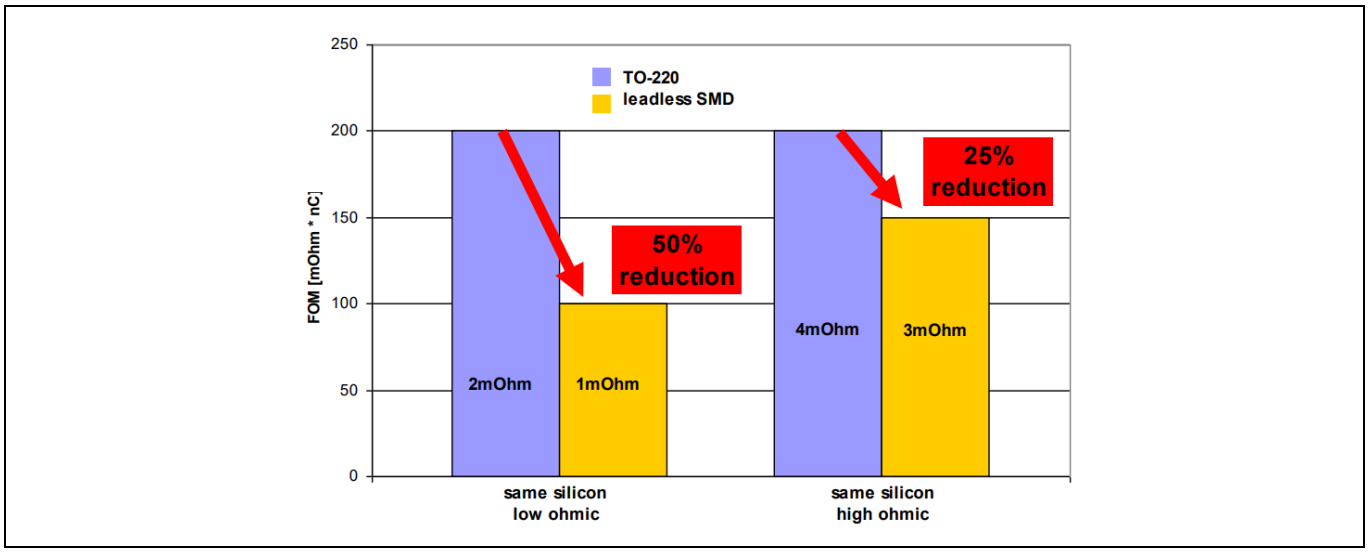



**Figure 7 パッケージと $R_{DS(on)}$ クラスの $FOM_{Qg}$ への影響**

下位の $R_{DS(on)}$ クラスの場合、パッケージは $FOM_{Qg}$ に対してはるかに大きな影響を及ぼします。パッケージを TO-220 からリードレス SMD バージョンに変更すると、2mΩ スイッチの場合に $FOM_{Qg}$ を最大 50%削減できます。$R_{DS(on)}$ が高いほど、パッケージの影響は少なくなります。

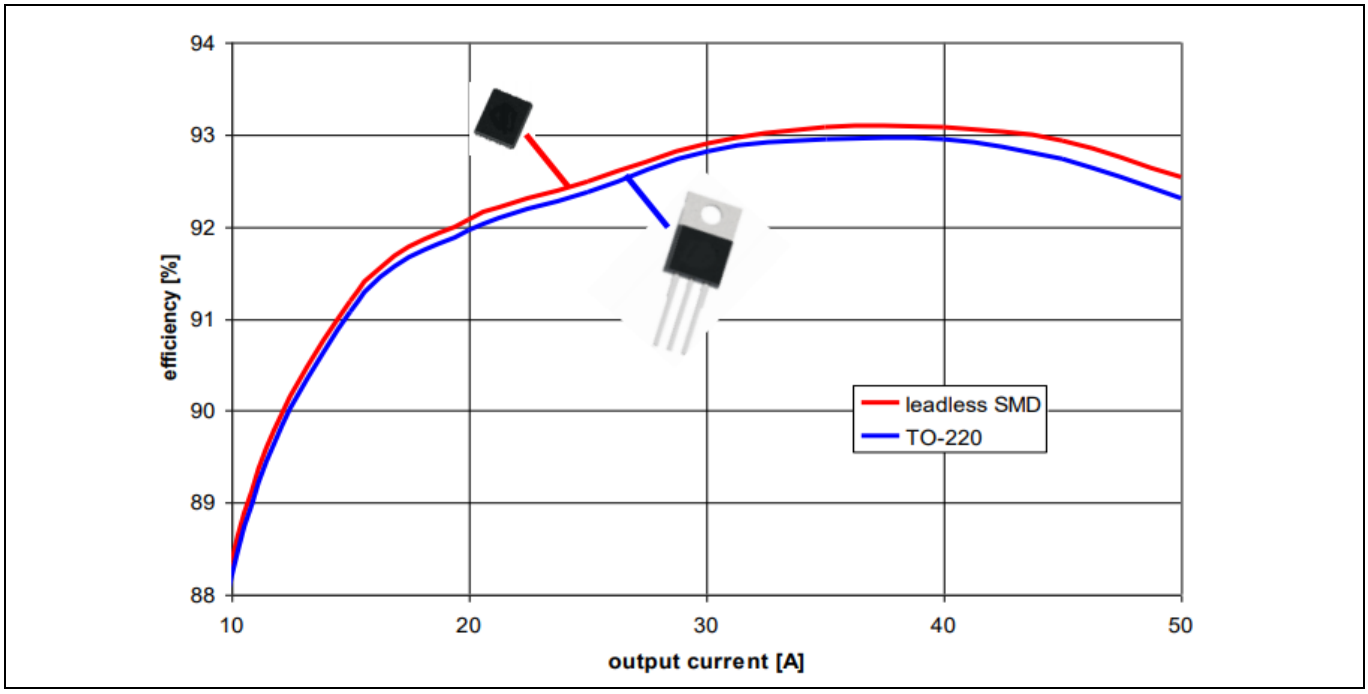



**Figure 8　12V SR ステージでのパッケージ比較の実験的効率結果**

理論の実験的検証を通じて、正確に予測された結果を見ることができます (**Figure 8**)。リードレス SMD パッケージは、同じシリコンが使用されていますが、出力負荷範囲全体にわたって、より優れた効率を示します。

## 5.3　スイッチング動作の改善

リードレスパッケージを TO-220 と比較すると、パッケージの抵抗成分の寄与がはるかに低いだけでなく、寄生インダクタンスも小さくなります。リードレス設計とクリップによるボンディングにより、インダクタンスはかなり減少し、TO-220 パッケージが 10nH 以上の範囲であるのに対し、0.2nH という低い値に達できます。このインダクタンスは、MOSFET のターンオフプロセスでの高い di/dt 値と組み合わされて、ゲート接続端子に電圧を誘導し、しきい値レベルに達する可能性があります。これにより、誘導性のターンオンが引き起こされ、効率の悪化をともなう貫通が発生したり、スイッチが破壊されたりする可能性があります。

TO-220 パッケージでは、誘導性のターンオン効果だけでなく、ターンオフプロセスでの高電圧オーバシュートも発生する可能性があります。低誘導リードレス SMD パッケージは、この影響を最小限に抑えられます。12V 同期整流ステージでは、TO-220 パッケージを低誘導パッケージに交換するだけで 10V の低減を実現できます (**Figure 9** 参照)。電圧ストレスが低減されると、MOSFET のより小さな電圧クラスを使用してシステムをさらに最適化できます。

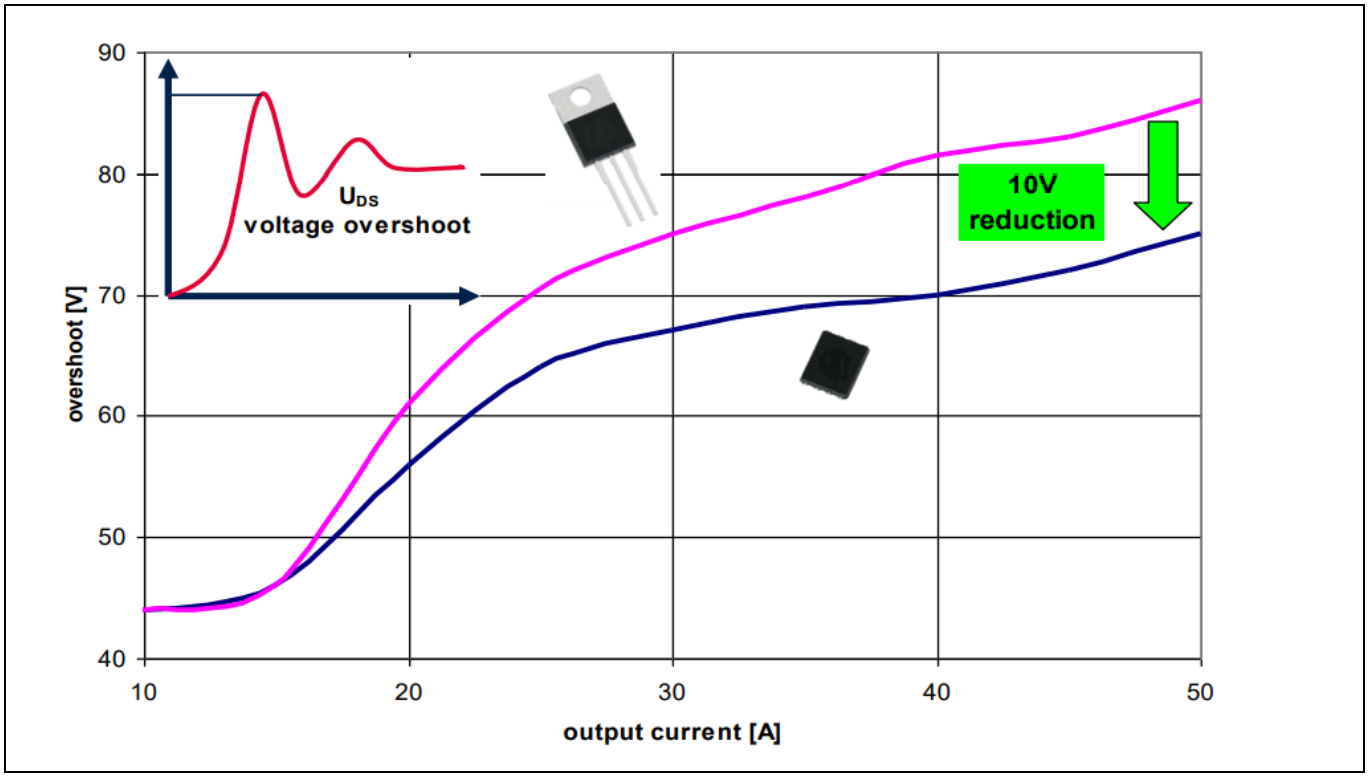



**Figure 9　12V SR ステージでのパッケージ比較での実験的電圧オーバシュート結果**

# 6 結論

同期整流で最大の効率を達成するためには、ダイオードを MOSFET に置き換えるだけでは成功しません。システム全体を注意深く詳細に分析する必要があります。MOSFET の最適な $R_{DS(on)}$値を選択したり、ゲート制御タイミングを調整したり、スナバネットワークを適合させたりすることで、より高い効率を実現し、設計プロセスを簡素化できます。性能を向上させるためのさらに高い可能性のある手段は、MOSFET パッケージタイプの正しい選択です。現代のシリコン技術は、標準パッケージとその寄生成分により、ますます妨げられています。リードレス SMD パッケージは、寄生抵抗成分と誘導成分を減らすことにより、効率と動的挙動を改善するのに役立ちます。スイッチング損失が減少し、誘導性ターンオンのリスクを最小限に抑えられると同時に、電圧のオーバシュートが抑制されます。上記のすべての方法を組み合わせると、効率の可能性が大幅に高まり、SR MOSFET のスイッチング動作が向上します。

# 7 参考資料

[1] **http://www.plugloadsolutions.com/80PlusPowerSupplies.aspx**, February 2012.

[2] C. Mößlacher, Dr. L. Görgens: Improving Efficiency of Synchronous Rectification by Analysis of the MOSFET Power Loss Mechanism, PCIM, 2009, Nürnberg – Germany.

[3] Rudy Severns: Design of Snubbers for Power Circuits, www.cde.com/tech/design.pdf, July 2009.

[4] Ionel Dan Jitaru: Higher Efficiency Power Conversion through Intelligent Power Processing, Chapter 2, PCIM, 2008, Nürnberg – Germany.

[5] Dr. Lutz Görgens, “Maximizing the Effect of Modern Low Voltage Power MOSFETs”, APEC, 2009.

[6] Jason Zhang, “Choosing The Right Power MOSFET Package”, Application Note, International Rectifier, February 2004.

# 改訂履歴

| Document version | Date of release | Description of changes |
|---|---|---|
| 2.1 | 2021-07-29 | 本版は英語版 Application Note AN 2012-03 V2.1 March 2012 Simple Design Techniques for Optimizing Efficiency and Overvoltage Spike of Synchronous Rectification in DC to DC Converters について、CYPRESS DEVELOPER COMMUNITY の参画者によって日本語に翻訳されたドキュメントです。 |

**Trademarks**
All referenced product or service names and trademarks are the property of their respective owners.

**Edition 2021-07-29**
**Published by**
**Infineon Technologies AG**
**81726 Munich, Germany**

**© 2021 Infineon Technologies AG.**
**All Rights Reserved.**

**Do you have a question about this document?**
**Go to erratum@infineon.com**

**Document reference**
**V2.1**

**重要事項**
本文書に記載された情報は、いかなる場合も、条件または特性の保証とみなされるものではありません（「品質の保証」）。本文に記された一切の事例、手引き、もしくは一般的価値、および／または本製品の用途に関する一切の情報に関し、インフィニオンテクノロジーズ（以下、「インフィニオン」）はここに、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

さらに、本文書に記載された一切の情報は、お客様の用途におけるお客様の製品およびインフィニオン製品の一切の使用に関し、本文書に記載された義務ならびに一切の関連する法的要件、規範、および基準をお客様が遵守することを条件としています。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

本製品、技術、納品条件、および価格についての詳しい情報は、インフィニオンの最寄りの営業所までお問い合わせください（**www.infineon.com**）。

**警告事項**
技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。