EMI 雑音の要件を満たすための CoolMOS™ CE ベースの電源の最適化

著者：Srivatsa Raghunath

対象と目的

AC-DC スイッチング電源（SMPS）、充電器、アダプタの設計者にとって、効率の改善が重要な検討項目です。充電器やアダプタは、携帯型電子機器の大幅な増加によって広く使われているので、その効率、すなわち熱特性は、製品の差別化や全体的なコスト削減のために、常に改善する必要があります。これらの SMPS のスイッチは、通常、MOSFET なので、オン抵抗 $R_{DS(ON)}$が低いほど、効率が高くなります。この MOSFET には、標準的なプレーナ型 MOSFET、またはスーパージャンクション（SJ）MOSFET を使うことができます。$R_{DS(ON)}$と定格電圧が同じなら、スーパージャンクション MOSFET は、標準的なプレーナ型 MOSFET に比べて、固有の容量が小さくなります。したがって、SJ MOSFET は、標準的な MOSFET よりも高速にスイッチングできます。このため、高速スイッチングの SJ MOSFET は、EMI（電磁干渉）雑音のコンプライアンステストの間、特に注意しなければなりません。

このアプリケーションノートでは、スイッチング MOSFET に関わる部品と寄生成分の影響について説明し、パラメータの値を変更して EMI 特性への影響を探ります。CoolMOS™ CE MOSFET を使って、上記の技術がうまく実装されている実践的な例について、いくつか説明します。

対象読者

読者対象は、設計の効率特性を向上させるために、標準的な MOSFET から SJ ベースの CoolMOS™ CE MOSFET への移行に興味がある SMPS の設計者です。

目次

1 フライバックベースの AC-DC 充電器とアダプタの SMPS におけるスイッチング MOSFET 関連の一般的な雑音源 3
2 CoolMOS™ CE の dv / dt と di / dt の低減 5
2.1 MOSFET の di / dt の低減 5
2.2 MOSFET の dv / dt の低減 7
3 放射 EMI 測定値のプロット 9
4 さまざまなテストケースの実際の測定結果 11
4.1 本来、標準 MOSFET 向けに最適化された AC-DC SMPS の最適化：ここでは、標準 MOSFET を CoolMOS™ CE に置き換えます 11
4.2 本来、スーパージャンクション MOSFET に最適化された AC-DC SMPS の最適化：異なる技術のスーパージャンクション MOSFET を CoolMOS™ CE に置き換えます 19
4.3 本来、CoolMOS™ CE に最適化された AC-DC SMPS の最適化：SMPS 設計は CoolMOS™ CE で始めました 23
5 CoolMOS™ CE 利用時の EMI 低減のまとめ 25
6 システム関連の EMI の最適化 26
6.1 オプション A：フライバック電源における di/dt と dv/dt を低減するためのレイアウト方法 26
6.2 オプション B：シャーシ接地ではなく、バルクコンデンサの戻りを入力するためのヒートシンク接地 26
6.3 オプション C：Y コンデンサ 27
6.4 オプション D：トランスのシールド 27
6.5 オプション E：周波数変調を備えた可変周波数 PWM コントローラ 28
7 結論 30
8 参考文献 31
改訂履歴 32

1 フライバックベースの AC-DC 充電器とアダプタの SMPS におけるスイッチング MOSFET 関連の一般的な雑音源

通常の電源段における MOSFET 関連の di / dt と dv / dt については、次のセクションで説明します。図 1 に示すように、ドレインの回路網は、「雑音」の多い dv / dt 回路網です。一般に、フライバック回路を設計するときは、できるだけこの回路網の面積を小さくすると効果的です。この MOSFET は、トランスのピンのできるだけ近くに配置しなければなりません。I = C・ dv / dt で、dv / dt が避けられないため、C を小さくすると、スイッチング速度を遅くしたり、コンバータの効率を低下させたり、放熱しなければならない熱量を増やしたりすることなく、雑音電流を低減できます。回路網の容量は、その面積に比例するので、回路網の面積を小さくすることによって、外部に対するこの容量も減少します。

dv / dt は、通常、容量結合による駆動電流への挑戦ですが、「di / dt」は別の問題です。この急激に変化する電流および関連する高調波は、他の場所で結合された雑音電圧を生じ、EMI（電磁干渉）雑音となります。加えて、電流は磁界を発生するので、「di / dt」は、しばしば磁界を介して結合してしまいます。1 次側のスイッチング電流は、di / dt が非常に速く変化するので、EMI と EMC（電磁両立性）に影響します。フライバック回路では、急速に変化するいくつかの電流に注意しなければなりません。

図 1 に示す 3 つのループのうち、最も問題を引き起こすループは、出力電流ループです。このループの面積は、急激に変化する磁界を最小化するために、できる限り小さくしなければなりません。ここに示されたすべての電流は、ループ面積が最小限に抑えられていなければなりませんが、このアプリケーションノートでは、1 次側の電流に焦点を当てます。

フライバックの設計でも、トランスの寄生容量があります。効果的なシールドと Y コンデンサの適切な使用は、プリント回路基板の適切な設計と同時に、ループ面積を制限し、これらの寄生成分の影響を最小化します。

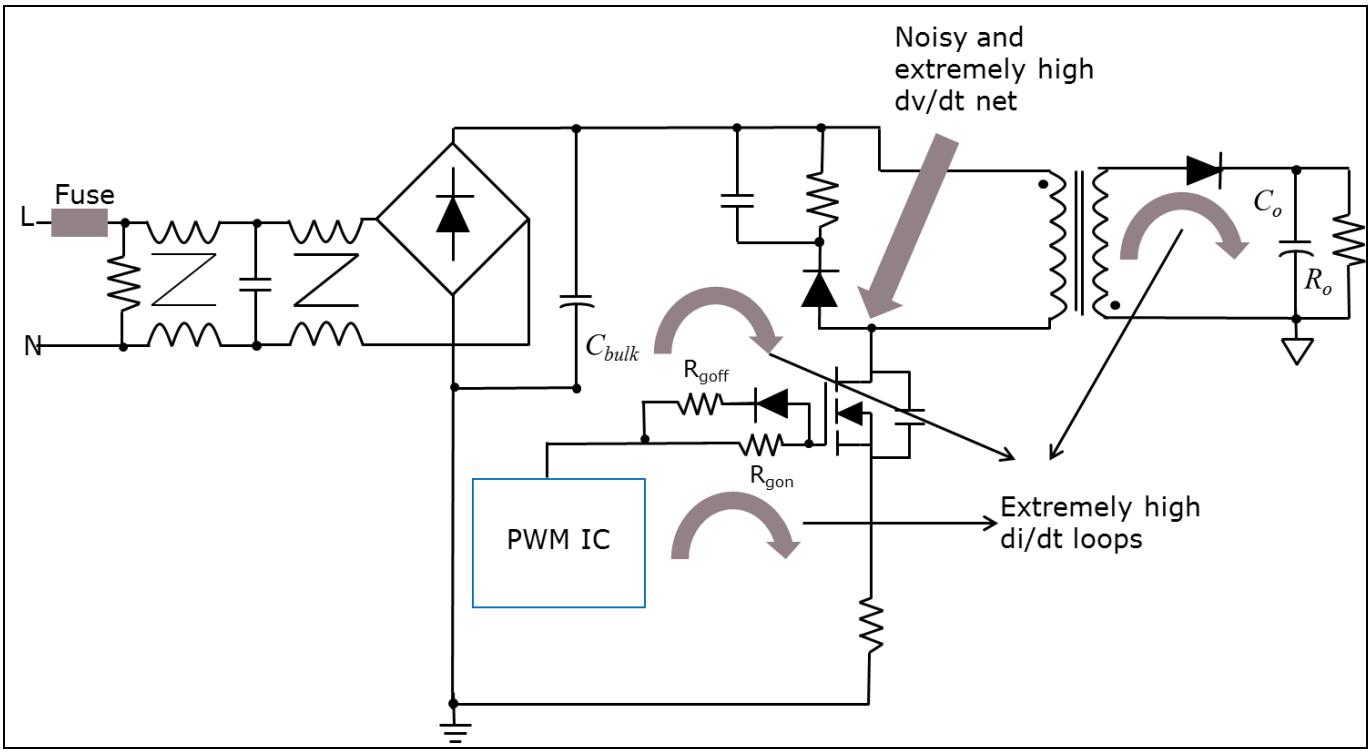


図 1　標準的なフライバック電源と、その dv / dt 回路網、および di / dt ループ

MOSFET を駆動するには、図 1 に示すように、ターンオンとターンオフのゲート抵抗を別々に使うことを推奨します。オフ時のゲート抵抗をオン時のゲート抵抗よりも小さくしておくために、直列接続したファストリカバリーダイオードを使います。パワーデバイスの中には、ターンオフの遅延時間がターンオンの遅延時間よりも長いものがあるので、これが必要になります。ミラー容量を介した容量性のターンオンを防止することにも役立ちます。さらに、ターンオンとターンオフの動作を個別に調整することもできます。オフ時の抵抗 $R_{g,off}$ を大きくすると、ターンオフ時間が長くなり、ターンオフ中に誘導性のピーク過電圧が減少します。オン時の抵抗 $R_{g,on}$ を大きくすると、ターンオン時間が長くなり、MOSFET のスイッチング速度が効果的に遅くなります。フリーホイールダイオードの逆ピーク電流は減少します。ターンオフ時間は効率に影響し、ターンオン時間は EMI 特性に影響します。したがって、効率と EMI との間の最高の妥協案は、より大きい $R_{g,on}$ と、より小さい $R_{g,off}$ が得られるようにすることです。CoolMOS™ CE デバイスは、図 2 のように、デバイスに R_g を集積化しています。

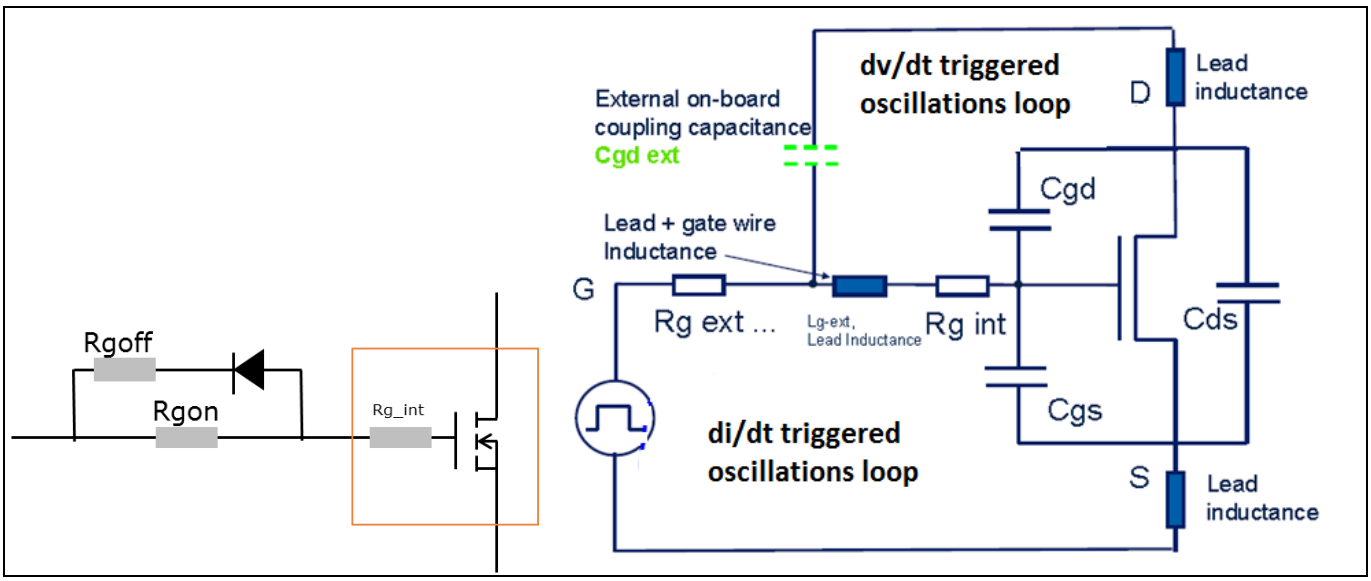


図 2　CoolMOS™ CE に集積した抵抗 R_g は、dv / dt（赤色のループ）と di / dt（青色のループ）によってトリガーされる発振を制限するために使われます。

R_g は、MOSFET の dv / dt と di / dt の両方に影響します。

$dv / dt = V_{gs} / (R_g \cdot C_{gd})$

di / dt = VL / L、ここで、VL は、ゲート電圧 V_{gs} に加えられた発振電圧です。

この内蔵 R_g は、外部の寄生成分によって引き起こされる発振を抑制します。したがって、R_g を内蔵した MOSFET（CoolMOS™ CE など）では、ゲート - ドレイン間容量（C_{gd}_ext）とゲート - ソース間容量（C_{gs}_ext）にコンデンサを外付けすると安全です。

2 CoolMOS™ CE の dv / dt と di / dt の低減

前のセクションで、MOSFET の dv / dt と di / dt の基本概念について説明し、これらの過渡現象に関連する一般的な回路網とループを見てきました。図 3 は、回路全体にわたって、さまざまな寄生成分があるフライバック電源です。

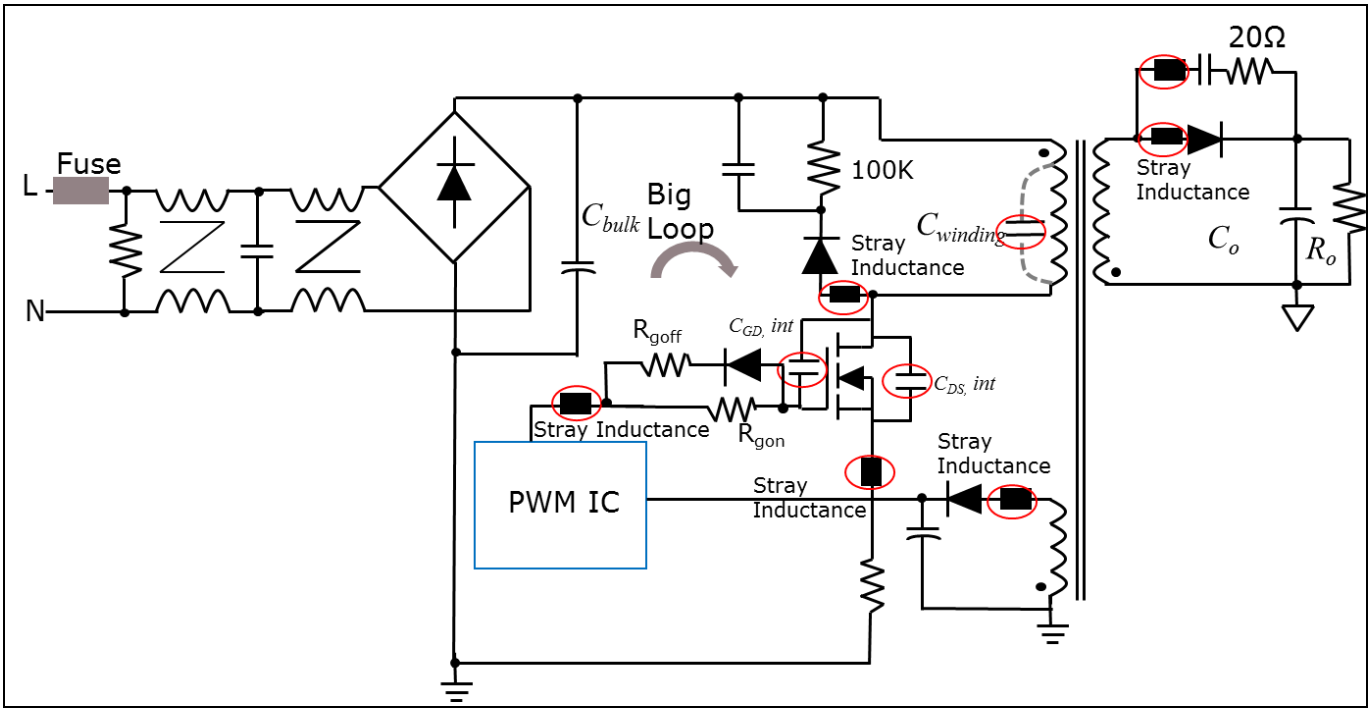


図 3　フライバック電源、および関連する寄生成分

さまざまな寄生成分には、MOSFET のドレインとソースの浮遊インダクタンス、ゲート駆動段の浮遊インダクタンス、および、トランス出力、出力ダイオード、スナバ段の浮遊インダクタンスなどがあります。一般に、値が数 nH の浮遊インダクタンスは、ループの di / dt に基づいて大きな電圧オーバーシュートを引き起こすことがあります。同様に、浮遊容量には、MOSFET 内部の寄生容量（出力容量と伝達容量など）と、その回路網に存在する dv / dt によって電流を生じるトランスの巻線容量などがあります。したがって、これらの雑音電流と雑音電圧の相互作用によって EMI が発生します。

2.1 MOSFET の di / dt の低減

図 3 の MOSFET の駆動段に存在するさまざまな di / dt 部は、以下のような影響を与えます

1. ゲートの浮遊インダクタンスによる雑音電圧
2. ソースの浮遊インダクタンスによる雑音電圧
3. ドレインの浮遊インダクタンスによる雑音電圧
4. 1 次側の大きなループによる雑音電圧

プリント回路基板の最適なレイアウトがまだ実施されていないなら、1 次側のスイッチングノードの周りのプリント回路基板の面積を小さくすることから始めます。これは、実効的なループ面積を減らすために高周波、高耐圧の直流コンデンサ（セラミックタイプを推奨）を追加し、高周波部分と低周波部分を分離することによって実現できます。これは、図 4 に C_{BP} として示されています。

di / dt をより遅くするために、既知のインダクタンスが回路に追加されています。この既知のインダクタンスは、浮遊インダクタンスと直列接続してあるので、その合計値は常に、設計者が知っている追加インダクタンスの範囲内にあります。フェライトビーズは、広い周波数範囲にわたって高周波の雑音エネルギーをフィルタする受動デバイスです。意図された周波数範囲にわたって抵抗性になり、雑音エネルギーを熱の形で放出します。

しかし、システム設計にフェライトビーズを不適切に使うと、弊害が生じる可能性があります。この例は、低域通過フィルタ用のデカップリングコンデンサとビーズを組み合わせることによって、あるいは、ビーズの EMI 抑制能力を低下させる直流バイアス電流依存性の影響によって、不要な共振が発生することです。フェライトビーズの動作を適切に理解し考慮することで、これらの問題を回避することができます。

ビーズのインダクタンス L_{bead} は次式で計算できます：

$L_{bead} = XL / 2 \times pi \times f$

標準的なフェライトビーズのデータシートから、このビーズが最も誘導性である領域は、周波数 f、例えば f = 30MHz なので、30MHz での XL リアクタンスは、233Ω であることが分かります。

上記の式から、標準的なフェライトビーズのインダクタンス値 L_{bead} は 1.2μH であることが分かります。SMPS で使われるほとんどのフェライトビーズは、1.2μH ～ 2.2μH の範囲にあります。

容量性の動作モードと直流損失が最小限に抑えられるように、デバイスのデータシートからビーズの寄生容量と直流抵抗を検証する必要があります。フェライトビーズを正しく適用することは、高周波雑音を低減し、スイッチングの遷移を遅くする効果的で安価な方法です。

したがって、適切に選択されたフェライトビーズは、図 4 に示すように MOSFET の di / dt 過渡現象が生じる部分に配置することができます。出力の整流器と補助電源回路の逆回復の di / dt は、 1 次側 MOSFET のスイッチングによって制御されます。このため、これらの接続点にビーズを配置することは、di / dt 効果によって生じる EMI 雑音の低減にも役立ちます。

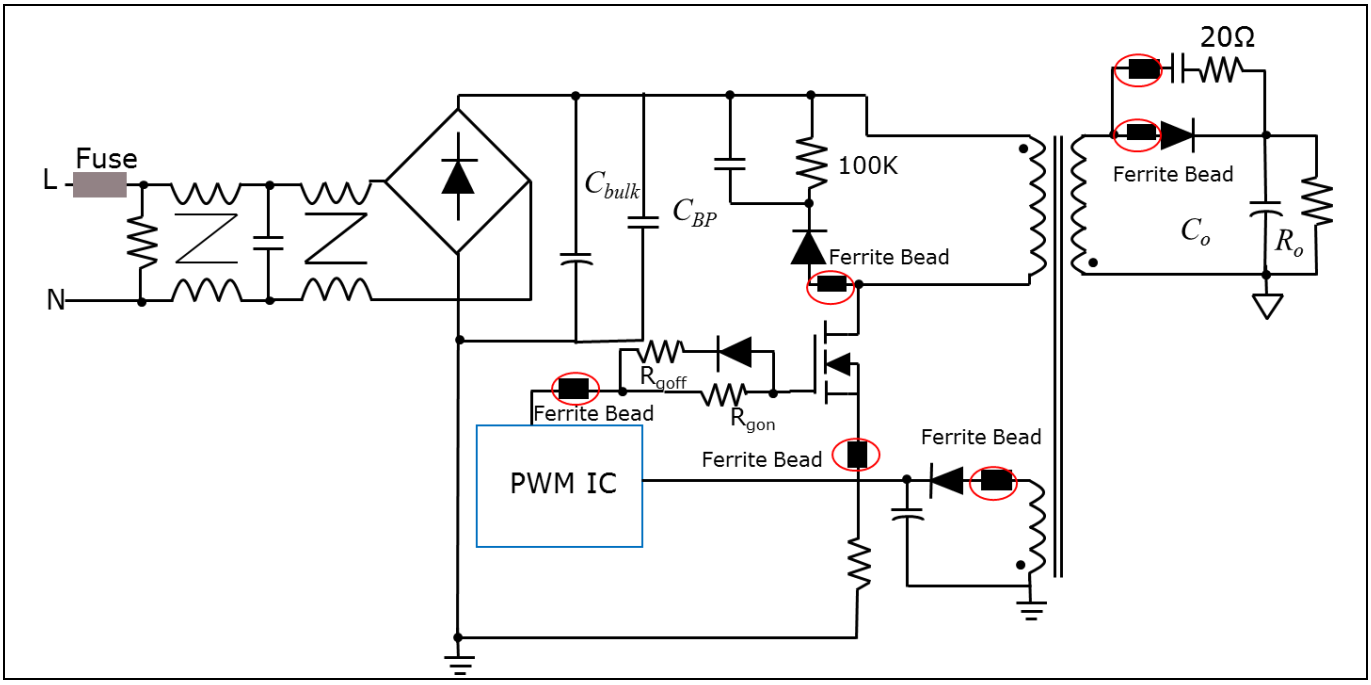


図 4　MOSFET の di / dt の低減技術

2.2 MOSFET の dv / dt の低減

一般的な MOSFET のターンオンとターンオフは、多くの論文で分析されており、このアプリケーションノートの参考文献に、いくつかの例を掲載しています。MOSFET は、図 5 のようにモデル化できます。今、ここで関心があることは、MOSFET の dv / dt 特性と、これに影響を与える寄生成分です。

$dv / dt = V_{gsth} / (R_g \cdot C_{gd})$

したがって、R_g と C_{gd} が小さいほど、dv / dt は大きくなります。

$C_{oss} = C_{gd} + C_{ds}$

したがって、C_{oss} が小さいほど、dv / dt は大きくなります。

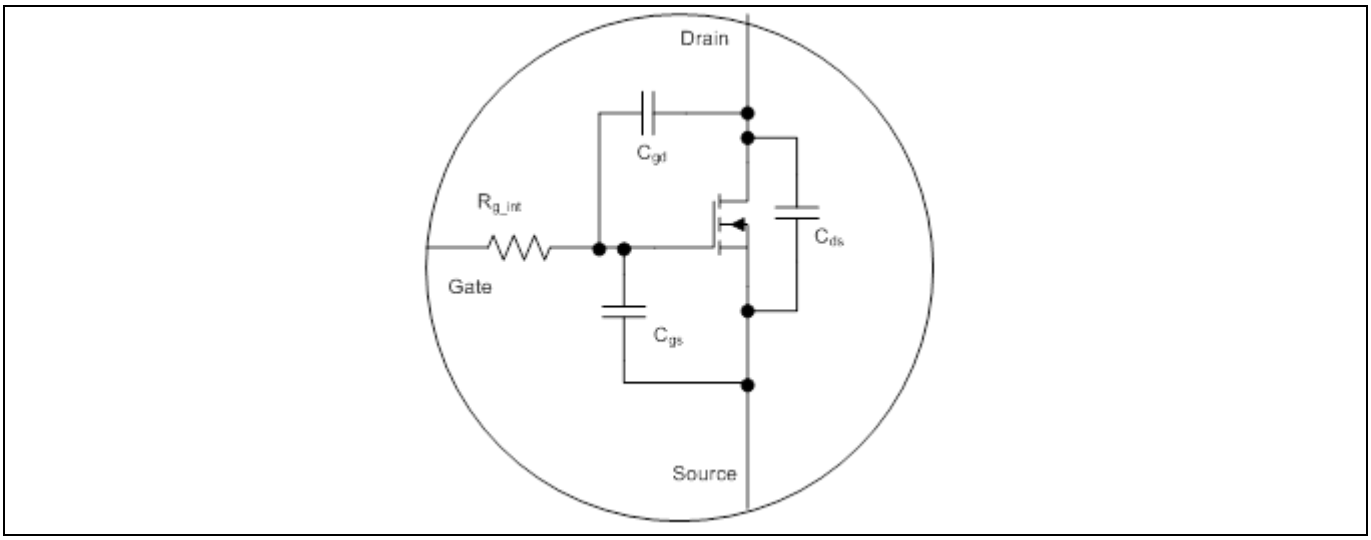


図 5　一般的な MOSFET のモデル

上の考察から、dv / dt を減らすために変更できる 4 つのパラメータが明確に分かります。それは：

C_{ds} を大きくする

C_{gd} を大きくする

R_g を大きくする

C_{gs} を大きくする

C_{ds} が大きいほど、dv / dt が小さくなり、V_{DS} のオーバーシュートが小さくなります。

基本的に、C_{gd} が大きいほど、MOSFET がミラープラトー領域にとどまる期間が長くなり、dv / dt が遅くなります。これによって、スイッチング損失が増加し、MOSFET の効率が低下し、温度が上昇します。

擬似共振（QR）フライバックコンバータの放射雑音は主に、MOSFET の C_{ds} である共振容量に依存します。標準的な MOSFET は、C_{ds} が大きいので、dv / dt は遅くなります。大きな C_{ds} は、放射 EMI を満たすことにも役立ちます。擬似共振コンバータの効率は、耐圧が低くてオン抵抗が小さい MOSFET を使い、非 ZVS（ゼロ電圧スイッチング）条件で、かつ C_{ds} が小さいと高くなります。したがって、放射雑音を考慮して、共振容量（C_{ds}）を小さくすると、 非 ZVS 条件と、より小さな共振容量 C_{gd} によって、高効率化を実現することができます。すなわち、放射 EMI の要件と効率目標の達成との間にはトレードオフがあります。

したがって、MOSFET 内部の寄生容量（C_{gd} と C_{ds} ）が小さいときは、dv / dt を確実に遅くするために、外部で C_{gd} と C_{ds} を補う必要があるかもしれません。この外付けコンデンサは、10pF～100pF の範囲であり、これを設計するときに、設計者は、これらの寄生容量の固定値を得ます。標準的な MOSFET は、データシートから分かるように、内部容量 C_{gd} と C_{ds} が大きくなっています。したがって、CoolMOS™ CE に置き換えた場合、高速スイッチング SJ MOSFET の動作を遅くするために、外付けの C_{ds} と C_{gd} が必要になります。

ゲートにコンデンサ C_{gs} を外付けすることもできますが、このオプションは、ゲート抵抗 R_g を大きくすることが比較的簡単なので、めったに使われません。

このアプリケーションノートで前述したように、MOSFET のターンオンとターンオフの条件に、異なる値の R_g の組み合わせがあることを推奨します。スイッチがオフしたときの損失を低減するためには、R_g の値が小さくなければなりません。オン時のスパイク電圧を低減するためには、$R_{g,on}$ の値を大きくしなければなりません。MOSFET 内部の R_g は、プリント回路基板のレイアウトが適切でないことによる発振を内部で減衰させて、ターンオンおよびターンオフのスムーズな動作を確実にするために必要です。CoolMOS™ CE には R_g を内蔵してあり、外部の $R_{g,on}$ と $R_{g,off}$ （使用されているオン抵抗 $R_{DS(ON)}$ に基づく内部 R_g 値を含む）を慎重に選ぶ必要があります。

R_g 値が大きいと、温度が上昇し、スイッチング損失が増え、MOSFET の動作が低下するだけでなく、デバイスのスイッチング動作が完全に変わり、アプリケーションの効率と動作条件も低下します。R_g を大きくすると、ドライバ／PWM（パルス幅変調）コントローラに重大な影響を与え、より高い温度に耐えなければならなくなり、同時に MOSFET の入力容量を充電するために、より大きな電力を消費します。潜在的に、静的な dv / dt によるシステム障害を引き起こす可能性のある相互導通も生じます。dv / dt を減少させる技術を図 6 にまとめました。

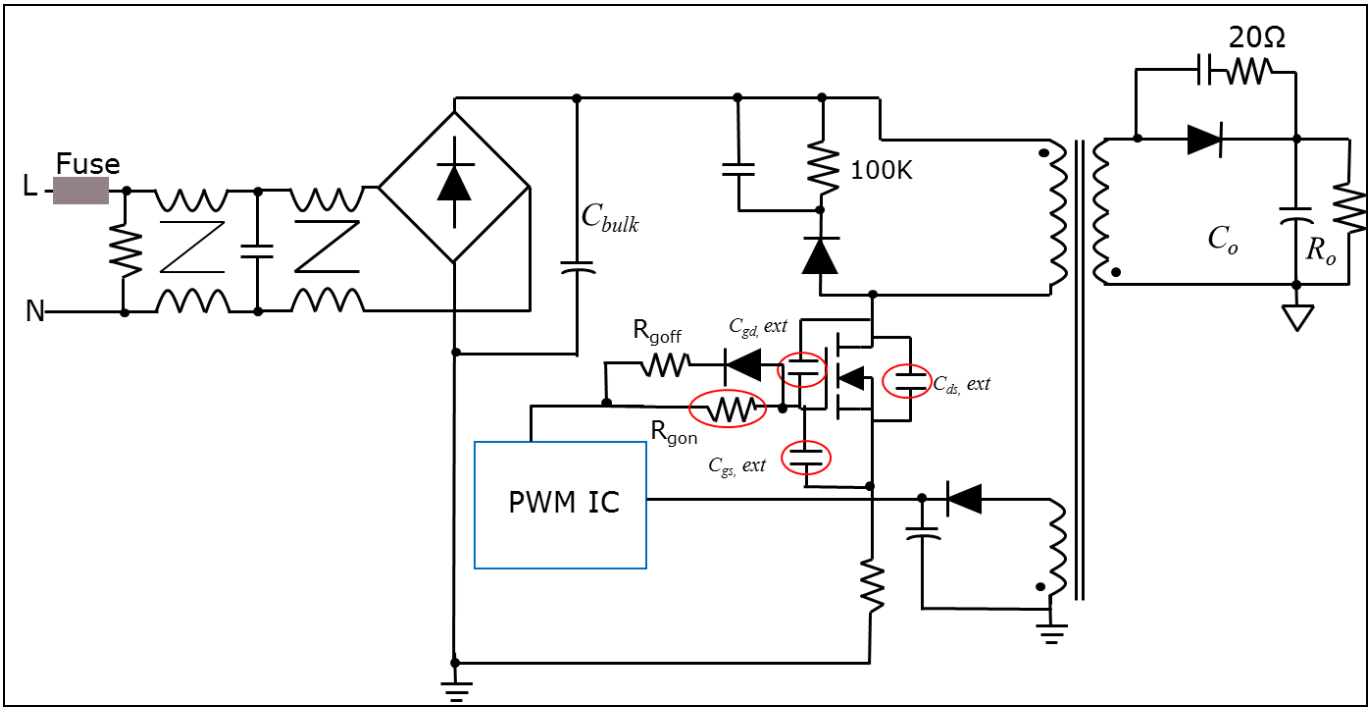


図 6　MOSFET の dv / dt 低減技術：コンデンサを外付けし、R_g を大きくします

3 放射 EMI 測定値のプロット

一般的な伝導 EMI と放射 EMI の制限線を図 7 と図 8 に示します。

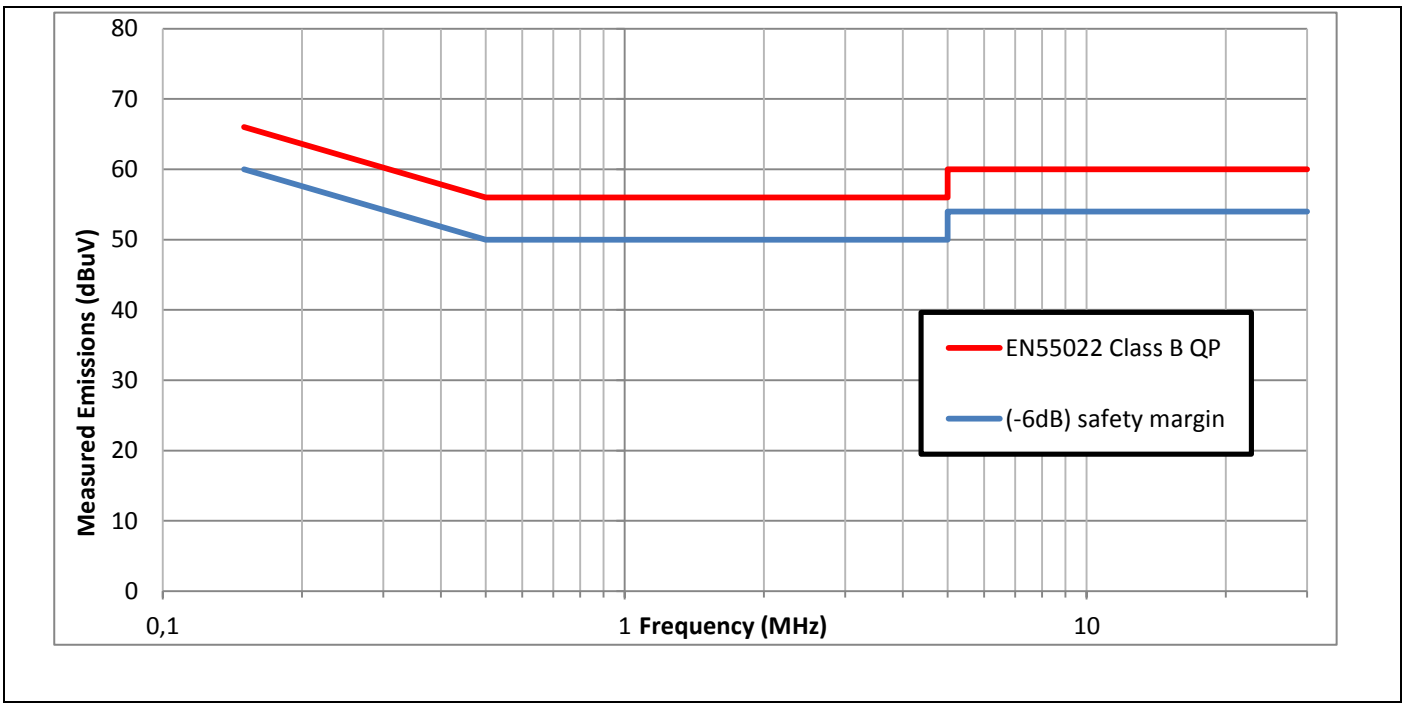


図 7　伝導エミッションテストの制限：150kHz ～ 30MHz

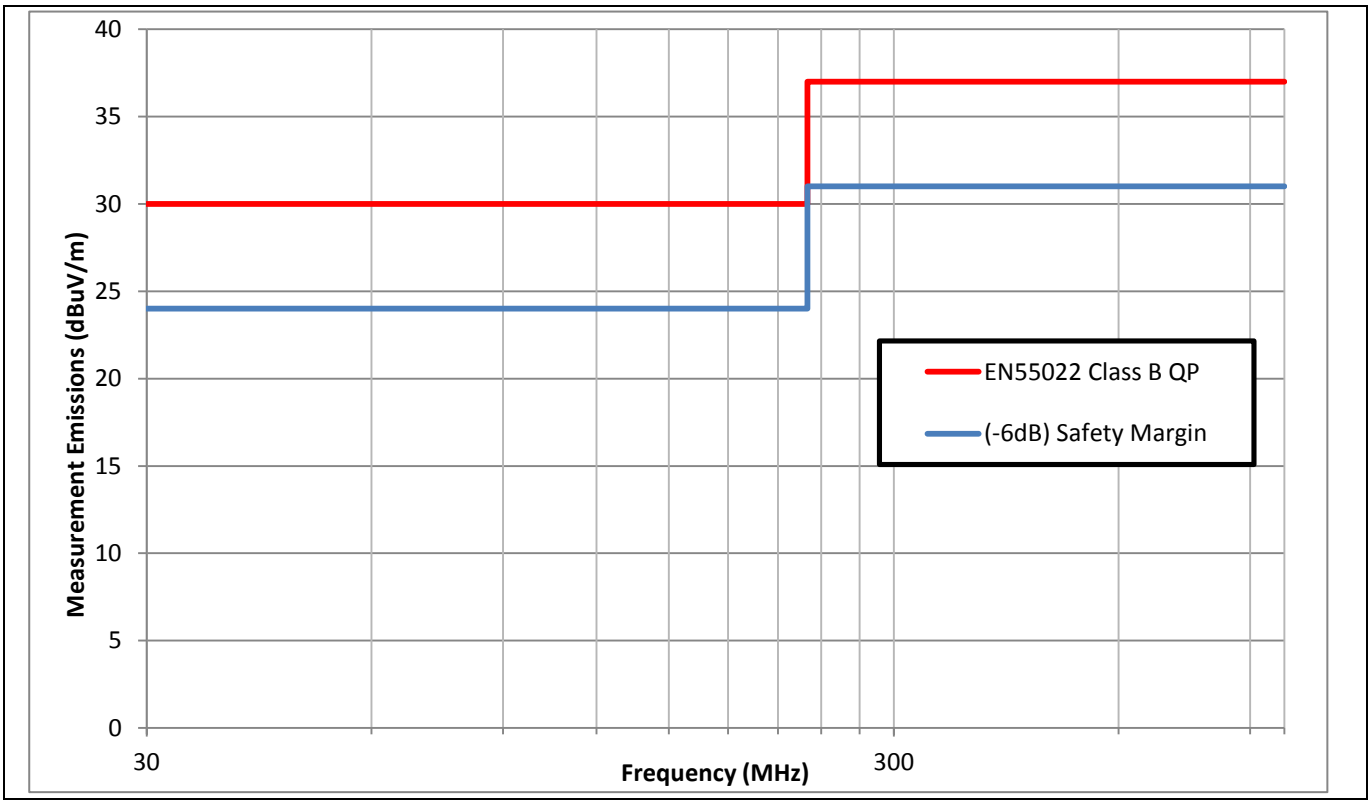


図 8　放射エミッションテストの制限：30MHz ～ 1GHz

スペクトラムアナライザで使っている検出器に基づいて、平均、準ピーク（QP）、ピークを測定できます。ピーク検出では常に、最も大きな読み取り値が得られ、続いて QP の読み取り値、そして、平均の読み取り値と続きます。したがって、EMI スキャンを迅速に実施するために、ほとんどの技術者はピーク検出を優先し、その結果を QP の規格値と比較します。この条件が満たされると、効果的に余分にヘッドルーム（安全マージン）が得られます。ピーク検出テスト（QP 規格値を適用）が規格値に収まらなかった場合だけ、QP 検出を実施する必要があります。

一般に、測定の精度が不十分なことや、基板の間のばらつきなどを考慮して、安全マージンは－6dB が望まれます。通常、QP 規格値が満たされると、その平均規格値（平均検出と平均規格値を利用）も満たされます。約 5MHz 未満の周波数において、雑音電流は主に、差動モードになる傾向がありますが、5MHz を超える周波数では主に、雑音電流がコモンモードになる傾向があります。20MHz よりも高い周波数において、伝導雑音は、インダクティブピックアップに起因します。インダクティブピックアップは、入力ケーブルまたは出力ケーブルからの放射である可能性があります。

伝導エミッションの仕様を満たしても、必ずしも放射エミッションの仕様が確実に満たされるとは限りません。しかし、放射エミッションの仕様を満たすことは、ほとんどの場合、伝導エミッションの仕様も満たされます。したがって、時間を節約するために、設計者は、放射エミッションを最初にチェックすることが多くなっています。このアプリケーションノートの次のセクションでは、EMI 測定のさまざまな前提とその後の結果を示します。MOSFET の di / dt および dv / dt の低減技術を採用した CoolMOS™ CE は、EMI の要件をうまく満たすことができます。このアプリケーションノートの前のセクションで会得したことも適用して、CoolMOS™ CE が EMI のテスト要件を満たすために役立つ暫定表を作成します。

4 さまざまなテストケースの実際の測定結果

ここでは、CoolMOS™ CE の 3 種類の異なる使い方——ただし、一般的な使い方の中で、このアプリケーションノートの上記セクションで会得したことを実際に見てみましょう。

1. 本来、標準 MOSFET 向けに最適化された AC-DC SMPS の最適化：ここでは、標準 MOSFET を CoolMOS™ CE に置き換えます。
2. 本来、SJ MOSFET 向けに最適化された AC-DC SMPS の最適化：ここでは、異なる技術の SJ MOSFET を CoolMOS™ CE に置き換えます。
3. 本来、CoolMOS™ CE 向けに最適化された AC-DC SMPS を最適化：ここでは、SMPS の設計を CoolMOS™ CE で始めました。

4.1 本来、標準 MOSFET 向けに最適化された AC-DC SMPS の最適化：ここでは、標準 MOSFET を CoolMOS™ CE に置き換えます

効率の改善は、AC-DC アダプタ設計者の重要な目標の 1 つです。したがって、スイッチング MOSFET として、SJ MOSFET が常に第 1 の選択肢となります。コストの制約から、設計者は、標準 MOSFET を使わなければならないかもしれません。CoolMOS™ CE のポートフォリオには、さまざまな $R_{DS(ON)}$ の選択肢があり、魅力的な価格で、さまざまなパッケージのオプションが用意してあるので、自分の設計において、標準 MOSFET からの置き換えを検討している設計者にとって好ましい選択肢です。

検討中の回路が図 9 です：

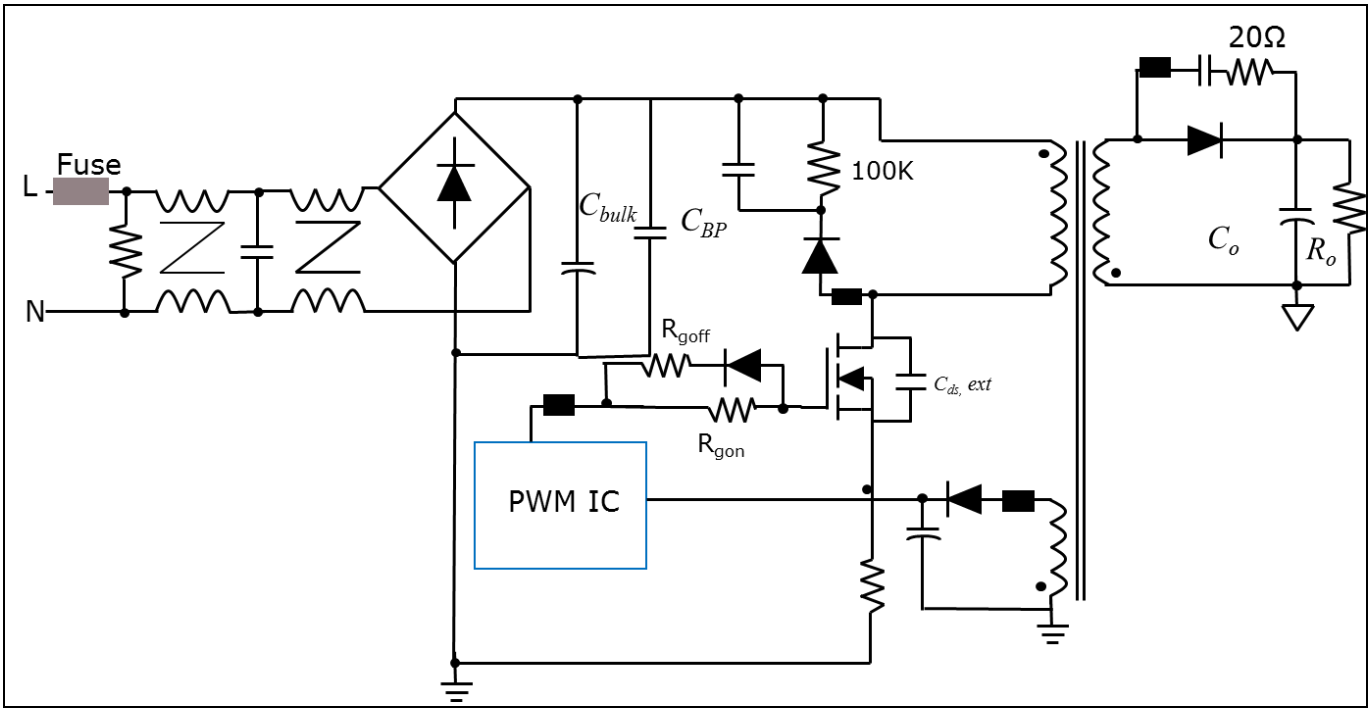


図 9 標準的なフライバック電源：出力電力 30W ～65W

さまざまなベンダーから既製品として入手できる電力レベル 30W～65W の範囲で、電力レベルが異なるの数種のアダプタを検討しました。これらの製品はすべて、図 20 にまとめたように、dv / dt と di / dt の低減技術がすでに、いくつか実装されていました。標準 MOSFET を CoolMOS™ CE に置き換えるときの標準的な手法を図 10 に示します。

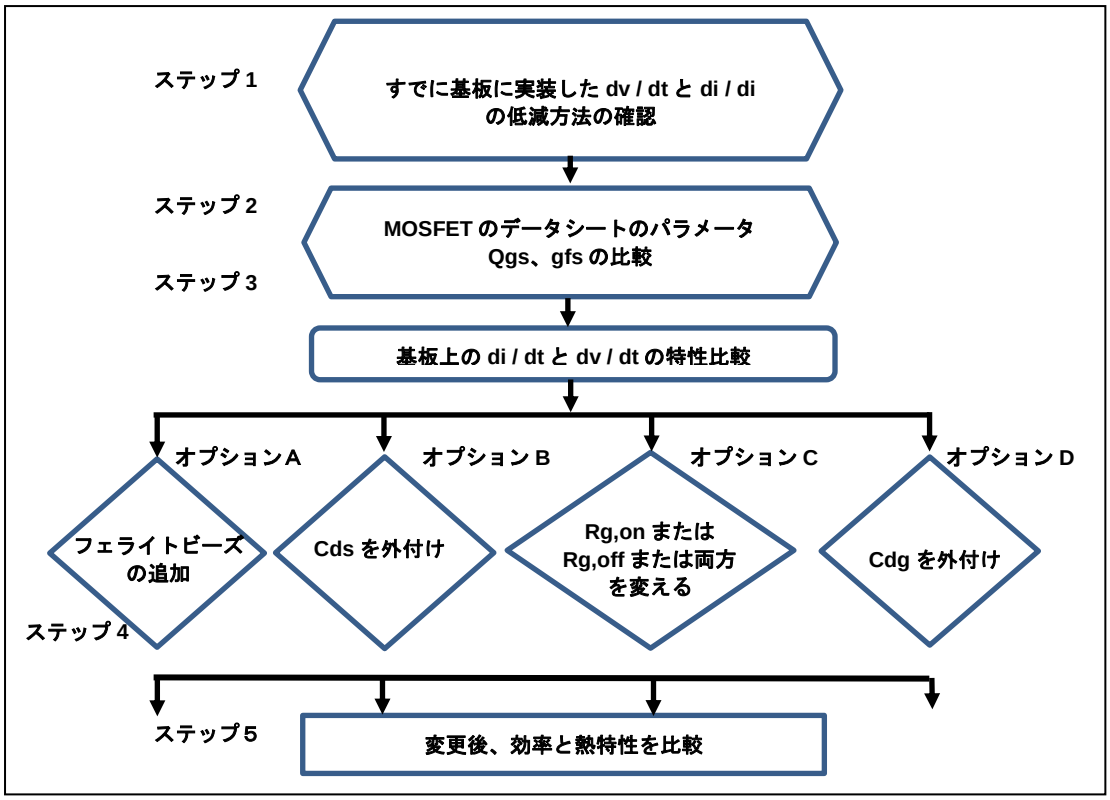


図 10　標準 MOSFET を CoolMOS™ CE に置き換えるフローチャート

上図のフローチャートに示されたステップについて、以下に詳しく説明します：

ステップ 1：SMPS のプリント回路基板を目視検査するか、回路図を再確認するかして、di / dt および dv / dt の既存の低減方法を確認します。

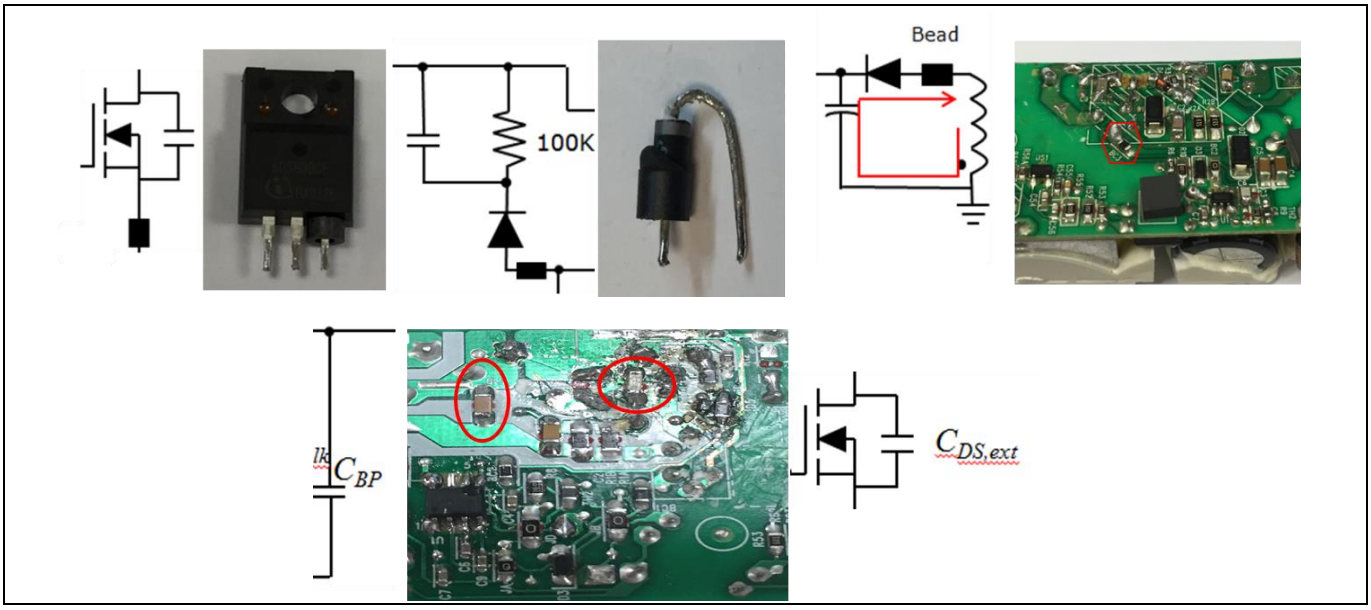


図 11　AC-DC SMPS における di / dt と dv / dt のさまざまな測定方法の目視検査：（A）MOSFET のソース、1 次側スナバダイオードでの di / dt 低減用ビーズ、（B）高周波バイパスコンデンサ C_{BP} および外付け C_{ds}

ステップ 2：標準 MOSFET と CoolMOS™ CE との間の違いを確認するために、データシートのパラメータを比較し、変更点を図 19 のように見積もることができます。

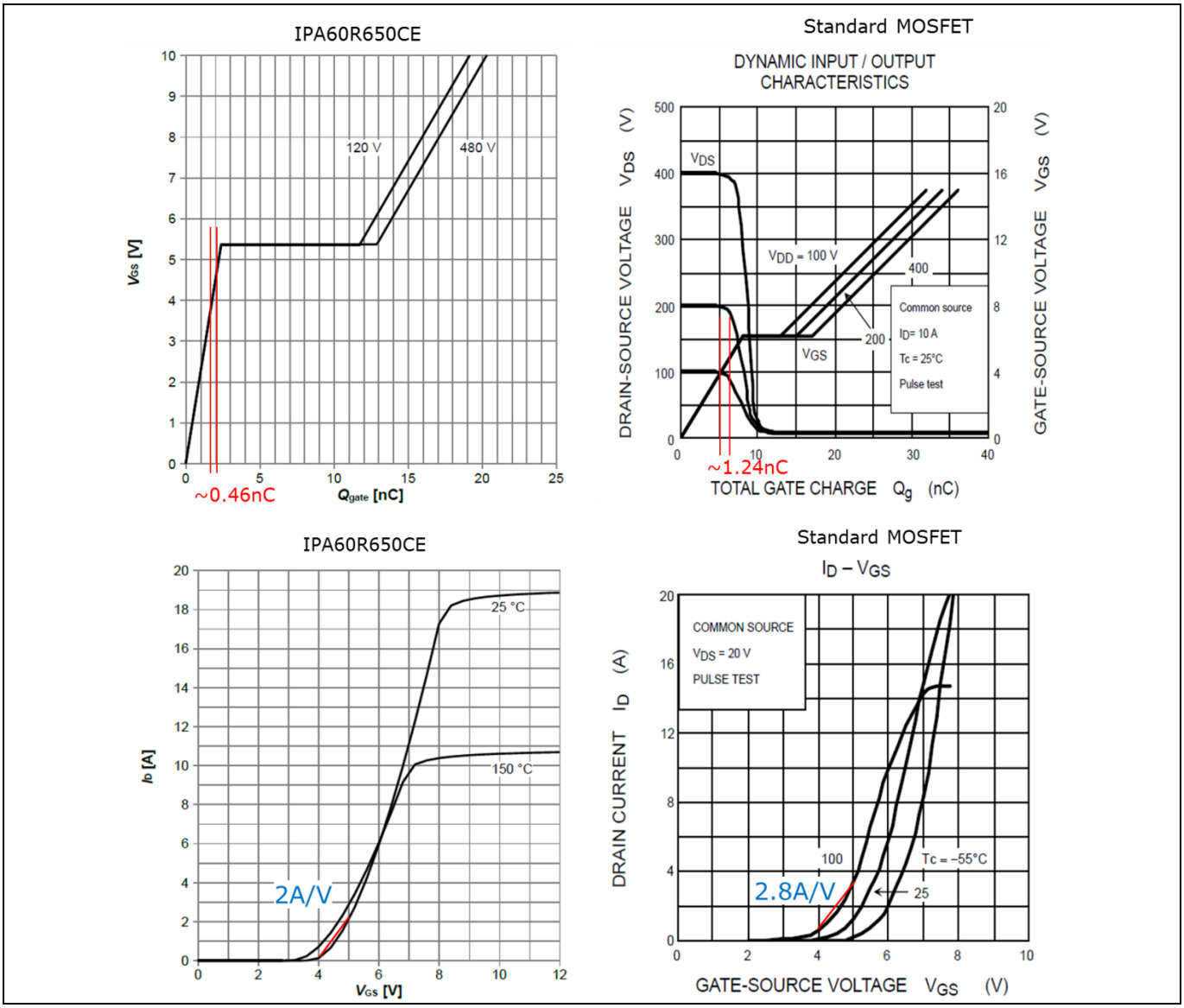


図 12　CoolMOS™ CE と標準 MOSFET のデータシートの比較。（A）V_{GS} の充電時間を決定する Q_{gs}。（B）$R_{ds(on)}$ の変化率と V_{GS} との関係を決める g_{fs}。

上記の比較に基づいて：Q_{gs} の曲線と g_{fs} の曲線から、デバイスの di / dt を決定

$$\frac{di}{dt}=\frac{g_{fs}\times\Delta V}{\frac{Qgs}{I_{driving}}}=\frac{g_{fs}\times\Delta V}{\frac{Qgs\times R_{g,on}}{V_{driving}}}$$

CoolMOS™ CE の場合：

$$Q_{gs}=0.46nC\ @VGS=4\ V\rightarrow 5\ V$$

$V_{driving}$ = 5 V、$R_{g,on}$= 200 Ω と仮定

$I_{driving}$ = 5/200 =25 mA、$t_{driving}$ = 18.4 ns

g_{fs} =2 A/V $@VGS=4\ V\rightarrow 5\ V$

MOSFET の di / dt @$VGS = 4\ V \rightarrow 5\ V$

di / dt（CoolMOS™ CE）=2 A/18.4 ns= 108 A/µs

標準 MOSFET の場合：

$$Q_{gs} = 1.24\ nC\ @VGS = 4\ V \rightarrow 5\ V$$

$V_{driving}$ = 5 V、$R_{g,on}$ = 200 Ω と仮定

$I_{driving}$ = 5/200 = 25 mA、$t_{driving}$ = 49.6 ns

g_{fs} = 2.8 A/V@$VGS = 4\ V \rightarrow 5\ V$

MOSFET の di / dt @$VGS = 4\ V \rightarrow 5\ V$

di / dt（標準 MOSFET）=2.8 A/49.6 ns=56.4 A/µs

したがって、データシートの比較から：

1. 650CE の g_{fs} は、標準 MOSFET の 70%
2. 650CE の Q_{gs} は、標準 MOSFET の 37%

MOSFET スイッチのオン時に同じ di / dt を維持するためには

$$R_{g,on(CE)} = \frac{\frac{g_{fs,CE}}{Q_{gs,CE}}}{\frac{g_{fs}}{Q_{gs}}} R_{g,on,original}$$

650CE の $R_{g,on}$ は、標準 MOSFET のスイッチがオンのときと同様の di / dt にするために、標準 MOSFET の 189%になります。

ステップ 3 とステップ 4：di / dt の推定値を得るためにスイッチング波形を比較して、CoolMOS™ CE の di / dt を抑えるために、$R_{g,on}$ を大きくする必要があるという前の指摘を再確認します。寄生容量の影響を調べるために dv / dt も比べてください。$R_{g,on}$ を使った di / dt の抑制は、図 20 を参照してください。

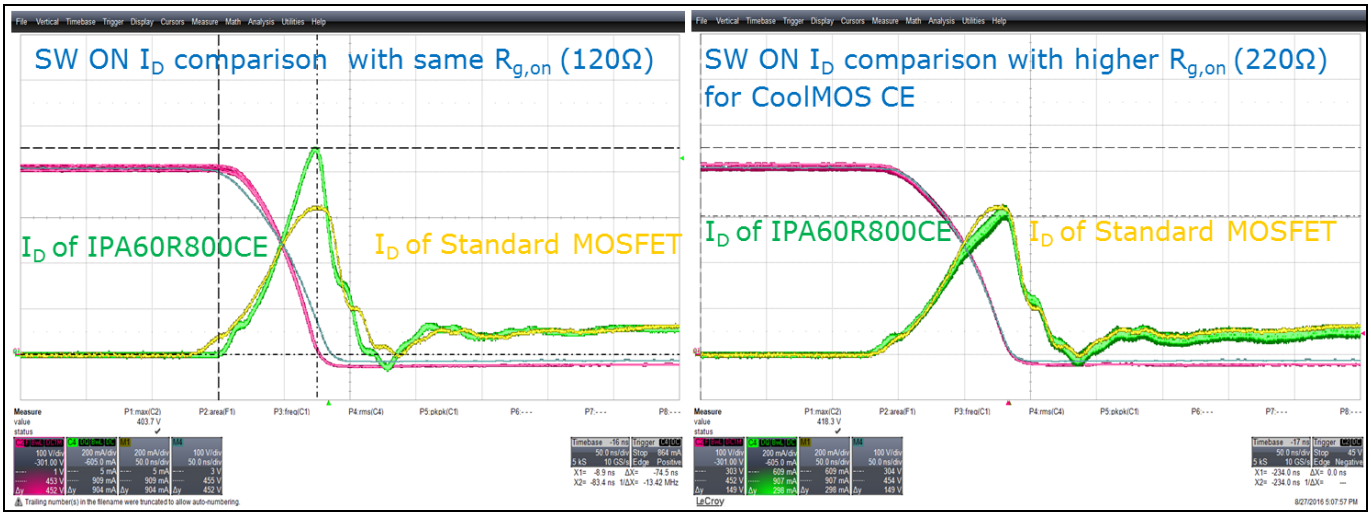


図 13　CoolMOS™ CE では、$R_{g,on}$ が大きいほど di / dt を抑制します。$R_{g,on}$ が大きいと、標準 MOSFET と CoolMOS™ CE の di / dt は類似しています。

この大きい $R_{g,on}$ は、1 次側の CoolMOS™ CE のオン時に 2 次側の同期整流用 MOSFET（使っている場合）のスパイク電圧も抑制します。

$R_{g,on}$ を大きくする副作用は、下の図 14 に示すようにスイッチング損失の増加です。



図 14　CoolMOS™ CE の E_{oss} は、標準 MOSFET の di / dt と合わせるための di / dt の抑制に基づいて選択した 2 種類の $R_{g,on}$ の間の比較です。スイッチング損失は、2 倍の $R_{g,on}$ で 2 倍になります。

CoolMOS™ CE は、標準 MOSFET と比べて、同じ条件下で、大きな di / dt と dv / dt のスイッチオフ特性になります。これを図 15 に示します。デバイスのターンオフ特性に合わせるためには、C_{ds} を外付けする必要があります。

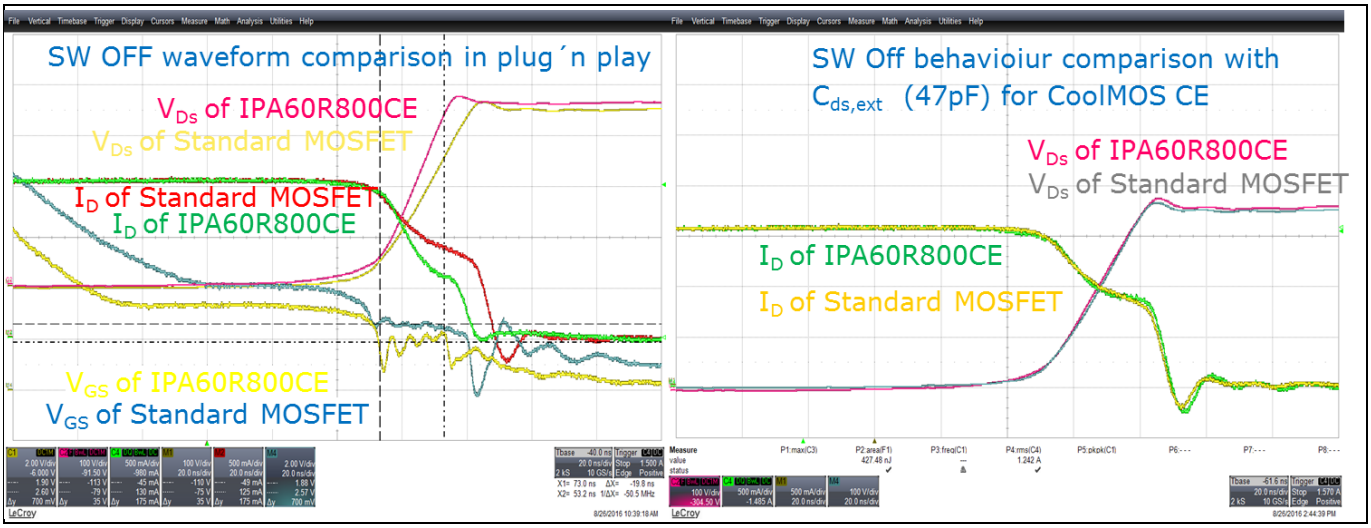


図 15　標準 MOSFET のスイッチング動作に合わせるために必要な C_{ds}（47pF）を外付けして、プラグアンドプレイのときの CoolMOS™ CE のスイッチオフ（SW オフ）動作。

プラグアンドプレイにおける CoolMOS™ CE と標準 MOSFET とのスイッチング損失の比較が図 15 の左の図です。47 pF の C_{ds} を外付けしたときが図 15 の右図になります。CoolMOS™ CE のスイッチング損失は、C_{ds} を外付けすることによって増加します。

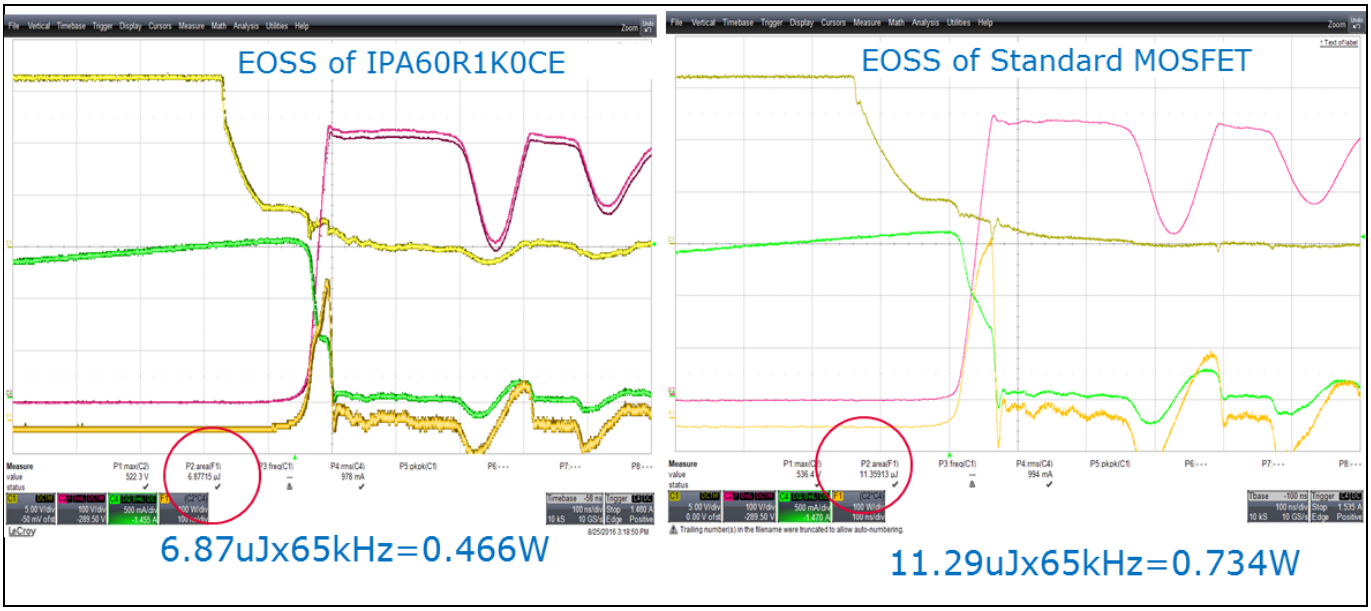


図 16　CoolMOS™ CE は、プラグアンドプレイでのスイッチング損失を低減します。

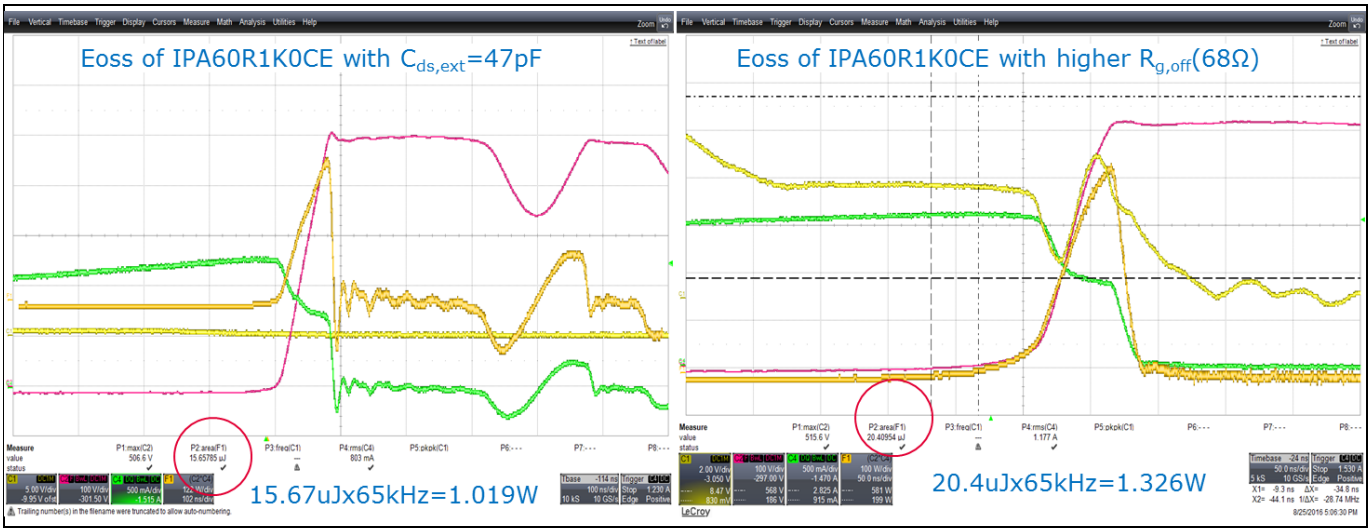


図 17　CoolMOS™ CE のスイッチング損失は、27 pF の C_{ds} を外付けし、$R_{g,off}$ を標準 MOSFET と同等レベルの EMI 特性にするために必要とされる 68 Ω へと大きくすることで増加します。

ステップ 5：スイッチング波形を比べることで、デバイスのデータシートと、基板に実装したときの特性を比較し、必要な変更をすべて実施すると、CoolMOS™ CE は、標準 MOSFET と同等のレベルで EMI 要件をうまく満たすことができました。最終ステップとして、必要な特性を確保にするために、効率と熱特性を比較することを推奨します。

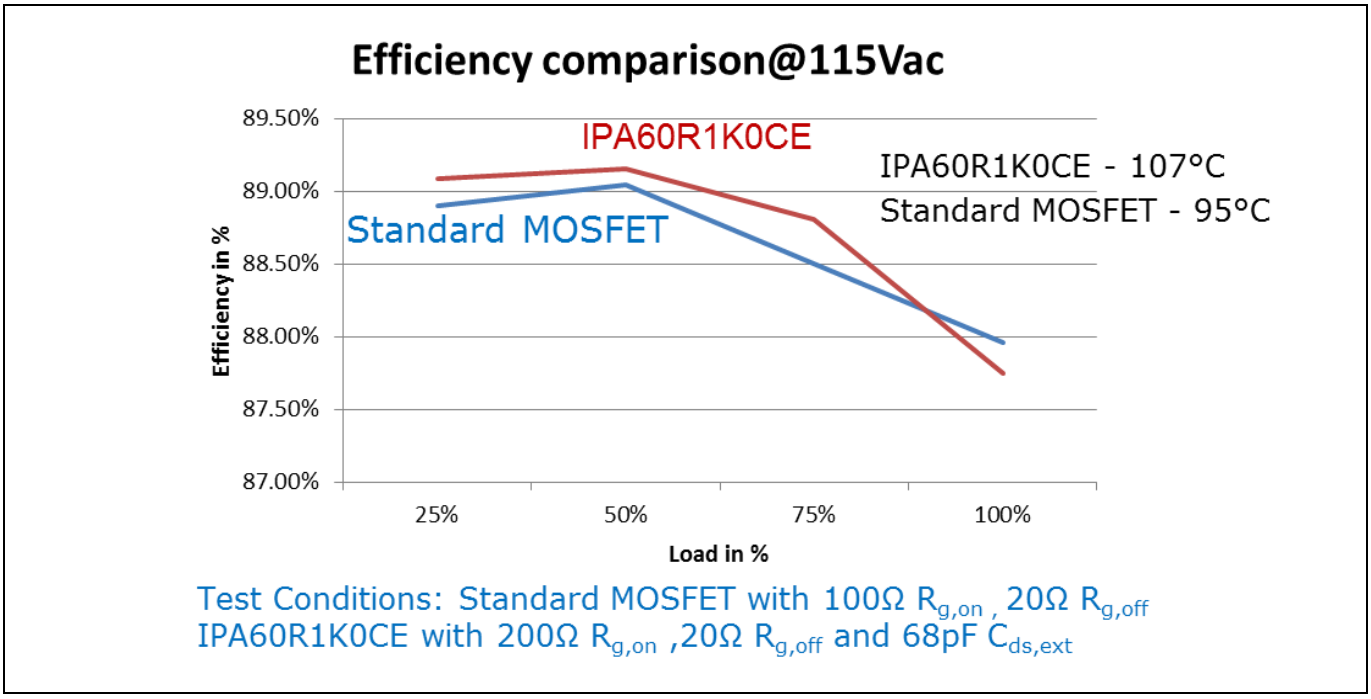
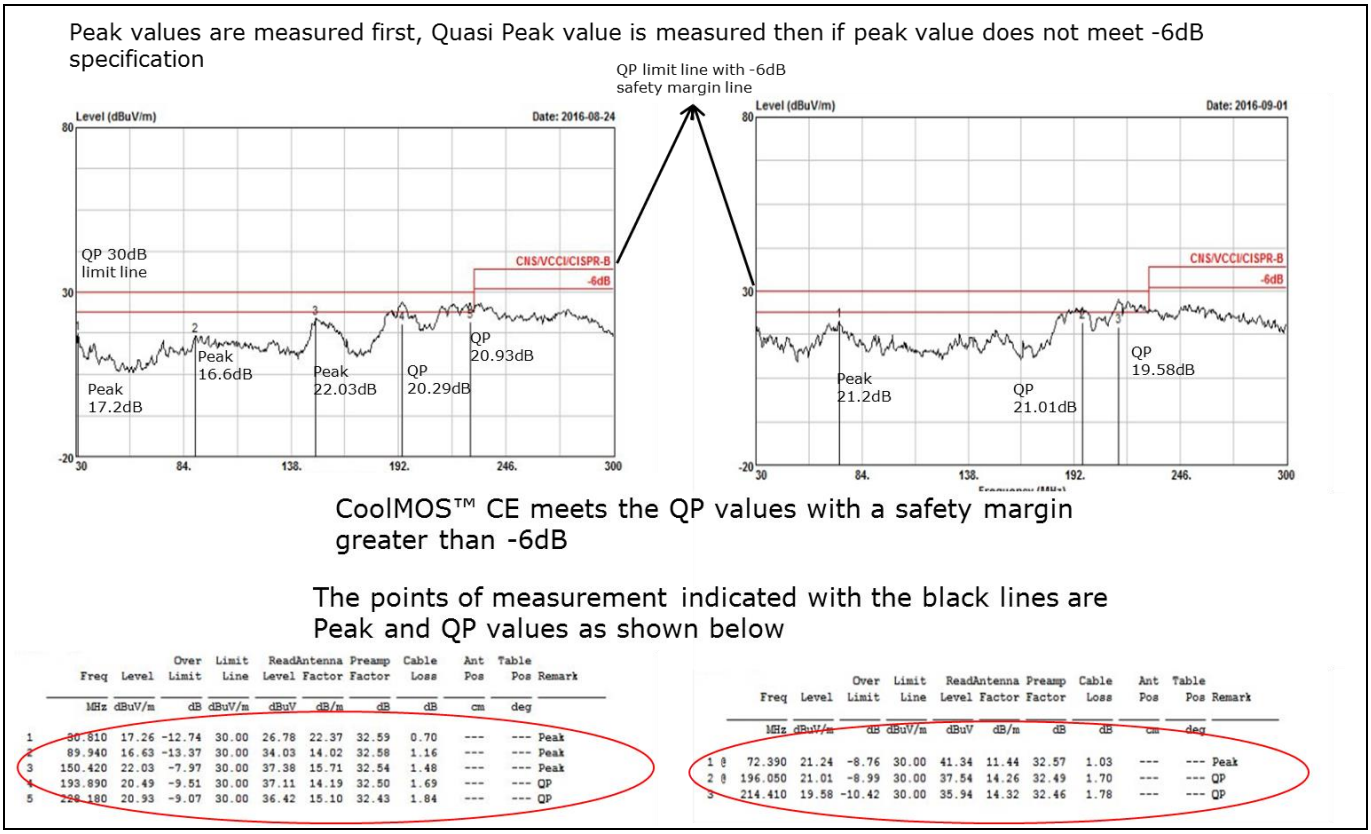


図 18　45W のアダプタの用途では、EMI 要件を満たすために、$R_{g,on}$ を大きくして、必要な C_{ds} を外付けした追加の測定でさえ、CoolMOS™ CE の効率特性は、標準 MOSFET よりも優れていることが分かります。デバイスのスイッチング損失が強制的に大きくなるため、熱特性は低下します。これが 110℃の熱の許容限界を下回っているので、CoolMOS™ CE は、うまく適格となりました。全負荷の効率の差は、標準 MOSFET の $R_{DS(on)}$ が小さいためです。

EMI 特性の結果の比較が図 19 です。



	Freq	Level	Over Limit	Limit Line	ReadAntenna Level	Preamp Factor	Cable Loss	Ant Pos	Table Pos	Remark
	MHz	dBuV/m	dB	dBuV/m	dBuV	dB/m	dB	dB	cm	deg	
1	30.810	17.26	-12.74	30.00	26.78	22.37	32.59	0.70	---	---	Peak
2	89.940	16.63	-13.37	30.00	34.03	14.02	32.58	1.16	---	---	Peak
3	150.420	22.03	-7.97	30.00	37.38	15.71	32.54	1.48	---	---	Peak
4	193.890	20.49	-9.51	30.00	37.11	14.19	32.50	1.69	---	---	QP
5	228.180	20.93	-9.07	30.00	36.42	15.10	32.43	1.84	---	---	QP

	Freq	Level	Over Limit	Limit Line	ReadAntenna Level	Preamp Factor	Cable Loss	Ant Pos	Table Pos	Remark
	MHz	dBuV/m	dB	dBuV/m	dBuV	dB/m	dB	dB	cm	deg	
1 @	72.390	21.24	-8.76	30.00	41.34	11.44	32.57	1.03	---	---	Peak
2 @	196.050	21.01	-8.99	30.00	37.54	14.26	32.49	1.70	---	---	QP
3	214.410	19.58	-10.42	30.00	35.94	14.32	32.46	1.78	---	---	QP

図 19　CoolMOS™ CE の IPA60R1K0CE は、 6 dB 以上の安全マージンを備えた 45W アダプタの EMI 要件をうまく満たすことができました。

テストされたさまざまな電源の特性をまとめた表を図 28 の下に示します。この表は、上記で説明したように、1 から 5 までの同様のステップに合わせています。CoolMOS™ CE は、すべての電力レベルで、標準 MOSFET の特性と同様に di / dt と dv / dt を低減して EMI 要件を満たすことができました。

Adapter	Output Power		65W	65W	65W	45W	27W	65W	30W
Original with Standard MOSFET		Rg,on	150Ω+bead	300+10Ω	270+100Ω	100+20Ω	(100+0)Ω	200+0Ω	100+15Ω
		Rg,off	Bead	100Ω	100Ω	20Ω	0Ω	0Ω	15Ω
		Cds	33pF	100pF	NC	NC	47pF	NC	NC
	Snubber for Primary MOSFET	C	1nF	2.2nF	3.3nF	12nF	2.2nF	10nF	1nF
		R	300kΩ	86kΩ	102kΩ	102kΩ	102kΩ	102kΩ	470kΩ
		D	-	-	Yes	Yes	Yes	-	-
		Bead Core	Yes	-	-	-	-	-	-
	Snubber for Output Rectifier	C	1nF	1nF	330pF	1nF	1nF	1nF	1nF
		R	10Ω	47Ω	47Ω	20Ω	7.5Ω	10Ω	27Ω
		Bead Core	None	Yes	Yes	None	Yes	-	-
CoolMOS™ CE series of similar Rdson and Voltage class of Standard MOSFET		Rg,on	150Ω+bead	400+10Ω	270+100Ω	200+20Ω	(240+0)Ω	200+0Ω	100+15Ω
		Rg,off	150Ω+bead	100Ω	100Ω	20Ω	0Ω	0Ω	15Ω
		Cds	100pF	100pF	100pF	47pF	100pF	100pF	47pF
	Snubber for Primary MOSFET	C	1nF	2.2nF	3.3nF	12nF	2.2nF	10nF	1nF
		R	300kΩ	86kΩ	102kΩ	102kΩ	102kΩ	102kΩ	470kΩ
		D	-	YES	YES	Yes	-	-	-
		Bead Core	Yes	None	None	-	-	-	-
	Snubber for Output Rectifier	C	1nF	1nF	330pF	1nF	1nF	1nF	1nF
		R	10Ω	47Ω	47Ω	20Ω	7.5Ω	10Ω	27Ω
		Bead Core	None	None	Yes	None	Yes	-	-

Option A:adding beads
Option B: Adding external Cds
Option C: Increasing Rg

A B C C B C B C B B B

図 20　CoolMOS™ CE の IPA60R1K0CE は、出力電力 30W～65W の標準的な市販のアダプタで EMI 要件を満たすことができました

4.2　本来、スーパージャンクション MOSFET に最適化された AC-DC SMPS の最適化：異なる技術のスーパージャンクション MOSFET を CoolMOS™ CE に置き換えます

SJ MOSFET によって得られる効率は、非常に高いことが多く、コストの制約が特性の基準よりも優先する設計では、より大きな $R_{DS(ON)}$ の品種を検討することもできます。

ここでは、25W の充電器の用途において、インフィニオンの IPI65R600C6 を IPI70R950CE に置き換えた設計を見てみます。

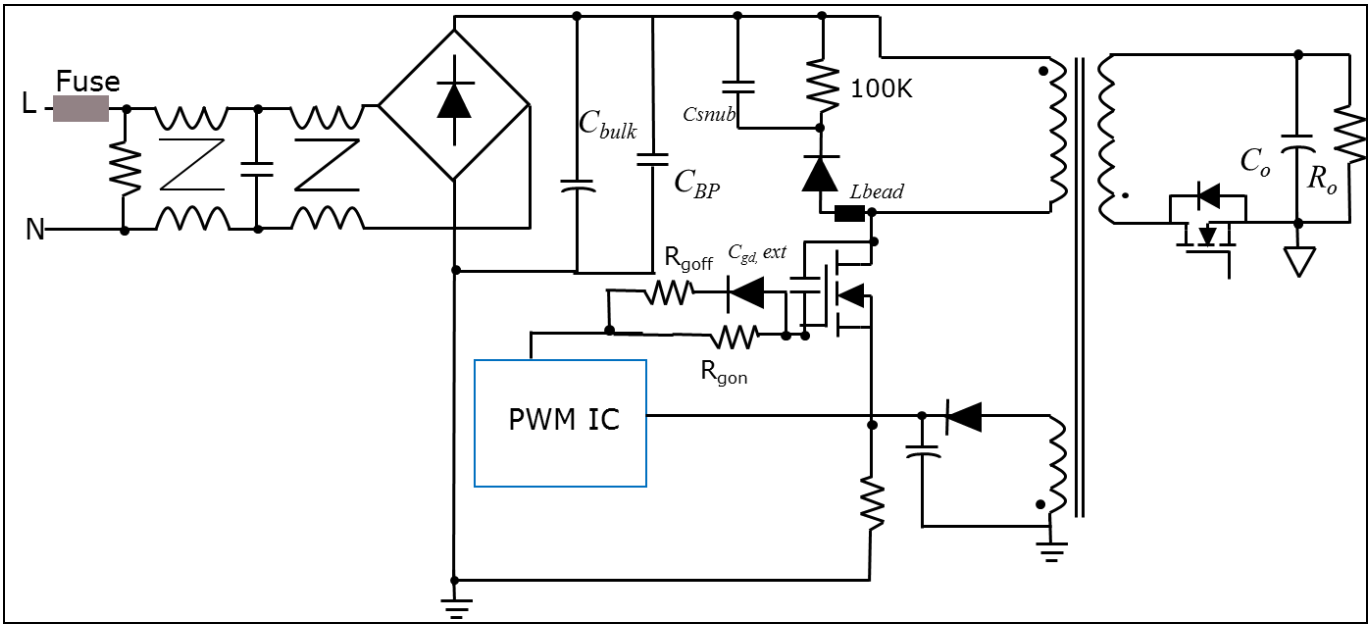


図 21　一般的な 25W の AC-DC 充電器の SMPS

前の例で利用した方法と同様のフローチャートに従います。変更はほとんどありません。より大きい $R_{DS(on)}$ に移行する目的は、効率を低下させることであり、ここでは主に、EMI の側面に焦点を当てます。

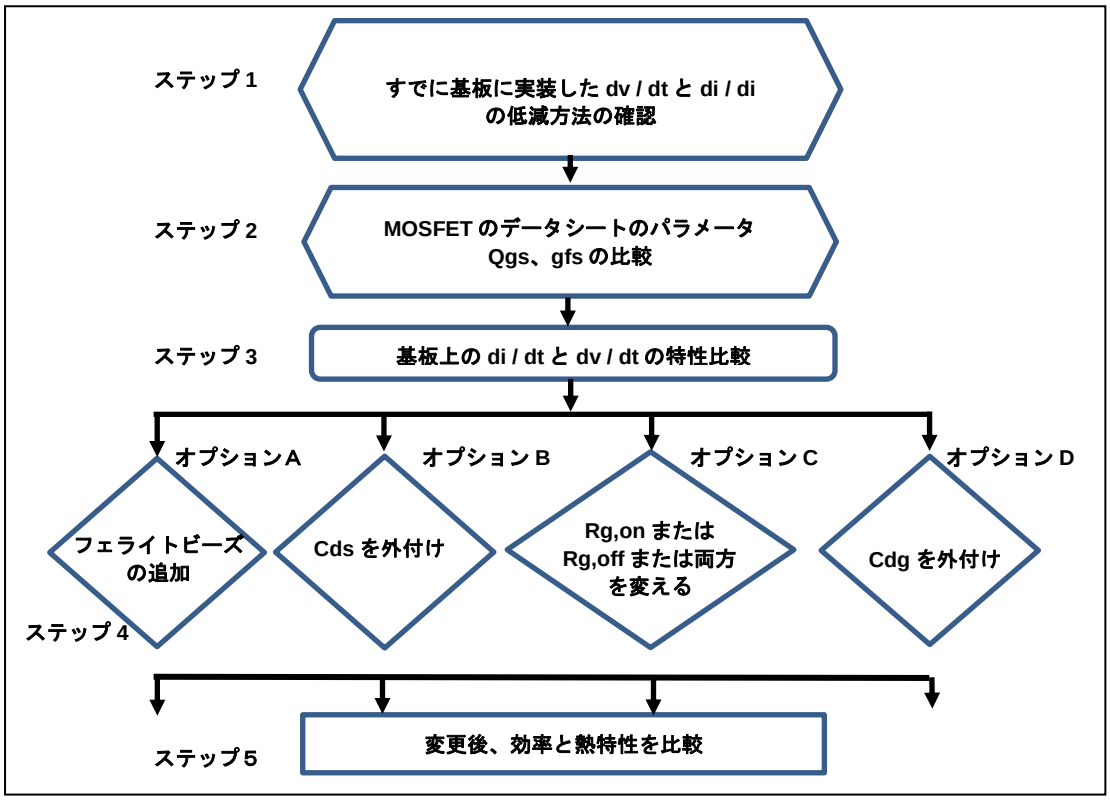


図 22　SJ を置き換えるためのフローチャート

C_{ds} を追加するオプションは、EMI の低減を考慮していません。ドレイン - ソース間電圧のスパイクが大きくなりすぎるなら、C_{ds} を外付けします。EMI 要件を満ために、R_g と外付け C_{gd} に頼ります。

ステップ 1：プリント回路基板上の確認に取り掛かります。前の例とは異なり、25W の充電用基板には、di / dt を減らすためにフェライトビーズを使いませんでした。

ステップ 2：デバイスのデータシートを比較します。

デバイスのデータシートを詳しく見てみると、図 23 に示すように、より大きな $R_{DS(on)}$とは別の重要な違いがありました。

Table 4 Static characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Drain-source breakdown voltage	$V_{(BR)DSS}$	700	-	-	V	V_{GS}=0V, I_D=1mA
Gate threshold voltage	$V_{GS(th)}$	2.5	3.0	3.5	V	V_{DS}=V_{GS}, I_D=0.15mA
Zero gate voltage drain current	I_{DSS}	- -	- 10	1 -	µA	V_{DS}=700V, V_{GS}=0V, T_j=25°C V_{DS}=700V, V_{GS}=0V, T_j=150°C
Gate-source leakage current	I_{GSS}	-	-	100	nA	V_{GS}=20V, V_{DS}=0V
Drain-source on-state resistance	$R_{DS(on)}$	- -	0.86 2.22	0.95 -	Ω	V_{GS}=10V, I_D=1.5A, T_j=25°C V_{GS}=10V, I_D=1.5A, T_j=150°C
Gate resistance	R_G	-	5.5	-	Ω	f=1MHz, open drain

Table 5 Dynamic characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Input capacitance	C_{iss}	-	328	-	pF	V_{GS}=0V, V_{DS}=100V, f=1MHz
Output capacitance	C_{oss}	-	23	-	pF	V_{GS}=0V, V_{DS}=100V, f=1MHz
Effective output capacitance, energy related[1]	$C_{o(er)}$	-	14	-	pF	V_{GS}=0V, V_{DS}=0...480V
Effective output capacitance, time related[2]	$C_{o(tr)}$	-	58.5	-	pF	I_D=constant, V_{GS}=0V, V_{DS}=0...480V
Turn-on delay time	$t_{d(on)}$	-	6.6	-	ns	V_{DD}=400V, V_{GS}=13V, I_D=2.2A, R_G=10.2Ω; see table 9
Rise time	t_r	-	5.2	-	ns	V_{DD}=400V, V_{GS}=13V, I_D=2.2A, R_G=10.2Ω; see table 9
Turn-off delay time	$t_{d(off)}$	-	41	-	ns	V_{DD}=400V, V_{GS}=13V, I_D=2.2A, R_G=10.2Ω; see table 9
Fall time	t_f	-	13.6	-	ns	V_{DD}=400V, V_{GS}=13 V, I_D=2.2A, R_G=10.2Ω; see table 9

Table 6 Gate charge characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Gate to source charge	Q_{gs}	-	1.8	-	nC	V_{DD}=480V, I_D=2.2A, V_{GS}=0 to 10V
Gate to drain charge	Q_{gd}	-	8	-	nC	V_{DD}=480V, I_D=2.2A, V_{GS}=0 to 10V
Gate charge total	Q_g	-	15.3	-	nC	V_{DD}=480V, I_D=2.2A, V_{GS}=0 to 10V
Gate plateau voltage	$V_{plateau}$	-	5.4	-	V	V_{DD}=480V, I_D=2.2A, V_{GS}=0 to 10V

Table 6 Static characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Drain-source breakdown voltage	$V_{(BR)DSS}$	650	-	-	V	V_{GS}=0 V, I_D=1.0 mA
Gate threshold voltage	$V_{GS(th)}$	2.5	3	3.5		V_{DS}=V_{GS}, I_D=0.21 mA
Zero gate voltage drain current	I_{DSS}	-	-	1	µA	V_{DS}=600 V, V_{GS}=0 V, T_j=25 °C
		-	10	-		V_{DS}=600 V, V_{GS}=0 V, T_j=150 °C
Gate-source leakage current	I_{GSS}	-	-	100	nA	V_{GS}=20 V, V_{DS}=0 V
Drain-source on-state resistance	$R_{DS(on)}$	-	0.54	0.6	Ω	V_{GS}=10 V, I_D=2.1 A, T_j=25 °C
		-	1.40	-		V_{GS}=10 V, I_D=2.1 A, T_j=150 °C
Gate resistance	R_G	-	17.5	-	Ω	f=1 MHz, open drain

Table 7 Dynamic characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
Input capacitance	C_{iss}	-	440	-	pF	V_{GS}=0 V, V_{DS}=100 V, f=1 MHz
Output capacitance	C_{oss}	-	30	-		
Effective output capacitance, energy related[1]	$C_{o(er)}$	-	21	-		V_{GS}=0 V, V_{DS}=0...480 V
Effective output capacitance, time related[2]	$C_{o(tr)}$	-	88	-		I_D=constant, V_{GS}=0 V V_{DS}=0...480V
Turn-on delay time	$t_{d(on)}$	-	12	-	ns	V_{DD}=400 V, V_{GS}=13 V, I_D=3.2A, R_G= 6.8 Ω (see table 20)
Rise time	t_r	-	9	-		
Turn-off delay time	$t_{d(off)}$	-	80	-		
Fall time	t_f	-	13	-		

1) $C_{o(er)}$ is a fixed capacitance that gives the same stored energy as C_{oss} while V_{DS} is rising from 0 to 80% $V_{(BR)DSS}$
2) $C_{o(tr)}$ is a fixed capacitance that gives the same charging time as C_{oss} while V_{DS} is rising from 0 to 80% $V_{(BR)DSS}$

Table 8 Gate charge characteristics

Parameter	Symbol	Values			Unit	Note / Test Condition
		Min.	Typ.	Max.		
IGate to source charge	Q_{gs}	-	2.75	-	nC	V_{DD}=480 V, I_D=3.2 A, V_{GS}=0 to 10 V
Gate to drain charge	Q_{gd}	-	12	-		
Gate charge total	Q_g	-	23	-		
Gate plateau voltage	$V_{plateau}$	-	5.5	-	V	

図 23 IPI70R950CE に集積された R_g と Q_g は、IPI65R600C6 に比べて、はるかに小さいので、IPI70R950CE は、非常に高速にスイッチングします。

ステップ 3：外付けの C_{ds} 、C_{gd} を追加し、R_g を大きくし、さらに、検討中のより大きな $R_{DS(on)}$ のデバイスにすると、効率が大幅に低下します。これらのオプションは、同じように小さい $R_{DS(on)}$ の MOSFET の間で実施可能な選択です。したがって、効率への影響を小さく保つために、ビーズ（L ビーズ）を追加し、1 次側のスナバコンデンサ（C_{snub}）の値を変えることによって、EMI の最適化が決まります。

ステップ 4 とステップ 5：検証。

図 24 は、IPI70R950CE と IPI65R600C6 のプラグアンドプレイの結果を示しています。

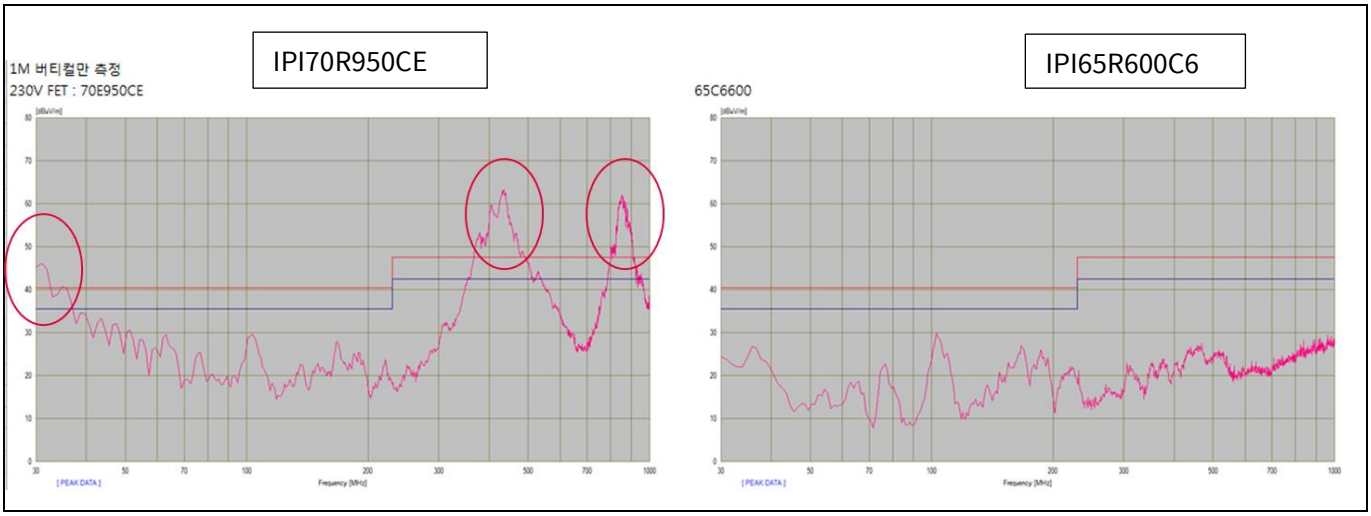


図 24　十分なマージンを持って EMI 要件を満たす IPI65R600C6 と比べると、IPI70R950CE は、明らかに放射 EMI の制限値を大幅に超えました

図 25 に示すように、2.2µH のビーズを追加し、スナバコンデンサを 45pF に大きくすると、EMI の目標は、CoolMOS™ CE でもうまく満たされました。

82pF のスナバコンデンサによって、より大きな安全マージンが得られましたが、この大きな容量による効率の低下は、許容できませんでした。したがって、効率と安全マージンとの間のトレードオフから、スナバコンデンサとして 47pF を使うことが適当です。

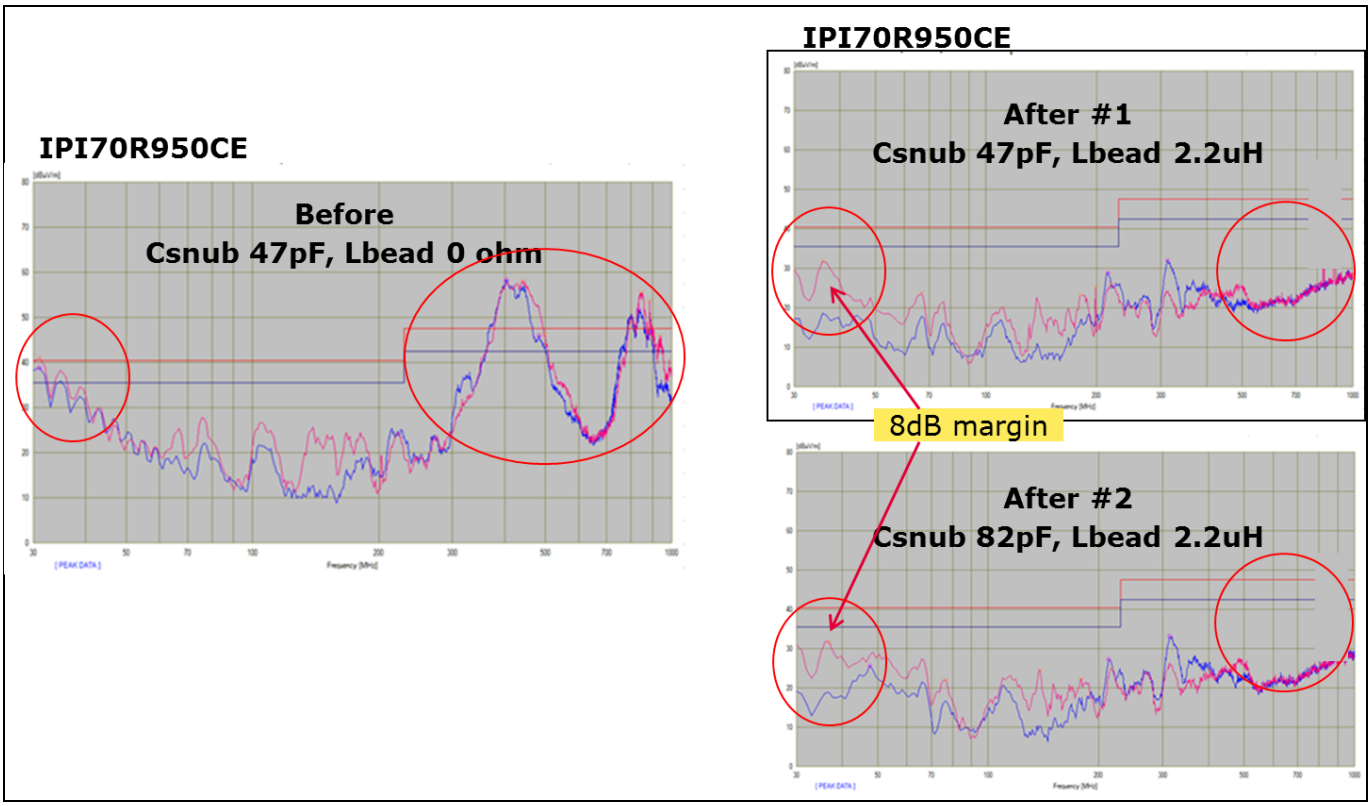


図 25　CoolMOS™ CE の IPI70R950CE は、MOSFET のドレインにビーズ（図 21 の L_{bead}）を追加し、スナバコンデンサ（図 21 の C_{snub}）の値を大きくすることで、EMI 要件を満たします

4.3　本来、CoolMOS™ CE に最適化された AC-DC SMPS の最適化：SMPS 設計は CoolMOS™ CE で始めました

理想的には、常に CoolMOS™ CE に最適化された AC-DC 設計から始めることが望まれます。設計段階でデバイスパラメータを考慮し、EMI フィルタ、プリント回路基板のレイアウト、トランスの設計が適切に実施されると、SJ ベースの CoolMOS™ CE の効率の利点がはっきりします。

CoolMOS™ CE での設計に対するフローチャートは次のようになります：

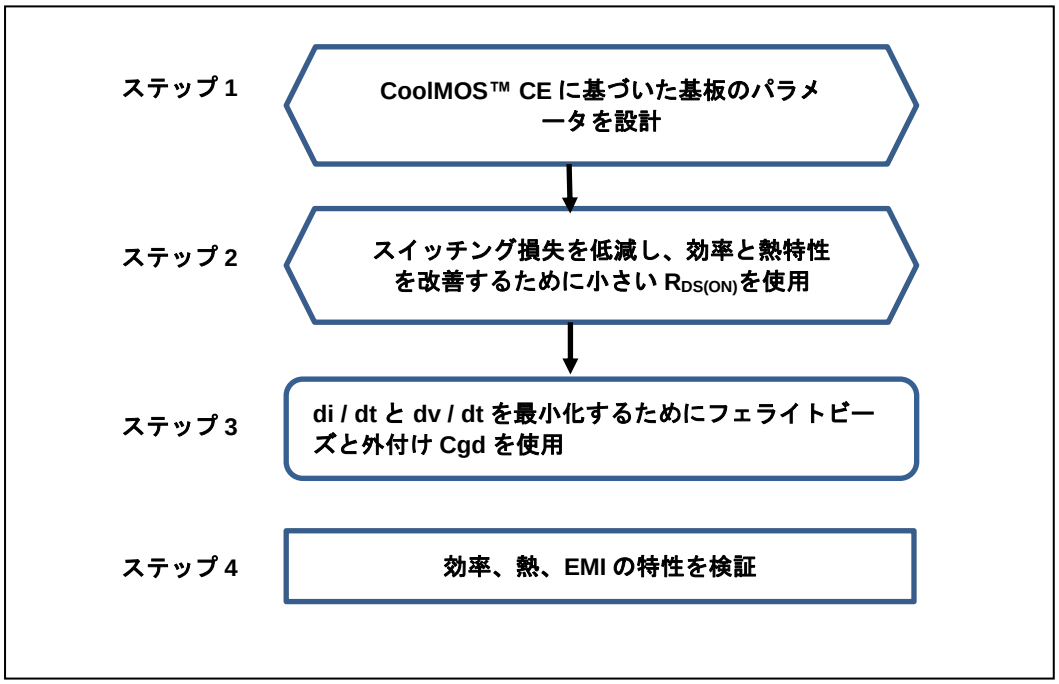


図 26　CoolMOS™ CE での設計

IPD60R460CE をテストするには、110W の LED（発光ダイオード）ドライバのデモボードが使えます。設計のガイドラインは、http://WWW.infineon.com/dgdl/Infineon-ICL5101-AN-v02_02 EN.pdf？fileId = 5546d462503812bb015046008b145ff7 にあります。

伝導 EMI および放射 EMI の測定結果が図 27 です。

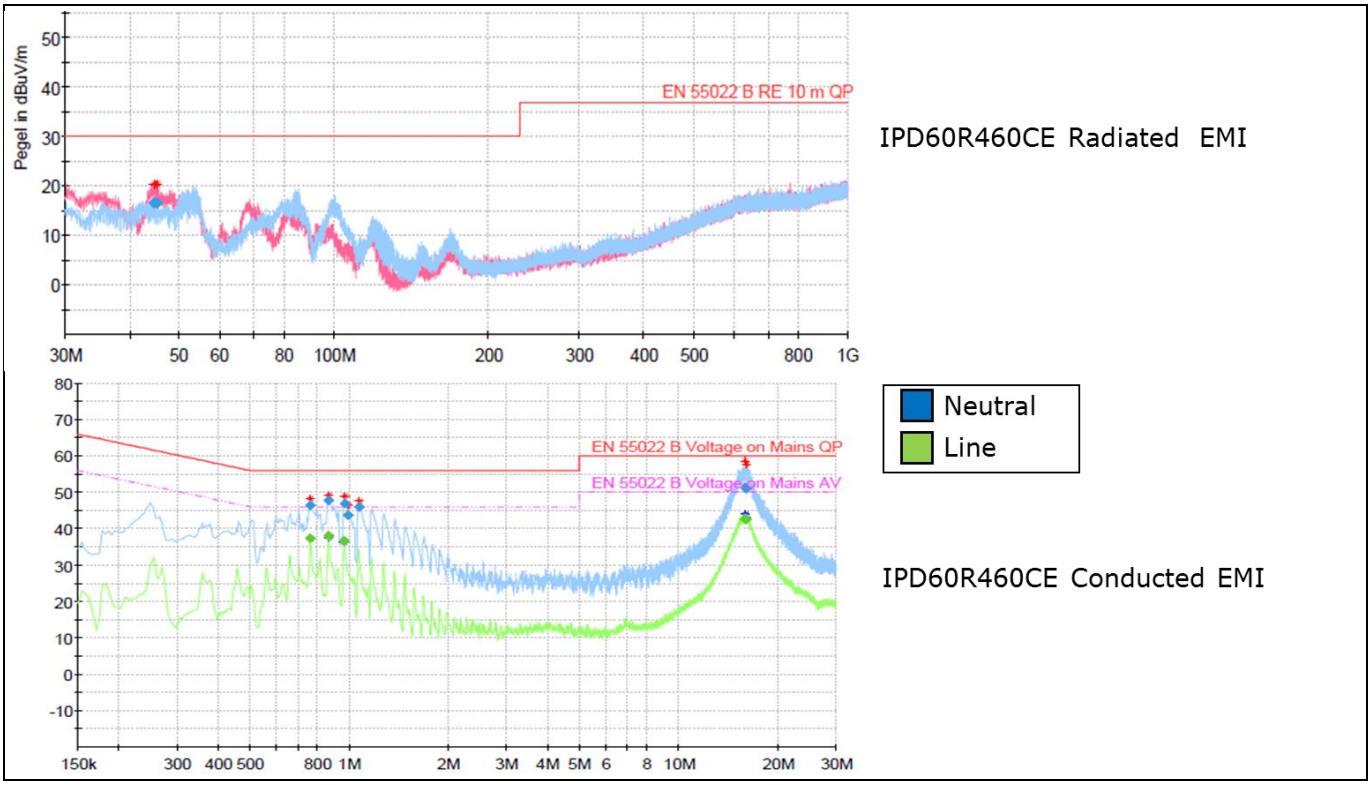


図 27　設計開始から 110W のデモボードが CoolMOS™ CE に最適化されている場合、CoolMOS™ CE は、十分なマージンと高い効率（90%以上）で QP の伝導と放射の EMI 要件を満たすことができます

5 CoolMOS™ CE 利用時の EMI 低減のまとめ

CoolMOS™ CE で標準 MOSFET を置き換えるとき、高速スイッチングの CoolMOS™ CE の di / dt と dv / dt を低減するための全体的なまとめを図 28 に示します。

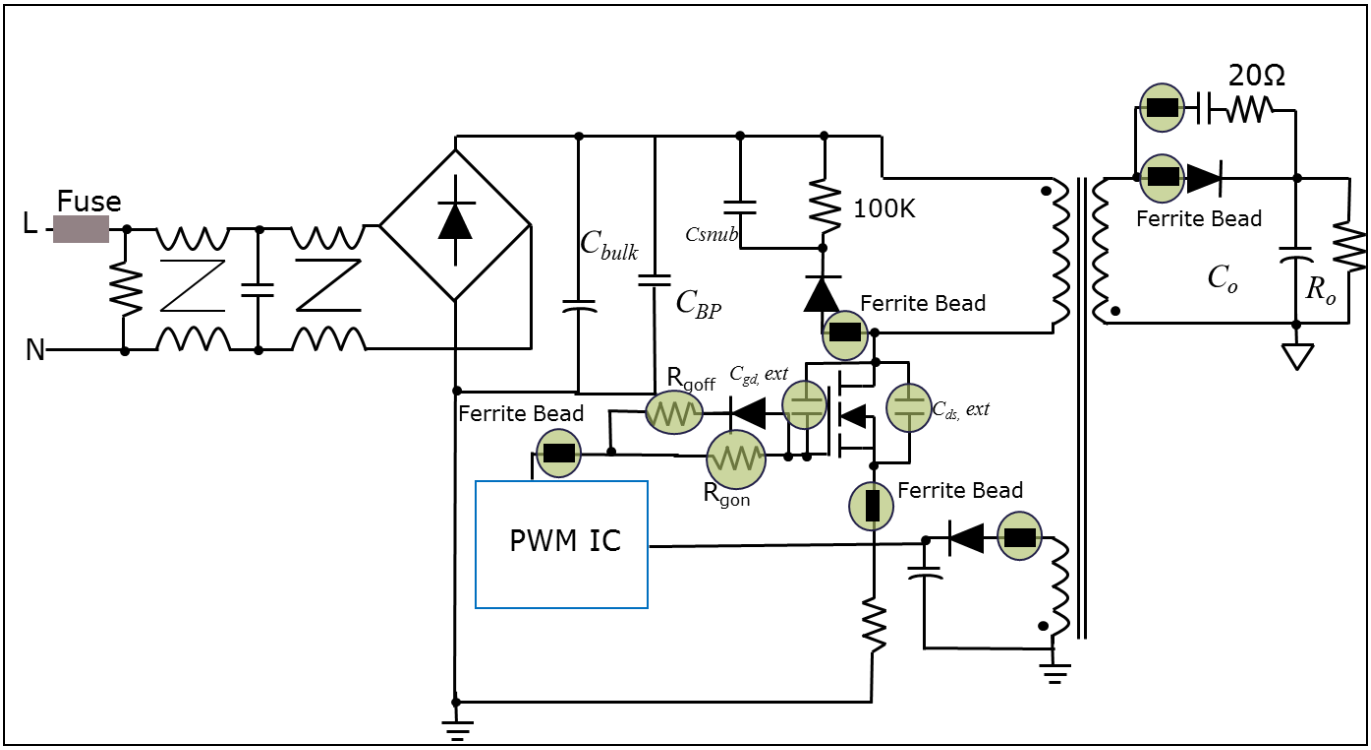


図 28　CoolMOS™ CE における di / dt と dv / dt の低減技術のまとめ

選択の優先順位と、その効率と温度上昇への影響が下表です：

オプション	パラメータ	標準値	全体の効率	推奨回路構成	MOSFET の温度	コスト
オプション A	フェライトビーズの追加	1.2µH ～ 4.7µH	同等に維持	固定周波数と QR フライバック	同等に維持	各+0.01 米ドル
オプション B	C_{ds} を外付け	最大 100pF	0.1%以下の低下	固定周波数と QR フライバック	2℃以下の上昇	+0.005 米ドル
オプション C	C_{gd} を外付け	最大 22pF	0.2%以下の低下以下	固定周波数と QR フライバック	5℃以下の上昇	+0.005 米ドル
オプション D	$R_{g,on}$ を大きくする	最大 10Ω* 最大 250Ω**	0.5%以下の低下	QR フライバック	10℃以下の上昇	0

*：固定周波数のフライバックに推奨します。
**：擬似共振スイッチドフライバック／可変周波数フライバックに推奨します。

このアプリケーションノートでは、主に MOSFET 関連パラメータの変更に焦点を当てていました。しかし、EMI を低減するためのシステムアプローチも実施できます。これは、MOSFET の変更に直接関係しないかもしれませんが、EMI の低減に役立ちます。次のセクションでは、システム関連のいくつかの変更について説明します。

6 システム関連の EMI の最適化

6.1 オプション A：フライバック電源において di / dt と dv / dt を低減するためのレイアウト方法

プリント回路基板の最適なレイアウトも EMI 要件を満たす上で重要な役割を果たします。すべての di / dt ループを減らすように注意する必要があります。接続は、可能な限り最短の経路にしなければなりません。図 1、2、3 に示すようなスイッチングループ領域は、最小限に抑えるべきです。次のような回路基板の意図しないアンテナを減らしてください：

1. 長いトレース：トレースを可能な限り短くします。
2. ビア：シールドされたビアを使用します。
3. 部品のリードとピン：短いリードで浮遊インダクタンスを低減します。
4. 電圧の変動があると判断された電源と接地の間にデカップリングコンデンサを配置します。
5. 電源プレーンは、プリント回路基板の端から裏返さなければなりません。
6. グランドプレーンまたは電源プレーンの中でトレースが切断しないようにします。これは、意図しないすき間を形成する可能性があります。
7. 順方向電流と戻り電流の両方が、明確に規定された導電経路上にある任意の経路を取り囲むループアンテナにならないようにしてください。

6.2 オプション B：シャーシ接地ではなく、バルクコンデンサの戻りを入力するためのヒートシンク接地

コモンモードノイズと放射雑音を低減するには、ヒートシンクをプリント回路基板の接地／入力バルクコンデンサの戻りに接地します。

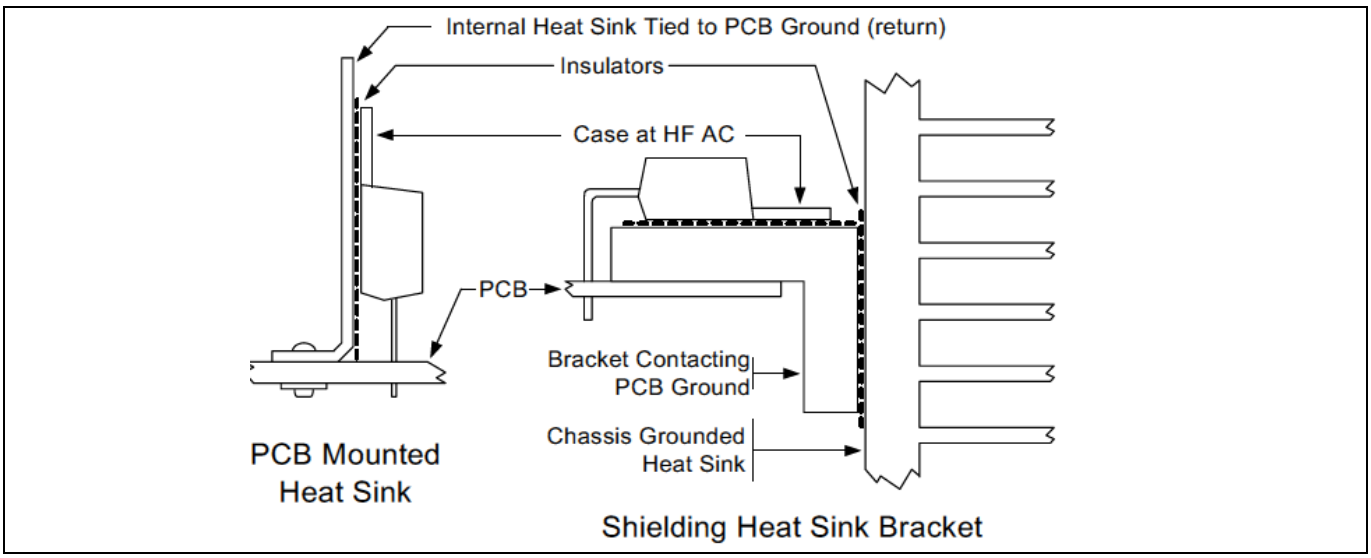


図 29　容量結合の雑音をシャーシ接地ではなく、回路のコモンに導く 2 種類のヒートシンク構成

6.3 オプション C：Y コンデンサ

図 3 に示すように、フライバックトランスに寄生の巻線容量があることは別として、実際のトランスも、1 次巻線と 2 次巻線との間に浮遊容量があります。この容量は、コンバータのスイッチング動作と相互作用します。入力と出力の間に他の接続がないので、入力と出力との間に高周波電圧が生じます。電源からのケーブルは今、スイッチングプロセスによって生成された高周波を送信するアンテナとして動作しています。

高周波のコモンモードを抑制するには、電源の入力側と出力側との間に、フライバックトランスの容量よりも実質的に大きい容量のコンデンサを配置する必要があります。これによって、高周波を効果的に短絡し、電源から逃げることを防ぎます。

充電器などのクラス 2（接地していない）電源を設計する場合、これらのコンデンサを入力の「ライブ」および／または「ニュートラル」に接続する以外に方法はありません。しかし、これらのコンデンサの短絡故障は深刻な問題です。アダプタなどのクラス 1 の電源では、主電源と主接地との間のコンデンサの故障は、接地に短絡することを意味します（「基本的な」絶縁故障に相当）。クラス 2 の電源装置では、コンデンサの故障は、さらに厄介です。これは、ユーザーに直接的かつ重大な安全上の危険をもたらします（「2 重」絶縁または「強化」絶縁の故障に相当）。ユーザーへの危険を防ぐために、短絡の故障が起こりにくいように、コンデンサを設計しなければなりません。

したがって、トランスの寄生容量による雑音電圧を絶縁する目的で、特別なコンデンサが必要になります。これらのコンデンサは、「Y コンデンサ」として知られています（一方、X コンデンサは、メインライブとメインニュートラルとの間で使われます）。「Y コンデンサ」には、主に「Y1」と「Y2」の 2 種類があります（Y1 は定格がより大きいタイプです）。一般に、Y1 コンデンサは、充電器で使われ、Y2 コンデンサはアダプタで使われます。

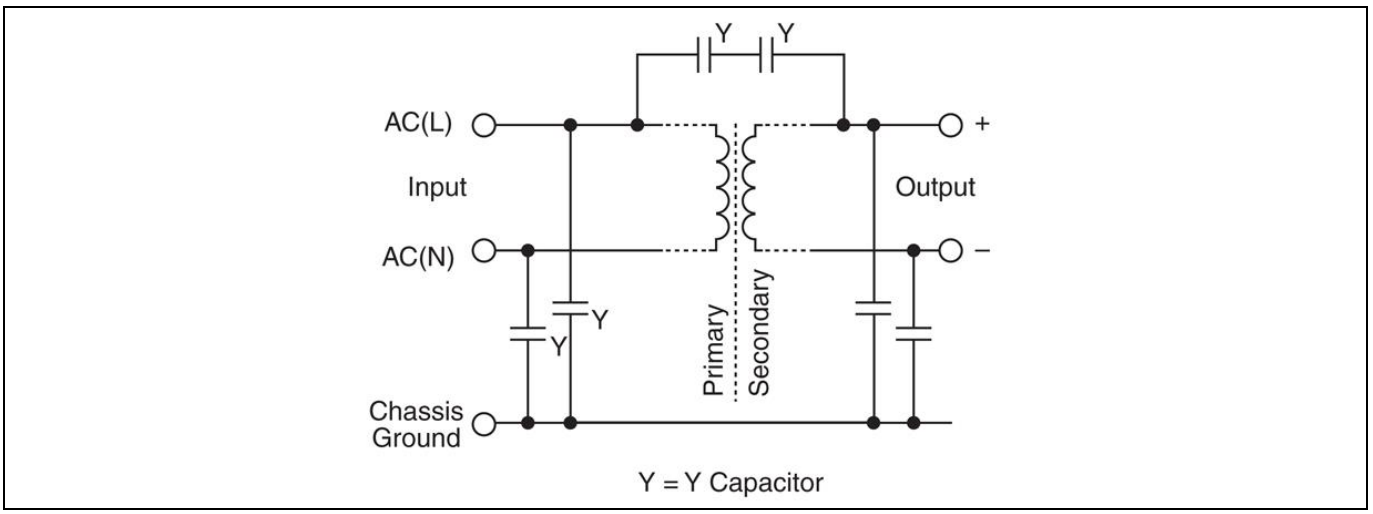


図 30　トランスの寄生容量による雑音を制限するために Y コンデンサを使用。

6.4 オプション D：トランスのシールド

トランスは、1 次巻線と 2 次次巻線との間にファラデーシールドまたは銅箔を配置して設計されています。これらのシールドは、雑音電圧がそれぞれの接地に安全に戻されることを確実にするために、1 次側の接地と 2 次側の接地に接続されています。詳細は、参考文献のアプリケーションノート 3 と 4 をご覧ください。

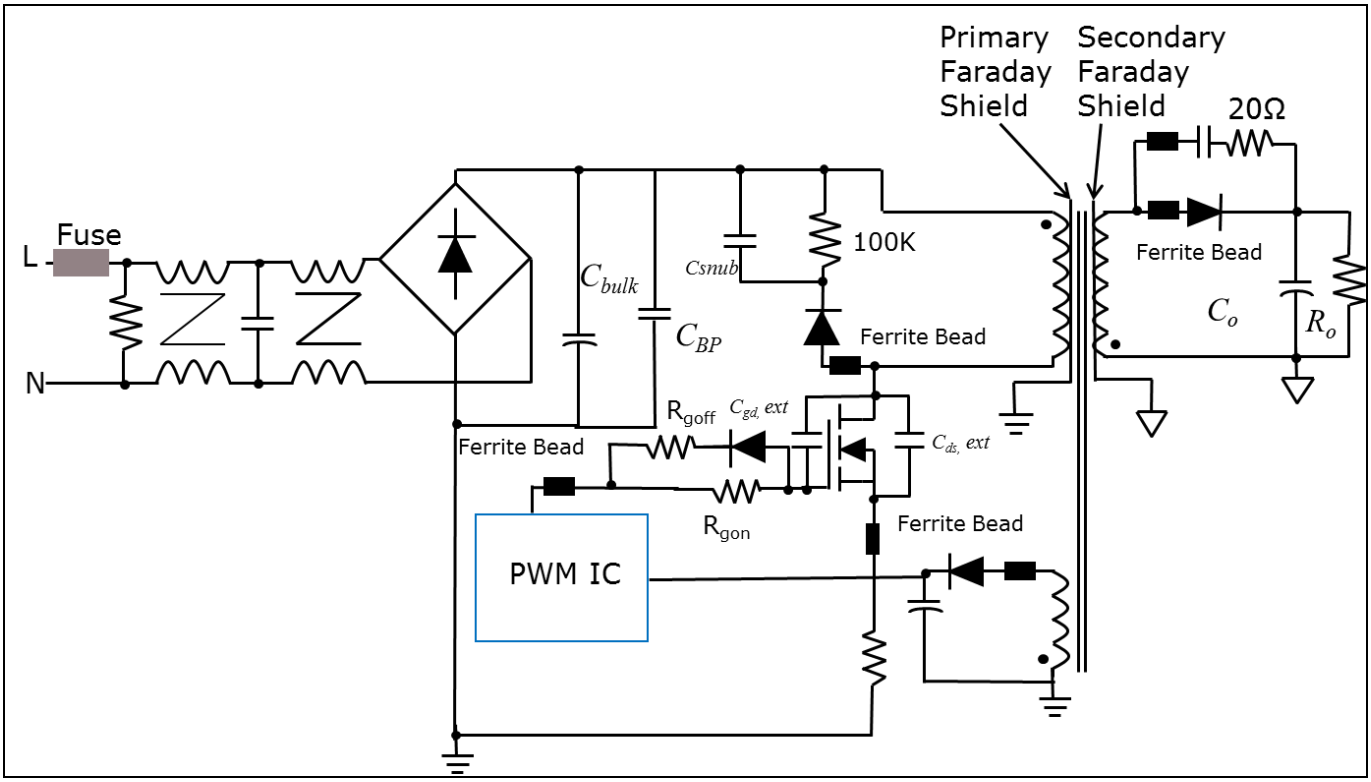


図 31　1 次側と 2 次側との間の寄生容量によって結合した雑音を最小化するためにシールドしたトランス

6.5　オプション E：周波数変調を備えた可変周波数 PWM コントローラ

このアプリケーションノートで前述した技術とは別に、周波数とデューティ比（D）が一定の矩形波で制御されるフライバックコンバータの場合、EMI を低減する従来の技術では、受動フィルタを使って構成します。これは、サイズ、重さ、設計の複雑さ、効率、コストなどの制限があります。フィルタソリューションで直面する問題を克服するために、最新の可変周波数（VF）の EMI 低減技術が利用できます。インタリーブ技術は、供給される全電力を等しく共有するために使われます。VF スペクトラム拡散信号の一般的な考え方を図 32 に示します。図 32 の（a）と（b）でスペクトラム分布は異なりますが、いずれも全エネルギーは同じです。ただし、ピークレベルは、図 32（b）の方が小さくなっています。スイッチング周波数変調（SFM ：switching frequency modulation）は、SMPS の EMI を低減する有効な方法です。この技術は、元のスペクトラム拡散クロック発生（SSCG：spread-spectrum clock generation）技術に基づいています。SFM を使うと、EMI の高調波の振幅低減と、より小さな振幅の付加的な側波帯高調波のセットの発生との間にトレードオフがあります。

SMPS の PWM スペクトラム拡散制御の原理を以下に説明します：

f = fs +Δf、ここで、fs は PWM スイッチの基準周波数、Δf は、スペクトラム拡散信号の時間領域の特性に従って周波数を変化させる付加的なスペクトラム拡散信号の周波数です。

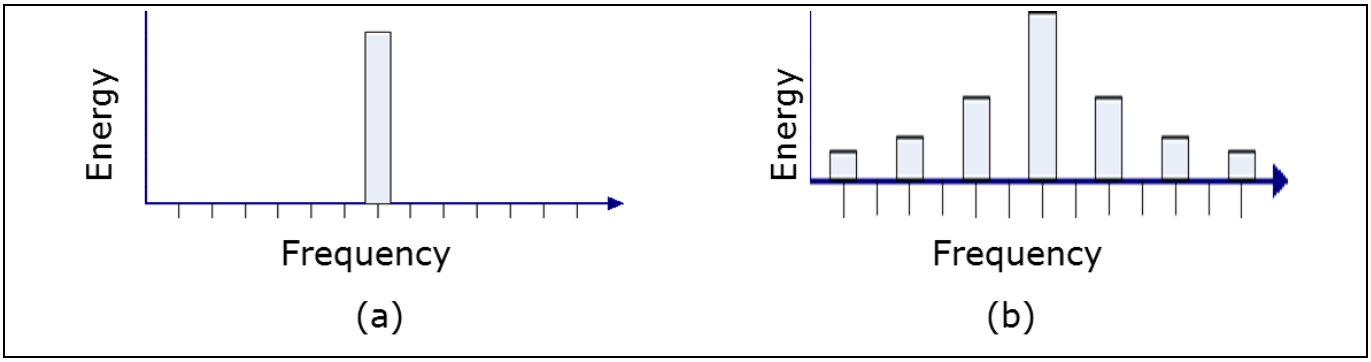


図 32　可変周波数 PWM コントローラを用いたスペクトラム拡散周波数の発生

この非線形制御の設計手法の利点は、回路が単純なことです。すなわち、多くの IC メーカーの基本的な SMPS 制御回路でさえ、少数の受動部品を追加するだけで使うことができます。この手法の主な欠点は、すべての場合のスペクトラム拡散の動作と全体的なシステムの安定性を確実なものにするために、設計者がすべての負荷条件とパラメータ変動での回路特性を慎重に検討しなければならないことです。

インフィニオンは、コントローラレベルで EMI を低減するために、このような周波数変調技術を採用する ICE3XSO3 など、多くの PWM コントローラを用意しています。

7 結論

標準 MOSFET または SJ MOSFET を新しい CoolMOS™ CE MOSFET に置き換えるとき、効率を向上させるか、コストを最適化するために、CoolMOS™ CE MOSFET のスイッチングパラメータに関して注意する必要があります。このスイッチング特性の違いは、EMI テストに注目し、このアプリケーションノートで説明した技術が EMI 要件を安全に満たすために必要とされることがよくあります。
CoolMOS™ CE デバイスを使うときの効率と熱特性の大きな改善は、このアプリケーションノートで説明した CoolMOS™ CE の駆動に使われる周辺部品の変更によって、EMI に対する大きな安全マージンの必要性を低減できることがよくあります。電源設計者は、最適なトレードオフを見つけ、CoolMOS™ CE の利点を効果的に享受することになります。

CoolMOS™ CE の di / dt と dv / dt を低減することとは別に、設計者は、プリント回路基板のレイアウトを最適化するシステムソリューションのアプローチ、適切な接地の仕方で Y コンデンサを使う方法、スイッチングトランスを適切な接地でシールドする方法、ヒートシンクの接地の仕方、周波数変調オプションを含む可変周波数の PWM コントローラの利用法も紹介しました。

システムソリューションのアプローチで EMI 要件を満たすことは、CoolMOS™ CE を使うと、充電器やアダプタの効率を高められる可能性があります。

このアプリケーションノートの測定セクション、および CoolMOS™ CE を使った一般的なアプリケーションの基板における EMI 検証に有益な貢献をしてくれた Gary Chang（インフィニオン　台湾）と Tommy Lee（インフィニオン　韓国）に感謝します。

8 参考文献

1. CoolMOS™ C6 – Mastering the Art of Slowness
   http://WWW.infineon.com/dgdl/Infineon+-+Application+Note+-+PowerMOSFETs+-+600V+CoolMOS%E2%84%A2+-+C6+-+Mastering+the+Art+of+Slowness.pdf?fileId=db3a3043271faefd0127903d130171e1

2. CoolMOS™ C7 - Mastering the Art of Quickness
   http://WWW.infineon.com/dgdl/Infineon+-+Application+Note+-+650V+CoolMOS+C7+-+Mastering+the+Art+of+Quickness.pdf?fileId=db3a30433e5a5024013e6a966779640b

3. Transformer construction techniques
   http://WWW.infineon.com/dgdl/an-1024.pdf?fileId=5546d462533600a401535591115e0f6d

4. HoW to design SMPS to Pass Common Mode Lightning Surge Test
   http://WWW.infineon.com/dgdl/AN-PS0001+Lightning+test.pdf?fileId=db3a304412b407950112b4182a8224f9

改訂履歴

最終版以降の主な変更

ページまたは参照	変更内容

Trademarks of Infineon Technologies AG
AURIX™, C166™, CanPAK™, CIPOS™, CoolGaN™, CoolMOS™, CoolSET™, CoolSiC™, CORECONTROL™, CROSSAVE™, DAVE™, DI-POL™, DrBlade™, EasyPIM™, EconoBRIDGE™, EconoDUAL™, EconoPACK™, EconoPIM™, EiceDRIVER™, eupec™, FCOS™, HITFET™, HybridPACK™, Infineon™, ISOFACE™, IsoPACK™, i-Wafer™, MIPAQ™, ModSTACK™, my-d™, NovalithIC™, OmniTune™, OPTIGA™, OptiMOS™, ORIGA™, POWERCODE™, PRIMARION™, PrimePACK™, PrimeSTACK™, PROFET™, PRO-SIL™, RASIC™, REAL3™, ReverSave™, SatRIC™, SIEGET™, SIPMOS™, SmartLEWIS™, SOLID FLASH™, SPOC™, TEMPFET™, thinQ!™, TRENCHSTOP™, TriCore™.

Trademarks updated August 2015

Other Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2016-10-04

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2018 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference
AN_201610_PL52_001

IMPORTANT NOTICE

The information contained in this application note is given as a hint for the implementation of the product only and shall in no event be regarded as a description or Warranty of a certain functionality, condition or quality of the product. Before implementation of the product, the recipient of this application note must verify any function and other technical information given herein in the real application. Infineon Technologies hereby disclaims any and all Warranties and liabilities of any kind (including Without limitation Warranties of non-infringement of intellectual property rights of any third party) With respect to any and all information given in this application note.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document With respect to such application.

For further information on the product, technology, delivery terms and conditions and prices please contact your nearest Infineon Technologies office (**WWW.infineon.com**).

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a Written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications Where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.