600V CoolMOS™ P7

インフィニオンの最もバランスのとれた高耐圧MOSFET技術

著者：Alois Steiner

このアプリケーションノートについて

対象と目的

このアプリケーションノートでは、インフィニオンの最新の高耐圧（HV）スーパージャンクション（SJ）MOSFET 技術、すなわち、新しい耐圧 600V の CoolMOS™ P7 について説明します。600V CoolMOS™ P7 の電気的特性は、導通損失が小さく、スイッチングが高速な SJ MOSFET のすべての利点を備えた上で、発振傾向（発振の可能性）を低く保ち、使いやすくなっています。アセンブリ中の不具合を避けるために、600V P7 は、すべての製品で、2kV（HBM：人体モデル）を超える ESD（静電気放電）耐性を実現しています。この機能によって、設計技術者は、高効率、高電力密度、高いレベルの耐久性、素晴らしい温度特性を備えたパワーコンバータを簡単に設計できます。CoolMOS™ P7 は、600V CoolMOS™ P6 に代わる費用対効果の優れたソリューションであり、PFC（力率改善）や LLC などのハードスイッチング構成やソフトスイッチング構成に適しています。

このアプリケーションノートの目的は、600V P7 の技術的利点を、600V CoolMOS™ P6 や競合デバイスと比べて、特性データや実際の測定結果に基づいて説明することです。

最後に、デザインインの簡単なガイドラインは、標準的なハードスイッチングの SMPS（スイッチング電源）構成や、標準的なソフトスイッチング LLC SMPS 構成向けの 600V CoolMOS™ P7 による迅速なデザインインのための要約になります。

・対象読者

このアプリケーションノートは、高耐圧の電力変換アプリケーションを改良したい設計技術者を対象にしています。

目次

このアプリケーションノートについて 1
目次
. 2
1 序論 3
1.1 ターゲットアプリケーション 3
1.2 特徴と利点 3
1.3 SJ の原理 4
2 600V CoolMOS™ P6、600V CoolMOS™ P7、および競合品の技術パラメータの比較 7
2.1 技術の概要 7
2.2 低 Q_G、Q_{GD} 8
2.3 調整された C_{OSS} 曲線 9
2.4 スムーズな高速スイッチング遷移（dv / dt） 10
2.5 低 E_{oss} 11
2.6 調整された Q_{oss} 14
2.7 ターンオン時とターンオフ時の低損失 16
2.8 内蔵ゲート抵抗 17
2.9 ESD 保護 18
2.10 丈夫なボディダイオード 18
2.10.1 いつ、丈夫なボディダイオードが必要か？ 18
2.10.2 ボディダイオードの耐久性をテストする方法は？ 20
2.10.3 600V CoolMOS™ P7 のボディダイオードの優れた耐久性 21
2.11 小さい単位面積当たりのオン抵抗 $R_{DS(on)}$ 24
3 実験結果 25
3.1 標準的な 500W の CCM PFC における効率の比較 25
3.2 600W の共振型 LLC ハーフブリッジにおける効率の比較 25
3.3 ユーザーの実際の 240 W のパソコン用「シルバーボックス」での効率比較 26
3.4 ユーザーの実際のパソコン用 240W「シルバーボックス」のブラウンアウトテスト 27
3.5 リンギング 28
4 設計のガイドライン 31
4.1 最小の外部ゲート抵抗（$R_{g,ext}$） 31
4.2 600V P7 の並列化 31
5 ポートフォリオ 32
6 結論 34
7 略語のリスト 35
8 利用可能な資料とリンク 36
9 参考文献 37
10 改訂履歴 38

1 序論

このアプリケーションノートでは、インフィニオンの最新の高耐圧（HV）スーパージャンクション（SJ） MOSFET 技術である耐圧 600V の CoolMOS™ P7 の特性について説明します。この技術は、「使いやすさ」（ESD（静電気放電）に対する耐性、発振傾向（発振の可能性）が非常に低いこと、激しい転流による破壊に対して非常に丈夫なボディダイオードを搭載していることなどの要求に対する扱いやすさ、またはデザインインの容易さ）と共に、アプリケーションにおいて達成できる効率を大幅に向上させます。各種のアプリケーションで魅力的な費用対効果のソリューションを提供しています。

1.1 ターゲットアプリケーション

前述したように、600V CoolMOS™ P7 は、汎用性があり、PFC（力率改善）や LLC などのハードスイッチング構成やソフトスイッチング構成に適しています。コスト上の理由から、特に、600V CoolMOS™ P7 が搭載されるコスト重視の市場では、この機能が大きな利点となります。

表 1 ターゲットアプリケーション

アプリケーション	PFC	PWM（パルス幅変調）
サーバー	昇圧段	LLC
テレコム	昇圧段	LLC
パソコン用電源	昇圧段	TTF（two transistors forward）
		LLC
テレビ	昇圧段	LLC

1.2 特徴と利点

600V CoolMOS™ P7 は、600V CoolMOS™ C7 をベースにした MOSFET シリコン改良の次世代製品です。C7 は、PFC や LLC（ゼロボルトスイッチング ZVS を維持するための共振タンクを備えた DC-DC 段）のような高耐圧 DC-DC 段など、すべてのターゲットアプリケーションにおいて最高の効率を実現するために、スイッチング特性を向上させるという戦略を引き継いでいます。P7 では、この高速スイッチング動作と、「使いやすさ」の要件のバランスをとっているので、プラグアンドプレイの場面でさえも、迅速かつ簡単な設計が可能になります。

このプラグアンドプレイ場面は、テレビ市場やパソコン電源市場などの民生用市場で、より一般的です。65 インチ（1 インチは 2.54cm）のテレビの標準的な基板では、プリント回路基板に十分なスペースがありますが、コストを節約するために、PFC 段と LLC 段を制御するためのコンボ IC（PWM+PFC）が広く使われています。このコンボ IC を 2 つの段の間に配置することによって、MOSFET までの距離に関する妥協が生じます。この結果、プリント回路基板レイアウトの寄生のインダクタンスや容量が大きくなり、発振を引き起こす臨界レベルに近づきます（例えば、MOSFET のゲートなど）。

アプリケーション設計者が制御できるようにしておくためには、発振の影響を過度に受けないデバイスを選ばなければなりません。LLC 段で使う場合、MOSFET は、いかなる損傷もなく、ボディダイオードで激しい転流を処理できなければなりません。この例から、「使いやすさ」の要件が重要であることは明らかです。一方、テレビ市場では、ますます電力密度に重点が置かれるようになってきているので、冷却領域をより小さくしたり、表面実装デバイス（SMD）に移行したりするためには、効率を高めなければなりません。

このように、600V CoolMOS™ P7 の最適化を実現し、非常に高い効率と、オン抵抗 $R_{DS(on)}$が最も低いレベルの SMD デバイスを提供できることとの組み合わせによって「使いやすさ」を実現しています。

表 2　特徴と利点

製品の特徴	ユーザーの利点
最適化された内蔵 R_g P7 は、発振の可能性が低く、低損失になるように設計されています	外付け部品を使ってスイッチング動作を制御することで、使いやすさと効率のバランスを簡単にとれます
適切な場所に ESD ダイオードを内蔵 P7 は、すべての製品で 2 kV（HBM）以上の ESD 耐性を備えています	ユーザーの製造環境における高品質を確保できます
丈夫なボディダイオード P7 は、激しい転流への耐性が優れています	PSU（すなわち、PFC 回路と LLC 回路）内のハードスイッチング構成とソフトスイッチング構成の両方に適した同じ部品
挿入実装と SMD の両方のパッケージを含む幅広い $R_{DS(ON)}$のポートフォリオ	民生用途と産業用途の両方の各種のアプリケーションに適しています
特性／使いやすさ／価格のバランスが優れています	民生用途と産業用途の両方の各種のアプリケーションに適しています

1.3　SJ の原理

従来の HV MOSFET（図 1）の場合、ドレインのドリフト領域の電圧ブロッキング能力は、厚いエピタキシャル領域と軽いドーピングの組み合わせによって実現されています。デバイス抵抗の約 95%がドレイン領域にあることになりますが、これは低耐圧（LV）トランジスタに使うアプローチ（より小さいセルピッチのトレンチ（溝）セル）では改善することはできません。トランジスタの抵抗の約 30%だけがドレインのドリフト領域にあるからです。

所定のブロッキング電圧を得るためにドーピングプロファイルを最適化した従来のエピタキシャルドリフト領域の固有抵抗は、従来、HV MOSFET の特性向上の障壁となっていた「シリコン理論限界線」として図 2 に示されています。Chen 氏と Hu 氏は、1980 年代後半に、この限界線を理論的に導きました[1]。MOSFET の設計と物理学のこの側面は、独シーメンス社（現在のインフィニオン）によって最初に市販された SJ MOSFET である CoolMOS™ の製品化まで、達成可能な特性を制限していました[2], [3]。

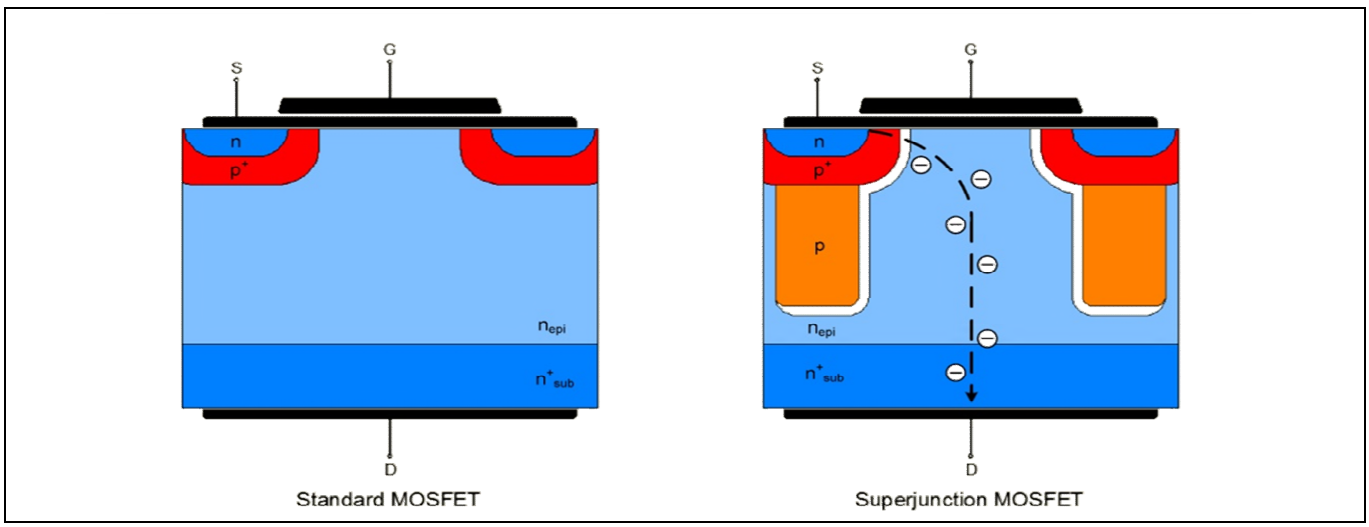


図 1　従来の HV プレーナ型 MOSFET と SJ MOSFET の概略図

1999 年、CoolMOS™ に SJ の概念を採用した新しいドレイン構造が初めて採用されました（図 1）。このトランジスタ設計には、2 つの重要な原理が採用されています。第 1 は、主電流経路は、従来の HV MOSFET よりもはるかに高濃度にドープされていることです。これによって、オン抵抗が下がります。しかし、セル構造の下に電荷補償構造を形成する p 型カラムがなければ、トランジスタは、高濃度にドープされた n 型領域によって、より低いブロッキング電圧になってしまいます。 正確に寸法が決められドープされた p 型カラムは、「補償構造」を構成します。これは、高濃度にドープされた電流経路のバランスをとり、高いブロッキング電圧を支える正味のゼロ電荷の空間電荷領域をサポートします。

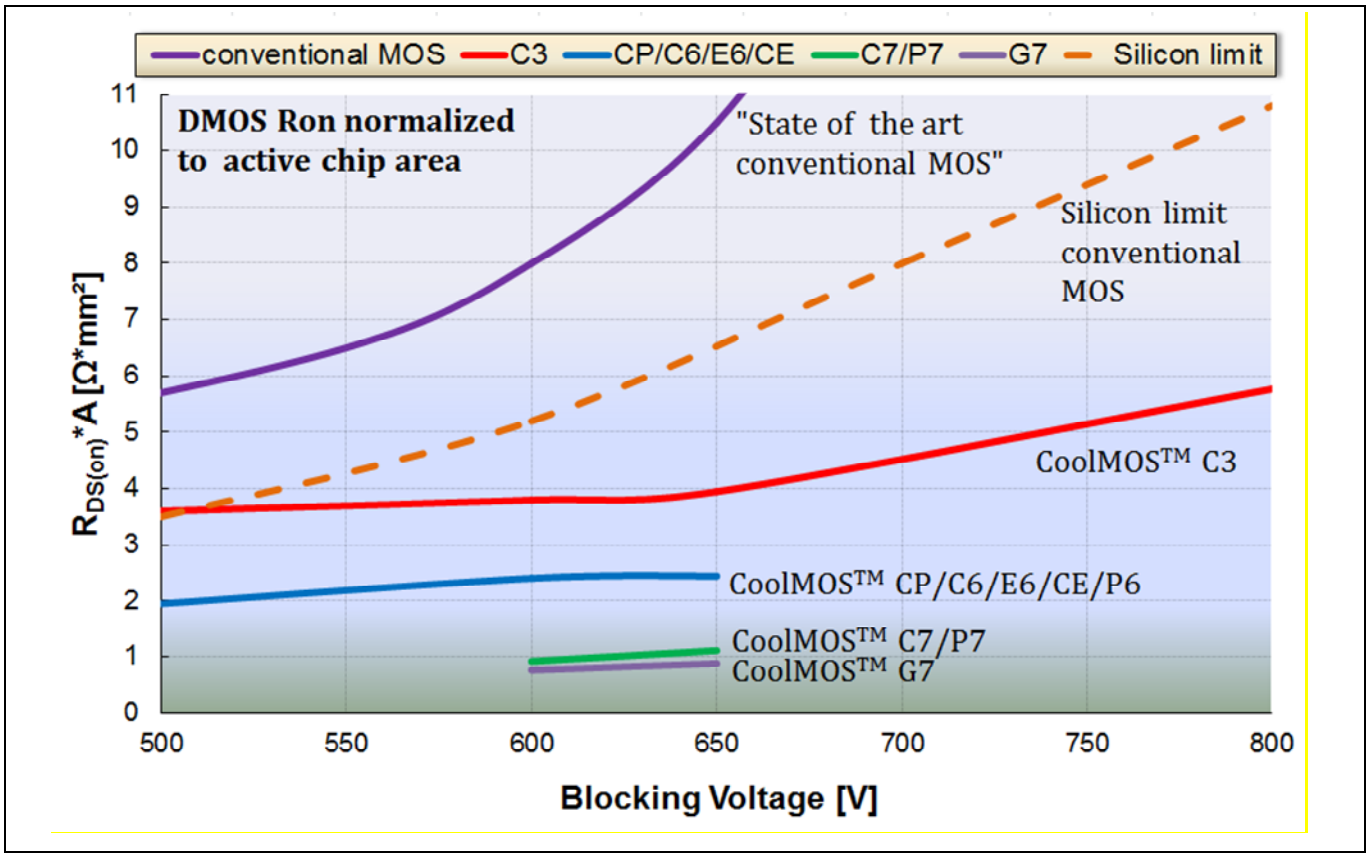


図 2　従来の MOS と CoolMOS™ の各世代におけるブロッキング電圧対単位面積当たりのオン抵抗（面積×$R_{DS(on)}$）、およびシリコン限界線

この構造によって、単位面積当たりのオン抵抗（面積とオン抵抗の積）の低減が可能になり、明らかに導通損失にメリットをもたらします。すなわち、第 1 世代 CoolMOS™ 技術におけるチップ面積の著しい縮小は、容量を小さくすると共に、動的損失も低減します。SJ 技術は、シリコン限界線（図 2）を「突破する」ことができ、CoolMOS™ P7 において、さらに細かいピッチの新世代にすることで、損失をあらゆる面で一段と改善できました [4],[5]。

この MOSFET 技術のアプローチは今、600V CoolMOS™ P7 の開発によって、さらに拡張され、標準的な特性オン特性 $R_{DS(on)}$ を 1Ω* mm² レベル以下に低減しています。これは、いくつかのセル形状の考察と合わせて、すべてのデバイス容量を低減し、次章で説明するように、スイッチング関連の性能指数 FOM（figure of merit）や、アプリケーションの性能にかかわる特性を大幅に向上します[5]。

図 3 の概略図は、P6（図の左）と P7（図の右）のセルの断面と補償構造の比較です。この構造は、製造上の大きな課題となり、CoolMOS™ のこの世代に対する新しいアプローチを開発するときに、イン

フィニオンの多くの分野のプロセス技術に関する経験を結集し、以下に説明する大きな技術的利点をもたらしました。

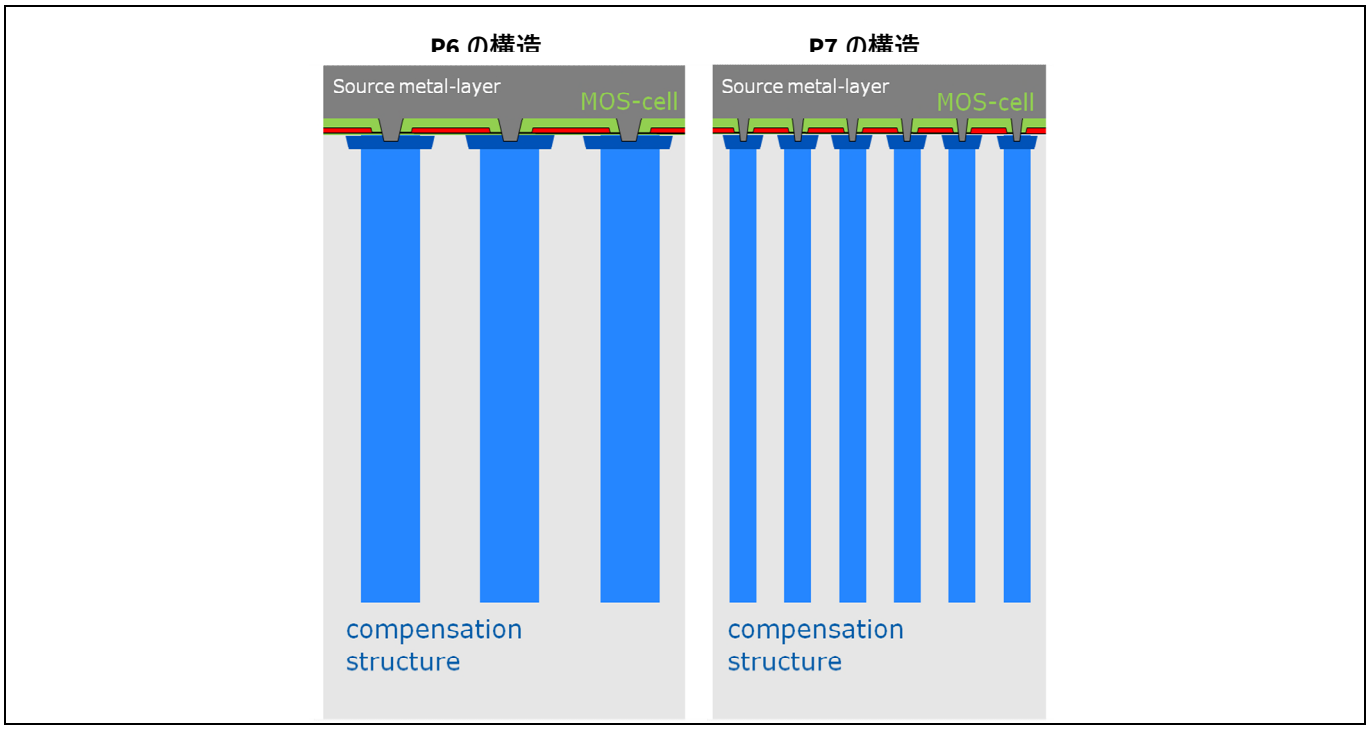


図 3　性能向上のためにアスペクト比を大きくした補償構造を示す 600V CoolMOS™ の P6 と P7 の面比較の概念図

2 600V CoolMOS™ P6、600V CoolMOS™ P7、および競合品の技術パラメータの比較

2.1 技術の概要

そのアプリケーションに最適な MOSFET を選択して、うまく適用するには、まず、前のデバイスとの技術的な違いを明確に理解する必要があります。600V CoolMOS™ P7 の最もはっきりした利点は、単位面積当たりのオン抵抗 $R_{DS(on)}$ が大幅に改善されており（表 3）、所定の $R_{DS(on)}$ レベルを得るための前世代品と比べて、600V P7 チップのアクティブ領域が削減されていることです。

この利点には、新しいパッケージに収めたときにより低い $R_{DS(on)}$ になる可能性があります。例えば、TO-220／TO-220FP では 60mΩ、ThinPAK 8x8 では 65mΩ です。一方でより小さいパッケージにすることによって、寄生インダクタンスが小さくなります。従来の技術ではシリコンの面積が大きいために不可能だった TO-220 封止にすれば、TO-247 と比べて小さくなります。ゲートドライバループの寄生インダクタンスの減少は、スイッチング損失を低減します。これらの製品の特徴は、電力密度において、新たなレベルを実現するために間違いなく必要になります。

表 3　190mΩ クラスの $R_{DS(on)}$ における CoolMOS™ P6、P7、競合品 1、競合品 2 の比較

仕様	単位	記号	競合品 1	競合品 2	P6 190mΩ	P7 180mΩ
最大オン抵抗（25℃）	mΩ	$R_{DS(on)}$	190	190	190	180
ドレイン電流 I_D の定格（25℃）	A	$I_{D, cont}$	15.8	18	17.5	18
パルス I_D の定格	A	$I_{D, pulse}$	63.2	72	57	53
ゲート-ソース間電荷、 ゲート-ドレイン間電荷、 全ゲート電荷（いずれも標準値）	nC	Q_{GS} Q_{GD} Q_G	9 16 38	6 12 29	11 13 37	6 8 25
入力容量 C_{iss} （標準値、400V のとき）	pF	C_{iss}	1350	1060	1750	1081
出力容量 C_{oss} （標準値、400V のとき）	pF	C_{oss}	35	55	76	19
出力容量に蓄積されたエネルギー E_{oss}	µJ	E_{oss}	4.5	4.7	4.9	2.7
エネルギー関連実効出力容量 （標準値）	pF	$C_{o(er)}$	55	258	61	33
MOSFET の dv/dt 耐性	V/ns	dv/dt	50	50	100	80
逆方向ダイオードの dv/dt	V/ns	dv/dt	15	15	15	50
ダイオードの最大転流速度	A/µs	di_F/dt	-	400	500	900
逆回復電荷（標準値）	µC	Q_{rr}	2.9	4	4	1.3
ピーク逆回復電流	A	I_{rrm}	23	24	25	15

2.2 低 Q_G、Q_{GD}

CoolMOS™ P7 の最も重要な改良点の 1 つは、デバイスのゲート電荷 Q_g です。P7 は、主にミラープラトーの長さがはるかに短いゲート-ドレイン間電荷 Q_{GD} の削減によって、P6 と比べて、$R_{DS(on)}$の全範囲にわたって Q_g を 30%低減しています。Q_gの低減は、駆動損失（$P_{driv} = 2×Q_g×U_g×f_{sw}$）の低減によって、特に軽い負荷条件での効率を向上でき、ターンオンとターンオフに対して、非常に高速なスイッチング動作が可能になります。さらに、低 Q_gによって、駆動するためのドライバ回路の電流を低減することができます。図 4 は、180mΩ の P7、P6、競合品 1、競合品 2 の Q_g を nC 単位で示しています。

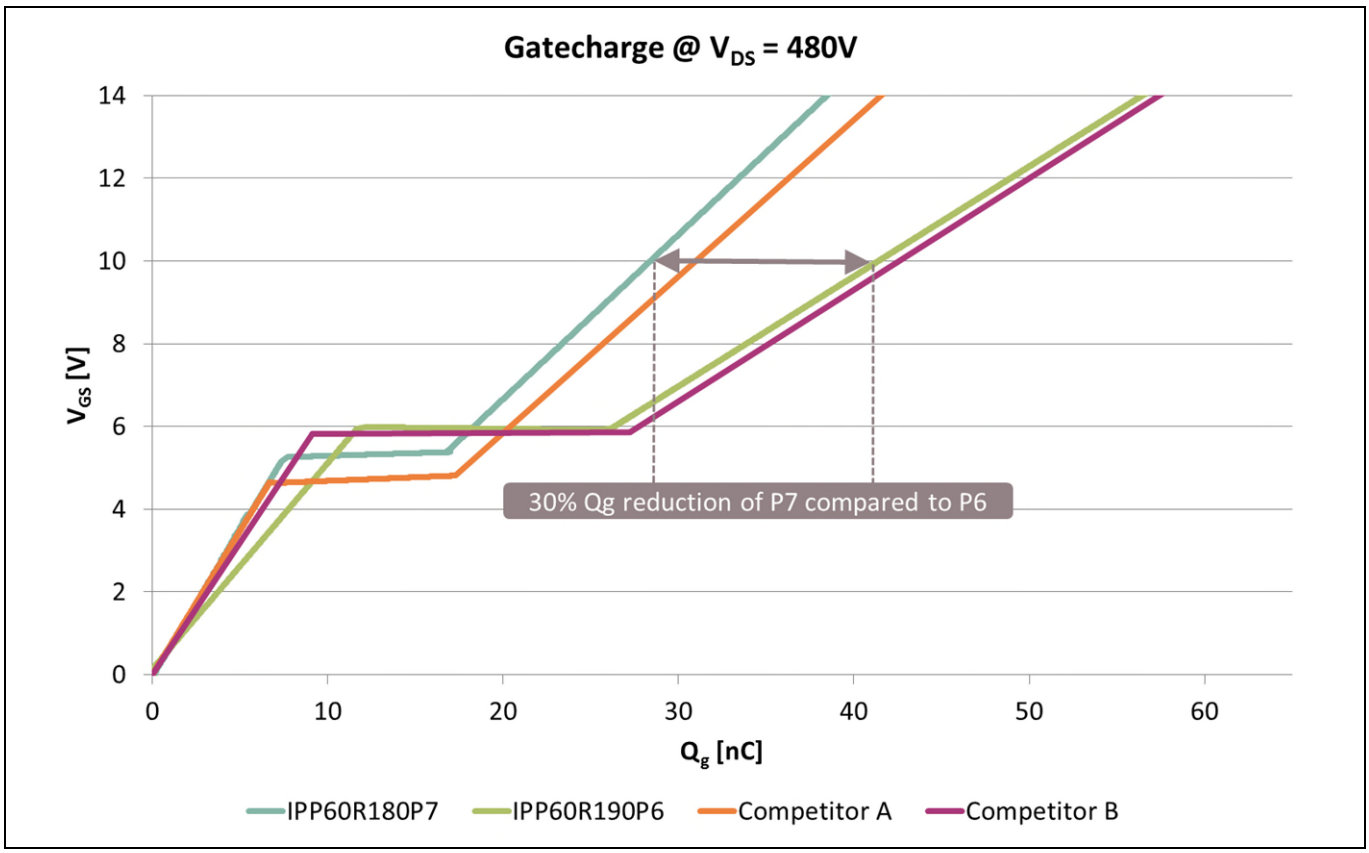


図 4　CoolMOS™ P7、P6、および競合品のゲート電荷の比較

Q_{GD} は、スイッチング遷移の時間と損失に関連する重要なパラメータです。図 5 は、単純化したスイッチング波形です。この電圧遷移は、ミラープラトー領域、すなわち Q_{GD} の間に起こります。

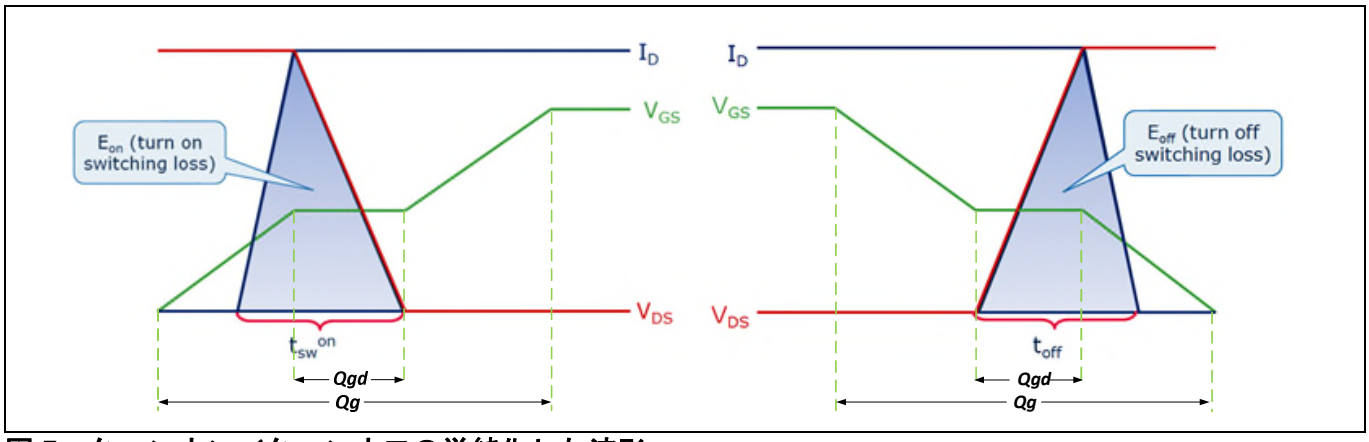


図 5　ターンオン／ターンオフの単純化した波形

上記は、オフする時間と損失を計算するための「古典的」な図です。高速スイッチングによる実際のターンオフの損失は、SJ MOSFET の Q_{oss} が大きいために、そして C_{oss} が非線形の容量性スナバのように機能するため、計算された値よりも最大 50%小さくなります。これらの条件下で、ターンオフ中にドレインを流れる電流は、消費されない容量性電流であり、高速駆動では、ドレイン電圧の上昇が始まることによってチャネルが完全にオフされるかもしれません。出力容量 C_{oss} の非線形特性は、CoolMOS™ のファミリーごとに異なります。この結果、次のサブセクションで説明するように、電圧遷移の形状とスナバ動作がスイッチング損失に影響します[5]。

2.3　調整された C_{oss} 曲線

SJ の出力容量は、非線形の容量性スナバのように機能します。図 6 は、ドレイン-ソース間電圧 V_{DS} の関数としての出力容量 C_{oss} の曲線です。 一般に、SJ は、LV 範囲（50 V 未満）において、容量が比較的大きくなっています。下図は、CoolMOS™ P7 と P6 との C_{oss} の比較です。P7 は、LV 領域で、より大きな C_{oss} 値ですが、HV 領域では、より小さい値であることが分かります。これらの特性は両方とも、ターンオフ時のスナバ動作と dv / dt の観点から、時間領域の電圧遷移に影響します。

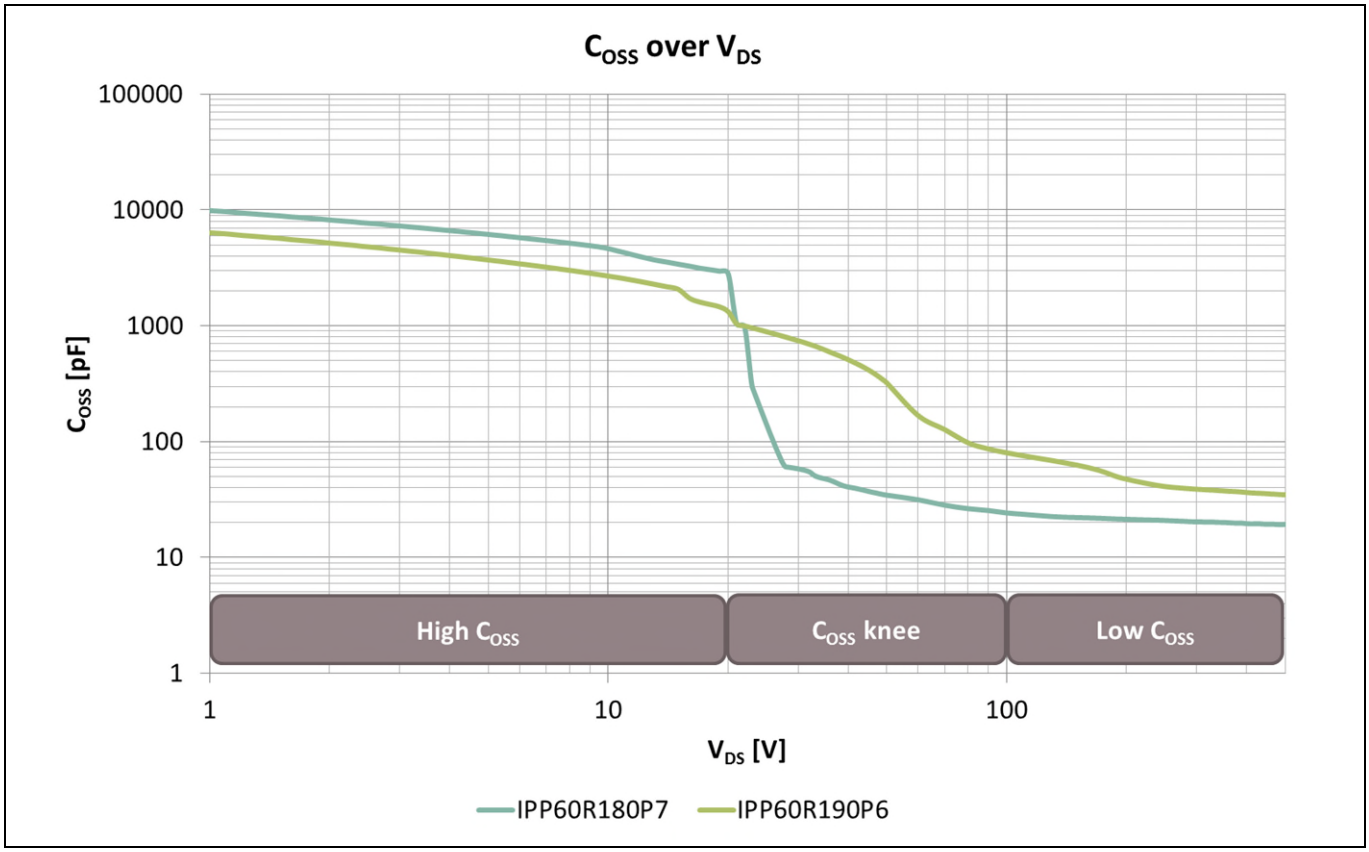


図 6　CoolMOS™ P7 と P6 の C_{oss} 曲線の比較

2.4　スムーズな高速スイッチング遷移（dv / dt）

図 7 は、外部抵抗 $R_{g,ext}$ = 1.8Ω、I_D = 5A、V_{GS} = 13V における 600V P6 と 600V P7 と間のターンオフのスイッチング波形の比較です。この非常に小さい R_g の場合でも、 600V P6 と比べて、600V P7 のスイッチング動作も同じように非常にスムーズであることが分かります。これらのアプリケーション条件で、V_{DS} の最大電圧オーバーシュートが 450V、dV / dt は 55V / ns に達しています。

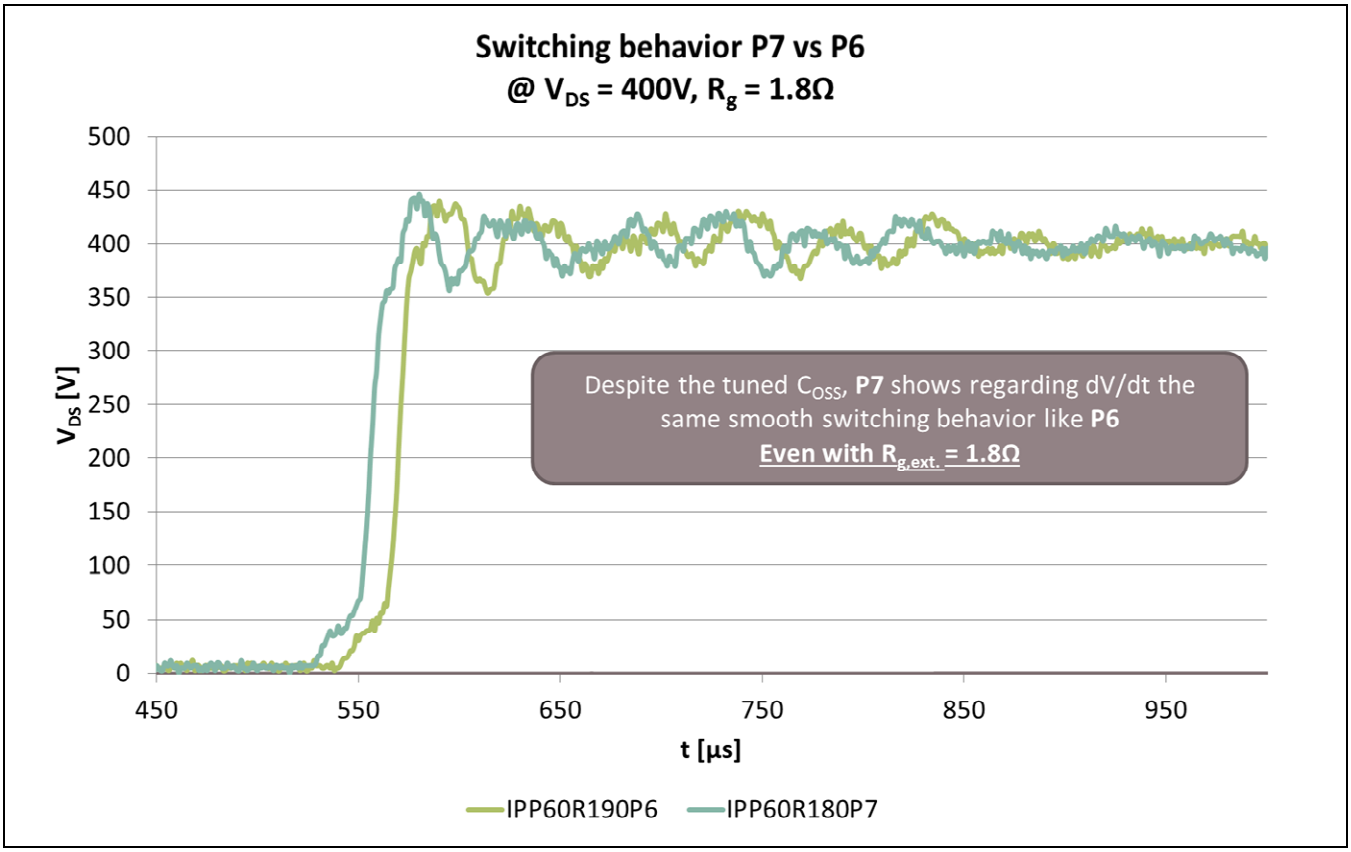


図 7　CoolMOS™ P7 と P6 の dV/dt の比較

2.5　低 E_{oss}

出力容量 C_{oss} について前述したように、P7 の容量の低下は、前世代品と比べて、より低い電圧レベルで生じます。これは、図 8 に示すように、C_{oss} に蓄えられたエネルギーの全体的な値を支配する高い電圧での C_{oss} レベルの著しい低減と合わせて、400V の標準的な直流リンク電圧での E_{oss} を前世代品の約半分にまで小さくします。

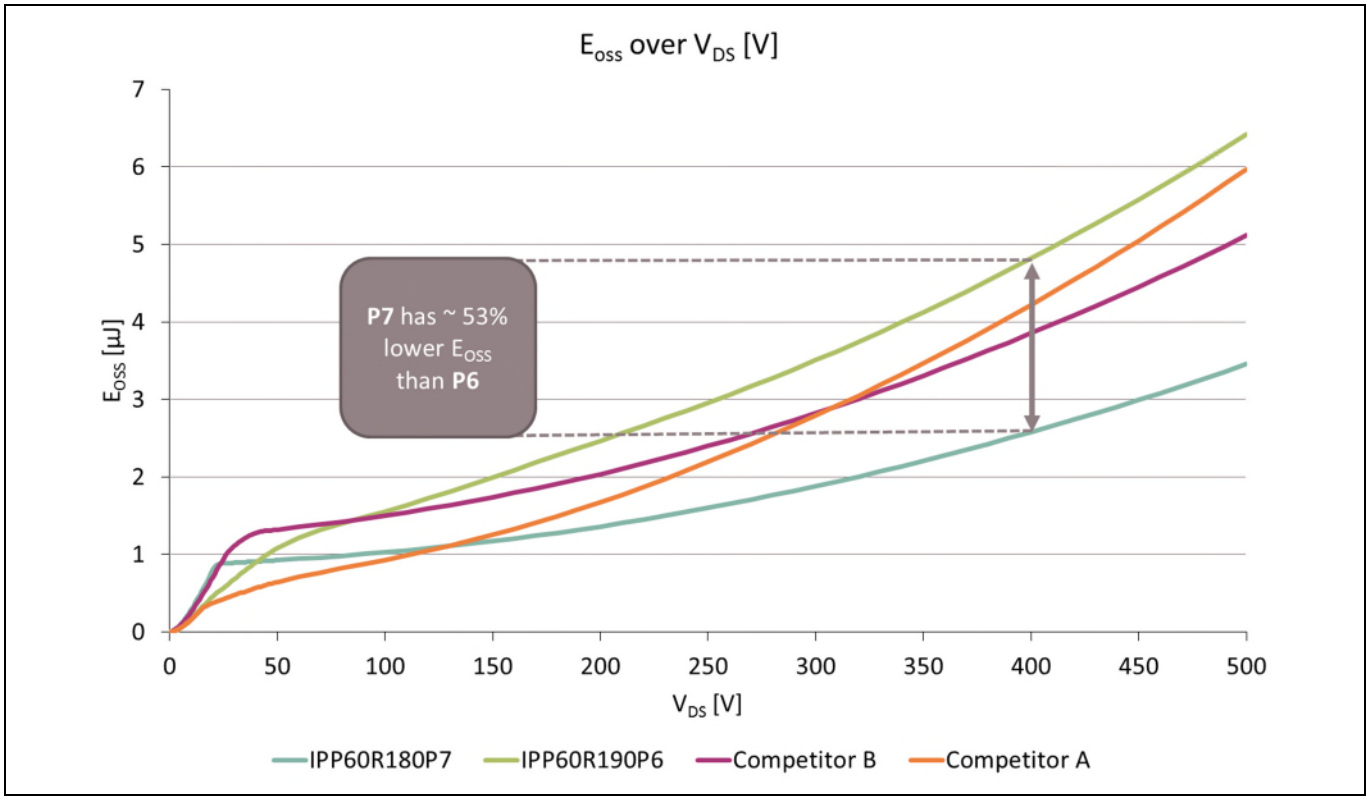


図 8　CoolMOS™ P7 と P6 の E_{oss} の比較

このエネルギーは、ハードスイッチングのアプリケーションにおいて、固定の損失です。E_{oss} は、ターンオフの段階で C_{oss} に蓄積されます。図 9 の単純化した図に示すように、次のターンオンへの遷移のときに、MOSFET のチャネルで消費されます。

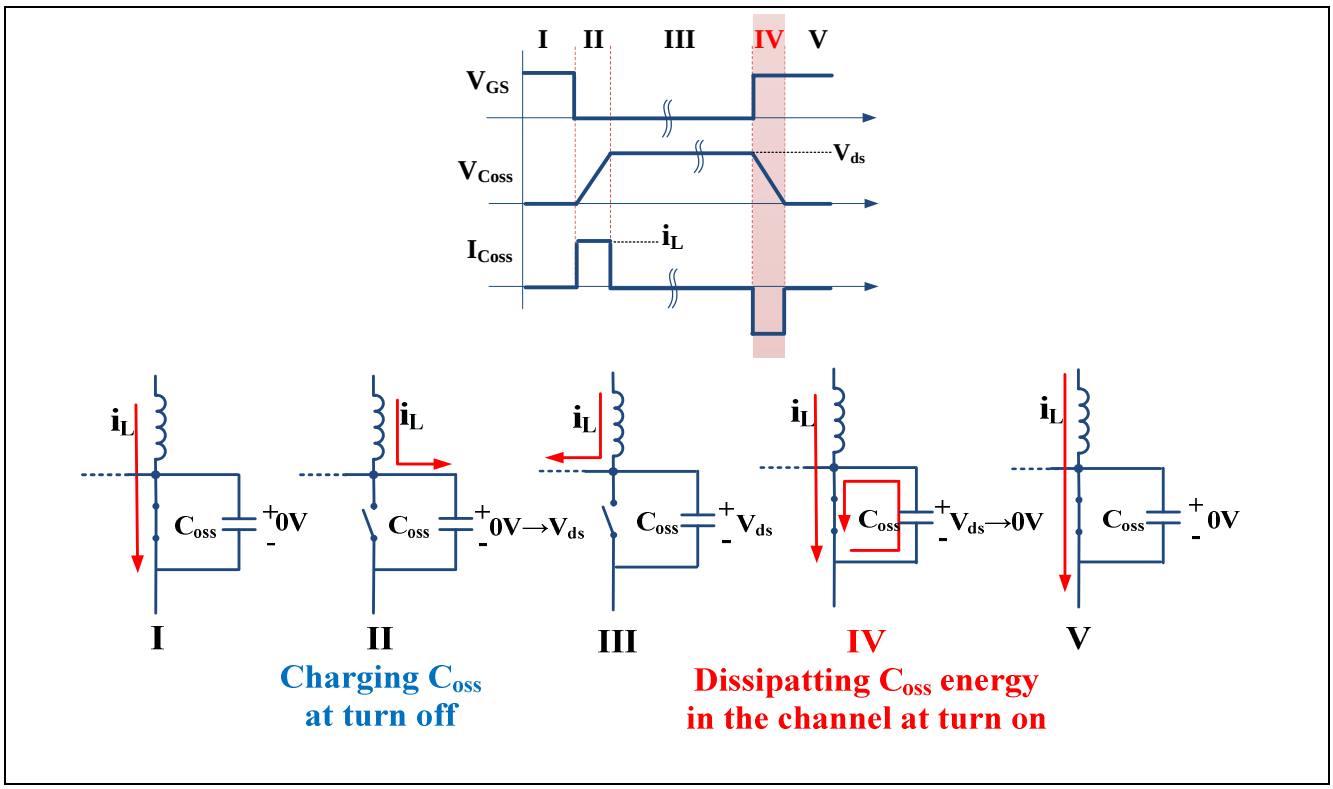


図 9　ハードスイッチングにおける単純化した Eoss 消費のメカニズム

この損失は、軽い負荷状態において重要になります。他の損失の大部分は、負荷に依存し、軽い負荷では大幅に減少するため、Eoss の低減は、軽い負荷のときの効率の向上に貢献するからです。図 10 は、CCM（電流連続モード）の PFC 昇圧アプリケーションにおける MOSFET の全損失に対する Eoss 損失の寄与度を示しています。Eoss 損失は、負荷条件 20%で全損失の 2/3 です。

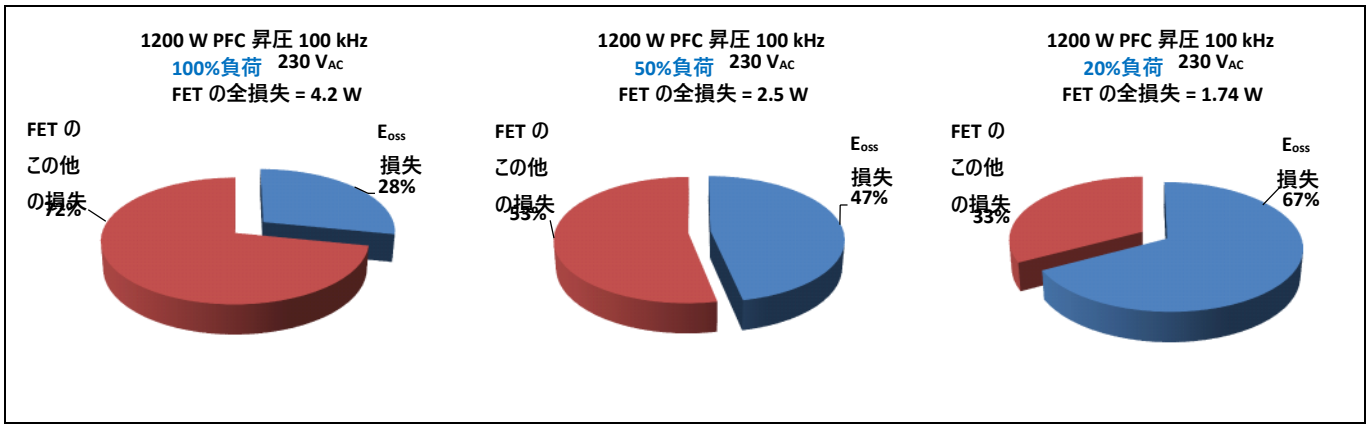


図 10　異なる負荷条件での PFC 昇圧における FET の全損失への Eoss 寄与度

ゼロボルトでオンするソフトスイッチングのアプリケーションでは、このエネルギーは、図 11 に簡略化されているように、消費ではなく、（オンする前に）回路に再循環されます。

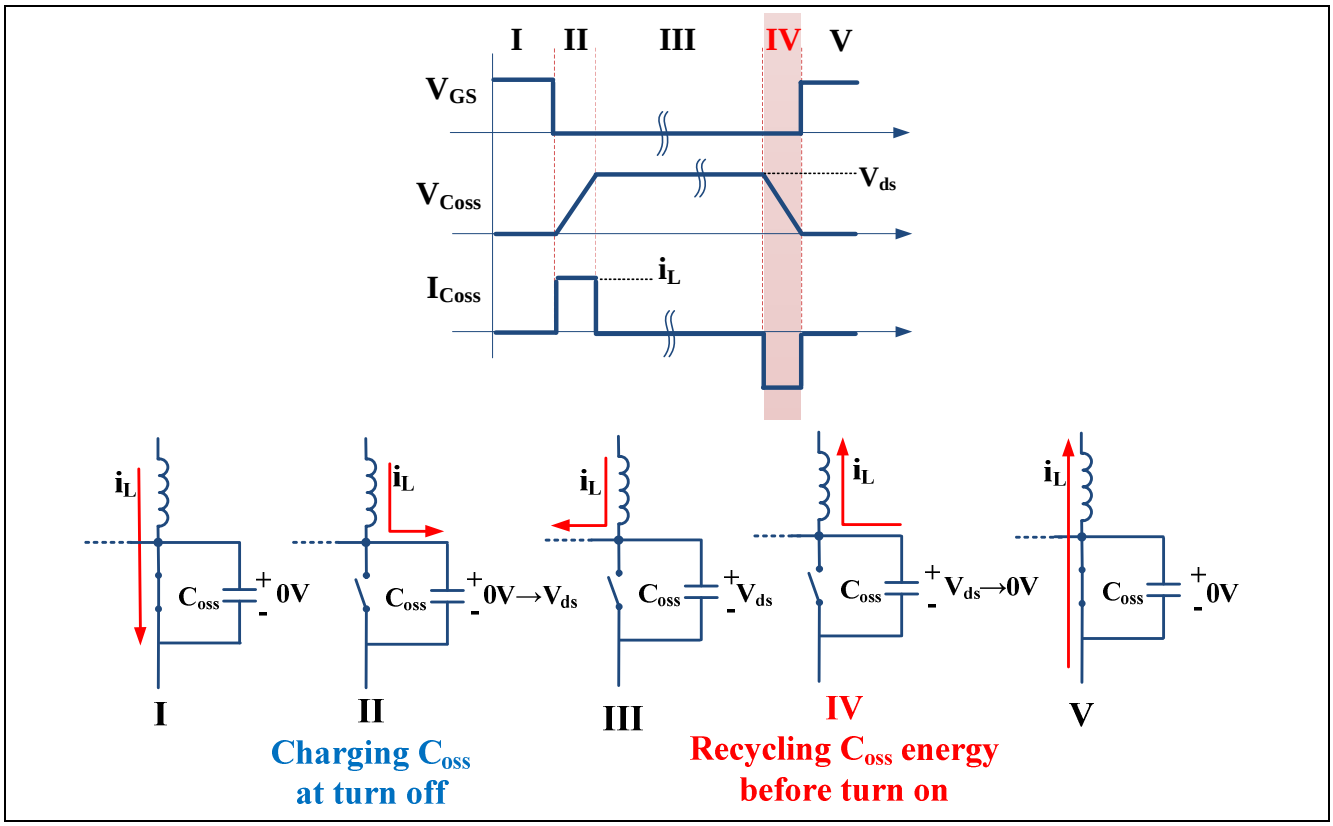


図 11　ソフトスイッチングにおける Eoss 再循環の簡略化したメカニズム

E_{OSS}は、ZVS のアプリケーションで再循環されると仮定されますが、依然として、E_{OSS}は小さい方が望ましいです。共振型 LLC やフェイズシフトのフルブリッジなどの構成では、設計者は、E_{OSS}の再循環を完了し、完全な ZVS を実現するために必要とされる主インダクタンスとその蓄積エネルギーを確実に適切な大きさにしなければなりません。

この回路で利用可能な誘導性エネルギーが同じブリッジレッグ内の 2 つの MOSFET の出力容量を充放電するために十分でない場合、ZVS は、部分的または完全に達成できないかもしれません。

ZVS を実現するためのエネルギー条件は以下で与えられます：

$$\textit{誘導性エネルギー} \geq \textit{容量性エネルギー}$$

$$0.5 \cdot L_{eq} \cdot {I_L}^2 \geq 0.5 \cdot (2 \cdot C_{o(er)}) \cdot {V_{in}}^2$$

$$0.5 \cdot L_{eq} \cdot {I_L}^2 \geq 2 \cdot E_{oss}$$

ここで、$C_{o(er)}$は、データシートに示すように、出力容量に関連する MOSFET の等価エネルギーです。図 12 は、エネルギーを計算する目的で使われるパラメータ$C_{o(er)}$とその定義を示す IPP60R180P7 のデータシートの例です[5]。

Effective output capacitance, energy related[1)]	$C_{o(er)}$	-	33	-	pF	V_{GS}=0V, V_{DS}=0...400V

[1)] $C_{o(er)}$ is a fixed capacitance that gives the same stored energy as C_{oss} while V_{DS} is rising from 0 to 400V

図 12　容量 $C_{o(er)}$ とその定義のデータシートの抜粋

したがって、600V CoolMOS™ P7 の調整された C_{oss} 曲線によって、$C_{o(er)}$と E_{OSS} が小さくなり、設計者が ZVS を犠牲にすることなく効率を最適化しやすくなります。例えば、共振型 LLC では、循環しにくい 1 次側電流を低減するために、磁化インダクタンスを増加させます。フェイズシフトフルブリッジでは、ZVS は、より軽い負荷点まで拡張されます。そうでなければ、誘導性エネルギーを増加させるために使われる外部の 1 次側コイルが不要になることがあります。

2.6　調整された Q_{oss}

SJ MOSFET の非線形容量によって、出力容量に蓄積された電荷は、ほとんど低電圧領域に集中します。出力電荷 Q_{oss} の約 90%は、0V と 20V の間で発生し、10%が 20V から 400V までで生じます。

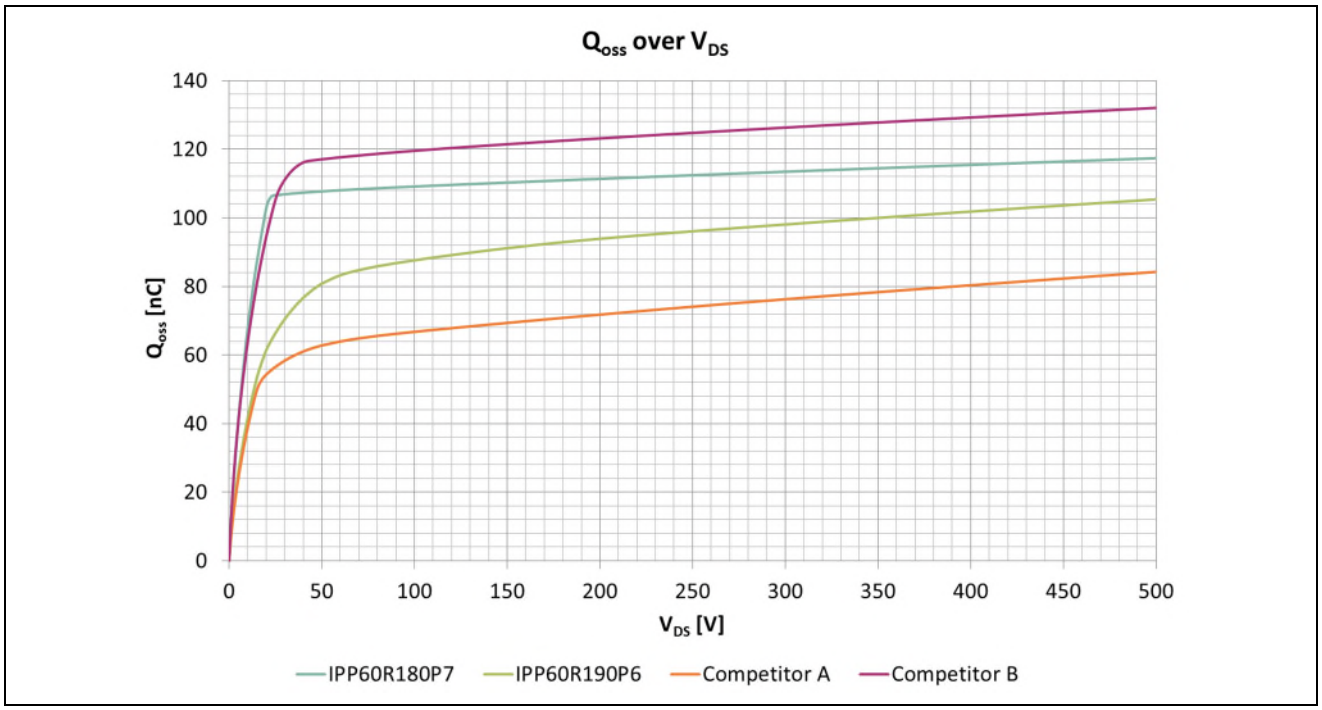


図 13　CoolMOS™ P7、P6、および競合品の Q_{OSS} の比較

Q_{OSS} の低減は、ZVS のアプリケーションでも有利です。前のセクションで説明したように、ZVS を実現するために十分なエネルギーを持つことを除けば、スイッチングレッグ内の 2 つの MOSFET の間のデッドタイムもまた、電圧遷移を可能にするために十分な長さでなければなりません。

ZVS を実現するための時間の条件は、以下のようになります。

$$デッドタイム \geq ZVSの遷移時間$$

$$デッドタイム \geq 2 * C_{o(tr)} * \frac{V_{DS}}{I}$$

$$デッドタイム \geq 2 * \frac{Q_{OSS}}{I}$$

ここで、Iは、スイッチングレッグ内の両方の FET を充放電するために使われる電流です。

V_{DS}は、FET の電圧で、標準的には 400V です。

$C_{o(tr)}$は、データシートに記載されている MOSFET の等価時間関連出力容量です。図 14 は、時間計算の目的のために使われるパラメータ$C_{o(tr)}$とその定義に関する IPP60R180P7 のデータシートの例です。

Effective output capacitance, time related[2)]	$C_{o(tr)}$	-	314	-	pF	I_D=constant, V_{GS}=0V, V_{DS}=0...400V
$C_{o(tr)}$ is a fixed capacitance that gives the same charging time as C_{oss} while V_{DS} is rising from 0 to 400V						

図 14　データシートに記載された容量 $C_{o(tr)}$とその定義の抜粋

したがって、Q_{OSS} と $C_{o(tr)}$の低減は、デッドタイム期間内で ZVS 遷移を完了することに貢献します。

2.7 ターンオン時とターンオフ時の低損失

図 15 と図 16 に、P6 と P7 の E_{on} 特性と E_{off} 特性の測定結果を示します。PFC の標準的なアプリケーション条件は、外付け抵抗 R_g が 10Ω、ドレイン電流が最大 5 A になると想定できます。P7 は、P6 と比べて、ターンオフ時の損失が約 20%低く、ターンオン時の損失が約 15%低くなります。P7 におけるこの改善は、帰還容量 C_{rss} の低減と全 Q_g の低減に基づきます。

ターンオフ時の損失が改善されているため、P7 は、DCM（電流不連続モード）の PFC や、ターンオフ時の損失が支配的な LLC 共振などのソフトスイッチング構成に適しています。

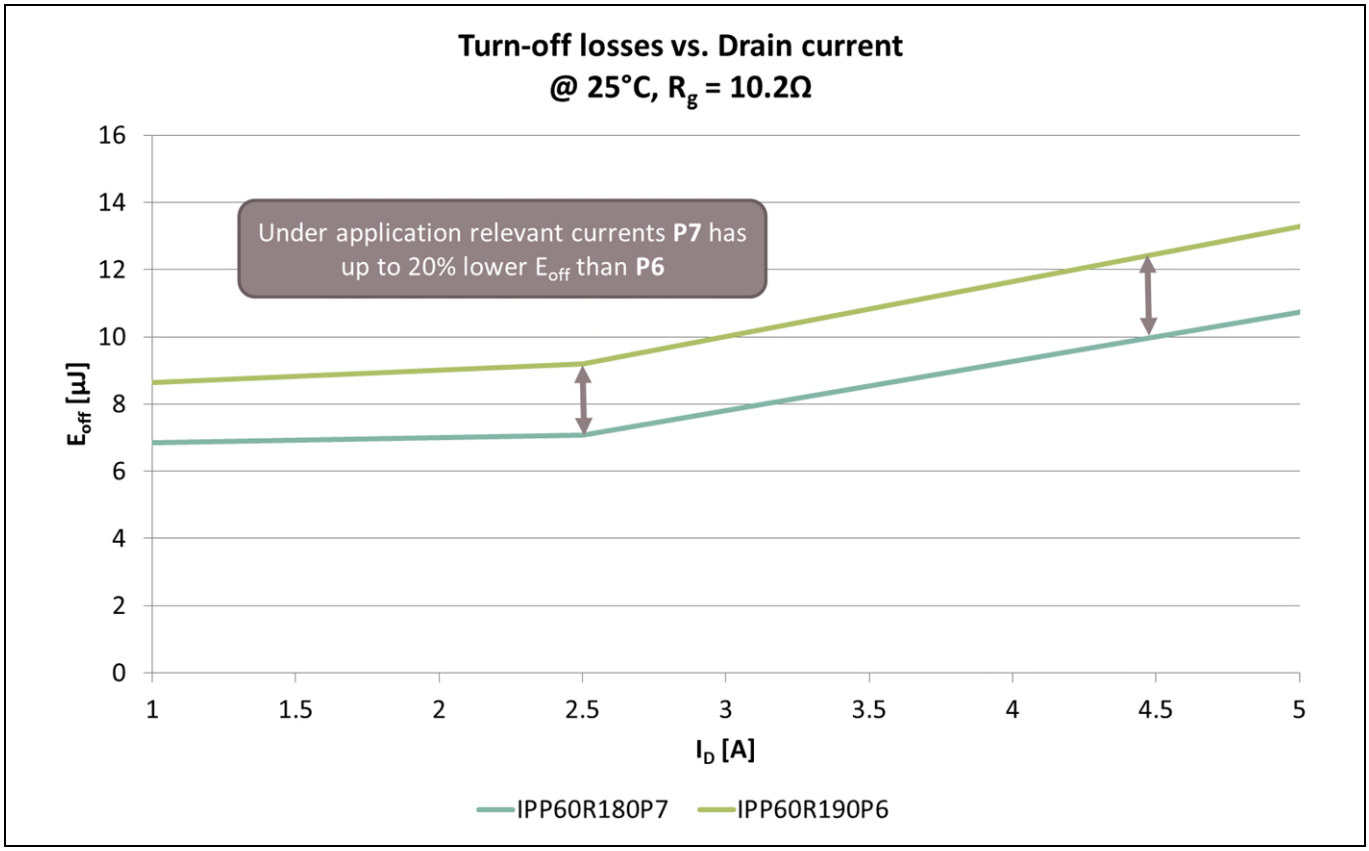


図 15 CoolMOS™ P7 と P6 のターンオフの比較

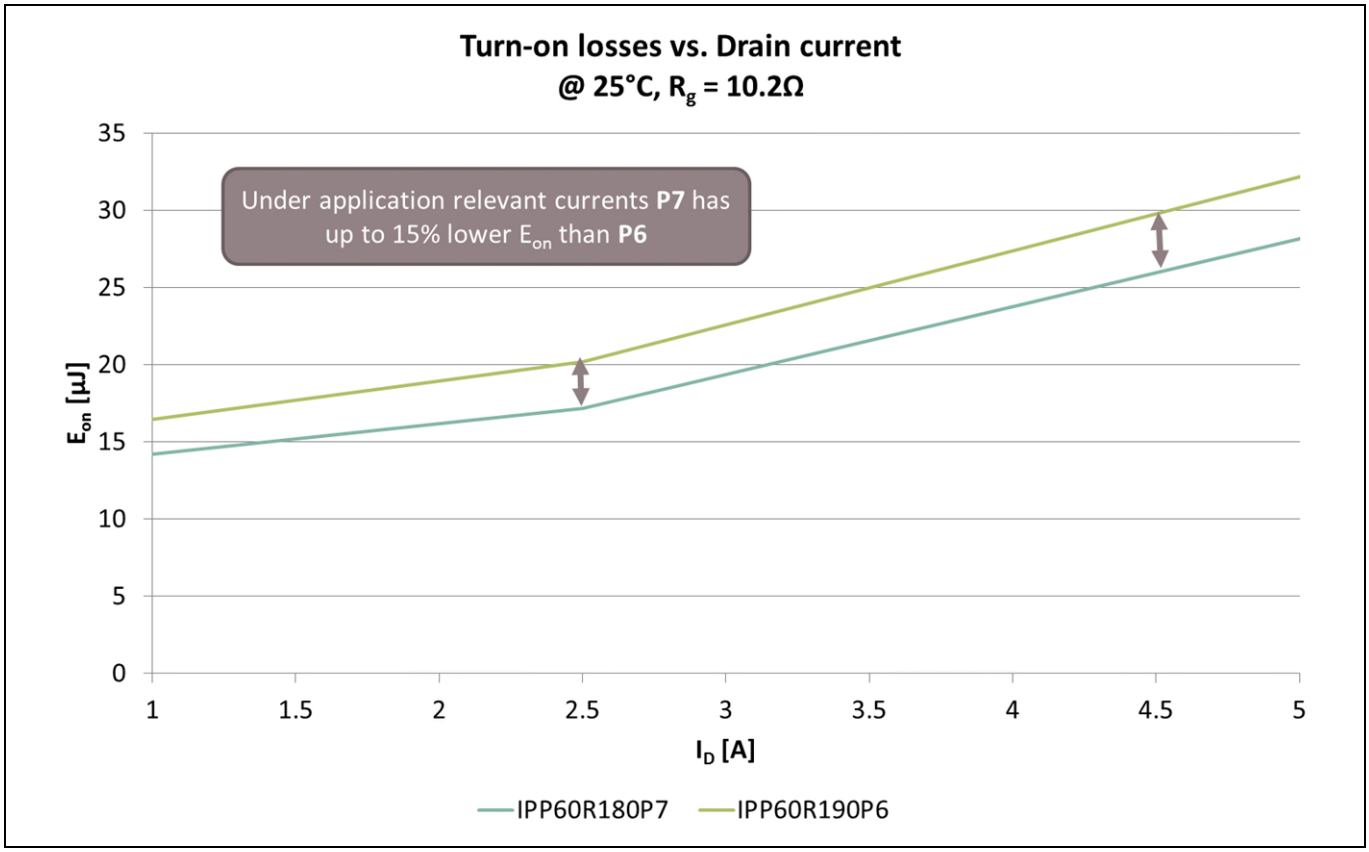


図 16　CoolMOS™ P7 と P6 のターンオンの比較

2.8　内蔵ゲート抵抗

600V CoolMOS™ P7 には、di / dt 特性や dv / dt 特性において自己制限機能を実現するために、ゲート抵抗 $R_{g,int}$ が内蔵されています。図 17 は、異なるアプリケーション条件、および、効率と使いやすさの要件との間のトレードオフに従って定義される $R_{DS(on)}$に対する内蔵した R_g のさまざまな値を示しています。

CCM PFC では主に、37 mΩ から最大 180mΩ までの各種の $R_{DS(on)}$が使われていますが、効率の要求に応じて、小さな値の外付け抵抗 R_g（例えば、5 ... 20Ω）が選ばれています。180mΩ より大きい $R_{DS(on)}$ は、EMI（電磁干渉）雑音の要件が効率よりも支配的な DCM PFC で広く使われます。

EMI 雑音を低減するために、大きな値の外付け抵抗 R_g が使われます（例えば、20 ... 100Ω）。内蔵された R_g は、通常の動作電流条件で高速にオン／オフすることができますが、異常時には di / dt と dv / dt を制限します。$R_{DS(on)}$の値が 37mΩ～180mΩ の場合、内蔵された R_g は、ゲート電荷やデバイスの容量と反比例します。180mΩ 以上のデバイスでは、最悪の場合でも、安全でスムーズなスイッチングを可能にするために、内蔵された R_g が最小になっています。

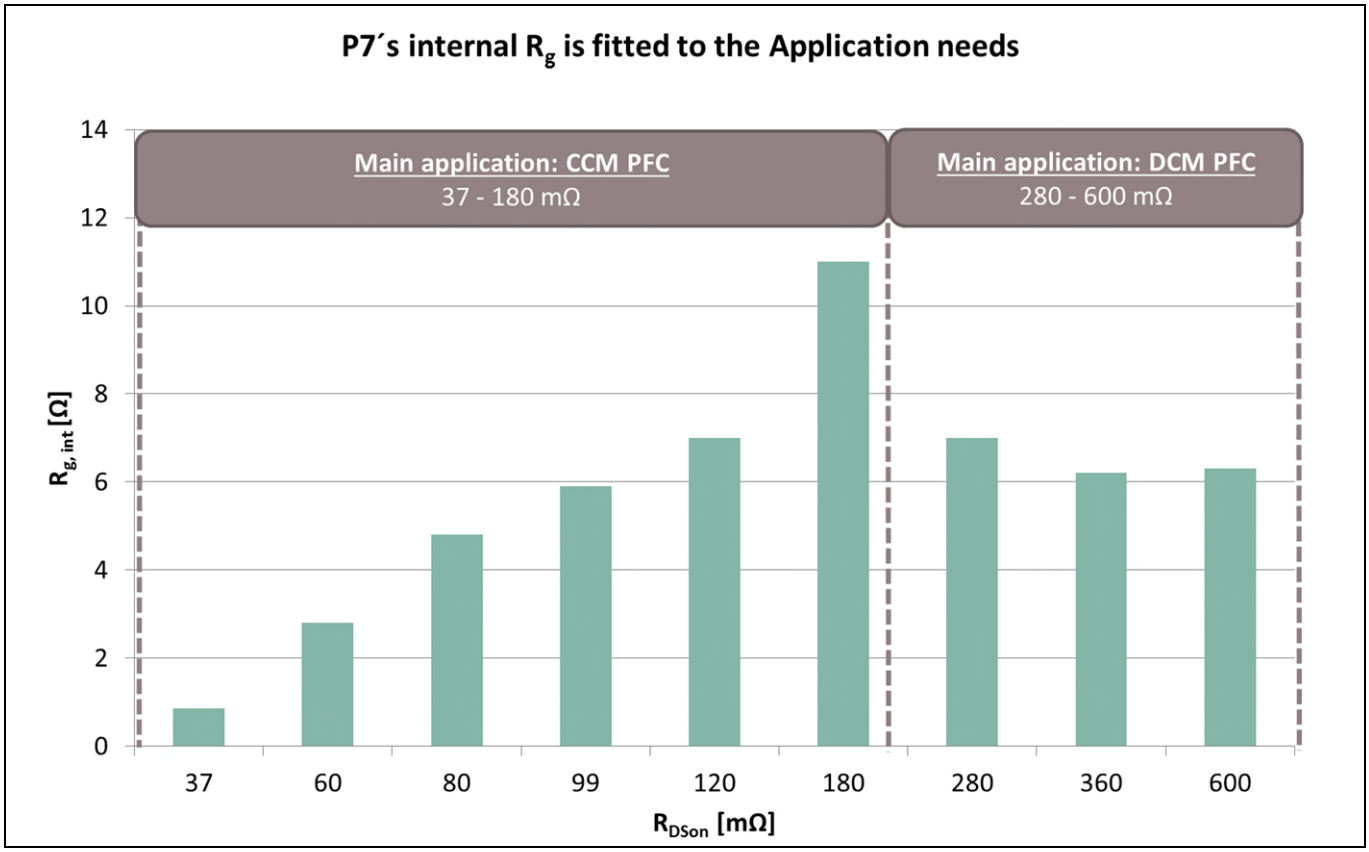


図 17　CCM および DCM の PFC における CoolMOS™ P7 の集積化された $R_{g,int}$ の比較

2.9　ESD 保護

すでに序論で述べたように、テレビなどの一部のアプリケーション分野では、MOSFET の丈夫さは、非常に重要なポイントです。600V P7 は、ユーザーのデザインインや製造プロセスを、より簡単で信頼性の高いものにするため、非常に高い ESD 耐性を実現するように設計されています。この丈夫さは、チップサイズと相関があります。

テレビ分野における $R_{DS(on)}$の好ましい値は、190mΩ～600mΩ です。$R_{DS(on)}$ の値が大きくて、チップサイズが小さいと、ESD レベルは通常、500V 程度です。これを克服するために、$R_{DS(on)}$の値が 100mΩ を超えるデバイスのゲートとソースの間にバイポーラのツェナーダイオードを内蔵しています 。これによって、すべての 600 V P7 製品は、HBM に従って 2 kV 以上の ESD レベルでも故障せず、古い CoolMOS™ 世代と比べて、ESD 分類レベルで最大 2 段階高めることができます。

2.10　丈夫なボディダイオード

600V CoolMOS™ P7 開発中の最大の成果の 1 つは、激しい転流における破壊に対するボディダイオードの耐性の向上でした。

2.10.1　いつ、丈夫なボディダイオードが必要か？

共振型 LLC や ZVS のフルブリッジコンバータなど、ソフトスイッチングのアプリケーションでは、回路動作のなかには、MOSFET のボディダイオードに激しい転流が含まれる場合があります。一般に、ボディダイオードに逆方向の電流が流れると、いくらかの電荷（逆回復電荷 Q_{rr} ）が FET の寄生ダイオード構造に蓄積されます。外部電圧が方向を変えると、この電荷が完全に除去される前にダイオードに高

い dv / dt 電圧が印加されます。すなわち、残留した電荷は、非常に急速に消費し、大きな di / dt 電流を生じ、したがって、大きな電圧のオーバーシュートを引き起こします。

ダイオードの激しい転流は、以下のような回路動作によって引き起こされる可能性があります。

・容量性モードの動作。図 18 に、誘導性モードと容量性モードの MOSFET 動作を示します。後者では、電流が電圧に先行し、半周期が終了する前にその方向を反転させます。この負の電流がボディダイオードに流れます。スイッチングブリッジ内の他の MOSFET のターンオンによって、次の半分の期間が始まるとき、図 18 に示すように、ダイオードが大きな dv / dt に曝され、大きな逆回復の電流スパイクが見られます。

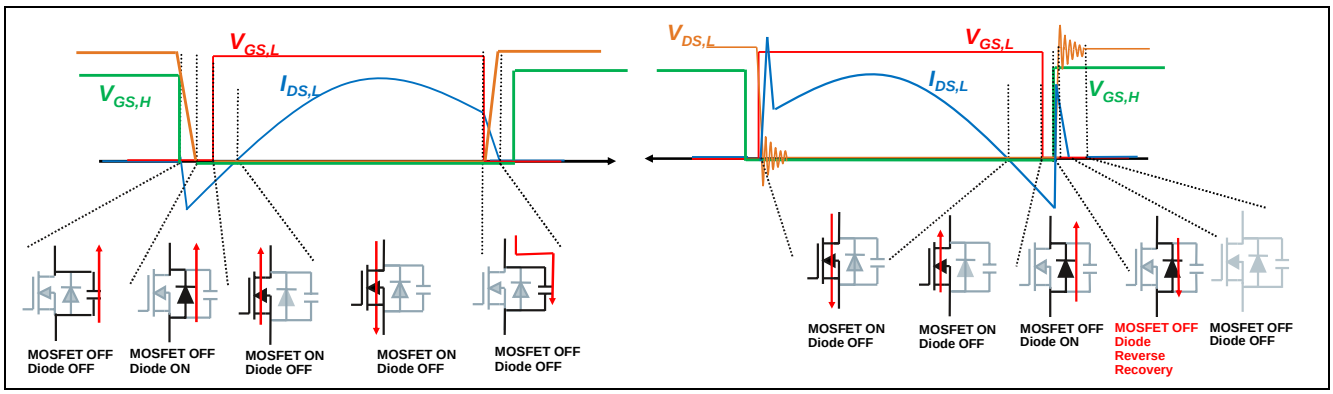


図 18　LLC 回路の MOSFET 動作：誘導性モード（左）と容量性モード（右）

・軽い負荷または無負荷の動作では、LLC も ZVS フルブリッジも激しい転流が発生することがあります。ダイオードがデッドタイム中に導通して逆回復電荷 Q_{rr} を蓄積するとき、次の周期のオン時には、ダイオードの両端に電圧降下を発生させるはずです。軽い負荷では、この電圧降下が p-n 領域に蓄積された Q_{rr} のすべてを回復するためには不十分な場合があるので、図 19 に示すように、ブリッジの他の MOSFET がオンしたときに、Q_{rr} の残りの電荷が、ボディダイオードの激しい転流を引き起こします。

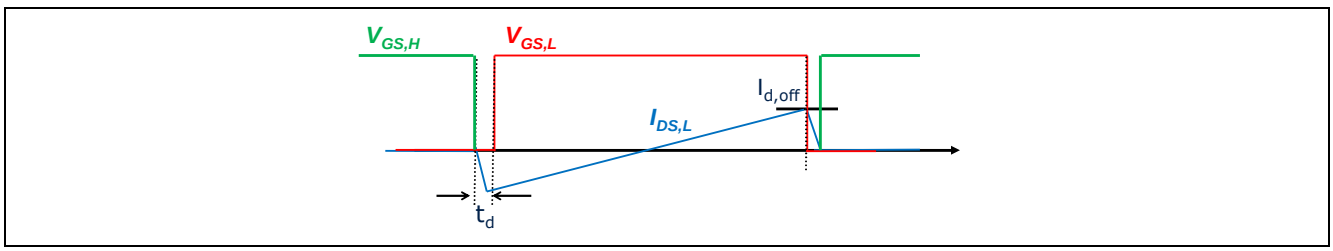


図 19　軽い負荷時の MOSFET の動作

・短絡時でも、激しい転流は、負荷の過渡時や起動時に、制御回路の反応速度に応じて発生することがあります。定常状態の安定化曲線は、容量性モードを避けるように設計されていますが、コントローラと共振タンクが再び定常状態に安定するまで、数サイクルの間、容量性モードになり激しい転流を起こすような動作を強制する遷移モードがあります。図 20 は、短絡中の遷移動作について、コントローラによって検出され、保護されるまでを示す図です [5]。

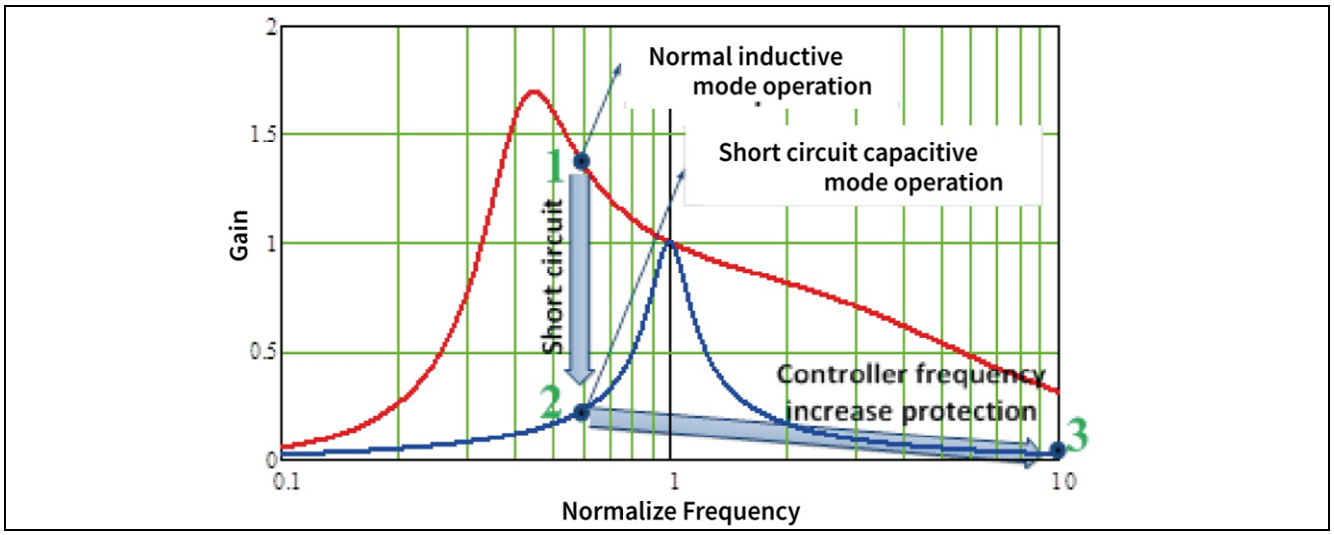


図 20　LLC 回路における短絡時の動作

2.10.2　ボディダイオードの耐久性をテストする方法は？

ボディダイオードをテストするためには、さまざまな $R_{g,ext}$、または、さまざまな順方向電流を使って、異なるアプリケーションの条件で、デバイスをテストできる柔軟で簡単な設定が必要です。これらの要件は、図 21 で説明したダブルパルステストの設定で実現することができます。

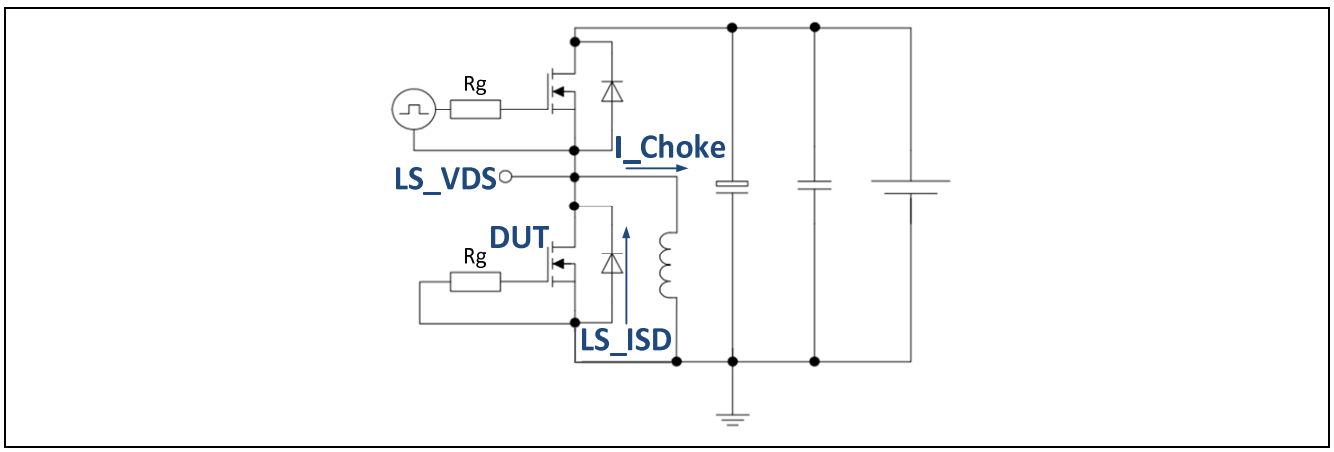


図 21　ダイオードの特性をテストするためのダブルパルス回路

以下のシーケンスがそのアプローチです：

DUT（被測定物）は、ローサイド MOSFET のボディダイオード（Q2）です

フェーズ 1：ダブルパルス駆動信号をハイサイド MOSFET（Q1）に印加すると、Q1 がオンし、コイルの電流は、Q1 を通って直線的に増加し、パルス幅とインダクタ値によって決まる最終値になります。

フェーズ 2：Q1 がオフした後、L1 に蓄えられたエネルギーが Q2 の出力容量を放電すると、フリーホイールのフェーズが始まります。完全に放電すると、Q2 のボディダイオードが導通し始めます。

フェーズ 3：短いフリーホイール期間の後、Q1 が再びオンになり、Q2 のボディダイオードが電流を激しく転流し始めます。V_{DS}（Q2）が再び上昇し始め、ダイオード電流の波形（LS_ISD）に負の逆回復電流スパイクが見られます。したがって、ボディダイオードに激しい転流が流れます。

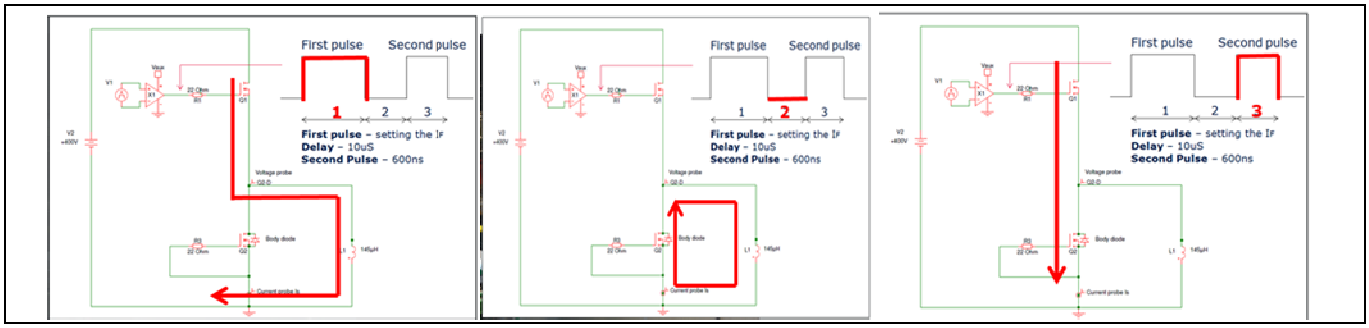


図 22　ダブルパルステストのシーケンス

このテストから、以下の図 23 のような波形が得られます。

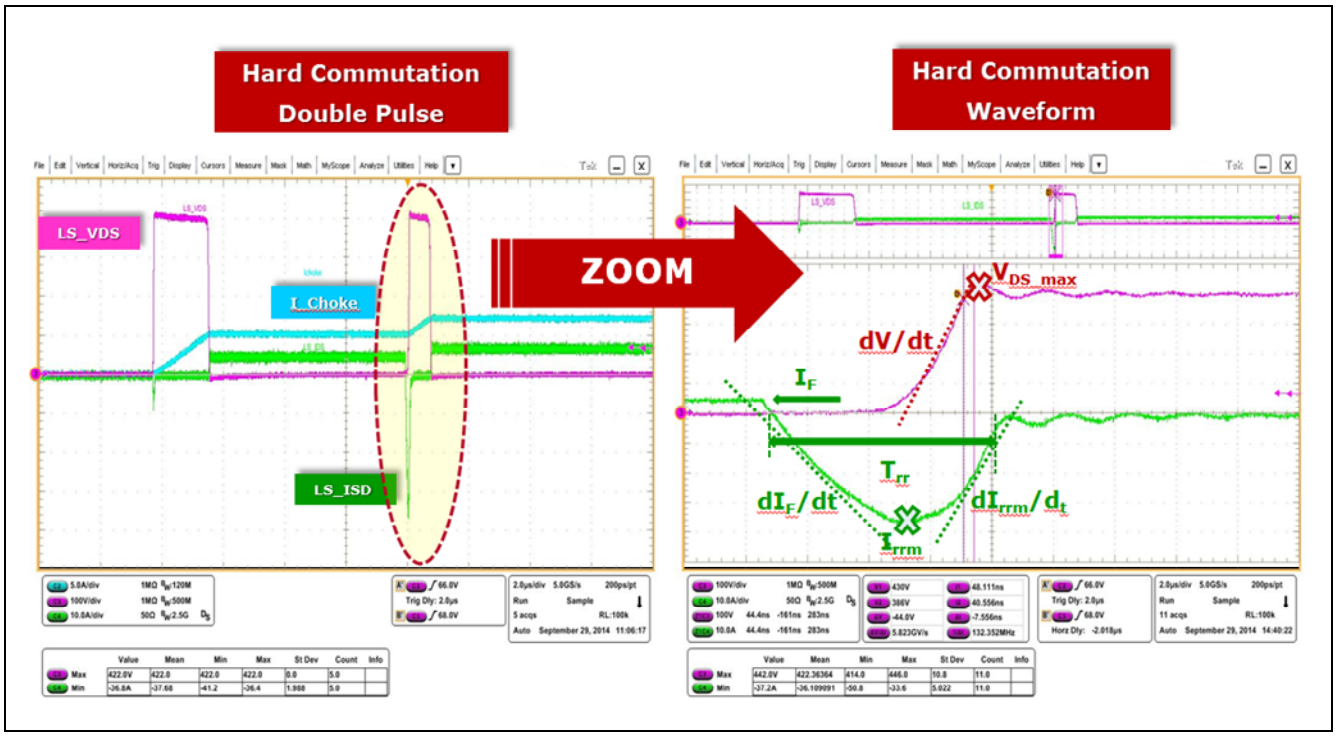


図 23　ダブルパルステスト回路におけるダイオードの激しい転流波形

2.10.3　600V CoolMOS™ P7 のボディダイオードの優れた耐久性

2.10.2 章に記載されたテスト手順によれば、P7 は、dv / dt の最大定格 50V / ns、di / dt の最大定格 900A / µs で、いかなる損傷もなく動作したことが分かります。これらの値から、ボディダイオードは、広く使われている高速ボディダイオードデバイス CoolMOS™ CFD2 と同じレベルで転流速度に達することができます。

表 4　ボディダイオードの耐性の比較

ボディダイオード	P7_600V	P6_600V	競合品 1_600V	CFD2_650V の高速ボディダイオードデバイス
逆方向ダイオード dv/dt [V/ns]	50	15	15	50
ダイオードの最大転流速度 di_f/dt[A/µs]	900	500	400	900

激しい転流現象は、ボディダイオードを通る非常に小さい順方向電流で最も重要であることは明らかです。より小さい順方向電流では、より大きな dIr / dt を発生させ、V_{DS} = L・dIr / dt に基づいて、V_{DS} のより大きなオーバーシュートを引き起こします。

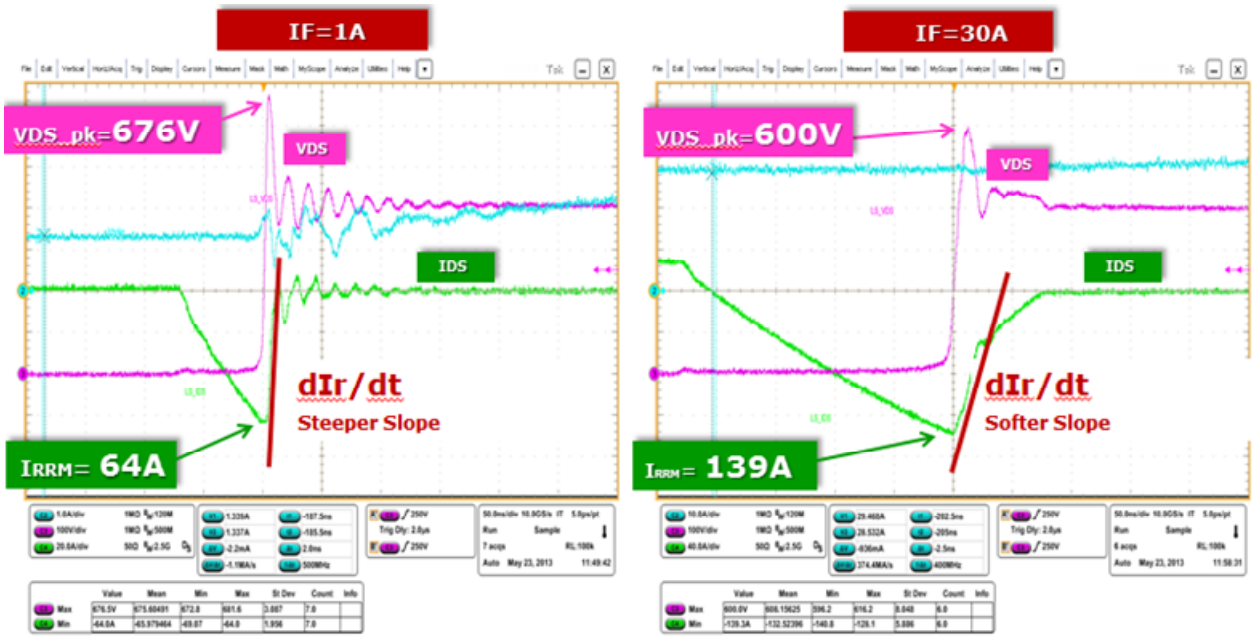


図 24　電流 1 A で、ボディダイオードを流れる電流が 30A のときの競合他社の SJ デバイスの転流現象（V_{gs} = 13V、$R_{g,ext}$ = 5Ω のとき）

ボディダイオードの動作が優れていることによって、600V P7 は、ブレークダウン電圧の 80%ディレーティング（定格低減）内に収まり、非常に低い外部 R_g の値で、最小の電流からデバイスの定格電流レベルの 2 倍以上まで損傷がないことを示しています。

次のグラフは、V_{GS} = 13V、$R_{g,ext}$ =1.8Ω の極限の条件において、180mΩ の 600V P7 の非常にスムーズな電圧オーバーシュート V_{DSMAX} と、逆回復電流のピークを示しています。

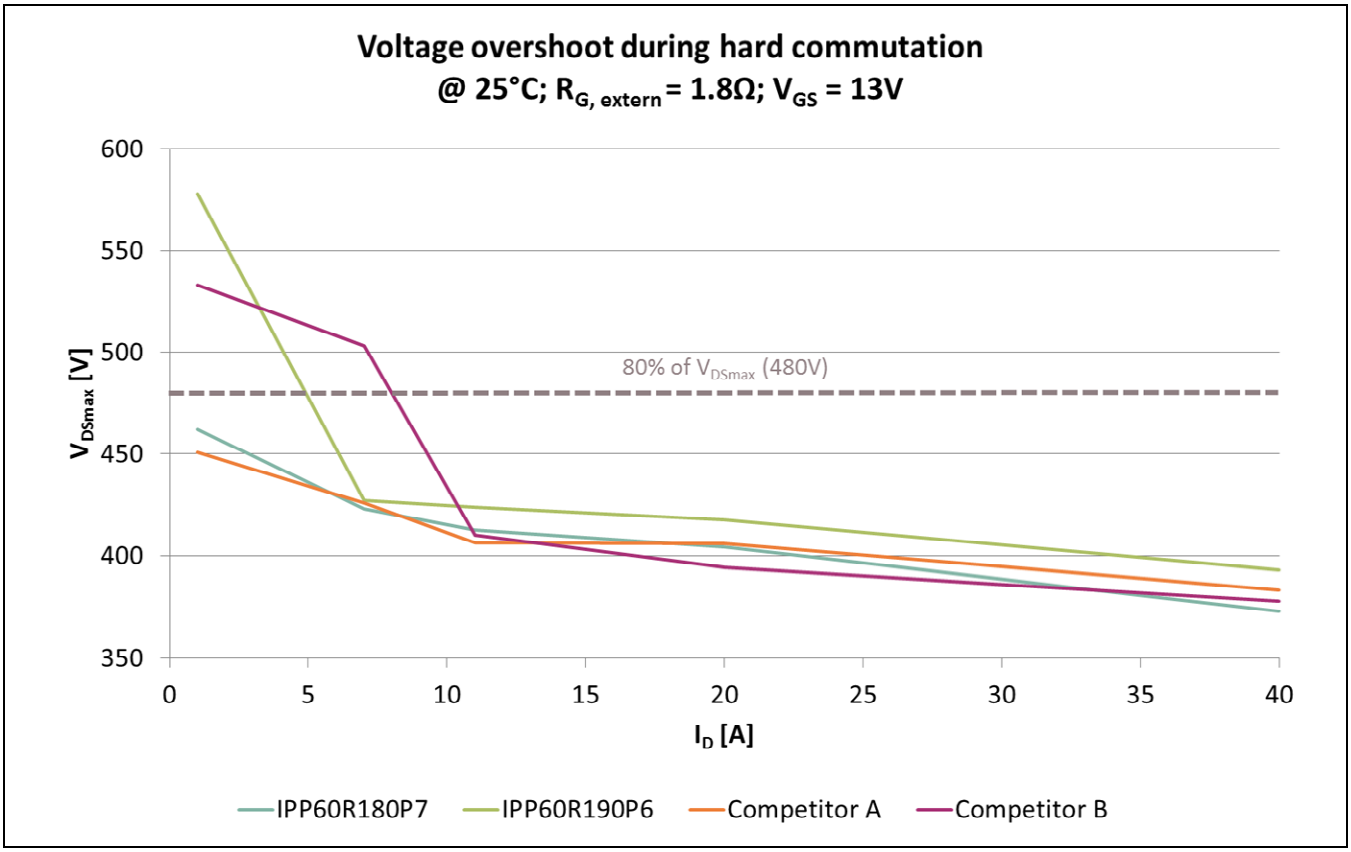


図 25　CoolMOS™ P7、P6、および競合品の激しい転流中の電圧オーバーシュート

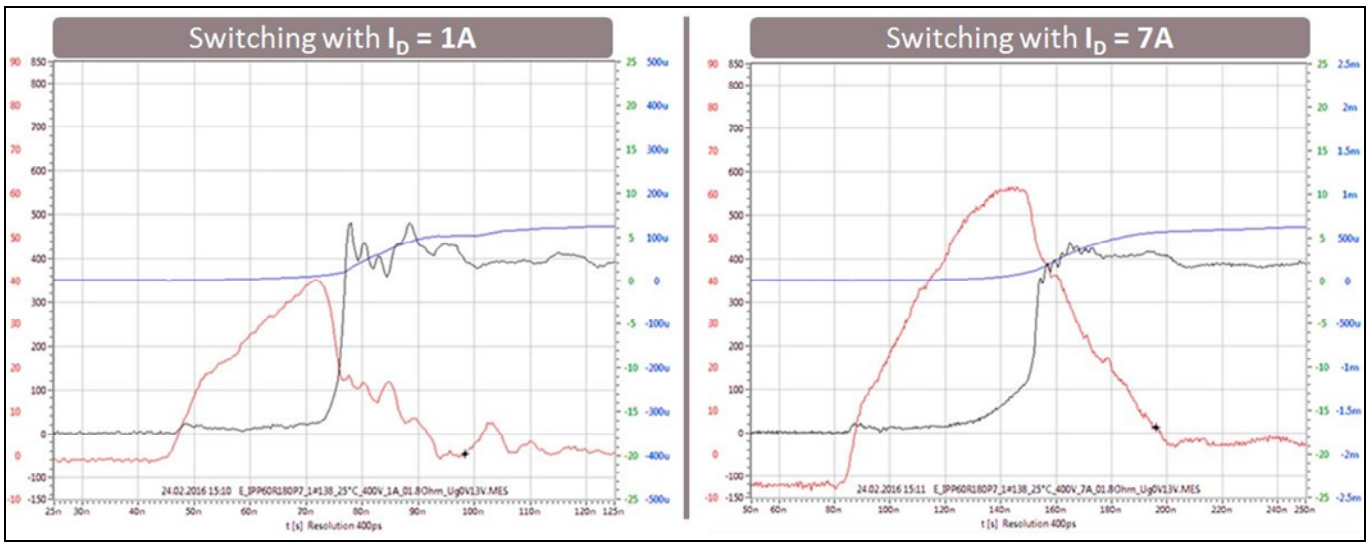


図 26　CoolMOS™ P7 における 1A と 7A での 180mΩ のデバイスの激しい転流現象

図 26 は、ボディダイオードを流れる電流が 1A と 7A のときの 180mΩ で定格 600V の SJ デバイスの激しい転流現象を示しています。電流波形は赤色で、電圧波形は濃いグレーで示しました。

このセクションで示された結果は、回路とレイアウトに固有のものであることに注意してください。これは、設計によって異なるので、相対的な比較や理解のみを目的としています。

2.11 小さい単位面積当たりのオン抵抗 $R_{DS(on)}$

技術革新によって、最新の CoolMOS™ C7 は、CoolMOS™ ファミリーで最高の特性を得ることができ、導通損失とスイッチング損失を大幅に低減します。

同時に、パッケージによる制限がさらに緩和します。同じパッケージの場合、CoolMOS™ C7 技術は $R_{DS(on)}$をより小さくできます。図 27 に示すように、TO-220 パッケージの最小の $R_{DS(on)}$は 60mΩ で、これは他の技術よりも 32%低くなっています。全体として、優れた電力変換システムにおいて高い電力密度と高い効率を実現できます。

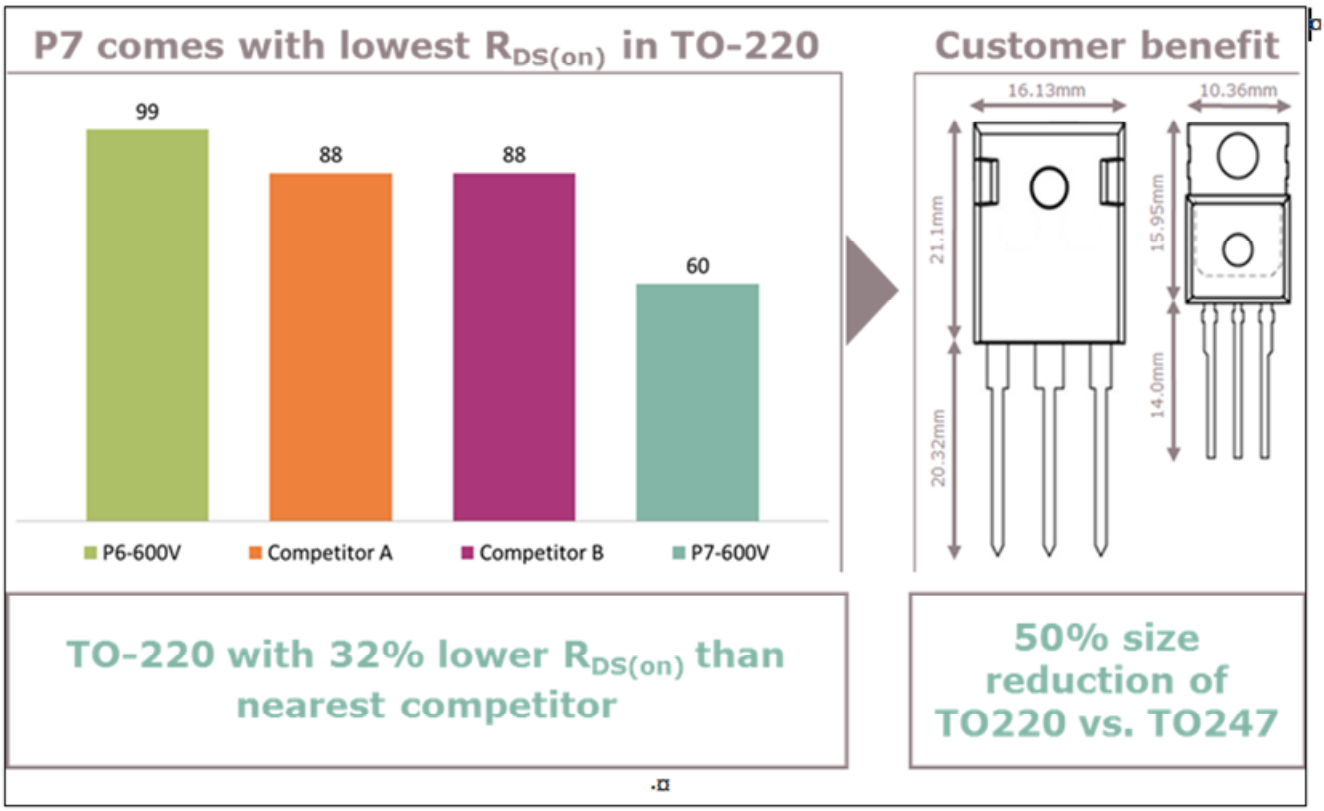


図 27　CoolMOS™ P7、P6、および競合品の単位面積当たりのオン抵抗 $R_{DS(on)}$の比較

通常、パッケージの選択は、放熱によって決められ、場合によっては、より小さい熱インタフェース領域を備えたより小さいパッケージが採用できないことがあります。しかし、600V CoolMOS™ P7 のように全体の損失を低減することによって、熱的および機械的な設計で、より小さいパッケージを使うことができると同時に、同様の温度特性を維持することができます。

3 実験結果

3.1 標準的な 500W の CCM PFC における効率の比較

特性評価データを参照すると、600V P7 は、低 E_{oss}、低スイッチング損失、低 Q_g、低 $R_{DS(on),typ}$ などが要求されるハードスイッチング構成で、明確に大幅に改善できることが明らかです。

図 28 は、10Ω の外部 R_g を使ったときの 65kHz における 500W のハードスイッチング CCM PFC の効率の差を示した図です。P7 は、全負荷範囲にわたって、効率が少なくとも 0.15%以上向上し、最高の特性が得られます。

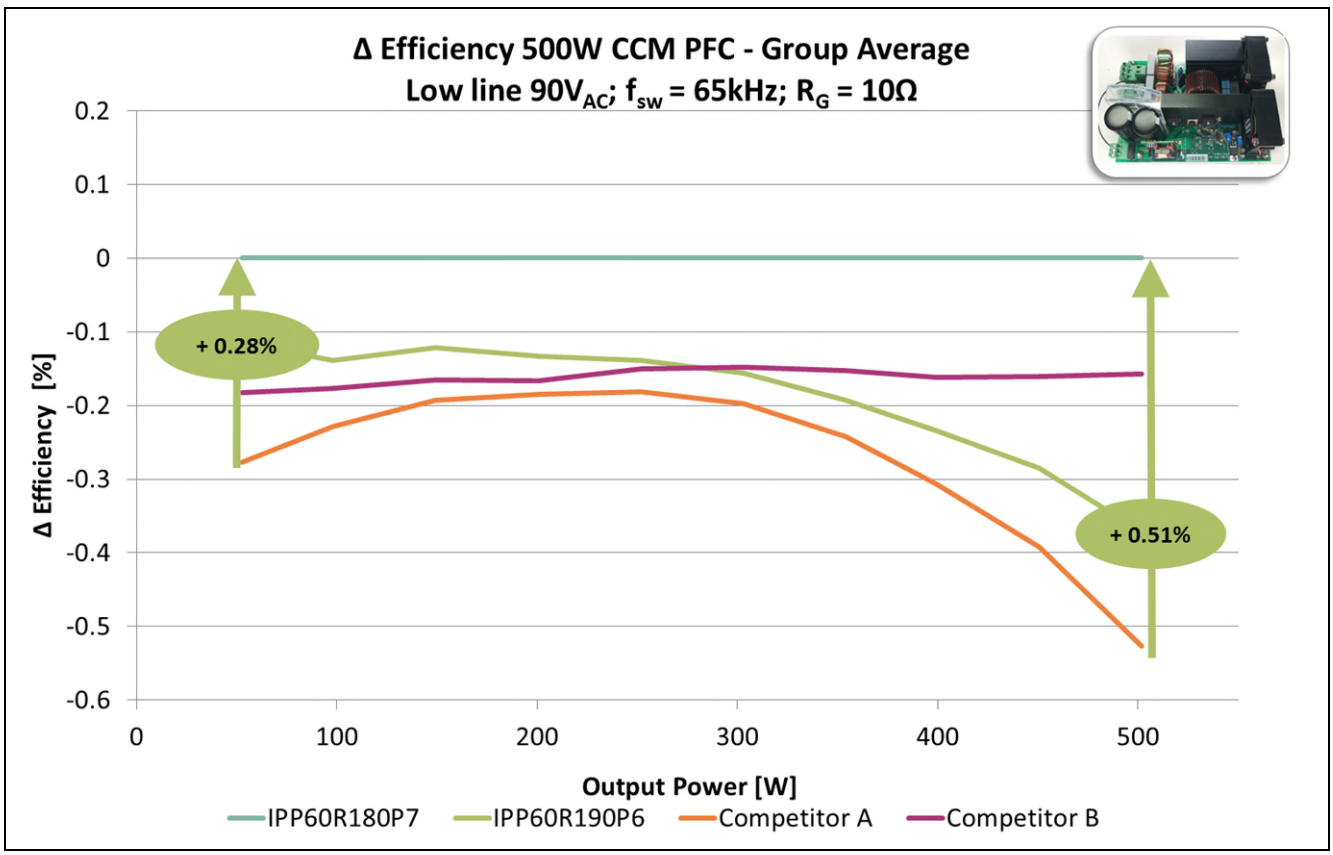


図 28 CoolMOS™ P7、P6 、および競合品との効率の比較

MOSFET の変更のみで、全負荷時の 0.51%の効率改善、2.5W 低損失になります。

より高いスイッチング周波数では、P7 の利点が、さらに顕著になることに注目してください。

3.2 600W の共振型 LLC ハーフブリッジにおける効率の比較

図 29 は、共振周波数 f_o = 157kHz で動作させ、V_{in} = 380 V、V_o = 12V のときの 600W の LLC 回路の効率の比較です。P7 は、ターンオフ損失が小さく、導通損失も小さいので、最高の競合デバイスと比べて、負荷範囲全体にわたって効率が約 0.1%改善しています。

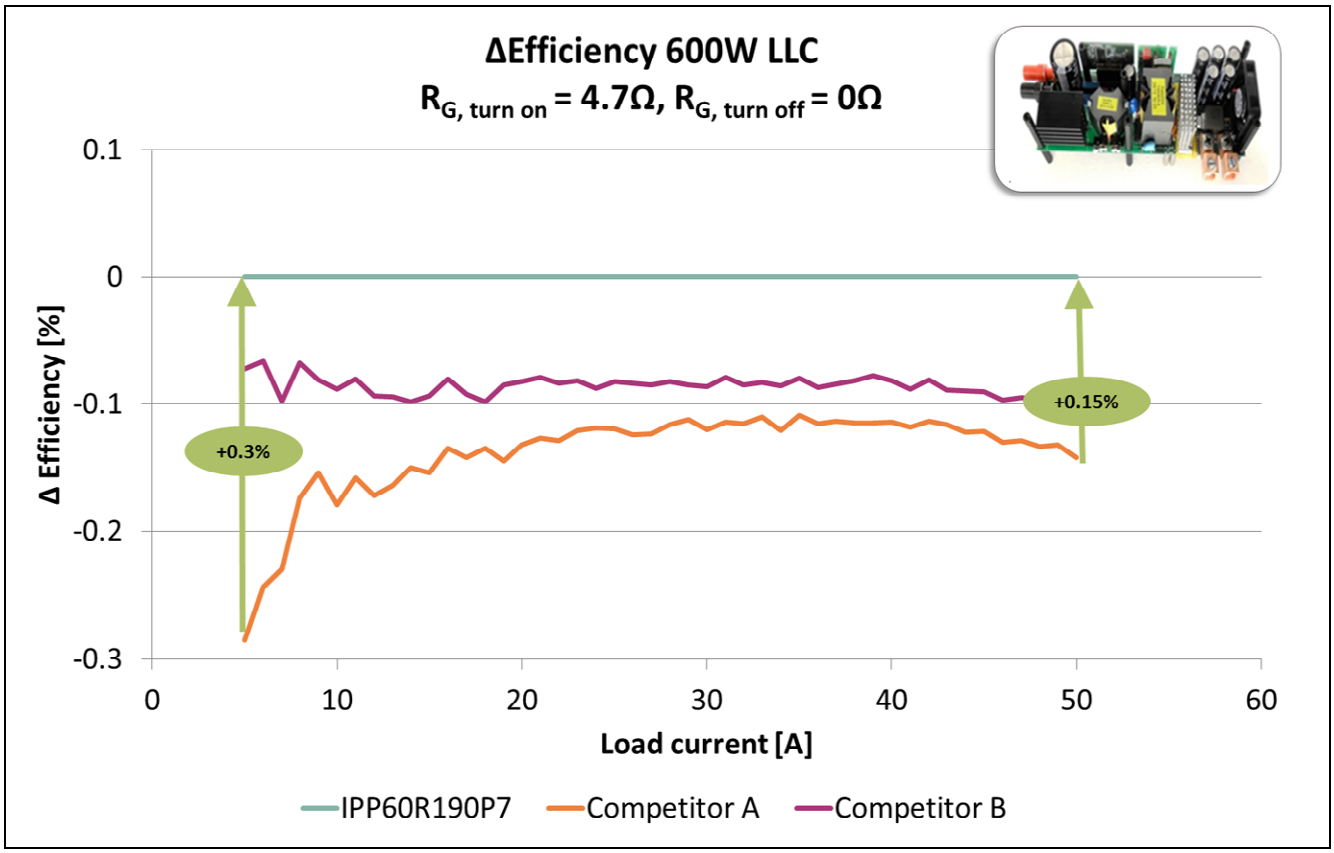


図 29　CoolMOS™ P7 または競合品を搭載した 600W の LLC ハーフブリッジ用途の効率の比較

3.3　ユーザーの実際の 240 W のパソコン用「シルバーボックス」での効率比較

図 30 は、ユーザーの実際の 240W のパソコン用シルバーボックス（電源回路）における効率の比較を示しています。V_{in} = 90V、スイッチング周波数が約 65 kHz でのプラグアンドプレイ測定で、P7 は、駆動損失、すなわちスイッチング損失の改善によって、軽い負荷で最大 0.3%の効率改善が得られ、導通損失の低減によって全負荷時に約 0.2%高い効率を実現しています。

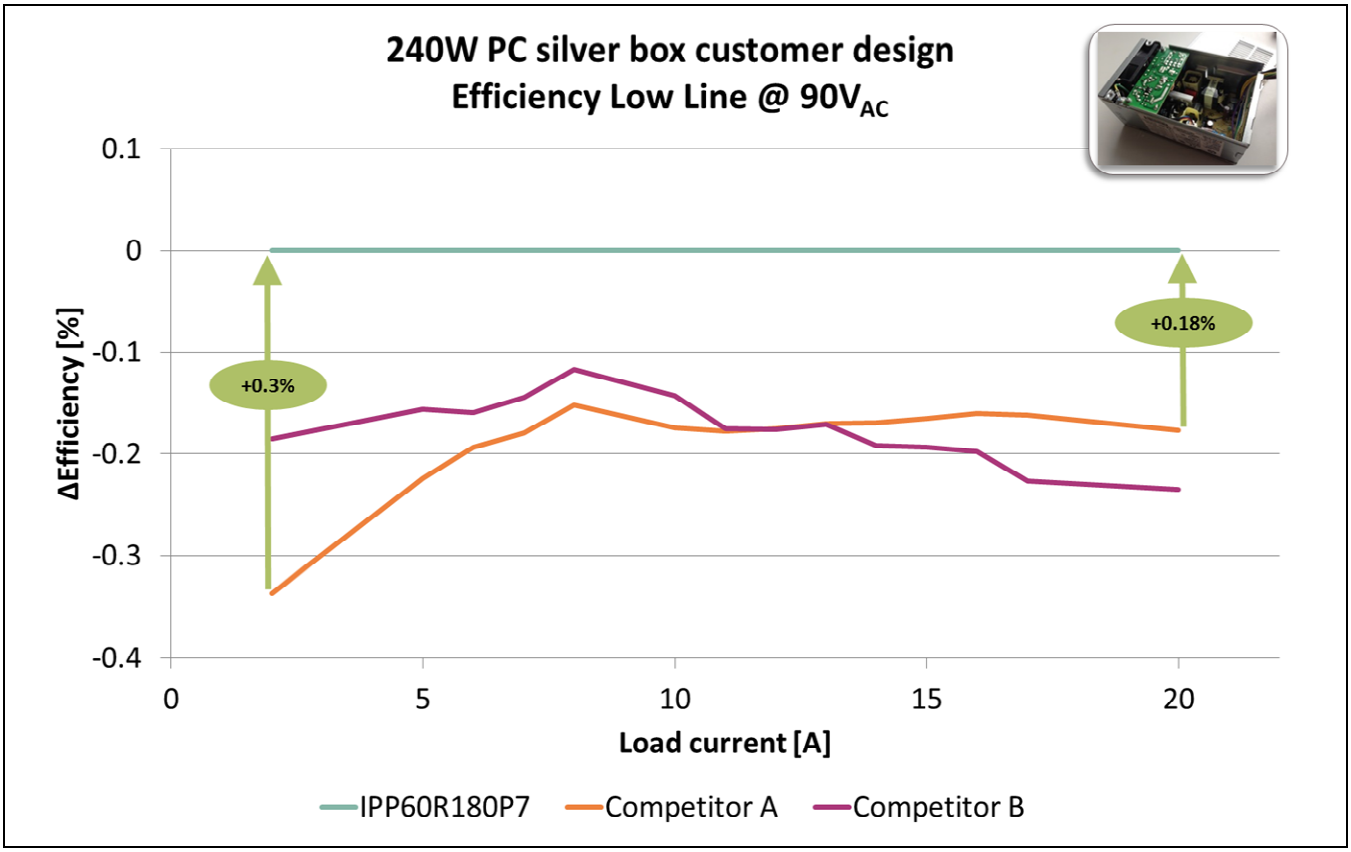


図 30　ユーザーの 240W 電源における CoolMOS™ P7 と競合品との効率の比較

3.4　ユーザーの実際のパソコン用 240W「シルバーボックス」のブラウンアウトテスト

スイッチング電源において、ブラウンアウトテストは、非常に重要です。これは、指定された最小入力電圧の下で、電源をシャットダウンし、損傷の可能性をチェックするテストです。この状態は通常、コントローラの保護機能によって対処されるため、MOSFET は、低いラインの低入力電圧（ブラウンアウト）に対して保護されます。ブラウンアウト領域で動作しているときの課題の 1 つは、この電源が出力電力を供給している間、MOSFET の温度安定性を管理することです。大きな動作電流による大きな導通損失と大きなスイッチング損失の組み合わせによって、MOSFET に大きな電力消費が発生し、デバイスを高い温度に上昇させてしまいます。

CoolMOS™ P7 は、ターンオン損失とターンオフ損失を低減するための高速スイッチングを可能にする、低 Q_g、バランスのとれた、内蔵の低 R_g を備えています。P7 は、非常に効率的なスイッチング損失に加えて、$R_{DS(on)}$が低いので導通損失も非常に小さくなります。以下の図 31 に示す 240W の CCM PFC アプリケーションのテストでは、CoolMOS™ P7 のパッケージ温度は、低ライン入力電圧において、競合品 A や競合品 B よりも 5℃～7℃低くなります。

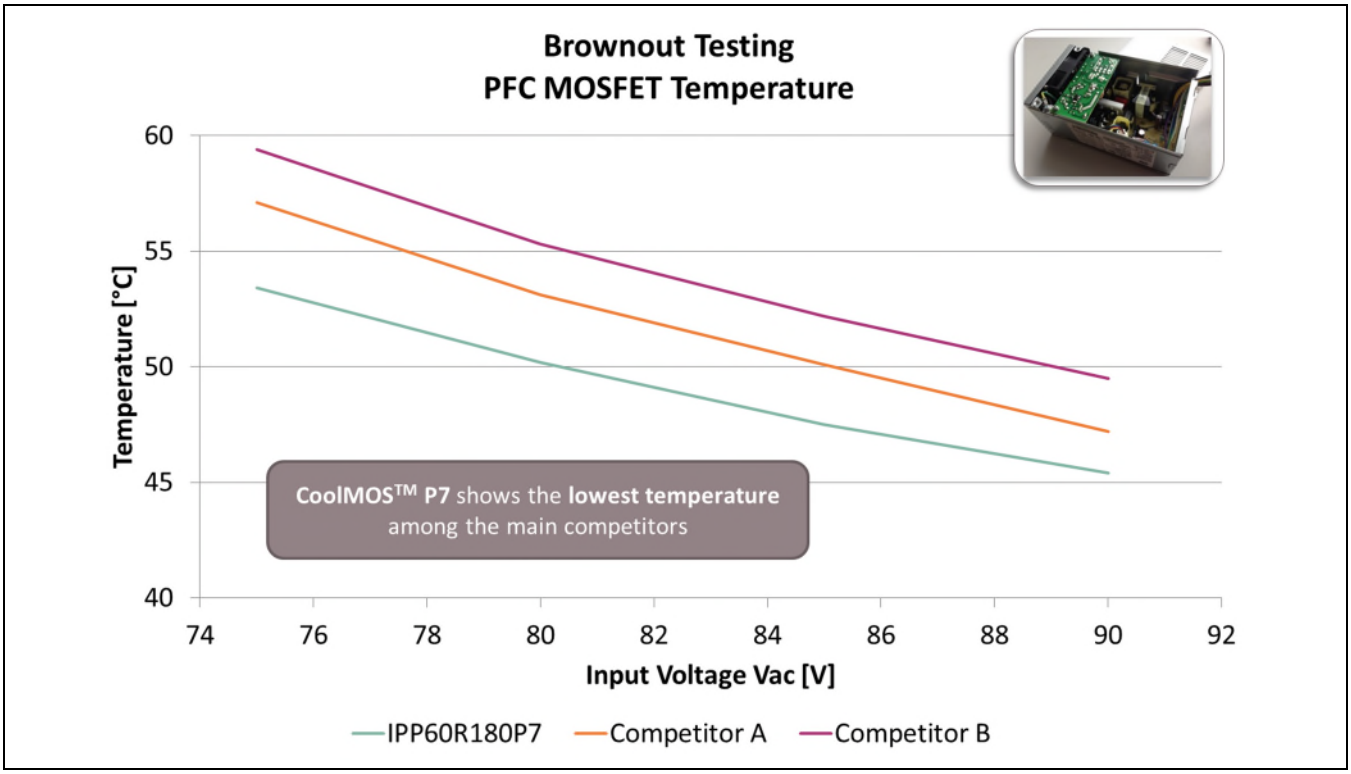


図 31　ユーザーの 240 W 電源における CoolMOS™ P7 と競合品との温度の比較

3.5　リンギング

図 32 は、P6、競合品 A、競合品 B と比較した P7 のゲートのリンギングのピーク電圧を示しています。V_{GS} のピークは、プリント回路基板の寄生容量を模擬するために、ゲートとドレインの間に 7.2pF の容量結合を備えた標準的な PFC 段を使って測定します。このレイアウトの寄生容量は、特に負荷電流の増加に伴うゲートスイッチング波形の雑音の原因となります。

この測定で、P7 は、Q_g が低減されても非常に良好なゲートスイッチング波形を示し、ゲートのリンギング仕様の限界±30V に対して、十分なマージンがあります。

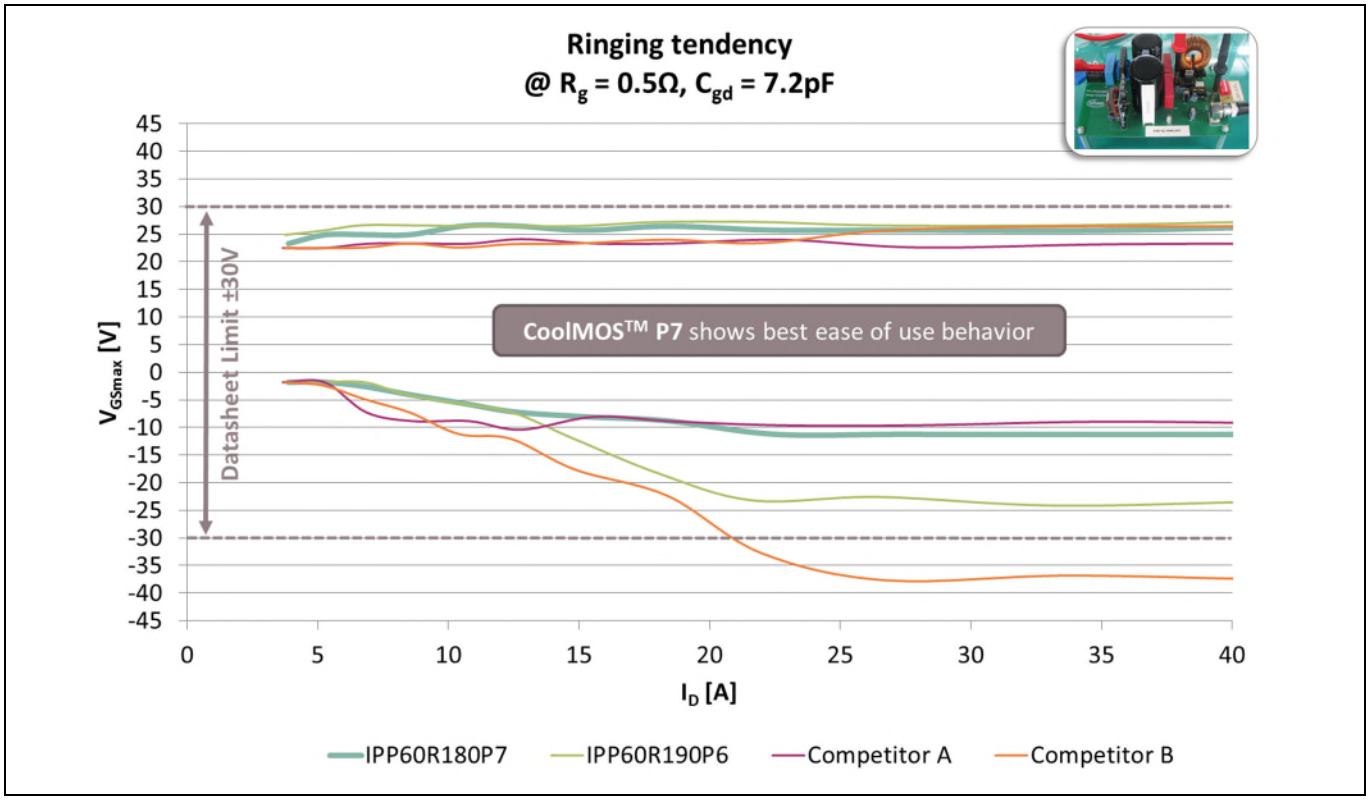


図 32　CoolMOS™ P7、P6、および競合品とのリンギング傾向の比較

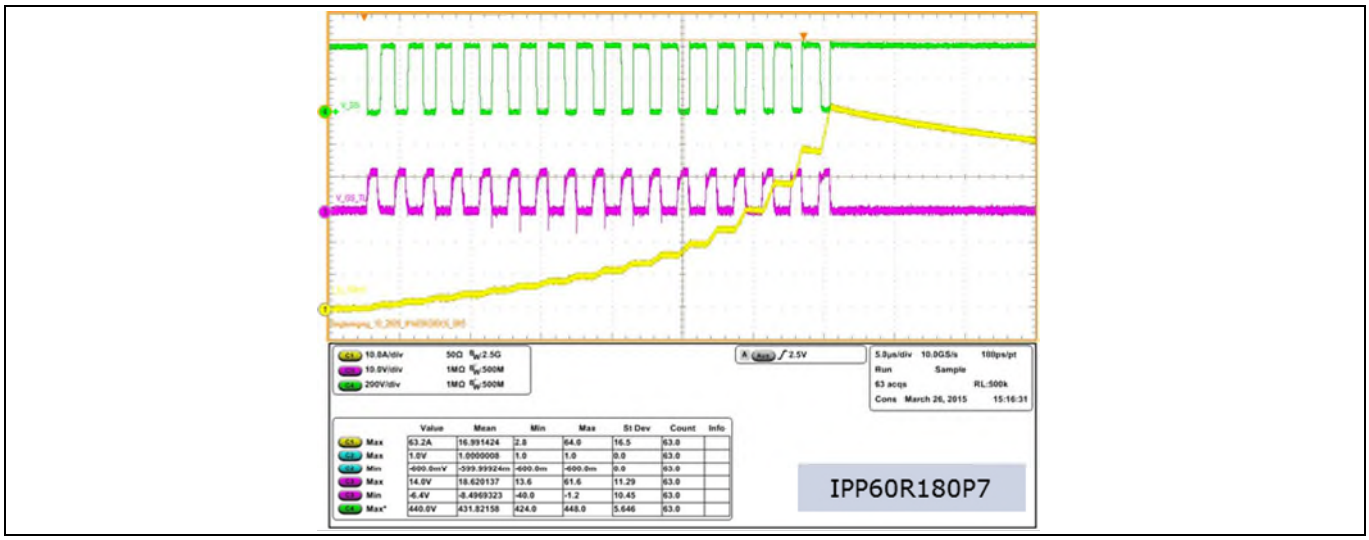


図 33　PFC における CoolMOS™ P7 のリンギング傾向

図 33 に、PFC 回路に使った IPP60R180P7 の標準的なスイッチング波形を示します。このテスト回路は、プリント回路基板の寄生容量を模擬するためのゲートとドレインとの間の容量結合として、ゲートとドレインとの間に容量 7.2pF を外付けしています。設計者は、MOSFET の最高の特性を引き出すために、この寄生容量を最小化するためのレイアウトに注意してください。この測定では、180mΩ のデバイスに対して、非常に小さい 0.5Ω の R_g を外付けしています。

スイッチング波形は、V_{DS} = 400V（緑色で表示）と V_{GS} = 13V（紅色で表示）で測定されます。黄色で示された電流波形は、飽和まで、毎パルスごとに増加しており、この飽和は、ピーク電流レベル 64A に

おける V_{DS} のオフセットとして表われます。最適化された R_g を搭載した P7 は、V_{GS} の制限±30V に対して十分なマージンがある非常に素晴らしいスイッチング波形になります。

4 設計のガイドライン

以下のセクションでは、最適化された特性を実現するための最高の方法について、CoolMOS™ P7 の最適な利用方法のガイドラインをいくつか示します。

4.1 最小の外部ゲート抵抗（$R_{g,ext}$）

うまく設計された電源では、ターンオンには 5Ω 程度、ターンオフには 0Ω の非常に小さい抵抗を外付けすることを推奨します。内部抵抗 $R_{g,int}$ の搭載と CoolMOS™ P7 の非常に丈夫な設計によって、効率的な外付け抵抗 R_g の選択が可能になりました。ただし、外付け R_g の選択は常に、、L_{stray}・di/dt の電圧信号と $C_{parasitics}$・du/dt の電流信号によって、MOSFET 上に予想外の電圧や電流のピークを発生させるするプリント回路基板の寄生成分と関連があります。このようなピークを防止するためには、MOSFET の寄生成分を小さくするか、$R_{g,ext}$ を大きくすることを推奨します。

4.2 600V P7の並列化

600V P7 を並列接続する場合は、ゲートまたは分離されたトーテムポールの駆動回路にフェライトビーズを使うことを推奨します。

5 ポートフォリオ

CoolMOS™ P7 シリーズは、P6 シリーズなどですでに確立されているものと同じ命名規則に従います。IPP60R190P6 では、「I」はインフィニオンテクノロジーズ、「P」はパワーMOSFET、「P」はパッケージ TO-220、60 は耐圧の分類（10 分周）、「R190」は Ω 単位のオン抵抗、P6 はシリーズ名です。 図 34 が CoolMOS™ P7 のポートフォリオです。

CoolMOS™ C7 製品の革新は、600V P7 にも採用されています。主なポイントは次の通りです。

1. 4 番目のピン（ケルビンソース）によって、より大きな電力範囲で大きな特性上のメリットを提供する一般的な 4 ピン TO-247 パッケージを用意しました。沿面距離の増加も明らかな利点です。

2. TO-220 パッケージ封止の競合デバイスと比べて、最大 $R_{DS(on)}$が大幅に小さくなりました。このパッケージの差異化は、一般的な TO-247 パッケージと比べて、ソースインダクタンスが約 50%小さくでき、スペースも約 50%小さくできます。

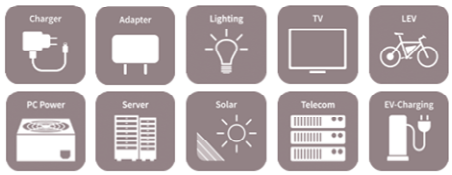
3. ThinPAK パッケージの競合品と比べて、製品の最大 $R_{DS(on)}$を大幅に低くしました。寄生ソースインダクタンスの低減によって、高速スイッチングが可能になり、効率が向上します。

4. 広く細分化されたポートフォリオによって、スイッチング電源の設計者は、最適化のための賢明なトレードオフが可能になります。

5. 産業用グレードと民生用グレードを含めたアプリケーションごとに専用化したポートフォリオ。

6. TO-220 FullPAK Wide Creepage によって、沿面距離が長いことによる生産品質レベルの向上が可能です。

	$R_{DS(ON)}$ [mΩ] Max.	DPAK	D²PAK	ThinPAK 8x8	TO220 FullPAK	TO220	TO220 FP NL	TO220 FP WC	TO247	TO247-4	SOT223
Industrial grade	600	IPD60R600P7			IPA60R600P7	IPP60R600P7					
	360/365	IPD60R360P7	IPB60R360P7	IPL60R365P7	IPA60R360P7	IPP60R360P7					
	280/285	IPD60R280P7	IPB60R280P7	IPL60R285P7	IPA60R280P7	IPP60R280P7					
	180/185	IPD60R180P7	IPB60R180P7	IPL60R185P7	IPA60R180P7	IPP60R180P7			IPW60R180P7	IPZA60R180P7	
	160				IPA60R160P7	IPP60R160P7					
	120/125		IPB60R120P7	IPL60R125P7	IPA60R120P7	IPP60R120P7			IPW60R120P7	IPZA60R120P7	
	99/105		IPB60R099P7	IPL60R105P7	IPA60R099P7	IPP60R099P7			IPW60R099P7	IPZA60R099P7	
	80		IPB60R080P7	IPL60R085P7	IPA60R080P7	IPP60R080P7			IPW60R080P7	IPZA60R080P7	
	60/65		IPB60R060P7	IPL60R065P7	IPA60R060P7	IPP60R060P7			IPW60R060P7	IPZA60R060P7	
	45		IPB60R045P7						IPW60R045P7	IPZA60R045P7	
	37								IPW60R037P7	IPZA60R037P7	
	24								IPW60R024P7	IPZA60R024P7	
Standard grade	600	IPD60R600P7S			IPA60R600P7S		IPAN60R600P7S	IPAW60R600P7S			IPN60R600P7S
	360	IPD60R360P7S			IPA60R360P7S		IPAN60R360P7S	IPAW60R360P7S			IPN60R360P7S
	280	IPD60R280P7S			IPA60R280P7S		IPAN60R280P7S	IPAW60R280P7S			
	180	IPD60R180P7S			IPA60R180P7S		IPAN60R180P7S	IPAW60R180P7S			



- Large $R_{DS(on)}$ and package variety
- Offering through hole and SMD packages
- Suitable for a wide variety of applications and power ranges

図 34　600V CoolMOS™ P7 のポートフォリオ

6 結論

このアプリケーションノートでは、インフィニオンの最新の HV SJ 600V CoolMOS™ P7 MOSFET 技術について、以下の重要な特徴を説明しました。

1 ターゲット市場に最適な特性

- スイッチング損失の大幅な削減（−50%E_{oss}、−30%Q_g、−20%ターンオフ損失）
- 低い $R_{DS(on)}$パッケージ（TO-220、ThinPAK、...）
- 面積の小型化が可能

2 「使いやすさ」における新しい最先端技術

- 非常に小さいリンギング傾向
- ボディダイオードの優れた耐性
- スムーズなスイッチング波形
- 2 kV（HBM）を超える優れた ESD 耐性

3 最高クラスの商業的側面

- 最高クラスの費用対効果
- 9 種類のパッケージで 60 種の部品
- 37～600 mΩ の範囲での $R_{DS(on)}$の細分化
- 産業用グレードおよび民生用グレードのパッケージを用意
- 多様な用途や電力範囲に最適

実際のアプリケーションでの測定において、FOM が小さい CoolMOS™ P7 は、最も一般的な競合デバイスと比べて、スムーズな「使いやすさ」と合わせて、効率を向上できることも実証されています。

この特徴によって、設計技術者は、高効率、高電力密度、高い耐久性、素晴らしい温度特性を備えたパワーコンバータを簡単に設計できます。したがって、CoolMOS™ P7 は、長期的な見通しを立てやすく、最高の費用対効果が得られるソリューションです。

7 略語のリスト

C_{GD} ..... 内部のゲート-ドレイン間容量 $C_{GD}=C_{rss}$
C_{iss} ..... 入力容量 $C_{iss}=C_{GS}+C_{GD}$
$C_{o(er)}$ ..... 実効出力容量
di/dt ..... ターンオフ／ターンオン時の転流電流の急峻性
DUT ..... 被測定物
dv/dt ..... ターンオフ／ターンオン時の転流電圧の急峻性
E_{off} ..... スイッチオフ中の電力損失
E_{on} ..... スイッチオン中の電力損失
E_{oss} ..... 標準 V_{DS} = 400V のときの出力容量 C_{oss} の蓄積エネルギー
FOM ..... 性能指数（figures of merit）
I_D ..... ドレイン電流
MOSFET ..... metal oxide semiconductor field effect transistor
PFC ..... 力率改善（power factor correction）
pnp ..... バイポーラトランジスタの極性（pnp と npn）
Q_{OSS} ..... C_{oss} に蓄積された電荷
$R_{DS(on)}$ ..... ドレイン-ソース間のオン抵抗
SMPS ..... スイッチング電源（switched mode power supply）
V_{DS} ..... ドレイン-ソース間電圧
ZVS ..... zero voltage switching
Q_G ..... ゲート電荷
Q_{GS} ..... ゲート-ソース間電荷
Q_{GD} ..... ゲート-ドレイン間電荷
R_G ..... ゲート抵抗
CCM PFC ..... continous conduction mode power factor correction
L_S ..... ソースインダクタンス
LLC ..... ゼロ電圧スイッチングを維持するための共振タンクを備えた DC-DC 段

8 利用可能な資料とリンク

- 600V CoolMOS™ P7 のウエブページ
  www.infineon.com/600V-P7/jp
- 600V CoolMOS™ C7 のウエブページ
  www.infineon.com/C7/jp
- 600V CoolMOS™ P6 のウエブページ
  www.infineon.com/P6/jp

9 参考文献

[1] X. B. Chen and C. Hu, Optimum doping profile of power MOSFET's epitaxial Layer. IEEE Trans.Electron Devices, vol. ED-29, pp. 985-987, 1982.

[2] T. Fujihira: "Theory of Semiconductor superjunction Devices", Jpn.J.Appl.Phys., Vol. 36, pp. 6254-6262, 1997.

[3] Deboy, G., März, M., Stengl, J. Strack, H., Tihanyi, J. and Wever, H., A New Generation of High Voltage MOSFETs Breaks the Limit of Silicon. Proc. IEDM 98, San Francisco, Calif., December 1998, pp. 26.2.1- 26.2.3.

[4] G. Deboy, F. Dahlquist, T. Reimann and M. Scherf: Latest Generation of superjunction Power MOSFETs Permits the use of Hard-switching Topologies for High Power Applications. Proceedings of PCIM Nürnberg, 2005, pp. 38-40.

[5] Hancock, J. M.: Advancing Performance in HV Semiconductors Enables Hard Switching Topologies, Proceedings of Power Electronics Technology Conference, October 2005, on CD-ROM.

[6] F. Stueckler, E. Vecino, Infineon Technologies Application Note: "CoolMOS™ C7 650V Switch in a Kelvin Source Configuration". May 2013.

[7] http://www.infineon.com/dgdl/Infineon+-+Application+Note+-+TO-247-4pin+-+650V+CoolMOS™+C7+Switch+in+a+Kelvin+Source+Configuration.pdf?folderId=db3a304333b8a7ca0133c6bec0956188&fileId=db3a30433e5a5024013e6a9908a26410

[8] J. Hancock, F. Stueckler, E. Vecino, Infineon Technologies Application Note: "CoolMOS™ C7 : Mastering the Art of Quickness". April 2013.

[9] http://www.infineon.com/dgdl/Infineon+-+Application+Note+-+650V+CoolMOS™ +C7+-+Mastering+the+Art+of+Quickness.pdf?folderId=db3a304333b8a7ca0133c6bec0956188&fileId=db3a30433e5a5024013e6a966779640b

[10] S. Abdel-Rahman, F. Stueckler, K. Siu, Infineon Technologies Application Note: "PFC Boost Converter Design Guide. November 2014.

[11] http://www.infineon.com/dgdl/Infineon-ApplicationNote_PFCCCMBoostConverterDesignGuide-AN-v02_00-EN.pdf?fileId=5546d4624a56eed8014a62c75a923b05

[12] F. Stueckler, Sam Abdel-Rahman, Ken Siu 600 V CoolMOS™ C7 Design Guide Tuning the limits of Silicon

[13] A. Steiner, J.Cathly 600V CoolMOS™ P6 600V Superjunction MOSFET for Server, Telecom, PC Power and Consumer

10 改訂履歴

最終版以降の主な変更

ページまたは参照	変更内容
Page 24	Update link to figure
Page 3…34	Update format

Trademarks of Infineon Technologies AG
µHVIC™, µIPM™, µPFC™, AU-ConvertIR™, AURIX™, C166™, CanPAK™, CIPOS™, CIPURSE™, CoolDP™, CoolGaN™, COOLiR™, CoolMOS™, CoolSET™, CoolSiC™, DAVE™, DI-POL™, DirectFET™, DrBlade™, EasyPIM™, EconoBRIDGE™, EconoDUAL™, EconoPACK™, EconoPIM™, EiceDRIVER™, eupec™, FCOS™, GaNpowIR™, HEXFET™, HITFET™, HybridPACK™, iMOTION™, IRAM™, ISOFACE™, IsoPACK™, LEDrivIR™, LITIX™, MIPAQ™, ModSTACK™, my-d™, NovalithIC™, OPTIGA™, OptiMOS™, ORIGA™, PowIRaudio™, PowIRStage™, PrimePACK™, PrimeSTACK™, PROFET™, PRO-SIL™, RASIC™, REAL3™, SmartLEWIS™, SOLID FLASH™, SPOC™, StrongIRFET™, SupIRBuck™, TEMPFET™, TRENCHSTOP™, TriCore™, UHVIC™, XHP™, XMC™

Trademarks updated November 2015

Other Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 24.03.2017

Published by

Infineon Technologies AG

81726 Munich, Germany

© 2019 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?

Email: erratum@infineon.com

Document reference
AN_201703_PL52_015

IMPORTANT NOTICE

The information contained in this application note is given as a hint for the implementation of the product only and shall in no event be regarded as a description or warranty of a certain functionality, condition or quality of the product. Before implementation of the product, the recipient of this application note must verify any function and other technical information given herein in the real application. Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind (including without limitation warranties of non-infringement of intellectual property rights of any third party) with respect to any and all information given in this application note.

The data contained in this document is exclusively intended for technically trained staff. It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on the product, technology delivery terms and conditions and prices please contact your nearest Infineon Technologies office (**www.infineon.com**).

WARNINGS

Due to technical requirements products may contain dangerous substances. For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.