SMPS におけるロー サイド MOSFET ドライバの利点

本書について

範囲と目的

本アプリケーション ノートでは、インフィニオン テクノロジーズが提供する EiceDRIVER™ ファミリーのロー サイド MOSFET ドライバの主な機能と利点について説明します。1EDN/2EDN ファミリーの MOSFET ドライバは、パワーMOSFET をオン状態とオフ状態に駆動する必要があるスイッチモード電源（SMPS）で使用することを目的としています。SMPS で使われているさまざまな電力変換トポロジで効率的な電力変換を実現するには、このドライバと MOSFET の組み合わせが効果的に機能する必要があります。スイッチング性能を強化するには、MOSFET ドライバ IC の機能を理解することが重要です。本アプリケーション ノートでは、パワーMOSFET をスイッチングするための堅牢で効率的なドライバ段を作成する設計者を支援するために 1EDN/2EDN ドライバを使用することの利点について説明します。

対象読者

本書は、SMPS、MOSFET ドライバ、およびスーパー ジャンクション トランジスタに関して入門レベルの技術知識を持つ設計者向けです。

目次

1 MOSFET ドライバ IC の基本検討事項 3
1.1 ドライバ入力段の利点 6
1.1.1 耐マイナス電圧能力 - パルストランスから駆動する場合または非最適な PCB レイアウトで使用する場合に欠かせない安全上のマージン 6
1.1.2 正確な電圧しきい値、少ないばらつき、およびプルアップ/プルダウン抵抗器により機能の堅牢性を保証 8
1.2 出力段の利点 9
1.2.1 1EDN7511B/1EDN8511B の独立したソース出力とシンク出力 9
1.2.2 逆電流対応能力 - 出力段の内蔵ダイオードにより外部ダイオードが不要 10
1.2.3 ドライバ内部の電力損失 11
1.2.4 MOSFET の駆動電流能力 13
1.2.5 低電圧対応能力 - 信頼できる MOSFET 保護 15
1.3 伝播遅延 16
1.4 パッケージング 18
2 PCB 設計の検討事項 20
2.1 レイアウトに関する推奨事項 20
2.2 典型的な 2EDN レイアウトのスナップショット 21
2.3 熱に関する推奨事項 23

3 MOSFET ドライバの試験 24
3.1 堅牢性の試験およびさまざまなドライバ出力段の試験 24
3.2 出力逆電流試験および他の MOSFET ドライバとの比較 26
3.3 ダイオードによる出力逆電流保護試験 28
4 結論 30
5 参考資料と推奨リンク 31
6 改訂履歴 32

1 MOSFET ドライバ IC の基本検討事項

効率的な電力変換を実現する鍵となる要因は、SMPS のパワー段で発生するスイッチングにあります。今日の高周波数、高性能の PWM コントローラの多くは、アナログまたはデジタルのどちらも、直接パワーMOSFET を駆動する能力がありません。MOSFET ドライバ IC は、PWM の低電力スイッチング信号と MOSFET が要求する高電流の間のインターフェイスになります。力率改善回路（PFC）、ハーフブリッジ LLC やフルブリッジ ZVS などの共振段、同期整流などのコンバータ トポロジを決定した後でそのトポロジに最適なドライバ IC を選択するには、スイッチング性能を高めるために最も重要な MOSFET ドライバ IC の機能に対する理解が必要です。

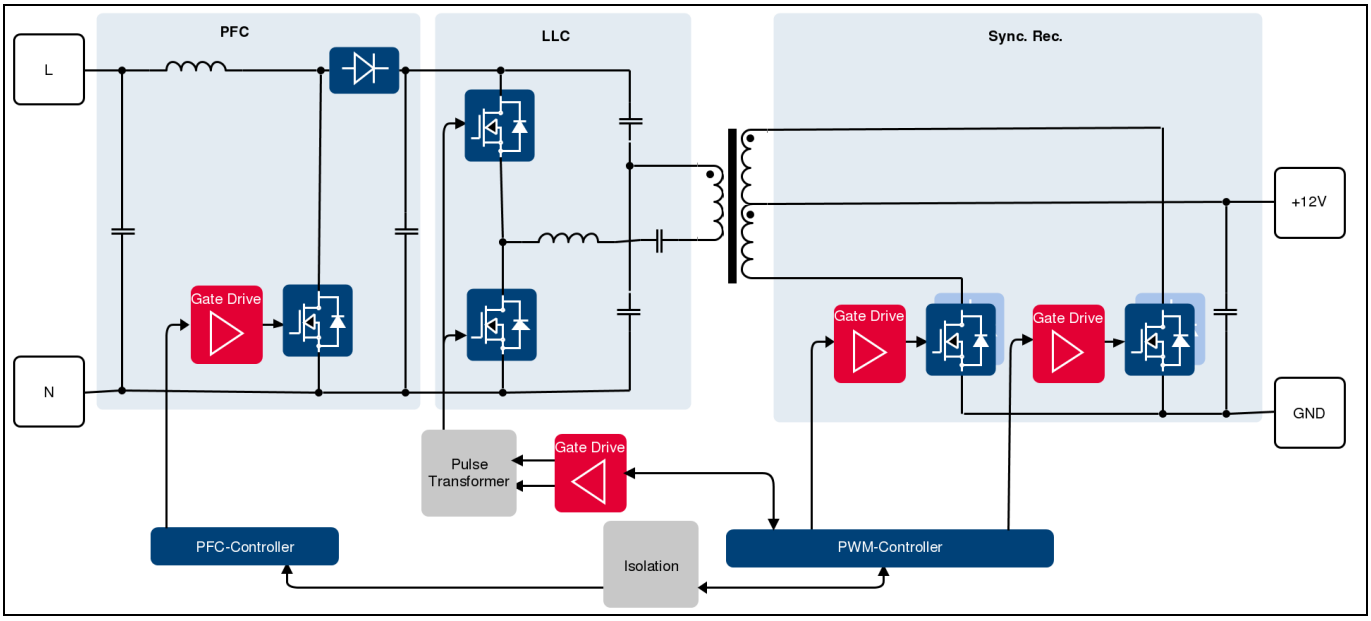


図1. **PFC、メイン、および同期整流段を搭載した典型的なサーバー電源**

この後は、MOSFET ドライバ IC のさまざまなステージの概要について説明します。

典型的なアプリケーション

図 1 の同期整流（SR）の例として、2EDN ドライバが 2 つの独立したチャネルとして設定されています（図 2）。各チャネルは入力側の PWM コントローラ ソースに接続されています。INA と INB は、PWM の信号を伝えます。ENA と ENB は、安全目的で使用できるゲート信号です。各ドライバ出力（OUTA と OUTB）は、ゲート抵抗器 R_{g1} と R_{g2} を使用して、MOSFET M_1 と M_2 を制御します。

MOSFET ドライバ IC の基本検討事項

高速遷移中の IC をサポートするコンデンサ C_{VDD} は、サポート電源を安全動作電圧レベルに維持します。

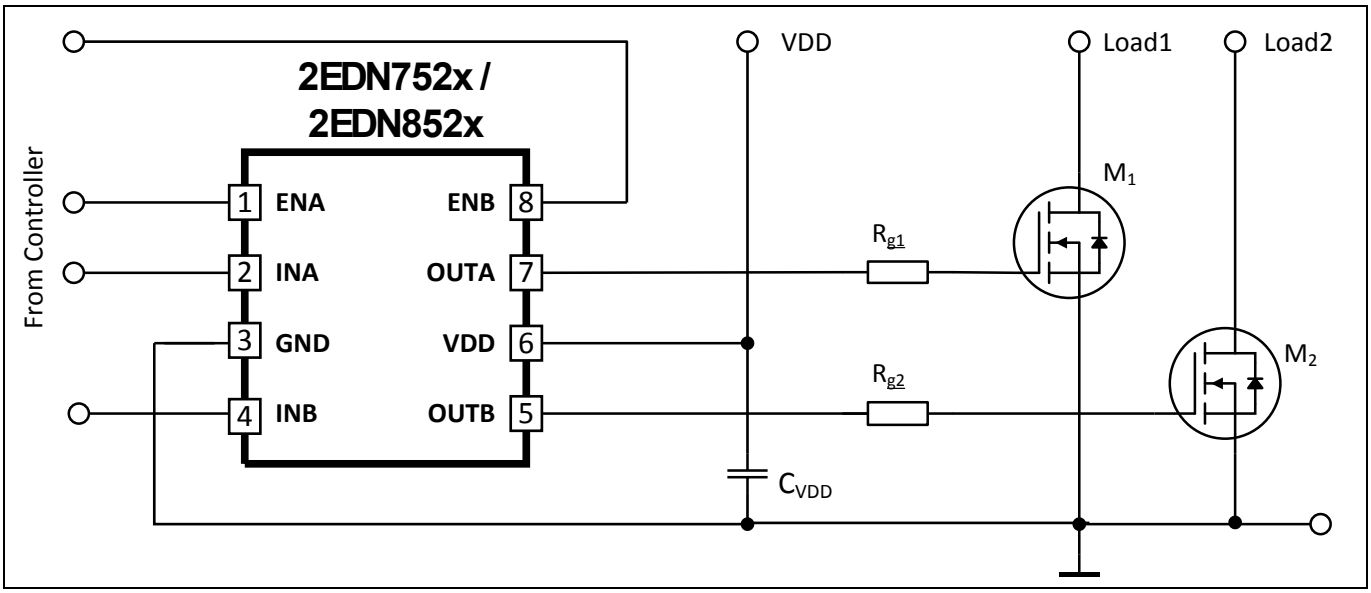


図2. **堅牢かつ低 $R_{DS(on)}$の MOS 単独出力段を搭載した高速スイッチング用 2EDN MOSFET ドライバ**

ロー サイド PFC MOSFET ドライバ回路の別の例を図 3 に示します。ここでは、1EDN ドライバが 2 つの独立したゲートドライバ抵抗経路として設定されています。ターンオンをサポートするソース経路の電流は、R_{g1} で制限します。ターンオフ中は、下側のシンク経路がアクティブになります。その電流は、R_{g2} で制限します。

この構成では、ターンオンとターンオフのタイミング動作を別々に調整できます。従来の設計では両方の経路を分離するためにダイオードが必要ですが、この回路は使用するスペースが少ないのでダイオードは不要です。

MOSFET ドライバ IC の基本検討事項

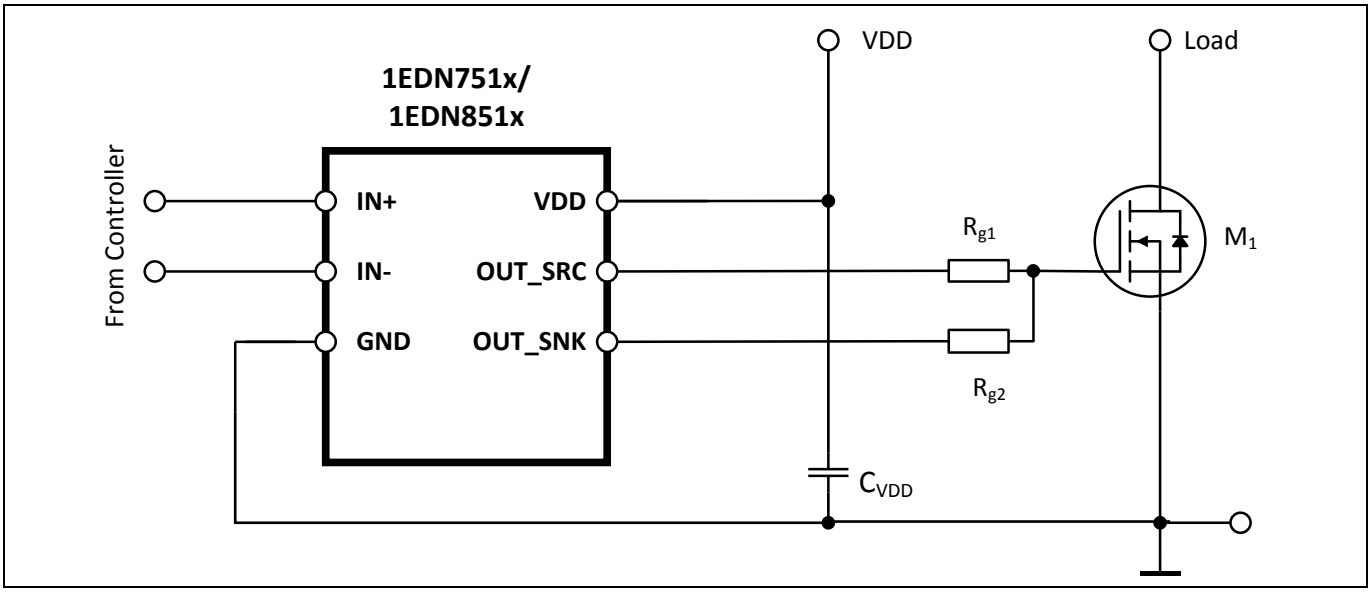


図3. ソース/シンク経路が分離された MOS 単独出力段を搭載した高速スイッチング用 1EDN MOSFET ドライバ

1.1 ドライバ入力段の利点

1.1.1 耐マイナス電圧能力 - パルストランスから駆動する場合または非最適な PCB レイアウトで使用する場合に欠かせない安全上のマージン

コントローラの GND ピンと MOSFET ドライバの GND の間の電圧オフセット

通常は、MOSFET ドライバは、PWM コントローラ（マイクロコントローラなど）と高耐圧 MOSFET の間で使用します。図 4 に示すように、ドライバのグランドピンは、MOSFET のソースピンの近くに接続します。ドライバから遠ざけて同じグランド ネットワークに接続したコントローラは、IN と EN に信号を送信します（1EDN：IN-/IN+入力）。これが可能なのは、グランド ネットワークの高電流ピークに起因します。グランド ネットワークのドライバとコントローラの間には、矢印「A」で示す電圧降下が存在します。コントロール IC がローレベル（0V に近い値）に駆動された場合、ドライバの入力側はマイナス電圧レベルに駆動されます。

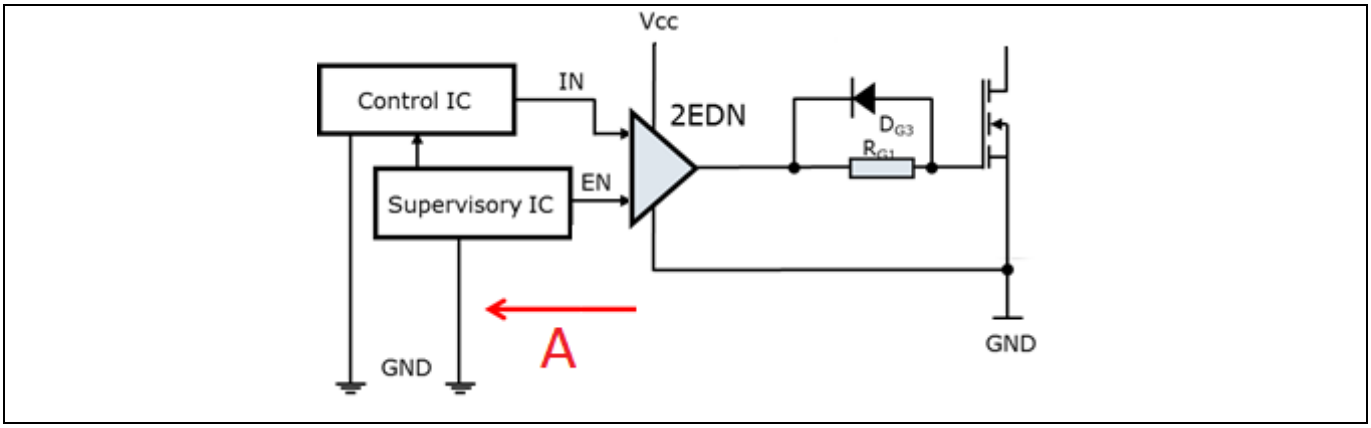


図4. **耐マイナス電圧スパイク能力を持つ 2EDN MOSFET ドライバ**

デュアル/シングルチャネル ロー サイド MOSFET ドライバ（2END752x/2EDN842x、1EDN751x/1EDN851x）は、最大 10V のマイナス電圧スパイクに対応できます。

標準的な MOSFET ドライバは、-0.3V までのマイナス電圧レベルしか許容しません。この制限は、量産での取り扱いにおける放電から IC を保護する ESD 構造に起因します。これらのローサイド MOSFET ドライバには、図 5 に示すように、-10～22V の範囲の電圧スパイクから回路を保護できるダイオードが組み込まれています。

MOSFET ドライバ IC の基本検討事項

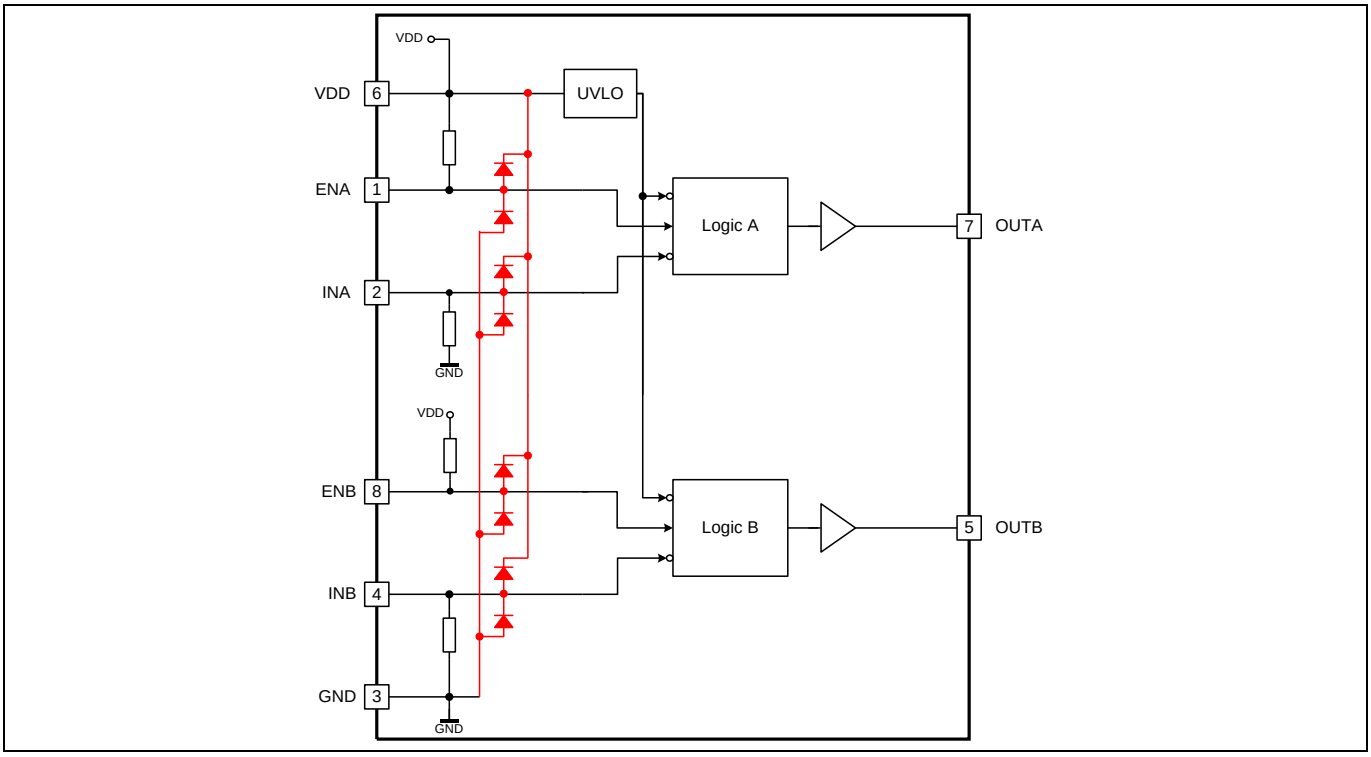


図5. **電圧範囲を制限するダイオードが組み込まれた標準的な MOSFET ドライバの ESD 構造（赤）**

PWM ソースに接続するには、入力ピンの電圧範囲が重要です。多くのアプリケーションが、コントローラ回路とドライバ回路の電源ラインを分離しています。このことは、V_{cc} または GND を遠ざけることができること、または図 4 で説明したように外部からの影響による電圧降下が可能であることを意味します。

1EDN/2EDN ファミリーの入力ピンは、マイナスまたは V_{cc} を超える電圧レベルに対応できます。ドライバの V_{cc} 電圧のシャットダウンは、入力ピンには一切影響しません。図 6 のツェナー ダイオード（A、B、C、および D）は、V_{cc} とは無関係に、ニュートラル電圧ゾーンを実現します。これは、入力ピンの ESD 構造経由でドライバ IC に電力を供給している他のドライバにとって明らかな利点です。この望ましくない動作により、PWM コントローラが破壊されたり、MOSFET 駆動回路に故障が発生したりする可能性があります。

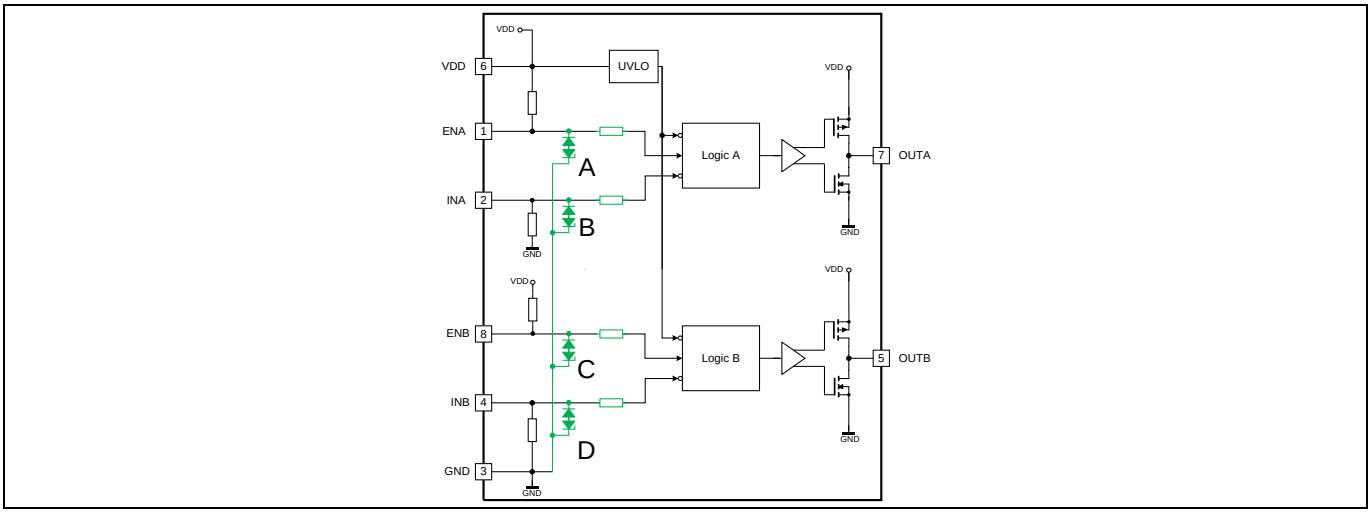


図6. **-10V までのマイナス電圧スパイクに耐える能力を持つ 2EDN MOSFET ドライバの ESD 構造（緑）**

1.1.2 正確な電圧しきい値、少ない許容範囲、およびプルアップ/プルダウン抵抗器により機能の堅牢性を保証

MOSFET ドライバの入力段は、CMOS と TTL の両方の入力信号と互換性があります。

CMOS 入力段のしきい値はさまざまであり、V_{cc} の 2/3 と 1/3 に等しい値です。特に V_{cc} の値が大きい場合の雑音排除性に優れています。PWM スイッチング動作の精度は、供給電圧の精度に直接関連します。Vcc に雑音が多い場合または Vcc が変動する場合は、PWM が不安定になり、電源制御に影響を及ぼします。

TTL 入力段はドライバの V_{cc} を使用しないため、入力スイッチングしきい値で低電圧ロックアウト（UVLO）を考慮する必要がないので、設計者はより柔軟に PWM コントローラを選択できます。正確なしきい値は、安定した正確な PWM タイミングを保証します。1EDN/2EDN ファミリーでは、温度と供給電圧の両方に、安定したしきい値が設定されています。これは、電源を高速かつ正確に制御するために大きく役立ちます。

入力ピンに接続する方法：

2END752x/2EDN842x：
Enable ピンを使用しない場合は、このピンを未接続のままにするか、V_{DD} に接続したままにする必要があります。

1EDN751x/1EDN851x：
IN-と IN+にプルアップ/プルダウン抵抗器を接続して、出力を無効にします。出力を有効にするように両方の入力を設定する必要があります。

1.2 出力段の利点

MOSFET をどれだけ速くオンオフさせるかは、、主にドライバの出力電流定格とパワー MOSFET のゲート電荷量によって決まります。これらのスイッチング遷移によってパワー MOSFET 内部のスイッチング損失が決まるので、パワーMOSFET に正しく一致する電流定格のドライバを選択することが、効率向上に重要な役割を果たす可能性があります。

すべてのドライバは、MOS 単独出力段を使用して、出力変換器のパワーMOSFET に必要な高電流を供給します。MOS 単独ドライバ段を使用する IC は、V_{CC} と GND の 2 つの電源レールの間で最大限にパワーMOSFET をスイッチングすることによって、バイポーラ MOSFET ドライバの欠点を克服します。1EDN/2EDN ファミリーは、強力な MOS 単独ドライバ段を使用して、低電力損失と高速スイッチングを実現します。詳細な比較については、3.1 章を参照してください。

1.2.1 1EDN7511B/1EDN8511B の独立したソース出力とシンク出力

「ブレーク ビフォア メイク」は、多くの SMPS アプリケーションで広く推奨されているタイミングです。この場合、ターンオフ時間はターンオン時間より短くなければなりません。これにより、ハーフブリッジ構成またはプッシュプル構成のように、2 つの MOSFET がお互いに反対の動作を行う場合のシュートスルー電流の発生を防ぎます。

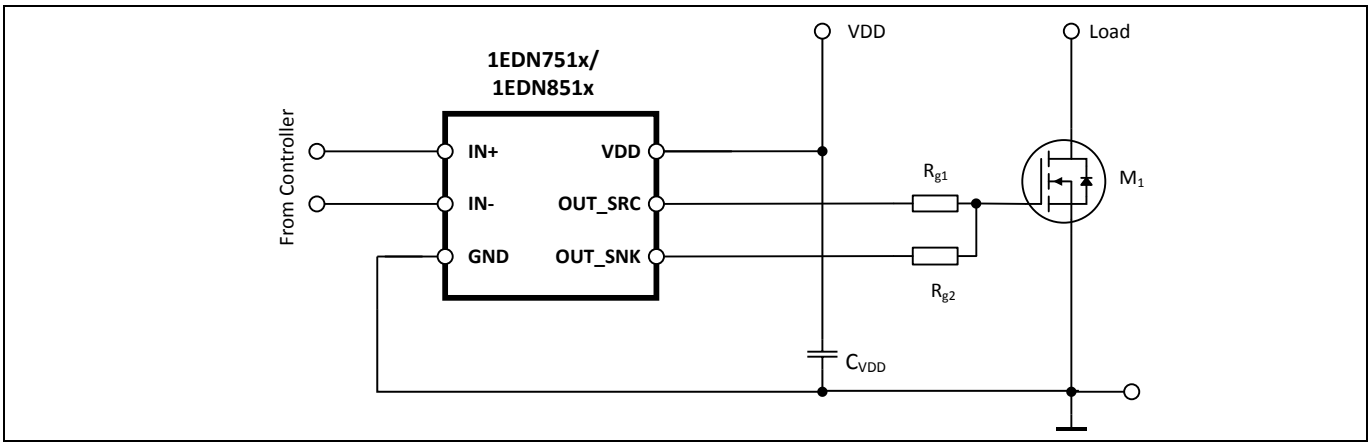


図7. **2 つの出力経路を持つ 1EDN7511B/1EDN8511B がオン/オフを異なる時間に有効にする**

図 7 と図 8 で使われている R_{g1} は、MOSFET M_1 のターンオン電流を制限します。ターンオフの場合は、抵抗器 R_{g2} がアクティブになります。これが可能なのは、MOSFET ドライバ IC の独立した電力経路（図 8）に起因します。

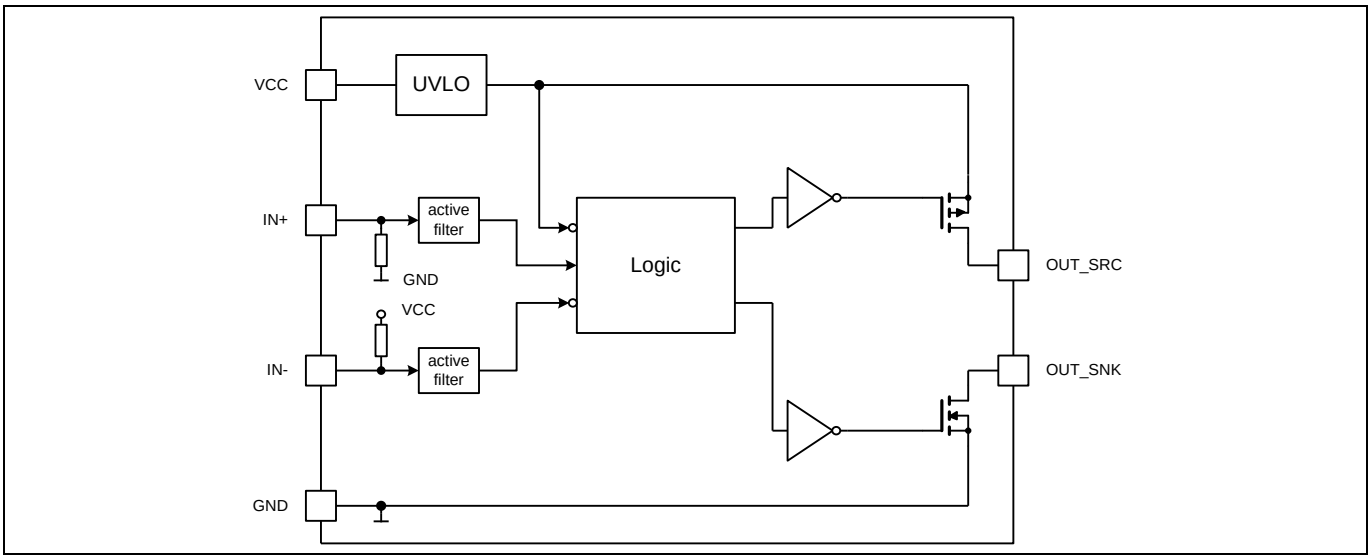


図8. **1EDN7511B/1EDN8511B の内部回路の 2 つの独立した出力経路**

1.2.2 逆電流対応能力 - 出力段の内蔵ダイオードにより外部ダイオードが不要

2END752x/2EDN842x シリーズと 1EDN751x/1EDN851x シリーズの内部ドライバ段の MOSFET には、低 $R_{DS(on)}$ とは別に、堅牢な逆電流保護用ダイオードが内蔵されています。次の図 9 に示すように、逆電流は寄生インダクタンスによって発生します。

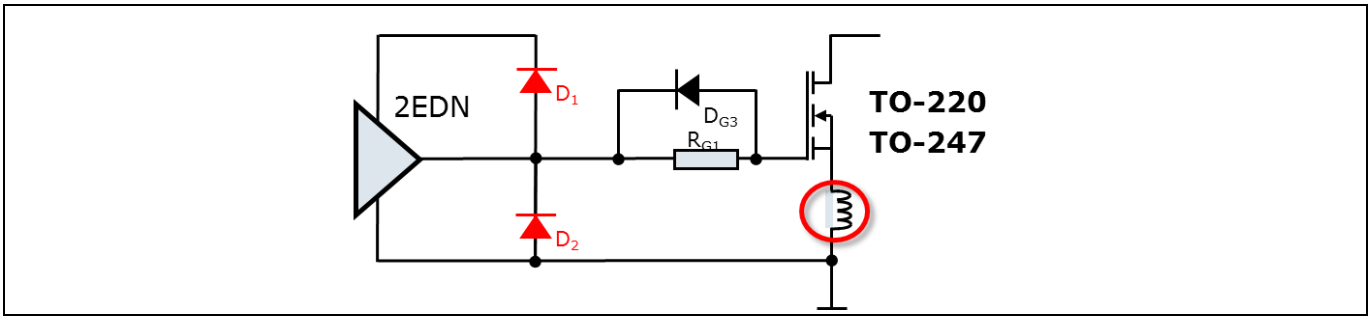


図9. **1EDN/2EDN MOSFET ドライバの出力段の内蔵ダイオードで高逆電流を防ぎ堅牢性を強化**

ほとんどのドライバには、高逆電流のような現象からドライバ出力段を保護する外部ダイオード D_1/D_2 が必要です。TO-220/TO-247 パッケージの寄生ソース インダクタンスは、（PCB の影響を含めて）10nH を超えることがあります。約 5A/ns のスイッチング電流の上昇（di/dt）によって+/-50V のソース電位シフトのスイッチング スパイクが発生し、それによって V_{gs} に +/-30V の差分が発生して、逆電流が発生します。

1.2.3 ドライバ内部の電力損失

MOSFET ドライバの電力損失は、MOSFET のゲート容量の充電と放電、ドライバの静止電流、および MOSFET ドライバの貫通電流またはシュートスルー電流に起因します。これらの 3 つの要因のうち、特にスイッチング周波数が低い場合は、MOSFET のゲート容量の充電と放電による電力損失が最も重要です。

$P_{max} = C_{gs} \times V_{dd}^2 \times f_{sw}$

ここで

C_g = MOSFET ゲート容量

V_{dd} = MOSFET ドライバの供給電圧

f_{sw} = スイッチング周波数

ゲート抵抗とドライバ回路で消費されるエネルギーは、MOSFET ゲート容量に蓄えられるエネルギーに正確に一致します。MOSFET の充電と放電によるドライバのトータル電力損失は上の式で示され、それにはゲート抵抗の電力損失が含まれています。

ここで留意すべき重要な点は、MOSFET ドライバとゲート抵抗は電力損失を直線的に共有するということです。したがって、電力損失は、ドライバとゲート抵抗器の間で分割できます。

2END752x/2EDN842x シリーズと 1EDN751x/1EDN851x シリーズを使用する場合、ドライバ出力段で使われている低 $R_{DS(on)}$ PMOS により、ドライバの電力損失とそれによる温度上昇は、競合するドライバに比べればわずかです。図 10 に、2EDN7524 の場合を示します。

MOSFET ドライバ IC の基本検討事項

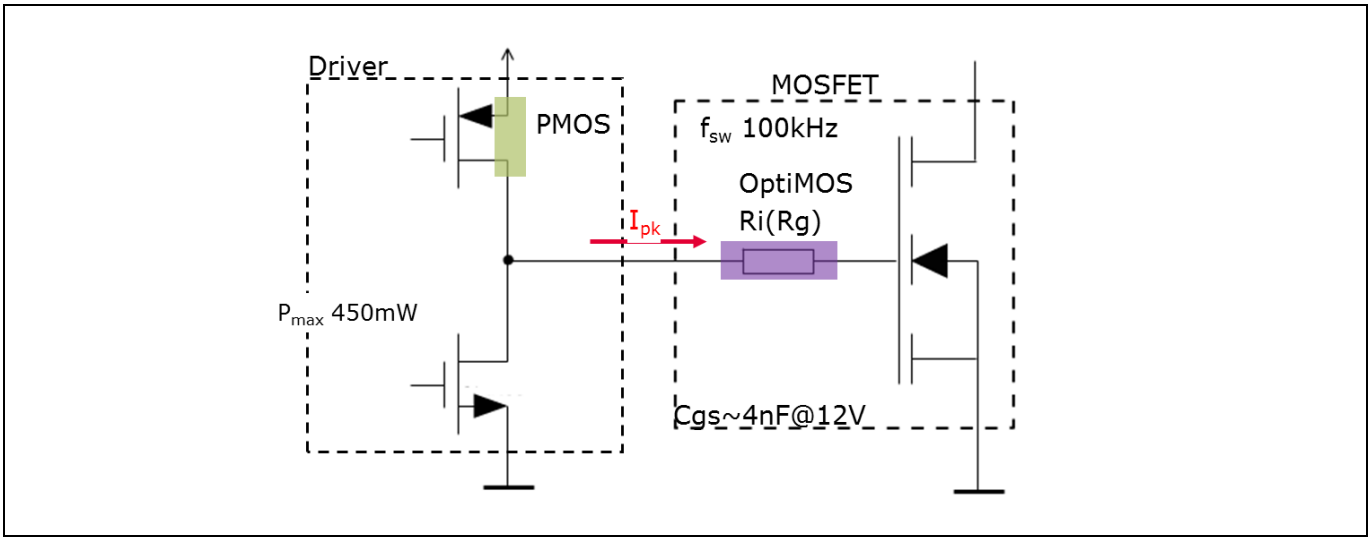


図10. **ドライバ内部の熱損失**

ドライバ出力の $R_{DS(on)}$が大きい場合の影響

ドライバ内部の熱損失を測定する試験設定を図 11 に示します。入力には 250kHz の PWM パルスを使用します。出力の負荷は 1Ω と 15nF です。この試験は、周囲温度 23℃で実行しました。

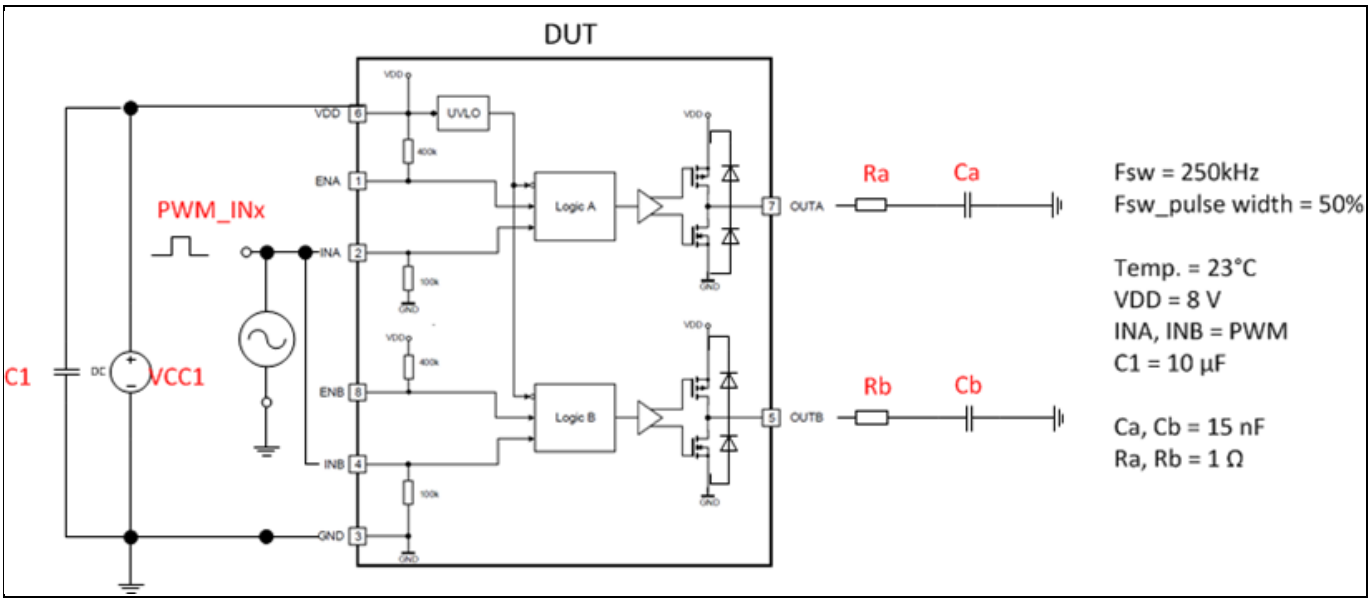


図11. **熱損失の試験設定**

試験結果では、競合するデバイスの損失は、2EDN7524 の電力損失のほぼ 1.5 倍であることが示されました。前述したように、トータル電力損失にはドライバの損失とゲート抵抗の損失が含まれます。2EDN の損失が少ないことが示されていることから、2EDN と一緒に使用するゲート抵抗の電力損失が多くなることがわかります。

R_g の値を大きくすると、その電力損失は減少します。

図 12 は、ドライバ IC と R_a/R_b の高温部を示します。

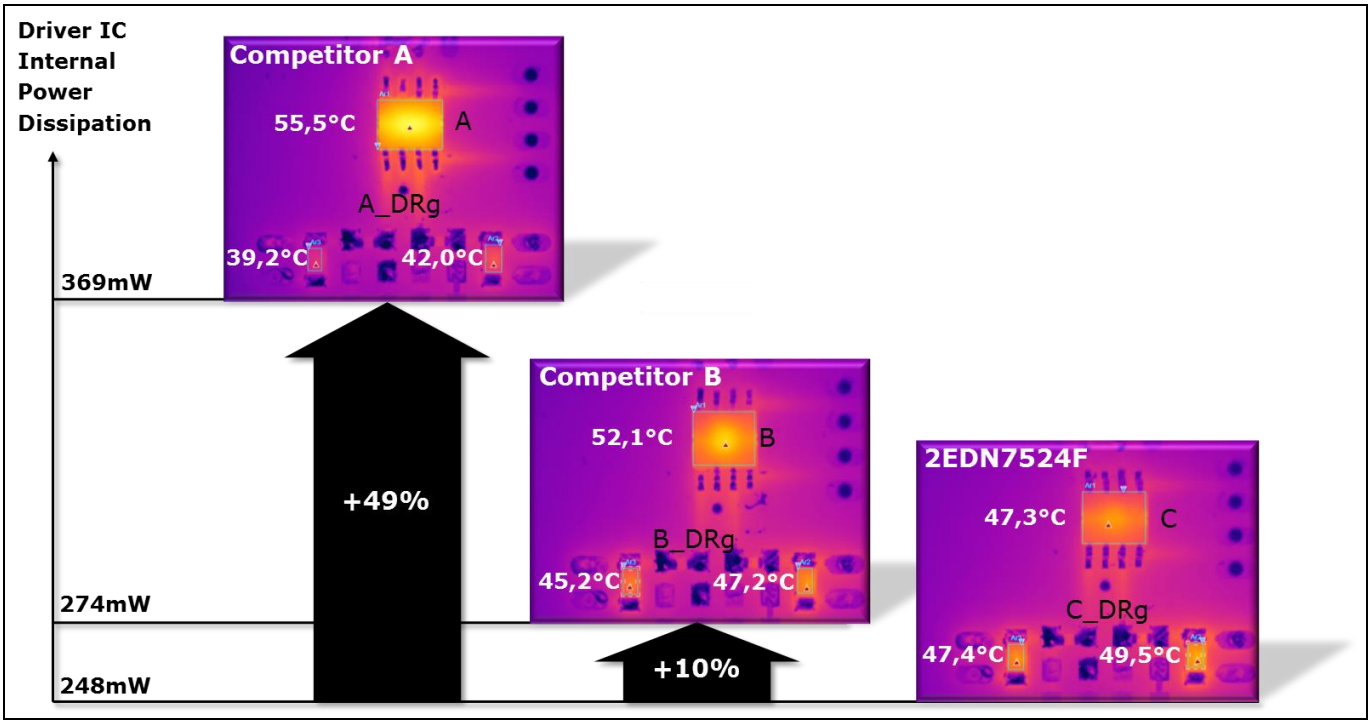


図12. **熱損失の試験結果**

この結果は、2EDN7524 は、電力分配を最適化することで、より大きなトランジスタをスイッチング周波数とゲート電圧を増やして駆動できることを示しています。IC 温度が低いことは、故障のリスクが減って、寿命が長くなることを意味します。1EDN シリーズは、同じ出力段構造を持ち、同様に動作します。

1.2.4 MOSFET の駆動電流対応能力

設計者は、電力損失に加えて、ピーク駆動電流について理解する必要があります。スイッチングが発生した最初の瞬間は、電圧 V_{dd} 全部を使用できます。次に、MOSFET のコンデンサ C_{gs} の充電と放電が行われ、電圧降下が発生します。MOSFET のゲート駆動に使用できる電圧は減少します。

高速スイッチングの場合、MOSFET のコンデンサ C_{gs} の充電と放電を高速で実行する必要があります。これはドライバ、外部抵抗 R_g、および MOSFET の内部ゲート抵抗 R_g の抵抗が小さくなければならないことを意味します。この場合、スイッチングが発生した最初の瞬間に莫大な電流ピークが発生し、損傷を引き起こす可能性があります。ドライバは、内部回路でこのピークを制限する必要があります。

MOSFET ドライバ IC の基本検討事項

2EDN は、飽和したパワーMOSFET によって、出力段でこのピーク電流を制限します。これらの俊敏な出力の MOSFET は、スパイク電圧吸収回路を追加する必要がありません。これは、非常に堅牢な設計であることを意味します。

図 13 は、高負荷（100nF、0.25Ω）のドライバ出力段を示します。V_{dd}（12V、黄色の線）は 1uF のコンデンサで阻止されます。このコンデンサは、パルス発生中に回路に電力を供給します。赤い線は入力信号です。青い線は出力電流を示します。

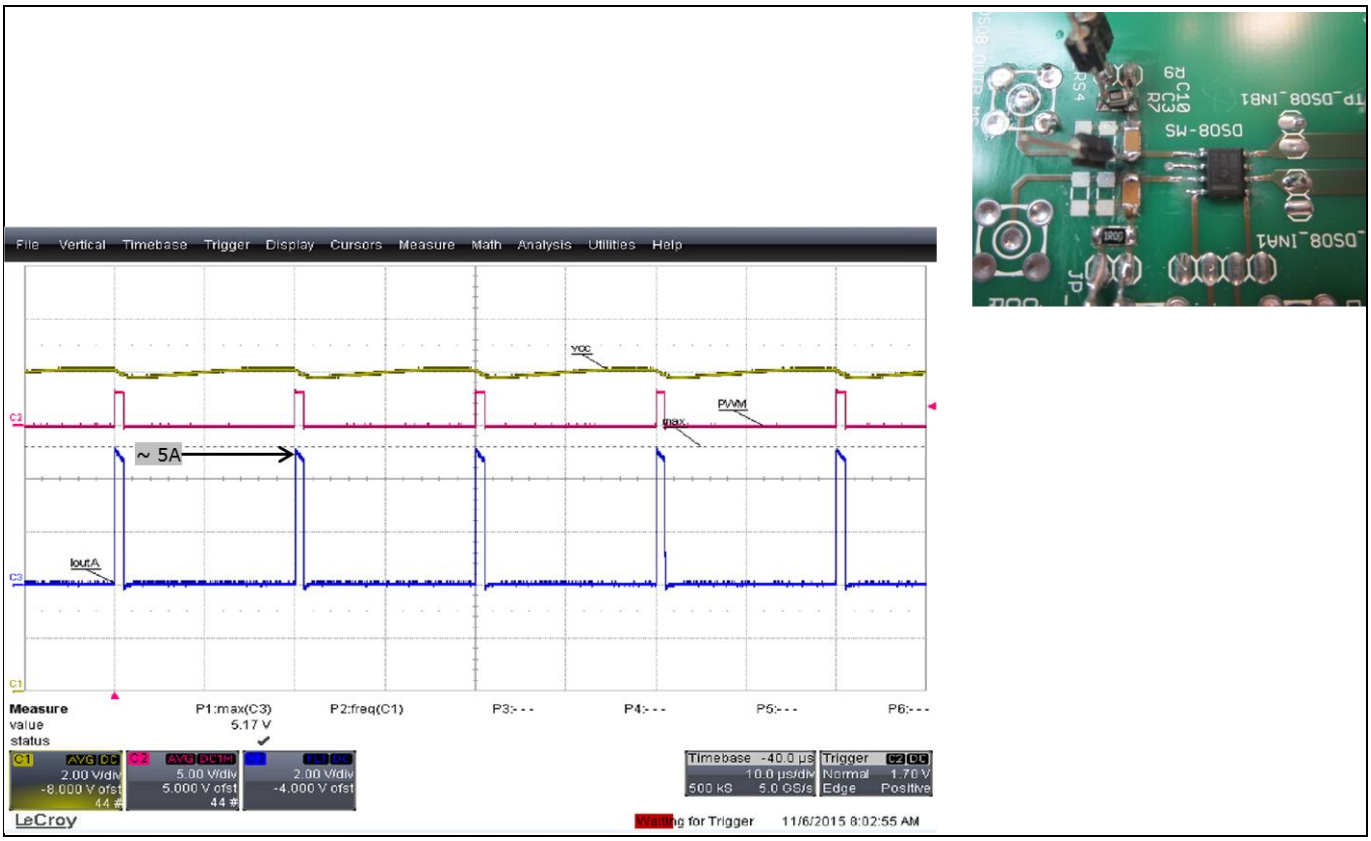


図13. **2EDN 駆動電流測定ボードと結果**

このスイッチング（オンまたはオフ）が発生した最初の瞬間に、電流リミッターが制限レベルを 20%増やして、最大電流を 5A に保持します。デューティサイクルは最大電力損失に制限されて、接合部温度を 150℃に保持します。各パルスが制限され、熱暴走は発生していません。

他の MOSFET ドライバと関連するこの利点は、強力なドライバ出力段にデフォルトで統合されており、数ナノ秒以内に応答します。保護回路や制限抵抗器を追加する必要はありません。

これにより、外部状況が危機的であっても、デバイスの堅牢性が維持されます。

1.2.5 低電圧能力 - 信頼できる MOSFET 保護

UVLO は、飽和（損失を意味します）、高電力損失、および場合によっては熱的破壊が発生しているスイッチング MOSFET を保護する安全機能です。

CoolMOS™、OptiMOS™などの標準/スーパー ジャンクション MOSFET の 8V UVLO

2END752x/2EDN842x シリーズと 1EDN751x/1EDN851x シリーズには、8V UVLO バージョンがあります。これは、CoolMOS™などのスーパー ジャンクション MOSFET の駆動に使用する場合に役立ちます。

通常のドライバは、4.5～5V の低電圧ロックアウト機能を備えています。したがって、短絡電流状態などの故障条件下にあるドライバは、V_{cc} がロックアウト電圧である 5V に到達するまで MOSFET をオンに維持しようとするか、または I_d を高く、V_{gs} を低くして MOSFET を線形モードに維持しようとします。この条件下の MOSFET にはストレスがかかり、不要な損失のためにその熱損失が増加します。

8V UVLO 機能を使用している場合、MOSFET ゲート電圧は 8V 未満では遮断されるので、故障条件下の MOSFET の電力損失が適切に制御されます。図 14 に、MOSFET 出力特性の 2 つのサンプルグラフを示します。

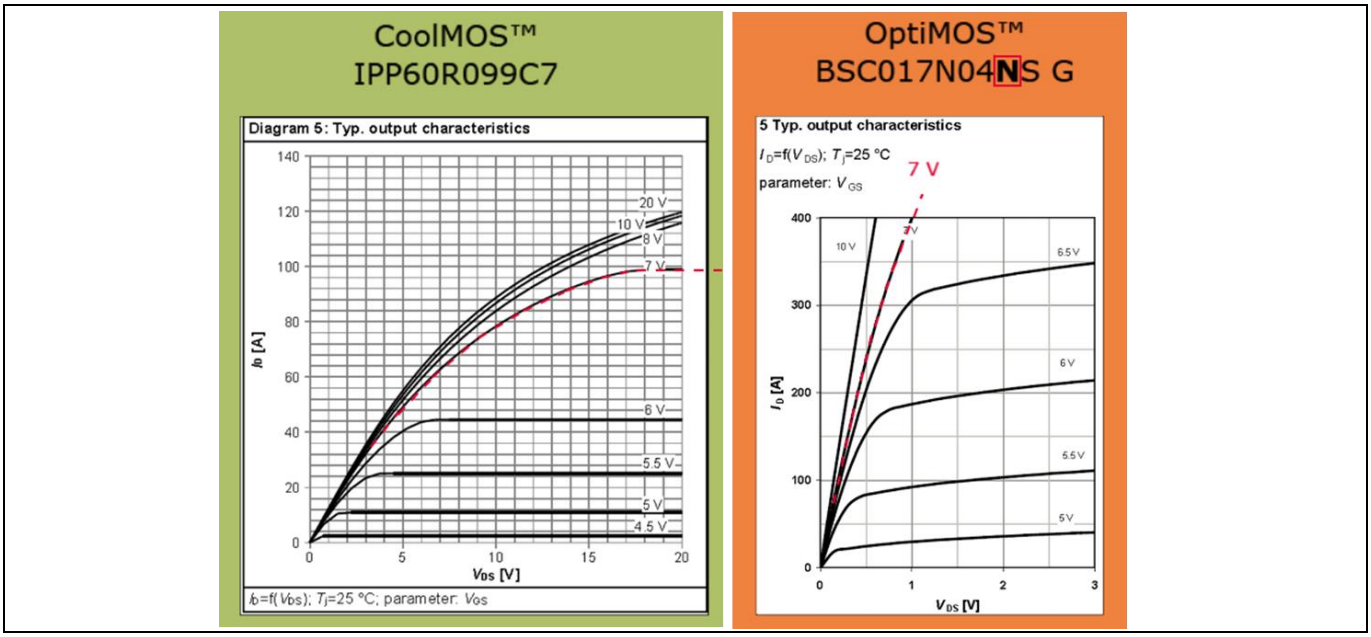


図14. **CoolMOS™と OptiMOS™の出力特性と 8V UVLO/ゲート電圧**

OptiMOS™ L シリーズなど、TTL 互換ゲートしきい値が設定されている MOSFET の 4.2V UVLO

TTL ゲートしきい値が設定されている MOSFET のドライバには、4.2V UVLO バージョンがあります。図 15 に、OptiMOS™ LS シリーズの典型的な出力特性を示します。

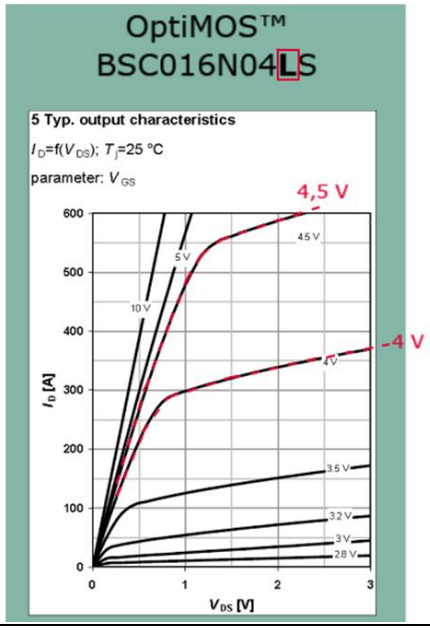


図15. **OptiMOS™ LS の出力特性と 4.2V UVLO/ゲート電圧**

1.3 伝播遅延

図 16 は、静的イネーブル入力 ENx を示します。伝播遅延は、ドライバの入力 INx から出力 OUT に信号を渡すためにかかる時間です。

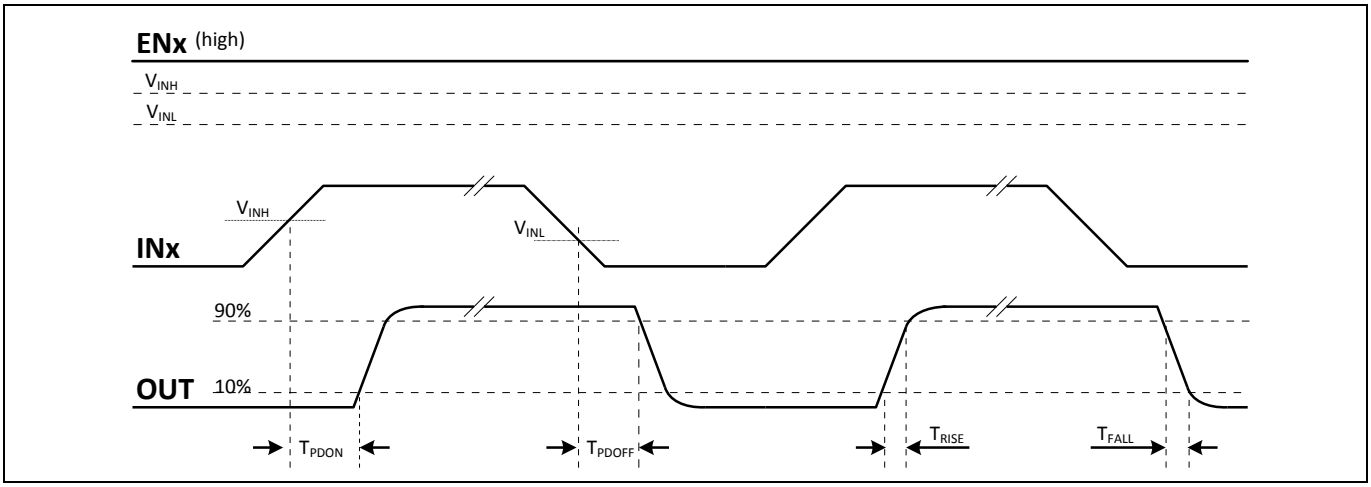


図16. **2EDN MOSFET ドライバの伝播遅延の定義**

MOSFET ドライバ IC の基本検討事項

伝播遅延は PWM とパワーMOSFET の間のタイミングに影響を及ぼす可能性がありますが、この遅延は、通常はコンバータの制御ループ内部で考慮されているので、最大の心配事ではありません。

ハイ サイド スイッチング MOSFET とロー サイド スイッチング MOSFET の間のタイミングでは、「ブレーク ビフォア メイク」動作（他のスイッチがオンになる前にオフになる）を保証する必要があります。この要件は、両方の MOSFET がアクティブな場合に発生する横流を防ぎます。

高効率の同期スイッチング出力変換器の場合、伝播遅延の変動が少ないことが重要です。動作と動作の間のタイムフレームはデッドタイムであり、効率を低下させます。デッドタイムは、SMPS の許容範囲、熱関連の遅延、および負荷条件により考慮する必要があります。各コンポーネントの整合が取れているほど、性能が向上し、悪条件が発生しにくくなります。

2END752x/2EDN842x：
同一 IC の伝播遅延が一致していると、デバイスは両方のドライバチャネルを同時に駆動できます。これにより、供給電流が倍増し、高ゲート負荷の MOSFET をサポートします。2EDN ドライバではこの変動が 4ns 未満に維持され、破壊をもたらす横流を防ぎます。それによってもたらされる低オーム抵抗、低電力損失により、同期整流段で非常に効率よく MOSFET を並列使いできます。

一次側で PWM コントローラ、二次側で同期整流 MOSFET ドライバを使用する絶縁型コンバータの場合、伝播遅延は、一次側と二次側のスイッチングノードの間のタイミングに大きな影響を及ぼす可能性があります。これらのタイプのコンバータには、二次側の同期整流に対する総遅延は PWM からパワートランスまでの遅延より短くなければならないという要件があります。一次側の PWM から MOSFET までの遅延より伝播遅延が長い MOSFET ドライバを二次側で使用すると、一次側と二次側の間のタイミングを最適化するのが難しくなる可能性があります。1EDN/2EDN ファミリーの伝播遅延の変動は非常に少ないので、正確で非常に高効率な電源を駆動できます。

1EDN751x シリーズと 1EDN851x シリーズの各入力ピンペアは同一の遅延タイミングで動作します。

1.4 パッケージング

他のパワーマネジメント IC と同様に、MOSFET ドライバの接合部温度は、あらゆる動作条件下で定格制限範囲内に安全に維持する必要があります。通常検討されるのは TSSOP/DSO8 などの業界標準パッケージ（図 17）や VDSON ですが、高周波数アプリケーションで使われる高電流 MOSFET ドライバの場合は、最新のパッケージング技術を慎重に検討する必要があります。

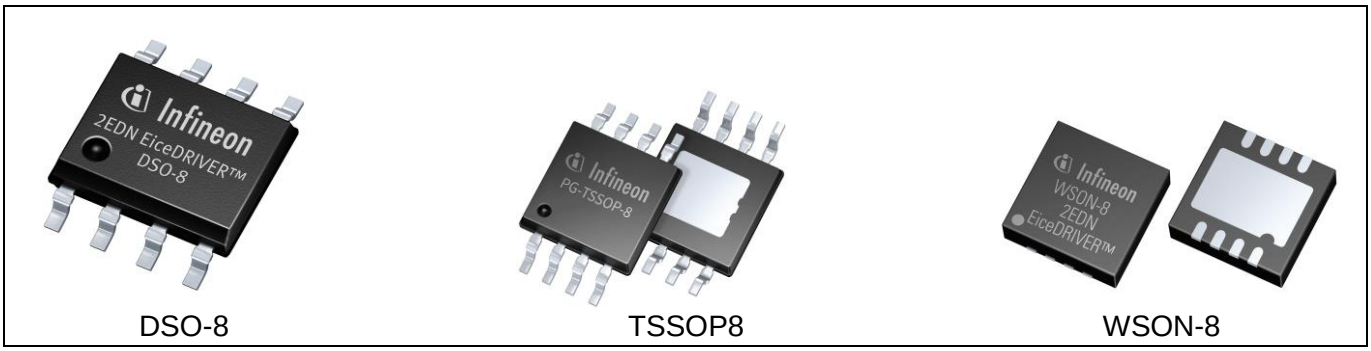


図17. **さまざまな 2EDN パッケージ**

2EDN MOSFET ドライバは、WSON または TSSOP パッケージ内に配置され、リード フレーム ダイ パッドがパッケージ裏面に露出しています。これは、電源パッドとして知られており、2°C/W 低い接合部・ケース間定格の温度インピーダンスを提供します。このパッケージバージョンは、スーパー ジャンクション MOSFET を並列配置した高スイッチング速度、高ゲート負荷の SR アプリケーションに最適です。小型パッケージでコンパクトなフットプリントなので、高電力密度の設計が可能です。

DSO-8 パッケージは、広く知られたパッケージです。多くの電源がこのドライバパッケージを使用しています。堅牢で丈夫であり、ウェーブはんだ付けプロセスで使用できます。ピンピッチが広めなので、製造中でもスムーズに目視検査できます。

1EDN751x/1EDN851x には、シングル ロー サイド MOSFET ドライバに適した小型パッケージタイプがあります（図 18 を参照）。これらのパッケージタイプは、DSO-8 に比べて 60%以上面積が削減されています。



図18. **さまざまな 1EDN パッケージ**

MOSFET ドライバ IC の基本検討事項

このドライバは、パワーMOSFET の近くに配置して、ゲートループの寄生の影響を減らすことができます。高速スイッチングが可能です。

2 PCB 設計の検討事項

2.1 レイアウトに関する推奨事項

高電流、高速スイッチング デバイスで設計が想定通りに機能し、過渡現象中に堅牢性を示すことを保証するには、優れた PCB レイアウトが不可欠です。本アプリケーション ノートで説明するように、2EDN ファミリーのゲートドライバには、パワーMOSFET のゲートに立ち上がり、立下り時間が非常に短い大電流ピークを提供して超高速の電圧遷移を実現できる強力な出力段を備えています。

大きい di/dt は、トレースの長さとインピーダンスが推奨する制限値を超える場合に、大幅なリンギングを引き起こします。2EDN ドライバ設計時の推奨事項を次に示します。

- ドライバの出力ピンと MOSFET のゲートの間の高電流トレースの長さを最小限に抑えるために、ドライバをできる限りスイッチング MOSFET の近くに配置する必要があります。

- ノイズ除去を向上させるために、V_{DD} と GND の間の V_{DD} バイパス コンデンサをできる限りドライバに近づけてトレースの長さを最小限に抑える必要があります。MOSFET のターンオン時は、これらコンデンサが V_{DD} からの高ピーク電流を供給します。チップ抵抗器、チップ コンデンサなどの低インダクタンス SMD コンポーネントを使用することを強く推奨します。

- 浮遊インダクタンスを最小限に抑えるために、ターンオン/ターンオフ電流ループ経路（MOSFET ドライバ、MOSFET、および V_{DD} バイパス コンデンサ）をできる限り小さくする必要があります。これらのループではターンオン/ターンオフ過渡現象中に di/dt が大きくなり、ドライバデバイスと MOSFET のゲートの出力ピンに重大な電圧過渡現象が誘発されます。

- トラックをルーティングする際に実現可能な場合は、ソーストレースとリターントレースを並列にして、磁束の打ち消しを利用します。

- 電源トレースと信号トレース（出力信号、入力信号など）を分離します。

- スターポイント接地は、電流ループ間のノイズ カップリングを最小化する優れた方法です。MOSFET ドライバの GND は、MOSFET のソースや PWM コントローラのグランドなど、他の回路ノードに一点で接続します。接続された経路は、できる限り長さを短くしてインダクタンスを減らし、できる限り幅を広くして抵抗を減らす必要があります。

- グランド プレーンを使用して、雑音を遮蔽します。出力の立ち上がり、立下り時間が短い場合、遷移中に入力信号が劣化する可能性があります。グランド プレーンは、どの電流ループの導通経路にもなっていないことが必要です。グランド プレーンの代わりは、シングル トレースでスターポイントに接続して、グランド電位を確立する必要があります。グランド プレーンは、雑音を遮蔽する以外に、ヒートシンクとして動作して電力損失を生じる場合があります。

雑音の多い環境では、2EDN の未使用チャネルの入力を（ショート トレースを使用して）GND に接続して、そのチャネルの出力が無効になることを保証し、その出力が雑音によって誤動作するのを防ぎます。これは、特に各チャネルの能力を個別に試験する場合に、実行する必要があります。

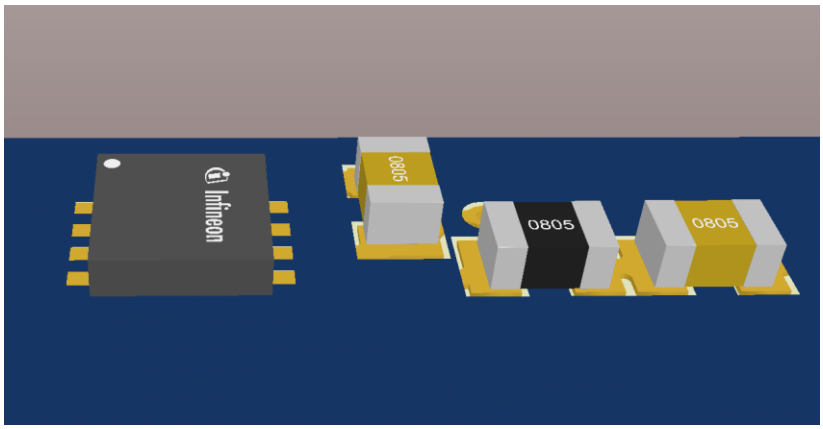
TSSOP パッケージと WSON パッケージ – PCB への熱伝導

プリント基板を設計する場合、サーマル ランドとサーマル ビアを使用して、熱除去サブシステムを完成させる必要があります。TSSOP8、WSON-8、および WSON-6（1EDN7512G）の各パッケージのエクスポーズド パッドは、パッケージのどのリード線にも直接接続されていませんが、電気的および熱的にデバイスのサブストレートに接続されていることに注意してください。一般には、エクスポーズド パッドを PCB レイアウトの GND に外部接続して、EMI 耐性を強化することを推奨します。

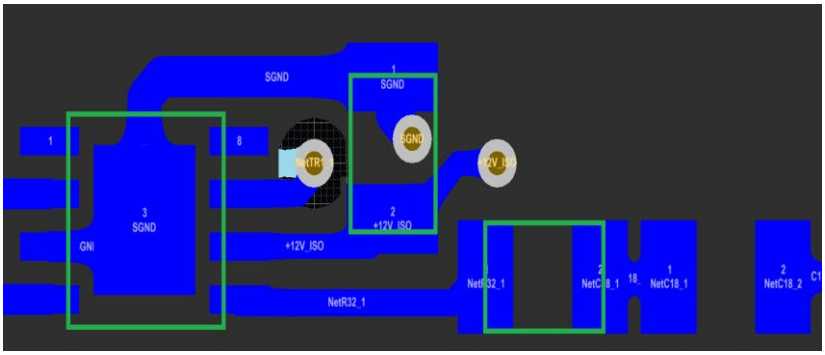
2.2 典型的な 2EDN レイアウトのスナップショット

同期整流アプリケーションの 2EDN7524G について考えます。図 19 に示すように、表側でチャネル A を使用しています。チャネル B は、裏側でパワーMOSFET を制御します。SGND（グランド）と+12V_ISO（V_{DD}）は、裏側から阻止コンデンサまで配線されています。PWM の信号（INA と INB）は、左側の最上層から配線されています。

PCB 設計の検討事項



デバイス配置



単一層での配線

図19. **WSON-8 パッケージ（2EDN7524G）の典型的なレイアウト例**

1EDN7511B を使用する次の例では、コンパクトなドライバ回路設計の利点を示します。GND と V_{DD} は、別々の内層（図 20 の第 2 層と第 15 層）に配置されています。これにより、IC への寄生接続を抑制できます。阻止コンデンサ（C4）は、支持ピンにできる限り近づけます。

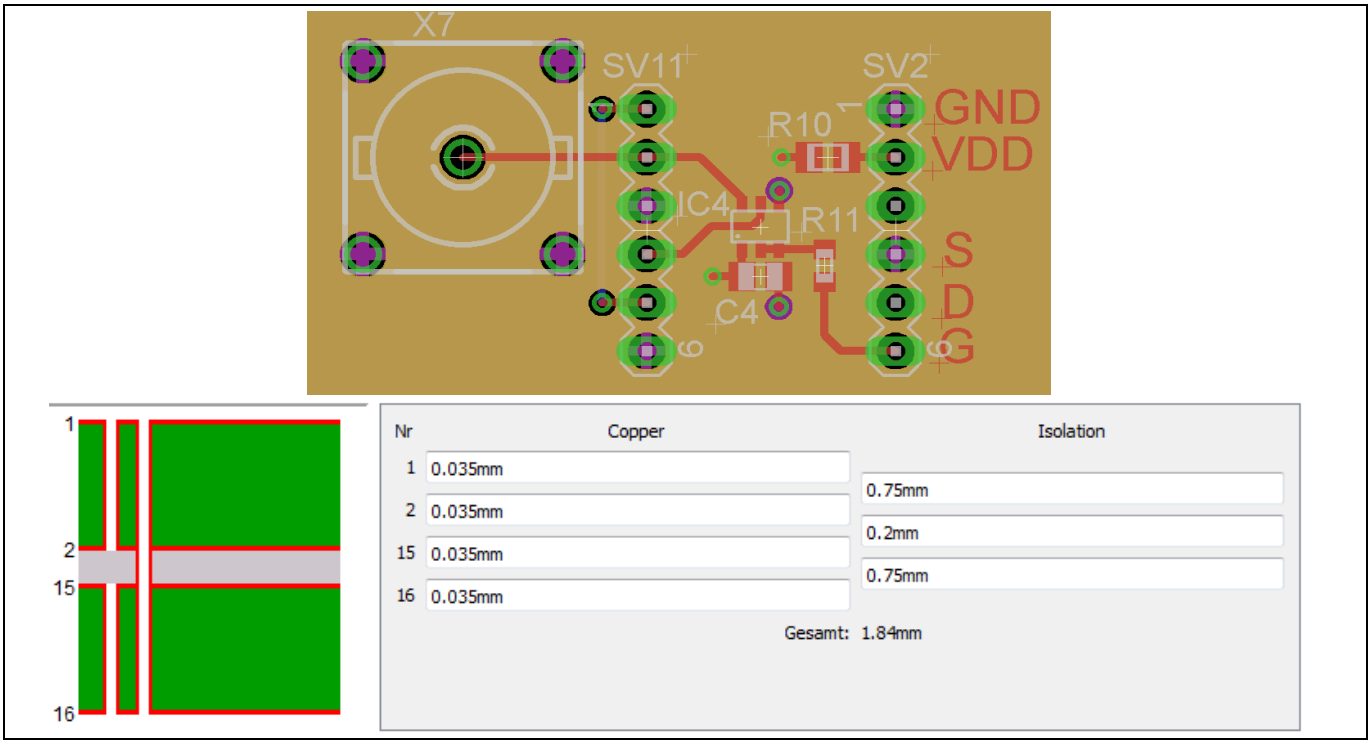


図20. **4 層 PCB の 1EDN7511B（SOT23-6 パッケージ）**

4 層以上を使用できる場合は、小型化に重点を置いて MOSFET ドライバを配置および配線できます。適切な配置、ビアの削減、および完璧な配線を行うことによって、高い信号品質と堅牢な機能が実現します。

2.3 熱に関する推奨事項

2END752x/2EDN842x シリーズと 1EDN751x/1EDN851x シリーズの有効範囲は、負荷の駆動電源要件およびデバイス パッケージの熱特性によって大きく影響されます。ドライバの出力段の強さが温度上昇の少ない動作に役立つ仕組みについては、すでに説明しました。特定の温度範囲にわたってゲートドライバが有効であるためには、パッケージが、接合部温度を定格制限範囲内に維持しながら、発生する熱を効率的に除去可能である必要があります。
2END752x/2EDN842x ファミリーと 1EDN751x/1EDN851x ファミリーのドライバは、広い範囲のアプリケーション要件に対応できるように、さまざまなパッケージがあります。

TSSOP-8、WSON-8、および WSON-6 の各パッケージは、半導体接合部の熱をパッケージ裏面から除去します。これらのパッケージはすべて、パッケージのベースにエクスポーズド熱パッドがあります。このパッドは、デバイス パッケージの真下でプリント基板上の銅に直接はんだ付けされており、熱抵抗値が非常に小さくなります。これにより、ヒートシンクの効果を大幅に高めることができます。

3 MOSFET ドライバの試験

3.1 堅牢性の試験およびさまざまなドライバ出力段の試験

本アプリケーション ノートの冒頭で述べたように、さまざまな出力段構成のさまざまな MOSFET ドライバが市販されています。従来の MOSFET ドライバは、トーテムポール構成のバイポーラ トランジスタを使用しています。最新のテクノロジーでは、MOSFET を使用しています。トーテムポールのハイ サイドで使用可能な MOSFET テクノロジーに基づいて、MOSFET を追加してスタートアップ電流を供給する必要がある場合があります。MOSFET トーテムポール構成とトランジスタ トーテムポール構成を組み合わせて高周波数と低周波数で最適なドライブ電流を得るハイブリッド段を備えた MOSFET ドライバもあります。

2END752x/2EDN842x シリーズと 1EDN751x/1EDN851x シリーズは、すべて MOSFET の出力段です。この MOSFET のみの構成の利点を示すために、ドライバの内部 MOSFET を降圧スイッチとして使用して、バックコンバータ試験設定を実現します（図 21）。これは標準の堅牢性試験ではありませんが、2EDN752x の MOSFET のみの出力段の利点を強調するために使用します。

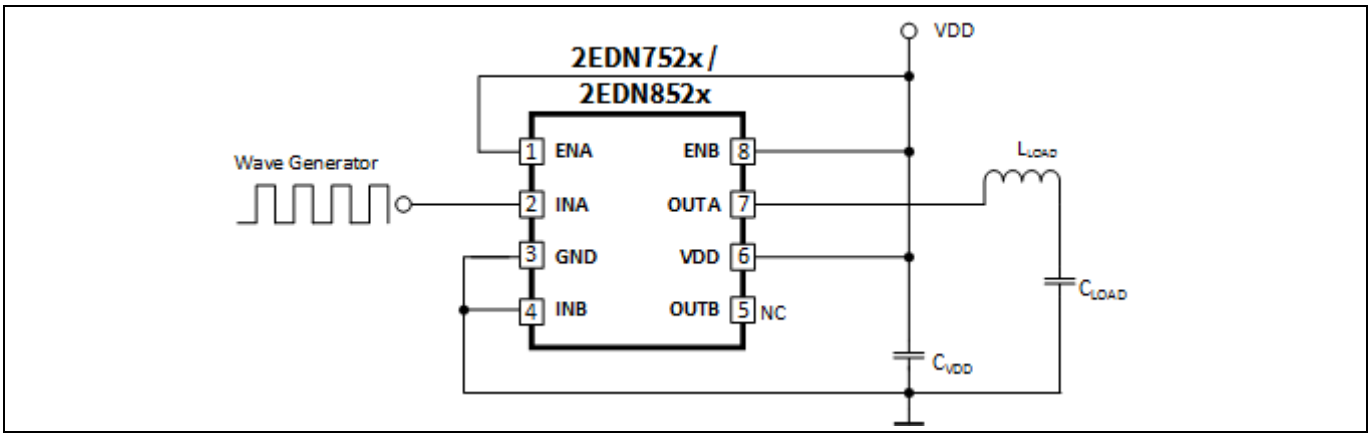


図21. **堅牢性を試験するバックコンバータ**

オープンループ バックコンバータが設計され、内部ドライバ スイッチによりハイ サイド スイッチとロー サイド スイッチが実現されています。デバイス性能は、50kHz～100kHz（デューティサイクル = 50%、C_{LOAD} = 330uF、L_{LOAD} = 22uH、V_{DD} = 12V）で記録します。

MOSFET ドライバの試験

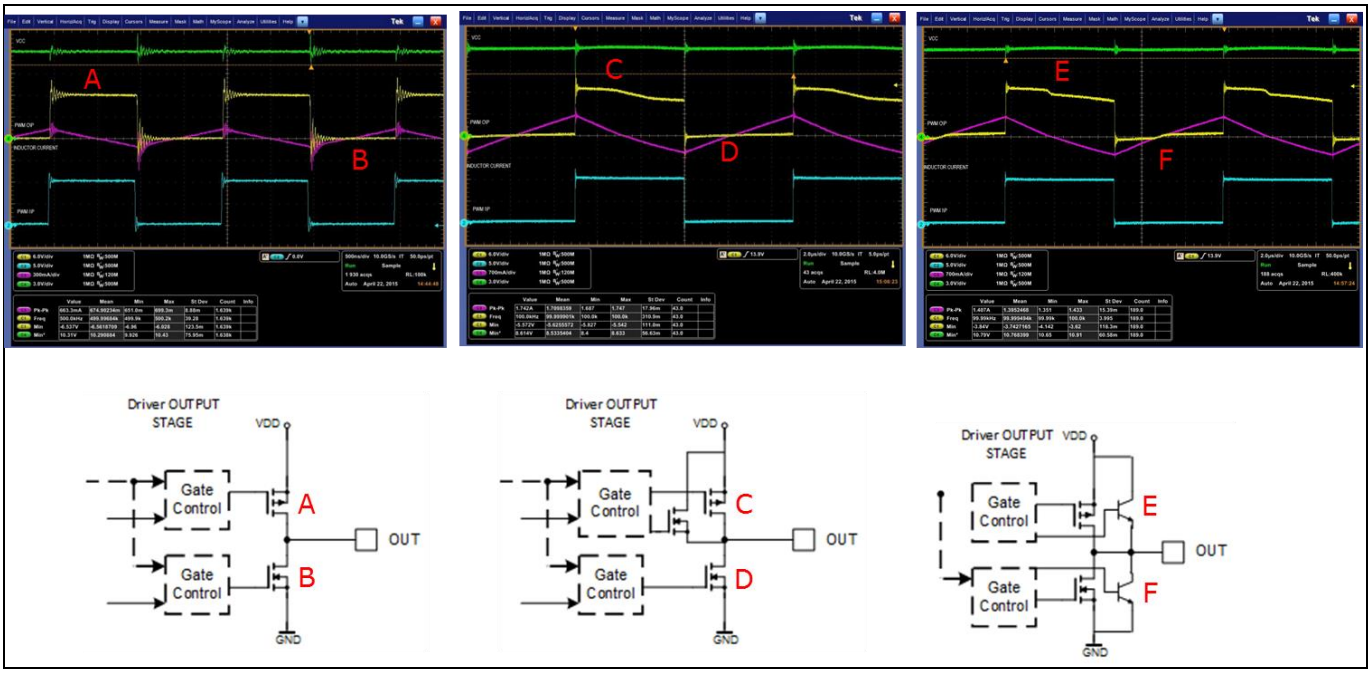


図22. **100kHz における堅牢性試験結果**

図 22 の左側：シングル トーテムポール MOSFET 出力段（2EDN）

2EDN752x の強い 0.7Ω のハイ サイドと 0.55Ω のロー サイドの MOSFET の利点が、前出の図 15 の点 A と点 B に明確に示されています。電流のゼロクロス時にドライバ出力にステップが存在しないことは、駆動電流が、ボディー ダイオードではなく、MOSFET チャネルで通電していることを示します。電圧降下が非常に少ない（電圧波形がフラットになる）ので電力損失が減少し、2EDN の堅牢性が高まります。

図 22 の中央：ブースト N チャネルを備えたトーテムポール MOSFET 出力段

点 C と点 D で示されているように、ドライバ出力のステップには、電流のゼロクロスが反映されています。ここで、ボディー ダイオードによる通電から MOSFET アクティブ チャネルによる通電に変化しています。これは、駆動出力段で弱いハイ サイドと適切なロー サイドの MOSFET が使用されていることによるものです。結果として生じる電圧降下により、電力損失が上昇します。

図 22 の右側：バイポーラ トランジスタと MOSFET を備えたデュアル トーテムポール出力段

バイポーラ段が電流を駆動します。PN 構造なので、レイルツーレイルを駆動することはできません。この弱点は、2 番目の小さなトーテムポール MOSFET 段で補償します。点 E と点 F では、ハイブリッド ドライバ出力段のうち出力側のバイポーラ段が弱いために、電流はボディー ダイオードで通電しています。結果として生じる電圧降下により、電力損失は、上昇時間が短くなり、他の 2 つの段より高いレベルまで上昇します。

3.2 出力逆電流試験および他の MOSFET ドライバとの比較

次の試験設定（図 23）は、2EDN MOSFET ドライバの出力段の堅牢性の試験に使用します。

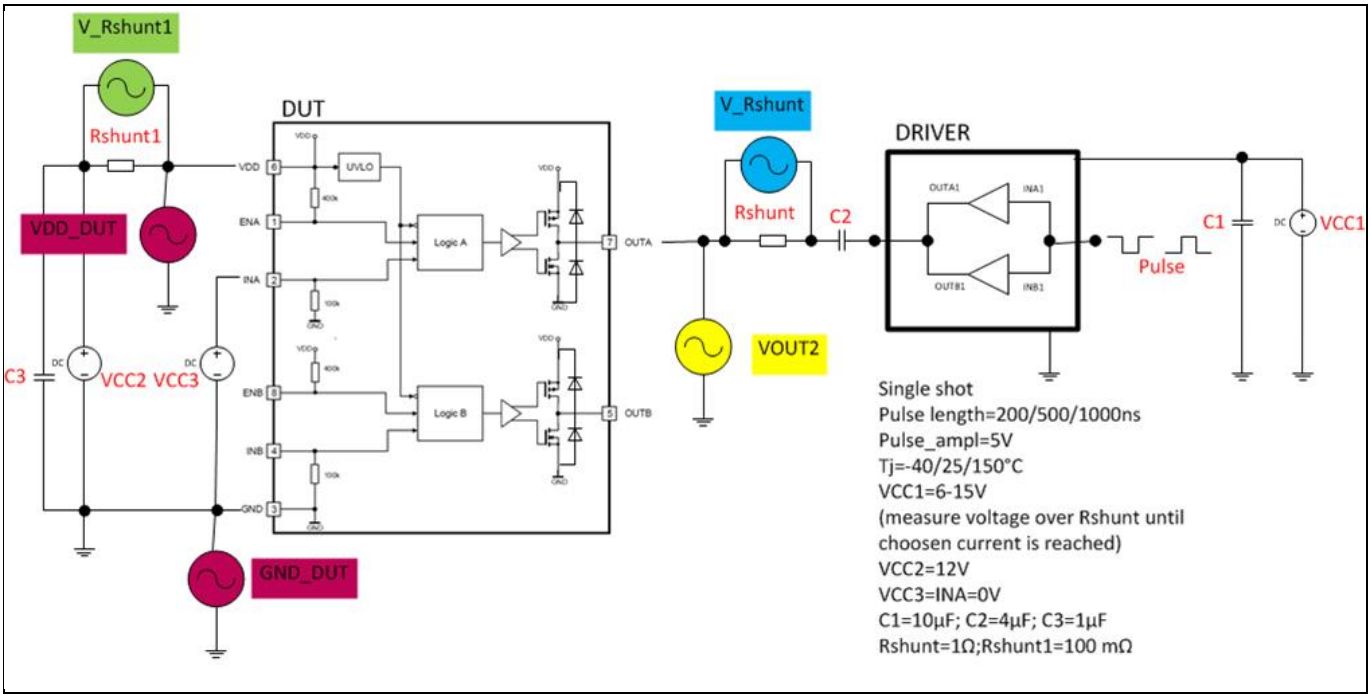


図23. **逆電流堅牢性の測定設定**

正パルス：

被試験体（DUT）は、ロジック「ハイ」信号（VCC3、INA）により、出力 OUTA を静的ハイに駆動します。ドライバ（DRIVER）の出力はロー（0V）であり、C2 は R_{shunt} によって充電されます。ここで、DRIVER の出力をローからハイに切り替えると、DRIVER が逆電流パルスを DUT の OUTA に送出します。C2 は放電します。

負パルス：

この場合、DUT の OUT A はローであり、DRIVER の出力はハイです。C2 は、反対方向に充電されます。DRIVER からの high-to-low のパルスにより、C2 が放電し、逆電流が DUT の OUTA に送出されます。

出力側から振幅 5V の単発パルスをさまざまな長さで注入して、その応答を出力シャント抵抗器と入力シャント抵抗器で測定します。これをさまざまな接合部温度で実行します。次の表（図 24）と関連波形で試験結果をまとめます。

MOSFET ドライバの試験

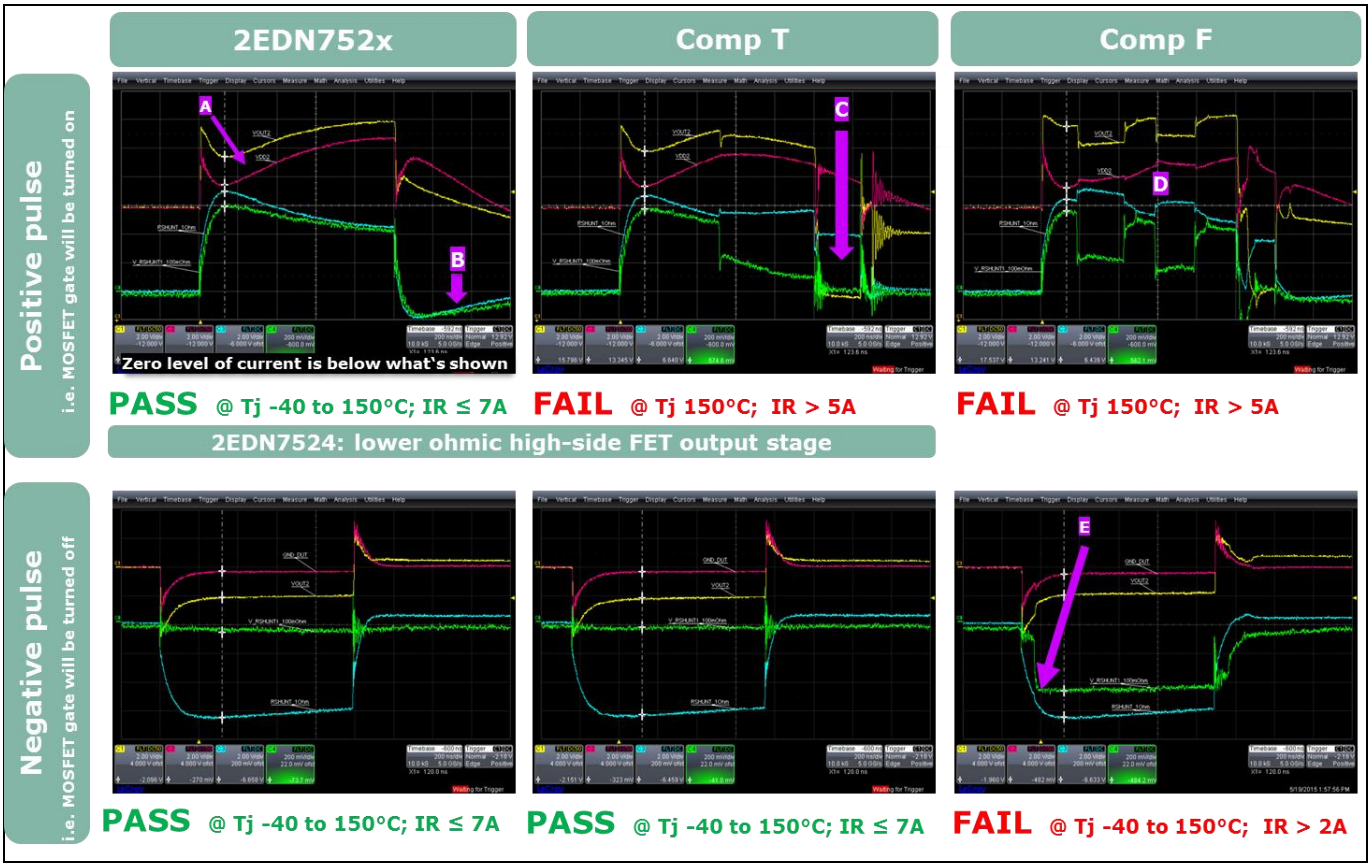


図24. **さまざまな競合製品との比較による 2EDN の逆電流堅牢性の説明**

2EDN752x の点 A には、順方向電圧のダイオード電圧降下が示されています。理想的なケースでは、OUT A に流れる逆電流が V_{dd} に出力を戻して、1 つのダイオードの順方向電圧降下のみが電力損失を引き起こします。寄生インダクタンスによる逆電流が点 A に現れる可能性があります。点 B では、2EDN752x によるクリーンな回復が観測されます。

競合製品の MOSFET ドライバでは、点 C に高電流による不明確な回復があります。これは、寄生 PNP-BJT がターンオンすることが原因であり、逆電流の 2/3 が、V_{dd} からではなく、GND 経由で流出します。これにより、2EDN752x の 5 倍の電力損失が発生します。

点 D では、さらに状況が悪化しています。点 E に示されているように、50ns 経過後に寄生 NPN-BJT がターンオンして、逆電流のほぼ 75%が V_{dd} から流出し、大きな電力損失が発生して故障の原因になります。

これらの図から、2EDN752x ドライバは、MOSFET のターンオン状態またはターンオフ状態のどちらかの過渡現象により発生する 7A の逆電流に耐えられることがわかります。

3.3 ダイオードによる出力逆電流保護試験

外部ダイオード D_1/D_2 の両端の出力電圧降下（使用されている場合は、通常は BAT54）により、BAT54 に通電するのは逆電流のほんの一部であることがわかります。逆電流の大部分は、MOSFET ドライバの出力段に流れます（図 25）。

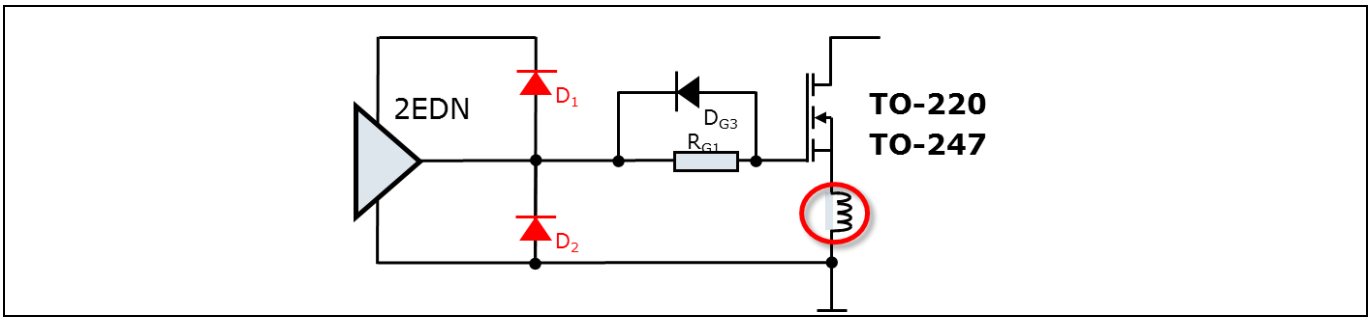


図25. **1EDN/2EDN MOSFET ドライバの出力段の内蔵ダイオードで高逆電流を防ぎ堅牢性を強化**

一例を挙げると、2EDN752x は、逆電流の大部分を通電することができ、堅牢です。次の図 26 に示すように、外部保護ダイオードは必要ありません。

MOSFET ドライバの試験

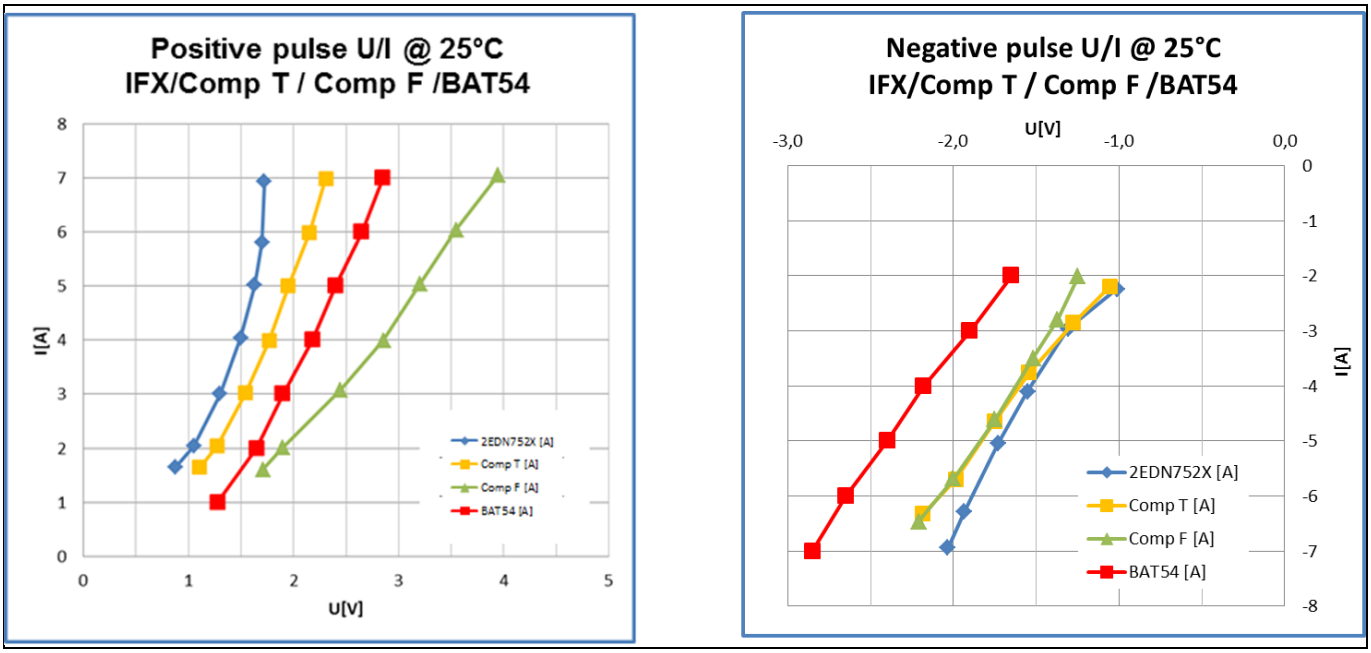


図26. **2EDN の出力に外部保護ダイオードは不要**

1EDNx ファミリーの逆電流特性は似ています。非対称ドライバ ブリッジにより、正のグラフの深さの増加は少なくなりますが、Comp T よりは強力です。負のグラフは、電圧降下に関連して、逆電流がさらに大きく増加しています。

4 結論

2END752x/2EDN842x ファミリーと 1EDN751x/1EDN851x ファミリーの MOSFET ドライバは、さまざまな電源トポロジ、PFC などのロー サイド ゲートドライブ、二次側の同期整流、絶縁用パルストランスと組み合わせた一次側の MOSFET ゲートドライバに、効果的に使用できます。

このドライバファミリーには、多くの利点があります。

- パルストランスから駆動する場合または非最適な PCB レイアウトで使用する場合に欠かせない安全上のマージンを持つ耐マイナス電圧能力
- 正確な電圧しきい値、少ない許容範囲、およびプルアップ/プルダウン抵抗器による機能の堅牢性
- ソースとシンクの出力が独立（1EDN7511B）しており、部品表（BOM）を削減
- 外部ダイオードを不要にする出力段の内蔵ダイオードによる逆電流対応能力
- 低オーム抵抗の P チャネル MOSFET を含む強力な出力段によりドライバの電力損失が少ない
- 低電圧ロックアウト機能により包括的に高い信頼性で MOSFET を保護

2END752x/2EDN842x シリーズと 1EDN751x/1EDN851x シリーズは、適切なレイアウト技術を使用して、ドライバ周辺のコンポーネントを適切に選択することによって、高効率な電源を設計する際に、CoolMOS™と OptiMOS™、および他の同様の MOSFET を完璧に補完します。

5 参考資料と推奨リンク

[1] 『Obtaining information about junction temperature by using the thermal coefficient』 - Infineon EiceDRIVER™ IC アプリケーション ノート
http://www.infineon.com/dgdl/Infineon-AN2013_09_Junction_temperature_using_thermal_coefficient-AN-v2.0-en.pdf?fileId=db3a30434208e5fd01420933214a0116

[2] EiceDRIVER™ 2EDN ファミリー メイン ページ
http://www.infineon.com/2edn/jp

[3] EiceDRIVER™ 1EDN ファミリー メイン ページ
http://www.infineon.com/1edn/jp

[4] EiceDRIVER™製品メイン ページ
http://www.infineon.com/non-isolated-gate-driver-ic

6 改訂履歴

前回改訂以降の主な変更

ページまたは参考資料	変更内容
	初版

Trademarks of Infineon Technologies AG
AURIX™, C166™, CanPAK™, CIPOS™, CoolGaN™, CoolMOS™, CoolSET™, CoolSiC™, CORECONTROL™, CROSSAVE™, DAVE™, DI-POL™, DrBlade™, EasyPIM™, EconoBRIDGE™, EconoDUAL™, EconoPACK™, EconoPIM™, EiceDRIVER™, eupec™, FCOS™, HITFET™, HybridPACK™, Infineon™, ISOFACE™, IsoPACK™, i-Wafer™, MIPAQ™, ModSTACK™, my-d™, NovalithIC™, OmniTune™, OPTIGA™, OptiMOS™, ORIGA™, POWERCODE™, PRIMARION™, PrimePACK™, PrimeSTACK™, PROFET™, PRO-SIL™, RASIC™, REAL3™, ReverSave™, SatRIC™, SIEGET™, SIPMOS™, SmartLEWIS™, SOLID FLASH™, SPOC™, TEMPFET™, thinQ!™, TRENCHSTOP™, TriCore™.

Trademarks updated August 2015

Other Trademarks
All referenced product or service names and trademarks are the property of their respective owners.

Edition 2016-11-11

Published by
Infineon Technologies AG
81726 Munich, Germany

© 2017 Infineon Technologies AG. All Rights Reserved.

Do you have a question about this document?
Email:erratum@infineon.com
AN_201609_PL52_031

Document reference

IMPORTANT NOTICE
The information contained in this application note is given as a hint for the implementation of the product only and shall in no event be regarded as a description or warranty of a certain functionality, condition or quality of the product.Before implementation of the product, the recipient of this application note must verify any function and other technical information given herein in the real application.Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind (including without limitation warranties of non-infringement of intellectual property rights of any third party) with respect to any and all information given in this application note.

The data contained in this document is exclusively intended for technically trained staff.It is the responsibility of customer's technical departments to evaluate the suitability of the product for the intended application and the completeness of the product information given in this document with respect to such application.

For further information on the product, technology, delivery terms and conditions and prices please contact your nearest Infineon Technologies office (**www.infineon.com**).

WARNINGS
Due to technical requirements products may contain dangerous substances.For information on the types in question please contact your nearest Infineon Technologies office.

Except as otherwise explicitly approved by Infineon Technologies in a written document signed by authorized representatives of Infineon Technologies, Infineon Technologies' products may not be used in any applications where a failure of the product or any consequences of the use thereof can reasonably be expected to result in personal injury.