

EiceDRIVER™ 1ED34x1 および 1ED38x0 拡張ファミリ

技術的説明

1ED34x1Mc12M (1ED-X3 アナログ)、1ED38x0Mc12M (1ED-X3 デジタル)

調整可能な DESAT とソフトオフまたは I2C 通信を備えたシングルチャネル 5.7 kV (rms) 絶縁ゲートドライバ IC

本書について

インフィニオン EiceDRIVER™ 1ED34x1 および 1ED38x0 Enhanced 製品は、コアレストランス (CLT) テクノロジーを備えたシングルチャネル高電圧ゲートドライバ IC です。IC は 650 V、1200 V、1700V、および 2300 V の IGBT、シリコンおよび SiC MOSFET を駆動するためにデザインされています。

適応範囲と目的

このアプリケーションノートには、一般的なゲートドライバの入力および出力機能の説明と、それらをアプリケーションで使用方法の説明が含まれます。

対象者

このドキュメントは、パワーエレクトロニクスのアプリケーション回路設計者およびコンセプトエンジニアを対象とします。

目次

	目次	1
1	はじめに	3
2	1ED34x1 固有の機能の説明	4
2.1	電源投入および抵抗でプログラム可能な機能設定	4
2.2	アナログ DESAT 調整	4
3	1ED38x1 固有の機能の説明	7
3.1	電源投入と I2C の準備	7
3.2	2 レベルターンオフ動作での短い入力パルス	7
3.3	フォールトラッチによるスイッチオフタイムアウト動作	8
4	実装時の機能動作	10
4.1	ソフトターンオフを使用したゲート負荷への高インダクタンス接続	10
4.2	IC リセットを担当する出力側の全体電圧 UVLO	11
5	設計のポイント	13
5.1	外部部品	13
5.1.1	出力電源コンデンサの選択	14
5.1.2	ゲート抵抗の選択	15
5.1.3	DESAT ダイオードの選択	17
5.1.4	CLAMP プリドライバ出力用 MOSFET	17
5.1.5	ディスクリートバイポーラデバイスを使用したブースター選択	18
5.2	消費電力の見積もり	18

免責事項	20
------------	----

1 はじめに

1 はじめに

インフィニオン EiceDRIVER™ 1ED34x1 および 1ED38x0 Enhanced 製品は、ファインピッチ 300mil パッケージで提供されます。すべての種類、レジスタプログラム可能または I2C で設定可能な製品は、UL1577 認証を取得しており、安全機能を備えています。

抵抗でプログラム可能な機能を備えた 1ED34x1 Enhanced (1ED-X3 アナログ)

ワイドボディ PG-DSO-16 (300 mil) パッケージには 6 つのバリエーションがあります。3A 電流の種類には直接ミラークランプ出力があり、高出力電流の種類にはミラークランププリドライバがあり、クランプ用に外部 MOSFET が必要です。

製品タイプ	出力電流	CLAMP タイプ ¹⁾	絶縁クラス	マーキング	OPN
1ED3431MC12M	3 A (typ)	CLAMP	強化絶縁	3431MC12	1ED3431MC12MXUMA1
1ED3461MC12M	6 A (typ)	CLAMPDRV	強化絶縁	3461MC12	1ED3461MC12MXUMA1
1ED3491MC12M	9 A (typ)	CLAMPDRV	強化絶縁	3491MC12	1ED3491MC12MXUMA1
1ED3431MU12M	3 A (typ)	CLAMP	UL 1577	3431MU12	1ED3431MU12MXUMA1
1ED3461MU12M	6 A (typ)	CLAMPDRV	UL 1577	3461MU12	1ED3461MU12MXUMA1
1ED3491MU12M	9 A (typ)	CLAMPDRV	UL 1577	3491MU12	1ED3491MU12MXUMA1

I2C で設定可能機能を備えた 1ED38x0 Enhanced (1ED-X3 デジタル)

ワイドボディ PG-DSO-16 (300 mil) パッケージには 6 つのバリエーションがあります。ミラークランプタイプは、出力電流強度に関係なく、常に I2C を介して設定できます。

製品タイプ	出力電流	絶縁クラス	マーキング	OPN
1ED3830MC12M	3 A (typ)	強化絶縁	3830MC12	1ED3830MC12MXUMA1
1ED3860MC12M	6 A (typ)	強化絶縁	3860MC12	1ED3860MC12MXUMA1
1ED3890MC12M	9 A (typ)	強化絶縁	3890MC12	1ED3890MC12MXUMA1
1ED3830MU12M	3 A (typ)	UL 1577	3830MU12	1ED3830MU12MXUMA1
1ED3860MU12M	6 A (typ)	UL 1577	3860MU12	1ED3860MU12MXUMA1
1ED3890MU12M	9 A (typ)	UL 1577	3890MU12	1ED3890MU12MXUMA1

命名法

1ED3vivMc12M: 製品名の小文字は、各製品名の記号です。

- 製品タイプ (v_v): 4i1 = 抵抗でプログラム可能、8i0 = I2C で設定可能
- 製品バリエーション (i): 1 桁の標準出力電流 (3/6/9 A)
- 絶縁認証の種類 (c): C = VDE + UL 認定絶縁、U = UL 認定絶縁

¹ ゲートドライバ IC の損傷を防ぐため、回路接続については CLAMP 出力タイプを参照してください。

2 1ED34x1 固有の機能の説明

2 1ED34x1 固有の機能の説明

2.1 電源投入および抵抗でプログラム可能な機能設定

ゲートドライバ IC の入力側では、VCC1 ピンの電圧が UVLO しきい値レベルに達した後、設定抵抗のサンプリングの準備ができるまでに最大 200 μ s が必要です。

安定した抵抗サンプリングを保証するために、ゲートドライバ IC は、入力電源ピン VCC1 から GND1 に少なくとも $C_{VCC1} \geq 100$ nF の十分な容量性バッファリングを必要とします。常に低 ESR タイプのコンデンサを使用し、それらを電源ピン (1 cm 未満) の近くに配置します。

抵抗でプログラム可能な入力ピン (ADJA、ADJB) は、1%の許容誤差を持つ E96 シリーズの 16 個の特定の抵抗値を区別します。別の抵抗シリーズからの値や、指定された許容範囲外の値は、指定された抵抗値の 1 つに指定され、関連する設定になります。ただし、許容範囲外の抵抗値は指定されていないため、最終の設定は、指定された設定抵抗の下限または上限の設定値のものになります。

抵抗値は、起動時に 1 回だけ検知され、各電源供給が失われた後に再度検知されます。ゲートドライバ IC は変更ごとに電源を入れ直す必要があるため、動作中に抵抗値を変え設定を変更できません。

入力側で選択された設定は、出力側の電源投入が成功した後にのみ転送できます。IC は、ピン RDYC を High に解放することにより、この準備ができたことを通知します。

2.2 アナログ DESAT 調整

1ED34x1 (1ED-X3 アナログ) は、ゲートドライバ IC の入力側から DESAT 検出を調整するための容易な方法を備えています。ADJB ピンには、出力側に追加のコンポーネントを追加せずに、リーディングエッジのブランキング時間と DESAT フィルタ時間に影響を与える抵抗が必要です。

これにより、アプリケーション回路が簡素化され、DESAT 検出タイミングに対する外付け部品の許容誤差の影響が最小限に抑えられます。

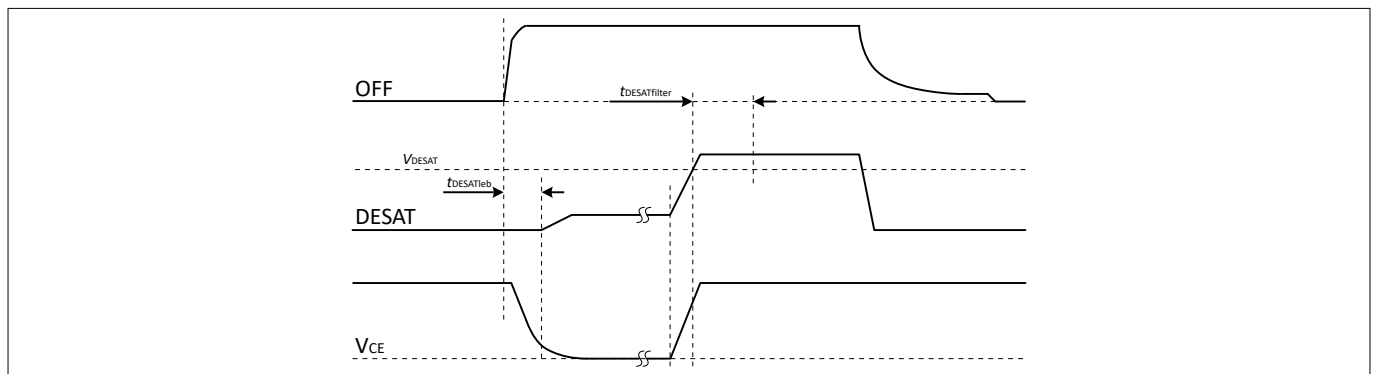


図 1 DESAT パラメーター $t_{DESATlebb}$ および $t_{DESATfilter}$ に対する ADJB の影響

この図は、ゲートドライバ IC が利用できる信号と相関する、リーディングエッジブランキング時間 $t_{DESATlebb}$ と DESAT フィルタ時間 $t_{DESATfilter}$ の開始点を示します。出力がオンになるとすぐに、リーディングエッジブランキングが開始されます。IC はこれを OFF ピンで監視します。電圧が DESAT しきい値電圧 V_{DESAT} を超えた後、DESAT ピン電圧の上昇により DESAT フィルタが開始されます。

DESAT フィルタ時間は、いわゆるアップリセットデジタルフィルタの実装を使用します。DESAT ピン電圧が DESAT しきい値電圧を超えるとすぐに、フィルタ時間が経過します。ただし、DESAT ピンの電圧が DESAT しきい値電圧を少しでも下回った場合、フィルタはリセットされ、再開します。したがって、ノイズの多い環境では、より短いフィルタ時間に依存しても、堅牢な検出を得ることができます。

ADJB ピンの設定は、データシートに記載されているとおりです。

- ADJB から GND1 への抵抗は、DESAT 検出中に使用される DESAT リーディングエッジブランキング時間と DESAT フィルタ時間を設定します
- 正確なパラメーター設定を実現するには、許容値が 1% の E96 抵抗シリーズの抵抗を使用してください
- ゲートドライバ IC は起動時に 1 回抵抗値を読み出します

2 1ED34x1 固有の機能の説明

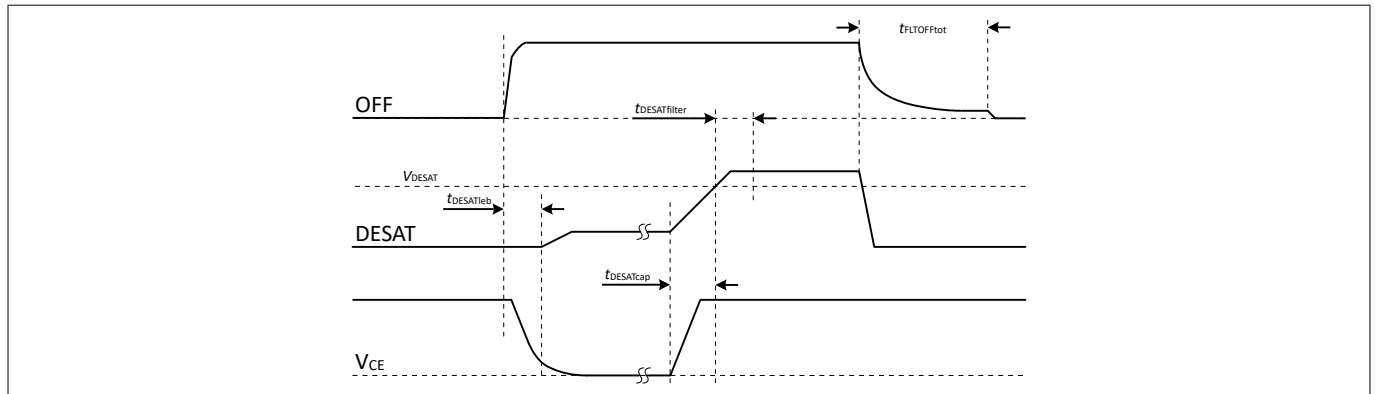


図 3 フィルタリング全体に対する外部 DESAT コンデンサのタイミングの影響

短絡の場合、外部 DESAT コンデンサ C_{DESAT} は DESAT ピンの上昇電圧を遅くします。したがって、DESAT が検出されるまでの合計フィルタ時間が長くなります。

短絡状態では、DESAT ダイオード D_{DESAT} が内部電流源 I_{DESAT} の電流経路をブロックします。代わりに、この電流は DESAT コンデンサ C_{DESAT} を充電します。この追加のフィルタ時間 $t_{DESATcap}$ は、次のように見積もることができます。

$$t_{DESATcap} = C_{DESAT} \cdot \frac{V_{DESAT}}{I_{DESAT}}$$

式 1

より正確な計算のために、コンデンサの許容誤差、DESAT 電流源の範囲、およびコレクタ-エミッタ飽和電圧と DESAT ダイオード順方向電圧に対する DESAT しきい値電圧も含まれます。

3 1ED38x1 固有の機能の説明

3 1ED38x1 固有の機能の説明

3.1 電源投入と I2C の準備

ゲートドライバ IC の入力側では、VCC1 ピンの電圧が UVLO しきい値レベルに達した後、I2C 動作の準備ができるまでに最大 200 μs が必要です。

中断のない I2C 動作を保証するために、ゲートドライバ IC は、入力電源ピン VCC1 から GND1 に少なくとも $C_{VCC1} \geq 100\text{nF}$ の十分な容量性バッファリングを必要とします。常に低 ESR タイプのコンデンサを使用し、それらを電源ピン (1 cm 未満) の近くに配置します。

最初の電源投入後、ゲートドライバ IC は、IC の準備ができたことを通知する前に、アドレス設定とそれに続く残りのレジスタ設定を予期します。これらの手順は、入力に電源不足がなく、出力からの設定復帰が行われていないことを前提に、入力電源供給不足が発生するたびに、常に発生します。レジスタビット **RECOVER.RECOVER** がセットされている場合、入力側は出力側からアドレスとレジスタ設定を回復しようとし、直後に IC の準備ができたことを通知します。この場合、ゲートドライバ IC は以前に設定された I2C アドレスによってアドレス指定可能になります。ただし、リカバリが失敗した場合、ゲートドライバ IC はデフォルトの I2C アドレスにリセットされます。したがって、制御マイクロコントローラは、さまざまな電源投入シーケンスでこのアドレスの不一致を処理できるように準備する必要があります。

3.2 2 レベルターンオフ動作での短い入力パルス

短い入力パルスに対する 1ED38x0 ゲートドライバ IC の 2 レベルのターンオフ動作は、ゲート負荷条件と内部レジスタ設定によって異なります。

通常の 2 レベルターンオフ動作モードでは、ゲートドライバ IC は、パルス整合を達成するために、設定された 2 レベルターンオフ時間と同じ持続時間だけターンオンをさらに遅らせます。これにより、最小入力パルス長が前述の 2 レベルのターンオフ時間よりも長いパルスに増加します。この時間より短い入力 ON パルスは、ゲートドライバ IC によって抑制されます。その後、ゲートドライバ IC はその出力をアクティブにし、ゲートの充電を開始します。ゲート負荷に応じて、ゲートドライバ IC は、ゲートを 2 レベルのターンオフレベルまで充電し、その後、VCC2 レベルまで充電するために一定の時間を必要とします。

このゲートドライバ IC は、ON ピンと OFF ピンを介して実際のゲート電圧を監視し、TLTOFF プラトー電圧のためのコンパレータを備えています。IC は、結果を内部処理に適用する前に、すべてのピン電圧コンパレータ信号をフィルタリングします。このフィルタ時間は、レジスタ **CLCFG** で設定された CLAMP およびピン監視フィルタです。

したがって、このような短いパルスに対するゲートドライバ IC のターンオフ動作は、ON パルスの長さ $t_{ONpulse}$ に依存します。

- 実際の 2 レベルのターンオフ時間 t_{TLTOFF}
- TLTOFF プラトー電圧に達するまでのゲート負荷依存の立ち上がり時間 $t_{RISE,load}$
- 選択したピン監視フィルタ時間 $t_{CLFILT,x}$ および
- 25 ns (最大) の内部処理時間 $t_{IntProc}$

完全で中断のない 2 レベルのターンオフ切り替えを確実にするには、ソフトウェアによる最小ターンオンパルス長を上記のタイミングよりも大きい値に制限してください。

$$t_{ON,min} \geq t_{TLTOFF} + t_{RISE,load} + t_{CLFILT,x} + t_{IntProc}$$

$t_{TLTOFF} < t_{ONpulse} < t_{ON,min}$ の間のターンオンパルスは、次の範囲の不完全で未決定のパルス形式を持つ可能性があります。

- 短いターンオンピーク ($t_{TLTOFF} < t_{ONpulse} < t_{TLTOFF} + t_{RISE,load}$)、表示されません
- ランプ B ターンオフを伴う短いターンオン ($t_{TLTOFF} + t_{RISE,load} < t_{ONpulse} < t_{TLTOFF} + t_{RISE,load} + t_{CLFILT,x}$)、[図 4](#) を参照: 上部の波形
- ランプ B のターンオフと完全な TLTOFF シーケンス ($t_{TLTOFF} + t_{RISE,load} + t_{CLFILT,x} < t_{ONpulse} < t_{ON,min}$) の間のジッタ、[図 4](#) を参照: 中央の波形、および
- 完全な TLTOFF シーケンス ($t_{ONpulse} > t_{ON,min}$)、[図 4](#) を参照: 下部の波形

3 1ED38x1 固有の機能の説明

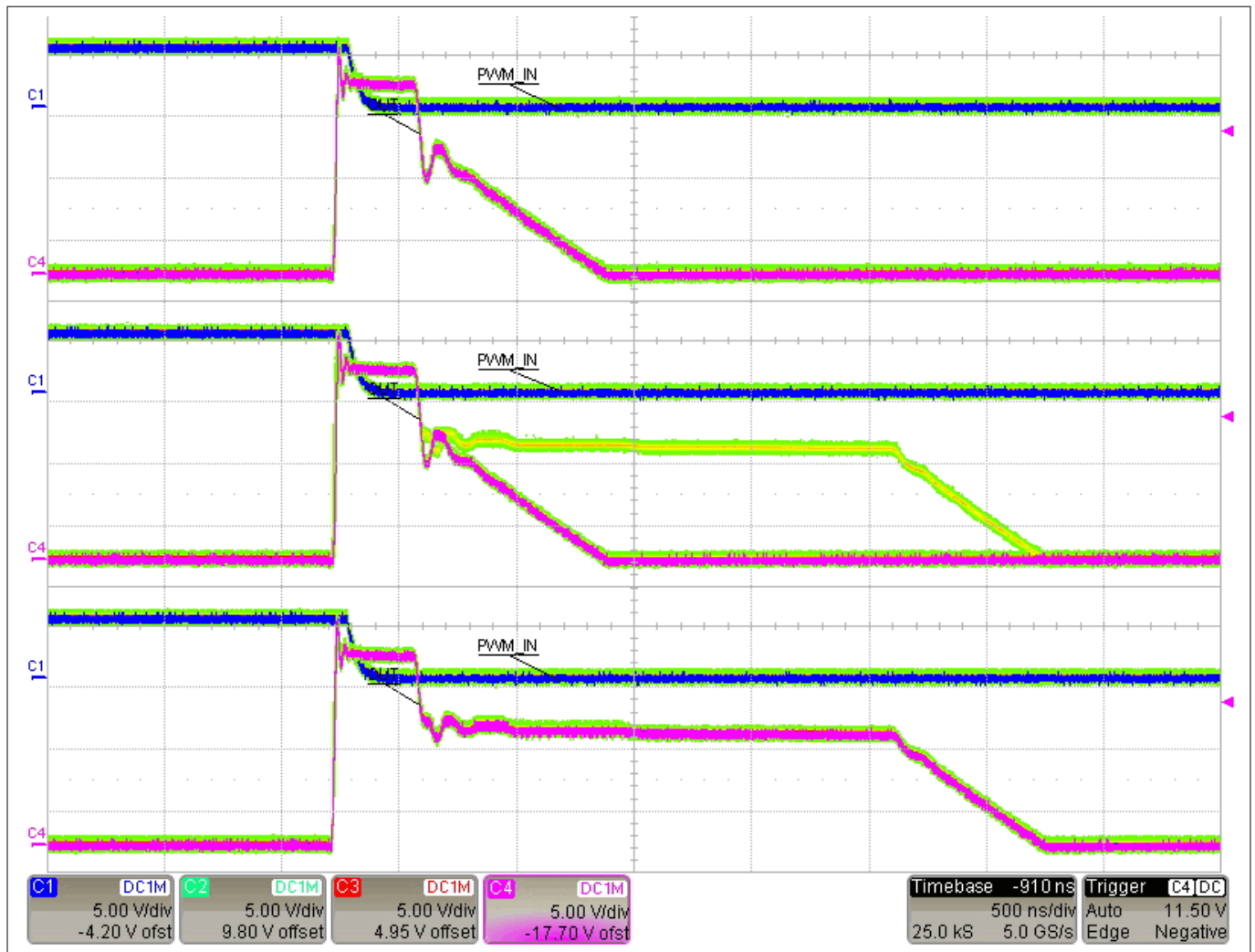


図 4 最小のゲート負荷での 2 レベルターンオフ短パルス動作の組み合わせ画像

ゲートドライバ IC の設定:

- TLTOFF レベル: 9 V, TLTOFF RA: 60 V/μs, TLTOFF 間隔: 2 μs, TLTOFF RB: 15 V/μs
- CLAMP およびピン電圧監視用のフィルタ: 370 ns

3.3 フォールトラッチによるスイッチオフタイムアウト動作

ゲートドライバ IC はスイッチオフ時間を監視します。ただし、この機能は 1ED38x0 でのみであり、タイミングとフォールトラッチ動作の両方により設定できます。ここでは、タイムアウト検出が有効になった後、FLT_N がローにラッチされる設定オプションの動作について説明します。

全体のタイムアウト監視は、ゲート、ゲートターンオフ抵抗 ($R_{G,OFF}$)、および OFF ピンを介した通常の放電経路が弱い接続の場合にのみ興味深いものになります。この弱い接続により、ゲートドライバは監視対象のゲート電圧を $VEE2 + 2V$ の OFF 検出しきい値未満に下げることができません。ゲート電圧の立ち下り時間 ($t_{gate,fall}$) が設定されたスイッチオフタイムアウトよりも短い他のすべての場合時間 (t_{CTT}) PWM 動作は、タイムアウト監視機能の影響を受けません。これは、フォールトラッチ動作の設定とは無関係です。

スイッチオフタイムアウト検出のフォールト報告を有効にするには、レジスタビット **SOTOUT.SOTOUT_F** を 1_B に設定する必要があります。

3 1ED38x1 固有の機能の説明

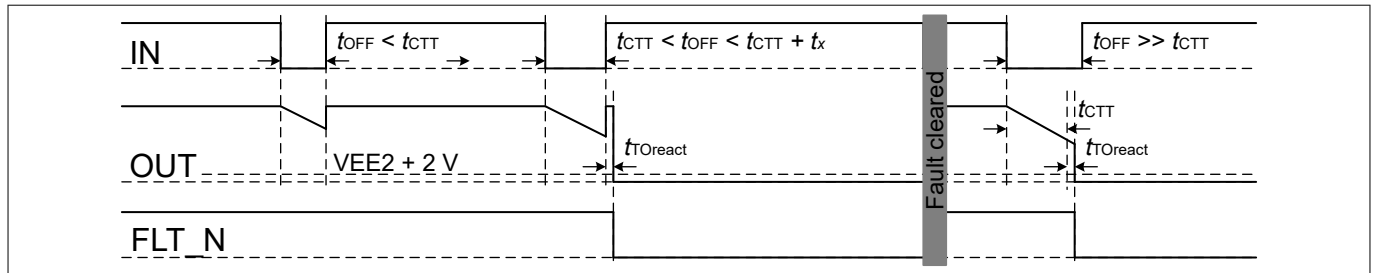


図 5 フォールトラッチによるスイッチオフタイムアウト監視

図で使用されるパラメーター:

- t_{OFF} : OFF パルスの持続時間
- t_{CTT} : レジスタビット **SOTOUT.SOTOUT_T** に従って設定されたタイムアウト時間
- t_x : ゲートドライバの内部処理時間を含むタイムアウト許容値 ($t_{x,max} = 100 \text{ ns}$)
- $t_{TOreact}$: すべてのターンオフパスをアクティブにするためのゲートドライバの反応時間とフォールト状態の報告

ゲート電圧の立ち下り時間が長い場合のスイッチオフタイムアウト動作は、次の 3 つの時間セグメントに分けることができます。

- $t_{OFF} < t_{CTT}$: OFF パルスが短すぎてスイッチオフタイムアウトをトリガーできません。ゲートドライバは、 IN 信号の立ち上がりエッジで出力をオンにするだけです。
- $t_{CTT} < t_{OFF} < (t_{CTT} + t_x)$: OFF パルスはスイッチオフタイムアウト時間よりわずかに長いです。ただし、タイムアウト条件が内部ゲートドライバロジックを介して伝播されてシャットダウンし、障害を報告する前に、出力はすでに再びオンになり始めています。
- $t_{OFF} \gg t_{CTT}$: OFF パルスはスイッチオフタイムアウト時間よりはるかに長いです。利用可能なすべての手段 (ハードスイッチオフと *CLAMP*) によって出力が強制的にシャットダウンされ、ゲートドライバ IC が FLT_N ピンをローに引き下げます。

出力のターンオフが遅いと、インバータステージでシュートスルーイベントが発生し、DESAT 保護によって検出された二次フォールトがトリガーされる可能性があることに注意してください。

4 実装時の機能動作

4 実装時の機能動作

4.1 ソフトターンオフを使用したゲート負荷への高インダクタンス接続

ゲートドライバ回路を設計するときは、ゲートループのインダクタンスを最小限に抑えることを推奨します。ただし、すべてのアプリケーション回路でゲートドライバ IC を電源スイッチの近くに配置できるわけではありません。その場合は、ソフトターンオフ操作に特別な注意が必要です。

ゲートドライバ IC は、内部制御ループを使用してソフトターンオフ機能を実装し、フォールトオフイベント中の最大シンク電流を制限します。したがって、ゲートドライバ IC の別のピンに接続された追加の外部の高抵抗値の抵抗は必要ありません。代わりに、OFF ピン自体がソフトオフピンとして機能し、設定されたソフトオフ電流を使用して、フォールトオフ中にゲートを放電します。ゲートドライバ IC と電源スイッチのゲートの間に長い配線経路がある回路では、ソフトオフ制御ループにより、低いソフトオフ電流で動作すると、ゲートドライバ IC で電流リングが発生する可能性があります。

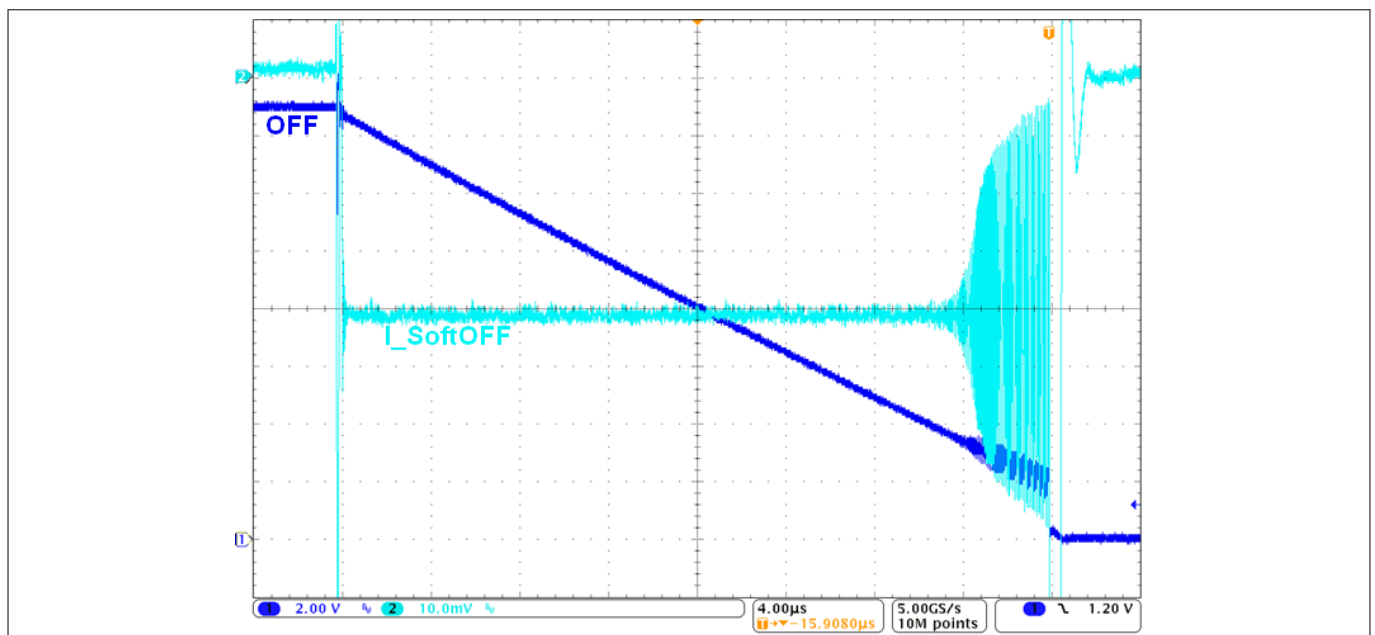


図 6 高負荷、長いゲートループおよび低ソフトオフ電流でのソフトオフ動作

測定設定:

- チャンネル 2 の I_{SoftOFF} 電流測定のシャントとして使用される 1Ω ゲート抵抗
- ゲート負荷として 100nF のコンデンサ
- OFF ピンを負荷に接続し、チャンネル 1 で監視する 200 mm のワイヤループ
- $<50\text{ mA}$ のソフトターンオフ電流設定

4 実装時の機能動作

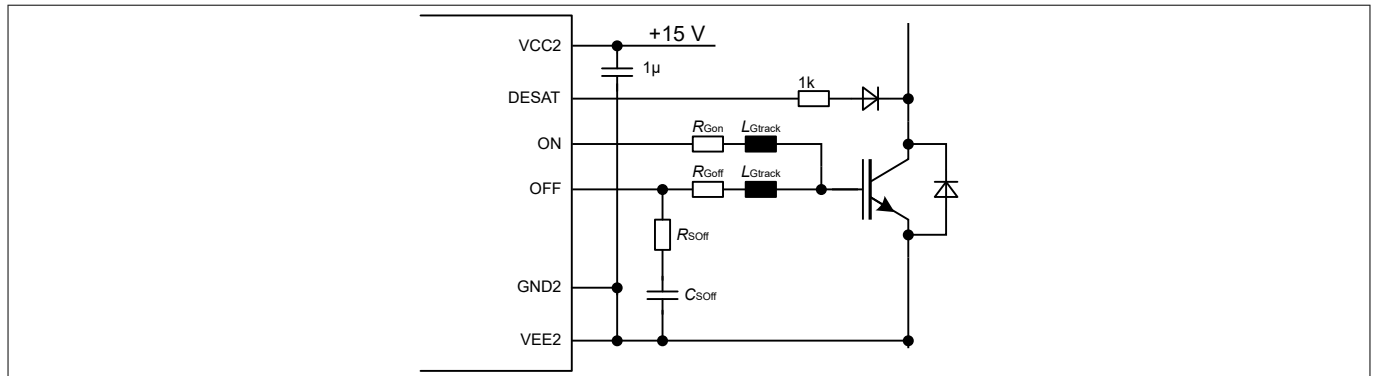


図 7 安定した高負荷、長いゲートループおよび低ソフトオフ電流の状況に最適化された回路

このリングングを克服するために、OFF ピンに直接ある小さなコンデンサと直列抵抗がソフトオフ制御ループを安定させます。この回路図の例は、意図しない長いゲートループを L_{Gtrack} として示します。ゲート抵抗 R_{Goff} と同等のゲート電荷 C_{Gate} に応じて、次のガイドラインは、ループを安定させるための追加コンポーネントの適切な値を示します。

- $R_{Soff} \leq 10 \times R_{Goff}$
- $C_{Soff} = 0.01 \times C_{Gate}$

追加の抵抗は十分に大きいものに、コンデンサは通常のスイッチング動作に影響を与えずゲートドライバ IC の熱動作にも影響を与えないように十分に小さいものにする必要があります。また、ソフトオフ電流がリングングしていても、アプリケーションの安全性は危険にさらされず、意図したとおりに動作できます。

4.2 IC リセットを担当する出力側の全体電圧 UVLO

ゲートドライバ IC は、VCC2 から GND2 への電源に対して高速 UVLO 検出を備えており、IGBT でのオン状態損失を低く抑えます。VCC2 と VEE2 の間の供給電圧は、ゲートドライバ IC が内部で動作し続けるか、リセットに移行するかを定義します。

この内部 VCC2 - VEE2 UVLO しきい値は約 7 V です。出力側の電源ピンでの電圧降下がこの値を上回っている限り出力側がリセットされることはありません。

ユニポーラ電源 ($VEE2 = GND2$) を使用するアプリケーションでは、次の条件が発生します。

- $V_{CC2} - GND2 > V_{UVLO2H}$: ゲートドライバ IC 電源は動作可能です。
- $V_{UVLO2L} > V_{CC2} - GND2 > V_{CC2} - VEE2$ UVLO: ゲートドライバ IC は内部で準備ができていますが、PWM 動作を許可していません。
- $V_{CC2} - VEE2$ UVLO $> V_{CC2} - GND2$: ゲートドライバ IC は出力側リセット状態にあり、再起動には製品固有の電源投入シーケンスが必要です。

追加の VEE2 UVLO が設定されていない場合、バイポーラ電源 ($VEE2 < GND2$) を使用するアプリケーションでは、次の条件が発生します。

- $V_{CC2} - GND2 > V_{UVLO2H}$: ゲートドライバ IC 電源は動作可能です。
- $V_{CC2} - VEE2 > V_{CC2} - VEE2$ UVLO: ゲートドライバ IC は内部で準備ができていますが、PWM 動作を許可していません。
- $V_{CC2} - VEE2$ UVLO $> V_{CC2} - VEE2$: ゲートドライバ IC は出力側リセット状態にあり、再起動には製品固有の電源投入シーケンスが必要です。
- $VEE2 > GND2$: ゲートドライバ IC も出力側リセット状態にあり、再起動には製品固有の電源投入シーケンスが必要です。

4 実装時の機能動作

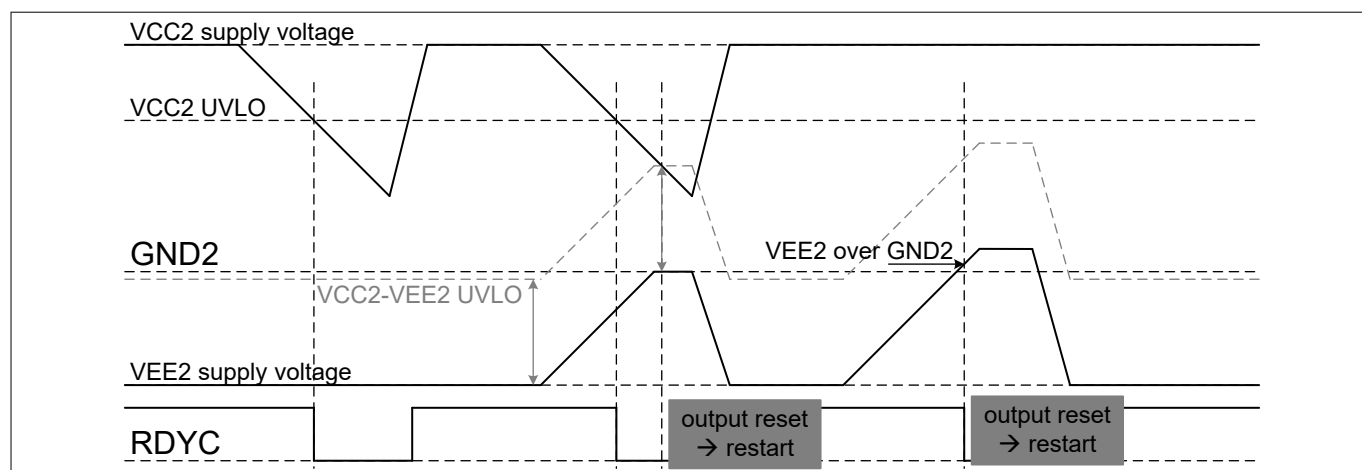


図 8 出力リセット条件での出力側の全体電圧 UVLO

出力側のリセット後の再起動には、製品固有の電源投入アクションとは別に、電源電圧がそれぞれの動作範囲内にあることも必要です。この図には、電源の回復と再起動のアクションは示されていません。

5 設計のポイント

5 設計のポイント

設計のポイントは、ゲート抵抗と出力電源コンデンサの選択、および選択した設計の消費電力の見積もりになります。

5.1 外部部品

このゲートドライバ IC は、必要な外付け部品をできるだけ少なくするように設計されています。ここでは、これらの部品の一部と、それらの使用可能なアプリケーションの範囲と制限について説明します。

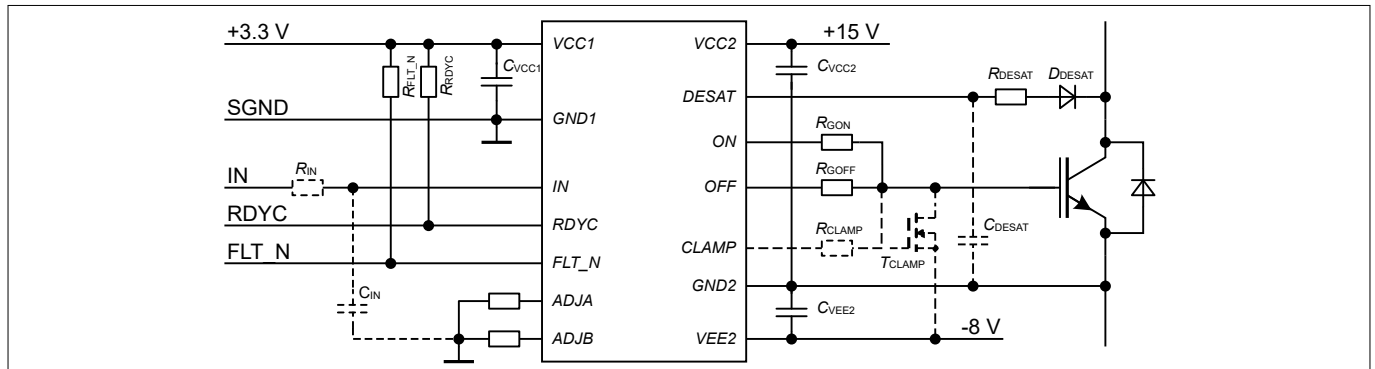


図 9 バイポーラ電源を使用した 1ED34x1 (1ED-X3 アナログ) のアプリケーション例

入力側の破線の部品はオプションであり、EMI から回路を保護するためのもので、アプリケーション要件によって異なります。FLT_N ピンと RDYC ピンでの追加のフィルタは、示されている IN ピンのフィルタと同様の方法で接続可能です。出力側の CLAMP ピン接続は、ゲートドライバ IC 出力電流クラスと、通常のクランプにするか、またはクランププリドライバ出力にするかなどのピン設定への影響によって異なります。オプションの DESAT コンデンサ C_{DESAT} は、DESAT フィルタオプションを単純に大きくします。

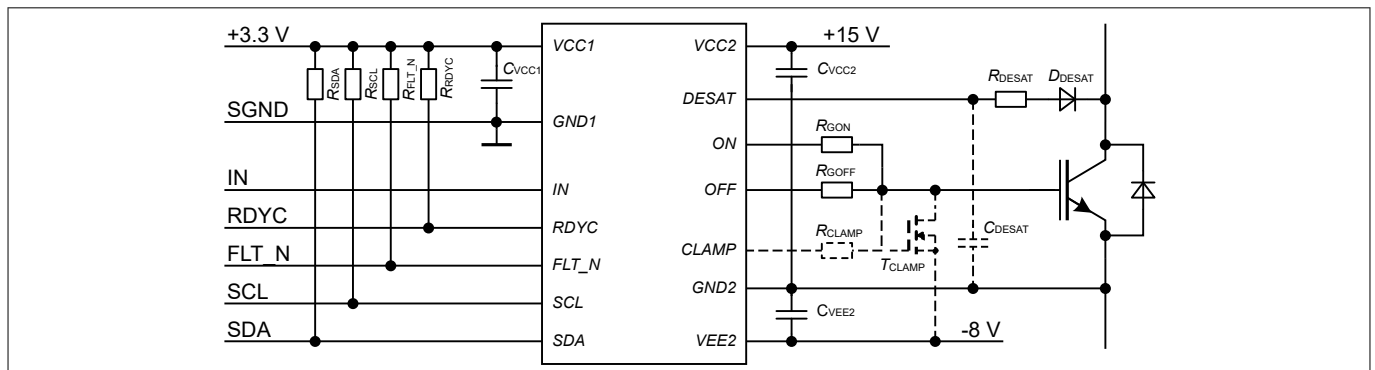


図 10 バイポーラ電源を使用した 1ED38x0 (1ED-X3 デジタル) のアプリケーション例

入力側は、回路を EMI から保護するために、IN、FLT_N、および RDYC ピンにフィルタを実装できます。フィルタは表示されていません。出力側の CLAMP ピンの接続は、このピンのゲートドライバ IC レジスタの設定によって異なります。通常のクランプまたはクランププリドライバ出力としての操作に適した部品を選択する必要があります。オプションの DESAT コンデンサ C_{DESAT} は、DESAT フィルタオプションを単純に大きくします。

バイポーラ電源構成では、ここには示されていませんが、VCC2 ピンと VEE2 ピンの間にコンデンサを追加することも推奨します。すべてのコンデンサは、X7R または ESR の低い同様のタイプである必要があります。コンデンサは、個々の電源ピンにできるだけ近くに配置する必要があります。

5 設計のポイント

表 2 外部部品

項目	記号	値			単位	注記またはテスト条件
		最小	標準値	最大		
入力側のデカップリング	C_{VCC1}	0.1	1	–	μF	–
入力電源に対する SDA、SCL プルアップ	R_{SDA}, R_{SCL}	150	–	–	Ω	I2C バス仕様に準拠
SDA、SCL プルアップ電流	I_{SDA}, I_{SCL}	–	–	20	mA	I2C バス仕様に準拠
入力電源に対する FLT_N、RDYC プルアップ	R_{FLT_N}, R_{RDYC}	1	–	–	kΩ	すべての並列抵抗の合計値
μC 側の FLT_N、RDYC フィルタコンデンサ typ.	C_{FLT_N}, C_{RDYC}	–	–	22	nF	すべての並列コンデンサの合計値
正電圧出力側デカップリングコンデンサ	C_{VCC2}	0.1	1	–	μF	VCC2 リップル < 1 V
負電圧出力側デカップリングコンデンサ	C_{VEE2}	0.1	1	–	μF	VEE2 リップル < 1 V
出力電源側全体の電源ピン用デカップリングコンデンサ	$C_{VCC2, VEE2}$	0.1	–	–	μF	供給リップル < 1 V
DESAT 保護抵抗	R_{DESAT}	1	–	10	kΩ	–
DESAT 外部タイミングコンデンサ	C_{DESAT}	0	–	1000	pF	オプション
合計 ON ゲート抵抗 1ED3x3xM	R_{GON}	2	–	–	Ω	–
合計 OFF ゲート抵抗 1ED3x3xM	R_{GOFF}	2	–	–	Ω	–
合計 ON ゲート抵抗、1ED3x6xM, 1ED3x9xM	R_{GON}	1	–	–	Ω	–
合計 OFF ゲート抵抗、1ED3x6xM, 1ED3x9xM	R_{GOFF}	1	–	–	Ω	–

定格絶縁機能が強化されたゲートドライバ IC は、電氣的過大ストレスから保護する必要があります。例えば、最大出力電流または最大消費電力に対して。これらの要件を満たすには、より高いゲート抵抗値が必要になる場合があります。

5.1.1 出力電源コンデンサの選択

ドライバ出力電源コンデンサの位置に関する一般的なデザインルールは、常に IC の電源ピン VCC2 および VEE2 に可能な限り近くなります。

さらに、コンデンサの値は、電源スイッチのオン時の電圧降下を制限するのに十分な大きさである必要があります。次の式は、このコンデンサの最初の近似値を計算するのに役立ちます。

$$C_2 = \frac{I_{Q2} \cdot t_p + Q_G}{\Delta V_{CC}} \cdot 1.2$$

式 2

I_{Q2} はゲートドライバの供給電流、 t_p はスイッチング周波数の周期、 Q_G は選択した動作条件での総ゲート電荷、 ΔV_{CC} は最大許容電圧変動です。20%の追加マージンは、コンデンサとゲートの電荷パラメーターの一般的な許容誤差をカバーします。

5 設計のポイント

$Q_G = 800 \text{ nC}$ 、スイッチング周波数 $f_{\text{sw}} = 15 \text{ kHz}$ 、許容電圧変動 $\Delta V_{\text{CC}} = 0.2 \text{ V}$ の 100A モジュール FP100R12KT4 でこれを計算すると、次のようになります。

$$C_2 = \frac{4 \text{ mA} \cdot 67 \mu\text{s} + 800 \text{ nC}}{200 \text{ mV}} \cdot 1.2$$

$$C_2 = 5.6 \mu\text{F}$$

式 3

5.1.2 ゲート抵抗の選択

ゲート抵抗を最適化するには、使用する IGBT の適切なゲート電荷図とゲートドライバの出力特性を利用できるようにすることを推奨します。どちらの図も、DC リンク電圧 (V_{DC})、コレクタ電流 (I_C)、動作温度などの動作条件によって異なります。

次の代表的な図に、IGBT とスケールなしのゲートドライバ IC 出力の一般的な動作を示します。

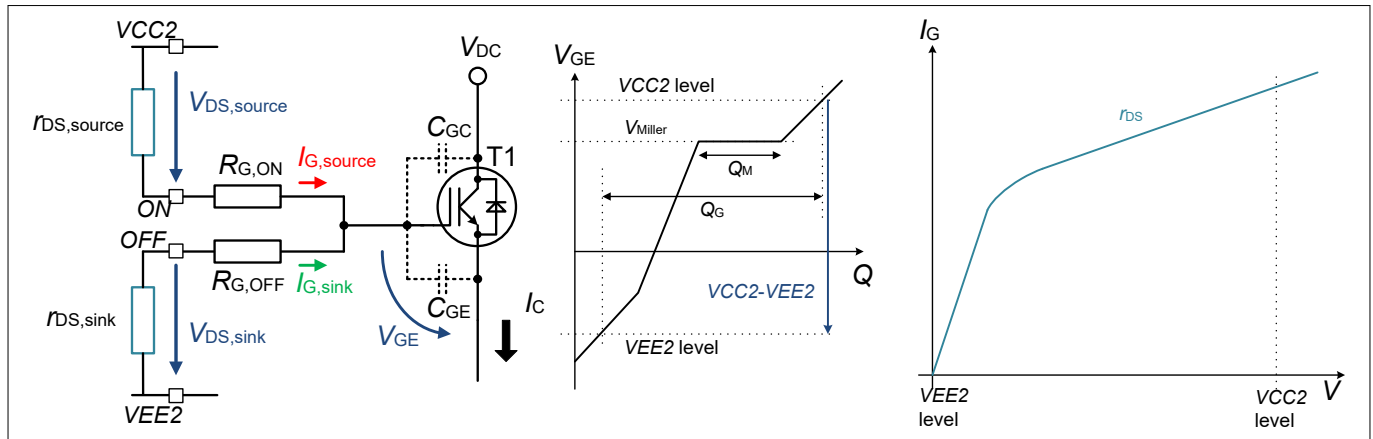


図 11 簡略化されたゲート回路、IGBT ゲート電荷図およびドライバ出力特性

MOSFET ベースのゲートドライバ出力は、スイッチング中に電圧降下 ($V_{\text{DS,source}}$; $V_{\text{DS,sink}}$) を伴う動的抵抗 ($r_{\text{DS,source}}$; $r_{\text{DS,sink}}$) として簡略化できます。総ゲート電荷 (Q_G) とミラー電荷 (Q_M) は、与えられたゲートドライバ電源の V_{CC2} と DC リンク電圧を使用してゲート電荷図から抽出できます。

5 設計のポイント

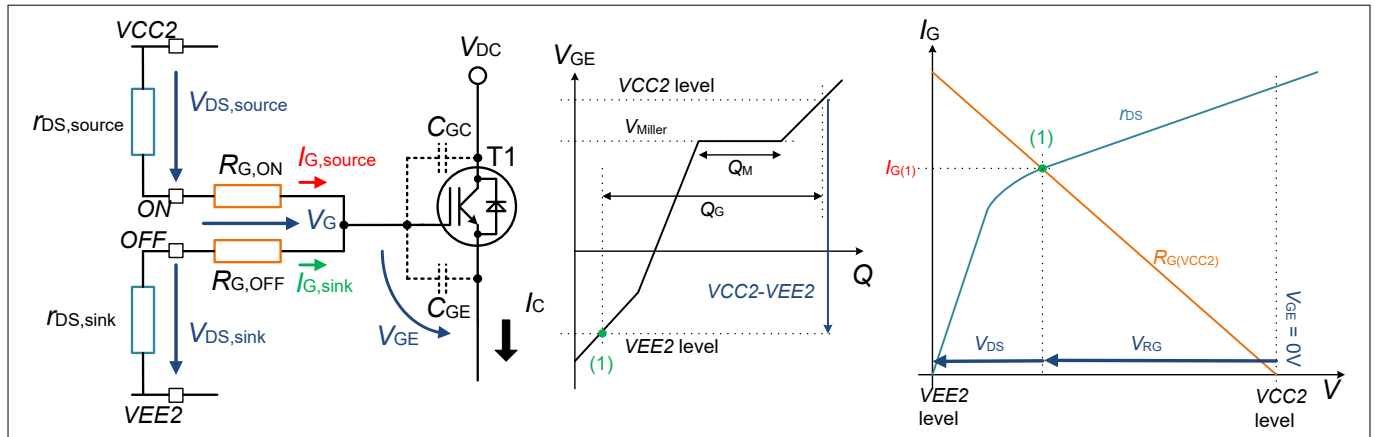


図 12 簡略化されたゲート回路のターンオンイベント: 初期フェーズ

IGBT ターンオンイベントの初期段階では、ゲートは放電され、VEE2 ピンのレベルになります。図では、(1) でマークされています。したがって、合計ゲート供給電圧は、内部ゲートドライバ抵抗 ($r_{DS,source}$) とターンオンゲート抵抗 ($R_{G,ON}$) の間で分割されます。図のソリューションは、ゲートドライバの出力特性の線形領域または飽和領域に配置できる初期ゲート電流 ($I_{G(1)}$) を示します。この最大電流を使用して、ゲート抵抗に適切なパルス電流クラスを選択することもできます。

初期フェーズの直後に、ゲート電流は低下し始め、ゲート-エミッタ間電圧 (V_{GE}) が充電されている間、出力特性曲線と合わせて記載されたゲート抵抗線の交点に従います。

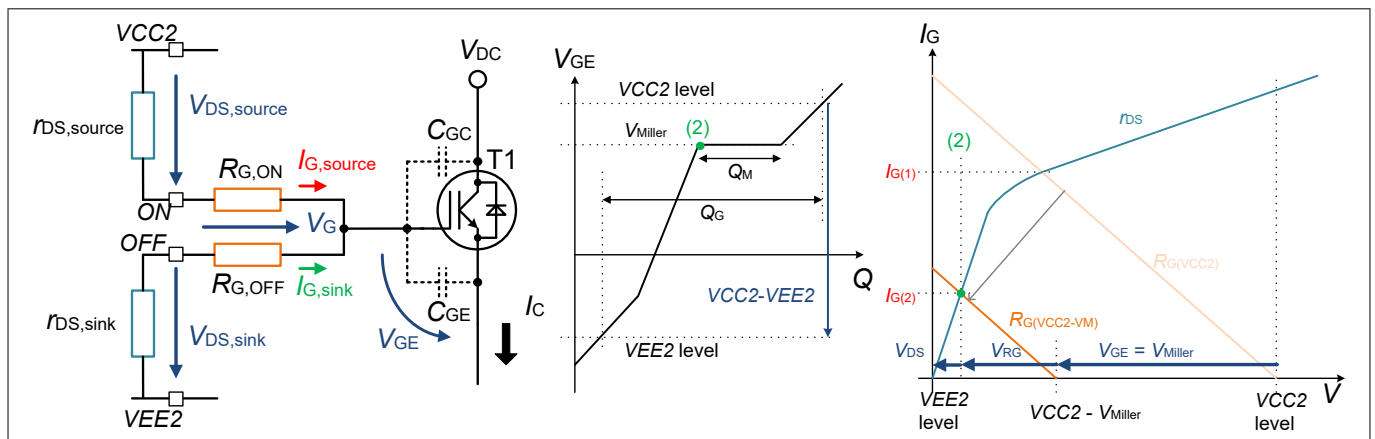


図 13 ミラープラトーでの簡略化されたゲート回路ターンオンイベント

上記の (2) でマークされたミラープラトーから始めて、トランジスタがコレクタ-エミッタ間電圧を飽和レベルまで下げている間、ゲート-エミッタ間電圧はほぼ一定のままです。

そのフェーズの条件が与えられると、結果として得られるゲート電流は一定であり、次の式でコレクタ-エミッタ間電圧遷移時間 (t_{ON}) を計算できます。

$$t_{ON} = \frac{(R_{G,ON} + r_{DS,source(2)})}{(V_{CC2} - V_M)} \cdot Q_M$$

$$t_{ON} = \frac{1}{I_{G(2)}} \cdot Q_M$$

式 4

ゲート抵抗の値を調整するには、ゲート回路のすべての寄生要素に関する広範な知識が必要です。したがって、これはスイッチング損失と EMI の間で調整する反復プロセスです。

5 設計のポイント

5.1.3 DESAT ダイオードの選択

適切な DESAT ダイオードは、堅牢な DESAT 保護の不可欠な部分です。ここでは、重要なパラメーターと最適部品の選択方法について説明します。

DESAT ダイオードは、ブートストラップダイオードと同様の要件を満たす必要があります。以下のダイオードが必要です。

- 速い逆回復時間
- 低い逆回復電流
- 低い pn 接合容量

さらに、アプリケーションの動作条件に応じて、ダイオードは逆阻止電圧、動作温度、および機械的パラメーターの要件を満たす必要があります。より高い沿面距離と空間距離の要件を満たすために、ダイオードは直列接続に配置されることがよくあります。次の表は、DESAT 操作によく使用されるダイオードを示しています。

表 3 ディスクリット DESAT ダイオード

製品番号	ベンダー	V_R	I_F	t_{rr}	$C_J @ 1V$	V_f	備考
STTH1L06	ST	600 V	1 A	60 ns	22 pF	1.3 V	–
STTH1R06	ST	600 V	1 A	25 ns	20 pF	1.7 V	–
STTH112	ST	1200 V	1 A	75 ns	–	1.9 V	良い HV ダイオード
DA2JF8100L	Panasonic	800 V	0.2 A	45 ns	0.4 pF	2.5 V	高 dV/dt 対応
RS07K	Vishay	800 V	1 A	300 ns	6 pF	1.3 V	–
US1M	Vishay	1000 V	1 A	75 ns	22 pF	1.7 V	良い HV ダイオード

5.1.4 CLAMP プリドライバ出力用 MOSFET

CLAMP プリドライバ出力で設定されたゲートドライバ IC には、スイッチオフされたゲートドライバ出力中に IGBT ゲートをローに保つための適切な n チャネル MOSFET が必要です。

全体的な供給電圧が低い場合、例えば

- ユニポーラ +15V または
- バイポーラ +15V / -5V、

30 V MOSFET BSL306N は良い選択です。

より高い供給電圧の場合、例えば

- バイポーラ +15V / -8V、
- バイポーラ +15V / -15V 以上、

9.1A までの電流の場合は 60V MOSFET BSR606N、18.1A までの電流の場合は BSL606SN が推奨されます。これらの MOSFET は、特に通常ではない動作条件でより高いマージンを可能にします。

表 4 ディスクリット MOSFET デバイス

製品番号	ベンダー	$V_{DS,max}$	$I_{D,peak}$	$Q_{G,total}$	備考
BSD316SN	インフィニオン	30 V	5.6 A	0.6 nC	低電流
BSL306N	インフィニオン	30 V	9.0 A	1.5 nC	高電流
BSR606N	インフィニオン	60 V	9.1 A	3.7 nC	標準
BSL606SN	インフィニオン	60 V	18.1 A	4.1 nC	高電流

5 設計のポイント

5.1.5 ディスクリートバイポーラデバイスを使用したブースター選択

より低い出力電流定格のゲートドライバ IC は、出力電流をブーストするバイポーラトランジスタをサポートするように設計されています。バイポーラデバイスは、エミッタフォロワで使用されます。さまざまなベンダーのさまざまなデバイスを使用できます。次の表に、ブースターとして使用される標準的な製品を示します。

表 5 ディスクリートバイポーラデバイス

製品番号	ベンダー	極性	$I_{CE,typ.PEAK}$	備考
ZXTP2012Z	Zetex	PNP	10 A	業界標準
ZXTN2010Z	Zetex	NPN	10 A	業界標準
PBSS304NX	NXP	NPN	10 A	–
PBSS304PX	NXP	PNP	10 A	–
2SA2016	ON	PNP	10 A	–
2SC5569	ON	NPN	10 A	–
ECH8502	ON	NPN/PNP	10 A	補完的な BJT

5.2 消費電力の見積もり

パワーデバイスの切り替え中のゲート抵抗の電力損失とは別に、ドライバ IC 内にもかなりの電力損失があります。

すべてのパッケージは、最大接合部温度を超えることなく、特定の動作条件で最大消費電力を達成できます。ゲートドライバ IC の出力部 (P_{OUT}) の内部電力損失は次のように見積もることができます。

$$P_{OUT} = P_Q + P_{source} + P_{sink}$$

式 5

P_Q は、ドライバ出力ステージの動作電力損失です。これは、動作電源電流 (I_{Q2}) と V_{CC2} ピンと $VEE2$ ピンの間の電源電圧 V_{CC2} によって簡単に計算されます。

$$P_Q = I_{Q2} \cdot V_{CC2}$$

式 6

ターンオン (P_{source}) とターンオフ (P_{sink}) の損失は、内部ゲートドライバ抵抗 (R_{DS}) と外部ゲート抵抗 (R_G) の間の抵抗分圧器を使用して、合計ゲート電荷 (Q_G) とスイッチング周波数 (f_{sw}) で推定できます。

$$P_{source} = \frac{1}{2} Q_G \cdot f_{sw} \cdot V_{CC2} \cdot \frac{R_{DS,source}}{R_{DS,source} + R_{G,ON}}$$

$$P_{sink} = \frac{1}{2} Q_G \cdot f_{sw} \cdot V_{CC2} \cdot \frac{R_{DS,sink}}{R_{DS,sink} + R_{G,OFF}}$$

式 7

5 設計のポイント

表 6 ゲートドライバの出力抵抗

製品名の小文字の c は、元の製品名の U または C を表す記号です。

- U: UL 1577 認定製品
- C: VDE 0884-11 および UL1577 認定製品

最大値は、最初のターンオンまたはターンオフ時に現れる可能性のある MOSFET の ON 抵抗を示します。

ドライバのタイプ	R _{DS,source} 出力抵抗		R _{DS,sink} 出力抵抗	
	標準 [Ω]	最大 [Ω]	標準 [Ω]	最大 [Ω]
1ED3431Mc12M, 1ED3830Mc12M	1.12	4.0	0.82	6.0
1ED3461Mc12M, 1ED3860Mc12M	0.56	2.0	0.41	3.0
1ED3491Mc12M, 1ED3890Mc12M	0.38	1.4	0.28	2.0

Trademarks

All referenced product or service names and trademarks are the property of their respective owners.

Edition 2021-02-15

Published by

Infineon Technologies AG
81726 Munich, Germany

© 2022 Infineon Technologies AG
All Rights Reserved.

Do you have a question about any aspect of this document?

Email: erratum@infineon.com

Document reference
IFX-oix1578558291492

重要事項

本手引書に記載された情報は、本製品の使用に関する手引きとして提供されるものであり、いかなる場合も、本製品における特定の機能性能や品質について保証するものではありません。本製品の使用前に、当該手引書の受領者は実際の使用環境の下であらゆる本製品の機能及びその他本手引書に記載された一切の技術的情報について確認する義務が有ります。インフィニオンテクノロジーズはここに当該手引書内で記される情報につき、第三者の知的所有権の不侵害の保証を含むがこれに限らず、あらゆる種類の一切の保証および責任を否定いたします。

本文書に含まれるデータは、技術的訓練を受けた従業員のみを対象としています。本製品の対象用途への適合性、およびこれら用途に関連して本文書に記載された製品情報の完全性についての評価は、お客様の技術部門の責任にて実施してください。

警告事項

技術的要件に伴い、製品には危険物質が含まれる可能性があります。当該種別の詳細については、インフィニオンの最寄りの営業所までお問い合わせください。

インフィニオンの正式代表者が署名した書面を通じ、インフィニオンによる明示の承認が存在する場合を除き、インフィニオンの製品は、当該製品の障害またはその使用に関する一切の結果が、合理的に人的傷害を招く恐れのある一切の用途に使用することはできないこと予めご了承ください。