

アプリケーション・ノート : AN-978

高耐圧のフローティングMOSゲート駆動IC

(HEXFETは International Rectifierの登録商標です)

目次

頁

1	ハイサイド側パワー・トランジスタのゲート駆動条件	2
2	一般的な回路ブロック図	2
3	ブートストラップ部品の選択方法	5
4	ゲート駆動 IC の消費電力の計算方法	5
5	V_S ピンの負の過渡電圧の扱い方	8
6	レイアウトなどの一般的なガイドライン	10
7	モジュールを駆動するゲート駆動電流の増やし方	12
8	連続ゲート駆動の実現方法	14
9	ゲートの負バイアス発生方法	15
10	バック・コンバータの駆動方法	18
11	デュアル・フォワード・コンバータと スイッチド・リラクタンس・モーターの駆動	19
12	電流モード制御機能を備えるフルブリッジ回路	20
13	ブラシレス・モーターと誘導モーターの駆動	21
14	プッシュプル	22
15	ハイサイド p チャネル	23
16	トラブル・シューティングのガイドライン	23

注意) このアプリケーション・ノートは、ゲート駆動 IC の動作を理解するための参考にしてください。ここで紹介しているデバイスの中には、現在、製造されていない製品が含まれています (2008 年 2 月 20 日)。

©インターナショナル・レクティファイアー・ジャパン
この文献の無断複製・転載を禁じます。

1 ハイサイド側パワー・トランジスタのゲート駆動条件

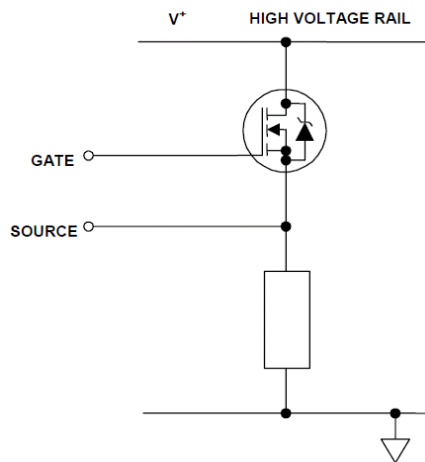


図1 ハイサイド構成のパワーMOSFET

エンハンス駆動（端子間の電圧降下を最小化）のハイサイド・スイッチ（図1のようにドレインを高い方の電源電圧に接続）として使われるパワーMOSFETまたはIGBTのゲート駆動条件を以下にまとめました。

1) ゲート電圧は、ソース電圧よりも10V～15V高くします。一般的には、電源電圧がシステム内で最も高い電圧であることが多いですが、ハイサイド・スイッチでは、ゲート電圧をこの電圧よりも高くします。

2) ゲート電圧は、一般的には接地電位を基準とする論理信号で制御できなければなりません。ハイサイド側のパワー・トランジスタ（パワーMOSFETまたはIGBT）では、論理信号をソース電位までレベルシフトしなければなりません。多くの用途では、論理信号は、2つの電源電圧間で変化することになります。

3) ゲート駆動回路で消費される電力は、全体の効率に大きく影響しないことが大切です。以上の制約のもとに、この機能を実現するために、現在、複数の技術が使われています。表1（p.24参照）に原理を示します。各基本回路は、さまざまな構成で実現できます。

インターナショナル・レクティファイアー（IR）社のゲート駆動ICシリーズは、ハイサイドとローサイドのパワーMOSFET（またはIGBT）のゲートの駆動に必要なほとんどの機能を内蔵しており、高性能な小型パッケージに収めています。数個の外付け部品の追加により、高速なスイッチング特性が得られます。IR社のゲート駆動ICの代表例として、低消費電力のIRS2110のスイッチング特性を表2（p.25参照）に示しました。これらのゲート駆動ICは、ブートストラップ構成、すなわちフローティング電源（接地電位に対して浮いた状態）として動作します。ブートストラップ・モードで使うと、周波数が数十Hz～数百kHzのほとんどの用途で使えます。

2 一般的な回路ブロック図

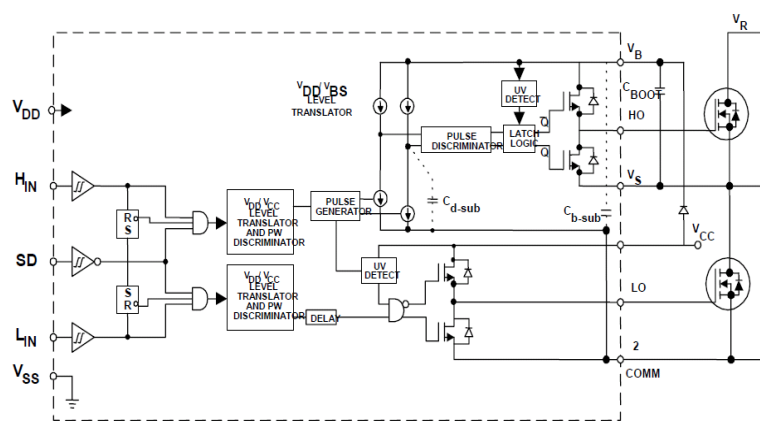


図2 IRS2110の回路ブロック図

ほとんどのゲート駆動ICの一般的な回路構成の例を、IRS2110の回路ブロック図を使って説明します（図2）。この図は、接地電位を基準とするパワー・トランジスタを駆動する回路、すなわちローサイド側の駆動回路、そしてハイサイド側のパワー・トランジスタを駆動するもう1つの駆動回路に加えて、レベルシフト回路や入力論理回路で構成されています。

2.1 入力論理

ハイサイドとローサイドの両チャネルは、TTL/CMOS互換の入力信号によって制御されます。遷移のしきい電圧は、デバイスによって異なります。いくつかの駆動IC（例えば、IRS211x）のしきい電圧は、論理回路の電源電圧 V_{DD} （3V～20V）に比例します。さらに立ち上がり時間の長い入力信号に対処するために、 V_{DD} の10%に相当するヒステリシスを備えるシュミット・トリガ・バッファを内蔵しています。他の駆動IC（例えば、IRS210x、IRS212x、IRS213x）では、しきい電圧は、論理の“0”と“1”との間の電圧（1.5V～2V）に固定されています。

駆動ICによっては、ハイサイドのパワー・トランジスタだけを駆動するものもあります（例えば、IRS2117、IRS2127、IRS21851）。ハイサイドとローサイドのパワー・トランジスタをそれぞれ1個駆動するもの、あるいは3相ブリッジすべてを駆動できるもの（例えば、IRS213xやIRS263xシリーズ）もあります。もちろん、すべてのハイサイド駆動ICはローサイド・トランジスタだけを駆動することもできます。

2つのゲート駆動チャネルを備える駆動ICは2種類あり、独立した2つの入力端子を備えるものと、2チャネルの相補駆動機能と所定のデッドタイムを備える入力端子が1つのものがあります。

デッドタイムを短くしたい用途では、デッドタイム発生回路を内蔵した駆動IC（ハーフブリッジ駆動回路）、またはハイサイドとローサイドの駆動回路と受動部品とを組み合わせる必要なデッドタイムを発生するようにした駆動IC（p.20の「12 電流モード制御機能を備えるフルブリッジ回路」参照）を使ってください。

一般に、入力端子とゲート駆動出力との間の伝搬遅延時間は、オン/オフに対して両チャネルともほぼ等しくなっています（データシートで定格化されているように温度依存性があります）。正のハイ・シャットダウン機能（例えばIRS2110）を備えるゲート駆動ICの場合、シャットダウン入力に論理“1”の信号を入力すると、周期の残りの区間の出力は内部的にシャットダウンされます。

シャットダウン信号が解除された後の最初の入力コマンドにより、ラッチが解除されて、チャネルが動作可能になります。このラッチ付きシャットダウンにより、周期ごとの電流制御が実現されています（p.20の「12 電流モード制御機能を備えるフルブリッジ回路」参照）。入力論理回路からの信号は、雑音耐性の高いレベルシフト回路を経由して各チャネルに供給されます。この構成により、論理回路の電源（ V_{SS} ）の接地の基準が、電源の接地（COM）に対して±5V変化しても許容されます。この機能は、一般的な安定化電源回路の最適な接地レイアウトに比べて所要面積を少なくすることに役立っています。さらに雑音耐性を強化する方法として、パルス幅弁別器によって50 ns以下のパルスを選別しています。

2.2 ローサイド・チャネル

駆動回路の出力段は、トータムポール構成の2個のnチャネルMOSFET（電流吐き出し用のソース・ホローのMOSFETと電流吸い込み用のソース接地のMOSFET）により、またはnチャネルとpチャネルのMOSFETから成るCMOSインバータ段により構成されます。ゲート駆動ICは、各MOSFETのゲート電流を、0.12 A～4 Aで吸い込み/吐き出しが可能です。ローサイドの駆動回路のソースは、ゲート駆動電流の戻り用としてパワーMOSFETのソースに直接接続できるように、独立にCOMピンに接続されています。これについては、p.8の「5 V_S ピンの負の過渡電圧の扱い方」で説明します。UVLO（低電圧ロックアウト）機能は、 V_{CC} が規定値（一般に8.6V/8.2V）よりも低いときに、いずれかのチャネルの動作を停止させます。

ローサイド・チャネルの入力ピンにパルスを入力すると、UVLOが解除された瞬間からパワー・トランジスタがオンします。これは、ハイサイド・チャネルの動作と異なります。これについては以下に説明します。

2.3 ハイサイド・チャネル

ハイサイド・チャネルは、電源の接地（COM）に対して200V／500V／600V／1200Vから－5Vまでのフローティング（基板に対して電位が浮いている状態）を可能にする「アイソレーション・タブ（図3）」に組み込まれています。このタブは、 V_S の電位で浮いています。一般に V_S ピンは、図2のようにハイサイド・トランジスタのソースに接続され、2つの電源電圧の間で変化します。

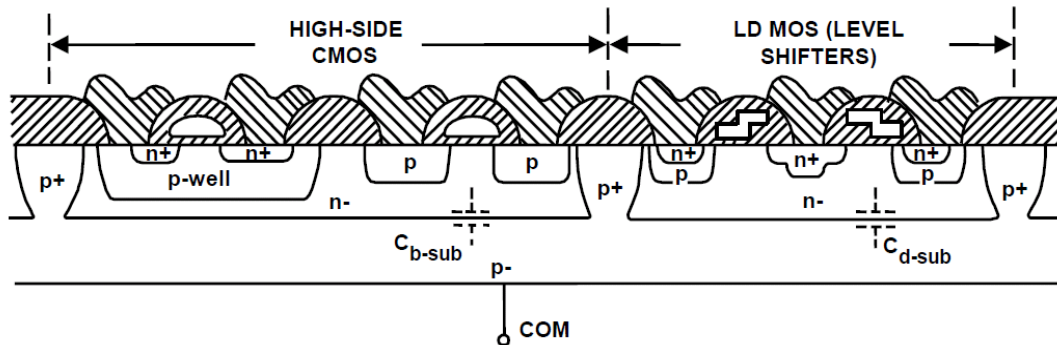


図3 高耐圧ゲート駆動ICの断面図 寄生容量も示してあります。

V_B と V_S の間に絶縁された電源を接続すると、ハイサイド・チャネルは入力コマンドに従って、この電源の正の電位とこの電源の接地との間で出力（HO）をスイッチングします。

MOSFETの重要な特性は、入力が容量性ということです。すなわち、バイポーラ・トランジスタのように連続電流で制御するのではなく、ゲートに電荷を供給してオンさせます。ハイサイド・チャネルがこのようなデバイスを1個駆動する場合、絶縁した電源をブートストラップ・コンデンサ（ C_{BOOT} ）に置き換えることができます（図2）。

ハイサイドMOSFETのゲートに、ブートストラップ・コンデンサから電荷が供給されます。このコンデンサは、MOSFETがオフの間にブートストラップ・ダイオードを介して15V電源から充電されます（ほとんどの用途と同様に、その間に V_S が接地になるものと仮定します）。コンデンサが低い電圧源から充電されるため、ゲート駆動で消費される電力は小さくなります。

ハイサイド・チャネルの入力コマンドを、COMを基準とする電位からタブがフローティングしている電位（1200Vにもなります）までレベルシフトしなければなりません。図2に示すように、入力コマンドの立ち上がりエッジと降下エッジで狭いパルスを作り、オン／オフのコマンドとして送信します。これらのパルスは、フローティング電位を基準とするセット／リセット・フリップフロップによってラッチされます。

パルスの使用により、レベルシフトによる電力消費は大幅に低減されます。 V_S 端子が高速に電圧変化（ dv/dt ）している状況の中でパルス幅弁別器を使ってセット／リセット・パルスを選別します。これによって、パワー・トランジスタの50V/nsにも達する高いスイッチング速度が、ゲート駆動ICの動作に悪影響を与えないようにします。ゲート駆動ICの中には、チャネル内にUVLO機能を備えているものもあります。UVLO機能は、 V_B と V_S の間の電圧（すなわち、上側のトータムポール間の電圧）が規定値よりも低い場合にゲートの駆動を阻止します。

UVLOの動作は、細かい点で V_{CC} のロックアウト動作と異なります。すなわち、UVLO機能がそのチャネルで解除された後の最初のパルスで、出力の状態が変化します。高耐圧のレベルシフト回路は、データシートに規定されたCOMピンの電圧よりも低い電圧（一般に5V）まで V_S 端子が振れても、正常に機能するように設計されています。この現象は、低消費電力ダイオードの順方向回復や Ldi/dt によって生じる過渡電圧によって起こります。p.8の「5 V_S ピンの負の過渡電圧の扱い方」に、負の過渡電圧を制限する方法を示します。

2.4 電源クランプ

多くのゲート駆動 IC は、電源の過渡電圧から IC を保護するため、20V または 25V の電源クランプを内蔵しています。このクランプ電圧を長時間超えると、IC に回復不能な損傷を与えます。

3 ブートストラップ部品の選択方法

図 2 に示すように、標準的な PWM の動作では、ブートストラップ用のダイオードとコンデンサだけが必要とされる外付け部品です。 V_{CC} （およびデジタル回路の）電源に対して配置するデカップリング・コンデンサは、電源ラインのインダクタンスを補償する有効な手段です。

ブートストラップ・コンデンサから見える電圧は V_{CC} 電源だけです。その容量値は以下の項目を考慮して決めます。

- 1) MOSFET のエンハンス駆動に必要なゲート電圧。
- 2) I_{qbs} : ハイサイド駆動回路の静止電流。
- 3) 駆動 IC 内部のレベルシフト回路の電流。
- 4) MOSFET のゲート-ソース間の順方向漏れ電流。
- 5) ブートストラップ・コンデンサの漏れ電流。

上記の 5) は、ブートストラップ・コンデンサが電解コンデンサの場合だけに関係するため、他の種類のコンデンサを使うときには無視できます。従って、可能なら電解コンデンサを使わない方が良いでしょう。ブートストラップ部品の選択の詳細については DT98-2a “Bootstrap Component Selection for Control IC's” を参照してください。

ブートストラップ・コンデンサの最小値は次式で計算できます。

$$C \geq \frac{2 \left[2Q_g + \frac{I_{qbs(max)}}{f} + Q_{ls} + \frac{I_{Cbs(leak)}}{f} \right]}{V_{CC} - V_f - V_{LS} - V_{Min}}$$

Q_g はハイサイド MOSFET のゲート電荷、 f は動作周波数、 $I_{Cbs(leak)}$ はブートストラップ・コンデンサの漏れ電流、 $I_{qbs(max)}$ は V_{BS} の最大静止電流、 V_{CC} は論理回路の電源電圧、 V_f はブートストラップ・ダイオードの順方向電圧降下、 V_{LS} はローサイド MOSFET または負荷の電圧降下、 V_{Min} は V_B と V_S との間の最小電圧です。 Q_{ls} は各周期ごとに必要とされるレベルシフト電荷です。500V / 600V のゲート駆動 IC では標準値で 5 nC、1200V のゲート駆動 IC は標準 20 nC です。

ブートストラップ・ダイオードは、特定の回路に加わる電圧を阻止しなければなりません。図26、図29A、図30の回路では、上のトランジスタがオンして、電源電圧にほぼ等しくなります。ダイオードの電流定格は、ゲート電荷とスイッチング周波数の積になります。100 kHzで動作するHEXFETパワーMOSFET (IRF450) の場合、約12 mAになります。このダイオードの高温時の逆方向漏れ電流特性は、コンデンサが電荷を長時間保持しなければならない用途では重要なパラメータです。同じ理由から、ブートストラップ・コンデンサから電源へ戻される電荷量を減らすために、このダイオードの回復時間は超高速でなければなりません。

4 ゲート駆動 IC の消費電力の計算方法

ゲート駆動 IC の損失は使用状態により異なります。低電圧条件（静特性および動特性）と高電圧条件（静特性および動特性）に分類できます。

- a) 低電圧の静止時の損失 ($P_{D,q(LV)}$) は、低電圧電源（例えば V_{DD} 、 V_{CC} 、 V_{SS} ）からの静止電流によって生じます。一般的な 15V 電源の用途では、この損失は、25°Cで約 3.5 mW、 $T_j = 125^\circ\text{C}$ では約 5 mW に増えます。

b) V_{CC} 電源の低電圧の動作時の損失 ($P_{D,SW(LV)}$) には、次の 2 つの成分があります。

- 1) コンデンサが抵抗を介して充放電されるとき、容量の充電に使われるエネルギーの半分が抵抗で消費されます。従って、1周期の間のゲート駆動抵抗（ゲート駆動ICに内蔵または外付け）での損失は次のようになります。

$$P_G = V \times Q_G \times f$$

$f = 100 \text{ kHz}$ 、 $V_{gs} = 15\text{V}$ で動作する2個のIRF450の場合、

$$P_G = 2 \times 15 \text{ V} \times 120 \text{ nC} \times 100 \text{ kHz} = 0.36 \text{ W}$$

となります。上式の係数の 2 は、2 個の MOSFET が 1 チャンネルごとに 1 個駆動されるとしたときに有効です。 V_{SS} がブートストラップ用のコンデンサとダイオードによって発生される場合、この電力は V_{CC} から得られます。ゲート駆動 IC 内部で消費されるゲート駆動電力は、ゲート抵抗を使うと、各抵抗の比率の分だけ小さくなります。内部抵抗が 6Ω で吐き出し／吸い込みを行うとき、ゲート抵抗が 10Ω とすると、 P_G の $6/16$ がゲート駆動 IC 内で消費されます。この損失は温度に依存しません。

- 2) 内部 CMOS 回路のスイッチングに対応する動作時の損失は、次式で近似できます。

$$P_{CMOS} = V_{CC} \times Q_{CMOS} \times f$$

ここで、 Q_{CMOS} は、ゲート駆動ICによって異なり、 $5 \text{ nC} \sim 30 \text{ nC}$ の範囲です。一般的な 100 kHz の用途の損失は数十 mW になります。この損失はほとんど温度に依存しません。

- c) 高電圧の静止時の損失 ($P_{D,Q(HV)}$) は、主にレベルシフト段の漏れ電流によって発生します。これらは V_S ピンに加えられた電圧に依存し、ハイサイドのパワー・トランジスタがオンのときにだけ発生するため、デューティ比に比例します。 V_S が連続的に 400V に維持された場合、この値は一般に 25°C で 0.06 mW 、 125°C では約 2.25 mW に増えます。これらの損失は、プッシュプルまたは同様の回路構成の場合と同じように、 V_S が接地のときはゼロになります。

- d) 高電圧のスイッチング損失 ($P_{D,SW(HV)}$) の式は、レベルシフト回路（図2）に起因する項と、ハイサイドのp型ウェル容量（図3の C_{b-sub} ）の充放電に起因する項の2つの項から成ります。

- 1) ハイサイドのフリップフロップがリセットされると、ハイサイドのトランジスタをオフ（すなわちフリップフロップをセット）するコマンドにより、レベルシフト回路に電流が流れます。この電荷は、高電圧バスからパワー・トランジスタとブートストラップ・コンデンサに移動します。ハイサイドのフリップフロップがセットされて、ローサイドのパワー・トランジスタがオンになると、それをリセットするコマンドにより、 V_{CC} からダイオードを経由して電流が流れます。このため、レール電圧 V_R で動作するハーフブリッジの場合、組み合わせた消費電力は次のようになります。

$$(V_R + V_{CC}) \times Q_p \times f$$

ここで、 Q_p はレベルシフト回路で吸収される電荷、 f はハイサイド・チャンネルのスイッチング周波数です。 Q_p は、レール電圧 $V_R = 50\text{V}$ のときに約 4 nC です。 V_R が 500V に上昇すると 7 nC に増えます。一般に 400V 、 100 kHz の用途では、これらの損失は約 0.3 W になります。これには C_{d-sub} の充放電も含まれます。

ハイサイドのフリップフロップのリセット動作中（すなわちパワー・トランジスタがオンするとき）で、かつローサイドのパワー・トランジスタがオフのとき、 Q_p に対する 3 つ目の電源が存在します。この場合、電荷はトランジスタの容量や漏れを経由して、

または負荷を経由して高電圧バスから得られます。消費電力は、上式による計算値よりもある程度大きくなります。 V_S が接地レベルになるプッシュプルなどの回路構成では、両方のレベルシフト回路の電荷は V_{CC} から供給され、損失は大幅に小さくなります。

- 2) ハイサイド/ローサイドのパワー回路では、 V_S が V_R と COM の間で変化するたびに、ウエル容量 C_{b-sub} が充放電されます。充電電流は、パワー・トランジスタとエピタキシャル層の抵抗を経由して高電圧レールから供給されます。放電は、下側のトランジスタとエピタキシャル層の抵抗を経由して行われます。抵抗を経由するコンデンサの充放電で発生する損失は、抵抗値とは無関係に、 $QV/2$ になります。ただし、スイッチング時のパワー・トランジスタの内部抵抗に比べると、エピタキシャル層の抵抗は無視できるため、これらの損失の多くはブリッジ駆動回路の外側で発生します。電荷を 450V で 7 nC、動作周波数を 100 kHz と仮定すると、この容量の充放電で発生する全損失は、次のようになります。

$$P_{Total} = V \times Q \times f = 450 \text{ V} \times 7 \text{ nC} \times 100 \text{ kHz} = 0.31 \text{ W}$$

V_S が接地レベルの場合、コンデンサは固定電圧に充電され、これらの損失はゼロになります。 C_{b-sub} (C_{d-sub} と同様に) は逆バイアスされた接合になるため、容量は電圧の関数になります。これらの電荷は温度に依存しません。

損失についての以上の説明は、次のようにまとめることができます。

- 支配的な損失はスイッチングであり、100 kHz 以上の高電圧の用途では、a) と c) の静止時の損失は無視できます。
- スwitching損失の温度依存性は大きくありません。
- 結合損失は、制御モード、電気パラメータ、温度の関数になります。

ゲート駆動 IC 内の電力損失を知ると、次式から最大周囲温度を計算できます (逆も可)。

$$T_{A,max} = T_{J,max} - P_D \times R_{th,JA}$$

ここで、 $R_{th,JA}$ はチップから周囲までの熱抵抗です。

次の例に、電源電圧 400V、スイッチング周波数 100 kHz、無負荷、ゲート抵抗なしのときに、IRF830 を 2 個使ってハーフブリッジ回路を構成したときの損失の一般的な内訳を示します。

$$P_{D,q(LV)} = 0.004 \text{ W}$$

$$P_{D,SW(LV)} = P_{CMOS} = 15 \text{ V} \times 16 \text{ nC} \times 100 \text{ kHz} = 0.024 \text{ W}$$

$$P_G = 2 \times 15 \text{ V} \times 28 \text{ nC} \times 100 \text{ kHz} = 0.084 \text{ W}$$

$$P_{D,q(HV)} = 0.002 \text{ W}$$

$$P_{D,SW(HV)} = (400 \text{ V} + 200 \text{ V}) \times 7 \text{ nC} \times 100 \text{ kHz} = 0.42 \text{ W}$$

$$\text{全電力損失} = 0.534 \text{ W}$$

$P_{D,SW(HV)}$ を計算する式の中の値 200V は無負荷に該当します。すなわち、ハーフブリッジの出力は 2 つの電源電圧レールの間の電圧に設定します (上記の d) の 1) を参照)。

実際の接合部の温度は、調整可能な電流源を使ってシャットダウン・ピンから 1 mA を流出させることにより、動作中に測定できます (LM334 など)。ピン電圧は 25°C で 650 mV。2 mV/°C で減少します。この電圧の変化は、チップの温度を良く表しています。

5 V_S ピンの負の過渡電圧の扱い方

寄生成分によって発生する問題の中で、制御 IC にとって重要な問題の 1 つは、スイッチング後に V_S 端子が接地に対してアンダーシュートしやすいことです（図 4）。逆に、オーバーシュートの問題はありません。これは、IR 社の高耐圧 IC 技術の高い差動電圧能力によります。

IR 社の制御 IC では、COM に対して測定したとき、少なくとも 5V の V_S 端子のアンダーシュートを許容することが保証されています。アンダーシュートがこのレベルを超えると、ハイサイド出力が一時的にラッチします。与えられた V_S が絶対最大定格内に収まれば、IC は損傷を受けませんが、アンダーシュートが 5V を超えている間、ハイサイド出力のバッファは入力の変化に応答しません。このモードには注意が必要ですが、

ハイサイドはスイッチング後、直ちに状態を変える必要がないため、多くの用途で無視できます。

下記に示す信号は、通常動作、および短絡や過電流シャットダウンなどの高いストレスがかかったときで、かつ di/dt が大きいときに観測されます。駆動結合における寄生成分が測定に含まれるようにするため、図 4 に示すように、常に、IC のピンで直接測定してください。

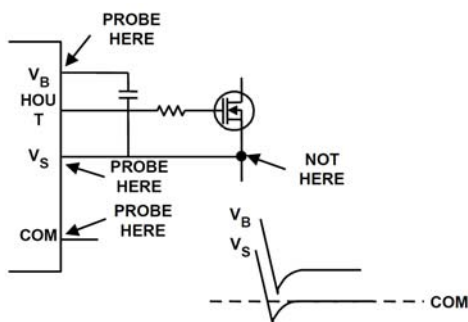


図 4 逆回復時の V_S スパイク雑音の考察

項や観測されるラッチアップのマージンにかかわらず注意すべき事項を示しています。

1) COM に対するハイサイド駆動回路のオフセット電圧: $V_S - \text{COM}$

2) フローティング電源電圧: $V_B - V_S$

5.1 寄生成分の最小化

a) プリント回路基板でスイッチ間をつなぐときは、ループや迂回がないようにして、太くて最短のパターンで配線してください。

b) 1 本の配線による相互接続を避けてください。インダクタンス成分が大きくなるのを防止するためです。

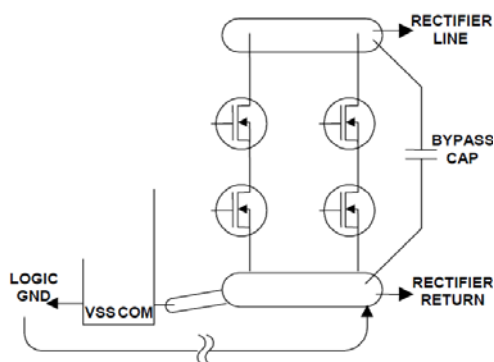


図 5 接地との接続およびレイアウト例

c) プリント回路基板上のパッケージの高さを低くして、リードのインダクタンス成分の影響を低減してください。

d) プリント回路基板のパターン長を短くするために、両パワー・スイッチを近くに配置してください。

5.2 制御 IC をパワー・スイッチの近くに配置

2a) V_S と COM を図 5 のように接続します。

2b) プリント回路基板の配線パターンを最短にして、ゲート駆動回路内の寄生成分を小さくしてください。

2c) 制御 IC をできるだけパワー・スイッチの近くに配置してください。

6 レイアウトなどの一般的なガイドライン

図 6 のハーフブリッジ回路には、電流の大きい経路に存在する重要な浮遊インダクタンスを示してあります。これらの浮遊インダクタンスは回路動作に影響を与えることがあります。 L_{D1} と L_{S2} は「直流の経路」にあり、MOSFET とデカップリング・コンデンサとの間の配線インダクタンスに起因します。 L_{S1} と L_{D2} は「交流の経路」にあり、MOSFET 間の配線インダクタンスに起因します。直流経路の浮遊インダクタンスはコンデンサを使って相殺することができますが、交流経路の浮遊インダクタンスは相殺できません。

電源とテスト回路との間の配線のインダクタンスの影響をなくすために、 $100\mu\text{F}/250\text{V}$ の電解コンデンサ C_F をQ1D端子とQ2S端子の間に接続しました（図8）。これにより、直流経路の浮遊インダクタンスは実質的になくなりました。

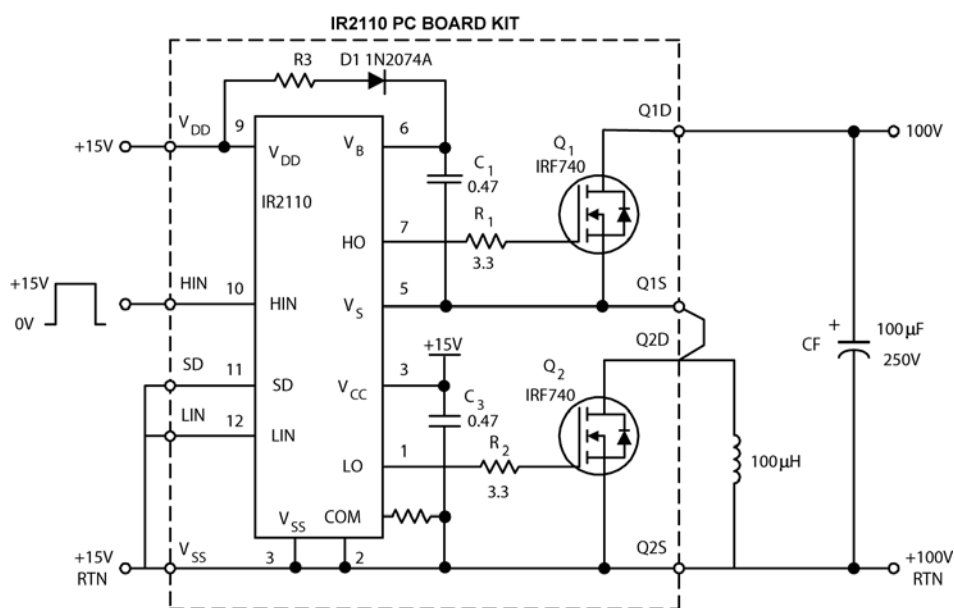


図8 テスト回路 +15V RTNは正電源（+15V）に対する負電源の意味。

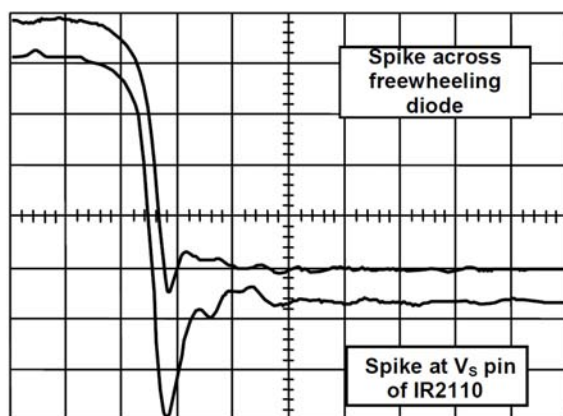


図9 20Aの誘導性負荷のときのQ₁のオフ時の波形
横軸は20 ns/div、縦軸20 V/div。

Q_1 がオフするとき、 Q_2 のボディ・ダイオードをフリーホイール電流が流れます。この波形を図 9 に示します。上のトレースに示すように、フリーホイール・ダイオードのスパイク電圧は約 10V です（図 9 の上の波形）。これはダイオードの順方向回復現象とパッケージ内部のインダクタンスによって発生します。

ただし、IR2110のV_Sピンでの負のスパイク電圧は50Vです（図9の下波形）。これは、交流経路内の浮遊インダクタンス（L_{D2}とL_{S2}）のdi/dtに起因し、さらにフリーホイール・ダイオー

ドのクランプ動作からインダクタンスが V_S ピンを絶縁しているということにも起因しています。

問題の深刻さを理解するための例を挙げると、例えば、50 nHの浮遊インダクタンスのもとで、20 ns以内に10 Aでスイッチングすると、25Vのスパイク電圧が発生します。ちなみに、小型のペーパ・クリップのインダクタンスは50 nHです。

このスパイク電圧に対する最も効果的な対策は、交流経路内の浮遊インダクタンスを低減することです。これは、図 10 のレイアウトに示すように、ハイサイド・トランジスタのソースまたはエミッタを、ローサイド・トランジスタのドレインまたはコレクタに近づけて配置することによって実現できます。

このインダクタンスを実用限界まで小さくした後、ゲート抵抗を使ってスイッチング速度を低下させて di/dt を小さくします。パワーMOSFET をゲート駆動 IC から直接駆動すると、スイッチング速度が大きくなり過ぎます。図 8 に示した回路では、直列ゲート抵抗が 0Ω のとき、オフ時間は 4 ns となります。直列ゲート抵抗が 0Ω のときの V_S ピンでの負のスパイク電圧は 90V です (図 11)。

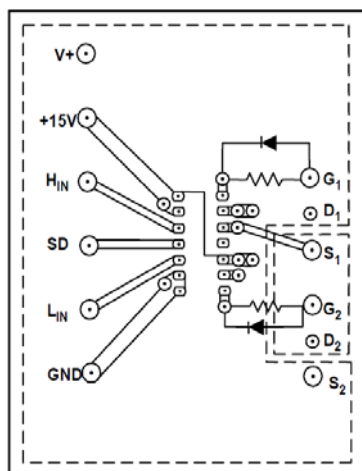


図 10 IR (S) 2110 のテスト回路

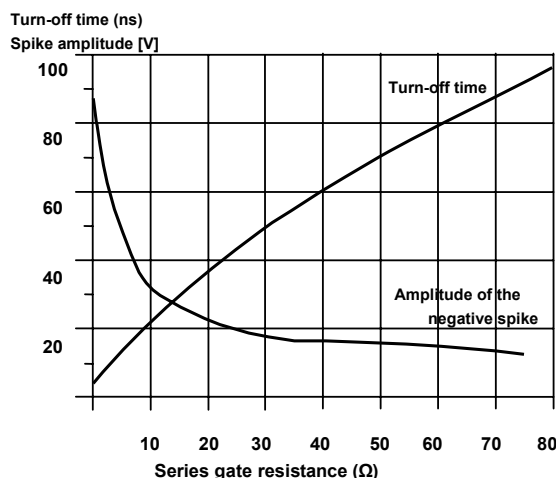


図 11 直列ゲート抵抗に対する負のスパイク電圧とオフ時間の関係

直列ゲート抵抗の値を大きくすると、負のスパイク電圧の振幅が急速に小さくなり、オフ時間は直列ゲート抵抗に対してほぼ線形関数になります。図 11 から適切な抵抗値を選択することにより、スパイク電圧の振幅とオフ時間との間のトレードオフを考察できます。テスト回路には 27Ω のゲート抵抗を選択し、スパイク電圧振幅 18V、オフ時間 48 ns を得ています。

並列ダイオードをアノードからゲートへ向かってゲート抵抗をまたいで接続することも推奨されます。ダイオードはオンしたときに逆バイアスされますが、オフ時とオフ状態中はゲートを低い電圧に維持します。オン速度の低下により、逆回復のスパイク電圧は、p.20 の「12 電流モード制御機能を備えるフルブリッジ回路」の説明通りに小さくなります (参考文献 2 も参照)。デバイスの過電圧と V_S ピンの負のスパイク電圧に関しては、可能な限りゲート抵抗の値を小さくするようにレイアウトしてください。

レイアウトでは、ゲート駆動の充放電ループの浮遊インダクタンスを小さくして発振を減らし、スイッチング速度と雑音耐性 (特に「 dv/dt によるオン」への対策) を向上しなければなりません。

また、ゲート駆動信号の戻りとして、各MOSFETにゲート駆動ICのピンに直接向かう専用接続を設けてください。ツイスト・ペア線的一方をゲートとソースに、他方をゲート駆動とゲート駆動の戻りに使ったとき、最適な結果が得られます（図12）。

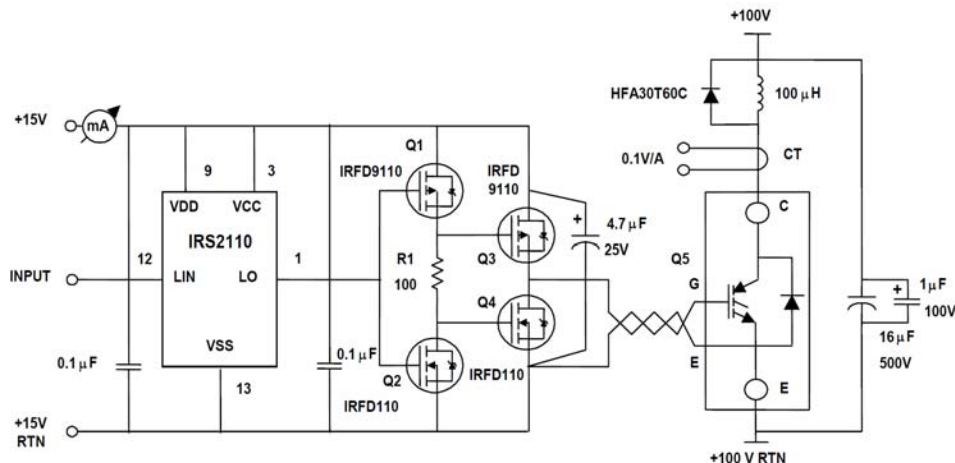


図12 テスト回路

図10のレイアウトでは、交流経路と直流経路の浮遊インダクタンス、およびゲート駆動ループの浮遊インダクタンスが低減されています。プリント回路基板の並列パターンが使われています。この回路では、高速な過渡電圧時にパワーMOSFETのゲート・ピンとIR2110のゲート駆動ピンとの間で測定された電位差は2Vを超えています。

7 モジュールを駆動するゲート駆動電流の増やし方

モジュールなどが並列接続されたパワーMOSFETには、一般にゲート駆動ICが提供できる値よりも大きな電流と小さいゲート駆動インピーダンスが必要なことがあります。図12の高入力インピーダンスのパワー・バッファ（Q1、Q2、Q3、Q4、R1）は、ピーク出力電流が8 Aです。パワー・モジュールの近くに実装できるため、ゲート駆動ループのインダクタンスを減らして、 dv/dt により発生するオンに対する耐性を向上できます。静止電流は無視できるほど小さいため、ブートストラップ・コンデンサから供給することもできます。

このバッファは、IRS2110またはゲート駆動能力が小さいゲート駆動ICからの駆動信号を入力して、全ゲート電荷が600 nCのIGBTモジュールを駆動します。Q1とQ2は、ピーク出力電流条件に合わせて大きさを決めることができるQ3とQ4の低電流駆動回路です。

入力信号状態が変わるとR1は、Q1とQ2がオンしている数nsの間、Q1とQ2を流れる電流を制限します。入力が新しい状態に安定すると、駆動用トランジスタが導通している出力トランジスタのゲート容量を直ちに放電させて、オフ状態にします。他方の出力トランジスタのゲートがR1を介して充電される間、R1と出力トランジスタの入力容量で決まる時定数RCにより、オンが遅延します。

図 13A と図 13B に、60 A の誘導性負荷を電流駆動するときの一般的なスイッチング特性を示します。オンとオフの遅延は 50 ns です。立ち上がり時間と降下時間は 40 ns 未満です。バッファは $0.1\mu\text{F}$ の容量性負荷でテストしました。図 14 にバッファの入出力波形を示します。リンギングは、容量性負荷と浮遊インダクタンスで構成される出力の共振回路によって発生します。図 15 は、静止時の消費電流と周波数の関係です。ブースタ段にこれより低いオン抵抗と低い電圧の MOSFET を使うことができますが、オン抵抗を大幅に下げると、大きなピーク電流が発生して、回路に大きな雑音とリンギングを発生させることが分かりました。

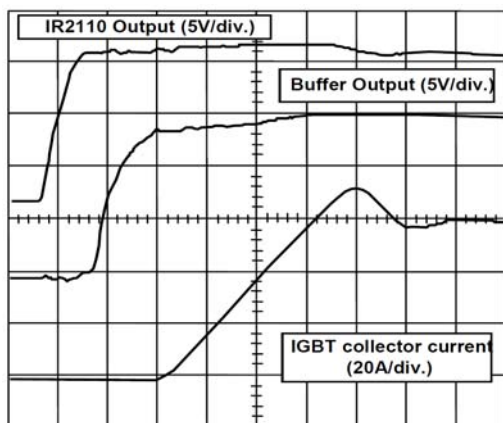


図13A IGBTモジュールのオン特性

60Aの誘導性負荷をスイッチングするとき。
横軸は50 ns/div。

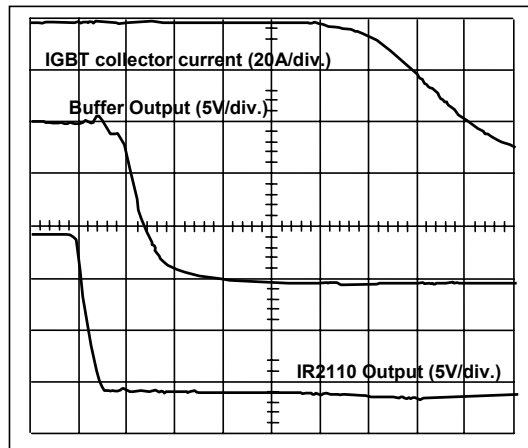


図13B IGBTモジュールのオフ特性

伝播遅延時間50 ns、降下時間は40 ns以下、
ゲート電荷 Q_g は600 nC。横軸は50 ns/div。

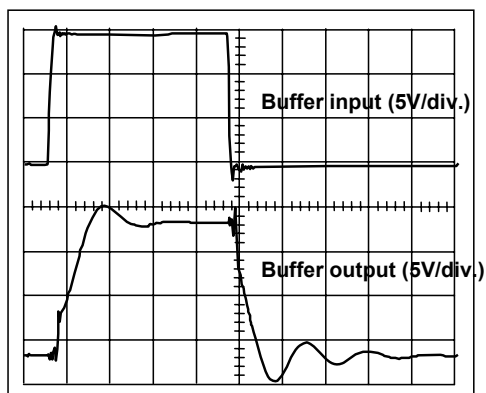


図14 $0.1\mu\text{F}$ のコンデンサを駆動したときの波形
横軸は250 ns/div。

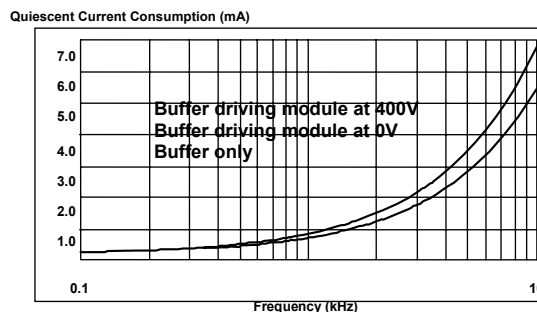


図15 静止時の消費電流と周波数の関係

8 連続ゲート駆動の実現方法

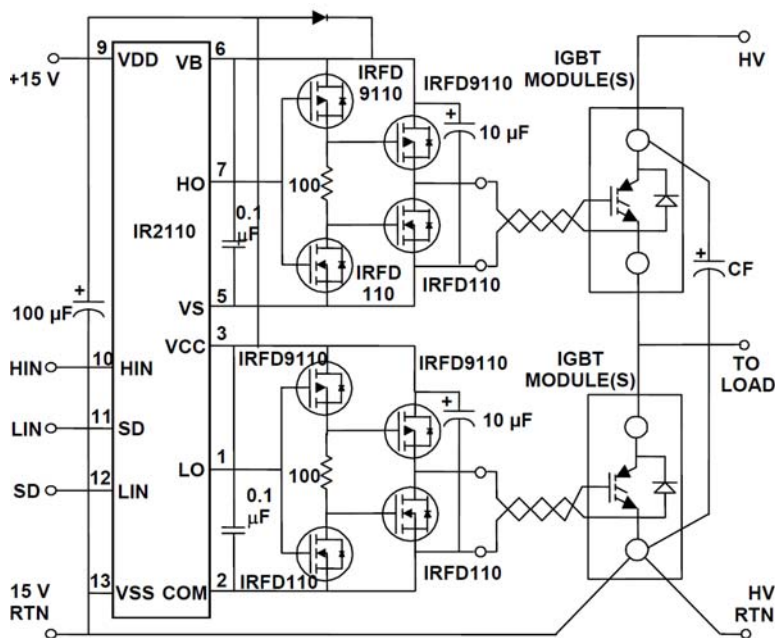


図16 応用回路例

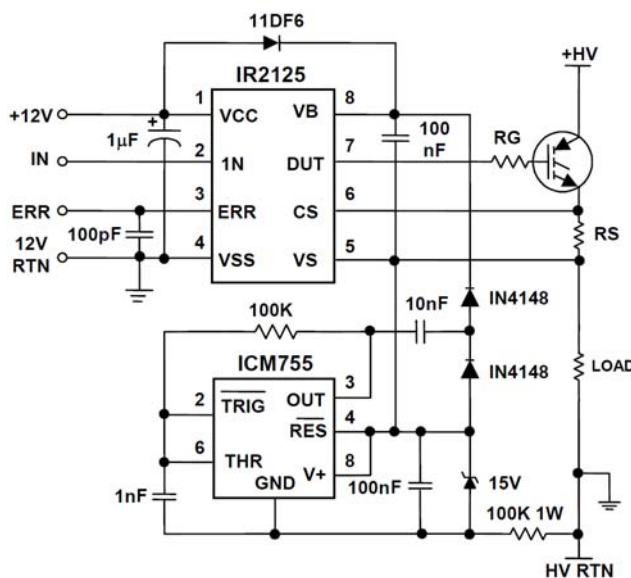


図17 ハイサイド駆動回路は高速にスイッチングし、連続でオンし、スイッチング素子を保護

して、IR2125の5番ピンを基準とする-15Vを発生します。2個のダイオード (IN4148) と10 nF のコンデンサで構成されたチャージ・ポンプ回路が555タイマの3番ピンの7.5 kHzの矩形波を、 V_S を基準とする+15Vに変換し、ブートストラップ・コンデンサを充電します。

ブラシレス DC モーターなどの用途では、ハイサイド・トランジスタが常時オンしていなければなりません (図 16)。この条件下では、ブートストラップ・コンデンサの電荷は、ハイサイド出力のオンを維持するために不十分です。このため、絶縁された電源が使われます。

ただし、絶縁された電源はコストアップ要因になり、しばしば、トランス巻線間容量を通したスイッチング時の dv/dt の混入によってパワー・トランジスタが擬似的にオンしてしまう原因にもなります。

絶縁された電源に対する安価な代替回路は、図17に示すチャージ・ポンプ回路を利用することです。ゲート駆動ICのIR2125を例に、チャージ・ポンプ回路とブートストラップ回路の連携動作を説明します。

IR2125には線形の電流制限機能とタイムアウトシャットダウン機能があり、MOSFETの保護機能を提供しています。IR2125の低電流動作条件を提供するために、チャージ・ポンプ回路にはCMOS版の555タイマICを採用しています。

IGBTがオフのとき、ブートストラップ・ダイオードと負荷抵抗を介してブートストラップ・コンデンサが充電されます。IGBTがオンのとき、接地に接続された100 k Ω の抵抗が、555タイマの1番ピン (GND) と8番ピン ($V+$) の間に接続された100 nFのコンデンサを充電

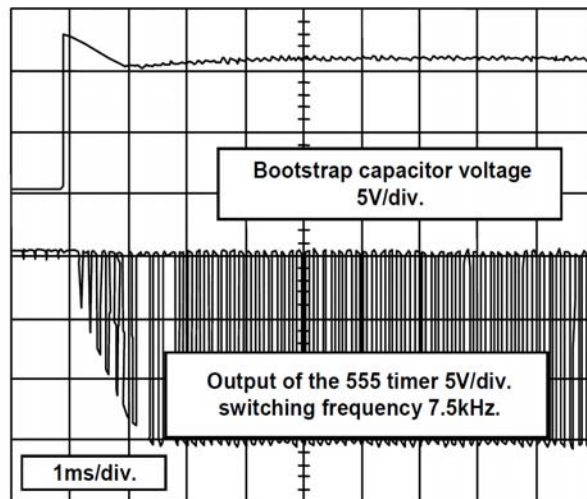


図 18 起動時の波形

図 18 は起動時の回路波形です。IGBT がオンすると、ブートストラップ・ダイオードが IR2125 の 8 番ピンを +12V 電源から切り離すため、ブートストラップ・コンデンサにかかる電圧が低下し始めます。同時に、555 タイマの 1 番ピンと接地 (HV RTN) との間に接続された 100 k Ω の抵抗が、それに接続された 100 nF のコンデンサの充電を開始し、タイマ (マキシム社の ICM7555IPA) の電源電圧を発生します。

チャージ・ポンプ回路の出力電圧は、電源電圧の上昇と共に上昇します。チャージ・ポンプ回路はブートストラップ・コンデンサの電圧を保持して、IR2125 の低電圧のしきい電圧レベルよりも上に電圧を保持します。

部品の選択には次の事項を考慮してください。

- ツェナー・ダイオードの選択では、555 タイマの絶対最大電源電圧が 18V であることを考慮してください。
- 100 kW (500V+HV 電源の場合) 抵抗の値は、IR2125 のハイサイドの最大電源電流、動作最小電源電圧、タイミング条件に従って決定します。
- IR2125 の V_B ピン (I_{qbs}) の電源電流は温度上昇と共に増加します。

9 ゲートの負バイアス発生方法

本来、MOSFET も IGBT もゲートに負バイアスを必要としません。オフ時にゲート電圧をゼロに設定すると、正常な動作が保証され、実質的にデバイスのしきい電圧に対して負バイアスを提供します。ただし、以下のように、負のゲート駆動または別の方法が必要となることもあります。

- 半導体メーカーが、デバイスのゲートの負バイアスを規定しているとき。
- 回路で発生する雑音によって、ゲート電圧をしきい電圧より低く安全に保持できないとき。
- スイッチング速度を最大限、速くしたいとき。

ここでは、IGBT を例に説明しますが、ここに記載する内容は、そのままパワー MOSFET にも当てはまります。IR 社の IGBT は、負バイアスを必要としません。ディスクリート品やモジュール品に対してデータシートに公表されたスイッチング時間とエネルギー損失値は、ゲート電圧がゼロのときのオフ状態で測定されています。「 dv/dt によって発生するオン」の問題は、IGBT のコレクタ端子とエミッタ端子の間で電圧が急速に上昇するときに発生します。

過渡電圧では、ゲート-コレクタ間容量 (ミラー容量) が電荷をゲートに供給して、ゲート電圧を上昇させます。ゲートにおける電圧変化の振幅と時間は、ゲート-コレクタ間容量とゲート-エミッタ間容量の比率、ゲートに接続された駆動回路のインピーダンス、コレクタ端子-エミッタ端子間に加えられる dv/dt によって決まります。

dv/dt の大きい用途でのしきい電圧と直列ゲート抵抗の影響を調べるために、次のテストを行いました。テスト回路が次頁の図 19 です。下側の IGBT のスイッチング損失が大きな貫通 (シュートスルー) 電流を示すまで、上側の IGBT に対する正バイアスを上昇させました。オンするときの損失を、コイルの電流 15 A、スイッチング速度 6V/ns で測定しました。その結果を次頁の図 20 に示します。

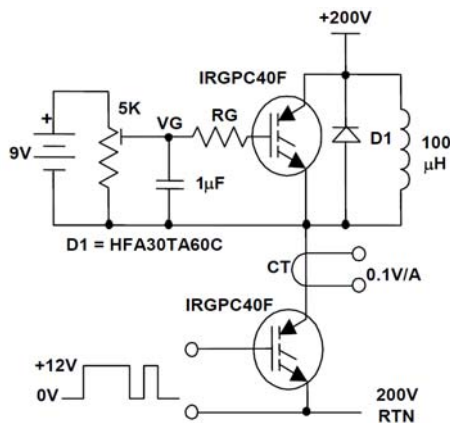


図 19 テスト回路

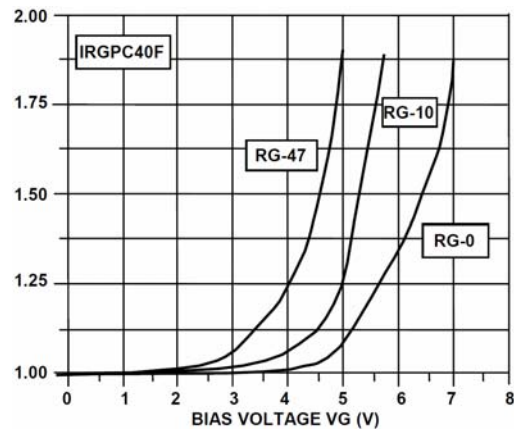


図 20 オンするときの損失とバイアス電圧 V_g の関係

オンするときの損失が大きくなるしきい電圧は、直列ゲート抵抗 R_G が 47 Ω 、10 Ω 、0 Ω のときに、それぞれ 4V、5V、5.6V です。直列ゲート抵抗に並列接続したダイオード（アノードからゲートへ）は、ゲートを低くクランプするためのものなので、所望のオン条件によって直列ゲート抵抗の大きさを決められます。

IGBTの出力容量（ C_{OES} ）を充電するために発生する電流変化は、導通電流と誤認されることがあります。 $dv/dt = 20 \text{ V/ns}$ でのIGBT（IRGPC50F）の電流変化の振幅は約5 Aです。この変化の振幅は、加えられる負バイアスによって変わりません。

基本バッファ回路と負のチャージ・ポンプ回路を図 21 に示します。バッファ回路では、2 個の p チャネル MOSFET と 2 個の n チャネル MOSFET を使っています。 Q_3 のゲートと Q_4 のゲートとの間の抵抗 R_1 は、出力トランジスタのオンを遅くし、駆動 IC の貫通電流を制限します。

D_1 は、 Q_3 と Q_4 のゲートの電位差を作ります。 D_2 、 C_2 、 R_2 は、 Q_2 へのレベルシフト回路を構成します。 C_3 、 C_4 、 D_3 、 D_4 は、入力信号を負の直流電圧に変換します。オンした後、負電圧は極めて小さいか、または大きいデューティ比（1~99%）であっても、数周期以内に安定します。負電圧のセトリング時間と安定性は信号源の出力インピーダンスに影響されます。

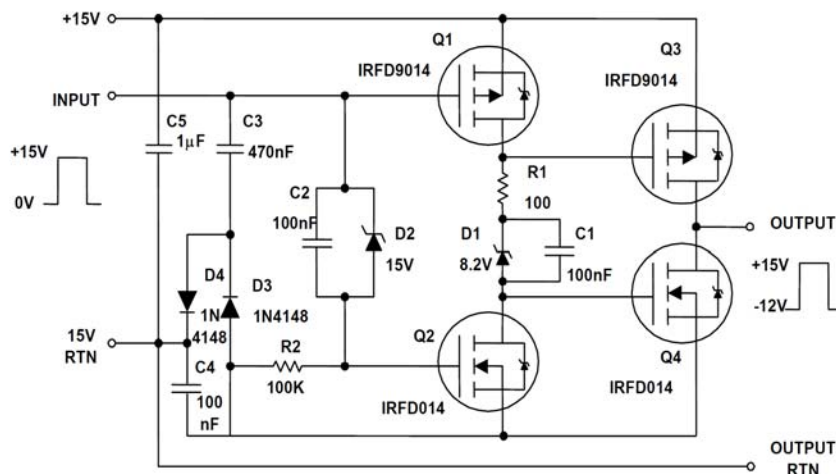


図 21 負のチャージ・ポンプ回路とバッファ回路

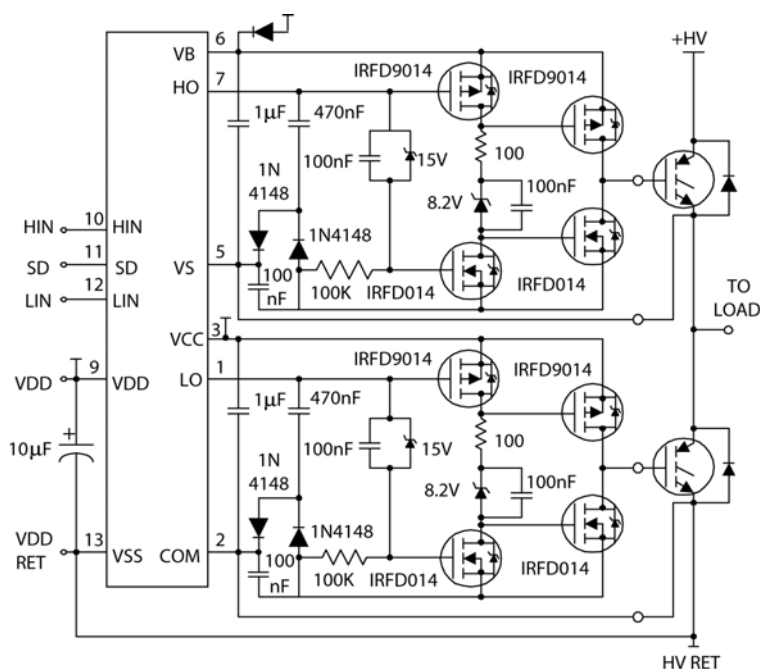


図 22 負バイアスのハーフブリッジ駆動回路

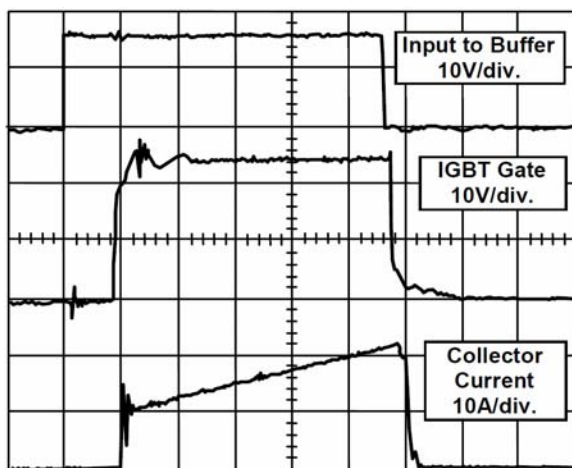


図23 負バイアスの波形
横軸は1 ms / div.

図22に示す回路では、IR2110の高耐圧レベルシフト機能と駆動機能に加えて、図21に示すMOSFETで構成したバッファの負バイアスを使っています。

この回路は、ゲート電荷が600 nCで定格電流270 AのIGBTモジュールを2個使ってテストしました。波形を図23に示します。回路がオンするときの遅延時間は1 msで、オフするときの遅延時間は0.2 msです。

負バイアス電圧のセトリング時間は、スイッチング周波数 5 kHz、デューティ比 50%のときに約 10 msです。起動時、この回路は最初の周期の後でも、いくつかの負ゲート電圧を供給します。停止時、ゲート電圧はリザーバ・コンデンサが放電するまで、負のままです。

重要) IR社のIGBTとIGBTモジュールには負のゲート駆動が不要です。NPT(ノンパンチスルー)型IGBTの場合、 C_{cg} と C_{ge} の容量比の変化が大きいことを考えると負のゲート駆動が必要な場合があります。ゲート容量を追加すれば、負のゲート駆動は不要になります。ゲート容量を追加すると C_{cg} と C_{ge} の比が小さくなるため、ミラー効果の影響が少なくなり、ゲートに誘導されるミラー電圧によって発生する擬似的なオンがなくなります。

10 バック・コンバータの駆動方法

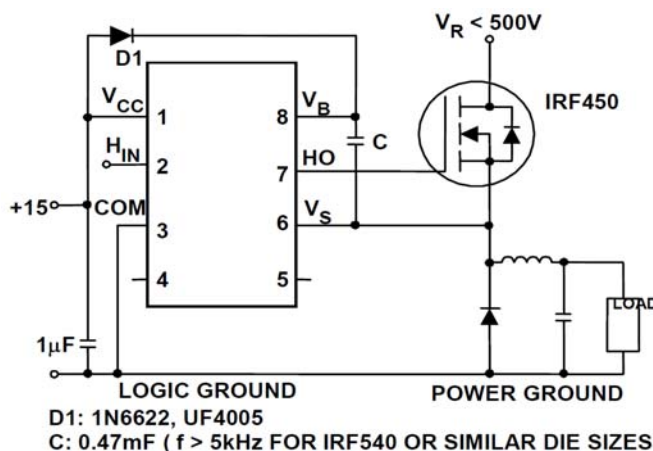


図24 IR2177を使って構成したバック・コンバータ

コンデンサの値が、ブートストラップ・コンデンサの値よりも少なくとも10倍大きい限り、この代替経路は機能します。

この共振回路のQは、ブートストラップ・コンデンサが V_{SS} の規定値（20V）を超えて充電されないように、十分小さくしてください。もし、そうできないときは、ブートストラップ・コンデンサと並列にツェナー・ダイオードを接続すると過電圧の問題に対処できます。これは、DC-DCコンバータを使って、DCモーターの電源や速度の制御を実行する場合にも当てはまります。

ただし、次の2つの場合、ブートストラップ・コンデンサの再充電電流がダイオードや負荷を流れることはできません。

1) 図25に示す一般的なバッテリー充電の用途では、出力の+12Vが V_S ピンに現れ、起動時のブートストラップ・コンデンサ C_B の電圧が低下し、ゲート駆動IC内の低電圧保護機能が動作を禁止します。

2) 出力の電圧が高くなり過ぎて、バック・コンバータの通常のPWM動作が停止する場合。これは通常、出力の重い負荷を突然取り除いたとき発生し、制御ループの速度限界とコイル(L_1)に蓄積された大きなエネルギーによって、設定値よりも出力電圧が高くなります。出力の負荷がないか、または軽いとき、フィルタ・コンデンサは出力をハイ・レベルに長時間維持できます。一方、 C_B はハイサイド駆動回路の漏れ電流によって高速に放電します。

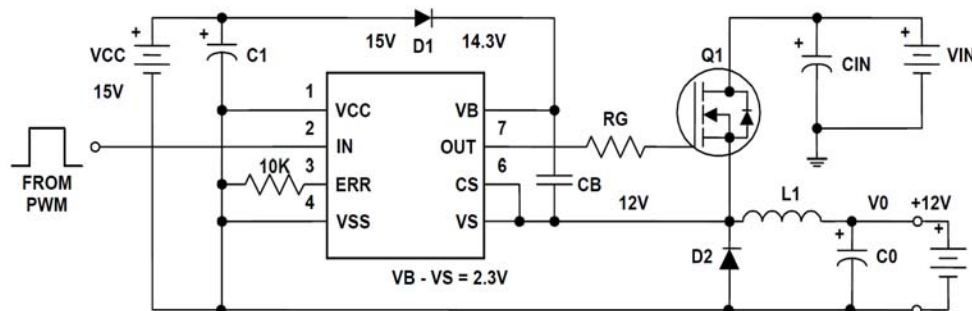


図25 バッテリー充電用途に高耐圧ICを使った回路構成

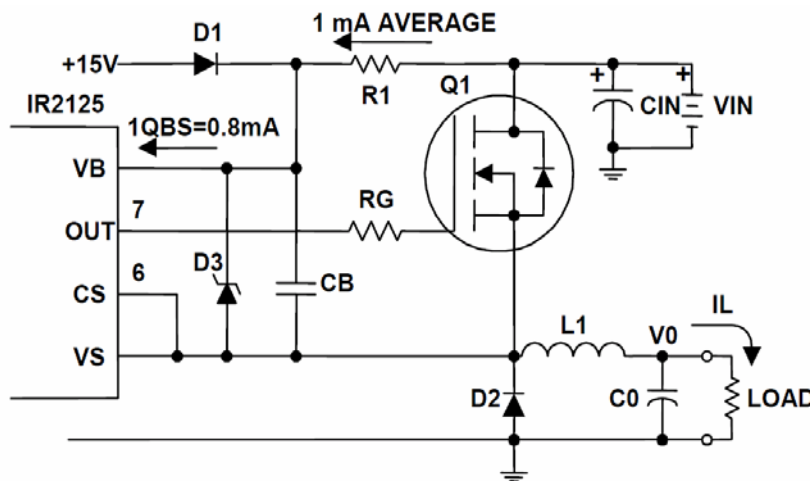


図26 R_1 を追加して充電経路を構成

急峻な特性の低電圧レベルのツェナー・ダイオードにしてください。12Vと15Vに対する推奨部品は、それぞれIN4110とIN4107です。

バック・コンバータの出力電圧が10 V ~ 20 Vの場合、この技術はPWM制御回路、さらにIR2110、その他の補助回路の専用電源として使うことができます。

11 デュアル・フォワード・コンバータと スイッチド・リラクタンス・モーター駆動

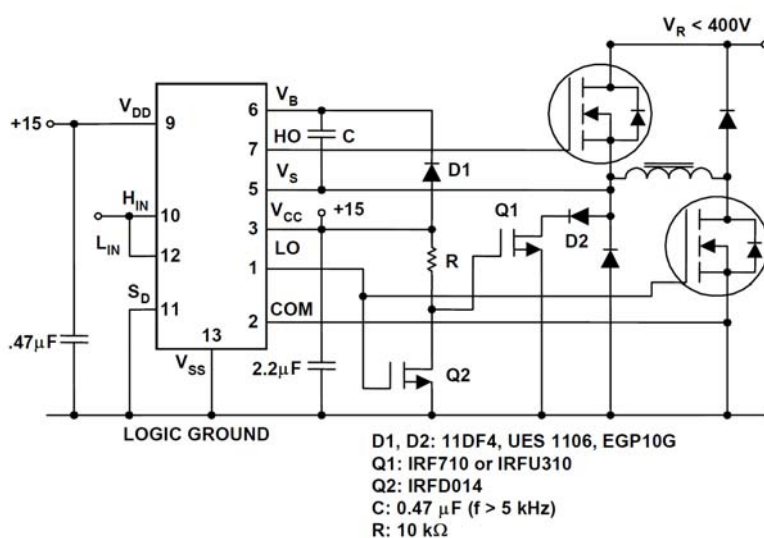


図27 デュアル・フォワード・コンバータと
スイッチド・リラクタンス・モーター

図26に示すように、 R_1 を追加すると、ブートストラップ・コンデンサへの充電経路がもう1つ構成できます。 V_{IN} が V_O より高いため、 V_S ピンが V_O 電位になっても、いくつかの充電電流が R_1 を流れます。 C_B の充電を維持するため、 R_1 を流れる平均電流を最悪時の漏れ電流よりも大きく維持しなければなりません。

D_3 は、低電流で

図27に、スイッチド・リラクタンス・モーターの巻線やデュアル・フォワード・コンバータのトランスの巻線を駆動するときによく使われるブリッジ構成を示します。

IR2110を使用するときは、2個のダイオードと2個のMOSFETを追加してください。これらを追加すると、オンするときと後続周期でブートストラップ・コンデンサが確実に充電され、フリーホイール・ダイオードの導通時間が非常に短くなります。

12 電流モード制御機能を備えるフルブリッジ回路

図28に、各周期ごとの電流制御機能を備えるHブリッジ（フルブリッジ）回路を示します。このブリッジでは、IR2110のシャットダウン（SD）・ピンと組み合わせてローサイド側に電流検出デバイスが使われています。電流検出回路は、出力電圧、精度、負電源、帯域幅など所望の特性にするために使うPWM技術に依存します（詳細は参考文献3、4、5参照）。p.3の「2.1 入力論理」で説明したように、負荷電流が内部ダイオードを通して減衰するとき、パワーMOSFETがオフ状態を維持できるように、シャットダウン機能がラッチされます。パワー・トランジスタがいったんオン・コマンドを受け取ると、次の周期の初めにこのラッチがリセットされます。図6と図7に示すように、デカップリング・コンデンサが L_1 の悪影響を軽減します。

一方、図10に従って、 L_2 を小さくするように注意深くレイアウトします。IR2110のオンとオフの伝搬遅延時間は、ほぼ整合しており（ズレは最悪の場合でも10 ns）、オンの伝搬遅延時間は、オフのそれよりも25 ns長くなっています。このため、入力のオン・コマンドとオフ・コマンドが一致した場合でも、パワー・トランジスタのオンが重なることはありません。

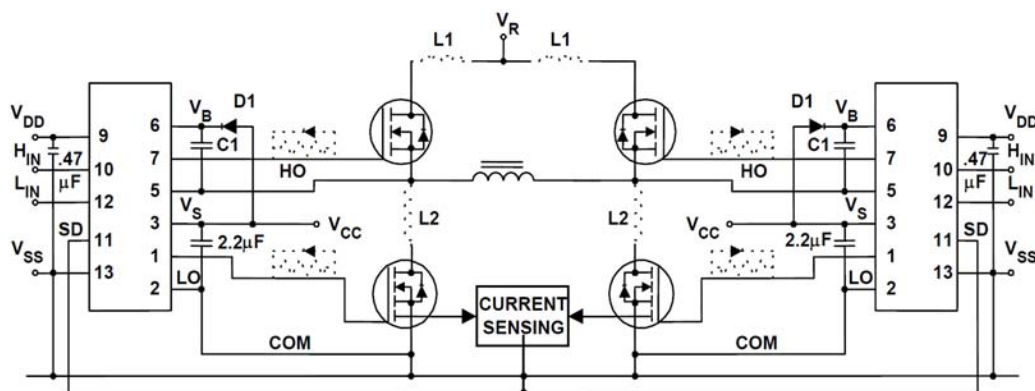


図28 各周期ごとの電流モード制御機能を備えるHブリッジ回路の一般的な構成

抵抗とダイオードで構成する回路網をゲートの入力に追加すると、マージンを増やすことができます（図29A）。この回路網を追加する目的は、オフに影響を与えずに、オンを遅延させることです。これによってデッドタイムが追加されます。

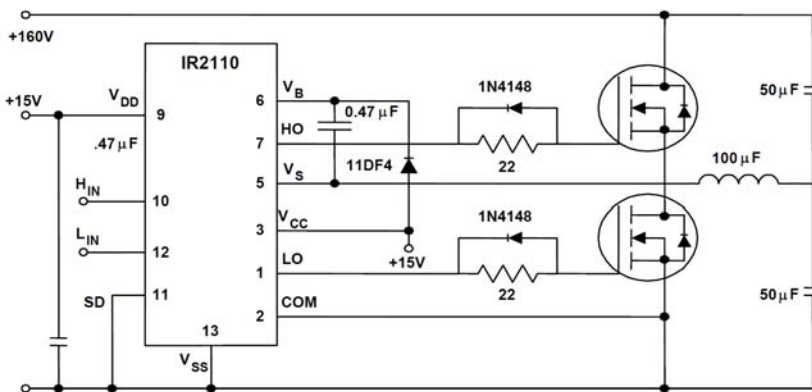


図29A パワーMOSFET（IRF450）を約100 kHzで動作
コイルのインダクタンスは100 mH。

抵抗-ダイオード回路網も逆回復時間中のスパイク電流のピークを低減するときに有効です。

抵抗-ダイオード回路網も逆回復時間中のスパイク電流のピークを低減するときに有効です。

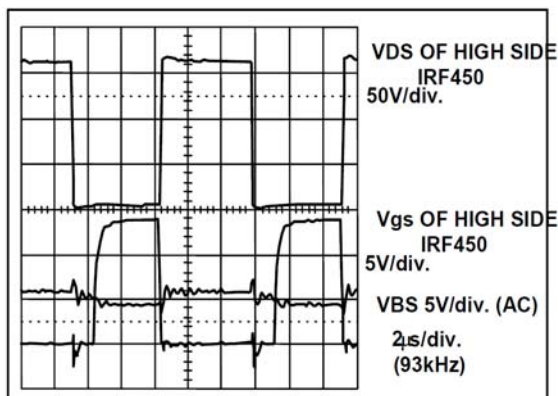


図29B 図29Aの回路の波形

参考文献2で説明しているように、この回路は電力損失、 dv/dt 、EMI雑音に影響を与えます。図29Aの回路で、図10に示すレイアウトのテスト回路から得た波形を図29Bに示します。

図29Cから分かるように、パワーMOSFET (IRF830) の500 kHzでの動作では、問題がなく、IR2110の目立った温度上昇もありませんでした。

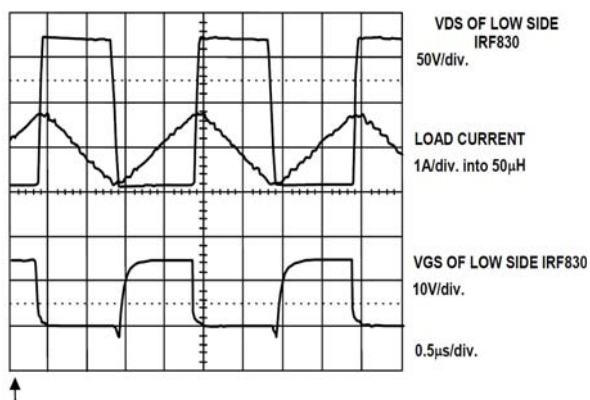


図29C 図29Aの回路の波形

13 ブラシレス・モーターと誘導モーターの駆動

モーター駆動用の3相ブリッジでは、波形に di/dt の大きい成分が含まれるため、レイアウトには注意が必要です (図30)。特に、共通接地 (COM) 点から最も離れた駆動回路では、COMと接地基準との間の電位差が大きくなります (参考文献1)。

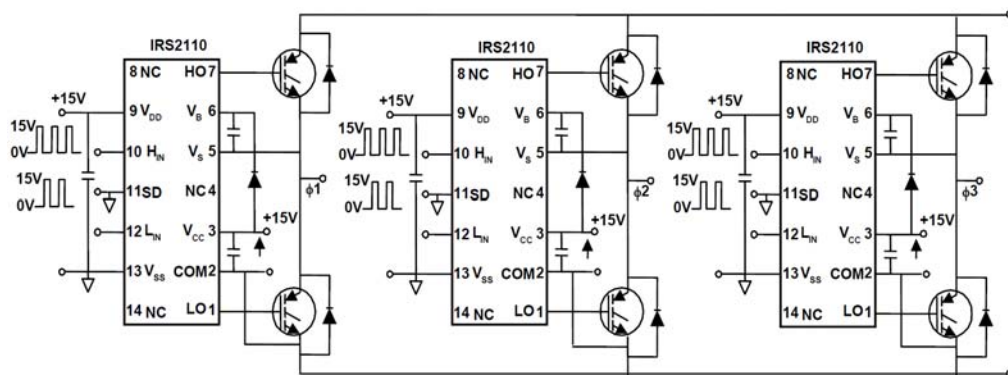


図30 6個のIGBTを駆動する3個のIRS2110を使った3相インバータ回路

IR213x のような 3 相駆動回路の場合、p.8 の「5 V_S ピンの負の過渡電圧の扱い方」と p.10 の「6 レイアウトなどの一般的なガイドライン」に示したガイドラインに以下を補足します。

まず、各ゲート駆動 IC の COM ピンを、それぞれに対応する 3 個のローサイド・トランジスタに別々に接続してください。このとき、潜在的な問題として気をつけなければならない動作状態があります。すなわち、ブリッジ回路の一部をオフにしてローターを長時間ロックするブラシレス DC モーターを動作させるときに発生します。この状態では、長時間ロックの間に V_S から見える電圧に応じて、ブートストラップ・コンデンサが実質的に放電してしまうことがあります。その結果、上側のパワー・トランジスタがオフして、コマンドで指示しても動かなくなります。

多くの場合、これは不具合にはなりません。下側のトランジスタが次のコマンドによってオンになり、ブートストラップ・コンデンサが充電されて次の周期に備えるからです。一般に、設計で、この種の動作を許容できないときは、次の 4 つの方法のいずれかで回避できます。

- p.14 の「8 連続ゲート駆動の実現方法」で説明したチャージ・ポンプ回路を使うこと。
- 数 μs の最小パルス幅の短い「通常」のデューティ比を持つように制御回路を構成すること。
- 1 つの極が、限られた既知の時間、動作を停止することがあるとき、ブートストラップ・コンデンサの容量値を、その間、電荷を維持できるような値にすること。
- ブートストラップ・コンデンサに加えて、ハイサイドに絶縁された電源を挿入すること。

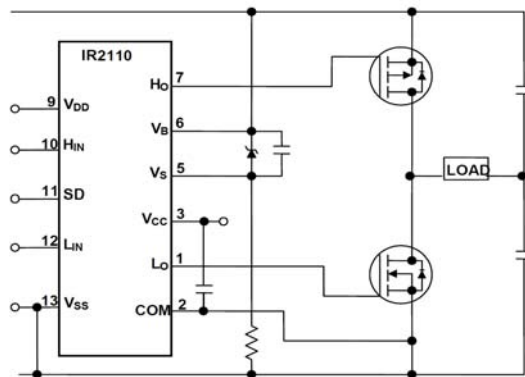


図 31 IRS2110 はハイサイドの p チャンネル MOSFET を駆動可能

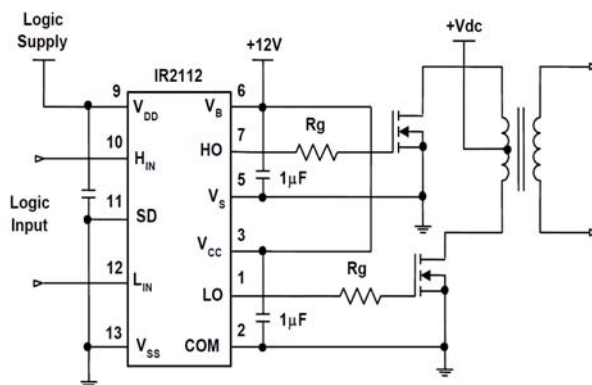


図 32 プッシュプル駆動回路

正弦波を合成する PWM 技術を採用した誘導モーターの駆動回路にブリッジが含まれているとき、低周波で各極はゼロまたは非常に小さいデューティ比の長い時間を許容します。ブートストラップ・コンデンサの値は、このような長い時間にリフレッシュなしで耐えるように十分な電荷を保持できるような値にしてください。図 31 のような回路では、高電圧電源と論理回路の電流を分離することが、安全対策として、またはインバータ故障時の損害対策としてしばしば要求されます。

この機能を実現するために、光アイソレータまたはパルス・トランスがよく使われます。5 kW までの駆動の場合、アプリケーション・ノート AN-985: "Six-Output 600V MGDs Simplify 3-Phase Motor Drives" の dv/dt から光アイソレータをシールドし、コスト削減と同時に高性能のゲート駆動能力も提供します。

14 プッシュプル

高耐圧のゲート駆動 IC は、一般的には重要な高耐圧のレベルシフト機能とフローティング・ゲート駆動機能を必要としない用途でも非常に有効です。

便利さ、 V_{SS} と COM との間の雑音に対する弾力性、高速駆動機能は、多くの電力安定化の用途で魅力的な機能です。図

32 のように、デカップリング・コンデンサを追加するだけで、インタフェース機能とゲート駆動機能を実現できます。

15 ハイサイド p チャンネル

図31に示すように、正の電源電圧を基準とする負電源が存在する場合、ゲート駆動ICはハイサイド・スイッチとしてのpチャンネル・トランジスタも駆動できます。このモードで動作する場合、HIN入力はアクティブ・ロー・レベルになります。すなわち、論理“0”を入力すると、pチャンネルMOSFETがオンします。 V_S （または V_B ）が接地に対して一定の電位に固定されると、p.5の「4 ゲート駆動ICの消費電力の計算方法」のd)の2)で説明した電力損失はゼロになります。

16 トラブル・シューティングのガイドライン

IR2110のフローティング・チャンネルの波形を解析するためには、差動入力を備えるオシロスコープが必要です。この方法では、接地を基準としない電位差を測定することを意味します。ただし、次の項目の確認が済んでいるものとします。

- ピンが正しく接続され、電源がデカップリングされていること。
- ブートストラップ充電ダイオードは超高速で、電源電圧の定格を満たしていること。
- シャットダウンピンがディセーブルされていること。
- 回路構成上必要とされない限り、論理入力によって複数デバイスが同時に導通しないこと。

現象	推定される原因
ゲート駆動パルスを出力しない	V_{CC} がUVLOの電圧を超えているか確認してください。
ゲート駆動パルスが下側のチャンネルしか出力しない	ブートストラップ・コンデンサの電圧を測定します。この電圧はロックアウト電圧よりも高くなければなりません。もし、そうでないなら、なぜコンデンサが充電されないのかを調べてください。オン時にコンデンサが充電されることを確認してください。
上側のチャンネルの動作が不安定	● V_S がCOMよりも5V～10 V以上下がっていないことを確認してください。 ● ハイサイド・チャンネルがUVLO状態でないことを確認してください。 ● COMに対するV_Sのdv/dtが50V/nsを超えていないか確認してください。もし超えていたら、スイッチングを遅くしてください。 ● V_{SS}に対して論理入力に雑音がないことを確認してください。 ● 入力論理信号が50 nsよりも長いことを確認してください。
ゲート駆動信号の過剰なリングング	ゲート駆動ループのインダクタンスを減らしてください。ツイスト・ペア線を使い、長さを短くします。ループ・インダクタンスを減らしてもリングングが許容レベルに入らないときは、ゲート抵抗を追加してください。

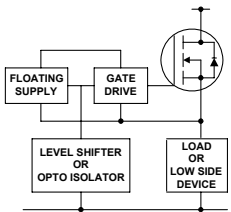
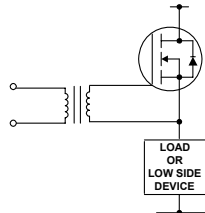
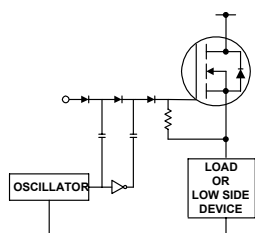
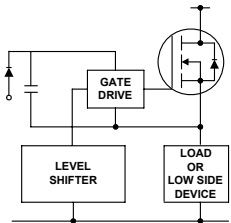
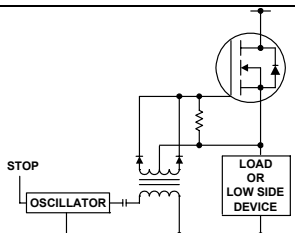
表1		
手法	基本回路	重要な機能
フローティング・ゲート駆動回路の電源		- 無限の期間、完全にゲートを制御する。 - 絶縁型電源は、コスト高の要因（各ハイスайдに対して1個必要）。 - 接地を基準とした信号のレベルシフトが難しい。レベルシフト回路は、電圧を維持しなければならない、最小の遅延時間で、低い消費電力でスイッチングしなければならない。 - 光アイソレータは、比較的高価で、帯域幅や雑音感度に限界がある。
パルス・トランス		- シンプルで安価。用途が限られる。 - 広いデューティ比にわたって動作させるためには複雑な技術が必要。 - 周波数が下がると、トランスが非常に大きくなる。 - 寄生成分により、高速スイッチング波形が劣化する。
チャージ・ポンプ		- レベルシフト回路によって電源電圧以上の電圧を発生でき、MOSFETがオンのときにゲート電圧を持ち上げられる。 - レベルシフト回路を設計しなければならない。 - オン時間がスイッチング用途には長過ぎる。 - 無限の期間、ゲートをオンのままにできる。 - 電圧を重ね合わせる回路の効率は、ポンピングが2段以上必要。
ブートストラップ		- シンプルで安価。パルス・トランスに比べて制限がある。すなわち、ブートストラップ・コンデンサをリフレッシュしなければならないことが、デューティ比やオン時間を制限する。 - コンデンサが高電圧レールから充電されるなら、消費電力が大きくなる。 - レベルシフト回路が必要。それに伴う難しさがある。
搬送波駆動		無限の期間、完全にゲートを制御すると、スイッチング特性が制限されることがある。これは改善できるが、回路が複雑になる。

表 2			
	チップ寸法	立ち上がり 時間	降下時間
	HEX-2	2.5 ns	17 ns
HEXFET MOSFETの異なるチップ寸法に対する標準的なスイッチング時間	HEX-3	38 ns	23 ns
	HEX-4	53 ns	34 ns
($V_{CC}=15\text{ V}$ 、図9のテスト回路、ゲート回路網なし)	HEX-5	78 ns	54 ns
	HEX-6	116 ns	74 ns

参考文献)

1. “New High Voltage Bridge Driver Simplifies PWM Inverter Design,” by D. Grant, B. Pelly. PCIM Conference 1989
2. Application Note AN-967 “PWM Motor Drive with HEXFET III” see <http://www.irf.com/technical-info/appnotes/an-967.pdf>
3. Application Note AN-961 “Using HEXSense in Current-Mode Control Power see <http://www.irf.com/technical-info/appnotes/an-961.pdf>
4. Application Note AN-959 “An Introduction to the HEXSense” - see <http://www.irf.com/technical-info/appnotes/an-959.pdf>
5. “Dynamic Performance of Current Sensing Power MOSFETs” by D. Grant and R. Pearce, Electronic Letters, Vol. 24 No. 18, Sept 1, 1988

©インターナショナル・レクティファイアー・ジャパン
この文献の無断複製・転載を禁じます。
(2008年2月翻訳掲載)