EiceDRIVER™

高压门极驱动 IC

6ED 系列-第 2 代

技术说明

应用说明

AN-EICEDRIVER-6EDL04-1

1.3 版，2014-03-23

工业电源和控制

发布日期：**2015-08-31**

发布者：
英飞凌科技股份公司
81726，德国慕尼黑

© 2015 英飞凌科技股份有限公司
保留所有权利。

法律免责声明

本应用说明中给出的信息仅作为关于使用英飞凌科技器件的建议，不得被视为就英飞凌科技器件的任何特定功能、条件或质量作出的任何说明或保证。本应用说明的使用者必须在实际应用中验证本文档描述的任何功能。英飞凌科技在此声明，未就本应用说明中给出的任何及所有信息作出任何性质的保证，也不承担任何性质的责任，包括但不限于没有侵犯任何第三方的知识产权的保证。

信息查询

若需获得关于技术、交付条款和价格的更多信息，敬请就近联系英飞凌办事处(**www.infineon.com**)。

警告

由于技术要求，器件可能包含有害物质。如对器件的成分有疑问，请就近联系英飞凌办事处。

如果可以合理地预计英飞凌的某个器件失效可能会导致生命支持设备或系统失效，或者影响该等设备或系统的安全性或有效性，那么在将这些器件用于生命支持设备或系统之前，必须获得英飞凌的明确书面同意。生命支持设备或系统意指用于植入人体内部，或者支持和/或维持、维系和/或保护人类生命的设备或系统。如果这些设备或系统失效，可以合理推定其用户或其他人的健康将受到威胁。

修订记录	1.3 版，2014-03-23
页码或项目	主题（上次修订以来的重大变更）
第 1 页	增加分类图标“EiceDRIVER™紧凑型”
第 18 页	更新第 3.8 节

英飞凌科技股份公司商标

AURIX™、BlueMoon™、C166™、CanPAK™、CIPOS™、CIPURSE™、COMNEON™、EconoPACK™、CoolMOS™、CoolSET™、CORECONTROL™、CROSSAVE™、DAVE™、EasyPIM™、EconoBRIDGE™、EconoDUAL™、EconoPIM™、EiceDRIVER™、eupec™、FCOS™、HITFET™、HybridPACK™、I²RF™、ISOFACE™、IsoPACK™、MIPAQ™、ModSTACK™、my-d™、NovalithIC™、OmniTune™、OptiMOS™、ORIGA™、PRIMARION™、PrimePACK™、PrimeSTACK™、PRO-SIL™、PROFET™、RASIC™、ReverSave™、SatRIC™、SIEGET™、SINDRION™、SIPMOS™、SMARTi™、SmartLEWIS™、SOLID FLASH™、TEMPFET™、thinQ!™、TRENCHSTOP™、TriCore™、X-GOLD™、X-PMU™、XMM™、XPOSYS™。

其他商标

Advance Design System™ (ADS)是 Agilent Technologies 的商标。AMBA™、ARM™、MULTI-ICE™、KEIL™、PRIMECELL™、REALVIEW™、THUMB™、µVision™是 ARM Limited, UK 的商标。AUTOSAR™由 AUTOSAR 开发合作伙伴授权。Bluetooth™是 Bluetooth SIG Inc.的商标。CAT-iq™是 DECT Forum 的商标。COLOSSUS™、FirstGPS™是 Trimble Navigation Ltd.的商标。EMV™是 EMVCo, LLC (Visa Holdings Inc.)的商标。EPCOS™是 Epcos AG 的商标。FLEXGO™是 Microsoft Corporation 的商标。FlexRay™由 FlexRay Consortium 授权。HYPERTERMINAL™是 Hilgraeve Incorporated 的商标。IEC™是 Commission Electrotechnique Internationale 的商标。IrDA™是 Infrared Data Association Corporation 的商标。ISO™是 INTERNATIONAL ORGANIZATION FOR STANDARDIZATION 的商标。MATLAB™是 MathWorks, Inc.的商标。MAXIM™是 Maxim Integrated Products, Inc.的商标。MICROTEC™、NUCLEUS™是 Mentor Graphics Corporation 的商标。Mifare™是 NXP 的商标。MIPI™是 MIPI Alliance, Inc.的商标。MIPS™是 MIPS Technologies, Inc., USA 的商标。muRata™是 MURATA MANUFACTURING CO.的商标。MICROWAVE OFFICE™ (MWO)是 Applied Wave Research Inc.的商标。OmniVision™是 OmniVision Technologies, Inc.的商标。Openwave™是 Openwave Systems Inc.的商标。RED HAT™是 Red Hat, Inc.的商标。RFMD™是 RF Micro Devices, Inc.的商标。SIRIUS™是 Sirius Satellite Radio Inc.的商标。SOLARIS™是 Sun Microsystems, Inc.的商标。SPANSION™是 Spansion LLC Ltd.的商标。Symbian™是 Symbian Software Limited 的商标。TAIYO YUDEN™是 Taiyo Yuden Co.的商标。TEAKLITE™是 CEVA, Inc.的商标。TEKTRONIX™是 Tektronix Inc.的商标。TOKO™是 TOKO KABUSHIKI KAISHA TA 的商标。UNIX™是 X/Open Company Limited.的商标。VERILOG™、PALLADIUM™是 Cadence Design Systems, Inc.的商标。VLYNQ™是 Texas Instruments Incorporated 的商标。VXWORKS™、WIND RIVER™是 WIND RIVER SYSTEMS, INC.的商标。ZETEX™是 Diodes Zetex Limited 的商标。

商标最后更新日期 2010-10-26

目录

1 范围和产品系列 7

2 技术特性 8

3 6ED 系列-第 2 代技术说明 9
3.1 一般数据表概述 9
3.2 控制输入部分 9
3.2.1 高压侧输入引脚(HIN)、低压侧输入引脚(LIN) 10
3.2.2 使能引脚(EN) 10
3.3 控制输出部分(/FAULT) 11
3.4 IC 电源部分 12
3.5 门极驱动器部分 13
3.5.1 低压侧门极驱动器 13
3.5.2 高压侧部分 13
3.5.3 高压侧基准（引脚 VSx）上的负瞬态 14
3.6 自举 14
3.7 保护 16
3.7.1 过流保护(ITRIP) 16
3.7.2 故障复位 (RCin) 16
3.7.3 死区时间和预防直通短路 17
3.7.4 欠压闭锁(欠压闭锁) 17
3.8 计算功耗和热参数 17
3.9 爬电距离 19
3.10 布局注意事项 19

4 使用的参数列表 20
4.1 一般规则 20

参考资料 21

插图目录

图 1 采用 SOI 技术的 FET 横截面 8
图 2 不同基准系统之间的差别 a) 6ED 系列–第 2 代 b) 其他许多 6 通道门极驱动 IC 9
图 3 控制输入引脚结构 a)负逻辑 b)正逻辑 10
图 4 短脉冲抑制（左侧：短 ON 脉冲；右侧：短 OFF 脉冲） a)和 b)：负逻辑 c)和 d)：正逻辑 11
图 5 FAULT 引脚结构原理图 11
图 6 ITRIP 到 FAULT 传播延时时间图 12
图 7 工作区 12
图 8 低压侧门极驱动器部分的结构 13
图 9 低压侧门极驱动器部分的结构 14
图 10 一个半桥的自举电路 a) 6ED003L06-F2 和 6ED003L02-F2 b) 其他 14
图 11 电压纹波为 0.1 V 时，自举电容器大小与用于驱动 IKD10N60R 的开关频率 f_P 的关系（依据公式(2)） 15
图 12 ITRIP 和 RCIN 部分的内部结构 16
图 13 低压侧欠压闭锁的结构 17
图 14 布局中的寄生电感 19

表格目录

表 1 6ED 系列-第 2 代成员 7
表 2 使用的参数 20

1 范围和产品系列

6ED 系列–第 2 代是用于三相转换器、最大阻断电压高达 600V 的高压门极驱动 IC。例如，这些转换器可在基于感应电机(IM)或无刷直流电机的驱动应用中使用。6ED 系列–第 2 代采用了绝缘体上硅技术(SOI)。该技术针对负电压尖峰和噪声具有较高的稳健性。

此应用说明将概述此产品的技术特性。此外，还将从应用的角度描述产品最重要的部分，并提供确保该器件在应用中正常工作的设计建议。本文档涵盖下列产品：

表1 6ED 系列-第 2 代成员

销售代码	控制输入 HIN1、2、3 和 LIN1、2、3	欠压闭锁阈值	自举二极管	封装	优化对象
6EDL04I06NT	负逻辑	12.1V/10.2V	是	DSO28	IGBT
6EDL04I06PT	正逻辑	12.1V/10.2V	是	DSO28	IGBT
6EDL04N06PT / 6EDL04N02PR	正逻辑	8.9V/8.0V	是	DSO28 / TSSOP28	MOSFET
6ED003L06-F2 / 6ED003L02-F2	负逻辑	12.1V/10.2V	否	DSO28 / TSSOP28	IGBT，取代第 1 代

6ED 系列显而易见涵盖了正、负控制逻辑以及各种欠压闭锁电平。必须参照相应元件来理解本应用说明中描述的控制信号、阈值和参数。

目标应用是消费电子和低端工业领域的成本敏感型应用。因此，所有器件也兼容使用 3.3 V 电源电压的微控制器。6ED 系列–第 2 代的使用与 IR2136 及其衍生产品相似。它兼容相同的封装，但不兼容内部阈值（可能涉及外部电路）。请参阅此处，了解 6ED 系列–第 2 代的产品规格。

2 技术特性

SOI 是绝缘体上硅（一种先进的 MOS/CMOS 制造工艺）的缩写。它与传统的体硅工艺之间的区别在于，它在绝缘体上面放置有源晶体管层（如**图 1** 所示）。

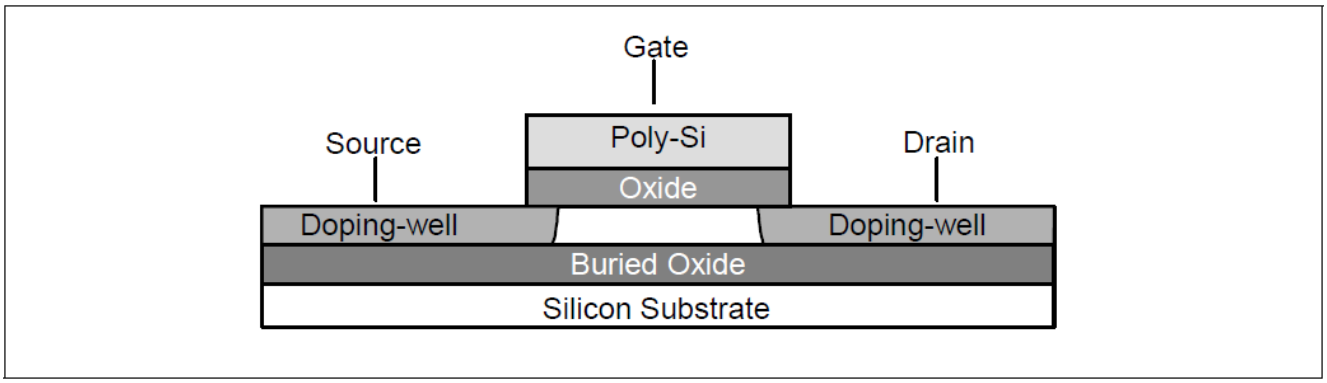


图1 采用 SOI 技术的 FET 横截面

硅被二氧化硅埋层一分为二，一层位于顶部，另一层位于底部。顶部一层为硅薄膜，用于形成晶体管；底部一层用作硅衬底。二氧化硅埋层在有源层与硅衬底之间提供绝缘层，从而大幅减小寄生电容。而且，此绝缘层还能阻止邻近器件之间的漏电流和闩锁电流。

这种薄膜 SOI 技术的主要技术优势在于能够在硅薄膜内的元器件之间轻松实现横向绝缘。利用该薄膜技术，每个器件只需借助简单的局部氧化(LOCOS)工艺就能与其他器件实现隔离。因此无需使用 CMOS 阱来预防“闩锁”效应从而减小芯片尺寸。

硅薄膜内的小尺寸 PN 结可实现更高的开关速度、更低的漏电流，进而获得更高的温度稳定性。为了让 SOI-MOS 薄膜晶体管获得适当的体硅接触，沟道掺杂延伸并连接到了共源极接触（分离式源极接触）。SOI-MOS 薄膜晶体管因此具有反向并联二极管的特性，可在发生极性反转时保护器件。

尽管硅薄膜内的漂移区较薄，但仍达到了合理的低单位面积导通电阻，因而能够实现高性价比的输出驱动晶体管布局。

600 V 电平转换晶体管和高压二极管同样实现于 SOI 技术。600V-NMOSFET 基于低压 SOI-NMOSFET 结构，并配合了超长的漏极延伸。埋入的氧化绝缘层切断了衬底与硅薄膜之间的寄生电流路径，这样即使在高温条件下进行高 dv/dt 开关操作也不会出现闩锁效应，因而具有更好的稳健性。

除上述改进以外，薄膜 SOI 技术还带来了其他好处，例如更低的功耗和更高抗放射性辐射或宇宙射线的能力。

3 6ED 系列-第 2 代技术说明

3.1 一般数据表概述

6ED 系列–第 2 代与许多竞争对手元件（例如[1]或[2]及其他元件）存在本质上的区别。6ED 数据表提供了以 VSS 为基准的最大绝对额定值。在评估 IC 的稳健性时，这是一个非常重要的方面。VSS 既是 IC，也是应用的接地基准，其他所有参数都随这一点变化。可在任意以接地（即 VSS）为基准的引脚测量所有参数，这是测量电气值的通用方法。图 2 显示了 VSS 额定器件与 COM 额定器件之间的基本区别。市场中也提供了 COM 额定器件。此外，还有一些器件没有提供任何关于基准电势的信息。因此，强烈建议仔细查看参考电平。

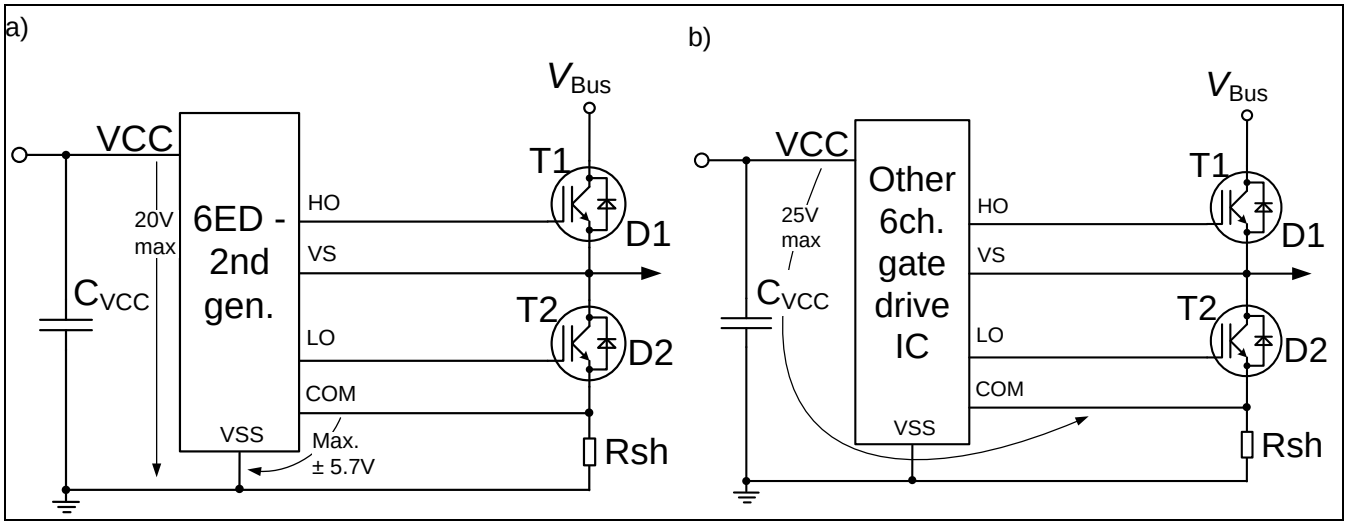


图2 不同基准系统之间的差别
a) 6ED 系列–第 2 代
b) 其他许多 6 通道门极驱动 IC

通常使用一个额外的具有几伏能力的电平转换器来提高 COM 引脚的稳定性。例如，这可以用于对接地网络中的电流取样电阻去耦。此电平转换结构为引脚 COM 提供了一个相对 VSS（=应用接地）浮空的选项。于是，6ED 系列–第 2 代相对 COM 获得了额外的 5.7 V 余量。在数据表第 14 页，6ED 系列–第 2 代的相关最大额定值包括：

- 6ED 系列–第 2 代相对 VSS 的最大额定 VCC 值(20 V)
- 6ED 系列–第 2 代相对 VSS 的最大额定 COM 值(± 5.7 V)
- 6ED 系列–第 2 代相对 VSx 的最大额定 VBSx 值(20 V)

如果将 6ED 看作 COM 额定器件来计算最大绝对额定值：

VCC,max* = VCOM = 25 V（以 COM 为基准）

VBS,max* = VBS,max + VCOM = 20V + 5.7 V = 25.7 V（以 COM 为基准且 VS = VSS）

VS,min* =VCC,max–VBS,max–6V–VCOM =20V–20V–6V–5.7V = –11.7V（以 COM 为基准）

不难发现，在以引脚 COM 而不是以引脚 VSS 为基准时，6ED 系列–第 2 代具有相同，甚至更高的额定值。请注意，以 COM 为基准的额定值与本应用无关，即使有，也是微乎其微。

3.2 控制输入部分

所有控制输入引脚（HIN、LIN、ITRIP、EN）都包含箝位齐纳二极管。这些二极管的用途是提供静电放电保护。因此，它们仅用于承受低能量单脉冲应力。禁止在超出最大绝对额定值的条件下连续工作，例如使用 0 Ω.Ω 上拉电阻将电压硬上拉至 10V 以上。但如果输入电流小于 1 mA，则允许将电压软上拉至不超过 VCC。请注意，这种做法会造成额外的损耗，在计算损耗时必须予以考虑。

3.2.1 高压侧输入引脚(HIN)、低压侧输入引脚(LIN)

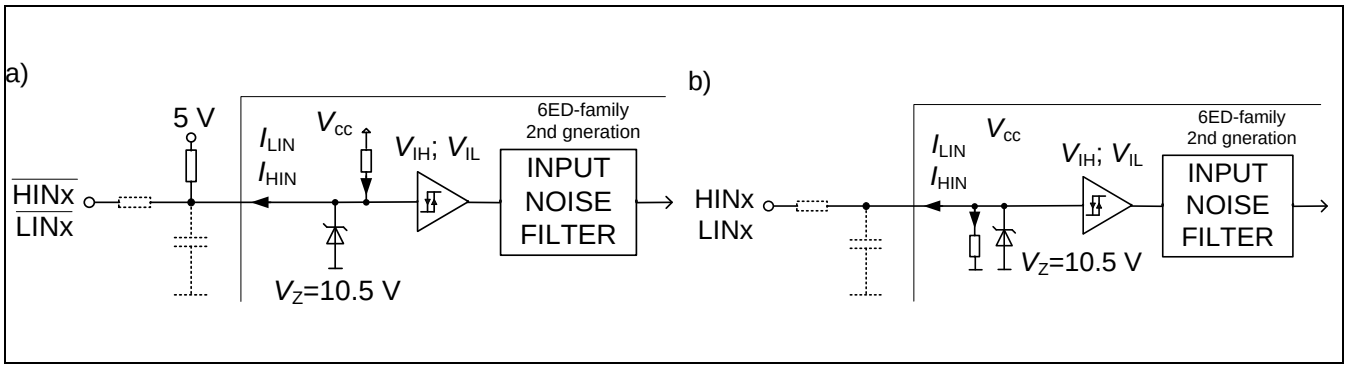


图3 控制输入引脚结构
a)负逻辑
b)正逻辑

所有门极控制输入引脚都配备了一个集成式齐纳箝位，该齐纳箝位在输入信号超过 5.25 V 时激活（参见图 2）。应用设计必须保证，这些齐纳二极管不会因超过 V_{IN} = 5.8 V 的过高电压而受到过度应力。输入施密特触发器的 HIGH 电平参考值为 VIH = 2.1 V，LOW 电平参考值为 VIL = 0.9 V。此电平设置完全符合 LSTTL 和 CMOS 电平要求，因此 6ED 系列–第 2 代可兼容通用微控制器输出引脚。一些竞争对手 的元器件不完全符合上述电压电平要求，导致与微控制器的连接性存在重大问题。电磁干扰可能导致控制信号失真，因此输入引脚的 RC 滤波可以增强系统的信号完整性。RC 滤波器不应造成控制信号失真，从而保持陡峭的信号边缘。一种有效的设计是使用 100 ΩΩ 电阻器和 1 nF 电容器。请注意，RC 滤波器的阻抗必须符合微控制器的 I/O 引脚规范，以便控制器能够充分驱动 RC 滤波器。

图 3 A)显示了负逻辑的输入结构。如果输入引脚浮空或由高阻抗源驱动，集成上拉电阻器会将输入上拉至 HIGH 电平。如果施加 LOW 信号，每个/HIN 或/LIN 引脚的最大输出电流为 I_{LIN-} = I_{HIN-} = 200 µA。使用额外的外部上拉电阻有助于获得精确、可靠的控制信号。图 3 B)显示了正逻辑的结构。下拉电阻器的参考值为 5 kΩΩ。输入偏置电流 I_{LIN+} = I_{HIN+} = 660 µA 高于负逻辑

输入噪声滤波器可抑制短脉冲，防止所驱动的功率器件由于线性操作而造成过大的开关损耗。所有 LIN 或 HIN 的输入噪声滤波时间参考值均为 t_{FILIN} =270 ns。这意味着为了正确处理状态变化，输入信号必须在该时段内保持其电平不变（参见图 4）。仍然建议保持至少 1 µs 的脉冲持续时间。

3.2.2 使能引脚(EN)

应用于 EN 引脚的信号将直接控制输出部分。当此信号低于参考值 V_{EN-} = 1.3 V 时，所有输出都将设为 LOW；当信号电平高于参考值 V_{EN+} = 2.1 V 时，将启用操作。此引脚的内部结构类似于图 3 b)（施密特触发器的开关电平除外），下拉电阻器的参考值为 75 kΩΩ。从 EN 到输出部分的典型传播延时时间为 t_{EN} = 780 ns。

当 EN 引脚电压被上拉至 VDD（即+5V / +3.3V）时，IC 将进入使用状态。不建议将此引脚上拉至 VCC（即+15V），因为这可能导致此引脚输入结构中的功耗过大，并可能损坏 IC。发生（双重）故障或主关断机构偶然失效的情况下，该引脚可用作关断应用的冗余方法。

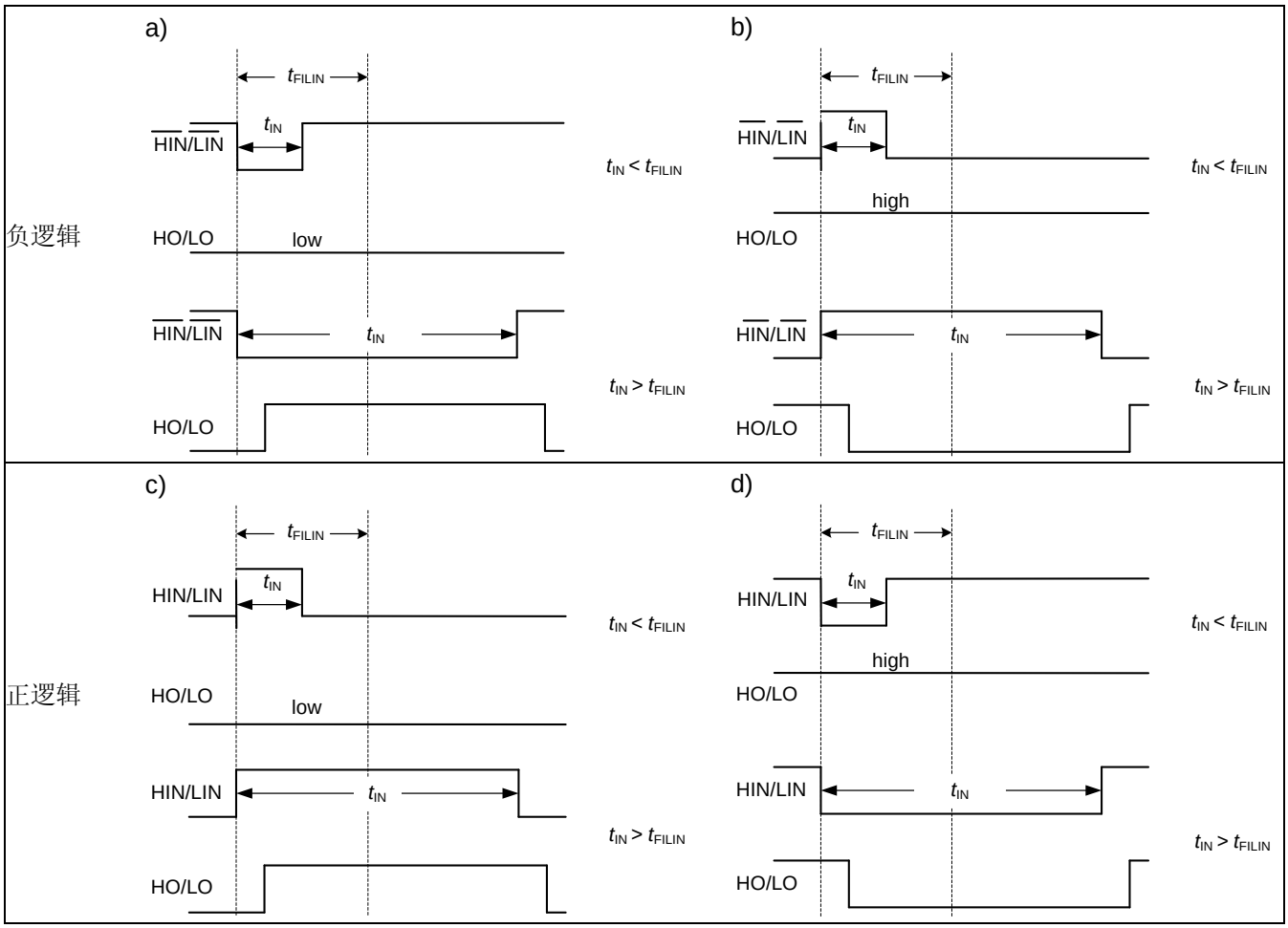


图4 短脉冲抑制（左侧：短 **ON** 脉冲；右侧：短 **OFF** 脉冲）
a)和 **b)**：负逻辑
c)和 **d)**：正逻辑

3.3 控制输出部分(/FAULT)

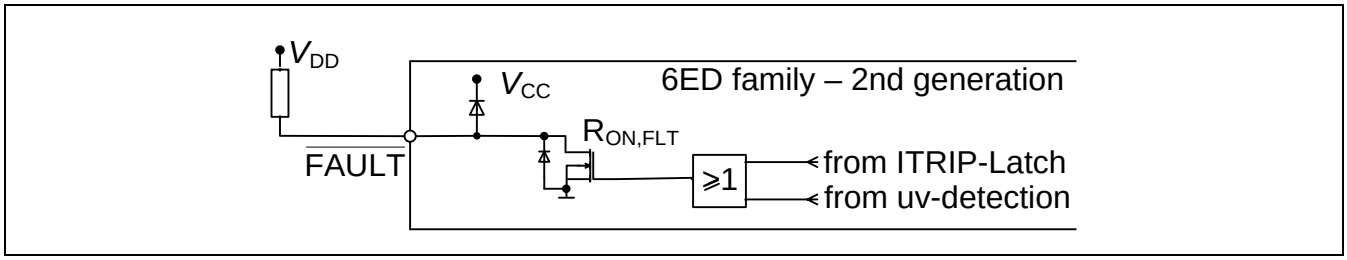


图5 **/FAULT** 引脚结构原理图

此引脚指示 IC 的故障状态。此引脚在欠压闭锁或触发过流保护时的电平为 LOW。对此开漏引脚，需要使用一个几 kΩ 范围（例如 4.7 kΩΩ）的外部上拉电阻。如图 5 中的内部结构所示，此引脚的电压在内部已箝定为不超过 VCC。内部下拉 FET 的典型电阻值为 $R_{ON,FLT}$ = 61 ΩΩ。从触发事件到/FAULT 引脚改变状态的典型延迟时间为 t_{FLT} = 450 ns（参见图 6 所示的时序图）。

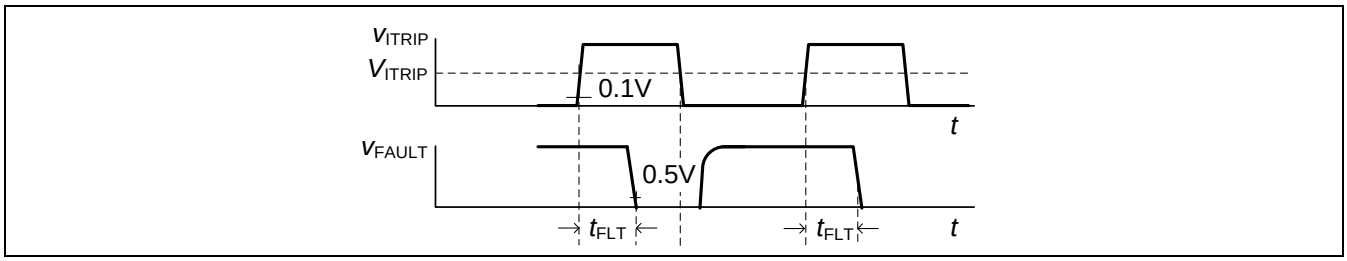


图6　　ITRIP 到 FAULT 传播延迟时时间图

3.4　　IC 电源部分

6ED 系列-第 2 代支持操作 IGBT 以及功率 MOSFET。在驱动门极方面，两类功率晶体管之间存在明显的差别。IGBT 的门极阈值电压通常为 $V_{GE(th)}$ = 4.5 V … 7 V，而功率 MOSFET 的门极阈值电压为 $V_{GS(th)}$ = 3 V … 4 V。因此，通常使用栅源电压 V_{GS} = 10 V 便足以驱动 MOSFET，而且不会影响导通性能；而 IGBT 则需建议门极-发射极电压 V_{GE} = 15 V。6ED 系列-第 2 代的两种不同欠压闭锁(欠压闭锁)电平正是考虑了这一差别。不论欠压闭锁电平如何，所有情况下的绝对最大额定值均为 $V_{CC,max}$ = 20 V。

IC 最初的电源电压在低压侧和高压侧电源必须分别至少达到典型电压 V_{CCUV+}和 V_{BSUV+}，IC 才能进入工作状态。这些参数的电平为 11.7 V 或 9 V，具体取决于相应的 6ED 系列类型。建议为 V_{CCUV+}和 V_{BSUV+}保留至少 1 V 的余量，以免由于噪声导致意外关断。当相关电源电压降至低于 V_{CCUV-}或 V_{BSUV-}时，IC 将关断相应的门极部分。上述电平为 9.8 V 或 8.1 V。这可以防止所驱动的晶体管在导通期间出现过低的门极电压电平，从而避免过高的功耗。更多信息，请参阅第 3.7.4 节。

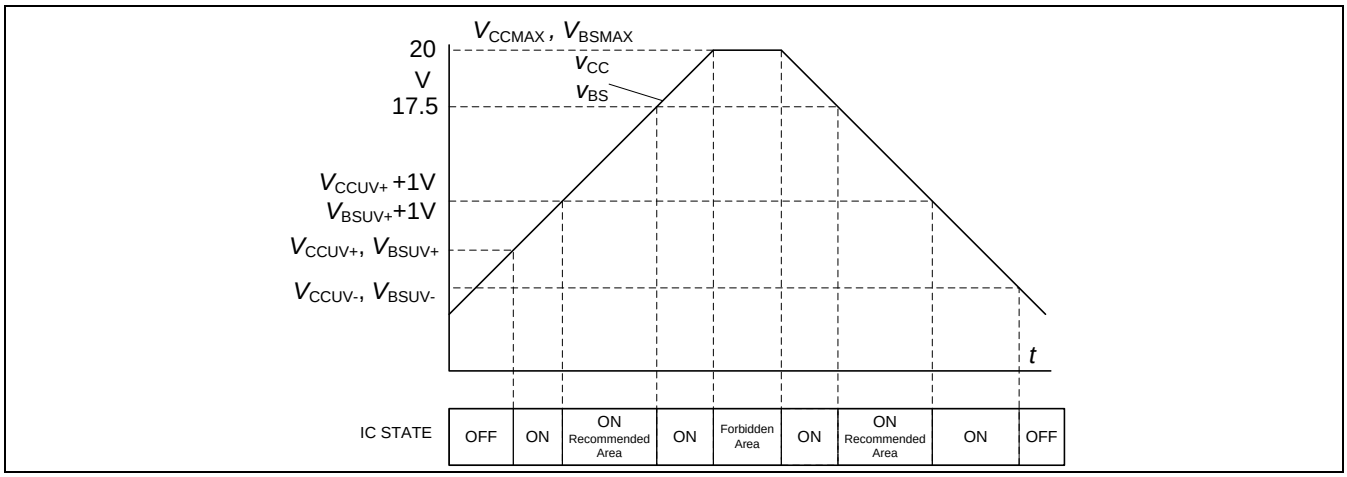


图7　　工作区

图 7 和图 8 显示了不同低压侧电源电压 v_{CC}和高压侧电源电压 v_{BS}下的 IC 状态及相关工作区。高于 20 V 的电源电压为禁止区，因为在此区域，内部箝位结构开始直通短路，IC 将面临因局部功耗过高发生损坏的危险。

3.5 门极驱动器部分

3.5.1 低压侧门极驱动器

低压侧门极驱动器部分包含采用推挽式配置的 FET。开通 FET（p 沟道）的导通电阻参考值约为 $R_{DS(on),p}$ = 35 ΩΩ，关断 FET（n 沟道）的导通电阻参考值约为 $R_{DS(on),n}$ =11 ΩΩ（参见图 8）。由此典型开通电流为 I_{O+} = 165 mA，典型关断电流为 I_{O-} = 375 mA。借助参数 V_{OL}、V_{OH} 及其测试条件，可以轻松计算出 $R_{DS(on)}$值。

6ED 系列-第 2 代包含了电平转换结构，以使得即便引脚 COM 的电势相对引脚 VSS 为负值，也可避免衬底电流。这一点很重要，因为低压侧二极管续流的瞬时电压可能超过-0.7 V。请注意，此电平转换与引脚 VSx 相对 COM 的瞬态负电压无关。

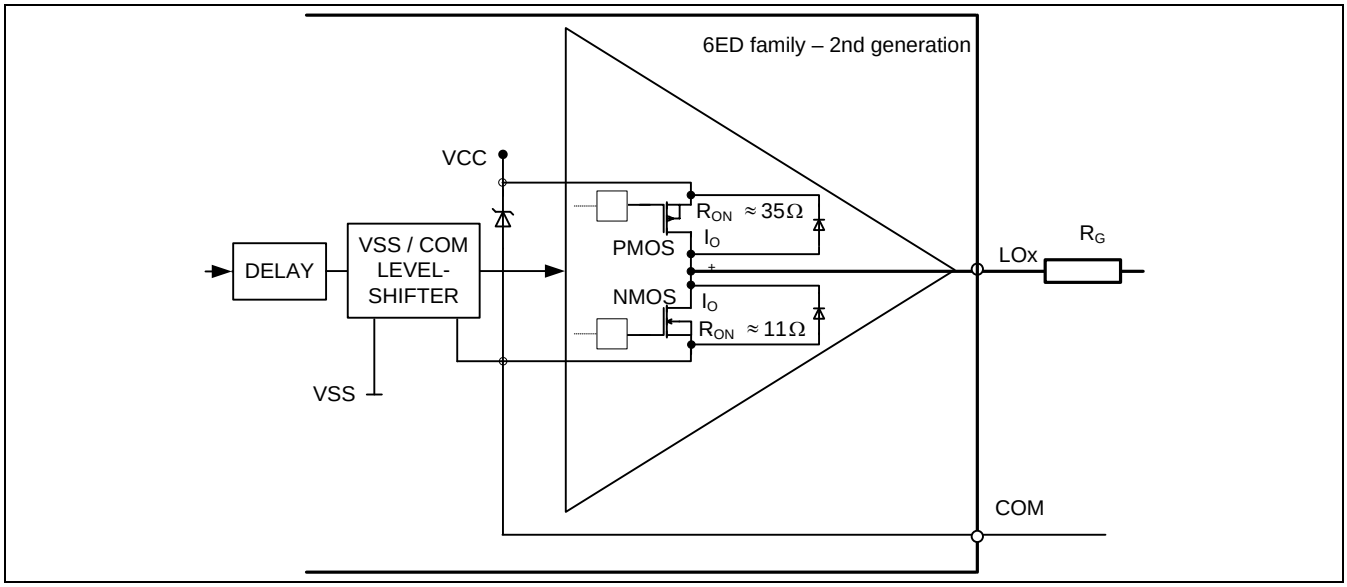


图8 低压侧门极驱动器部分的结构

输出引脚 LOx 通过 FET 反向二极管箝定为不超过 IC 的电源电压 VCC。这可以防止输出引脚承受可能通过门级线路耦合进来的过高脉冲电压。此外，在 COM 和 VCC 的推挽电路之间还有一个内部齐纳箝位电路。

3.5.2 高压侧部分

高压侧门极驱动器部分如图 9 所示。控制信号通过高压电平转换部分，并存储在门极驱动器触发-锁存器中。输入信号以及输出门极驱动信号在内部通过集成二极管箝位至不超过基准电压（引脚 VSx）和偏置电压（引脚 VBx）（在低压侧部分，这两个电压相等）。

请注意，对于 6ED003L06-F2 和 6ED003L02-F2 类型，每个高压侧到低压侧控制区域都存在寄生连接。根据 6ED 系列-第 2 代数据表中的最大额定值，相关应用设计必须保证，引脚 VS1、VS2 或 VS3 不会出现持续时间超过 500ns，相对 VSS 低于-50 V 的负电压。

6ED 系列-第 2 代的其他所有成员都包含集成式自举二极管。有关集成式自举二极管的更多信息，请参阅第 3.6 节。

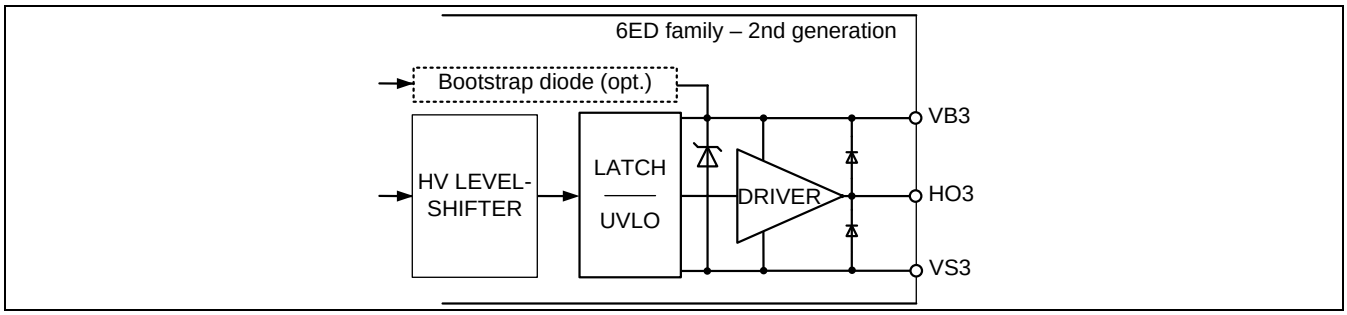


图9 低压侧门极驱动器部分的结构

3.5.3 高压侧基准（引脚 VSx）上的负瞬态

得益于 SOI 技术所拥有的氧化绝缘层，6ED 系列-第 2 代对负瞬态电压具有很强的承受力。因此，引脚 VSx 上规定的最低电压为-50 V，持续时间 500 ns。此持续时间足以涵盖驱动应用中常见的应力要求。但是，任何设计都应该绝对避免出现这样的负电压。

寄生电感可能会感应电压，使得引脚 VS1、VS2 或 VS3 的电势相对引脚 VSS 变为负值。这些负电压将迫使电流流过衬底材料，这是其他驱动 IC 技术存在的一种众所周知的失效机制。衬底电流可能导致高压侧门极驱动器发生闩锁，从而降低其对所有控制信号的灵敏度。最终导致 IGBT 短路，产生过高的功耗以及直通短路系统。

一般而言，负电压还可能增大流经内部自举二极管的脉冲电流，并可能损坏自举二极管。因此，设计应该以完全避免此类负瞬态电压为目标，或者至少将其控制在最大绝对额定值以下。

3.6 自举

自举是将电荷从较低的电势泵压到较高电势的常用方法。利用这种方法，可以轻松地建立门极驱动器浮空高压侧部分的电源电压（参见图 10）。所显示的电路是三个半桥中的一个。可以将限流电阻器 R_{Lim} 连接到三个半桥的自举二极管中的任意一个。

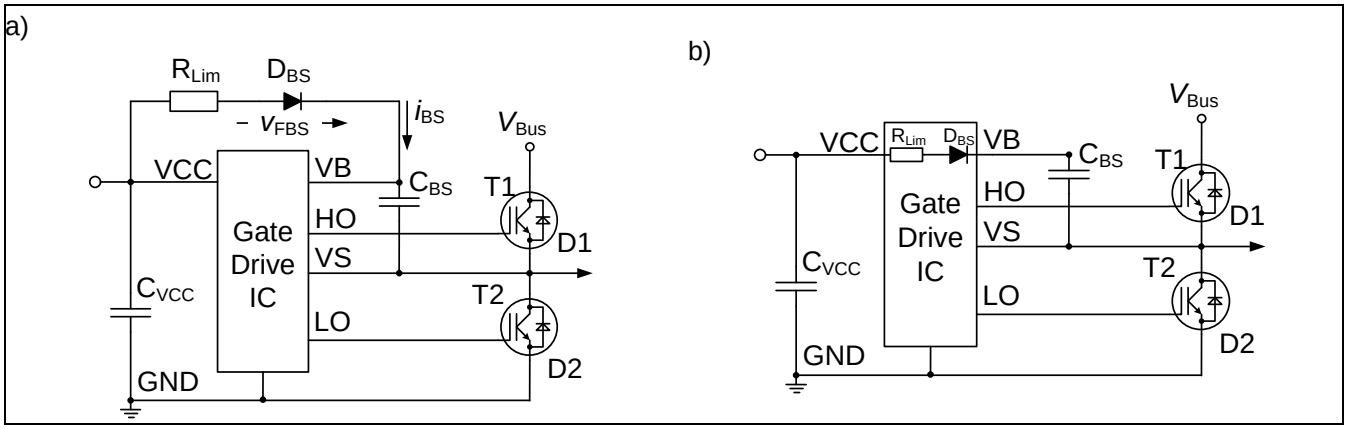


图10 一个半桥的自举电路
a) 6ED003L06-F2 和 6ED003L02-F2
b) 其他

晶体管 T2 的第一个脉冲将迫使引脚 VS 的电势变为 GND。自举电容器电压 V_{CBS} 与 V_{CC} 之间现有的电压差使得充电电流 i_{BS} 流入电容器 C_{BS}。i_{BS} 为脉冲电流，因此电容器 C_{BS} 的 ESR 必须非常小，以免电容器中出现损耗，并导致缩短电容器的使用寿命。

在晶体管 T2 关断并且 T1 或 D1 通电后，该引脚将再次恢复高电势。但现在自举二极管 D_{BS} 会阻断反向电流，使得电容器中的电荷无法回流到电容 C_{VCC}。自举二极管 D_{BS} 还会负责反向阻断引脚 VB 和 VCC。为功率器件 T1 和外部自举二极管选择相同的阻断电压是一种好的设计做法。自举电容器的电压现在可以为高压侧门极驱动器部分供电。

自举电容器 C_{BS} 必须尽量靠近 IC 安装，这是一条通用的设计规则。否则，寄生电阻器和电感可能引起电压尖峰，进而触发相应高压侧驱动器部分的欠压闭锁阈值。
自举电容器的电压约为

$$V_{CBS} \approx V_{CC} - V_{FBS} \tag{1}$$

限流电阻器 R_{Lim} 用于减小功率器件 T2 开通期间的脉冲电流峰值。每次开通 T2 都会出现脉冲电流，因此开关频率越高，电容 C_{BS} 的充电就越频繁。所以，当开关频率较高时，适合使用较小的电容器。自举电容器主要通过两种效应放电：高压侧静态电流和待开通功率器件的门极电荷。自举电容器电容的计算公式为

$$C_{BS} = \frac{i_{QBS} \cdot t_P + Q_G}{\Delta v_{BS}} \cdot 1.2 \tag{2}$$

其中，i_{QBS} 为高压侧部分的静态电流，t_P 为开关周期，Q_G 为门极总电荷，Δv_{BS} 为一个开关周期内自举电容器产生的压降。另外增加了 20%的余量作为自举电容器的容差。

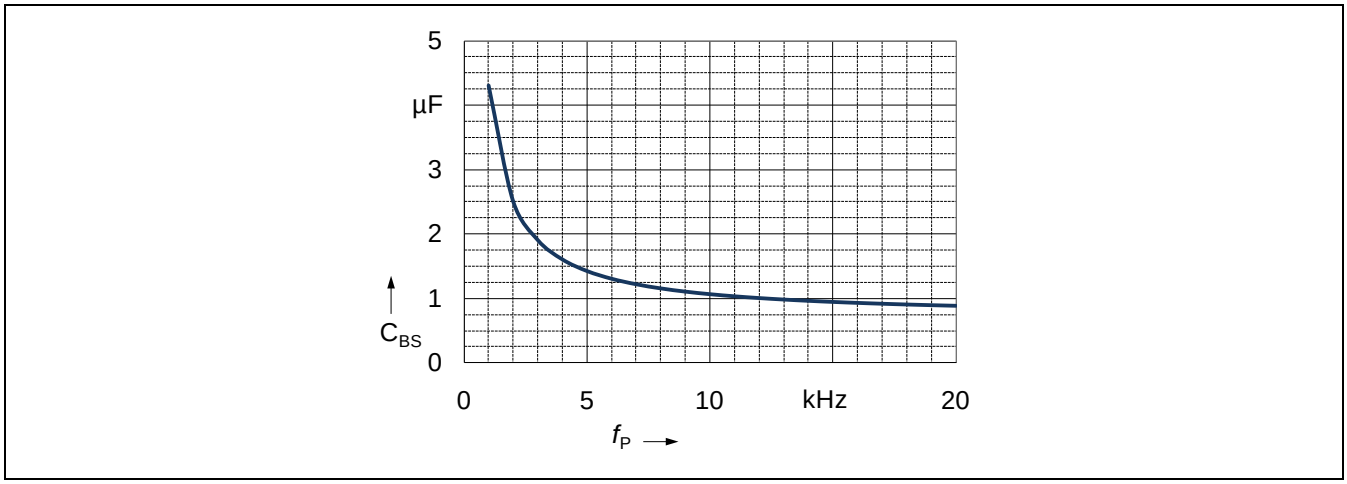


图11　　电压纹波为 0.1 V 时，自举电容器大小与用于驱动 IKD10N60R 的开关频率 f_P 的关系（依据公式(2)）

图 11 显示了在电压纹波 Δv_{BS} = 0.1 V 时，公式(2)所对应的连续正弦调制曲线。因此，对于多数开关频率，建议使用不超过 4.7 µF 的自举电容。集成式自举二极管的性能可满足使用较小自举电容的要求。因此，建议不要超过最大电容 C_{BS} = 47 µF。
请注意，公式(2)适用于以一定的开关频率连续开关的情形。使用空间矢量调制可能导致不超过 60°的周期（电气），这种情况下不会开关半桥低压侧晶体管，因此必须单独考虑。这会影响到自举电容器的大小，对于较低的输出电流（电机电流）频率而言尤其如此。这种情况下，必须将 t_P 变量设为最长的无开关周期。

3.7 保护

3.7.1 过流保护(ITRIP)

对直流环节基准的电流信号进行测量，以识别过流或半桥短路事件。电流取样电阻会产生电压降。建议使用一个较小的 RC 滤波器来衰减电压尖峰。此类尖峰可能是由实际布局中的寄生元件产生的。强烈建议在布局时，避免将 ITRIP 信号与 PCB 上的低压侧发射极或 COM 共同走线（另请参阅第 3.10 节）。如果电流取样电阻上的电压降高于参考值 $V_{IT,TH+}$ = 0.445 V，则会触发内部比较器（参见图 12）。这会产生触发电流

$$I_{ITRIP} = \frac{V_{IT,TH+}}{R_{SH}} \quad (3)$$

其中，R_{SH} 是电流取样电阻的值。

比较器的输出会通过噪声滤波器，后者会抑制寄生电压尖峰所造成的过流关断。噪声滤波器的典型滤波时间为 $t_{ITRIPMIN}$ = 210 ns。一个 set 优先的锁存器将会持续存储过流事件，直至 RCIN 电路提供的信号将其重置为止。

ITRIP 比较器会将 RCIN 引脚开关的 NMOS-FET 放电。FET 的典型 $R_{DS(on)}$为 54 Ω，这样就得出一条相对外部电容器 C_{RCin} 的放电特性曲线。时间常量取决于外部电容器 C_{RCin} 和 FET 的 $R_{DS(on)}$。当比较器恢复低电平时，放电阶段结束。此电平对应于比较器上的电压电平 $V_{IT,TH+}$ - $V_{IT,HYS}$ = 445 mV - 70 mV = 375 mV，其中 $V_{IT,HYS}$ = 70 mV 为 ITRIP 比较器的滞后。

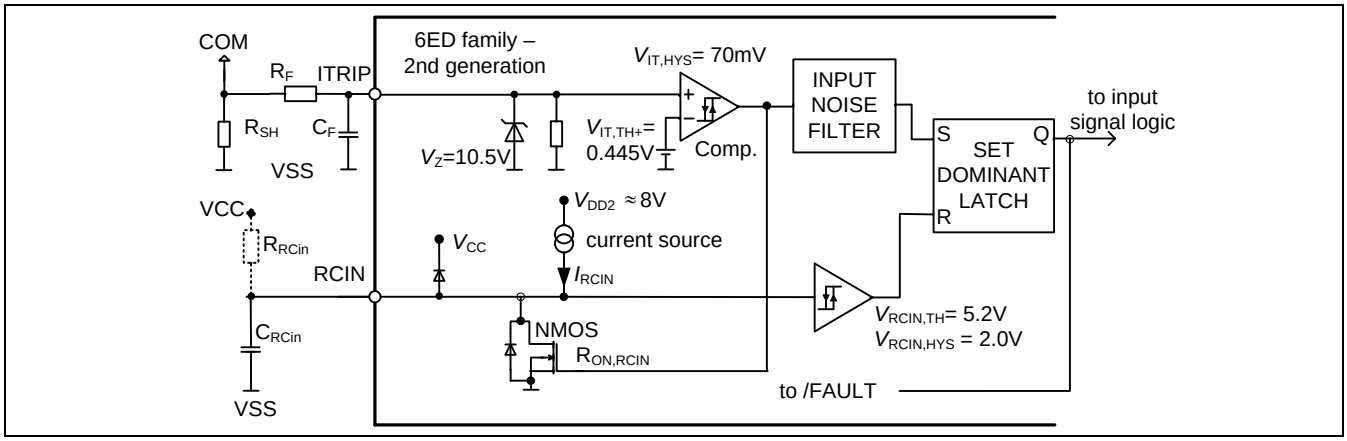


图12 ITRIP 和 RCIN 部分的内部结构

必须注意的情况是，由于引脚 RCIN 上较大的外部电容以及过流状况的发生时间非常短，因此电容器 C_{RCin} 的电压不低于 RCIN 施密特触发器的阈值电压。施密特触发器的阈值电压 $V_{RCIN,TH}$ - $V_{RCIN,HYS}$ = 5.2 V – 2 V = 3.2 V 会导致以下结果：即 set 优先锁存器仍处于有效复位状态，IC 可能会在引脚 ITRIP 的电压恢复到工作电压范围($V_{IT,TH+}$ - $V_{IT,HYS}$)后立即重新开始工作。如果将引脚 ITRIP 的触发电平设为接近最大工作电流，则此特性可充当软过流限制。只要引脚 RCIN 的电压没有达到施密特触发器的 3.2 V 电平，门极驱动器部分就会在过流消失后立即重启。此过程可能需要几个脉冲周期。

3.7.2 故障复位 (RCin)

引脚 RCIN 的外部电路决定了驱动系统的过流恢复。此电路可能包含一个电容器 C_{RCin}（参见图 12）。此外还可以选择通过电阻器 R_{RCin} 连接到电源 V_{CC} 的路径。故障清除时间 t_{FLTCLR} 取决于 C_{RCin} 的充电过程，因为系统会在达到集成式施密特触发器的阈值电压（参见图 12）时恢复工作。这意味着连接 V_{CC} 的电阻器不是必需的，但它可能有助于精确调节故障清除时间。

数据表指定的典型故障清除时间为 t_{FLTCLR} = 1.9 ms，这种情况下电流源需要在没有上拉电阻器的情况下对 1 nF 外部电容器充电。可根据其他任何电容器值按比例缩放此参数，并立即得出相应的故障清除时间。这意味着，4.7 nF 电容器可实现 4.7 * 1.9 ms = 8.9 ms 的故障清除时间。

应用设计必须保证，电容器 C_{RCin} 的电压在 ITIRP 引脚的输入噪声滤波器延迟时间内达到 RCin 施密特触发器的下阈值。建议在 500ns 内达到此阈值，并使用小于 10nF 的电容器值。否则，正反器会再次释放门极部分，导致 IGBT 开通，并可能损坏 IGBT。

3.7.3 死区时间和预防直通短路

6ED 系列-第 2 代可预防直通短路并在每个半桥的相应 IGBT 死区时间。死区时间参考值为 DT = 310 ns。但有必要检查所驱动的 IGBT 的瞬态时间。这些时间包括开通延迟时间 $t_{d(on)}$、上升时间 t_r、关断延迟时间 $t_{d(off)}$以及下降时间 t_f。它们共同定义了预防直通短路所必需的时序和死区时间。对于大多数应用，1 µs 到 1.5 µs 的死区时间便足够了。

3.7.4 欠压闭锁(欠压闭锁)

高压侧部分的欠压闭锁(欠压闭锁)直接作用于输出门极驱动器触发-锁存器（参见图 13），从而实现即时关断。三个高压侧门极驱动器的欠压闭锁部分相互独立。该电平在控制端为 V_{CCUV+}，在高压侧部分为 V_{BSUV+}。请参阅 6ED 系列相应类型正确的绝对电平。更多信息，请参阅第 3.4 节。

在欠压闭锁关断某个输出部分后，必须再次达到 V_{CCUV+}和 V_{BSUV+}的启动电平（参见第 3.4 节）。低压侧和高压侧部分具有独立的欠压闭锁功能，这使得在包含自举电源的情况下可以重启受影响的高压侧部分，因为低压侧晶体管的开关模式操作会将电荷连续泵压到相应的自举电容器，使其升高至自举电压 V_{BS}。

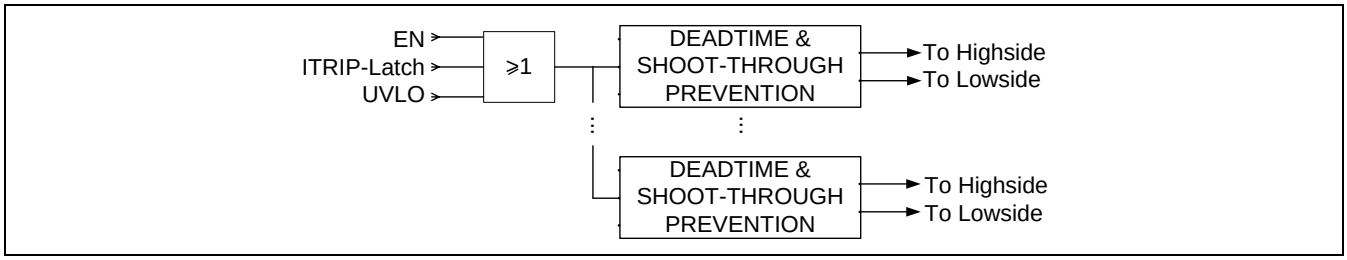


图13 低压侧欠压闭锁的结构

低压侧门极驱动器部分的欠压闭锁由所有三个输出电路共用，并作用于三输入 OR 门（参见图 13）。此门电路的输出将作为 IC 死区时间和防直通短路功能的输入。请注意，低压侧欠压闭锁也会影响高压侧输出。因此，在发生低压侧欠压闭锁时，所有门极驱动器都将关断。

3.8 计算功耗和热参数

6ED-第 2 代提供两种封装：PG-DSO-28 和 PG-TSSOP-28。两种封装均符合 RoHS 规范。有关绝缘配合方面的更多信息，请参阅第 3.9 节。最重要的是，确保元器件不会发生热过载。这一点可以通过结-环境热阻以及计算或测量功耗的方法进行检查。请参阅数据表（第 5 节）中提供的热阻以及具体布局。更改此布局可能导致热阻增加，从而减小驱动 IC 的总功耗。因此，设计人员应通过温度测量，避免在应用相关的环境温度和壳体条件下发生热过载。

最高芯片温度 T_j 可使用以下公式计算

$$T_j = P_d \cdot R_{th(ja)} + T_{amb,max} \quad (4)$$

其中，$T_{amb, max}$ 是最高环境温度。

功耗 P_d 是多个功耗源的集合。总功耗包括以下各项：

- IC 的静态电流（高压侧和低压侧）（P_{d1VCC}、P_{d1BS}）
- 输出部分（P_{d2on}、P_{d2off}）
- IC 的输入部分(P_{d3})
- 任何高压侧部分到控制部分的漏泄损耗(P_{d4})

相应项目可针对最坏情形，按照下列方法分别计算：

1.测量应用在最高开关频率下的工作电流 I_{cc}。连接全部三个高压侧控制引脚和低压侧控制引脚，并且不连接功率器件。

$$P_{d1VCC} = I_{CC,max} \cdot V_{CC,max} \quad (5)$$

每个高压侧部分都会产生静态电流相关的持续功耗。计算公式如下

$$P_{d1BS} = 3 \cdot I_{QBS} \cdot V_{BS,max} \quad (6)$$

2.通过功率器件的门极总电荷 Q_{Gtot}、电源电压 V_{cc}、开关频率 f_P 以及外部门极电阻器，计算输出部分的损耗。必须考虑不同的开通和关断情形，因为许多设计针对开通和关断使用不同的电阻器。这会导致损耗相对输出部分的外部门极电阻器 $R_{Gxx,ext}$ 和内部电阻呈现特定的分布。

$$P_{d2on} = \frac{6}{2} Q_{G,tot} \cdot V_{CC} \cdot f_P \cdot \frac{36\Omega}{R_{Gon,ext} + 36\Omega} \quad \text{，针对开通情形} \quad (7)$$

$$P_{d2off} = \frac{6}{2} Q_{G,tot} \cdot V_{CC} \cdot f_P \cdot \frac{11\Omega}{R_{Goff,ext} + 11\Omega} \quad \text{，针对关断情形} \quad (8)$$

P_{d2on} 和 P_{d2off} 两个部分共同构成了输出部分的损耗。

3.输入部分通过其输入结构产生损耗。它们是下拉电阻器（类型：6EDL04I06PT、6EDL04N06PT、6EDL04N02PR）或上拉电阻器（类型：6EDL04I06NT, 6ED003L06-F2 / 6ED003L02-F2）。考虑占空比为 50%的情形：

$$P_{d3neg} = \frac{6}{2} \cdot \left(\frac{(V_{CC} - V_{in})^2 + V_{CC}^2}{70k\Omega} \right) \text{，针对 6EDL04I06NT、6ED003L06-F2 / 6ED003L02-F2 类型} \quad (9)$$

$$P_{d3pos} = \frac{6}{2} \cdot \frac{{V_{in}}^2}{5k\Omega} \text{，针对 6EDL04I06PT、6EDL04N06PT、6EDL04N02PR 类型} \quad (10)$$

4.漏泄损耗由穿过绝缘层的电流造成。相关参数包括所有高压侧的漏电流 I_{LVS} 以及应用的直流母线电压 V_{DC}。高压侧部分在工作期间处于正母线电势或负母线电势。因此，这两个值产生的损耗大体上各占一半。但是，可能存在一种静态工作状态，其中所有三个高压侧部分均处于高电势。因此，我们得出

$$P_{d4} = 3\, I_{LVS} \cdot V_{DC,max} \quad (11)$$

其余所有组成部分可估算为上述部分总和的约 20%。工作期间的最终功耗为两个部分的总和

$$P_d = 1.2\left(P_{d1VCC} + P_{d1QBS} + P_{d2on} + P_{d2off} + P_{d3} + P_{d4}\right) \quad (12)$$

数据表中显示了给定结-环境热阻($R_{th(j-a)}$)对应的具体布局。数据表中提供的热阻是在所有 6 个功率晶体管等量工作的情况下指定的。需要了解的是，不同布局可能导致不同的热阻。因此，通过实验方法额外检查封装温度始终是一种好的设计做法。

3.9 爬电距离

根据封装图纸，DSO-28 封装的电气间隙为 1.52mm。TSSOP 产品的相关参数为 0.7 mm。系统的相关要求取决于相应的应用标准（例如[6]或[7]）以及应用条件（例如污染程度等）。

所述的标准和类似资料详细说明了正确计算目标系统爬电距离的相关注意事项。

3.10 布局注意事项

接地电路或门极电路中的寄生电感以 PCB 走线回路的方式存在。它们可能导致相应走线中出现震荡。这可能是 IC 出现异常工作的根本原因。图 14 显示了这些电感和走线回路。

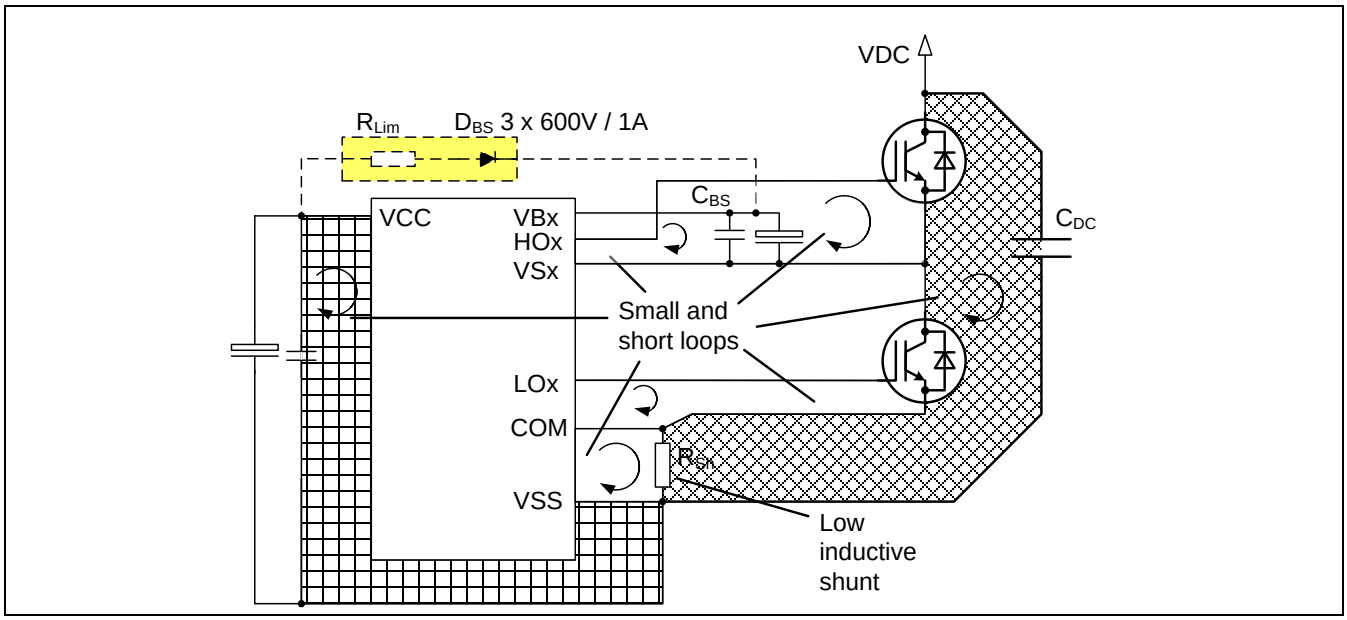


图14 布局中的寄生电感

首先，连接引脚 HOx 和 LOx 与相应的功率器件门极端子的门极走线，以及连接功率器件的发射极/源极端子与 IC 的 VSx 或 COM 的走线都必须尽可能地短。必须尽量减小这些走线的面积。这样可以确保高压侧晶体管与低压侧晶体管具有近似甚至相等的开关速度。应尽量减小由引脚 COM、电流取样电阻和引脚 VSS 构成的回路。图 14 显示了单个电流取样电阻的设计案例。一些系统可能会在驱动器的每一级使用一个电流取样电阻，该电阻位于低压侧晶体管的源极/发射极与引脚 COM 之间。在上述情形下，将引脚 COM 和引脚 VSS 短接。通常通过低阻抗电容器（可能是陶瓷型）来稳定驱动 IC。引脚 VCC、电容器和 VSS 之间的回路也应尽可能地小。这有助于最大限度减小门极电路电感以及自举电路电感。图 14 使用虚线显示可选的自举电路，该电路对 6ED003L06-F2 和 6ED003L02-F2 而言是必需的。其他所有类型都包含集成式自举二极管。即便如此，尽量缩小该回路仍旧很重要。

对于高压侧电源电路也必须做类似的考虑。引脚 VBx、自举电容器 C_{BS} 以及引脚 VS 构成的回路也必须很小。否则，开通时的门极充电过程中可能出现感应电压降，从而导致高压侧部分出现自发性欠压闭锁事件。

最后，如果在正轨与负轨之间靠近功率器件端子的位置放置一个低阻抗薄膜电容器 C_{DC}，将可以部分抵消直流环节走线的电感（如图 14 所示）。

术语表和通用术语

4 使用的参数列表

4.1 一般规则

大写字母 时间常量参数
小写字母 时变参数
斜体字母 物理参数
正体字母 电路中的元器件

表2 使用的参数

参数	说明	参数	说明
A	面积	*p*、*P*	功率
b、*B*	磁通密度	*r*、*R*	电阻
C	电容	*t*、*T*	时间、时间间隔
d、*D*	占空比	*v*、*V*	电压
f	频率	*w*、*W*	能量
i、*I*	电流	*η*	能效
l、*L*	电感		
C	电容器	L	电感器
D	二极管	R	电阻器
IC	集成电路	TR	变压器
AC	交流电值	i	运行变量
avg	平均值	in	输入值
DC	直流电值	max	最大值
BE	基极-发射极	min	最小值
C	集电极值	off	关断/关断状态值
E	发射极值	on	开通/导通状态值
G	门极值	out	输出值
P	初级侧值	p	脉冲
Pk	峰值		
S	次级侧值		

参考资料

[1] International rectifier:IR21364; datasheet, International rectifier, USA, 2009

[2] Fairchild Semiconductors

[3]

[4] KOA corporation:“Handling precautions for flat chip resistors”, Revision B 1.1, application note, KOA corporation, Japan, 2007

[5] KOA corporation:“Flat chip thick film resistors general purpose RK73B”, Revision 10.11.2006, data sheet, KOA corporation, Japan, 2006

[6] IEC 60335-1:"Household and similar electrical appliances – Safety – Part 1:General requirements”, Ed. 4, 2001-05; International Electrotechnical Commission; Geneva, Switzerland, 2001

[7] IEC 664-1:"Insulation coordination for equipment within low-voltage systems – Part 1:Principles, requirements, tests”, Ed. 1, 1992-10; International Electrotechnical Commission; Geneva, Switzerland, 1992

w w w . i n f i n e o n . c o m

英飞凌科技股份公司发布

AN-EICEDRIVER-1