International
IOR Rectifier

APPLICATION NOTE

アプリケーション・ノート：AN-1162

電圧モード誤差増幅器によるBuck型コンバータの補償回路設計手順

Amir M. Rahimi, Parviz Parto, Peyman Asadi 著

目次

ページ

1. 電圧モード誤差増幅器による Buck 型同期整流 DC-DC コンバータの紹介 2
2. システムのループゲイン 5
3. 補償回路の設計手順 6
4. タイプ II（PI）補償回路の設計 7
   4.1 タイプ II 補償装置の設計例 9
5. タイプ III（PID）補償回路 12
   5.1 タイプ III-A 補償回路 13
   5.2 タイプ III-A 補償回路の設計例 15
   5.3 タイプ III-B 補償回路 17
   5.4 タイプ III-B 補償回路の設計例 19
6. 結論 22

付録

A：Buck 型同期整流 DC-DC コンバータのパワー段の設計 23

B：補償回路設計の特殊な例 26

C：ループ特性の測定 30

電圧モード誤差増幅器によるBuck型コンバータの補償回路設計手順

はじめに

Buck型同期整流DC-DCコンバータは、高効率であること、出力電圧が精確であること、サイズ条件の制約を満足することから、低電圧DC-DCコンバータ用途で大きく注目されています。インターナショナル・レクティファイアー（IR）社では上記の条件に対応するBuckレギュレータ *SupIRBuck*™ を実用化しています。これらのレギュレータはIRの最新MOSFET技術に、高性能ICコントローラ処理技術を組み合わせたものです。外部ループ補償によるPWMモード制御スキームにより、良好な雑音耐性を実現し、インダクタとコンデンサの種類選択の際の柔軟性が最大限確保されます。スイッチング周波数は250*kHz*から1.5*MHz*の範囲でプログラム可能で、大きさと性能の面で最適設計を実現することができます。

このアプリケーション・ノートでは、Buck型DC-DCコンバータを電圧モード誤差増幅器により安定化させる方法を論じます。その狙いは、この制御スキームの利点に着目し、高性能フィードバック・ループにより、負荷急変への高速応答と精確かつ安定した出力が実現可能であることを説明することです。

1. 電圧モード誤差増幅器によるBuck型同期整流DC-DCコンバータの紹介

電圧モード制御と電圧モード誤差増幅器を持ったBuckコンバータは、比例積分（PI）型の補償回路で安定化しますが、高い性能を実現するには、これよりも高度な補償ネットワークが必要となります。これは特にMLCC（Multi Layer Ceramic Capacitor）を使用する場合にいえます。MLCCは、その等価直列抵抗*ESR*と等価直列インダクタンス*ESL*が低いことから、低電圧DC-DCコンバータの出力に多く使用されています。低ESLにより高い共振周波数が得られることから、MLCCは高いスイッチング周波数で最適となります。それとは別に、低*ESL*と低*ESR*は出力電圧のスイッチング・リップルが小さく、好ましい特性です。一方では、MLCCの出力コンデンサでDC-DCコンバータの安定化を図る場合、電解コンデンサの出力コンデンサでコンバータを安定化させる場合よりも注意を要します。使用する出力フィルタ構成部品の種類や大きさ、さらには設計パラメータ（スイッチング周波数、帯域幅など）により、求められる補償ネットワークも異なってくる場合があります。さらに、希望する性能を達成するには、補償ネットワークのパラメータを正しく調整する必要があります。本文書では、各種の条件下で適切な補償ネットワークを設計するためのガイドラインを説明するとともに、例を交えて補償回路の設計手順を説明します。

図1に電圧モード制御と電圧モード誤差増幅器による一般的なBuck型同期整流DC-DCコンバータを示します。

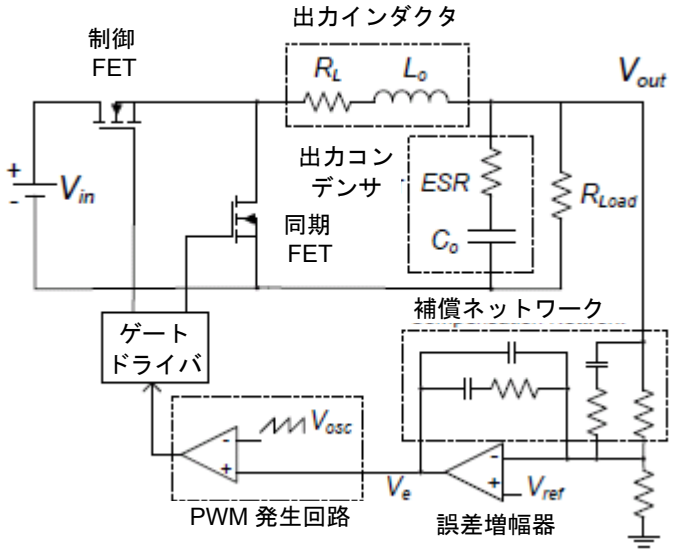


図1. 電圧モード誤差増幅器によるBuck型同期整流DC-DCコンバータの簡単な回路図

図1で、R_Lは出力インダクタの直流抵抗、*ESR*は出力コンデンサの等価直列抵抗です。解析の簡素化を図るため、出力コンデンサの*ESL*は無視します。図1に示す回路は、図2に示すように3つのブロックにモデリングできます。パワー段$G_p(s)$はスイッチ、ドライバ、出力インダクタ、出力コンデンサで構成されます。PWM発生回路のモデルは単に1/ V_{osc} [2] となり、V_{osc}はデータシートに記載された発振器（のこぎり波／三角波）の頂点間の電圧振幅です。補償回路ブロック*H(s)*は、補償ネットワークを持った誤差増幅器を表します。

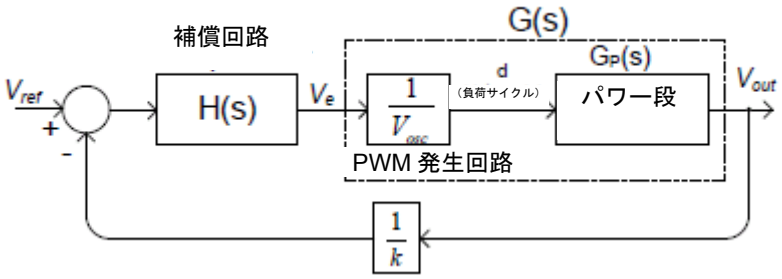


図2. Buck型同期整流DC-DCコンバータのブロック図モデル

パワー段の伝達関数は、次のように簡素化することができます：

$$C_P(s) = \frac{V_{out}}{d}(s) = \frac{R_{Load}(C_0 \cdot ESR \cdot s + 1)}{L_0 C_0 \cdot s^2 (R_{Load} + ESR) + s \cdot (L_0 + R_{Load} \cdot C_0 \cdot ESR) + R_{Load}} \cdot V_{in} \quad (1)$$

「s」は伝達関数が周波数の関数として変化することを示しています。簡素化を図る意味で、PWM発生回路とパワー段の伝達関数は複合することができます：

$$G(s) = G_P(s) \cdot \frac{1}{V_{OSC}} \quad (2)$$

したがって、通常G(s)はパワー段の伝達関数と呼ばれます。式(1)分母の多項式はパワー段の伝達関数のポールと呼ばれます。同様に式(1)分子の根はパワー段の伝達関数のゼロとなります。パワー段の伝達関数は、（LCフィルタの）共振周波数においてダブル･ポールを持つ2次系です。出力コンデンサの*ESR*によってゼロが作り出されます。*ESR*に関係する共振周波数とゼロ周波数は式(3)と(4)から得られます。図3にはパワー段のおおよそのボード線図を示します。ダブル･ポールなのでゲインが-40dB/dec（-12dB/oct）の傾斜でゼロ周波数F_{ESR}まで低下し、1つのポールの補償が行われます。ゼロ周波数は出力コンデンサの特徴的なパラメータで、使用するコンデンサの種類に依存します。この周波数は電解コンデンサの場合は数*kHz*の低い周波数、セラミック・コンデンサの場合は数*MHz*の高い周波数となります。パワー段の設計に関するさらに詳しい情報を付録Aに記述します。

$$F_{LC} = \frac{1}{2 \cdot \pi \cdot \sqrt{L_0 \cdot C_0}} \quad \text{（ダブル･ポールの周波数）} \quad (3)$$

$$F_{ESR} = \frac{1}{2 \cdot \pi \cdot ESR \cdot C_0} \quad \text{（ゼロの周波数）} \quad (4)$$

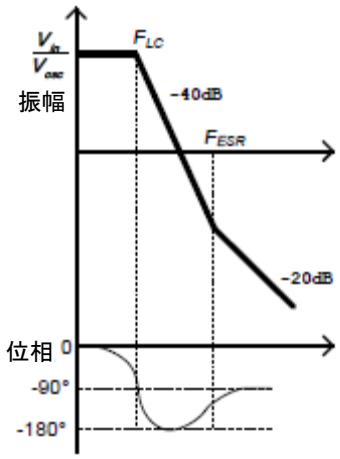


図3. Buck型DC-DCコンバータのパワー段のボード線図

2. システムのループゲイン

システムのループゲインは、クローズド制御ループにわたる伝達関数の積と定義されます。図2から、ループゲインは次のように定義されます：

$$M(s)=\frac{1}{k}\cdot H(s)\cdot\frac{1}{V_{OSC}}\cdot G_p(S)=\frac{1}{k}\cdot H(s)\cdot G(s) \quad (5)$$

このとき1/*k*は、V_{out} > V_{ref}のときにフィードバック・ループに使用される抵抗分割回路のゲインを表します。次の各セクションでも説明するように、補償ネットワーク構成の中には、一部にこの項（1/*k*）が相殺され、ループゲインの式に表れないものもあります。

パワー段のボード線図と希望ループゲインを図4に示します。このとき、F_oはループゲインが1(0*dB*)になるときの周波数で、ゼロクロス周波数F_oです。F_oは「ループ帯域幅」や「システム帯域幅」とも呼ばれます。

一般的にF_oはスイッチング周波数の1/10～1/5の範囲で設定します。F_oは動的な負荷急変への応答速度を決定するもので、周波数が高いほど負荷急変への応答が速くなります。ただし、ゼロクロス周波数はスイッチング・ノイズを減衰することができる低い周波数である必要があります。F_oにおけるループゲインの傾斜率は、システムの安定性を確保するために、約-20*dB/dec*（-6*dB/oct*）とする必要があります。全体的な安定性を実現するには、位相マージンが45°以上にします。

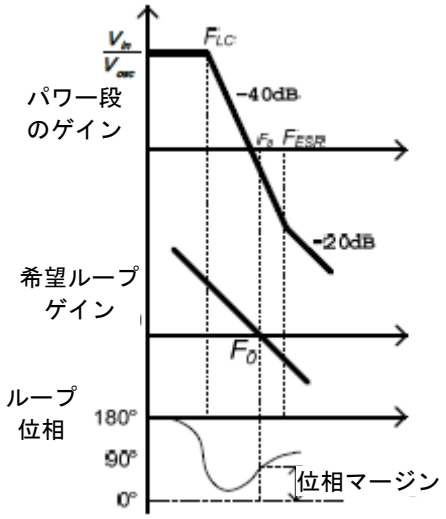


図4. パワー段、希望ループゲイン、ループ位相のボード線図

3. 補償回路の設計手順

「はじめに」の項でも述べたとおり、適切な性能を持った安定性の高いクローズド・ループBuck型DC-DCコンバータを実現するには、補償回路を正しく設計する必要があります。補償回路設計の一般的な手順は次の通りです：

手順1：
入力電圧、出力電圧、最大出力電流、スイッチング周波数、入力コンデンサ、出力コンデンサ、出力インダクタンスなどのシステム・パラメータを集めます。

手順2：
式(3)と(4)を使用してパワー段のポールとゼロを決定します。

手順3：
ループF_0のゼロクロス周波数を決定します。この周波数は通常、スイッチング周波数の1/10～1/5の範囲で選択します。

$$F_o = (1/10 \sim 1/5) \cdot F_s \quad (6)$$

手順4：
補償の種類を決定します。補償の種類は、表1に示すゼロクロス周波数の位置ならびに出力コンデンサの特徴によって決定されます。

手順5：
選択した補償回路のポールとゼロの希望位置を決定します（この点は、補償回路の種類ごとに説明します）。

手順6：
希望するポールとゼロが得られるように、選択した補償回路の実際のパラメータ（抵抗とコンデンサ）を計算します。計算値に極力近くなるように、抵抗とコンデンサの標準値を選択します。

表1. 補償の種類とゼロクロス周波数の位置

補償回路の種類	ゼロクロス周波数と パワー段周波数の位置	コンデンサの一般的な出力
タイプII (PI)	$F_{LC}<F_{ESR}<F_0<F_S/2$	電解、POS-Cap, SP-Cap
タイプIII-A (PID)	$F_{LC}<F_0<F_{ESR}<F_S/2$	POS-Cap, SP-Cap
タイプIII-B (PID)	$F_{LC}<F_0<F_S<F_{ESR}$	セラミック

4.タイプII（PI）補償回路の設計

タイプII補償は、出力コンデンサとその*ESR*から生じるゼロ周波数F_{ESR}が、次のようにクローズド・ループ帯域幅F_oよりも小さい場合に使用します。

$$F_{LC}<F_{ESR}<F_0<F_S/2 \tag{7}$$

この条件は通常、出力コンデンサが電解型の場合に満足されます。この種のコンデンサのF_{ESR}は数kHzの範囲となります。[4]
図5はタイプII（PI）補償回路の概略図です。

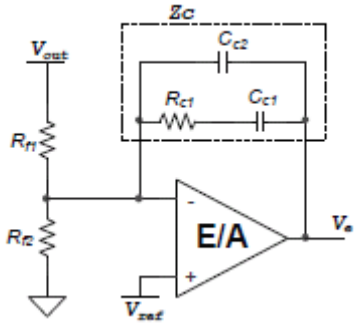


図5. タイプII（PI）補償回路

誤差増幅器（*E/A*）のゲイン/帯域幅が極めて高いものと想定すると、この補償回路の伝達関数は下式で得られます：

$$H(s) = \frac{V_e}{V_{OUT}}(s) = \frac{1 + R_{C1} \cdot C_{C1} \cdot s}{R_{f1} \cdot s \cdot (C_{C1} + C_{C2}) \cdot (R_{C1}\frac{C_{C1} \cdot C_{C2}}{C_{C1} + C_{C2}}) \cdot s + 1} \tag{8}$$

コンデンサC_{c2}はC_{c2}<<C_{c1}となるように選択されます。したがって：

$$H(s) \approx \frac{1 + R_{C1} \cdot C_{C1} \cdot s}{R_{f1} \cdot s \cdot C_{C1} \cdot (R_{C1} \cdot C_{C2}) \cdot s + 1} \tag{9}$$

式(8)分子の根は、補償回路のゼロであり、分母の根は補償回路のポールです。したがって、補償回路は次のように原点（積分要素）にポールを持ち、もう1つのポールと、1つのゼロを持ちます。

$$F_{z1} = \frac{1}{2\pi \cdot R_{f1} \cdot C_{C1}} \tag{10}$$

$$F_{p2} = \frac{1}{2\pi \cdot R_{c1} \cdot C_{C2}} \tag{11}$$

パワー段、タイプII補償回路、及び希望ループゲインのおおよそのボード線図を図6に示します。

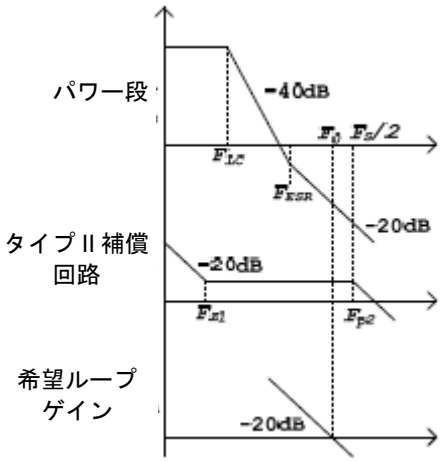


図6. パワー段、希望ループゲイン、タイプII補償回路のボード線図

各ポールはループの位相を90°低下し、各ゼロは位相を90°上昇します。ポール／ゼロの位相変化はポール／ゼロの周波数の約1桁下で始まり、その約1桁上で終わります。ネガティブ・フィードバック（*H(s)*がマイナス）なので、はじめは補償回路に180°の位相シフトがあり、ポールとゼロによる位相変化をこの180°に加えます。したがって、安定したシステムを得るには、ゲインが1(0dB)よりも大きい場合、ループ全体の位相は絶対に360°/0°（もしくはその近辺）となってはなりません。ゼロクロス周波数F_oの時、位相は少なくとも45°（位相マージン45°）にします。

補償回路は原点にポールがあるので、補償回路のゼロは、ループの位相がF_{LC}近辺で0°近くに下がらないようにするため、LCフィルタのダブル・ポールよりも低い周波数に位置づける必要があります。通常、次の式を用います：

$$F_{Z1} \approx 0.75 \cdot F_{LC} \tag{12}$$

補償回路の第2のポールは、その遅れ位相（位相低下）がループの位相マージンを低下させないようにするために、ゼロクロス周波数よりも高くします。一方で、スイッチング・リップルに対して十分な減衰が得られるよう、スイッチング周波数よりも低くします。下記の式により合理的な妥協点が得られます：

$$F_{p2} \approx F_S / 2 \tag{13}$$

F_{z1}とF_{p2}を選択したら、補償回路の構成部品の値が計算できます。

補償回路のパラメータ値の計算は、ある程度の自由があります。手順は合理的なR_{f1}値を選択して開始しますが、これはスタートとして数kΩとするのが良いでしょう。出力電圧（図5）の設定にR_{f1}とR_{f2}が使用され、R_{f2}は次の式で計算できます：

$$R_{f2} = \frac{R_{f1} \cdot V_{ref}}{V_{OUT} - V_{ref}} \tag{14}$$

誤差増幅器出力から出力電圧への伝達関数は、次式のようになります：

$$G(s) = \frac{V_{OUT}}{V_e}(s) = \frac{V_{in}}{V_{OSC}} \cdot \frac{R_{Load}(C_0 \cdot ESR \cdot s + 1)}{L_0 C_0 \cdot s^2(R_{Load} + ESR) + s \cdot (L_0 + R_{Load} \cdot C_0 \cdot ESR) + R_{Load}} \quad (15)$$

上記の式でV_{osc}は、のこぎり波／三角変調信号の振幅となります。ゼロクロス周波数におけるループゲインの振幅は1(0*dB*)となります。したがって：

$$\left|H(s) \cdot G(s)\right|_{f=F_0} = 1 \quad (16)$$

式(9)、(15)、(16)を使用して、R_{c1}は次のように計算します：

$$R_{C1} = \frac{R_{f1} \cdot F_{ESR} \cdot V_{OSC} \cdot F_0}{V_{in} \cdot F_{LC}^2} \quad (17)$$

F_{z1}が選択され、R_{c1}が計算されたことから、C_{c1}は次のように計算します：

$$C_{C1} = \frac{1}{2\pi \cdot R_{C1} \cdot F_{Z1}} = \frac{1}{1.5\pi \cdot R_{C1} \cdot F_{LC}} \quad (18)$$

同様にC_{c2}を次のように計算します：

$$C_{C2} = \frac{1}{2\pi \cdot R_{C1} \cdot F_{P2}} = \frac{1}{\pi \cdot R_{C1} \cdot F_S} \quad (19)$$

4.1 タイプII補償装置の設計例

この設計には、図7に示す *SupIRBuck*™ IR3840レギュレータを使用します：

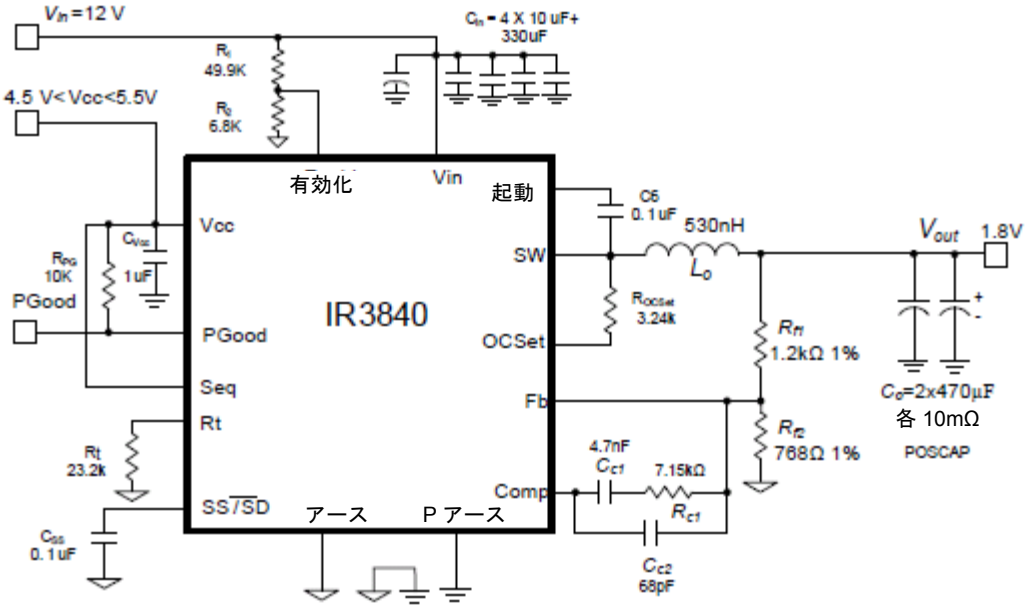


図7. タイプII補償回路によるIR3840の12A, 1.8V レギュレータへの応用

手順1：
入出力電圧、スイッチング周波数など、システム情報を集めます。

V_{in} = 12V

V_{out} = 1.8V

V_{ref} = 0.7V

V_{osc} = 1.8V

L_0=530nH

C_0=2×470μF

$ESR\ (C_o)$ = 各10$m\Omega$

F_s=600kHz

I_0(max) = 12A

手順2：
パワー段のポールとゼロを計算します。
式(3)を使用し、パワー段のダブル･ポールは次のようになります：

$$F_{LC} = \frac{1}{2\pi \cdot \sqrt{L_0 \cdot C_0}} = \frac{1}{2\pi \times \sqrt{530nH \times 940\mu F}} = 7.1kHz$$

出力コンデンサの*ESR*によって生じるゼロは、式(4)を使って計算します：

$$F_{ESR} = \frac{1}{2\pi \cdot ESR \cdot C_0} = \frac{1}{2\pi \times 10m\Omega \times 470\mu F} = 33.8kHz$$

手順3：
スイッチング周波数の1/10となるように、ゼロクロス周波数を選択します。

$$F_0 = 60kHz$$

手順4：
補償回路の種類を選択します。$F_{LC} < F_{ESR} < F_0 < F_S/2$なので、タイプII補償回路が適当です。

手順5：
補償回路のポールとゼロを選択します。式(13)と(12)から次のようになります：

$$F_{Z1} = 0.75 \cdot F_{LC} = 0.75 \times 7.1kHz - 5.33kHz$$

$$F_{P2} = F_S / 2 = 600kHz \div 2 = 300kHz$$

手順6：

補償回路の実際のパラメータ（抵抗とコンデンサ）を計算します。R_{f1} = 1.2kΩを選択します。R_{f2}を式(14)を使って計算します：

$$R_{f2} = \frac{1.2k\Omega \times 0.7V}{(1.8V - 0.7V)} = 764\Omega$$

R_{f2} = 768Ωを選択します。式(17)を使ってR_{c1}を計算します。

$$R_{C1} = \frac{1.2k\Omega \times 33.8kHz \times 1.8V \times 60kHz}{12V \times (7.1kHz)_2} = 7.24k\Omega$$

R_{c1} = 7.15kΩを選択します。式(18)を使ってC_{c1}を計算します。

$$C_{C1} = \frac{1}{2\pi \times 7.15k\Omega \times 5.33kHz} = 4.2nF$$

C_{c1} = 4.7nF（4,700pF）を選択します。式(19)を使ってC_{c2}を計算します。

$$C_{C2} = \frac{1}{2\pi \times 7.15k\Omega \times 300kHz} = 74pF$$

C_{c2} = 68pFを選択します。この設計例で実験的に測定したループのボード線図を図8に示します。このときのゼロクロス周波数は約61kHzで、位相マージンは約54°です。

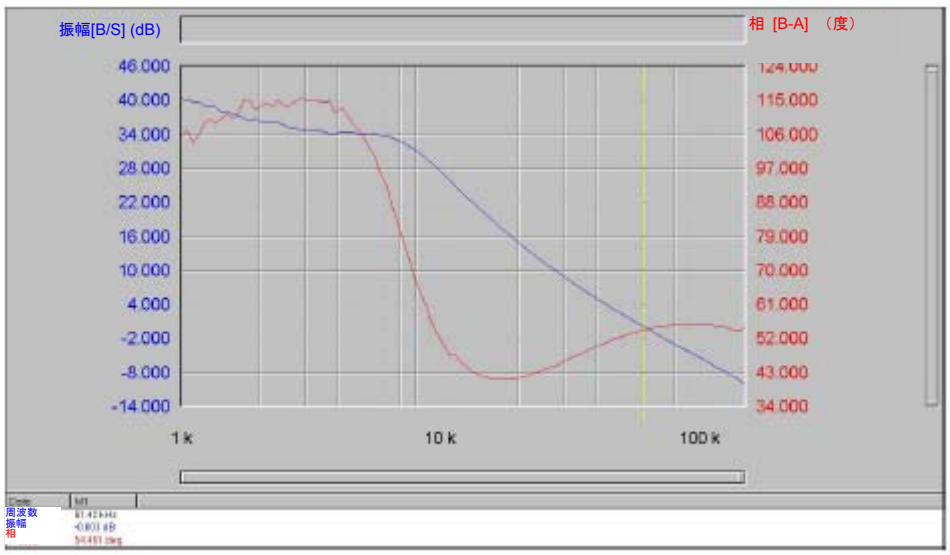


図8. タイプII補償回路による設計例のループのボード線図

5. タイプIII（PID）補償回路

どのような出力コンデンサにも無条件に安定性をもたらし、広範な*ESR*値を実現する一般的な方法として、タイプIII補償ネットワークによるローカル･フィードバックがあります。これは$F_0 < F_{ESR}$の場合にタイプII補償回路が使えず、タイプIII補償回路を使用します。電圧モードPWMコンバータに使用される一般的なタイプIII（PID）補償ネットワークを図9に示します。

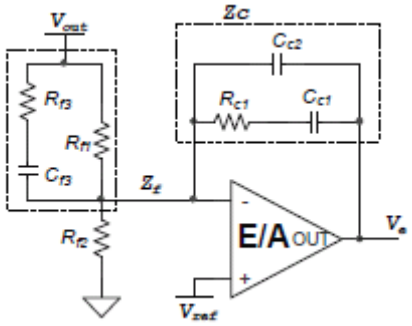


図9. タイプIII（PID）補償回路

タイプIII補償回路の伝達関数は次の式で得られます：

$$H(s) = \frac{V_e}{V_{OUT}} = -\frac{Z_C}{Z_f} \tag{20}$$

$$H(s) = \frac{(1 + s \cdot R_{C1} \cdot C_{C1}) \cdot [1 + s \cdot C_{f3} \cdot (R_{f1} + R_{f3})]}{s \cdot R_{f1} \cdot (C_{C1} + C_{C2}) \cdot \left[1 + s \cdot R_{C1}\left(\frac{C_{C1} \cdot C_{C2}}{C_{C1} + C_{C2}}\right)\right] \cdot (1 + s \cdot R_{f3} \cdot C_{f3})} \tag{21}$$

C_{c2}とR_{c1}によって生成されるポールは、C_{c1}とR_{C1}によって生成されるゼロの周波数と比較して、通常は大幅に高い周波数に設定されます。これは$C_{c2} << C_{c1}$であることを意味し、したがって：

$$H(s) \approx \frac{(1 + R_{C1} \cdot C_{C1} \cdot s) \cdot [1 + s \cdot C_{f3} \cdot (R_{f1} + R_{f3})]}{s \cdot R_{f1} \cdot C_{C1} \cdot (R_{C1} \cdot C_{C2} \cdot s + 1) \cdot (1 + s \cdot R_{f3} \cdot C_{f3})} \tag{22}$$

補償回路は下記のように2つのゼロと3つのポールを持ちます：

$$F_{Z1} = \frac{1}{2\pi \cdot R_{C1} + C_{f1}} \tag{23}$$

$$F_{Z2} = \frac{1}{2\pi \cdot C_{f3} \cdot (R_{f1} + R_{f3})} \tag{24}$$

$$F_{p1} = 0 \tag{25}$$

$$F_{p2} = \frac{1}{2\pi \cdot C_{f3} \cdot R_{f3}} \tag{26}$$

$$F_{p3} = \frac{1}{2\pi \cdot R_{C1} + C_{C2}} \tag{27}$$

タイプIII補償回路の設計は、F_{ESR}の相対的な位置により、タイプIII-Aとタイプ III-Bの2種類に分類されます。

5.1 タイプIII-A補償回路

*ESR*により生じるゼロがスイッチング周波数の半分に満たない場合、つまり、式(28)が成り立つ場合、タイプIII-A補償回路を使用します：

$$F_{LC} < F_0 < F_{ESR} < F_s / 2 \tag{28}$$

式(28)は、DC-DCコンバータの出力にOSCON、POS-CapまたはSP-Cap等のコンデンサが使用されるときに生じる可能性があります。このようなとき、補償回路のポールとゼロは次のようになります：

$$F_{Z2} = F_{LC} \tag{29}$$

$$F_{Z1} = 0.75 \cdot F_{Z2} = 0.75 \cdot F_{LC} \tag{30}$$

$$F_{p2} = F_{ESR} \tag{31}$$

$$F_{p3} = F_s / 2 \tag{32}$$

タイプIII-A補償回路のパワー段及び希望ループゲインのおおよそのボード線図を図10に示します。

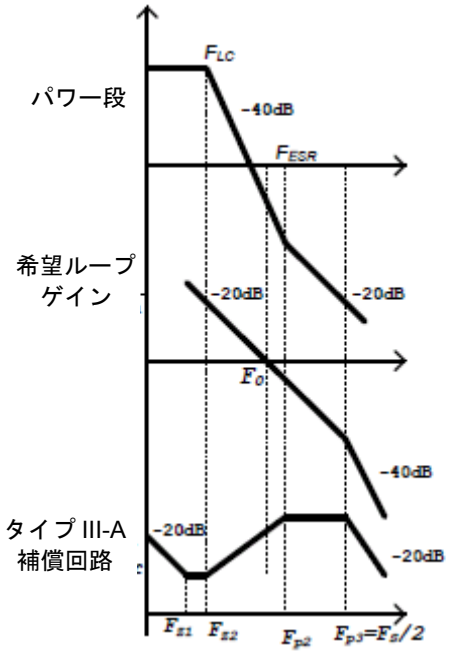


図10. パワー段、希望ループゲイン、タイプIII-A補償回路のボード線図

補償回路の最初のゼロF_{z1}は原点にあるポールの位相遅れを補償します。2つ目のゼロF_{z2}は、ループのボード線図のF_0の傾斜率が約-20*dB/dec*（-6*dB/oct*）となるようにLCフィルタのポールを1つ補償します。補償回路の2つ目のポールF_{p2}及びコンデンサ*ESR*のゼロF_{ESR}は互いに相殺し、3つ目のポールF_{p3}は$F_s/2$を超える周波数に加えられる減衰を高めるためのものです。

補償回路のパラメータは次のように計算することができます。まず、C_{f3}の値を選択します（2.2*nF*=2,200*pF*程度のスタートがよいでしょう）。式(26)を使用してR_{f3}を計算します：

$$R_{f3} = \frac{1}{2\pi \cdot C_{f3} \cdot F_{p2}} \tag{33}$$

式(24)を使用してR_{f1}を計算します：

$$R_{f1} = \frac{1}{2\pi \cdot C_{f3} \cdot F_{Z2}} - R_{f3} \tag{34}$$

式(14)を使用してR_{f2}を計算し、次の式でR_{c1}を計算します：

$$R_{C1} = \frac{2\pi \cdot F_0 \cdot L_0 \cdot C_0 \cdot V_{OSC}}{V_{in} \cdot C_{f3}} \tag{35}$$

式(23)を使用してC_{c1}を計算します：

$$C_{C1} = \frac{1}{2\pi \cdot R_{C1} \cdot F_{Z1}} \tag{36}$$

式(27)を使用してC_{c2}を計算します：

$$C_{C2} = \frac{1}{2\pi \cdot R_{C1} \cdot F_{p3}} \tag{37}$$

5.2 タイプIII-A補償回路の設計例

この設計には、図11に示す*SupIRBuck*™ IR3840レギュレータを使用します。

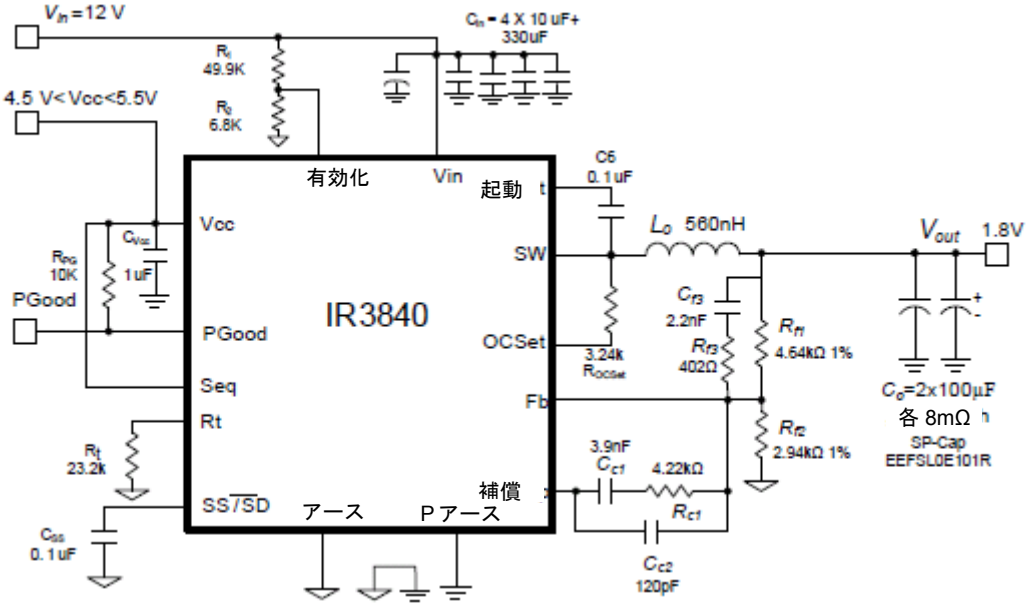


図11. タイプIII-A補償回路によるIR3840の12A, 1.8V レギュレータへの応用

手順1：

入出力電圧、スイッチング周波数など、システム情報を集めます。

V_{in} = 12*V*

V_{Out} = 1.8*V*

V_{ref} = 0.7*V*

V_{osc} = 1.8*V*

L_0=560*nH*

C_0=2×110μF

ESR (C_o) = 各8*mΩ*

F_S=600*kHz*

I_o*(max)* = 12*A*

手順2：

式(3)と(4)を使ってパワー段のポールとゼロを計算します。

$$F_{LC} = \frac{1}{2\pi \times \sqrt{560nH \times 220\mu F}} = 14.34kHz$$

$$F_{ESR} = \frac{1}{2\pi \times (8m\Omega \div 2) \times 220\mu F} = 180kHz$$

手順3：
スイッチング周波数の約1/8となるようにゼロクロス周波数F_0を選択します。

$$F_0 = Fs/8 \fallingdotseq 80kHz$$

手順4：
補償回路の種類を選択します。$F_{LC} < F_0 < F_{ESR} < F_S/1$であることから、ここではタイプIII-A補償回路が適します。

手順5：
補償回路のポールとゼロを選択します。ポールとゼロは、式(29)と(32)で計算します：

$$F_{Z2} = F_{LC} = 14.34kHz$$

$$F_{Z1} = 0.75 \times 14.34kHz = 10.8kHz$$

$$F_{p2} = F_{ESR} = 180kHz$$

$$F_{P3} = 600kHz / 2 = 300kHz$$

手順6：
補償回路のパラメータ値を計算します。式(33)を使用し、C_{f3} = 2.2*nF*(2,200*pF*)を選択します。

$$R_{f3} = \frac{1}{2\pi \times 2.2nF \times 180kHz} = 401.9\Omega$$

R_{f3} = 402Ωを選択します。式(34)を使ってR_{f1}を計算します：

$$R_{f1} = \frac{1}{2\pi \times 2.2nF \times 14.34kHz} - 402 = 4.64k\Omega$$

R_{f1} = 4.64*k*Ωを選択します。式(14)を使ってR_{c1}を計算します：

$$R_{f2} = \frac{4.64k\Omega \times 0.7V}{(1.8V - 0.7V)} = 2.95k\Omega$$

R_{f2} = 2.94*k*Ωを選択します。式(35)を使ってR_{c1}を計算します：

$$R_{C1} = \frac{2\pi \times 80kHz \times 560nH \times 220\mu F \times 1.8V}{12V \times 2.2nF} = 4.22k\Omega$$

R_{c1} = 4.22*k*Ωを選択します。式(36)を使ってC_{c1}を計算します：

$$C_{C1} = \frac{1}{2\pi \times 4.22k\Omega \times 10.8kHz} = 3.49nF$$

C_{c1} = 3.9*nF*(3,900*pF*)を選択します。式(37)を使ってC_{c2}を計算します：

$$C_{C2} = \frac{1}{2\pi \times 4.22k\Omega \times 300kHz} = 125\,pF$$

C_{c2} = 120*pF*を選択します。

この設計例で実験的に測定したループのボード線図を図12に示します。このときのループのゼロクロス周波数は$F_0 \approx 77kHz$で、位相マージンは約53°です。

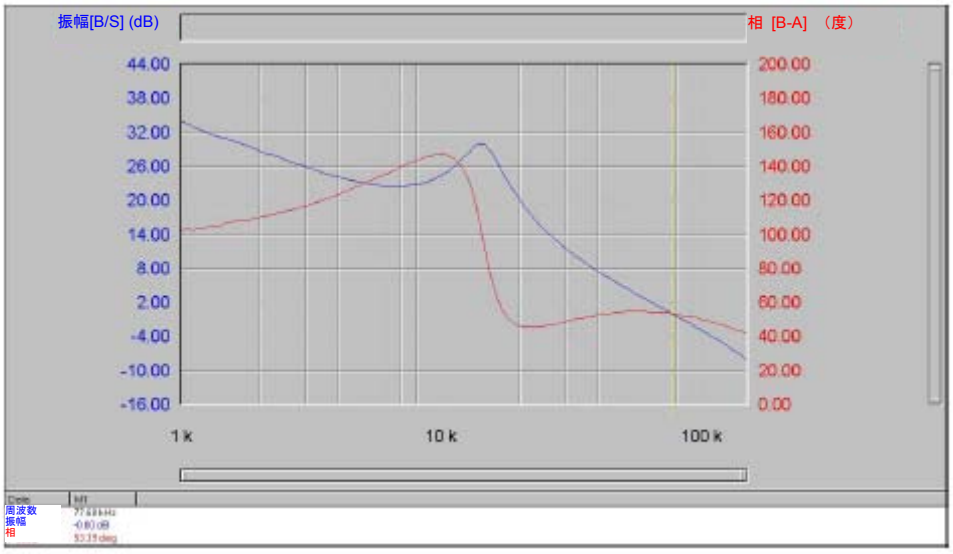


図12. タイプIII-A補償回路による設計例のループのボード線図

5.3 タイプIII-B補償回路

*ESR*により生じるゼロがスイッチング周波数の半分に満たない場合、つまり、式(38)が成り立つ場合、タイプIII-B補償回路を使用します：

$$F_{LC} < F_0 < F_s / 2 < F_{ESR} \tag{38}$$

式(38)は、DC-DCコンバータの出力側にMLCCコンデンサが使用されているときに生じます。また、POS-CapやSP-Capコンデンサを使用した場合でもタイプIII-B系となることがあります。このようなとき、補償回路のポールとゼロは次のようになります：

$$F_{p3} = F_S / 2 \tag{39}$$

F_{z2}とF_{p2}の対（補償回路の第2のポールと第2のゼロ）はリード補償回路として捉え、この対の最大位相リードがゼロクロス周波数F_oで起きるように位置を決めます。ゼロクロス周波数 [3] において最大位相リードθが得られるようにF_{z2}とF_{p2}の位置を決定するには、下記式を使用します：

$$F_{Z2} = F_0 \cdot \sqrt{\frac{1-Sin\theta}{1+Sin\theta}} \tag{40}$$

$$F_{p2} = F_0 \cdot \sqrt{\frac{1+Sin\theta}{1-Sin\theta}} \tag{41}$$

通常、θは70°程度とし、これはリード補償回路から得られ、実用的な位相リードのおおよその最大値です。補償回路のもう片方のゼロは次の式を使って選択します：

$$F_{Z1} = 0.5 \cdot F_{Z2} \tag{42}$$

パワー段、希望ループゲイン、タイプIII-B補償回路のおおよそのボード線図を図13に示します。場合により、式(41)で計算されるF_{p2}の値がF_{p3}よりも高くなることがあります。ポールの順番は重要ではありませんが、図13に示すようにF_0よりも高い補償回路のポールが必ず2つあることが重要です。F_{z1}は原点にあるポールの位相遅れを補償します。F_{z2}とF_{p2}はリード補償回路を構成し、その最大リード位相はゼロクロス周波数で提供され、$F_s/2$を越える周波数についてはF_{p3}がさらなる減衰を行います。

タイプIII-A補償回路の計算と同様に、補償回路のパラメータを計算することができます。つまり、C_{f3}の値を選択し、つづいて式(33)と(37)を使用して補償回路のパラメータを計算します。

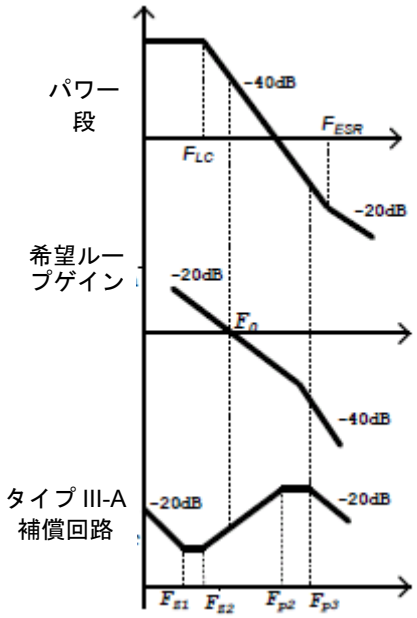


図13. パワー段、希望ループゲイン、タイプIII-B補償回路のボード線図

5.4 タイプIII-B補償回路の設計例

この設計には、図14に示す*SupIRBuck*™ IR3842レギュレータを使用します。

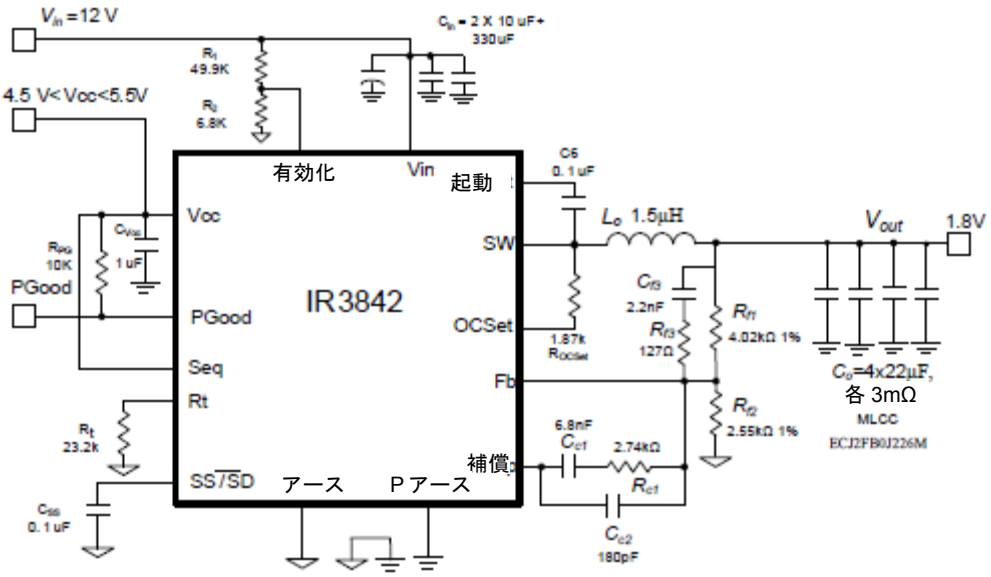


図14. タイプIII-B補償回路によるIR3842の4A, 1.8V レギュレータへの応用

手順1：

入出力電圧、スイッチング周波数など、システム情報を集めます。

$V_{in} = 12V$

$V_{Out} = 1.8V$

$V_{ref} = 0.7V$

$V_{osc} = 1.8V$

$L_0 = 1.5\mu H$

$C_0 = 4 \times 10.8\mu F = 43.2\mu F$

$ESR\ (C_o) =$ 各$3m\Omega$

$F_S = 600kHz$

$I_o(max) = 4A$

ここで指摘する必要があるのは、補償回路設計に使用するコンデンサの値は小信号値(small signal)でなければならないことです。セラミック・コンデンサは、バイアス電圧が上がるとその静電容量を一部失います。この例で使用するMLCCコンデンサは22μFの公称静電容量を持ちますが、バイアス電圧と600kHzという条件下では、その静電容量は約10.8μFに低下します。そのため、補償に関連するすべての計算にはこの小信号値を使用しなければなりません。小信号値はメーカーのデータシート、設計ツール、SPICEモデル [4] などから取得できます。この他に、コン

バータのパワー段伝達関数とダブル･ポール周波数F_{LC}を測定し、式(3)を使って小信号値を比較することで推測することもできます（付録Cを参照）。

手順2：
式(3)と(4)を使ってパワー段のポールとゼロを計算します。

$$F_{LC} = \frac{1}{2\pi \times \sqrt{43.2\mu F \times 1.5\mu H}} = 19.7kHz$$

$$F_{ESR} = \frac{1}{2\pi \times 3m\Omega \times 10.8\mu F} = 4.9MHz$$

手順3：
スイッチング周波数の約1/6となるようにゼロクロス周波数を選択します。

$$F_0 = 100kHz$$

手順4：
補償回路の種類を選択し、$F_{LC} < F_0 < F_S/2 < F_{ESR}$なのでタイプIII-B補償回路が適します。

手順5：
式(40)と(41)を使ってポールとゼロを計算します：

$$F_{Z2} = 100kHz \times \sqrt{\frac{1-Sin70^\circ}{1+Sin70^\circ}} = 17.6kHz$$

$$F_{p2} = 100kHz \times \sqrt{\frac{1+Sin70^\circ}{1-Sin70^\circ}} = 567kHz$$

式(42)を使い：

$$F_{Z1} = 0.5 \times 17.6kHz = 8.8kHz$$

式(39)を使い：

$$F_{p3} = 600kHz \div 2 = 300kHz$$

手順6：
補償回路のパラメータ値を計算します。式(33)を使用し、C_{f3} = 2.2nFを選択します。：

$$R_{f3} = \frac{1}{2\pi \times 2.2nF \times 567kHz} = 127.6\Omega$$

R_{f3} = 127Ωを選択します。式(34)を使ってR_{f1}を計算します：

$$R_{f1} = \frac{1}{2\pi \times 2.2n \times 17.6kHz} - 127\Omega = 3.98k\Omega$$

R_{f1} = 4.02kΩを選択します。式(14)を使ってR_{f2}を計算します：

$$R_{f2} = \frac{4.02k\Omega \times 0.7V}{(1.8V - 0.7V)} = 2.56k\Omega$$

R_{f2} = 2.55kΩを選択します。式(35)を使ってR_{c1}を計算します：

$$R_{C1} = \frac{2\pi \times 100kHz \times 1.5\mu H \times 43.2\mu F \times 1.8V}{12V \times 2.2nF} = 2.77k\Omega$$

R_{c1} = 2.74kΩを選択します。式(36)を使ってC_{c1}を計算します：

$$C_{C1} = \frac{1}{2\pi \times 2.74k\Omega \times 8.8kHz} = 6.6nF$$

C_{c1} = 6.8nF(6,800pF)を選択します。式(37)を使ってC_{c2}を計算します：

$$C_{C2} = \frac{1}{2\pi \times 2.74k\Omega \times 300kHz} = 193pF$$

C_{c2} = 180pFを選択します。ループのボード線図を図8に示します。ここではクローズド・ループ系のゼロクロス周波数はF_0 ≈ 105kHz、位相マージンは約51°です。

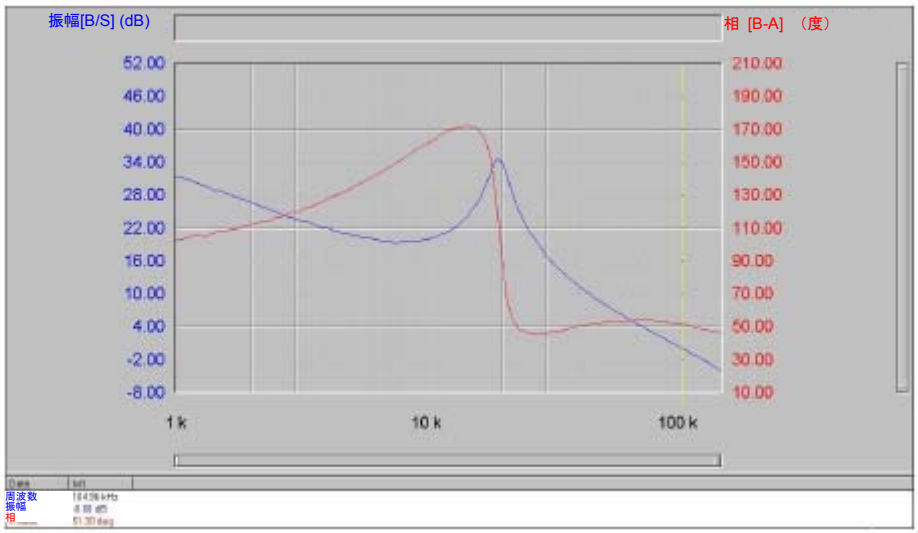


図8. タイプIII-B補償回路による設計例のループのボード線図

6. 結論

ここでは、電圧モード誤差増幅器をベースにしたBuck型同期整流DC-DCコンバータ用の制御ループの設計について論じました。電解コンデンサ、またはタンタルコンデンサを使用する場合、単純なタイプII補償回路を使用することができます。セラミック・コンデンサや、高性能POS-CapやSP-Capによる出力コンデンサの場合、タイプIII補償回路が必要となります。

このアプリケーション・ノートでは *SupIRBuck*™ IR3840とIR3842レギュレータを例にしましたが、ここで提案する設計手法は、電圧モード誤差増幅器を用いる他の各種Buckレギュレータ／制御ICを使用する場合にも適用することができます。

References

[1] M. Qiao, P. Parto, and R. Amirami, “Stabilize the Buck Converter with Transconductance Amplifier,” *IR-application note AN-1043, 2002*

[2] Ned Mohan, Tore M. Undeland, and William P. Robbins, *Power Electronics : Converters, Applications, and Design*, New Tork : John Wiley & Sons, ISBN:0-471-22693-9, 2003

[3] R. W. Erickson, and D. Maksimovic, *Fundamentals of Power Electronics*, New York: Springer Science + Business Media, ISBN: 978-0-7923-7270-7, 2001

[4] P. Asadi, Y. Chen, P. Parto, “Optimal Utilizatin of Multi Layer Ceramic Capacitors for Synchronous Buck Converters in Point of Load Applications”, *PCIM China*, Shanghai, China, June 2010, pp.233-237.

付録 A：Buck 型同期整流 DC-DC コンバータのパワー段の設計

DC-DCコンバータ設計の最初の作業は、パワー段の設計です。パワー段にはコンバータのLCフィルタをはじめ、スイッチとドライバが含まれます。パワー段の設計には、効率、コスト、スペース、EMI、許容出力リップル電圧、高速負荷応答など数多くの要素が関係し、これらの設計条件は互いに競合します。例えば、出力リップル電圧を下げるために、インダクタとコンデンサ、またはどちらかの値を大きく設定する場合がありますが、コンデンサの値を大きくするとコストが高くなり、インダクタの値を大きくすると効率が落ち、負荷応答が遅くなります。一方、出力リップル電圧はスイッチング周波数を高くすることで小さくすることができますが、スイッチング周波数が高くなるとスイッチング損失の増加により効率が落ちる可能性があります。そのため、設計に際してはいくつかの設計例を検証し、各設計条件間の妥協点を見出す必要があります。

通常、まず最初に選択するパラメータはスイッチング周波数です。スイッチング周波数の選択には、効率、EMI、クローズド・ループ帯域幅などが関わってきます。また、コンバータを導入するシステム側でスイッチング周波数が決まっている場合もあります。

この付録では、例を用いてパワー段の設計手順を簡単に説明します。

仮に、スイッチング周波数、最大出力電流、入出力電圧が決まっているものとします。DC-DCコンバータは、最大出力電流に適したものが選択されます。インターナショナル・レクティファイアー（IR）のBuckレギュレータの仕様は、IRのウェブサイト http://www.irf.com/ に掲載しています。設計条件には、通常インダクタのリップル電流が定められています。そのような条件がない場合、40%のリップル電流をスタートとするのが合理的です：

$$I_{Lripple} = 40\% \cdot I_{Load_Max} \tag{A-1}$$

インダクタの値は次の式で計算します：

$$L_0 = \frac{V_{in} - V_{out}}{I_{Lripple}} \cdot \frac{V_{out}}{V_{in}} \cdot \frac{1}{F_s} \tag{A-2}$$

コンバータの高速負荷応答のオーバーシュートとアンダーシュートの振幅、ならびに出力リップル電圧で出力コンデンサの値を決定します。スイッチング・リップルの振幅は、適切な出力コンデンサの組み合わせを用いる場合、通常は許容値よりも大幅に小さくなります。出力コンデンサの要求最低値は次の式で得られます：

$$C_{0_Min} = \frac{L_0 - I_{Load_Step}^{\ 2}}{2 \cdot V_{out} \cdot \Delta V_{out_Max}} \tag{A-3}$$

このときI_{Load_Step}は最大ステップの負荷電流値で、ΔV_{out_Max}は急変／スイッチングによる出力電圧変化の許容量です。式(A3)は理想の出力コンデンサ（*ESR*無し）で、無限の制御ループ帯域幅であることを前提とします。要求される出力コンデンサの静電容量は通常、式(A3)で得られる値よりも高くなります。これは出力コンデンサの*ESR*が大きい場合に特にいえることです。ただし、式(A3)で計算される値は、出力コンデンサの選定作業のスタートとして良い値です。仮に設計者がC_Eの値を持ったコンデンサを使用して、*ESR*を無視できると必要なコンデンサの個数は次のようになります：

$$N_{Min}(ESR=0)=C_{0_Min}/C_E \tag{A-4}$$

ただし、各コンデンサの*ESR*がESR_Eと等しい場合、適正な高速負荷応答を実現するために必要最低限のコンデンサは次のようになります：

$$N_{Min}=\frac{ESR_E}{\Delta V_{out_Max}}\cdot I_{Load_Step}+\frac{V_{out}}{2\cdot C_E\cdot L_0\cdot \Delta V_{out_Max}}\cdot\left(\frac{L_0\cdot I_{Load_Step}}{V_{out}}-ESR_E\cdot C_E\right)^2 \tag{A-5}$$

式(A5)で得られる整数よりも大きくします。式(A5)に関する詳細は[A1]を参照してください。

コンバータの入力コンデンサは、次の入力電流リップルが扱えなければなりません：

$$I_{in_ripple}=I_{Load_Max}\cdot\sqrt{D\cdot(1-D)} \tag{A-6}$$

このとき*D*はコンバータのデューティ・サイクルです。入力コンデンサが並列接続の複数のコンデンサで構成される場合、次のようになります：

$$C_{in}=N_{in}/C_{E_in} \tag{A-7}$$

各コンデンサが扱える電流リップルを$I_{C_ripple_max}$で表すと、C_{in}を構成するために並列接続しなければならないコンデンサの個数は次の式で表すことができます：

$$N_{in}=\frac{I_{in_ripple}}{I_{C_ripple_max}} \tag{A-8}$$

コンデンサの値は気温、バイアス電圧、動作周波数の変動によって変化することに注意が必要です。例えば、MLCCコンデンサはバイアス電圧が高まるにしたがって、その静電容量が大幅に低下します。本文書に記述する計算では、それぞれの動作条件におけるコンデンサの実効値を検討する必要があります。

電源段の設計例

下記のデータが得られているとします：

V_{in} = 12*V*

V_{out} = 1.8*V*

F_s = 600*kHz*

I_{Load_Max} = 12*A* (A-9)

I_{Load_Step} = 6*A*

ΔV_{out_Max} = 54*mV*

$I_{Lripple}$ = 4.55*A*

式(A2)を使用してインダクタの値が次のように計算されます：

$$L_0 = \frac{12V - 1.8V}{4.55A} \times \frac{1.8V}{12V} \times \frac{1}{600kHz} = 560nH \quad \text{(A-10)}$$

式(A3)を使用して最低要求出力コンデンサが次のように計算されます：

$$C_{0_Min} = \frac{560nH \times 6A^2}{2 \times 1.8V \times 54mV} = 103\mu F \quad \text{(A-11)}$$

次のコンデンサの使用を想定します：

$$C_E = 330\mu F$$
$$ESR_E = 12m\Omega \quad \text{(A-12)}$$

C_E > C_{o_Min}であることから、コンデンサは1個で足りるようにも見えますが、式(A5)では次のことが示唆されます：

$$N_{Min} = \frac{12m\,\Omega}{54mV} \times 6A + \frac{1.8V}{2 \times 330\mu F \times 560nH \times 54mV} \times \left(\frac{560nH \times 6A}{1.8V} - 12m\,\Omega \times 330\mu F\right)^2 = 1.7 \quad \text{(A-13)}$$

したがって、式(A12)から得られる仕様のコンデンサを2個使用しなければなりません：

$$C_0 = 2 \times 330\mu F = 660\mu F$$
$$ESR = \frac{12m\Omega}{2} = 6m\Omega \quad \text{(A-14)}$$

入力側に使用するコンデンサが、最大1.3*A*を扱える3.3*μF*コンデンサであるものと想定します。入力電流リップルは次のようになります：

$$I_{in_ropple} = 12A \times \sqrt{1.8V/12V \times (1 - 1.8V/12V)} = 4.28Arms \quad \text{(A-15)}$$

$$N_{in} = 4.28A/1.3A = 3.3個 \quad \text{(A-16)}$$

したがって、入力で並列接続しなければならないコンデンサの最低個数は4個となります。

References

[A1] C. Qiao, J. Zhang, P. Parto, and D. Jauregui, “Output Capacitor Comparison for Low Voltage High Current Applications,” in *Proc. IEEE 35th Power Electronics Specialists Conference*, Aachen, Germany, June 2004, pp. 622-628.

付録 B：補償回路設計の特殊な例

補償回路設計に関して本文で説明した一般ガイドラインに従えば、ほとんどのケースでは適切な補償回路パラメータ値が得られますが、さらに詳細な調整が望まれる場合もあります。つまり、さらに最適な結果を得るために設計を繰り返し、補償回路のゼロとポールの位置の調整を試みるというケースが考えられます。また、細かい調整を必要とする極端な条件が存在する場合もあります。この付録では、補償回路の調節が必要となる極端な条件の一例を説明します。

一部の極端な条件の下では、パワー段のインダクタとコンデンサの値が大きくなりすぎ、共振周波数F_{LC}がゼロクロス周波数F_oに対して低くなりすぎることがあります。このような場合にタイプIII-Bの補償回路を使用すると、ループのボード線図が不適当となることがあり、そのため設計手順を一部変更する必要が生じます。このようなケースを例に説明します。

式(B1)でパラメータが得られるBuck型同期整流DC-DCコンバータを考えます。設計者はインダクタのリップル電流、出力リップル電圧、負荷急変をきわめて低く設定した、守りの設計を行ったとします。

V_{in} = 16V

V_{out} = 2.5V

V_{ref} = 0.7V

V_{osc} = 1.8V

L_0=4.7μH (B-1)

R_{LO}=13$m\Omega$

C_0=9 × 47μF

$ESR\ (C_o)$ = 各3$m\Omega$

F_s=600kHz

I_{o_Max} = 2A

F_0=100kHz

指定の出力電圧では、各出力コンデンサの実効値はおよそ16μFとなります。したがって：

$$F_{LC} = \frac{1}{2\pi \times \sqrt{4.7\mu H \times 9 \times 16\mu F}} = 6.12kHz \quad \text{(B-2)}$$

$$F_{ESR} = \frac{1}{2\pi \times 3m\Omega \times 16\mu F} = 3.3M\Omega \quad \text{(B-3)}$$

$F_{LC} < F_o < F_s/2 < F_{ESR}$であることから、タイプIII-B補償回路が使用されます。

式(39)～(42)から補償回路のポールとゼロを次のように計算します：

$$F_{Z2} = 100kHz \times \sqrt{\frac{1-Sin70^{\circ}}{1+Sin70^{\circ}}} = 17.6kHz \quad \text{(B-4)}$$

$$F_{p2} = 100kHz \times \sqrt{\frac{1+Sin70^{\circ}}{1-Sin70^{\circ}}} = 576kHz \quad \text{(B-5)}$$

$$F_{Z1} = 0.5 \times 17.6kHz = 8.8kHz \quad \text{(B-6)}$$

$$F_{p3} = 600kHz \div 2 = 300kHz \quad \text{(B-7)}$$

続いて、補償回路のパラメータ値を計算します。C_{f3}に2.2*nF*(2,200*pF*)を選択すると、次の結果が得られます：

$$R_{f3} = \frac{1}{2\pi \times 2.2nF \times 567kHz} \approx 127.6\Omega \quad \text{(B-8)}$$

$$R_{f1} = \frac{1}{2\pi \times 2.2nF \times 17.6kHz} - 127\Omega \approx 4.02k\Omega \quad \text{(B-9)}$$

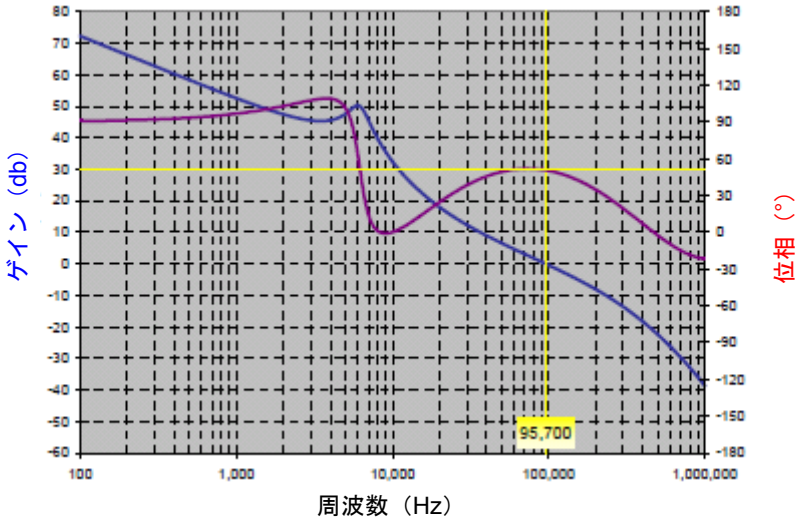
$$R_{C1} = \frac{2\pi \times 100kHz \times 4.7\mu H \times 144\mu F \times 1.8V}{16V \times 2.2nF} \approx 21.5k\Omega \quad \text{(B-10)}$$

$$C_{C1} = \frac{1}{2\pi \times 8.8kHz \times 21.5k\Omega} \approx 0.82nF \quad \text{(B-11)}$$

$$C_{C2} = \frac{1}{2\pi \times 21.5k\Omega \times 300kHz} \approx 24\,pF \quad \text{(B-12)}$$

ここで、R_{c1}の値が比較的大きい（> 20*k*Ω）のに対して、C_{c1}とC_{c2}は比較的小さいことが分かります。C_{f3}をより大きい値にすれば、R_{c1}、C_{c1}、C_{c2}はより合理的な値となります。それとは別に、シミュレーションで得られるループのボード線図（図B1）を見ると、ループ位相の挙動が適切でないことは明らかです。位相は9*kHz*あたりで0°を下回り、条件付きでシステムは安定となります。

図B1に示すボード線図は、Buck型DC-DCコンバータの平均モデルに基づいていることに注意する必要があります。したがって、これが有効なのはスイッチング周波数の半分までです。



図B1. タイプIII-B補償回路による例のループのボード線図では、帯域幅が95.7*kHz*、位相マージンが50°となっている。

9*kHz*近辺での位相が低下しているのは、ループのゼロクロス周波数において十分な位相マージンが確保されるようにポールとゼロが選択されているためです。ゼロクロス周波数は共振周波数（F_{LC}、またはダブル･ポール周波数）よりも大幅に高くなっています。その結果、ダブル･ポールが180°の位相低下を起こし、補償回路の両方のゼロは共振周波数を超えています。理論上、ゼロはF_{LC}か、それよりも低い周波数に設定されていなければなりません。したがって、タイプIII-B補償回路の設計手順に従えば、計算される補償回路のゼロが両方ともF_{LC}を上回る場合、次のような手順の変更が必要となります：

- より低いループ帯域幅（スイッチング周波数の1/10）を実現する設計を行います。

- 補償回路のゼロ位置をタイプIII-A補償回路設計手順に従って決めます。

ループ帯域幅を低く設計する理由は2つあります。1つ目は、選択された出力コンデンサの値が比較的大きいことから、通常は、良好な高速負荷応答を実現するため、高いループ帯域幅を持たせる必要はありません。2つ目にレギュレータの共振周波数が設計ループ帯域幅より大幅に低い場合、誤差増幅器には比較的高いゲイン帯域幅が求められます。したがって、誤差増幅器のゲイン／帯域幅／製品の制約を回避するため、低い帯域幅の設計を行うことが推奨されます。ここでは、ループの帯域幅を60*kHz*とします。

補償回路のゼロの位置をタイプIII-A補償回路設計手順に従って決めると、ゼロは低い周波数に移動します。これによって低周波数でのゲインが小さくなるが、図B1によれば、低周波数のゲインは比較的大きいので（G(100*Hz*)>60*dB*）、低周波数ゲインの低下は許容することができます。この場合も、補償回路の第2ポールの位置は式(B5)か(41)を使って計算することができます。設計する補償回路のポールとゼロは次のようになります：

F_{z2}=6.2*kHz* (B-13)

F_{p2}=340*kHz* (B-14)

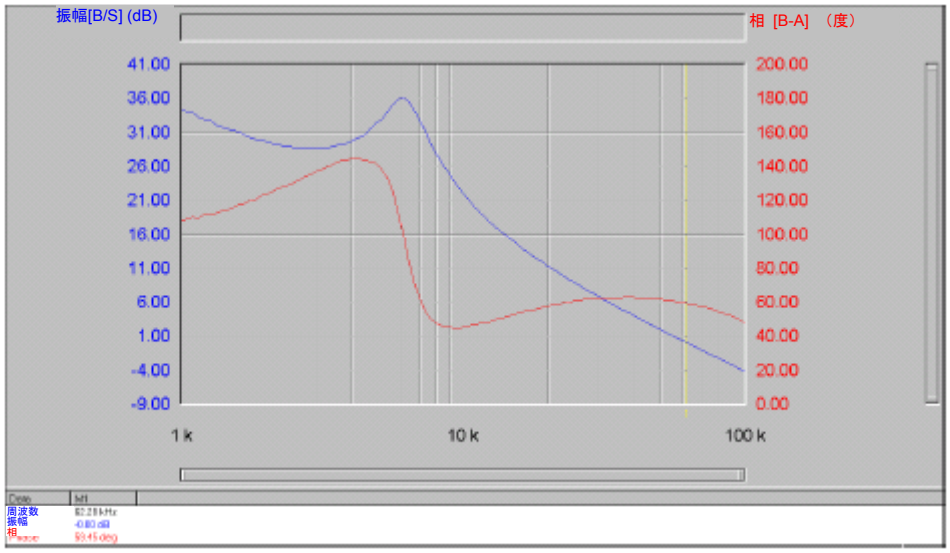
F_{z1}=0.75×6.2*kHz*=4.65*kHz* (B-15)

F_{p3}=600*kHz*/2=300*kHz* (B-16)

この設計手順ではC_{f3} = 2.2*nF*(2,200*pF*)をスタートとします。これで各部品の値を計算することができます：

C_{f3}=2.2*nF*
R_{f3}=215Ω
R_{f1}=11.5*k*Ω
R_{f2}=4.42*k*Ω (B-17)
R_{c1}=12.4*k*Ω
C_{c1}=2.7*nF*
C_{c2}=43*pF*

補償回路部品の値を上記のようにした場合のループのボード線図を測定し、図B2に示します。ボード図では9*kHz*付近の位相低下は45°を下回ることがなく、位相マージンが9°増えていることが分かります。



図B2. タイプIII補償回路を変更した例のループのボード線図では、帯域幅が62*kHz*、位相マージンが59°となっている。

付録 C：ループ特性の測定

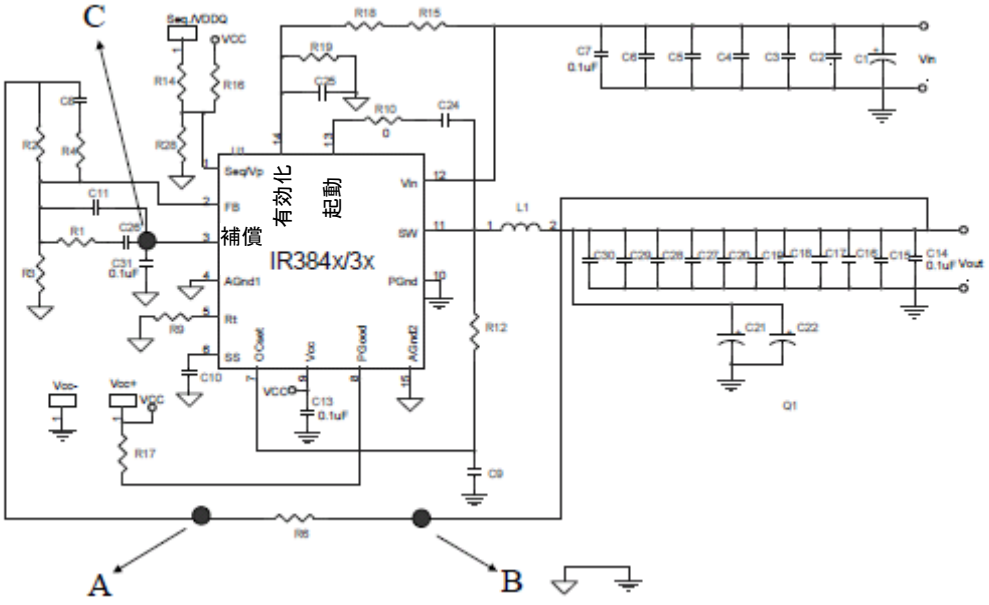
ループ特性を適切に測定することで、制御帯域幅と位相マージンを測定することができ、回路内の実際の実効出力コンデンサを推定することができます。制御帯域幅は、負荷急変へのシステムの応答速度を示し、位相マージンはクローズド・ループ・システムの堅牢安定性を示す重要な数値です。

PWM DC-DCコンバータはスイッチング周波数の半分を超えたところで経時変化的な効果を持ち、この周波数域で行われる測定値は、平均的なモデル設計や経時変化を考慮しない予測と比較には使えません。すなわち、スイッチング周波数の半分に近い周波数、またはこれを超える周波数におけるループ特性の測定は無意味であることを暗に示すものです。

低い周波数ではループゲインが高く、高い周波数ではループゲインが低いことから、測定はノイズの影響を受けます。POL設計で使われる一般的なLとC値は、LC共振ポールは1*kHz*と30*kHz*の間にあり、ループ測定は必ずこの領域を明確に示す必要があります。ほとんどのPOLに対応したインターナショナル・レクティファイアー（IR）のBuckレギュレータ *SupIRBuck*™ に使用される600*kHz*のスイッチング周波数では、1*kHz*～150*kHz*の範囲のループ特性測定で十分です。

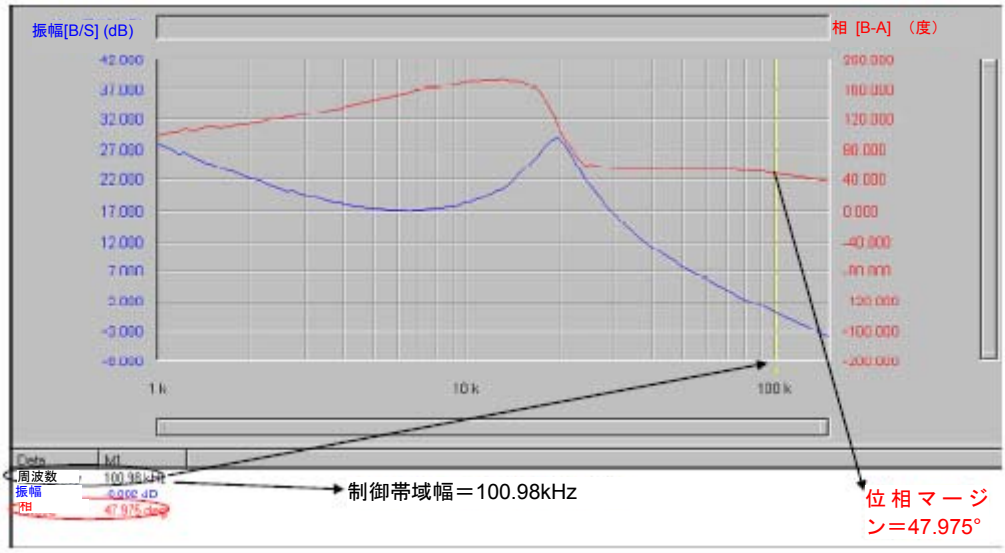
図C1に、*SupIRBuck*™ の概略図を示します。この図はループ特性の測定方法を示すもので、この測定手法はIRの他の*SupIRBuck*™ にも同様に使用できます。ループ特性測定に使用する3つの試験点（A, B, C）は黒丸印で示します。ループ特性の測定は次の手順で行います：

- ネットワーク解析装置を使い、試験点A-B間に15*mV*～30*mV*の摂動信号を加えます。
- ネットワーク解析装置をv(B)/v(A)を測定するように設定します。
- 測定の周波数範囲を1*kHz*～150*kHz*に設定します。
- ループゲイン特性が1(0*dB*)を超える周波数として制御帯域幅を測定します。
- ループゲインのゼロクロス周波数におけるループ位相特性として位相マージンを測定します。



図C1. IRの*SupIRBuck*™　の概略図と、周波数特性の測定に使用される試験点

図C2は、一般的な周波数特性の測定結果です。制御ループ帯域幅が約101*kHz*、位相マージンが約48°です。



図C2. 周波数に対する振幅と位相がv(B)/v(A)である一般的なPOL応用のループ周波数特性の測定結果

ループ周波数特性は、出力電流に依存しないことが理想ですが、スイッチのむだ時間などの要素により、負荷電流に応じて周波数特性もある程度変化します。ループ特性は通常、公称電流で測定します。さらに、コンバータはループ特性を測定する電流でジッタなしに動作する必要があります。

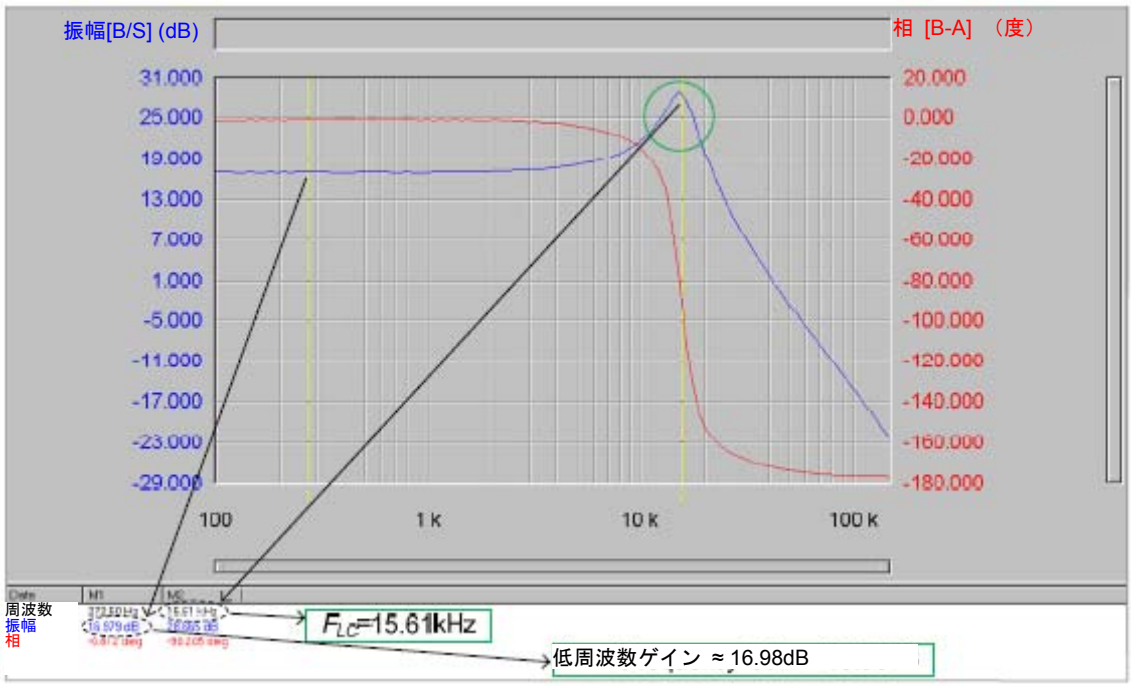
この他に有効な情報が得られる周波数特性として、パワー段の周波数特性があります。パワー段の周波数特性の測定は次の手順で行います：

- ネットワーク解析装置を使い、試験点A-B間に15*mV*～30*mV*の摂動信号を加えます。
- ネットワーク解析装置をv(B)/v(C)を測定するように設定します。
- 測定の周波数範囲を1*kHz*～150*kHz*に設定します。
- LC出力フィルタの共振周波数f_{LC}を測定します。
- 低周波数（G_Power_Stage_DC）での周波数特性の振幅を測定します。この値は*dB*単位で測定します。
- Lが判明している状態で、式(C1)から出力コンデンサの実効値を計算します。
- 式(C2)からモジュレータ内のランプ信号の振幅を推定します。

$$C_0 = \frac{1}{4\pi^2 \cdot {f_{LC}}^2 L} \qquad \text{(C-1)}$$

$$V_{osc} = \frac{Vin}{10^{\left(\frac{G_Power_Stage_DC}{20}\right)}} \qquad \text{(C-2)}$$

式(C1)から出力コンデンサの実効値と小信号値が得られます。この値は補償回路の設計に関係するすべての計算に使用します。セラミック・コンデンサはバイアス電圧の増加とともに大幅に静電容量が低下するので、セラミック・コンデンサを使用する場合は、出力コンデンサの実効値を取得することが特に重要となります。出力コンデンサの小信号値もメーカーのデータシートや設計ツールから得ることができます。ランプ信号V_{osc}の振幅も補償回路の設計に必要で、この値もデータシートから得られます。図C3には一般的なパワー段の周波数特性を示します。



図C3. 一般的なパワー段の周波数特性。共振周波数が示されている。

例えば、1μHのインダクタを使用する場合、出力コンデンサの実効値は次のようになります：

$$C_0 = \frac{1}{4\pi^2 \times (15.61kHz)^2 \times 1\mu H} = 104\mu F \qquad \text{(C-3)}$$

図C3は、低い周波数ではパワー段のゲインが約17dBとなることを示しています。したがって、入力電圧を12Vと想定すると、ランプ信号の振幅は次のようになります：

$$V_{osc} = \frac{12V}{10^{\left(\frac{16.98}{20}\right)}} \approx 1.7V \qquad \text{(C-4)}$$