International
IOR Rectifier

APPLICATION NOTE

アプリケーション・ノート：AN-1136

ディスクリートのパワーQFN（PQFN）およびパワーSO-8の基板実装に関するアプリケーション・ノート

目次

ページ

はじめに 2
デバイスの構造 2
機械的試験の結果 7
付録 A Model-specific data 9
付録 A.1 2x2 シングルデバイス 10
付録 A.2 2x2 デュアルデバイス 11
付録 A.3 3x3 A デバイス 12
付録 A.4 3.3x3.3 シングル A デバイス 13
付録 A.5 3.3x3.3 シングル B デバイス 14
付録 A.6 3.3x3.3 デュアルデバイス 15
付録 A.7 5x6 A デバイス 16
付録 A.8 5x6 B デバイス 17
付録 A.9 5x6 C デバイス 18
付録 A.10 5x6 E デバイス 19
付録 A.11 パワーSO-8 デバイス 20

ディスクリートの PQFN およびパワー SO-8 パッケージ・ファミリは、入力電圧の範囲が広い効率的なデバイスで構成されています。部品番号末尾の PbF（IRFH5300PbF など）が示すように、これらのデバイスはすべて鉛フリーです。サイズや外形はさまざまなものが用意されています。このアプリケーション・ノートの本文にはその全範囲に適用される手引きが記載されており、「付録 A」には各デバイスのデバイス外形、基板レイアウト、およびステンシル設計が記載されています。個々のデバイスの詳細については、関連する製品データシートとパッケージ外形図を参照してください。基板の取り付けを簡単にし、かつ信頼性を向上させるために、IR 社は厳しい基準に基づいて PQFN デバイスを製造しています。このような高い基準は、さまざまな材料や設計を評価することによって発展を遂げてきました。このアプリケーション・ノートの推奨値はこれらの評価では良い結果を示していますが、特定の製造環境に合わせて調整が必要となることがあります。

はじめに

パワーQFN（PQFN）は、主に基板実装型パワー・アプリケーションに向けて設計された半導体の表面実装技術です。熱および電気のインダクタンスや抵抗の増加の一因となるパッケージングの不要な要素を排除しているため、同等な大きさのパッケージを上回る電力性能を実現します。



PQFN パッケージ・ファミリには、さまざまなサイズやデバイス外形があります。このアプリケーション・ノートの本文にはその全範囲に適用される手引きが記載されており、「付録 A」には各デバイスのデバイス外形、基板レイアウト、およびステンシル設計が記載されています。

すべての推奨事項は、X 線撮影され、リフロー後の位置合わせと設計の実現可能性について詳細に分析された PCB 実装デバイスに基づいています。外形設計の新しいデバイス（IRFH7911PbF など）は、さらに広範囲に検討されています（理想的な配置位置、さまざまな度合いのずれがある配置位置、誤った配置位置など）。

基板の取り付けを簡単にし、かつ信頼性を高めるために、IR 社は厳しい基準に基づいてパワーQFN デバイスを製造しています。このような高い基準は、さまざまな材料や設計を評価することによって発展を遂げてきました。このアプリケーション・ノートの推奨値はこれらの評価では良い結果を示していますが、特定の製造環境に合わせて調整が必要となることがあります。

SupIRBuck™ PQFN については、AN-1132 および AN-1133 を参照してください。

デバイスの構造

PQFN デバイスは表面実装型であり、現行のプラスチック成形技術とワイヤ・ボンド接続を組み合わせて使用しています（図 1 を参照してください）。

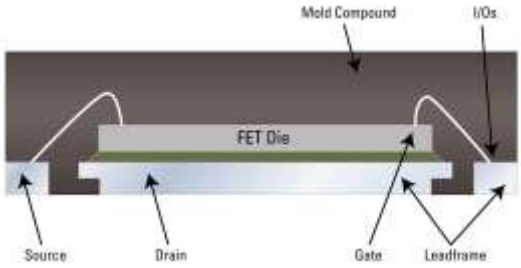


図 1　デバイスの断面構造

図 2 は、PQFN デバイスのパッドの配置例を示しています。製品ごとのデータシートにはパッドの割り当てが示されています。

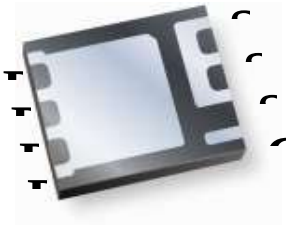


図2　PQFN デバイスのパッドの配置例

図 3 は PQFN デバイスのラベル表示を示したものです。製品のトレーサビリティに対応するために、部品番号、バッチ番号、およびデートコードが表示されています。ピン 1 の位置は以下の 2 つの方法で示されます。

- 上面のドット（図 4）
- 底面の半月マーキング（図 5）

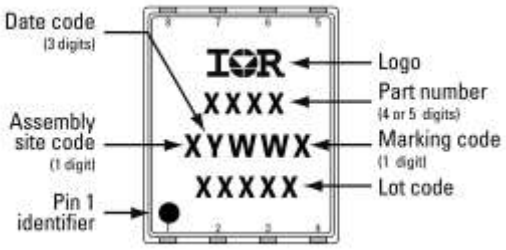


図3　デバイス上の表示



図 4 IRFH5300PbF のピン 1 表示



図 5 IRFH5300PbF のピン 1 表示

設計項目について

基板

PQFN は、もともとガラスエポキシ基板（FR-4）とともに使用するために開発、評価されたものです。試験基板には有機系ソルダ・レジスト（OSP）で仕上げたものを使用しましたが、入手可能な数々のソルダ・レジストはいずれも試験基板に適しています。

基板の仕上げは、はんだ接続に必要なエネルギー量（温度、時間）に影響を及ぼす可能性があります。また、その結果として、はんだボール、デバイス立ち（または傾き）、およびボイド（空洞）の発生といったはんだ品質上の問題を引き起こすおそれがあります。

基板の設計

PQFN デバイスは、低損失トラック・レイアウトを実現するために、パッド・ランドにはんだマスク定義（SMD）、リード・ランドに非はんだマスク定義（NSMD）のレイアウトを使用するように設計されています。また、デバイスはすべて NSMD のレイアウトでも評価済みです。デバイスの外形とはんだマスク定義パッドの使用によって、効率的な基板設計が可能になります。大面積トラックは電気的および熱的な性能を最適化します。

CAD システムのライブラリ内で部品の外形を作成するためにパッドに番号を付ける必要がある場合、IR 社は図 6 に示されている仕様を採用することをお勧めします。設計やアセンブリの段階で生じる可能性がある問題について検討しやすくなるからです。

ピン	名前
1	Source
2	Source
3	Source
4	Gate
5	Drain
6	Drain
7	Drain
8	Drain

図 6　推奨パッド番号付け

PQFN デバイスは単純なレイアウト（図 7）を用いて平行に配置することができます。IR 社は最低でも 0.500mm（0.020 インチ）の間隔をあけることをお勧めします。この間隔は現場の工程能力に合わせて調整が可能ですが、修正作業を考慮に入れる必要があります。マイクロ・スクリーンの設計やはんだ除去ツールの種類によって、デバイス同士および他の部品との距離をどの程度近くするかが異なる可能性があります。

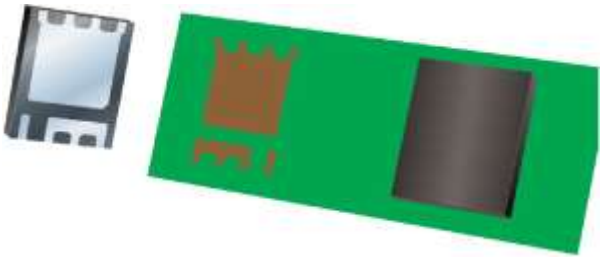


図 7　PQFN パッケージの並列配置

PQFN レンジのデバイスの外形、基板レイアウト、パッケージ・サイズ、およびデバイス外形ごとのステンシルの設計については、付録 A を参照してください。

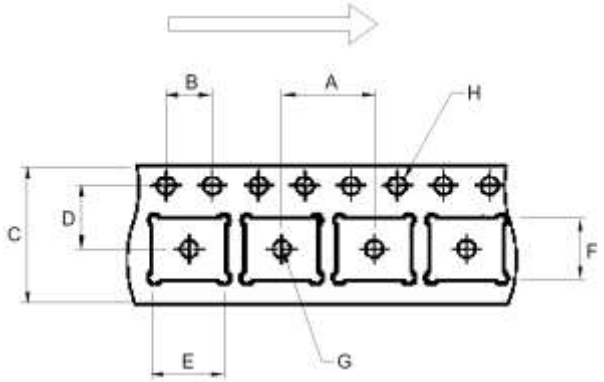
アセンブリについて

IR 社は、標準的な表面実装技術を用いてできるだけ簡単に組み立てられるように PQFN デバイスを設計しています。しかし、製造方法や製造条件がアセンブリの品質に多大な影響を及ぼす場合があります。従って、用途別の要求に基づいた効果的な工程の開発が必須です。

パッケージング

PQFN デバイスはテープ・アンド・リール形式（図 8）で供給されます。

テープ・フィード方向



	寸法（mm）									
	2x2		3x3		3.3x3.3		5x6		パワーSO-8	
Code	Min	Max	Min	Max	Min	Max	Min	Max	Min	Max
A	3.90	4.10	7.90	8.10	7.90	8.10	7.90	8.10	7.90	8.10
B	3.90	4.10	3.90	4.10	3.90	4.10	3.90	4.10	3.90	4.10
C	7.90	8.30	11.70	12.30	11.70	12.30	11.90	12.10	11.90	12.10
D	3.45	3.55	5.40	5.60	5.45	5.55	5.40	5.60	5.45	5.55
E	2.20	2.30	3.20	3.40	3.50	3.70	6.20	6.40	6.30	6.50
F	2.20	2.30	3.20	3.40	3.50	3.70	5.20	5.40	5.10	5.30
G	0.55	0.65	1.50	-	1.50	-	1.50	-	1.50	1.75
H	1.50	1.60	1.50	1.60	1.50	1.60	1.50	1.60	1.50	1.60

図 8 テープ・アンド・リール・パッケージング

保存条件

PQFN デバイスは窒素充填の帯電防止袋に入れて密封されています。密封袋は通常の外光からデバイスを適切に保護しますが、強い光源に長時間さらすことのないよう慎重に取り扱ってください。また、袋は周囲の環境からも保護します。密封され閉じたままの袋におけるデバイスの保管寿命は 1 年間です。

パッケージのラベルは、袋の開封後に耐湿性レベル（MLS）1 または 2 としてデバイスを取り扱う必要があるかどうかを示します。良好なはんだ付けを保証するには、適切な保管が重要です。

デバイスを使用していないときには、デバイスのリールは、供給時に入っていた保護袋に再封してください。

はんだペースト

IR 社はさまざまなメーカーの異なる種類のはんだペーストを評価しました。ペーストの特性はメーカーによって異なり、優劣があります。一般に、スランプ度の高いペーストはスランプ防止型ペーストよりも、はんだボールの問題を生じやすい傾向があります。また、他に比べてボイドが発生しやすいペーストもあります。

はんだの構成、含有金属、およびフラックスのすべてがはんだペーストの流動性、つまりペーストが加工中にどのように反応するかに影響を与えます。PQFN パッケージのアセンブリおよび基板レベルの信頼性は、鉛フリーのペーストのみを使用して評価しました（Sn96.5 Ag3.0 Cu0.5）。

鉛フリーのデバイスの評価には、IPC/JEDEC の標準 J STD-020C（2004 年 7 月版）に適合したリフロー処理を使用しました。PCB が両面タイプであるかまたは修正作業が行われる場合、デバイスはリフロー加工を複数回施される可能性があるため、評価には最高 3 回のリフローを施したものを使用しました。

IR 社は、リフロー処理を設定する際は J STD-020C を順守し、リフローを 3 回以内にすることをお勧めします。

ステンシルの設計

ステンシルの設計は、はんだ接続の品質の管理に役立ちます。付録 A には推奨する基板外形で良い結果を出したステンシルの設計が示されています。それらは、パッド・ランドの場合 25%、リード・ランドの場合 20% の縮小に基づくものです。この数値は、厚さ 0.127mm（0.005 インチ）のステンシルを使用した場合、それぞれ 75% と 80% の印字領域に相当します。設計はステンシルの厚さに応じて修正します。

PQFN 用のステンシルは、厚さ 0.100～0.250mm（0.004～0.010 インチ）のものを使用できます。0.100mm より薄いステンシルは、接地パッドで良好なはんだ接続を行うだけの十分なはんだペーストが堆積しないため、不向きです。縮小率が高い場合にも同様の問題が生じることがあります。適切に縮小された厚さが 0.125～0.200mm（0.005～0.008 インチ）のステンシルで最良の結果が得られます。

リフロー後の評価は、所定の工程内におけるステンシルの挙動を評価するのに役立ちます。ステンシルの設計を改善することによって、以下に記載する 2 つの主要な問題点に対応することができます。

- **チップ周辺に発生するはんだボールの問題**
  この問題ははんだペーストが多すぎることで起こります。そのような場合、ステンシルを25%以上縮小する必要があります。左右対称に縮小することもできますが、ステンシルに不均等なバイアスをかけることではんだボール防止に役立つ場合があります。付録 A に示されているステンシルの設計では、このような理由から、開口部をチップのエッジからさらに離してあります。はんだボールは、それ以外にも、基板の含湿率、リフロープロファイルの不適切な温度上昇率や保持時間の不足といった外部要因によって生じることがあります。PQFN のようなリードの無いパッケージでは、プロセス内にある欠陥が顕著に出る場合があります。
- **形成不良による接続の問題**
  接続部が小さめ、あるいは部分的にしか接続されていない場合、はんだ付けが十分でないために接続できていない可能性があります。しかし、接続部のエッジからあふれたように見える部分がある場合は、一般にはんだが多すぎた結果です。この場合、ほぼ確実にはんだボールも発生しています。はんだ付けが不十分な場合にもボイドは生じますが、多くの場合、ボイドは表面仕上げ、はんだペースト、および基板の状態といった他の要因で生じます。

デバイスの配置

不正確な配置は、はんだ接続不良、あるいはデバイスの傾きや位置ずれの原因となる場合があります。PQFN デバイスは X 軸と Y 軸の両方において 0.050mm の精度で配置することが理想的ですが、評価中にデバイスは自ら中心に移動し、0.300mm を超える配置誤差が生じます。このようなセルフ・センタリング挙動ははんだ付けおよび工程への依存性が高く、特定の工程におけるセルフ・センタリングの限界を確認するために実験を行う必要があります。

リフロー装置

PQFN デバイスは、表面実装技術によるリフロー装置を使用したアセンブリに適しています。また、対流、気相、および赤外線装置と一緒に使用することを推奨します。PbF 認定のデバイスは短時間の高温暴露に対する耐性が優れているため、最高 260°C のリフロー処理に適しています（1 つの PQFN デバイスに 1 台のサーモカップルを取り付けて測定します）。

評価および認定試験で使用するすべてのリフロー工程をはんだペーストのサプライヤからの勧めに従うこと以外には、アセンブリに成功するための特殊要件はありません。間違ったリフロープロファイルを使用すると、はんだボール、デバイス立ち（または傾き）、およびボイドの発生といったはんだ品質上の問題を引き起こすおそれがあります。そのような問題が生じたら、リフロープロファイルをチェックしてください。

PQFN パッケージは優れた耐熱性能を持つよう設計されています。そのため、適切な熱エネルギーが確実にはんだ接続部に到達するには、基板のコア部分がリフロープロファイルの予熱段階で熱平衡に達していることが不可欠です。

検査

基板実装型 PQFN デバイスの検査に関する総合的な情報は、『ディスクリート Power QFN（PQFN）の検査方法（AN-1154）』を参照してください。

すべての QFN パッケージと同様に、リフロー後にデバイスを検査する最良の方法は、周辺のはんだ接続部の目視検査とパッケージ真下の接続部の X 線画像を組み合わせた方法です。

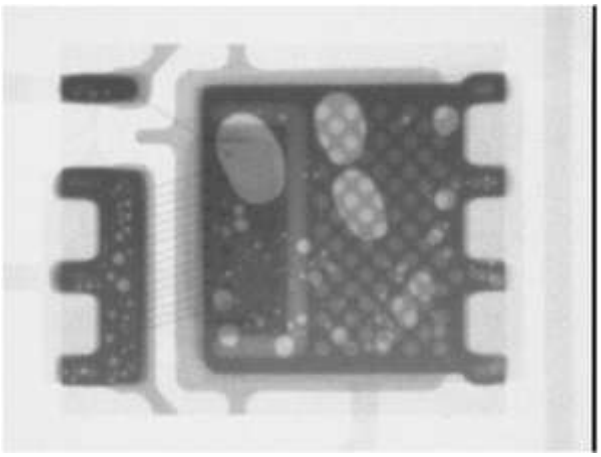


図 9 パワーQFN の X 線画像

図 9 は基板実装型 PQFN デバイスの X 線画像で、はんだ接続部、位置合わせ、ボイドが示されています。ボイドの総面積が接続部の面積の 25%を超える場合、その接続部は不良と見なします。

修正作業の指針

ボール・グリッド・アレイやリードの無いパッケージ用の修正作業に使用する最新の作業台には、通常 2 つの加熱ステージが使われます。

- 1 つ目のステージでは、従来のホット・プレートまたは熱風システムで基板を加熱します。これは温風はんだ除去ツールからの必要な熱量を減らします。言い換えれば、基板または周辺の部品に損傷を与える危険を減らします。
- 2 つ目のステージでは、熱風システムを使用して局部加熱を行いますが、交換したデバイスのはんだ接続を高速冷却するためにオプションの送風機を使用することもよくあります。これにより、はんだ粒状構造が改善されます。

デバイスの配置機構またはアームは、通常、吸引カップとサーモカップルを装備したピック・ヘッドの一部として、熱風はんだ除去ガンを備えています。はんだ溶融温度に達すると、吸引部が自動的に起動して、基板からデバイスが取り外されます。このような機構のおかげで、外しを早くしてデバイスに損傷を与える危険性が低減されます。

ほとんどの修正作業台では、ユーザーによって供給されている開口設計を使用して、ベンダーから供給されたマイクロ・ステンシルを取り付けることができます。開口部は、はんだペーストを手動で塗布する前に、基板上でパッドに合わせます。また、独立型のマイクロ・ステンシルとスキージを使用して、はんだペーストを塗布することもできます。

修正作業の目的は、機能していないデバイスを取り外して良品と交換することです。IR 社は、基板から取り出したデバイスを再利用することをお勧めしません。あとで不具合を解析できるようにするため、デバイスを取り外す際には現状の不具合を悪化させないように注意してください。

PQFN デバイスを交換するには：

注：残留湿気を除去するために通常修正作業の前にベーキングを行っている場合は、その手順をここに挿入してください。

1. 基板加熱ステージで、修正作業を行う部位を約 100°C（鉛フリーのデバイスでは150℃）まで加熱します。

注：鉛デバイスは、最高リフロー・ピーク温度 240°C で認定されています（鉛フリー・デバイスでは 260°C です）。デバイスや基板の過熱を防止するため、最高エアー温度が 300℃ になるように機器の設定を調整してください。

2. 配置アームをはんだ除去ツールをデバイスに接触する位置まで下降させます。デバイスとはんだ接続部が溶融温度に達したら、配置アームを持ち上げて、基板からデバイスを取り出します。そのデバイスは廃棄します。
3. ブレード型のはんだ除去ツールとはんだ除去用の吸取線を使用して、その部位から残留はんだを除去します。フラックス還元剤を使用して、残留フラックスを除去します。部位から除去する際には注意が必要です。はんだレジストを損傷すると望ましくない結果を引き起こすおそれがあるからです。
4. 該当部位の清掃が済んだら、マイクロ・ステンシルとスキージを使って新しいはんだペーストを塗布します。
5. 新しいデバイスを配置用ヘッド部の真空カップ部にセットし、設置アームをデバイスがはんだペーストに接触するまで下降させます。
6. 配置用ヘッドの真空スイッチをオフにして、配置アームを引き上げます（デバイスは基板上に置かれた状態です）。
7. 基板加熱ステージで、部位を約100°C(鉛フリーデバイスでは、150℃) まで加熱し、はんだが溶融するまで待ちます。
8. はんだ除去ツールでデバイスとはんだ接続部の両方を溶融温度になるまで加熱します。
9. デバイスを定位置に置いたままアームを退避させます。新しい接続部で良好な粒状構造が得られるように、できるだけ迅速に冷却します。

機械的試験の結果

IR 社では、基板実装型 PQFN デバイスを広範囲にわたる機械的試験にかけています。試験は業界の基準と慣行に従って行われます。試験を行ったデバイスは 5×6mm サイズです。すべての PQFN デバイスが同じ方法で製造されますので、試験をしていないその他のデバイスも同じ高い基準に従って機能するはずです。

このセクションでは、曲げ試験、落下試験、および振動試験の結果を要約して説明します。

基準

JEDEC JESD22B113 『Board Level Cyclic Bend Test』

JEDEC JESD22B111 『Board Level Drop Test』

MIL-STD-810F 『Method 514 Proc. 1. Random Vibration』

曲げ試験

試験方法

繰り返し曲げ試験は JEDEC JESD22B113 の『Board Level Cyclic Bend Test Method for Interconnect Reliability Characterization of Components for Handheld Electronic Products』に従って行われました。

基板は JESD22B113 に明記されているように、1 枚につき 9 個の PQFN デバイスを実装するよう設計され、その厚さは 0.030 インチ（0.75mm）に維持されました。支持アンビルのスパンは 110mm、荷重アンビルのスパンは 75mm でした。3Hz の正弦波を 2mm の変位で繰り返し印加しました。サイクル数は 200,000 回としました。

試験結果

図 10 は繰り返し曲げ試験の結果を示しています。

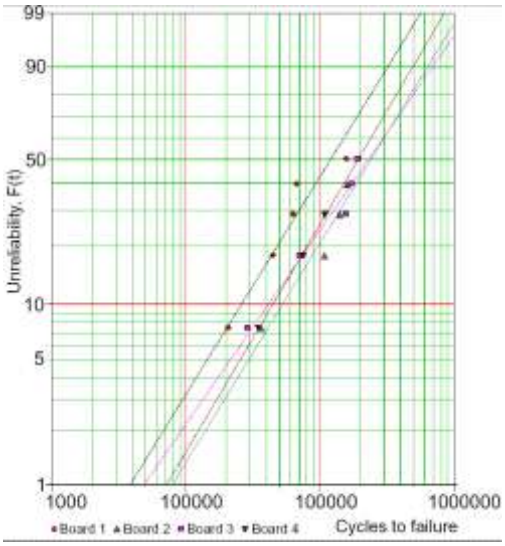


図 10 PQFN デバイスの繰り返し曲げ試験結果

JESD22B113 ではいかなるクオリフィケーション要件も要求していないことに注意してください。仕様書には、「試験の継続時間 200,000 サイクルを信頼性の期待値と解釈するべきではありません。それは単に、妥当な故障確率グラフを作成できるだけの十分な部品故障データを得るための、あるいは試験の継続時間に制限を加えるための推奨値です。信頼性に関する要件はサプライヤとお客様の間で別途取り決める必要があります」と記載されています。いくつかの点で、PQFN は比較的頑丈であると考えられます。このことは、JESDB113 で述べられているように 200,000 サイクルという制限回数に達する前に故障した部品は全体の 60%未満であったという結果からも分かります。

落下試験

試験方法

落下試験は JEDEC JESD22B111 の『Board Level Drop Test Method of Components for Handheld Electronic Products』に従って行われました。

基板は JESD22B111 に明記されているように、1 枚につき 15 個の PQFN デバイスを実装するよう設計され、その厚さは 0.030 インチ（0.75mm）に維持されました。アセンブリ全体の重量は 22g でした。15.5 インチの高さからスチール・ブロックの上に落下させた結果、修正加速 1500Gs、0.5 ミリ秒継続の半正弦波パルスが得られました。図 11 はその衝撃パルスを示しています。各基盤を 30 回ずつ落下させ、落下の度に加速度計で測定を行いました。

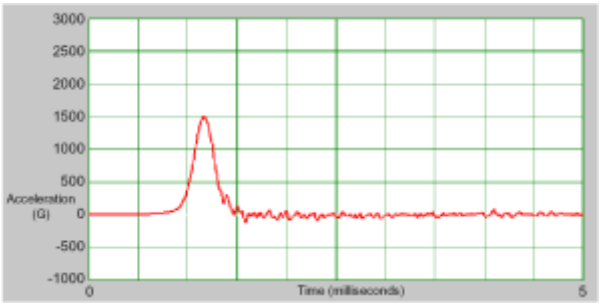


図11　落下試験の衝撃波形

試験結果

60 枚のデバイスを試験した結果、故障は見られませんでした。

振動試験

試験方法

振動試験は MIL-STD-810F（『Method 514, Proc 1, Cat.20 – composite wheeled vehicle』）に従って行われました。振動試験で採用された基板設計は、JEDEC JESD22B111 で指定されている設計と同じで、基板 1 枚につき 15 個の PQFN デバイスを実装します。合計 4 枚の基板に対して振動試験を行いました。

PQFN 基板に 5～500Hz の不規則振動を 4 時間かけ続けました。これは 0.005g^2Hz^{-1}（[0.48ms^{-2}] $^2Hz^{-1}$）の加速度スペクトル密度で 1.9g_{rms}（18.6ms^{-2}_{rms}）を受けている状態です。図 12 は帯域通過フィルタによる周波数のグラフです。

同様なパッケージでの内部接続不良の経験に基づき、デバイスには面外荷重（Z 方向）試験のみを行いました。試験は合否試験で、振動が完全におさまった後で PQFN デバイスの合否を判定しました。

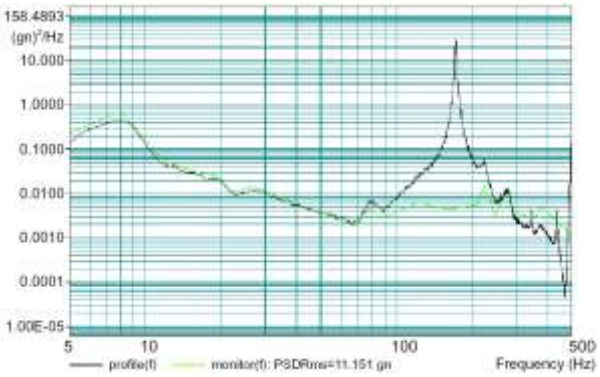


図12　帯域フィルタによる周波数グラフ

試験結果

60 枚のデバイスを試験した結果、故障は見られませんでした。

付録 A Model-specific data

本付録には PQFN デバイスの現在入手できる以下の情報を記載しています。

- デバイス外形図
- 推奨基板／PCB レイアウト
- 厚さ 0.127mm（0.005 インチ）のステンシル設計

これらのフットプリントおよびステンシル設計は推奨にすぎず、場合によっては特定の要件に合わせて調整する必要があります。IR 社が各種パッケージ・タイプで行った調査では、これらの設計によって再現性のあるデバイス位置合わせと適正なはんだ接続が実現されることが判明しています。

個々のデバイスについての寸法や外形についての詳細な情報については、データシートを参照下さい。

互換性

異なるサイズのデバイスは交換できません。

5×6mm のデバイスの場合、A、B、および E 外形は、ソース・パッドを除きほぼ同じです。A 外形には E 形のパッドが 1 つありますが、B および E 外形には 3 つの独立したパッドがあります。これらの外形はフットプリント互換性について見直されており、相互に優れた代替品となっています。C 外形はアプリケーション固有であり、他の外形の設計では使用できません。

パワー SO-8 パッケージは、5×6mm デバイス（A、B、および E 外形）の設計で使用できます。このパッケージは、これらのデバイスのドロップ・イン置換品になるように設計されています。

謝辞

IR 社は、基板/PCB レイアウトとステンシル設計の開発に必要な調査資料を提供していただいたことに対し、DfR Solutions 社に感謝いたします。

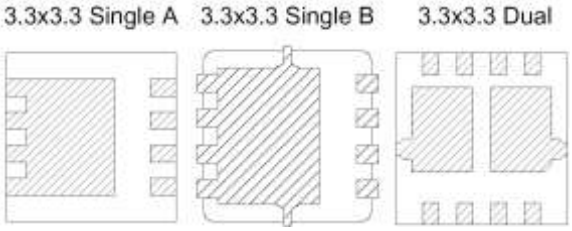
2x2mm の外形



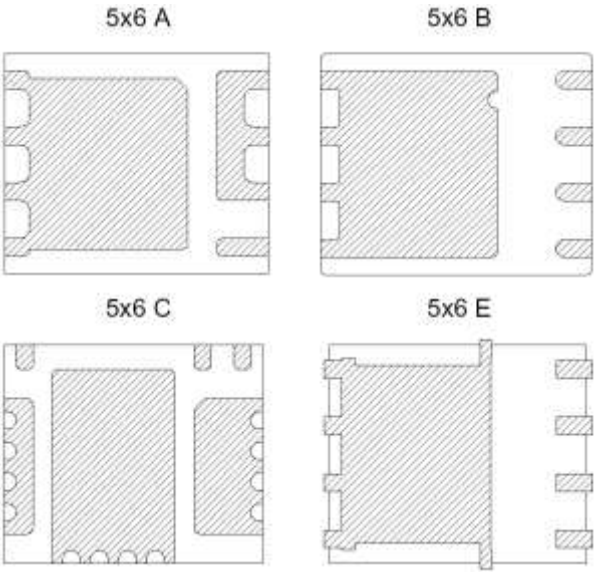
3x3mm の外形



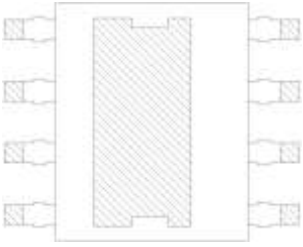
3.3x3.3mm の外形



5x6mm の外形



Power SO-8 の外形



付録 A.1 2x2 シングルデバイス

デバイスの外形

図 A.1.1 にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mm で管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。

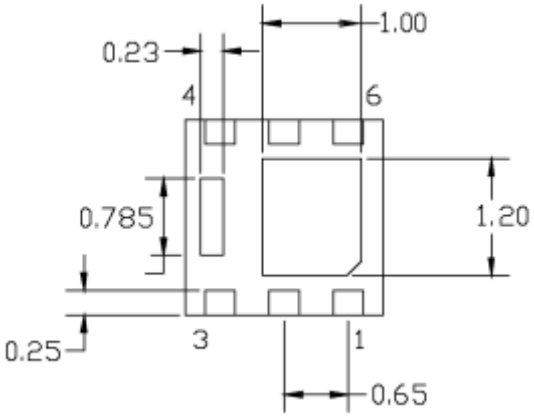


図 A.1.1 2x2 シングルデバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.1.2（aおよびb）に示します。

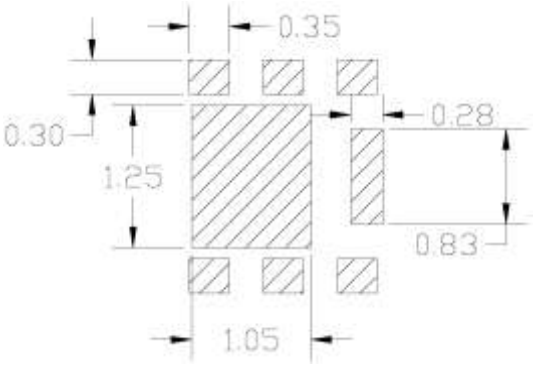


図 A.1.2(a) 2x2 シングル基板／PCB レイアウト

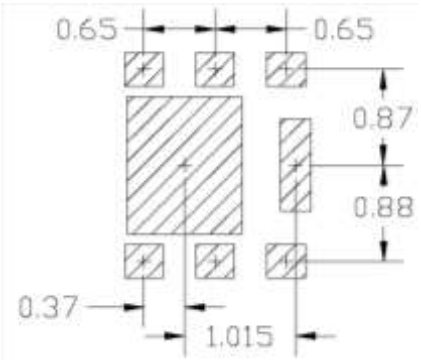


図 A.1.2(b) 2x2 シングル基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.1.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

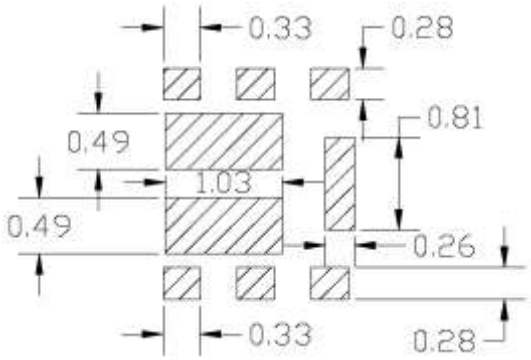


図 A.1.3(a) 2x2 シングルステンシル設計

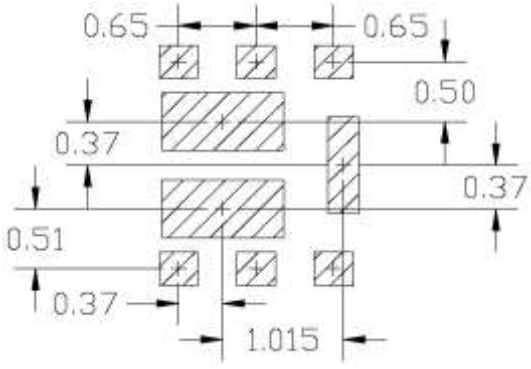


図 A.1.3(b) 2x2 シングルステンシル設計

付録 A.2 2x2 デュアルデバイス

デバイスの外形

図A.2.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。

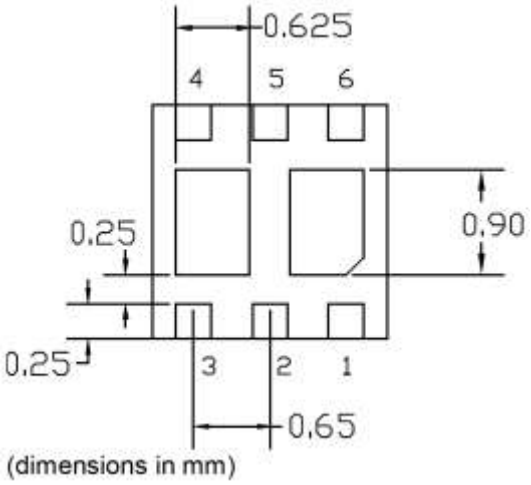


図 A.2.1 2x2 デュアルデバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.2.2（aおよびb）に示します。

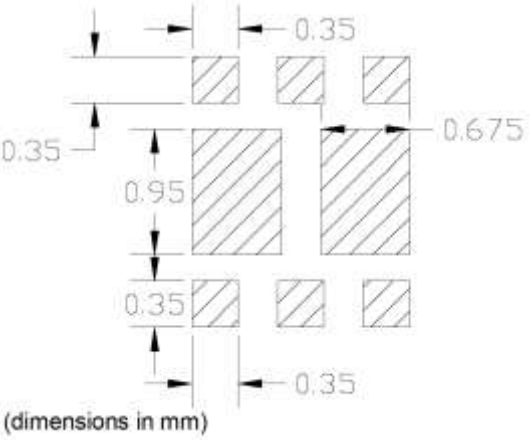


図 A.2.2(a) 2x2 デュアル基板／PCB レイアウト

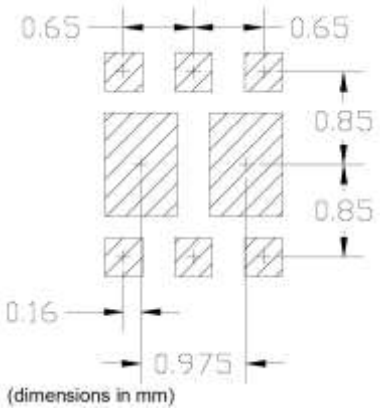


図 A.2.2(b) 2x2 デュアル基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.2.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

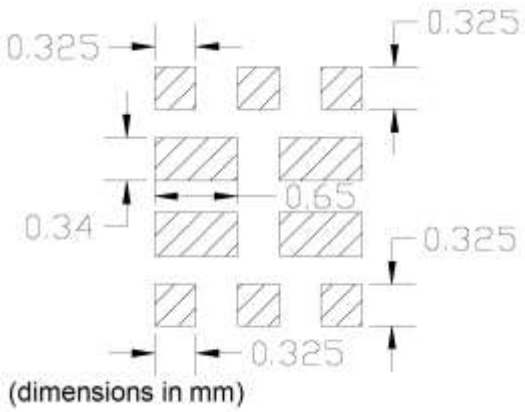


図 A.2.3(a) 2x2 デュアルステンシル設計

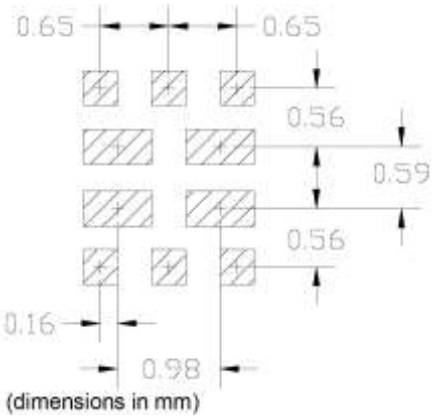
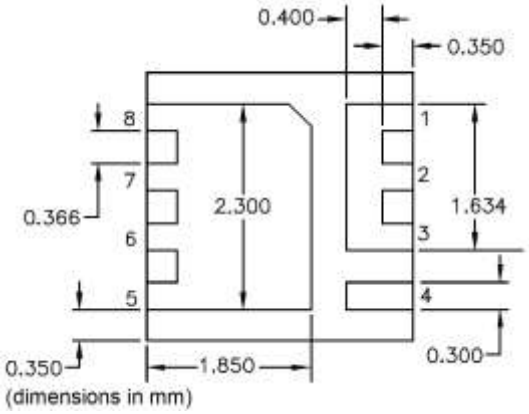


図 A.2.3(b) 2x2 デュアルステンシル設計

付録 A.3 3x3 A デバイス

デバイスの外形

図A.3.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。



図A.3.1 3x3 Aデバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.3.2（aおよびb）に示します。

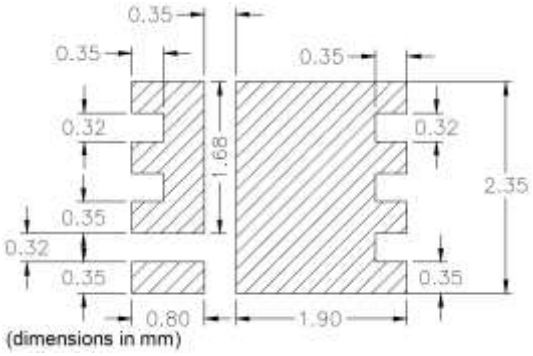


図 A.3.2(a) 3x3 A 基板／PCB レイアウト

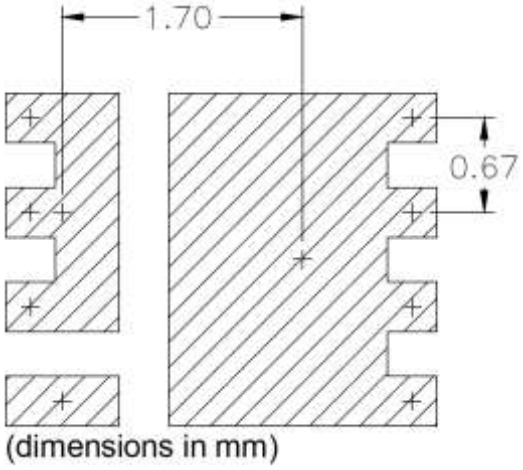


図 A.3.2(b) 3x3 A 基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.3.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

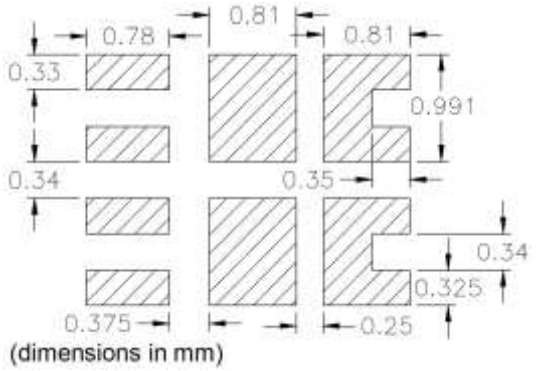


図 A.3.3(a) 3x3 A ステンシル設計

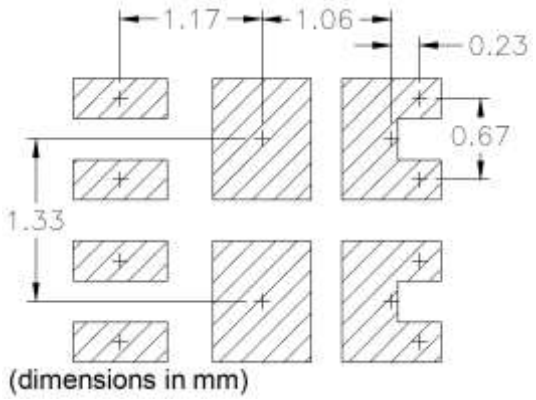
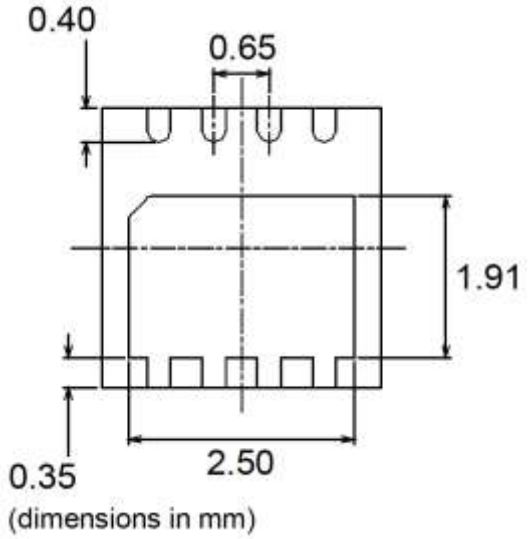


図 A.3.3(b) 3x3 A ステンシル設計

付録 A.4 3.3x3.3 シングル A デバイス

デバイスの外形

図A.4.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。



図A.4.1 3.3x3.3シングルAデバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.4.2（aおよびb）に示します。

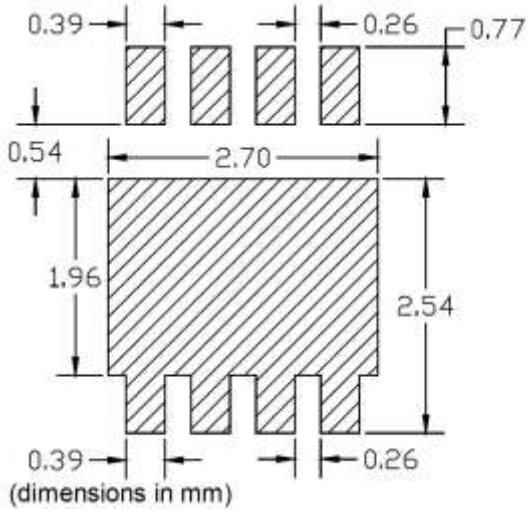


図 A.4.2(a) 3.3x3.3 シングル A 基板／PCB レイアウト

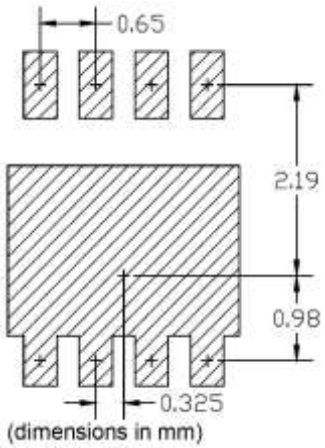


図 A.4.2(b) 3.3x3.3 シングル A 基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.4.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

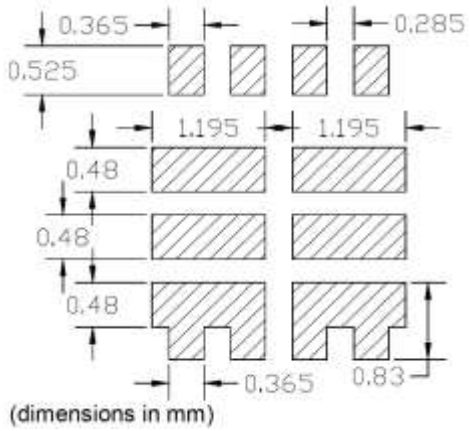


図 A.4.3(a) 3.3x3.3 シングル A ステンシル設計

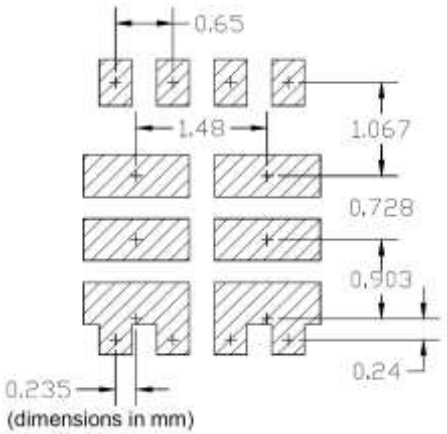


図 A.4.3(b) 3.3x3.3 シングル A ステンシル設計

付録 A.5 3.3x3.3 シングル B デバイス

デバイスの外形

図A.5.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。

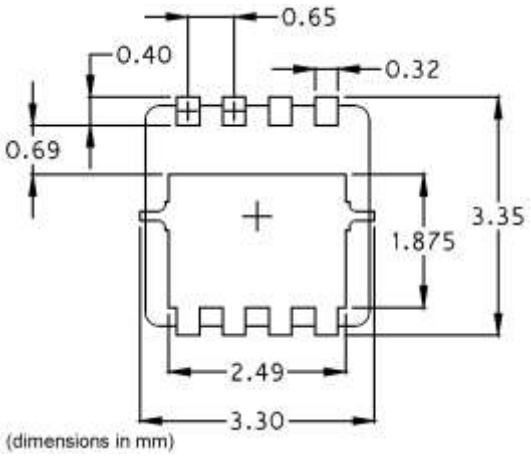


図 A.5.1 3.3x3.3 シングル B デバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.5.2（aおよびb）に示します。

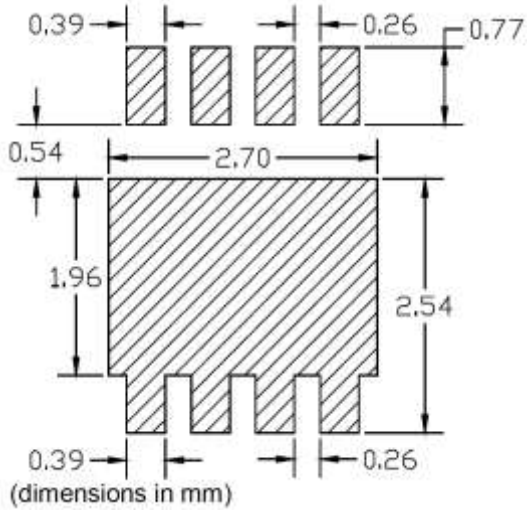


図 A.5.2(a) 3.3x3.3 シングル B 基板／PCB レイアウト

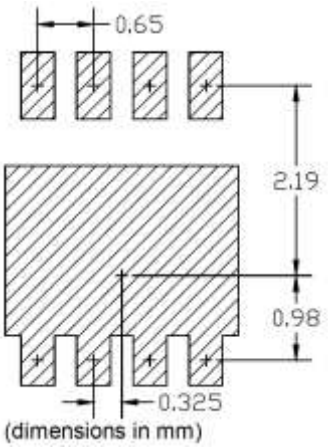


図 A.5.2(b) 3.3x3.3 シングル B 基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.5.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

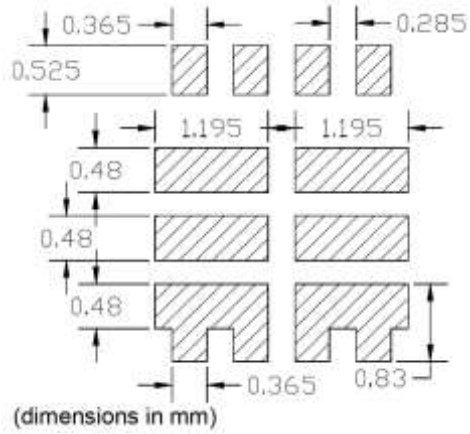


図 A.5.3(a) 3.3x3.3 シングル B ステンシル設計

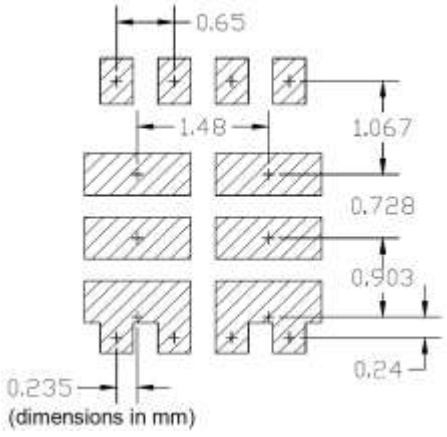


図 A.5.3(b) 3.3x3.3 シングル B ステンシル設計

付録 A.6 3.3x3.3 デュアルデバイス

デバイスの外形

図A.6.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。

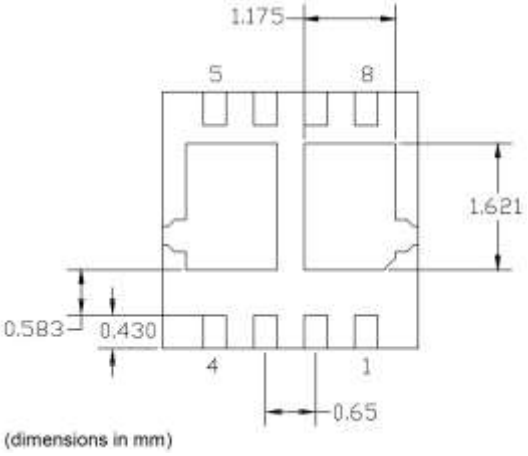


図 A.6.1 3.3x3.3 デュアルデバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.6.2（aおよびb）に示します。

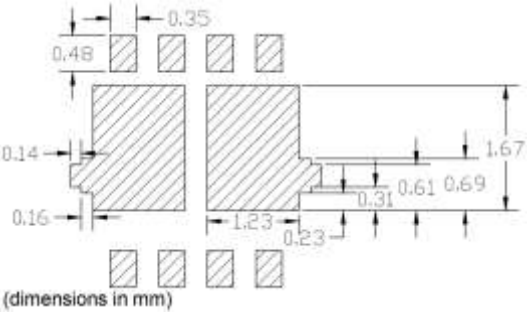


図 A.6.2(a) 3.3x3.3 デュアル基板／PCB レイアウト

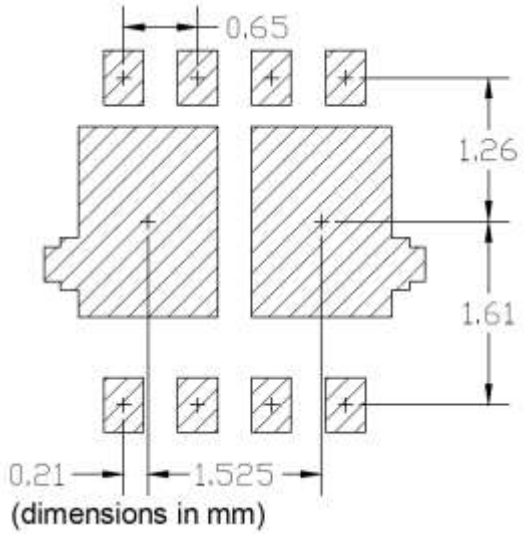


図 A.6.2(b) 3.3x3.3 デュアル基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.6.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

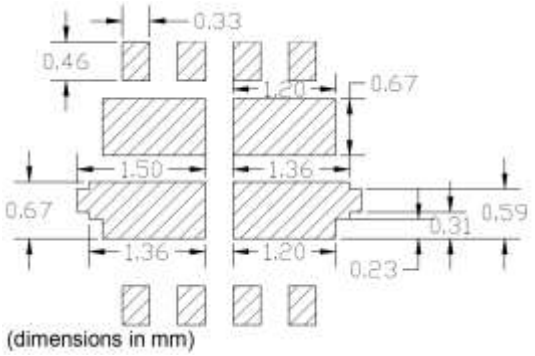


図 A.1.3(a) 3.3x3.3 デュアルステンシル設計

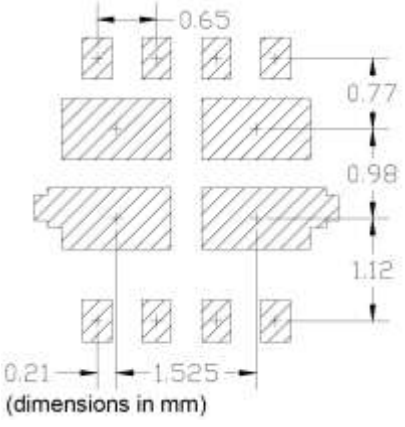


図 A.1.3(b) 3.3x3.3 デュアルステンシル設計

付録 A.7 5x6 A デバイス

デバイスの外形

図A.7.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。

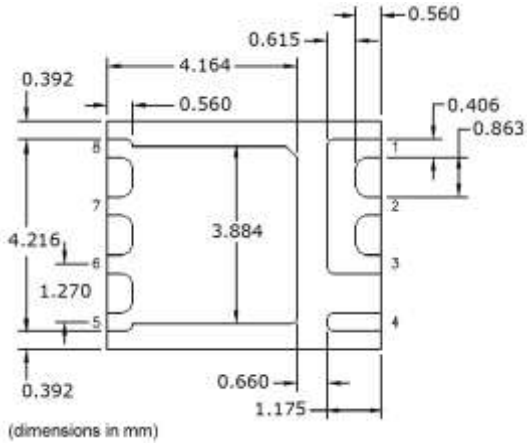


図 A.7.1 5x6A デバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.7.2（aおよびb）に示します。

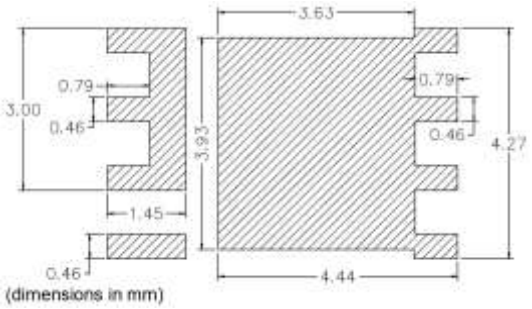


図 A.7.2(a) 5x6A 基板／PCB レイアウト

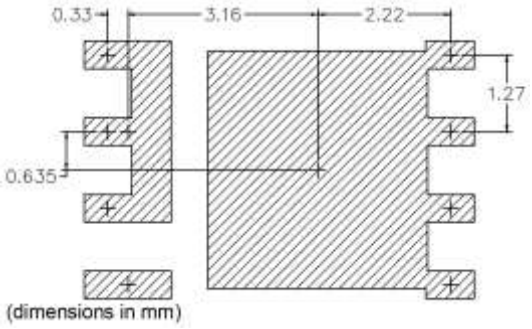


図 A.7.2(b) 5x6A 基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.7.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

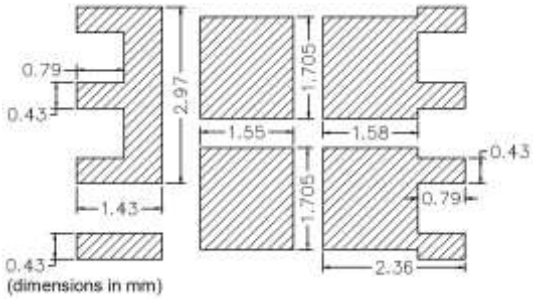


図 A.7.3(a) 5x6A ステンシル設計

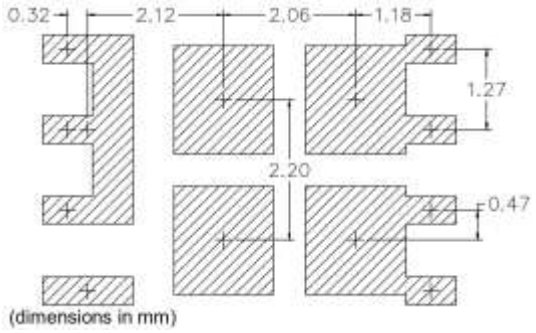


図 A.7.3(b) 5x6A ステンシル設計

付録 A.8 5x6 B デバイス

デバイスの外形

図A.8.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。

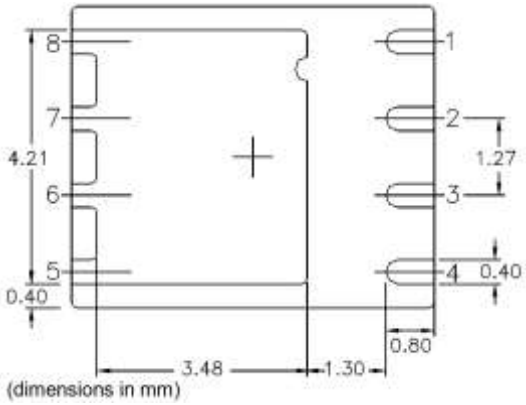


図 A.8.1 5x6B デバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.8.2（aおよびb）に示します。

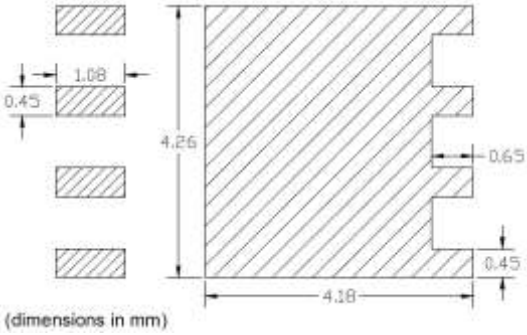


図 A.8.2(a) 5x6B 基板／PCB レイアウト

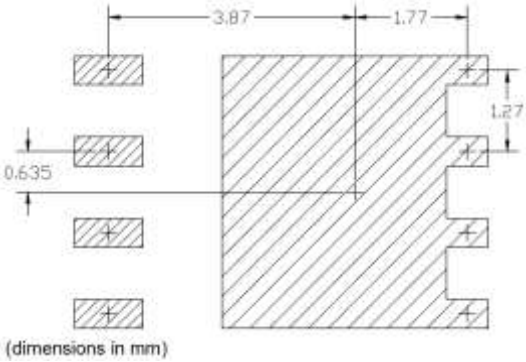


図 A.8.2(b) 5x6B 基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.8.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

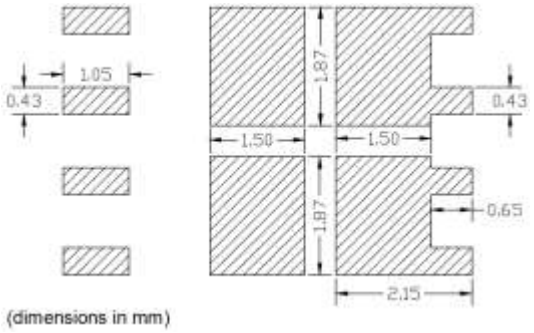


図 A.8.3(a) 5x6B ステンシル設計

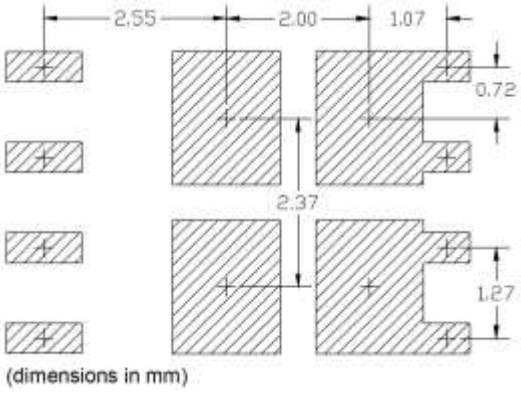


図 A.8.3(b) 5x6B ステンシル設計

付録 A.9 5x6 C デバイス

デバイスの外形

図A.9.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。

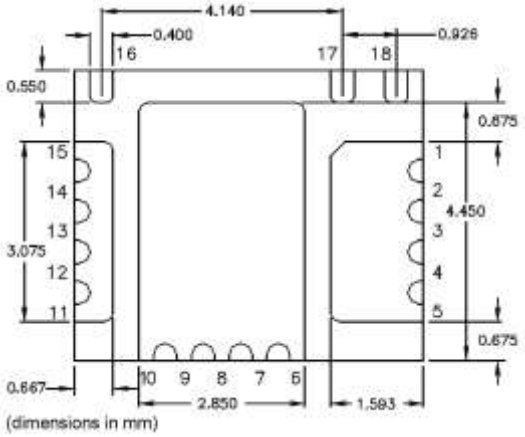


図 A.9.1 5x6C デバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.9.2（aおよびb）に示します。

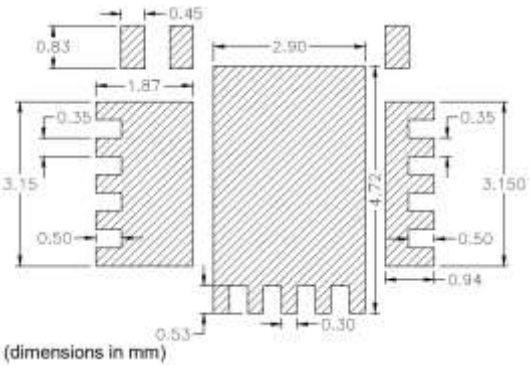


図 A.9.2(a) 5x6C 基板／PCB レイアウト

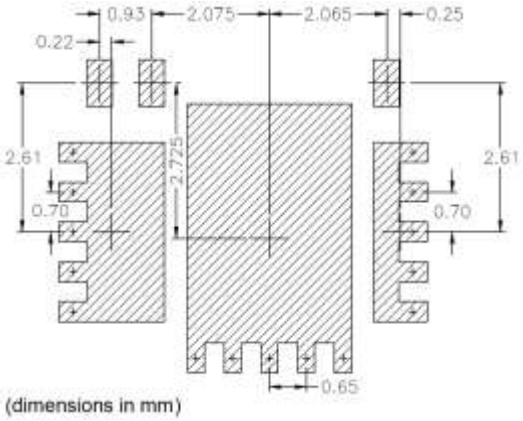


図 A.9.2(b) 5x6C 基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.9.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

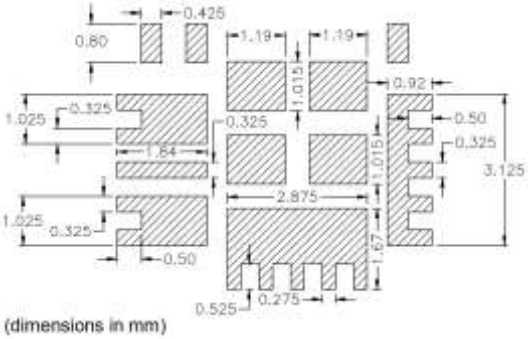


図 A.9.3(a) 5x6C ステンシル設計

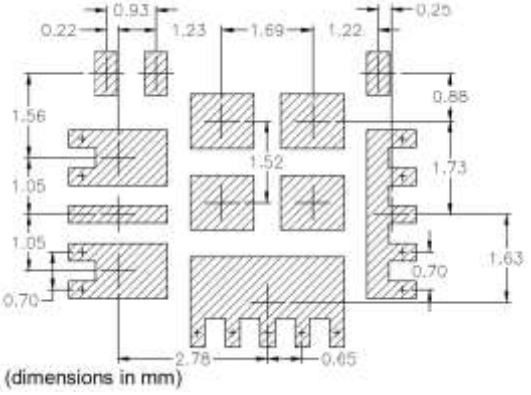


図 A.9.3(b) 5x6C ステンシル設計

付録 A.10 5x6 E デバイス

デバイスの外形

図A.10.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。

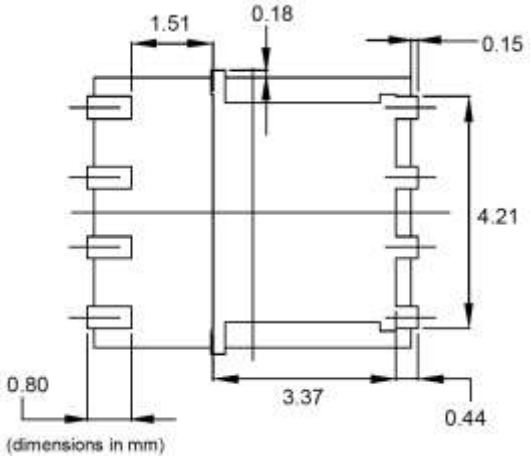


図 A.10.1 5x6 E デバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.10.2（aおよびb）に示します。

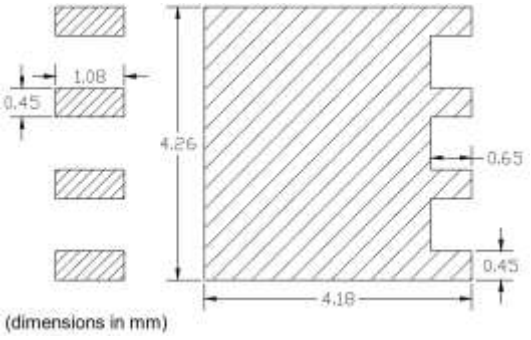


図 A.10.2(a) 5x6 E 基板／PCB レイアウト

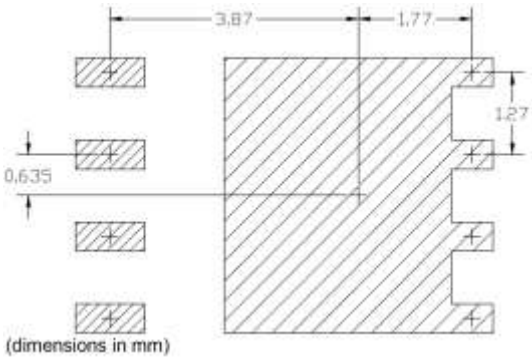


図 A.10.2(b) 5x6 E 基板／PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.10.3（a および b）に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

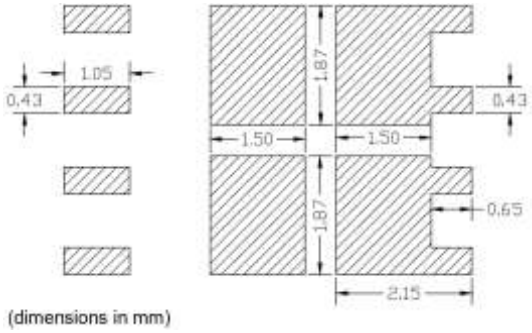


図 A.10.3(a) 5x6 E ステンシル設計

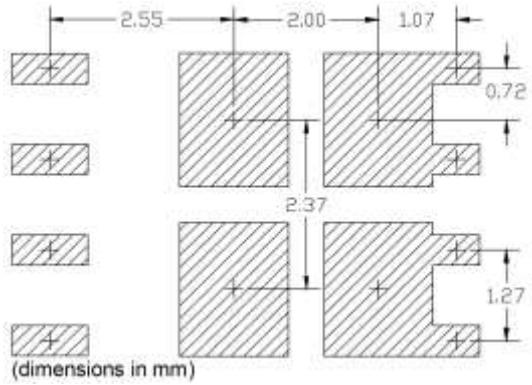
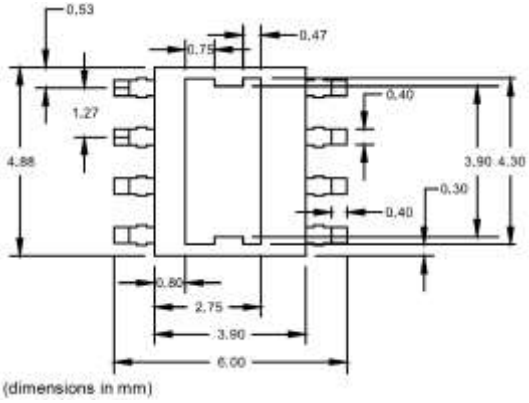


図 A.10.3(b) 5x6 E ステンシル設計

付録 A.11 パワーSO-8 デバイス

デバイスの外形

図A.11.1にこれらのデバイスの外形を示します。相対パッド位置は精度+/-0.050mmで管理されています。個々のデバイスについての全ての寸法／公差や大きさ、外形についてはデータシートおよびパッケージ外形図を参照して下さい。



図A.11.1 パワーSO-8デバイスの外形

基板／PCB レイアウト

基板／PCBレイアウト全体として最高の性能を示した基板とPCBのレイアウトを図A.11.2に示します。

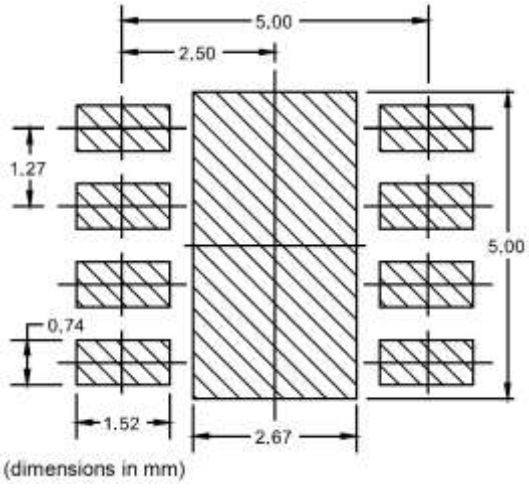


図 A.11.2 パワーSO-8 基板/PCB レイアウト

ステンシル設計

全体として最高の性能を示したステンシル設計を図 A.11.3 に示します。

注：この設計はステンシル厚さ 0.127mm（0.005 インチ）のものであり、その他のステンシル厚さに対しては調整が必要です。

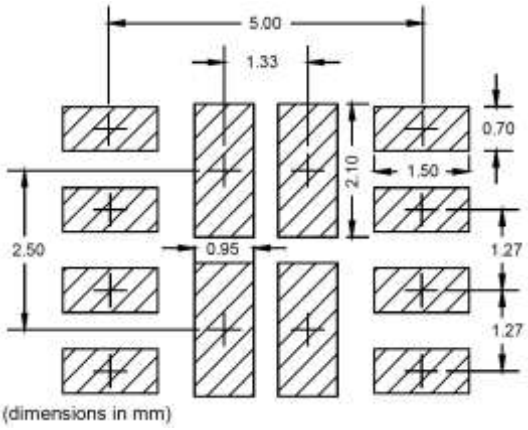


図 A.11.3 パワーSO-8 ステンシル設計

注：パワー SO-8 パッケージは、5×6mm デバイス（A、B、および E 外形）の設計で使用できます。このパッケージは、これらのデバイスのドロップ・イン置換品になるように設計されています。