International
IOR Rectifier

APPLICATION NOTE

アプリケーション・ノート：AN-1132

SupIRBuck™ パワーQFN（PQFN）基板実装に関するアプリケーション・ノート

目　次

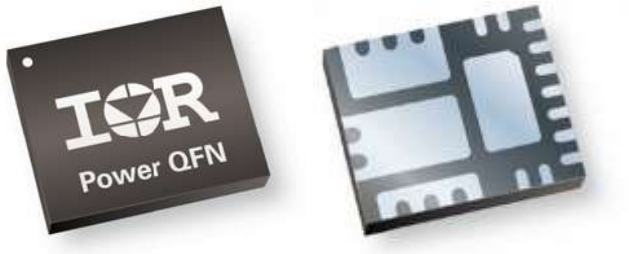
ページ

デバイスの構造 …… 2
設計の要件 …… 3
アセンブリの要件 …… 4
機械試験の結果 …… 8
付録A　モデル固有のデータ …… 10
付録A.1 4x5　デバイス …… 11
付録A.2 5x6 D　デバイス …… 12
付録A.3 5x6 F　デバイス …… 13
付録A.4 5x6 G　デバイス …… 15

PQFNパッケージ群は、幅広い入力電圧範囲に対応した高効率デバイスであり、部品番号の後に付くPbF（例、IR3800MTRPBF）が示すように、全整品が鉛フリーで提供されています。また、パッケージにはさまざまなサイズや外形のものがあります。このアプリケーション・ノートの本文にはPQFNデバイスのSupIRBuck全編に適用される手引きが記載され、『付録A』にはデバイス概要、基板のレイアウト、ステンシル設計がデバイスごとに記されています。個々のデバイスの詳細については、それぞれの製品のデータシートとパッケージ外形図をご覧ください。基板への取り付けを簡単にし、かつ信頼性を向上させるために、インターナショナル・レクティファイアー（IR）社は厳しい基準に基づいてPQFNデバイスを製造しています。このような高い基準は、さまざまな材料や設計を評価することによって発展を遂げてきました。このアプリケーション・ノートの推奨値はこうした評価では良い結果を示していますが、特定の製造環境に合わせて調整が必要となることがあります。

はじめに

Power QFNは、主に基板実装型の電源用に設計された表面実装用の半導体技術です。この表面実装半導体技術は、熱的および電気的なインダクタンスや、抵抗を大きくする原因となるパッケージの不要な要素を低減しているため、同じ大きさのパッケージに比べて大きな電力を扱えるようになっています。



PQFNパッケージ群には、さまざまなサイズやデバイス形状のものがあり、ワンチップ(ディスクリート)のものや多チップモジュール(MCM)のものが含まれます。このアプリケーション・ノートでは、SupIRBuckデバイスについて解説します。本文では全範囲に適用される手引きを記し、『付録A』ではデバイス外形、基板のレイアウト、ステンシル設計についてデバイスごとに述べます。すべての推奨事項は、X線検査を行い、リフロー後の位置合わせと設計実行可能性に関する詳細な分析を実施したPCB実装デバイスに基づいて作成されています。

基板への実装を簡単にし、かつ信頼性を向上させるために、インターナショナル・レクティファイアー(IR)社は厳しい基準に基づいてSupIRBuckデバイスを製造しています。このような高い基準は、さまざまな材料や設計を評価することによって発展を遂げてきました。このアプリケーション・ノートの推奨値はこれらの評価では良い結果を示していますが、特定の製造環境に合わせて調整が必要となることがあります。

ディスクリートPQFNデバイスについて詳しくはAN-1136とAN-1154を、またMCM PQFNデバイスについて詳しくは、AN-1168を参照してください。PowIRstage PQFN デバイスについてはAN-1169を参照してください。

デバイスの構造

PQFNデバイスは、表面実装され、最新の樹脂モールド手法が使われ、ワイヤ・ボンディングで相互接続されています。図1をご覧ください。

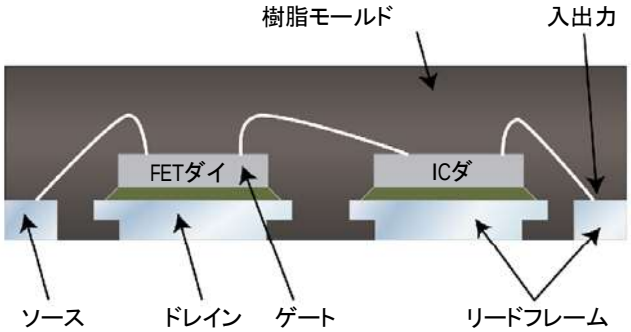


図1　デバイスの断面構造

図2は、PQFNデバイスのコンタクトパッド配置の一例を示しています。個々のパッド配置は製品別にデータシートに記載されています。

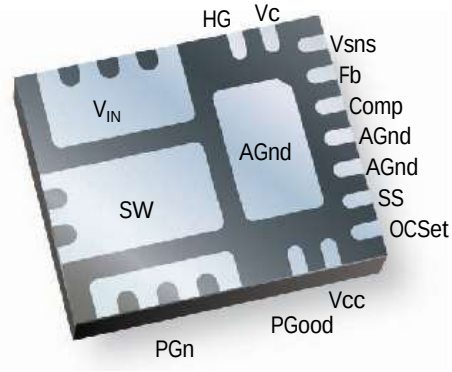


図2　コンタクトパッドの配置例

図3は、PQFNデバイスのラベル表示の内容を示したものです。部品番号、バッチ番号、日付コードにより、製品のトレーサビリティを実現しています。

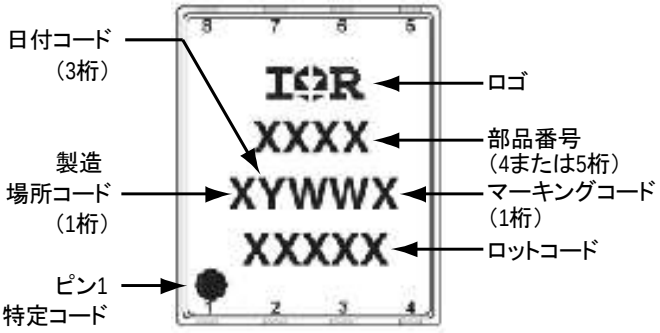


図3　デバイス上の表示

ピン1の位置は、次の2つの方法で表示されます。

・表面のドット（図4）
・裏面の半月形切り欠き（図5）



図4　IRFH5300PbF のピン1表示

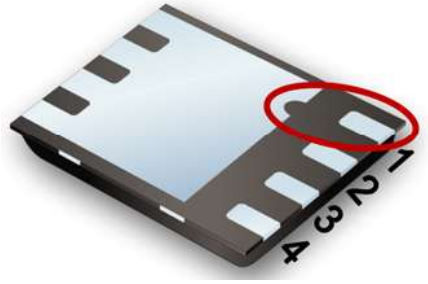


図5　IRFH5300PbF のピン1表示

設計項目について

基板

PQFNは、もともとガラスエポキシ基板（FR-4）に実装するために開発、評価されたものです。試験基板には有機系ソルダ・レジスト（OSP）で仕上げたものを使用しましたが、入手可能な数々のソルダ・レジストはいずれも試験基板に適しています。

基板の仕上げは、はんだ接続に必要なエネルギー量に影響を及ぼす可能性があります。また、その結果として、はんだボール、デバイス立ち（または傾き）、およびボイド（空洞）の発生といったはんだ品質上の問題を引き起こすおそれがあります。

基板の設計

PQFNデバイスは、低損失トラック・レイアウトを実現するために、パッドランドにはんだマスク定義（SMD）、リードランドに非はんだマスク定義（NSMD）のレイアウトを使用するように設計されています。SMDパッドランドは基礎をとなる銅トレースを最大化し、それにより電流の流れを増幅、デバイスを冷却することを可能としています。NSMD（銅定義）リードランドは、リードの位置ずれ公差を最大化し、ランドパッド寸法の管理を容易にします。

ただし、PQFNデバイスはNSMDレイアウトのみを採用したケースについても評価がなされています。SMDパッドランドを使用することは必須ではなく、使用しないことで既存プロセスとの親和性を高めるのであれば、使用を見送ってもかまいません。
SMDランドを使う場合、基礎銅トレースは、両端をはんだマスクの開口部より、少なくとも0.05mm大きくするのが望ましいといえます。双方のずれは、両軸上で最大公差0.1mmです。

NSMDランドを使う場合、はんだマスクの開口部は、両端の銅パッドより少なくとも0.025mm大きくすることが望まれます。双方のずれは、両軸上で最大公差0.05mmです。

リードランド間と鉛/パッドランド間のはんだレジストは、少なくとも0.15mm幅とするのが望ましいといえます。それより狭い場合、はんだブリッジが形成されることがあります。

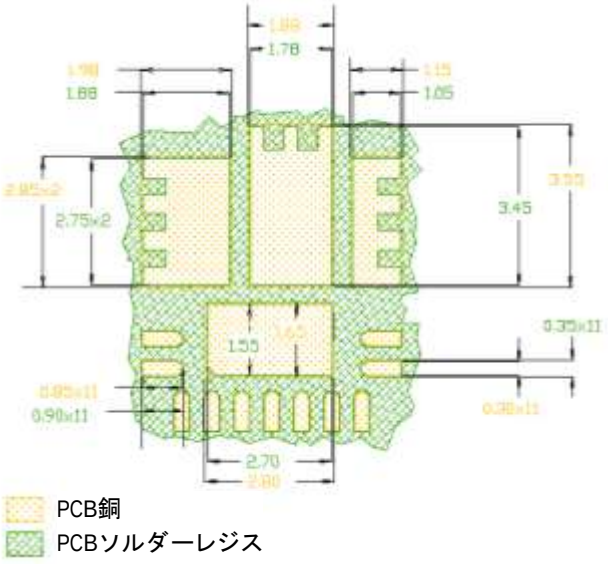


図6　銅とソルダーレジスト間の幅決定

PQFNデバイスは、簡略な配置（図7）を使うことで平行配置が可能になります。IR社では、最低限の離隔距離として0.500mm（0.020″）をお勧めしています。この離隔距離は、各作業所の加工能力に応じて調節することができますが、再加工を可能にするものでなければなりません。マイクロスクリーン設計と脱鉛ツールの種類によって、デバイス相互の、またはデバイス対他のコンポーネントについての離隔距離に影響が及ぶ場合があります。

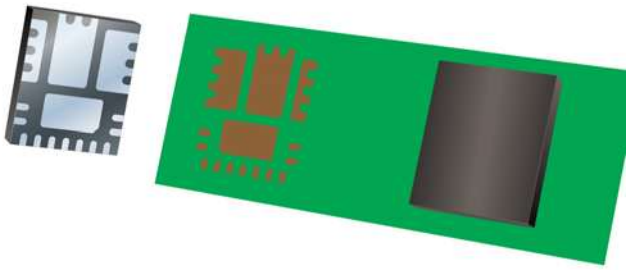


図7　PQFN デバイスの平行配置

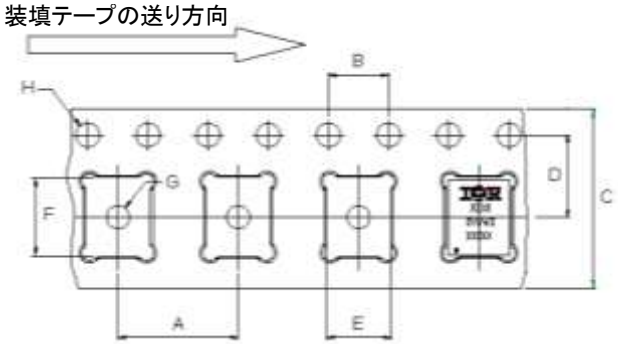
PQFN範囲内のそれぞれのパッケージ寸法とデバイス外形に合ったデバイス外形、基板配置、ステンシル設計については『付録A』をご覧ください。

アセンブリ要件

IR社は、標準的な表面実装技術を用いてできるだけ簡単に組み立てられるようにPQFNデバイスを設計しています。しかし、製造方法や製造条件がアセンブリの品質に多大な影響を及ぼす場合があります。従って、用途別の要求に基づいた効果的な工程の開発が必須です。

梱包形態

PQFNデバイスはテープ・アンド・リール形式でのご提供となります。



	各部寸法(mm)			
	4x5		5x6	
コード	最小	最大	最小	最大
A	7.90	8.10	7.90	8.10
B	3.90	4.10	3.90	4.10
C	11.70	12.30	11.70	12.30
D	5.40	5.60	5.40	5.60
E	4.20	4.40	5.20	5.40
F	5.20	5.40	6.20	6.40
G	1.50	–	1.50	–
H	1.50	1.60	1.50	1.60

図8　テープ・アンド・リール形式梱包形態

保存要件

PQFNデバイスは、窒素充填の帯電防止袋に密封されています。密封袋は通常の外光からデバイスを適切に保護しますが、強い光源に長時間さらすことのないよう慎重に取り扱ってください。また、この保護袋は周囲環境からも保護します。この袋に密封されたデバイスの保管寿命は1年間です。

梱包ラベルには、開封後の湿度感応度（MSL）をレベル1とするか2とするかの取扱方法について表示されています。良好なはんだ性を保つうえで、適正な保管が重要になります。

IR社では、デバイスのリールを使わないときは当初密封されていた保護袋に入れて再密封しておくことをお奨めしています。

はんだペースト

IR社はさまざまなメーカーの異なる種類のはんだペーストを評価しました。ペーストの特性はメーカーによって異なり、優劣があります。一般に、スランプ度の高いペーストはスランプ防止型ペーストよりも、はんだボールの問題を生じやすい傾向があります。はんだボールについては、次章のステンシル設計に関する箇所にて詳述します。また、他に比べてボイドが発生しやすいペーストもあります。

はんだの構成、含有金属、およびフラックスのすべてがはんだペーストの流動性に影響を及ぼします。その結果、処理中にペーストがどのように反応するかに影響が及びます。PQFNパッケージのアセンブリおよび基板レベルでの信頼性は鉛フリーのペースト(Sn96.5 Ag3.0 Cu0.5)のみを使用し評価しました。

IR社では、J STD 020Cに概要が記載されているリフロープロファイルを使用しているデバイスを資格認定していますが、最善の結果が得られるリフロープロファイルは基板実装時に使用されるはんだペーストによって左右されます。メーカーが異なれば、ペーストの反応も異なります。現在使用されているはんだペーストの技術的データには、最適なリフロープロファイルを設定するのに際し、初期の段階で参照すべき推奨条件が含まれている場合があります。

ステンシル設計

はんだ接合の品質を管理するには、ステンシル設計が役立ちます。『付録A』には、IR社が推奨する基板外形を用いた場合に良好な結果が得られるステンシル設計が記されています。そうしたデザインにおける対PCBパッドサイズの縮小は、パッド自体のサイズに依存します。一般的に、パッドが大きくなれば、より縮小することが必要となります。たとえば、デバイス外縁部の比較的小さな単一パッドの縮小率は10～15%になり、それより大きい中央部の電源パッドでは縮小が45%になるのが普通です。これらのデザインはステンシルの厚さが0.127mm(0.005")の場合であり、厚さが異なれば修正が必要になります。

PQFN用のステンシルは、厚さ0.100～0.250mm(0.004～0.010")のものに使用できます。0.100mmより薄いステンシルは、接地パッドで良好なはんだ接続を行うだけの十分なはんだペーストが堆積しないため、不向きです。縮小率が高い場合にも同様の問題が生じることがあります。適切に縮小された、厚さが0.125mm～0.200mm(0.005～0.008")のステンシルで最良の結果が得られます。

リフロー後の評価は、所定の工程内におけるステンシルの効果を評価するのに役立ちます。ステンシルの設計を改善することによって、以下に記載する2つの主要な問題点に対応することができます。

- **チップ周辺に発生するはんだボールの問題**
  この問題ははんだペーストが多すぎることで起こります。そのような場合、ステンシルをさらに縮小する必要があります。左右対称に縮小することもできますが、あえて不均等にすることではんだボール防止に役立つ場合もあります。『付録A』のステンシル設計には、このような理由から、開口部をチップのエッジからさらに離してあります。はんだボールは、それ以外にも、基板の含湿率、リフロープロファイルの不適切な温度上昇率や保持時間の不足といった外部要因によって生じることがあります。PQFNのようなリードの無いパッケージでは、プロセス内にある欠陥が顕著に出る場合があります。

- **形成不良による接続の問題**
  接続部が小さい、あるいは部分的にしか接続されていない場合、はんだ量が十分でないために接続できていない可能性があります。一方、接続部のエッジからあふれたように見える部分がある場合は、一般にはんだ量が多すぎることに起因します。この場合、ほぼ確実にはんだボールも発生しています。はんだ量が不十分な場合にもボイドが生じますが、多くの場合、ボイドは表面仕上げ、はんだペースト、および基板の状態といった他の要因で生じます。

デバイスの配置

不正確な配置は、はんだ接続不良、あるいはデバイスの傾きや位置ずれの原因となる場合があります。PQFNはX軸とY軸の両方において0.050mmの精度で配置することが理想的ですが、評価中にデバイスは自ら中心に移動し、0.300mmを超える配置誤差が生じます。このようなセルフ・センタリング挙動ははんだ付けおよび工程への依存性が

高く、特定の工程におけるセルフ・センタリングの限界を確認するために実験を行う必要があります。

リフロー装置

PQFNデバイスは、表面実装技術によるリフロー装置を使用したアセンブリに適しています。また、温風加熱法、ベーパー・フェーズ・リフロー法、および赤外線リフロー法を用いる装置にて使用することを推奨します。PbF認定のデバイスは短時間の高温暴露に対する耐性が優れているため、最高260°Cのリフロー処理に適しています（1つのPQFNデバイスに1つの熱電対を取り付けて測定します）。

評価および認定試験で使用するすべてのリフロー工程について、はんだペーストメーカーの推奨に従うこと以外には、アセンブリ成功のための特殊要件はありません。間違ったリフロープロファイルを使用すると、はんだボール、チップ立ち（または傾き）、およびボイドの発生といったはんだ品質上の問題を引き起こすおそれがあります。そのような問題が生じたら、リフロープロファイルをチェックしてください。

PQFNパッケージは優れた耐熱性能を持つよう設計されています。そのため、適切な熱エネルギーが確実にはんだ接続部に到達するには、基板の中心部分がリフロープロファイルの予熱段階で熱平衡に達していることが不可欠です。

検査

基板実装後のPQFNデバイスの検査に関する総合的な情報は、『SupIRBuck™ PQFN検査アプリケーション・ノート(AN-1133)』をご覧ください。
すべてのQFNパッケージと同様に、リフロー後にデバイスを検査する最良の方法は、周辺のはんだ接続部の目視検査とパッケージ真下の接続部のX線画像を組み合わせた方法です。

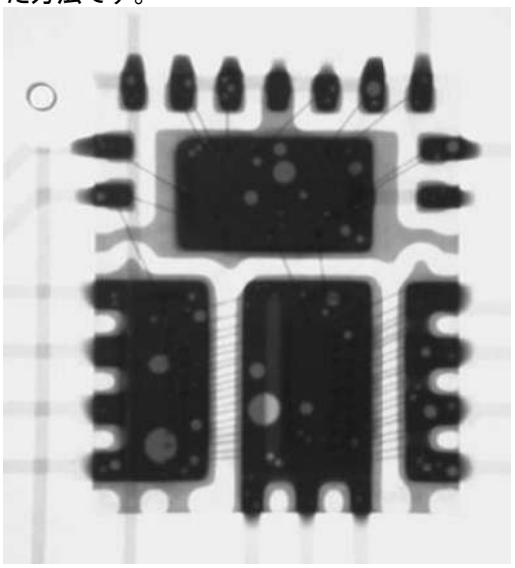


図9　PQFNのX線画像

図9は、基板実装型PQFNデバイスのX線画像で、はんだ接続部、位置合わせ、ボイドが示されています。ボイドの総面積が接続部の面積の25%を超える場合、その接続部は不良と見なします。図9の状態はその閾値範囲内にあります。

修正作業の指針

ボール・グリッド・アレイやリードの無いパッケージ用の修正作業に使用する最新の作業台には、通常2つの加熱ステージが使われます。

- 1つ目のステージでは、従来のホット・プレートまたは熱風システムで基板を加熱します。これは温風はんだ除去ツールからの必要な熱量を減らします。すなわち、基板または周辺の部品に損傷を与える危険を減らします。
- 2つ目のステージでは、熱風システムを使用して局部加熱を行いますが、交換したデバイスのはんだ接続を高速冷却するためにオプションの非加熱送風機を使用することもよくあります。これにより、はんだ粒状構造が改善されます。

デバイスの配置機構またはアームは、通常、吸引カップと熱電対を装備したピック・ヘッドの一部として、熱風はんだ除去ガンを備えています。はんだ溶融温度に達すると、吸引部が自動的に起動して、基板からデバイスが取り外されます。このような機構により、早すぎる取り外しによるデバイス損傷の危険性が低減されます。

殆どの修正作業台には、ユーザーの作成した開口設計をもとにメーカーが給付するマイクロ・ステンシルを付けるための装置があります。開口部は、手作業ではんだペーストを塗布する前に、基板の上でパッドに合わせます。その他、はんだペーストを塗布するために独立したマイクロ・ステンシルとへらを使うことも可能です。

修正作業の目的は、動作不良部品を取り外して良品と交換することです。IR社は、基板から取り外したデバイスを再利用することを推奨しません。PQFNを取り外す際には、発生したデバイスの不具合解析のために、不具合の状態を悪化させないように注意してください。

PQFNデバイスを交換するには:

注:残留湿気を除去するために通常、修正作業の前にベーキングを行っている場合は、その手順をここに挿入してください。

1. 基板加熱ステージで、修正作業を行う部位を約100°C（鉛フリーのデバイスでは150°C）まで加熱します。

注）鉛デバイスは、最高リフロー温度240°Cで認定されています（鉛フリーデバイスでは260°Cです）。デバイスや基板を過度に加熱しないために、機器の最高エアー温度を300°Cに設定してください。

2. 配置アームをはんだ除去ツールをデバイスに接触する位置まで下降させます。デバイスとはんだ接続部が溶融温度に達したら、配置アームを持ち上げて、基板からデバイスを取り外します。取り外したデバイスは破棄します。

3. ブレード型のはんだ除去ツールとはんだ除去用の吸取線を使用して、その部位から残留はんだを除去します。残留フラックスは、フラックス洗浄剤を使用して除去します。部位からの除去作業には際には注意が必要です。はんだレジストを損傷すると望ましくない結果を引き起こすおそれがあるからです。

4. 部位の清掃が済んだら、マイクロ・ステンシルとへらを使って新しいはんだペーストを塗布します。

5. 新しいデバイスを配置用ヘッド部の真空カップ部にセットし、設置アームをデバイスがはんだペーストに接触するまで下降させます。

6. 配置用ヘッドの真空スイッチをオフにして、配置アームを引き上げ、デバイスを基板上に配置します。

7. 基板加熱ステージで、部位を約100°C(鉛フリーデバイスでは、150°C) まで加熱します。

8. はんだ除去ツールでデバイスとはんだ接続部の両方をリフロー温度になるまで加熱し、はんだをリフローさせます。

9. デバイスを定位置に置いたままアームを退避させ、できるだけ迅速に冷却します。

機械的試験の結果

IR社では、基板実装型PQFNデバイスを広範囲にわたる機械的試験にかけています。試験は業界の基準と慣行に従って行われます。試験を行ったパッケージは5×6mmサイズのPQFNです。すべてのSupIRBuck PQFNデバイスが同じ方法で製造されますので、試験をしていないその他のパワーデバイスも同じ高い基準に従って機能します。

このセクションでは、曲げ試験、落下試験、および振動試験の結果を要約して説明します。

規格

JEDEC JESD22B113基板レベル繰り返し曲げ試験
JEDEC JESD22B111基板レベル落下試験
MIL-STD-810Fメソッド514手順1.ランダム振動

曲げ試験

試験方法

繰り返し曲げ試験はJEDEC JESD22B113の『Board Level Cyclic Bend Test Method for Interconnect Reliability Characterization of Components for Handheld Electronic Products』に従って行われました。

基板はJESD22B113に明記されているように、1枚につき9個のPQFN部品を実装するよう設計し、その厚みは0.030インチ（0.75mm）としました。支持アンビルのスパンは110mm、荷重アンビルのスパンは75mmでした。 3Hzの正弦波を2mmの変位で繰り返し印加しました。繰り返し数は200,000回としました。

試験結果

図10に、繰り返し曲げ試験の結果を示します。

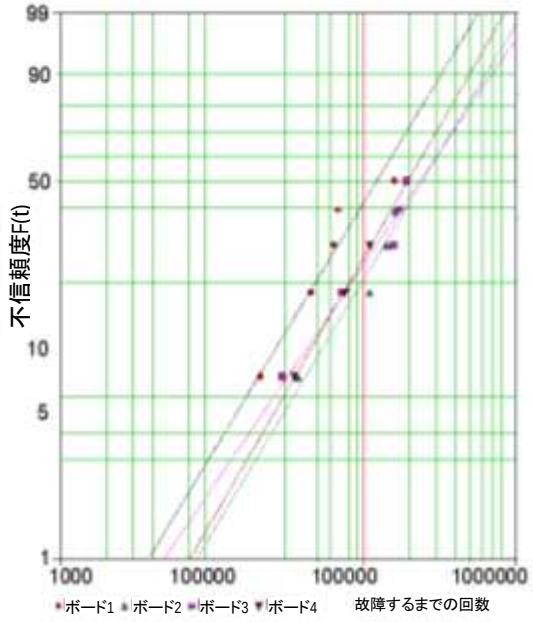


図10 PQFNデバイスの繰り返し曲げ試験結果

JESD22B113ではいかなる合格条件も要求していないことに注意してください。仕様書には、「試験の継続時間200,000サイクルを信頼性の期待値と解釈するべきではありません。それは単に、妥当な故障確率グラフを作成できるだけの十分な部品故障データを得るための、あるいは試験の継続時間に制限を加えるための推奨値です。信頼性に関する要件はサプライヤとお客様の間で別途取り決める必要があります」と記載されています。いくつかの点で、PQFNは比較的頑丈であると考えられます。このことは、JESDB113で述べられているように200,000サイクルという制限回数に達する前に故障した部品は全体の60%未満であったという結果からも分かります。

落下試験

試験方法

落下試験はJEDEC JESD22B111の『Board Level Drop Test Method of Components for Handheld Electronic Products』に準拠して行われました。

基板はJESD22B111に明記されているように、1枚につき15個のPQFN部品を実装するよう設計され、その厚みは0.030インチ（0.75mm）としました。アセンブリ全体の重量は22gでした。15.5インチの高さから鋼鉄製ブロックの上に落下させた結果、修正加速1500Gs、0.5ミリ秒継続の半正弦波パルスが得られました。図11はその衝撃パルスを示しています。各基盤を30回ずつ落下させ、落下の度に加速度計で測定を行いました。



図11 落下試験の衝撃波形

試験結果

60個のデバイスを試験した結果、故障はありませんでした。

振動試験

試験方法

試験方法 振動試験はMIL-STD-810F（『Method 514, Proc I, Cat.20–composite wheeled vehicle』）に従って行われました。振動試験で採用された基板設計は、JEDEC JESD22B111で指定されている設計と同じで、基板1枚につき15個のPQFN部品を実装します。

合計4枚の基板に対して振動試験を行いました。PQFN基板に5～500Hzの不規則振動を4時間かけ続けました。これは0.005g2Hz-1([0.48ms-2]2Hz-1)の加速度スペクトル密度で1.9grms（18.6ms-2rms）を受けている状態です。

図12は帯域通過フィルタによる周波数のグラフです。同様なパッケージでの内部接続不良の経験に基づき、デバイスには面外荷重（Z方向）試験のみを行いました。試験は合否試験で、振動が完全に停止した後にPQFNデバイスの合否を判定しました。

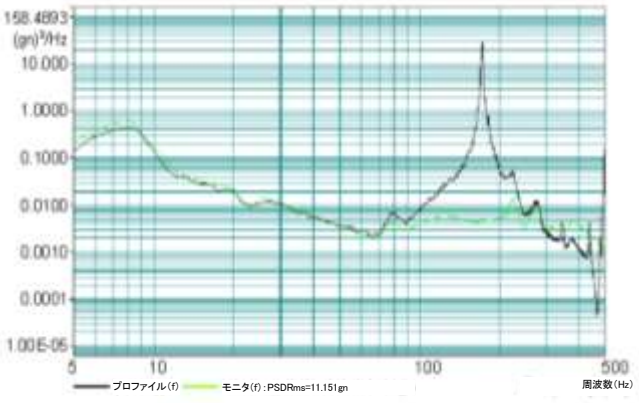


図12 帯域フィルタによる周波数グラフ

試験結果

60個のデバイスを試験した結果、故障はありませんでした。

付録A モデル固有データ

この付録には、各種PQFNデバイスに関する以下のような情報が記されています。

・ デバイス外形図
・ 推奨基板/PCBレイアウト
・ 厚さ0.127mm (0.005")のステンシル向け推奨設計

本付録記載のフットプリントとステンシル設計は推奨値であり、それぞれの要件に従って調節が必要になる場合があります。IR社では、各種パッケージタイプごとに試験を実施した結果、本設計により、反復可能なデバイス位置合わせと妥当なはんだ接合が実現できることを確認しております。

個々のデバイスについての寸法や外形についての詳細な情報については、それらデバイスに対応するデータシートをご覧ください。

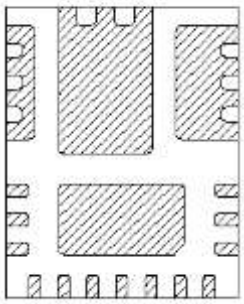
互換性

これらのデバイスには互換性がありません。

謝辞

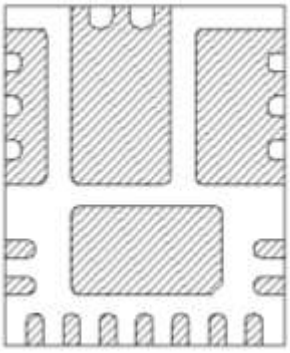
IR社は、基板/PCB配置とステンシル設計の作成に必要な研究の実施をご提供いただいたDfR Solutionsに感謝申し上げます。

4x5

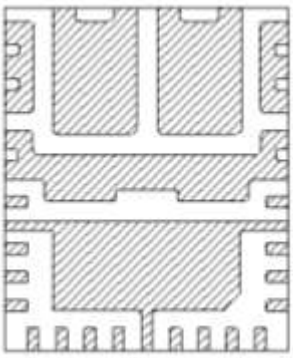


5x6mm外形

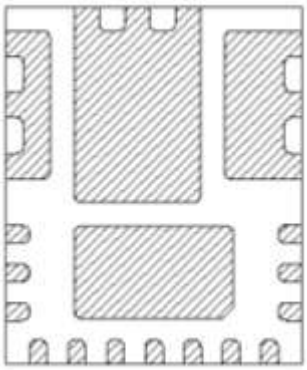
5x6 D



5x6 F



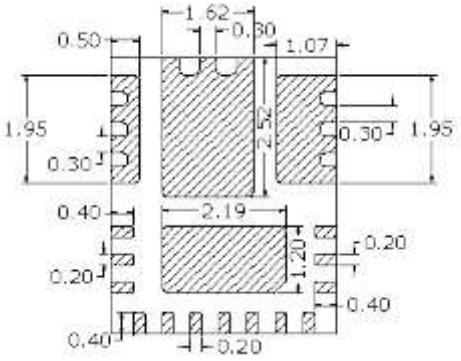
5x6 G



付録A.1 4x5デバイス

デバイスの外形

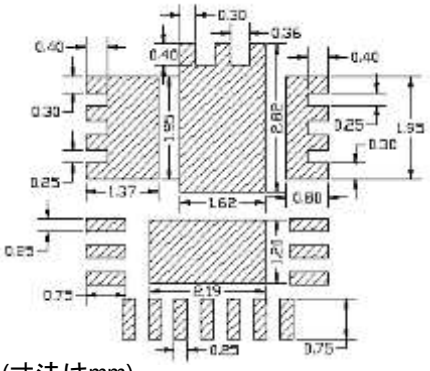
図A.1.1に4x5デバイスの外形を示します。相対的パッド位置は精度±0.050mmまで管理されています。それぞれのデバイスのすべての寸法と公差、およびサイズと外形については対応する製品データシートとパッケージ外形図をご覧ください。



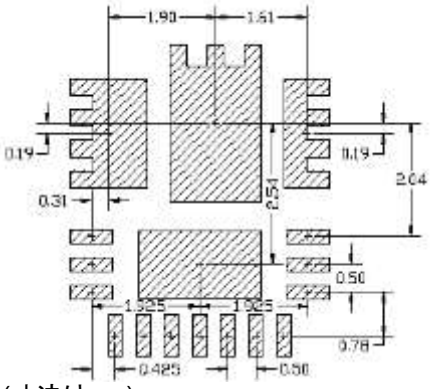
(寸法はmm)
図　A.1.1 4x5 デバイスの外形

基板/PCB レイアウト

全体として最高の性能を示した基板/PCBレイアウトを図A.1.2(a、b)に示します。



(寸法はmm)
図　A.1.2(a)4x5 基板/PCBレイアウト

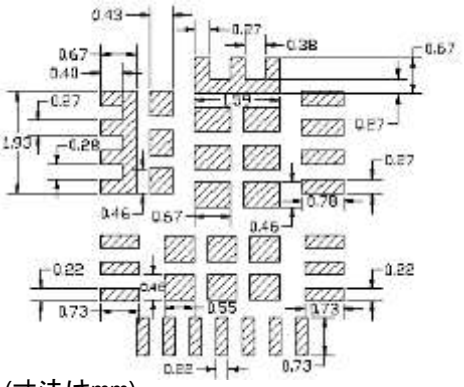


(寸法はmm)
図　A.1.2(b)4x5 基板/PCBレイアウト

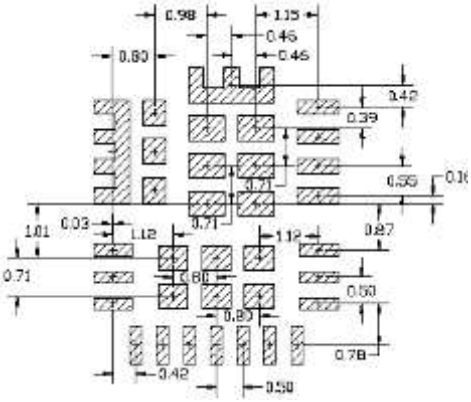
ステンシル設計

全体として最高の性能を示したステンシル設計を図A.1.3(a、b)に示します。

注:この設計は、ステンシル厚さが0.127mm(0.005")の場合のものです。他の厚さのステンシルには縮小が必要です。



(寸法はmm)
図　A.1.3(a) 4x5ステンシル設計

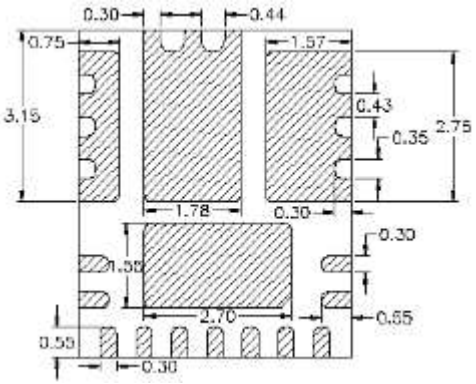


(寸法はmm)
図　A.1.3(b) 4x5ステンシル設計

付録 A.2 5x6 Dデバイス

デバイスの外形

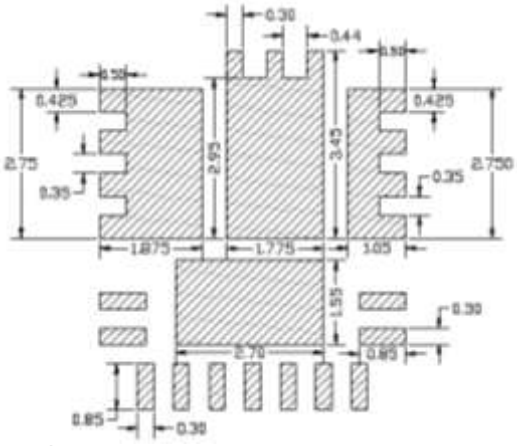
図 A.2.1 に5x6Dデバイスの外形を示します。相対的パッド位置は精度±0.050mmまで管理されています。それぞれのデバイスのすべての寸法と公差、およびサイズと外形についてはは関連する製品データシートとパッケージ外形図をご覧ください。



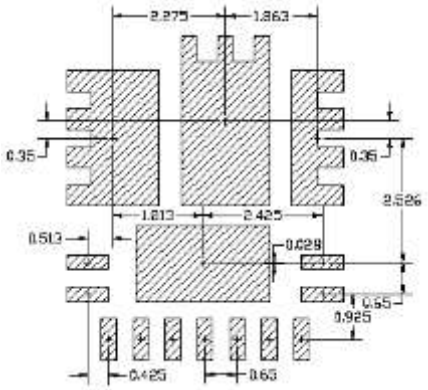
(寸法はmm)
図 A.2.1 5x6 Dデバイスの外形

基板/PCB レイアウト

全体として最高の性能を示した基板/PCBレイアウトを図A.2.2(a、b)に示します。



(寸法はmm)
図 A.2.2(a) 5x6 D基板/PCB レイアウト

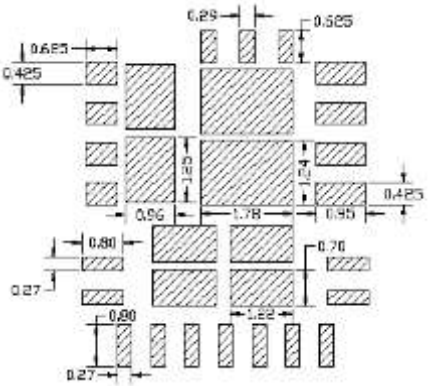


(寸法はmm)
図 A.2.2(b) 5x6 D基板/PCB レイアウト

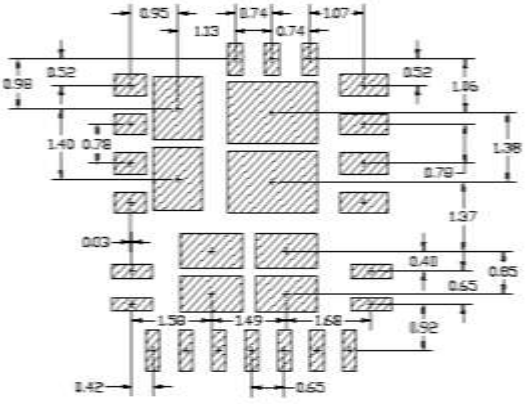
ステンシル設計

全体として最高の性能を示した基板/PCBレイアウトを図A.2.3(a、b)に示します。

注:この設計は、ステンシル厚さが0.127mm(0.005")の場合のものです。他の厚さのステンシルには縮小が必要です。



(寸法はmm)
図 A.2.3(a) 5x6 Dステンシル設計

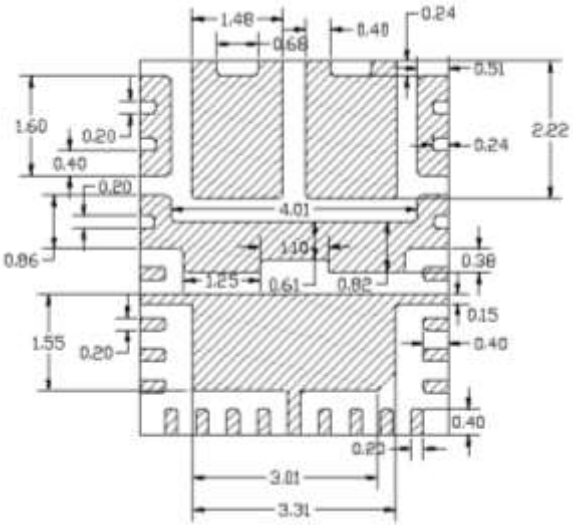


(寸法はmm)
図 A.2.3(b) 5x6 Dステンシル設計

付録A.3 5x6 Fデバイス

デバイスの外形

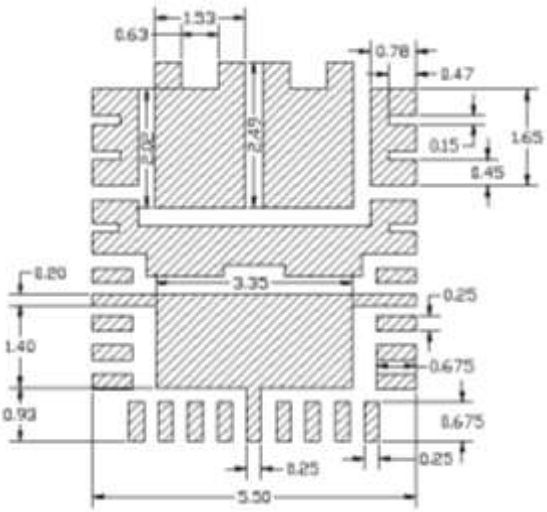
図A.3.1に5x6Fデバイスの外形を示します。相対的パッド位置は精度±0.050mmまで管理されています。それぞれのデバイスのすべての寸法と公差、およびサイズと外形については関連する製品データシートとパッケージ外形図をご覧ください。



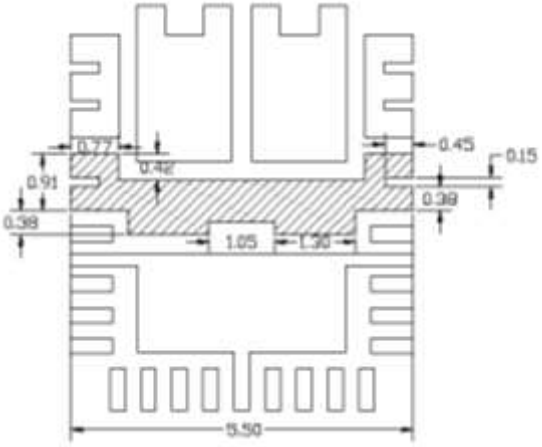
(寸法はmm)
図　A.3.1 5x6 Fデバイスの外形

基板/PCB配置

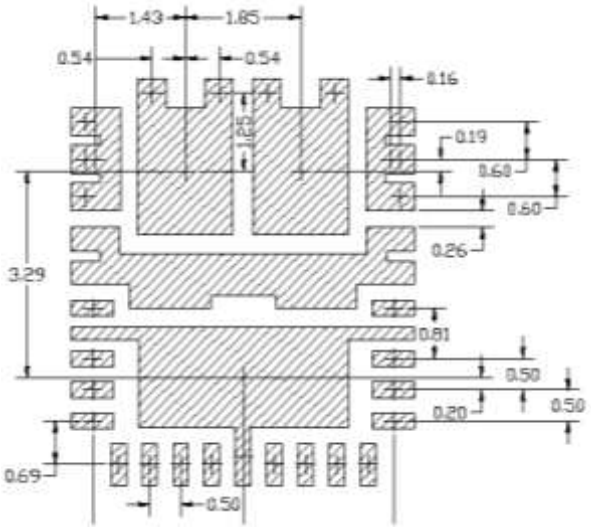
全体として最高の性能を示した基板/PCBレイアウトを図A.3.2(a、b、c)に示します。



(寸法はmm)
図　A.3.2(a) 5x6 F基板/PCB 配置



(寸法はmm)
図　A.3.2(b) 5x6 F基板/PCB 配置

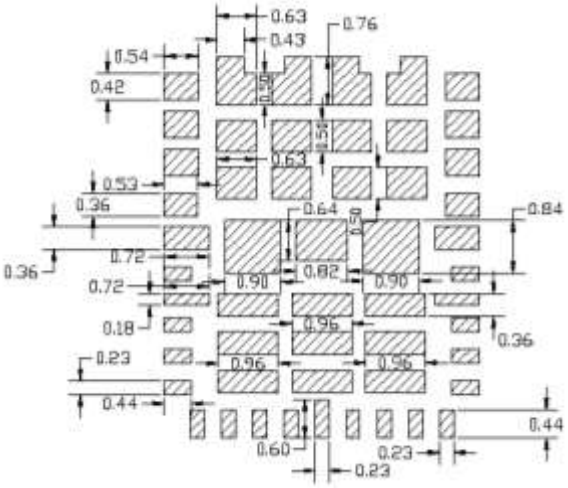


(寸法はmm)
図　A.3.2(c) 5x6 F基板/PCB 配置

ステンシル設計

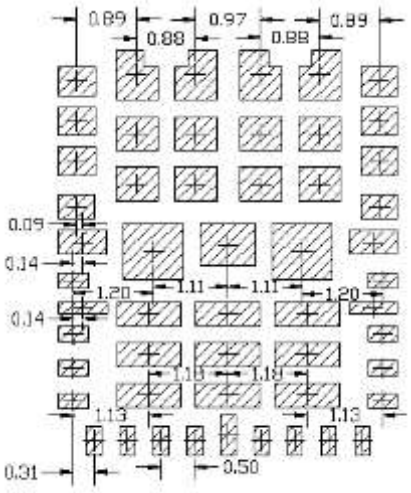
全体として最高の性能を示した基板/PCBレイアウトを図A.3.3(a、b、c)に示します。

注:この設計は、ステンシル厚さが0.127mm(0.005")の場合のものです。他の厚さのステンシルには縮小が必要です。



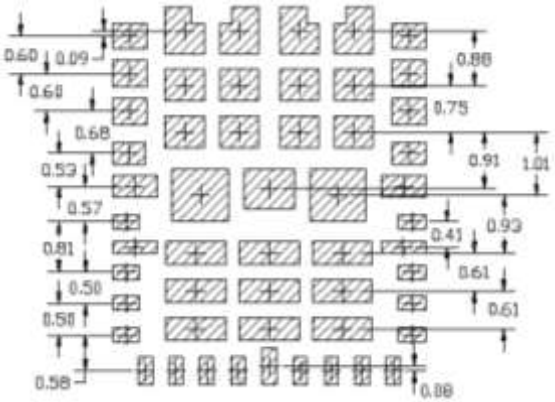
(寸法はmm)

図　A.3.3(a) 5x6 Fステンシル設計



(寸法はmm)

図　A.3.3(b)　5x6 Fステンシル設計



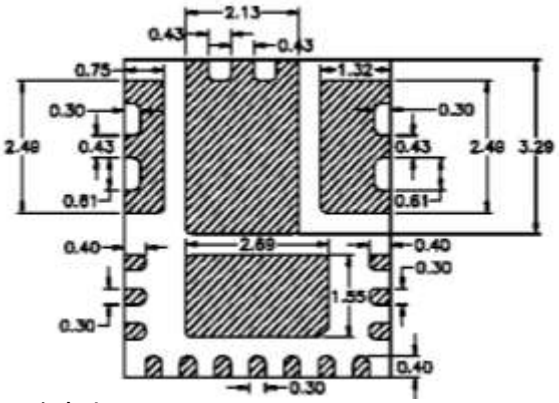
(寸法はmm)

図　A.3.3(c) 5x6 Fステンシル設計

付録 A.4 5x6 G デバイス

デバイスの外形

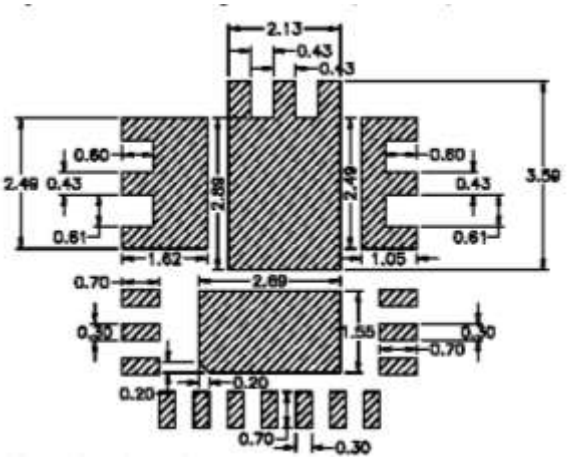
図A.4.1に5x6Gデバイスの外形を示します。相対的パッド位置は精度±0.050mmまで管理されています。それぞれのデバイスのすべての寸法と公差、およびサイズと外形については関連する製品データシートとパッケージ外形図をご覧ください。



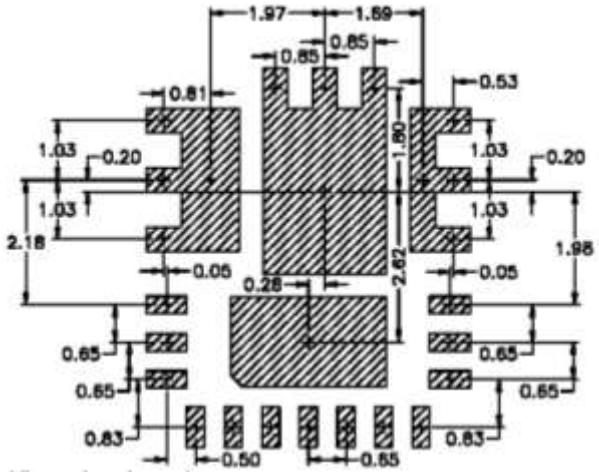
(寸法はmm)
図　A.4.1 5x6 Gデバイス外形

基板PCB配置

全体として最高の性能を示した基板/PCB レイアウトを図A.4.2(a、b)に示します。



(寸法はmm)
図　A.4.2(a) 5x6 G基板/PCB 配置

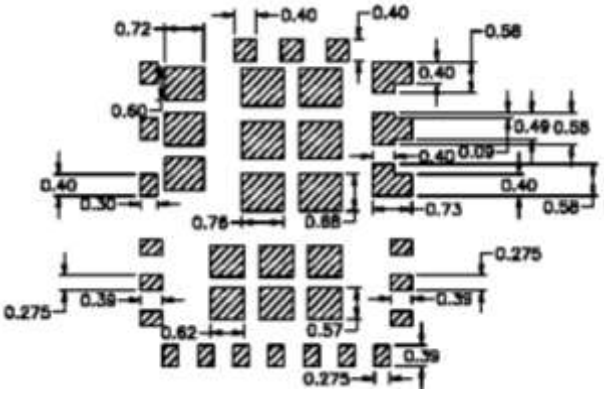


(寸法はmm)
図　A.4.2(b) 5x6 G基板/PCB 配置

ステンシル設計

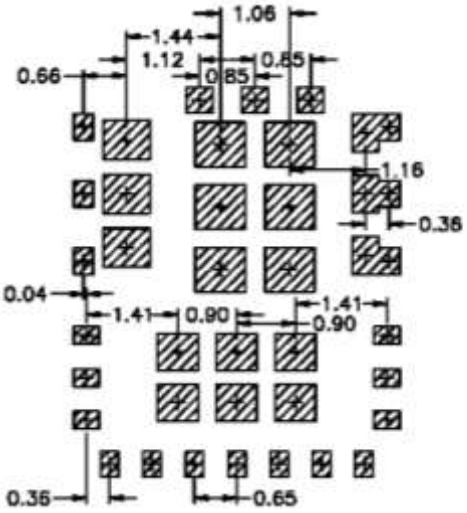
全体として最高の性能を示した基板/PCBレイアウトを図A.4.3(a、b、c)に示します。

注:この設計は、ステンシル厚さが0.127mm(0.005")の場合のものです。他の厚さのステンシルには縮小が必要です。



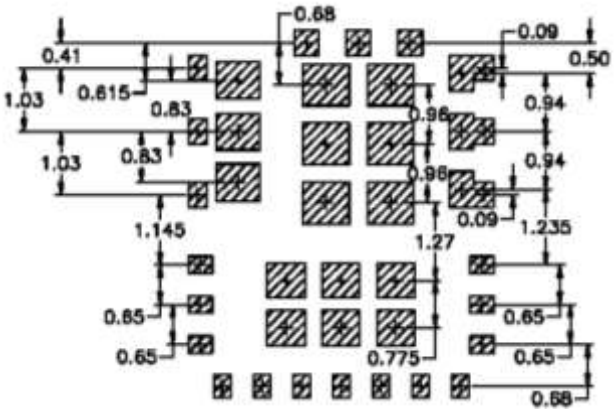
(寸法はmm)

図　A.4.3(a) 5x6 Gステンシル設計



(寸法はmm)

図　A.4.3(b) 5x6 Gステンシル設計



(寸法はmm)

図　A.4.3(b) 5x6 Gステンシル設計