International
IOR Rectifier

Application Note **AN-1077**

μPFC™ IC：IR1150を利用したPFC回路の設計

ワン・サイクル・コントロールIC

R. Brown, M. Soldano, International Rectifier

このアプリケーション・ノートでは、ブースト・コンバータとμPFC™ IC「IR1150S」を使った電流連続モード（CCM）の力率改善（PFC）回路の設計法について説明します。IR1150は、PFCコンバータの制御を対象とするインターナショナル・レクティファイアー（IR）社独自の「ワン・サイクル・コントロール（OCC）」技術を使っています。このアプリケーション・ノートでは、コンバータの仕様や設計時に必要とされるトレードオフを含めて、設計手順の各ステップをすべて説明します。

内容

・力率改善（PFC）
・ワン・サイクル・コントロール（OCC）の動作
・IR1150の詳細説明
・設計手順とその例
・設計の詳細
・背景

➢ その他の情報は下記を参照してください。
http://www.irf.com/product-info/smps/

キーワードは: PFC, Power Factor Correction, THD.

はじめに

力率は実効電力（Real Power）と皮相電力（Apparent Power）の比で定義されます。ここで、実効電力は瞬時電力を全周期について時間積分したもので、皮相電力は全周期について測定した電圧の実効値（rms）と電流の実効値との単純な積です。

$$\text{Real Power} = \frac{1}{T}\int_0^T V_{IN} I_{IN} dt \qquad (1)$$

$$\text{Apparent Power} = V_{inRMS} \cdot I_{inRMS} \qquad (2)$$

$$PF = \frac{P_{REAL}}{P_{APPARENT}} \qquad (3)$$

正弦波電圧に対しては、次のように表すことができます。

$$PF = \frac{V_{rms} \cdot I_{rms1} \cdot cos(\phi)}{V_{rms} \cdot I_{rms}} = \frac{I_{rms1}}{I_{rms}} cos(\phi) \qquad (4)$$

V_{rms} はライン電圧の実効（rms）値

I_{rms} はライン電流の実効（rms）値

I_{rms1} はライン電流の基本波

ϕ は電圧と電流との間の偏位角

この場合、力率は、次のように歪み成分と偏位成分に分けられます。

$$k_D = \frac{I_{rms1}}{I_{rms}}; k_\phi = cos(\phi) \qquad (5)$$

電圧波形と電流波形との間の位相シフトは、入力のリアクタンス成分、すなわちインダクタンス成分または容量成分によって発生します。

純粋な抵抗負荷では、電圧と電流は同相の正弦波になり、真の電力は皮相電力に等しく、PF = 1 になります。

$$I_{rms} = \sqrt{\sum_{n=1}^{\infty} I_{rms_n}^2} \qquad (6)$$

$$THD = \frac{\sqrt{I_{rms}^2 - I_{rms1}^2}}{I_{rms1}^2} \qquad (7)$$

PFC 回路用
ワン・サイクル・コントロール

ワン・サイクル・コントロール（OCC）の動作は、論文[3][4][5]で解析されています。

コンバータの出力電圧 V_o は、出力の分圧回路によって比例縮小されて、誤差アンプ V_{FB} に入力されます。誤差アンプは、ループ補償を提供し、誤差信号すなわち変調電圧 V_m を発生するために使われます。

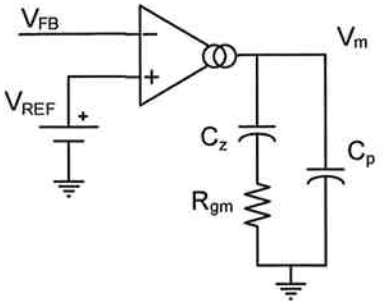


図1 誤差アンプ

ワン・サイクル・コントロールの中核回路は、リセット可能な積分器です。このブロックが変調電圧を積分し、各スイッチング周期の終わりにリセットされます。

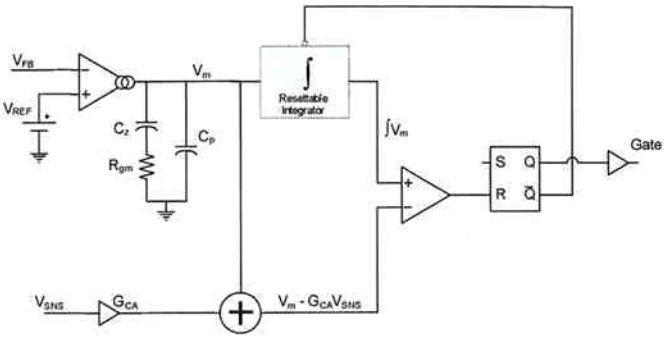


図 2 ワン・サイクル・コントロールの中核

電圧ループ帯域幅は非常に狭いため、変調電圧は非常にゆっくり変化するのでスイッチング周期の間は一定と見なすことができます。これは、積分器出力がリニアなランプ信号であることを意味します。積分器のランプ信号の傾きは、誤差アンプの出力電圧 V_m に比例します。

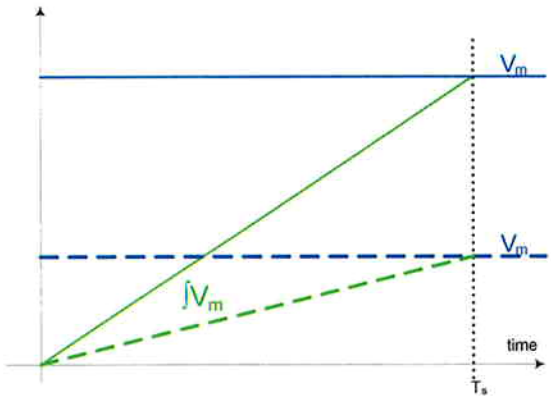


図 3 リセット可能な積分器の特性

重要な特性は、各周期の終わりにランプ信号が積分値に一致するようにするために、積分器の積分時定数がスイッチング周期に一致しなければならないことです。

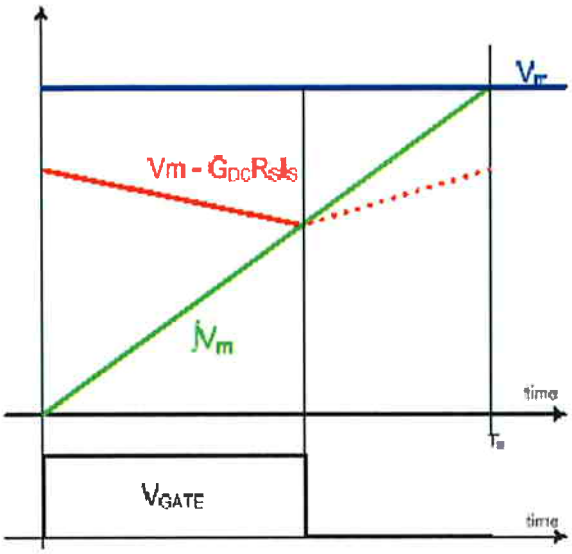


図 4 PWM 信号の発生

PWM（パルス幅変調）コンパレータの基準電圧は、次のように変調電圧から電流検出抵抗の両端にかかる電圧を減算して得ます。

$$v_m - G_{CA} \cdot v_{SNS} \qquad (8)$$

これは、トレーリング・エッジ変調のブースト・コンバータを正しく制御するために、一般的なワン・サイクル・コントロール PWM に対して必要とされる入力条件です。

入力電流に応じた基準のしきい値と出力電圧に応じたランプ信号を供給することにより、コンバータのデューティ比の必要な制御が実現されて、出力電圧の安定化と力率改善が可能になります。

この制御技術ではライン電圧を直接検出する必要がありません。ライン電圧の情報はコイルの電流に含まれています。

IR1150 の詳細な説明

IR1150は、電流連続モードにおいて固定周波数で力率改善動作を行うブースト・コンバータを対象としています。このICは本質的に、内部電流ループと外部電圧ループの2つのループで動作します。

PWM のデューティ比が入力ライン電圧に比例することを使って、内部電流ループは平均入力電流の正弦波プロファイルを維持し、入力ライン電流を近似します。このため、電流ループは内蔵されている入力電圧信号を使って、入力電圧に追従するように平均入力電流を制御します。この動作で電流連続モードが維持される限り、この動作が行われます。

ライン周期がゼロ・クロスに向かって変化するため、また、コイルが有限なインダクタンス値を持つことによってコンバータが非常に軽い負荷で動作するため、電流波形にはある程度の歪みが存在します。これらの動作条件下で発生する高調波電流は、欧州の EN61000-3-2 のクラス D 仕様を十分満たすため、問題になることはありません。

外部電圧ループはブースト・コンバータの出力電圧を制御し、出力電圧の誤差アンプは電圧を出力します。この出力電圧が積分器出力のランプ信号の傾きを直接制御するため、入力電流の平均値も制御されます。2つの制御要素の組み合わせにより、入力電流の振幅と波形が入力電圧に比例し、かつ位相が一致するように制御されます。

このICは、動作を確実にするために保護回路を備えています。システム・レベルの過電流、過電圧、低電圧、電圧低下状態から保護する回路です。

低電圧ロックアウト（UVLO）回路はV_{CC}ピンをモニターし、V_{CC}ピンの電圧がUVLOのしきい値電圧($V_{CC\ ON}$)に到達するまでの間、ゲート駆動信号をオフに維持します。

オープン・ループ保護(OLP)機能は、帰還ピン（V_{FB}）の電圧が基準値（V_{REF}）の20%以下のときに、コントローラが動作しないようにします。何らかの理由で電圧制御ループがオープンになった場合に、ICが起動しないため、致命的な故障が回避できます。

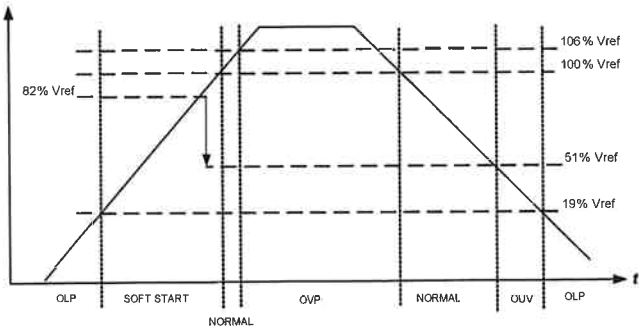


図 5　出力保護機能

V_{FB}ピン電圧がV_{REF}の20%より高い場合に、V_{CC}電圧がこのしきい値電圧を超えると直ちに、ゲート駆動信号がスイッチングし始めます。

V_{CC}ピンの電圧がUVLOのターンオフするしきい値電圧($V_{CC\ UVLO}$)を下回ると、ICはオフして、ゲート駆動信号が停止します。処理を再開するためには、ターンオンのしきい値電圧を再度超える必要があります。

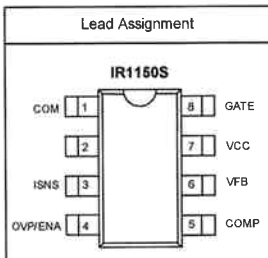
過電圧から出力を保護するために、専用のプログラマブルな過電圧保護ピン(OVP)が用意されています。PFCの電圧帰還ループは一般に非常に低速です。出力電圧が設定したOVPの電圧を超えると、出力電圧が再度、基準値に近付くまで、ゲート駆動信号をディセーブルにします。

最後に、出力低電圧保護（OUV）機能も用意されています。すなわち、過負荷または電圧低下の場合、コンバータが電流を自動的に制限します。その結果、出力電圧が低下します。基準の出力電圧の50%を下回ると、コントローラがオフして再起動します。

発振器は、ICのスイッチング周波数をFREQピンの外付け抵抗で設定できるように設計されています。最小動作周波数と最大動作周波数が50kHz～200kHzの範囲内に入るように最小/最大の制限値が設定してあります。

このほか、IR1150S には、IC を「スリープ・モード」にする機能があります。スリープ・モードでは、IC の内部ブロックがディセーブルにされるため、IC の静止電流は 200μA と非常に小さくなります。これは、待機時にシステムの消費電力を最小限にするために、またはシステム設計者の判断に基づきコンバータをオフするために盛り込んだ機能です。OVP ピン(4 番ピン)の電圧を 0.62V （標準値）以下にするとスリープ・モードになります。

ゲートの駆動出力は、一般的なパワー・スイッチのMOSFETを駆動するのに十分な能力があります。



Lead Assignment	Pin#	Symbol	Description
	1	COM	Ground
	2	FREQ	Frequency Set
	3	ISNS	Current Sense
	4	OVP/ENA	Overvoltage Fault Detect / Enable
	5	COMP	Voltage Loop Compensation
	6	VFB	Output Voltage Sense
	7	VCC	IC Supply Voltage
	8	GATE	Gate Drive Output

図6　IR1150Sのピン配置

PFC コンバータの設計手順

この節では、コントロール IC「IR1150S」を使った力率改善（PFC）の電流連続モード・ブースト・コンバータの一般的な設計手順を説明します。さらに、PFC コンバータの設計で一般的なトレードオフについても説明します。

代表例として300WのPFCコンバータを設計するときの手順を示します。

インターナショナル・レクティファイアー社は、IR1150の特性に焦点を当てた評価ボード[2]を提供しています。このボードは、このアプリケーション・ノートで説明した設計手順に従って製作したものです。

コンバータの仕様

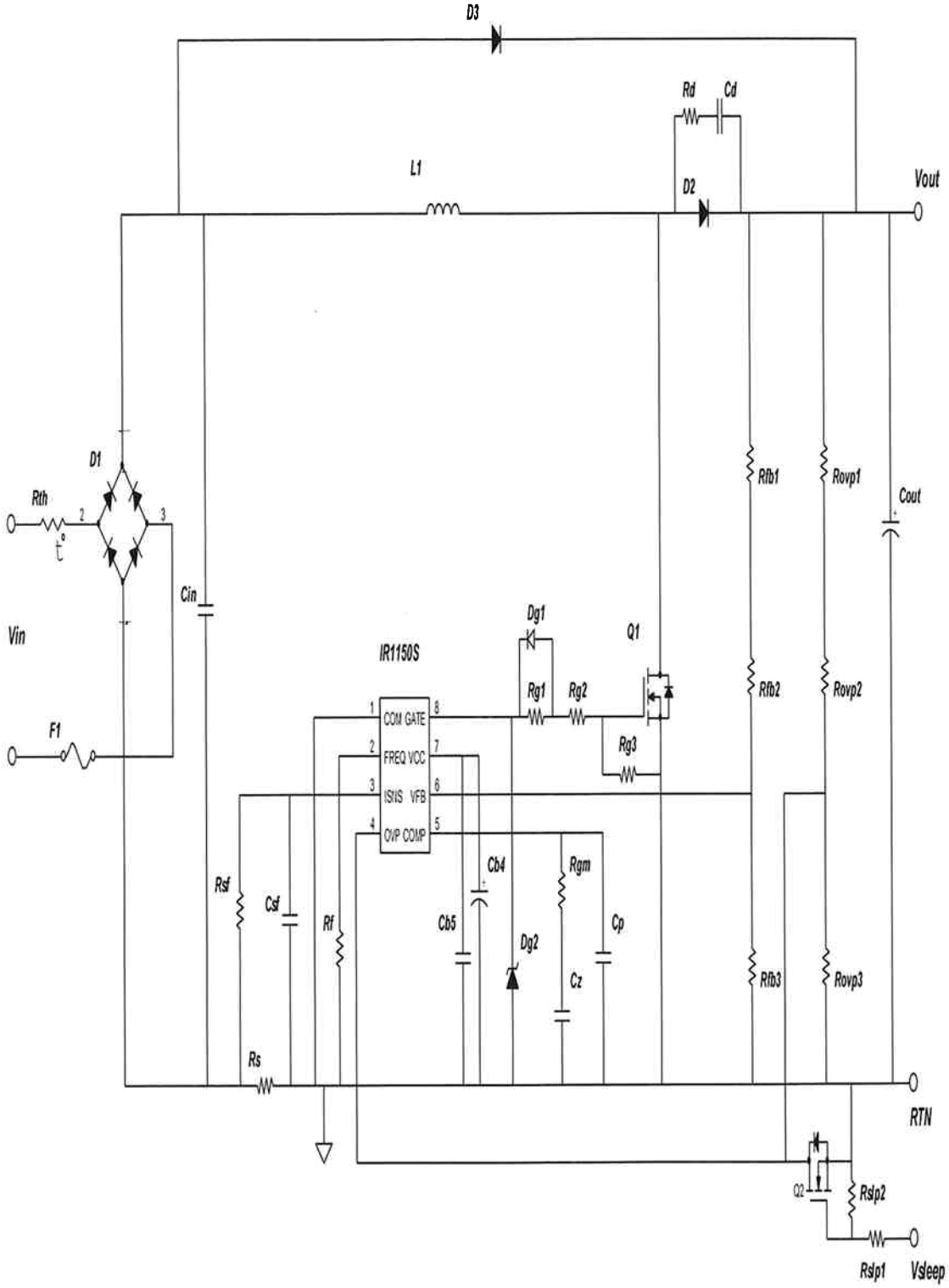
交流入力電圧 (rms)	**85V（最小）～ 264V（最大）**
入力ライン周波数	**47Hz ～ 63Hz**
目標効率	**最小92%（AC 90V / 300Wのとき）**

力率（PF）	最小0.99（AC 115V / 300Wのとき）
高調波歪み	最大4%（AC 230V / 300Wのとき）
交流突入電流（ピーク値）	最大35A（AC 230V / 300Wのとき）
最大動作温度（周囲温度）	50°C
直流出力電圧（基準値）	385V
直流出力電圧（最大値）	DC425V
出力ホールドアップ時間（最小値）	30msec（出力285V）
コンバータのスイッチング周波数	100kHz
ソフトスタート時間（最大値）	40msec

コンバータの入力変数と出力変数の定義

$P_{OUT(MAX)}$	負荷に供給されるコンバータの最大出力電力
$P_{IN(MAX)}$	交流電源からコンバータへの最大入力電力
η_{MIN}	コンバータのワースト・ケース最小効率
$I_{IN(RMS)MAX}$	交流電源からの入力電流の最大実効値
$I_{IN(PK)MAX}$	交流電源からの入力電流の最大ピーク値
$I_{IN(AVG)MAX}$	交流電源からの入力電流の最大平均値
$V_{IN(RMS)MIN}$	交流電源から供給される入力電圧の最小実効値
$V_{IN(PK)MIN}$	AC電源から供給される入力電圧の最小ピーク値

コンバータの回路図


D3
Rd
Cd
L1
D2
Vout
D1
Rth
Rfb1
Rovp1
Cout
Cin
Vin
Dg1
Q1
IR1150S
Rg1
Rg2
Rfb2
Rovp2
F1
COM GATE
FREQ VCC
ISNS VFB
OVP COMP
Rg3
Rsf
Csf
Rf
Cb4
Rgm
Cb5
Dg2
Cp
Cz
Rfb3
Rovp3
Rs
RTN
Q2
Rslp2
Rslp1
Vsleep

パワー段の設計

最大入力電力と最大入力電流

コンバータ設計はほとんど、低ライン電圧を採用しています。これは効率と入力電流には最悪の条件です。

(低いライン電圧でPF≧0.99を想定)

低いライン電圧で標準的な効率を想定すると、最大入力電力は次の式で求められます。

$$P_{IN(MAX)} = \frac{P_{O(MAX)}}{\eta_{MIN}} = \frac{300W}{0.92} = 326W$$

交流入力電圧の最小値での最大rms交流ライン電流は次式で表せます。

$$I_{IN(RMS)MAX} = \frac{P_{O(MAX)}}{\eta_{MIN}(V_{IN(RMS)MIN})PF}$$

$$I_{IN(RMS)MAX} = \frac{300W}{0.92(85V)0.998} = 3.8A$$

交流電流を正弦波とすると、交流電流のピーク値は次のようになります。

$$I_{IN(PK)MAX} = \frac{\sqrt{2}(P_{IN(MAX)})}{V_{IN(RMS)MIN}}$$

$$I_{IN(PK)MAX} = \frac{1.414(326W)}{85V} = 5.4A$$

交流ライン入力電流は、正弦波と仮定して以下のように計算できます。

$$I_{IN(AVG)MAX} = \frac{2 \times I_{IN(PK)MAX}}{\pi}$$

$$I_{IN(AVG)MAX} = \frac{2 \times 5.4A}{\pi} = 3.4A$$

高周波入力コンデンサの条件

$$C_{IN} = k_{\Delta I_L} \frac{I_{IN(RMS)MAX}}{2\pi \times f_{SW} \times r \times V_{IN(RMS)MIN}}$$

$$C_{IN} = 0.3 \frac{3.8A}{2\pi \times 100kHz \times 0.06 \times 85V} = 0.335\mu F$$

ここで、

$k_{\Delta IL}$ = コイルの電流のリップル係数（この設計では30%）

r = 高周波電圧リップル係数の最大値（$\Delta V_{IN}/V_{IN}$）、一般的には3% ～ 9%の間、この設計では6%とした。

C_{IN} = 0.330μF, 630V

高周波コンデンサは一般に、ライン電圧の最悪の場合のピーク値を上回る定格の高品質フィルム・コンデンサを使います。これは、電流歪みを発生させるため、大き過ぎる値を使わないように注意してください。

コンデンサ両端の高周波雑音は、コイルのリップル電流に比例し、コンデンサの容量値に反比例します。従って、コンデンサの値を小さくすると、EMI（電磁干渉）フィルタの大きさとコストが増加します。

ブースト用コイルの設計

パワー・スイッチのデューティ比は、$VI_{N(PK)MIN}$で決定する必要があります。これは、最小ライン電圧時の整流されたライン電圧のピークにおけるコイルのピーク電流を表します。

$$V_{IN(PK)MIN} = \sqrt{2} \times V_{IN(RMS)MIN} = 120V$$

$$D = \frac{V_O - V_{IN(PK)MIN}}{V_O} = \frac{385V - 120V}{385V} = 0.69$$

$$\Delta I_L = 0.3 \times I_{IN(PK)MAX} = 0.3 \times 5.4A = 1.6A$$

$$I_{L(PK)MAX} = I_{IN(PK)MAX} + \frac{\Delta I_L}{2} = 5.4A + \frac{1.6A}{2} = 6.2A$$

$$L_{BST} \frac{V_{IN(PK)MIN} \times D}{f_{SW} \times \Delta I_L} = \frac{120V \times 0.69}{100kHz \times 1.6A} = 507\mu H$$

ΔI_Lは、リップル電流30%の仮定に基づきます。これは、設計トレードオフが必要なもう一つの領域です。ゼロ・クロス歪み、f_{SW}での出力コンデンサのリップル電流、パワー・スイッチのピーク電流などの削減という意味では、明らかにリップル電流は小さいほど望ましいものです。

しかし、リップル電流を削減するためのインダクタンス値の増加と、その結果としての大きさとコストの増加に対して、ここでトレードオフをする必要があります。コアがピーク電流レベルで飽和しないように、コアの選択にも注意する必要があります。

逆に、許容リップル電流が大きい場合は、必要なインダクタンス値は小さくなりますが、前に指摘した領域で性能に悪影響が生じます。

コストのトレードオフは一般に、コア材料と、消費電力、温度、そして電流レベルの増加によるインダクタンスの減衰との間で行われます。コイルの設計の詳細な考察は、コア・メーカーのデータブックとアプリケーション・ノートを参照してください。コイルの設計は、このアプリケーション・ノートの範囲を超えます。

出力コンデンサの条件

PFCコンバータの出力コンデンサの選定は一般に、ホールドアップ・タイム条件に基づいています。一般的には、設計が妥当ならば、コンデンサのリップル電圧と電流は問題になりません。

PFCのコンデンサの標準的な値は、出力電力1W当たり1μF～2μFです。

$$C_{OUT(MIN)} = \frac{2 \cdot P_O \cdot \Delta t}{V_O^2 - V_{O(MIN)}^2} \qquad (9)$$

$$C_{OUT(MIN)} = \frac{2 \cdot 300W \cdot 30ms}{(385V)^2 - (285V)^2} = 269\mu F$$

容量値の最小の条件を満たして、つまり最小ホールドアップ・タイムを保証するためには、コンデンサの最小の値がコンデンサの許容偏差（この場合は-20%）に対してディレーティング（定格低減）しなければなりません。

$$C_{OUT} = \frac{C_{OUT(MIN)}}{1 - \Delta C_{TOL}} = \frac{269\mu F}{1 - 0.2} = 336\mu F$$

この場合、330μFの標準的な値にしました。

コントロール部の設計

出力電圧の分圧回路

コンバータの出力電圧は、分圧回路（抵抗 R_{FB1}、R_{FB2}、R_{FB3}）を使って設定します。

分圧回路の抵抗列のインピーダンスの合計は、消費電力を小さくするために、十分大きな値を選択してください。これは、待機電力に対する厳しい仕様を満足し、かつシステム全体の効率を最適化するために重要です。

ただし、抵抗列の最大インピーダンスについては実用的な限界があります。抵抗値は、アンプの入力バイアス電流によって、誤差アンプ出力に加わる電圧誤差が大きくならないように、大きな値を選ぶ必要があります。

抵抗列全体のインピーダンスに対する合理的な妥協点は、約1MΩが目標です。

R_{FB1}とR_{FB2}は一般的に等しい値で、分圧回路の上側の抵抗が、これらの素子の電圧定格（標準250V）内でそれぞれの抵抗にかかる最大電圧になるようにします。

分圧抵抗は、出力電圧の設定誤差を最小にするため、許容偏差±1%のものを選びます。抵抗の許容偏差は、誤差アンプの基準値の許容偏差と、入力バイアス電流および入力オフセット電圧に起因して誤差アンプに発生する誤差に加算されます。

$R_{FB1} = R_{FB2} = 499k\Omega$、許容偏差1%

これは標準的な1%の値です。

$$R_{FB3} = \frac{V_{REF}(R_{FB1} + R_{FB2})}{(V_{out} - V_{REF})} \qquad (10)$$

$$R_{FB3} = \frac{7.0V(998K)}{(385V - 7.0V)} = 18.48K\Omega$$

（標準的な値R_{FB3} = 18.5kΩを使用）

実際の抵抗値に基づいて新しいV_Oを求めます。

$$V_{OUT} = \frac{(R_{FB1} + R_{FB2} + R_{FB3}) \cdot V_{REF}}{R_{FB3}} \qquad (11)$$

$$V_{OUT} = \frac{(998K + 18.5K) \cdot 7.0V}{18.5K} = 384.6V$$

分圧回路の抵抗列の消費電力を計算します。

$$P_{R_{FB1}} = P_{R_{FB2}} = \frac{(V_{out} - V_{REF})^2}{2(R_{FB1} + R_{FB2})} \qquad (12)$$

$$P_{R_{FB1}} = P_{R_{FB2}} = \frac{(385V - 7V)^2}{2 \times 998k\Omega} = 70mW$$

出力の OVP 分圧回路の設計

しきい値電圧の設定が高過ぎないように、OVPの設定電圧に注意する必要があります。出力コンデンサは一般に、定格450Vなので、V_Oがこの最大電圧定格を超えないようにしてください。出力コンデンサのサージ電圧の定格は、異常動作状態での余裕として設けてあるので、OVPに対する目標仕様として使うことはできません。

過電圧のしきい値の適切設計目標は425Vです。

出力電圧の帰還分圧回路内の抵抗列の消費電力と全インピーダンスに関して、同じことがOVP分圧回路にも適用されます。個々の抵抗の消費電力は、出力電圧の帰還分圧回路の場合と同じ方法を使って計算できます。抵抗値についても同じです。

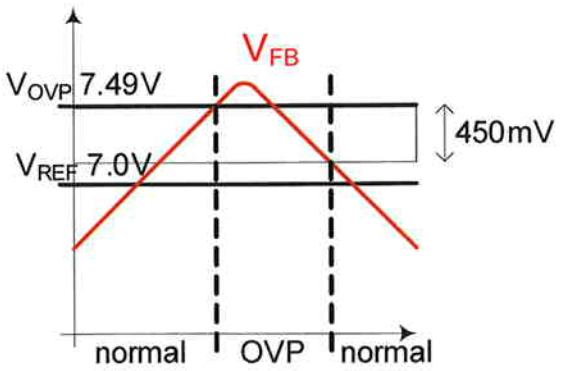
IR1150Sの過電圧比較器は、基準電圧を内蔵しています。この値は出力誤差アンプの基準値の固定値（パーセント）になっています。

$$V_{(REF)OVP} = 1.07 \cdot V_{REF} = 7.49V \qquad (13)$$

電圧帰還に同じ抵抗列を使うと、OVPのしきい値電圧は基準出力電圧よりも7%大きい値に設定されます。

$$V_{OVP} = 1.07 \cdot V_{Out} = 412V$$

OVPのしきい値電圧にトリガーがかかると、ICはゲート駆動信号をディセーブルにします。比較器には標準450mVのヒステリシスが組み込まれています（データシートの"protection section"を参照)。



OVP機能が別のピンになっているため、しきい値電圧を所望の値に設定できます。

$$V_{OVP} = \frac{(R_{OVP1} + R_{OVP2} + R_{OVP3}) \cdot V_{(REF)OVP}}{R_{OVP3}} \quad (14)$$

OVPを設計するため、コンバータの目標仕様に従う過電圧レベル425Vに対する分圧回路は：

$$R_{OVP1} = R_{OVP2} = 499k\Omega、\ 1\%$$

$$R_{OVP3} = \frac{V_{REF(OVP)}(R_{OVP1} + R_{OVP2})}{V_{OVP} - V_{(REF)OVP}} \quad (15)$$

$$R_{OVP3} = \frac{7.49V(998K)}{(425V - 7.49V)} = 17.9K\Omega$$

実際の抵抗値に基づいて新しいVOVPの値を確認します。

$$V_{OVP} = \frac{(998K + 17.9K)7.49V}{17.9K} = 425V$$

R_{OVP1}とR_{OVP2}の消費電力は、同じ値を持つ場合、R_{FB1}とR_{FB2}と同じです。

スイッチング周波数の設定

IR1150は、スイッチング周波数をユーザーが設定できます。抵抗R_fの値で設定できます。このため、スイッチング周波数の設定は、コンバータ全体の設計、特にEMI雑音と効率の条件を考慮して、ユーザーが決めます。

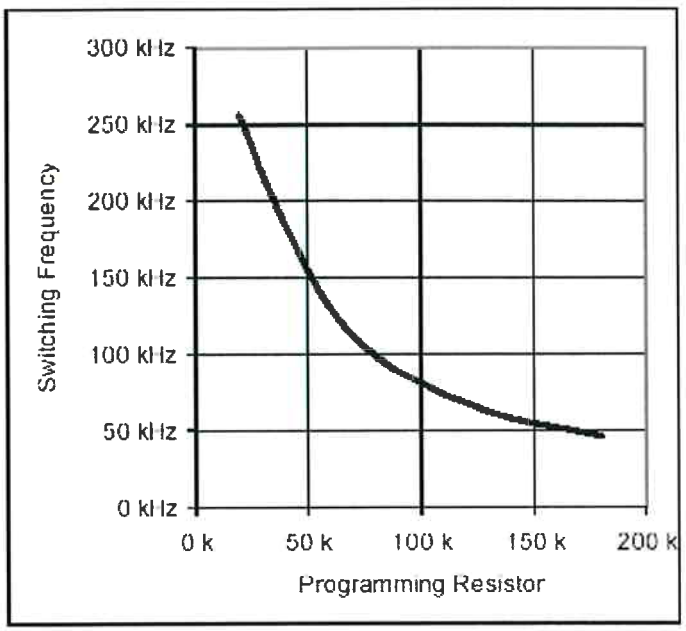


図7 発振周波数と抵抗R_fの関係

所望のスイッチング周波数に対する抵抗値を決めるために、抵抗 R_fの値と周波数との関係を示すグラフを用意しました。

特定のコンバータの設計に対する最適なスイッチング周波数を選択するときに、スイッチング周波数に対する設計のトレードオフを注意深く行う必要があります。重要な考慮事項を次に示します。

最適なコイルの大きさ、消費電力、EMIフィルタのコスト（EN55011、下限値150kHz）。

スイッチング周波数と共にパワー・スイッチのスイッチング損失が増加。

このアプリケーション・ノートの設計例の場合、スイッチング周波数に100kHzを選択しましたが、これはEMI特性、最適なコイル、パワー・スイッチの損失との間の優れたトレードオフになっています。

電流ループと過電流保護

電流検出ピン I_{SNS} は、電流検出アンプと過電流保護用比較器の入力になっています。

IR1150が提供する電流制限には、2つのレベルがあります。1つは「ソフト」電流制限で、これは本質的にデューティ比を制限するフォールド・バック・タイプです。すなわち、コンバータのデューティ比

は、出力電力が制限され、かつ出力電圧が減少し始める点に制限されます。

もう１つは「ピーク」電流制限機能であり、これはピーク制限のしきい値電圧(約－1.0V)を超えると、出力中の駆動パルスを直ちに停止させます。

この条件で正常な動作を保証するために、電流検出抵抗は、最小入力電圧と最大出力電力に基づいて選択されます。

電流アンプは、直流利得G_{DC}=2.5で、内部補償を備え、帯域幅が280kHz以上に制限されています。OCCコントロールICの動作は、ピーク電流モードに基づくため、スイッチ電流は、ISNSピンへの入力としてコイルの電流の代わりに使うことができます。

電流検出電圧V_{SNS}の範囲は0V ～ －1Vであるため、この範囲を満たすために電流トランスを使う場合には注意が必要です。

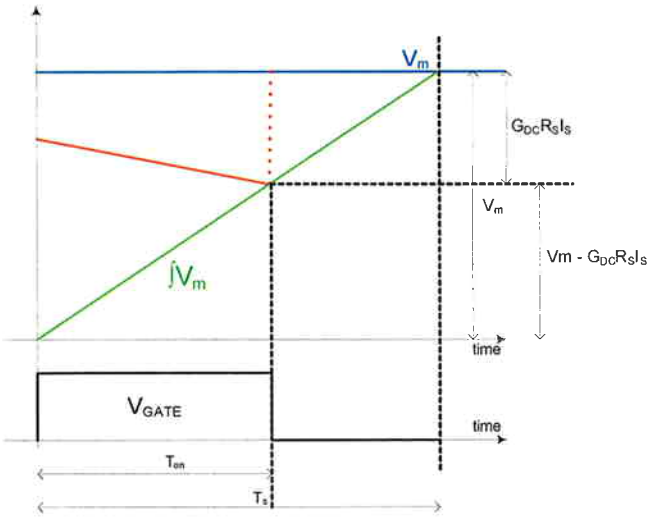


図８　ランプ信号とデューティ比の関係

電流検出抵抗は、ソフト過電流の点、すなわち入力電流が制限され、かつ出力電圧が降下する点に決定します。

電流が最大で、かつコンバータのブースト係数も大きい場合に、ワースト・ケースはライン電圧の低いところで発生します。入力ライン電圧が最小、かつ負荷が最大で、コンバータが出力電圧を維持できるように電流検出抵抗R_Sを決めなければなりません。

最小入力電圧での所望の出力電圧に対する正弦波のピークで必要なデューティ比は次式で与えられます。

$$D = \frac{V_{out} - V_{IN(PK)MIN}}{V_{out}} \qquad (16)$$

$$D = \frac{385V - 120V}{385V} = 0.69$$

入力電圧が低下すると(または負荷が大きくなると)、電圧ループは変調電圧 V_m を上げるように応答します。

しかし、V_m が最大値に飽和すると、電流がさらに増加してデューティ比を制限するため、出力電圧が低下します。

各周期でデューティ比が次の比として決められることが図８から分かります。

$$\frac{v_m - G_{DC} \cdot V_{SNS}}{v_m} = \frac{T_{on}}{T_S} = D \qquad (17)$$

$$V_{SNS(max)} = \frac{v_{m(SAT)}(1-D)}{G_{DC}} \qquad (18)$$

最小の入力電圧で「ソフト」電流制限値を設定するために必要な電流検出抵抗の両端電圧は次式で与えられます。

$$V_{SNS(max)} = \frac{V_{COMP(EFF)} \cdot (1-D)}{G_{DC}}$$

$$V_{SNS(max)} = \frac{6.05V \cdot (1-0.69)}{2.5} = 0.75V \qquad (19)$$

V_m の飽和電圧 $V_{COMP(EFF)}$と電流アンプの直流利得は、データシート（4 ページ目）から直接得ることができます。

検出抵抗の値は、過負荷係数（K_{OVL}＝5%）でディレーティングしたコイルの最大ピーク電流から計算できます。

$$I_{IN(PK)OVL} = [I_{IN(PK)max} + \frac{\Delta I_L}{2}]K_{OVL} \quad (20)$$

$$I_{IN(PK)OVL} = [5.4A + \frac{1.6}{2}](1.05) = 6.5A$$

この最大電流レベルと、電流検出ピンの必要とされる電圧から、抵抗値を求めます。

$$R_S = \frac{V_{SNS(max)}}{I_{IN(PK)OVL}} = \frac{0.75V}{6.5A} = 0.115\Omega$$

標準的な値である100mΩを使えます：抵抗の消費電力は、最小入力電圧でのワースト・ケースのrms入力電流に基づいて次のように計算します。

$$P_{R_S} = I_{IN(RMS)MAX}^{\ 2} \cdot R_S \quad (21)$$

$$P_{R_S} = 3.8^2(0.100\Omega) = 1.45W$$

ディレーティングのガイドラインにより、検出抵抗R_S＝0.10Ω、3W（非誘導性抵抗）に選定します。

ワン・サイクル・コントロールが、すでにサイクルごとのピーク電流制限機能を提供していますが、保護機能を強化するために、さらに高速の過電流比較器を備えています。しきい値に到達すると、電流パルスが停止されます。

ピーク入力電流を超えると、システムは「ピーク」電流制限を開始します。

$$I_{PK_LMT} = \frac{|-1.0V|}{0.100\Omega} = 10A$$

電流検出フィルタ

電流アンプは約 280 kHz に配置されたポールにより内部で位相補償されています。これは、ピーク電流モード制御で発生することがある高周波スイッチング雑音を減衰させるためです。

ブランキング・タイムも備えています。ブースト・ダイオードの逆方向回復時のスパイク雑音に起因して、過電流保護機能が誤ってトリガーされるのを防止するためです。

ピーク電流モード制御で動作するシステムでは、一般に外付けフィルタが使われ、回路図に示すような簡単なRCフィルタを使えます。

$$f_{PSF} = \frac{1}{2\pi \cdot R_{SF} \cdot C_{SF}} \quad (22)$$

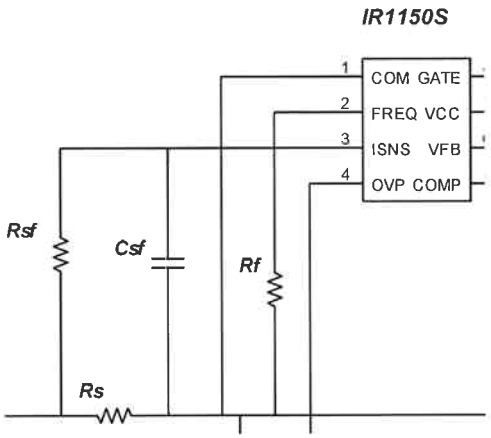


図9 電流検出抵抗とフィルタ

コーナー周波数は1MHz ～ 1.5MHz付近を推奨します。RCフィルタの標準的な値は以下の通りです。

R_{SF} = 100Ω (突入時と過渡時の電流検出ピンの電流制限機能も追加されています)

C_{SF} = 1000pF

これらの部品値はフィルタ（f_p≒1.59MHz）としての適切な妥協点を与えると同時に、電流検出信号の正常性を維持してピーク電流モード制御を維持します。

電流アンプの入力インピーダンスは約2.2kΩであることに注意してください。100Ωの抵抗とこの2.2kΩの抵抗は分圧回路を構成するため、ソフト電流制限の実際のしきい値電圧に影響します。電流制限アンプ入力での実際の電圧は、実質的には電流検出抵抗の両端電圧の約96%になります。

ソフトスタートの設計

ソフトスタートは誤差アンプ出力電圧の立ち上がりレートにより制御されます。この立ち上がりレートは補償キャパシタ（C_z と C_p）および誤差アンプの最大有効出力電流の関数になっています。
ソフトスタート時間は次式で決定されます。

$$t_{SS} = \frac{C_Z \cdot V_{COMP(EFF)}}{i_{EA-OUT(MAX)}} \qquad (23)$$

C_p は一般に C_Z より、はるかに小さいため、その影響は無視できます。

$$C_Z = \frac{t_{SS} \cdot i_{OVEA}}{V_{COMP(EFF)}} \qquad (24)$$

i_{OVEA} と $V_{COMP(EFF)}$ はデータシートから得られます。

$$C_Z = \frac{50ms \times 40\mu A}{6.05V} = 0.33\mu F$$

$$t_{ss} = \frac{0.33\mu F \cdot 6.05V}{40\mu A} = 50ms$$

これは、スタートアップ・フェーズでコントローラがフルデューティ比能力に到達するために要する時間を表しています。ピーク電流はこの期間に制限されます。

電圧帰還ループ

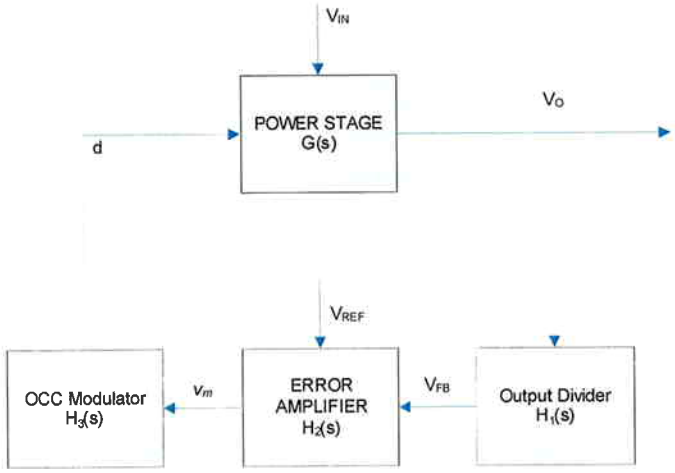


図10 電圧帰還ループ

オープン・ループ利得は次の積で与えられます。

$$T(s) = G(s) \cdot H_1(s) \cdot H_2(s) \cdot H_3(s) \qquad (25)$$

出力分圧回路: $H_1(s)$

出力分圧回路は、誤差アンプ内の基準電圧と比較される出力電圧を縮小します。
従って、

$$V_{OUT} = \frac{(R_{FB1} + R_{FB2} + R_{FB3})V_{REF}}{R_{FB3}} \qquad (26)$$

$$H_1(s) = \frac{V_{REF}}{V_o} \qquad (27)$$

この段は、出力電圧信号を次の一定量だけ減衰させます。

$$H_1 = 0.018 = -34.8\text{dB}$$

パワー段: $H_3(s)\cdot G(s)$

ブースト・パワー段の低周波小信号等価回路が図11です。

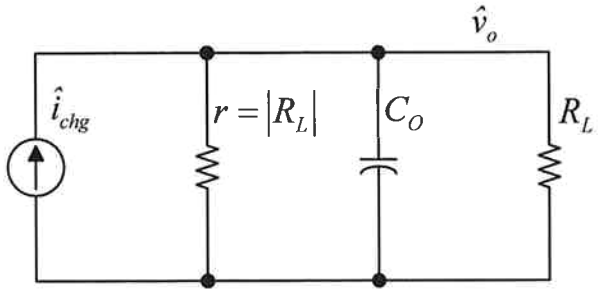


図11 ブースト・パワー段の小信号低周波モデル

定義：

R_L ：負荷抵抗

C_O ：出力（バルク）コンデンサ

$\hat{v}_m$ ：変調電圧 （電圧誤差アンプの出力）

G_{DC} ：電流アンプの直流利得（IC内部で2.5V/Vに設定）

V_{in} ：入力電圧のピーク値（$V_{inRMS\,max}\cdot\sqrt{2}$）

一定電力負荷に対しては、実際のR_Lは負になります。PFCの負荷がDC-DC段の場合、これが一般的です。すなわち、その段の入力電圧が低下すると、出力電力を一定に維持するため、電流を増加させて応答します。

この場合、R_Lとrが相殺され、次式が得られます。

$$\frac{\hat{v}_o}{\hat{i}_{chg}} = \frac{1}{sC_o} \qquad (28)$$

純抵抗負荷の場合は次のようになります。

$$\frac{\hat{v}_o}{\hat{i}_{chg}} = \frac{R_L/2}{1+sC_o\frac{R_L}{2}} \qquad (29)$$

ここでは抵抗負荷の場合は、考察しません。

$\frac{\hat{i}_{chg}}{\hat{v}_m}$ を導くため、OCC方式のPWM変調器を調べる必要があります。制御則は次のようになります。：

$$G_{DC}\cdot R_S\cdot \hat{i}_g = \frac{\hat{v}_m}{M(d)} \qquad (30)$$

ここで $M(d) = \frac{\hat{v}_o}{\hat{v}_g}$

$$\hat{v}_g = V_{in} + \hat{v}_{in} \qquad (31)$$

代入して小信号クロス項を消去すると、

$$\frac{\hat{i}_g}{\hat{v}_m} = \frac{V_{in}}{V_o R_S G_{DC}} \qquad (32)$$

出力平均電流は次のように入力電流から求まります。

$$\hat{i}_g = \frac{\hat{p}_{in}}{V_{in}} = \frac{\hat{i}_{chg}\cdot V_o}{V_{in}} \qquad (33)$$

$$\frac{\hat{i}_{chg}}{\hat{v}_m} = \frac{V_{in}^2}{V_o^2 R_S G_{DC}} \qquad (34)$$

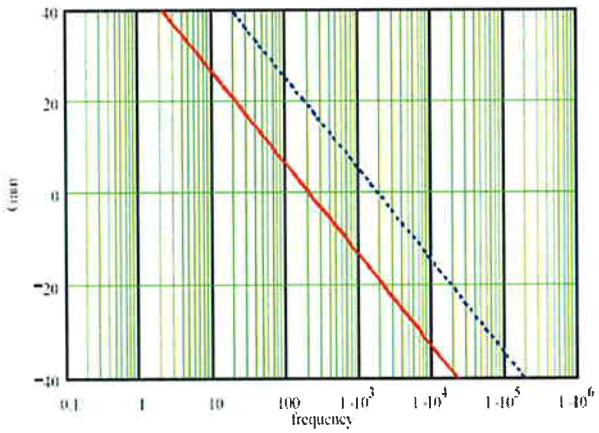


図12 パワー段の利得：青色の波線が90V、赤色の実線が265V

負荷への電力が一定のときに出力の制御、

$$\frac{\hat{v}_o}{\hat{v}_m} = \frac{V_{in}^2}{V_o^2 \cdot R_S \cdot G_{DC}} \cdot \frac{1}{sC_o} \qquad (35)$$

パワー段の利得は、入力電圧に応じて予想通りに変化します。

誤差アンプ: $H_2(s)$

コントロールIC（IR1150）の出力電圧誤差アンプは、トランスコンダクタンス型（電流増幅器）のアンプです。

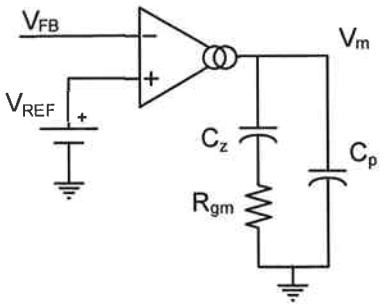


図13 誤差アンプ

伝達関数は、

$$H_2(s) = \frac{g_m \cdot (1 + sR_{gm}C_Z)}{s(C_Z + C_P + sR_{gm}C_ZC_P)} \qquad (36)$$

となります。

回路図に示す補償回路は、次の周波数でゼロ点とポールを伝達関数に追加しています。

$$f_{Z0} = \frac{1}{2\pi \cdot R_{gm} \cdot C_Z} \qquad (37)$$

$$f_{P0} = \frac{1}{2\pi \cdot R_{gm} \dfrac{Cz \cdot Cp}{Cz + Cp}} \qquad (38)$$

電圧ループの補償

PFCコンバータでは一般に、電圧ループの帯域幅をライン周波数の1/2より狭くすることが要求されます。出力の120Hzのリップルを抑えるための電圧ループによって発生するライン電流歪みを防止するためです。

もちろん、システムの過渡応答と入力電流歪みとの間にはトレードオフが存在し、そこでは電圧ループの安定性は、一般に容易に達成できます。

電圧ループ補償の目標は、オープン・ループの利得帯域幅を交流ライン周波数の 1/2 未満に制限すること、および誤差アンプから COMP ピンに混入する2次高調波リップルを制限することです。

先ず、出力キャパシタ上の 2 次高調波リップルの

大きさを求めます。

$$V_{OPK} = \frac{P_{in}}{2\pi \cdot f_{2nd} \cdot C_O \cdot V_{out}} \qquad (39)$$

$$V_{OPK} = \frac{330W}{2\pi \cdot 120 \cdot 330\mu F \cdot 385V} = 3.4V$$

120Hz のリップルの大きさは、誤差アンプ出力電圧振幅の値に比べて小さくなければなりません。

1%くらいの値が一般的であり、この値で歪みを小さくすることができます。

$$G_{EA} = \frac{V_{COMP(REF)} \cdot 0.01}{2 \cdot V_{OPK}} \qquad (40)$$

$$G_{EA} = \frac{6.05V \cdot 0.01}{2 \cdot 3.4V} = 0.089 = -41dB$$

式(26)から計算されるように、出力分圧回路の減衰量は次式になります。

$$H_1 = 0.018 = -34.8\text{dB}$$

120Hz での誤差アンプの利得は次式になる必要があります。

$$G_{V,A} - H_1 = -6.2\text{dB}$$

2番目のポールは120Hzよりもはるかに高い周波数にあるため、誤差アンプの伝達関数は次式で近似できます。

$$H_2(s) \cong \frac{g_m \cdot (1 + sR_{gm}C_Z)}{sC_Z} \qquad (41)$$

C_Z はソフトスタート用にすでに定めてあるので、R_{gm} のみを次式で計算します。

$$\left|H_2(j2\pi \cdot f_{2nd})\right| = -6.2dB \qquad (42)$$

$$R_{gm} = \sqrt{\left(\frac{G_{EA} - H_1}{g_m}\right)^2 - \left(\frac{1}{2\pi \cdot f_{2nd} \cdot C_Z}\right)^2} \qquad (43)$$

代入すると、

$R_{gm} = 8.9\text{k}\Omega$

2番目のポールの周波数は、クロスオーバ周波数（利得がゼロになる周波数）より高く、かつスイッチング周波数より大幅に低く選択して、雑音を減衰させる必要があります。代表的な値は、スイッチング周波数の1/6～1/10です。

$$f_{P0} = \frac{1}{2\pi \cdot R_{gm}\dfrac{Cz \cdot Cp}{Cz + Cp}} \cong \frac{1}{2\pi \cdot R_{gm} \cdot Cp} \qquad (44)$$

$$C_p = \frac{1}{2\pi \cdot 8.9k\Omega \cdot 17kHz} = 1nF$$

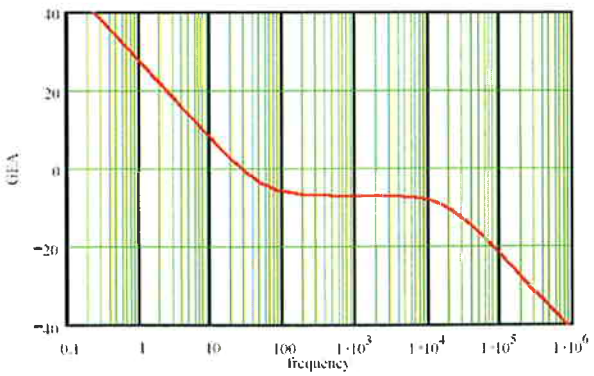


図14 誤差アンプの利得

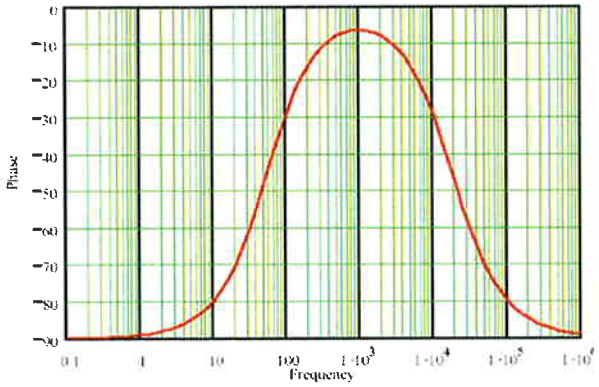


図15 誤差アンプの位相

最後に、オープン・ループ利得は次図で示すことができます。

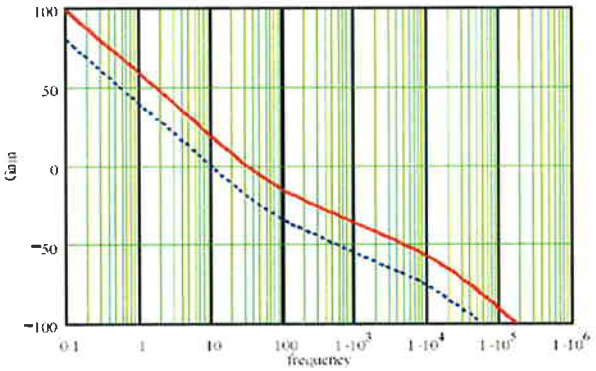


図16 オープン・ループ利得：90V（青色の波線）と265V（赤色の実線）

要求される入力交流ラインの値に応じて、クロスオーバ周波数は 10Hz～30Hz の範囲になります。

設計のヒント

IC のデカップリング・コンデンサ

PFCコンバータは、雑音に関してコントローラにとって厳しい環境になるため、雑音の適切なデカップリングについて注意が必要です。

ICの適切なバイパスの重要な要素は、バイパス・コンデンサの配置位置とコントロールICの電源ピンに対する接続方法です。

コンデンサに十分なフィルタ機能を発揮させるためには、VCCピンとCOMピンのできるだけ近くに配置して、最短経路で接続する必要があります。

バイパス・コンデンサを図17のように８ピン・パッケージのIC（SO-8）の真上に配置すると、コンデンサとVCCピンおよびCOMピンとの間のパターン長が最短になります。これは、デカップリング経路を最短にして、パターンが長過ぎることによる雑音の混入を最小にするために不可欠です。

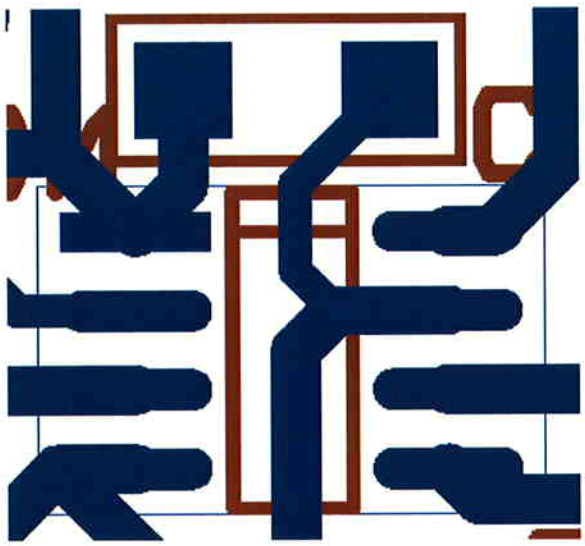


図17　デカップリング・コンデンサの適切な接続

デカップリング・コンデンサの値は、スイッチング周波数、パワーMOSFETのゲート駆動コンデンサや外付けゲート抵抗などの要因に依存します。

一般的に、470nFのセラミック・コンデンサが推奨されます。低周波のフィルタ用に容量の大きい電解コンデンサも同時に使用することも必要です。

コイルの設計

ブースト用チョーク・コイルの設計では、コイルの値だけでなく、さらに多くのことを考慮しなければなりません。

チョーク・コイルの機械的な設計は、寄生成分に起因するシステム・レベルの雑音に大きな影響を与えます。

ブースト用コイルに付随する巻線間の寄生容量は、共振と高周波のリンギングを発生させます。

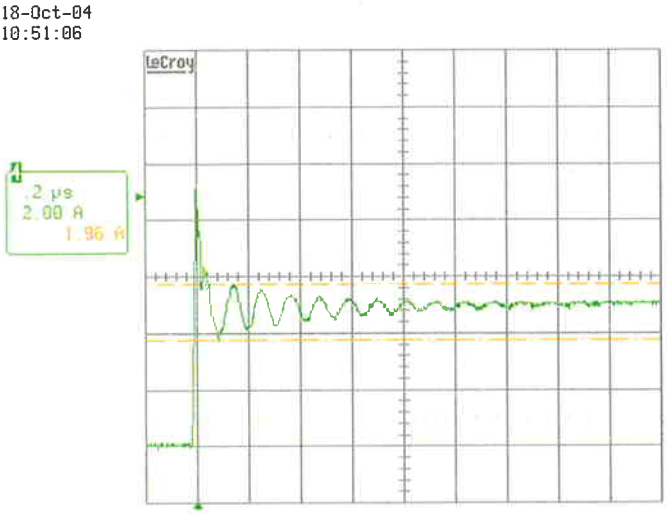


図18　ターンオン時のリンギング

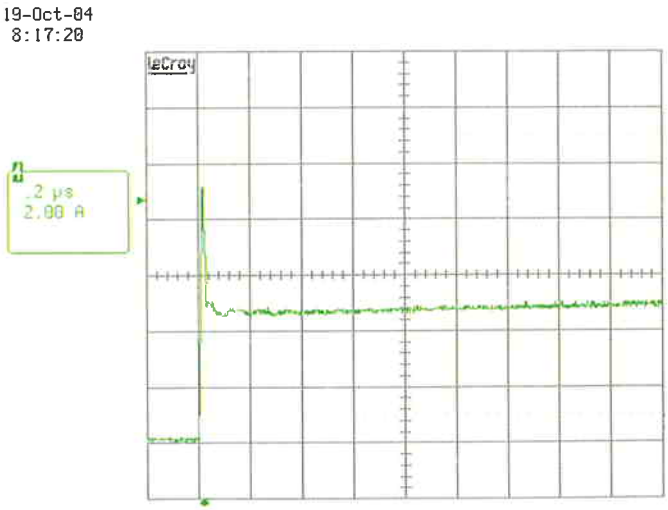


図19　単層チョーク

図18に、最適化していない多層のブースト用チョーク・コイルを使用した場合のパワーMOSFETのターンオン電流を示します。高周波リンギング（8MHz～10MHz付近）が発生しています。同じ値で巻線間容量の小さい単層コイルの場合が図19です。

リンギングを制御しないと、コントロールICの感度の高いピンに許容できない電圧が発生して、正常な回路動作を阻害することがあります。

電流ループ上のダイオードの逆方向回復ピークの影響を抑えるために、内部ブランキング回路を設けてあります。これは、電流検出抵抗にRCを追加して、コントロールICの雑音耐性を強化することを薦めます。

リンギングを制御するもう１つの大切な理由は、特に放射範囲でのEMI雑音を制限することです。

ゲート駆動の考察

IR1150S のゲート駆動回路は、吐き出し/吸い込みの電流能力が最大 1.5A で、極めて高速な立ち上がり/降下特性を備えています。これらの高速な立ち上がり/降下特性と、MOSFET 駆動能力が高いことから、適切に制御しないと雑音問題を発生させることがあります。

駆動速度が速過ぎて高速な立ち上がりエッジ（*di/dt* と *dv/dt*）が発生するときは、EMI 雑音に対する要求を満たすことが難しいことがあります。

これにより、EMIフィルタが必要になるだけでなく、雑音も増加して、コントローラがこれに対処しなければならなくなります。図20と図21は、IR1150Sのゲート駆動電圧とパワー・スイッチ用のMOSFET「IRFP27N60K」のドレイン電流との関係を示す波形です。

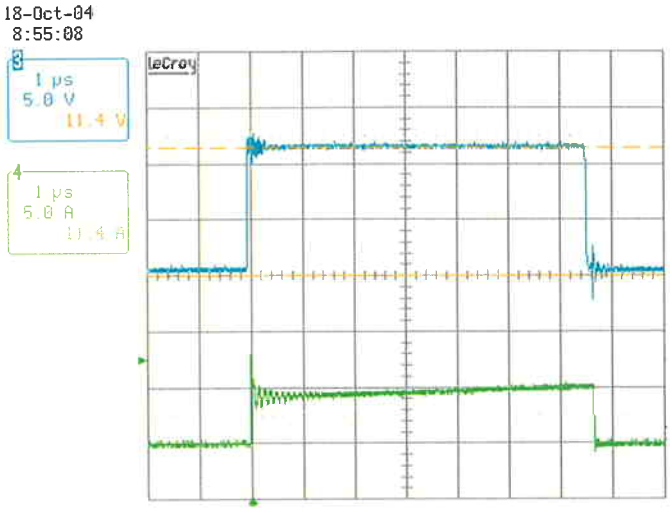


図20 IR1150Sのゲート駆動電圧とパワーMOSFETのドレイン電流

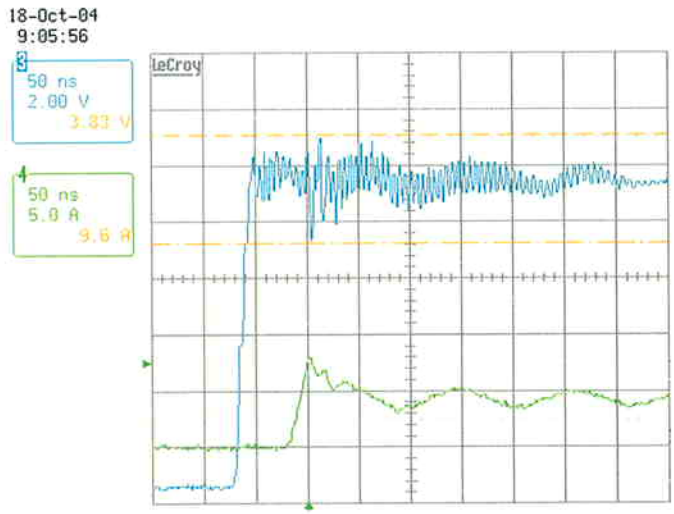


図23 IR1150Sのゲート駆動電圧とパワーMOSFETのドレイン電流

特定の用途向けに最適なゲート駆動用抵抗を選択して、立ち上がり時間を注意深く制御してください。設計に対して適切な駆動インピーダンスを選択する際に考慮すべきことは、寄生成分(容量性と誘導性)、プリント回路基板のレイアウト、熱設計、システム効率、パワー・スイッチの選択などがあります。ゲート駆動回路を注意深く設計しないと、特性

が得られなかったり、雑音が問題になったりする可能性が高くなります。

プリント基板のレイアウト

クリティカルな経路を適切に配線することは、最適な回路特性と最小のシステム雑音を得るために不可欠です。電源経路の長いパターンによる寄生インダクタンスは、スパイク雑音を誘導し、許容できないレベルになることがあります。不要なシステム雑音に加えて、これらのスパイク雑音はパワー・デバイスの信頼性を低下させて、最悪の場合には、デバイスに致命的な故障を発生させることがあります。

プリント回路基板のレイアウトが適当でないと、制御できない寄生成分が生じます。これにより、少なくとも雑音や電圧スパイクの増加を制御することが必要になり、回路の追加、コストの増加、効率の低下という事態が生じてしまうことがあります。

このため、クリティカルな経路のパターンの引き回しや、配置、長さについて、プリント回路基板のレイアウトを最適化するために特に注意を払わなければなりません。適切な接地と接地プレーンの使用は、コントロール部分で有効であり、同時に電源部分の高電圧/大電流のスイッチング経路ではパターン長を極力短くしなければなりません。

さらに雑音を押さえ込むために

PFCブースト・ダイオードの逆方向回復特性は、伝導と放射によるシステム雑音の原因になります。基本的な回路機能と信頼性を保つために、EMIフィルタを追加しなければなりません。

雑音や効率などには、ほかの要因も影響します。パワー・スイッチはターンオン時に全逆方向回復電流を吸収する必要があり、このために消費電力が増えてしまいます。その結果、システム・レベルでの効率が低下し、雑音レベルも増加します。

SiCダイオードは逆方向回復時間が実質的にゼロであるため、逆方向回復電流を処理する必要がないので、これらの問題に対して優れたソリューションを提供します。SiC は PFC ブースト・コンバータに対する解決策に見えますが、SiC ダイオードが PFC コンバータの設計にとって救世主になるためには、サージ電流能力などを考慮する必要があります。

一方、ブースト・ダイオードの両端に接続するシンプルなRCスナバーは、逆方向回復に起因する雑音の削減に役立ちます。スナバーは適切に設計すると、消費電力が小さいため、すべての逆方向回復電流をパワー・スイッチで吸収することが可能になります。

＜参考文献＞

[1] IR1150S Data Sheet – International Rectifier Corp., 2005

[2] IRAC1150-300W – CCM Boost Converter for PFC Demo Board Documentation, International Rectifier Corp. 2005.

[3] K.M.Smedley, S.Cuk, “One-Cycle Control of Switching Converters”

[4] Z. Lai, K.M. Smedley, “A Family of Continuous Conduction Model Power Factor Correction Controllers Based on the General Pulse Width Modulator”, IEEE Trans. On Power Electronics, Vol.13, No.2, 1988

[5] L.M.Smith, Z.Lai, K.M.Smedley, “A New PWM Controller with One-Cycle Response”, IEEE APEC’97 Conference Proceedings, Vol.2, pp.970-976

[6] K.M. Smedley, S. Cuk, “Dynamics of One-Cycle Control Cuk Converters”, IEEE Trans. On Power Electronics,vol.10, No.6, Nov. 1995

[7] R.Brown, M.Soldano,”One Cycle Control IC Simplifies PFC Designs”,APEC ’05 Conference Proceedings.

[8] R.Grown, B.Lu, M.Soldano,”Bridgeless PFC implementation using One Cycle Control Technique”,APEC’05 Conference Proceedings.

[9] K.M.Smedley, U.S. Patent 5,278,490,”One Cycle Controlled Swaitching Circuit”.

[10] L.Dixon,”High Power Factor Preregulator for Off-Line Power Supplies”, Unitrode Design Seminars.

Rev.2.0 – March 2005