International
IOR Rectifier

APPLICATION NOTE

アプリケーション・ノートAN-1035

DirectFET®技術
プリント回路基板への実装技術

目次

頁

はじめに 2
デバイスの構造 2
プリント回路基板設計時の考察 3
組み立て時の考察 6
機械的テストの結果 13
付録　A 17
ST型 18
SQ型 19
SJ型 20
SH型 21
S1型 22
S2型 23
SB型 24
MT型 25
MX型 26
MP型 27
MQ型 28
MN型 29
MZ型 30
MU型 31
M2型 32
M4型 33
L4型 34
L6型 35
L8型 36

インターナショナル・レクティフィアー（IR）社は、さまざまな大きさや形状の DirectFET の品種を増やしています。鉛フリー品には、型番に PbF を付けています（例えば IRF6618PbF）。このアプリケーション・ノートは鉛フリー品を含むすべての DirectFET を対象にまとめました。付録 A にはデバイスの外形、プリント回路基板のレイアウト、ソルダー・ステンシルの設計例をまとめました。詳細には、各製品のデータシートを参照してください。IR 社は、プリント回路基板への実装を簡素化し信頼性を向上させるために、仕様に沿って DirectFET を製造しています。この仕様は、さまざまな材料と設計を評価しながら、進化してきました。このような評価で良い結果が得られていたとしても、特定の製造環境に合わせて、このアプリケーション・ノートに記載された推奨事項を合わせ込む必要があることもあります。

©インターナショナル・レクティファイアー・ジャパン
この文献の無断複製・転載を禁じます。

International
IOR Rectifier

APPLICATION NOTE

DirectFET®技術

プリント回路基板への実装技術

はじめに



DirectFET®は、電源をプリント回路基板に実装するといった用途に向けて設計された表面実装パッケージの技術です。パッケージの熱的および電気的なインダクタンスや抵抗を増大させる原因となる不要な要素（寄生のインダクタンス成分や抵抗成分）を低減しています。従って、同じ大きさの従来のパッケージに比べて大きな電力を扱えます。

現在、DirectFET シリーズの品種を拡充しており、パッケージの大きさやコンタクト・パッドの形状が異なるさまざまな製品を用意しています。スズ-銀-銅の合金（Sn96.5 Ag3.0 Cu0.5）を予備はんだしておくことで、無鉛ペーストに対する特性を改善した鉛フリー品も新たに用意しました。型番の後に「PbF」を付けています。例えば IRF6618PbF となります。

このアプリケーション・ノートは、すべての DirectFET に共通な事項をまとめました。最後にまとめた付録 A では、標準品と鉛フリー品に共通の各デバイスのパッケージの大きさ、プリント回路基板のレイアウト、ソルダー・ステンシルの設計例を記載しました。個々のデバイスの詳細は、その製品のデータシートやパッケージ外形寸法図を参照してください。

インターナショナル・レクティフィアー（IR）社は、プリント回路基板への実装を簡素化し信頼性を向上させるために、仕様に沿って DirectFET を製造しています。この仕様は、さまざまな材料や設計例を評価しながら、進化してきました。このような評価で良い結果が得られていたとしても、このアプリケーション・ノートに記載された推奨事項を特定の製造環境に合わせ込む必要がある場合もあります。

デバイスの構造

DirectFET は、ソースとゲートを半導体チップ表面から直接取り出すという革新的な構造を採用しています（**図 1**）。チップ表面の残りの部分は、チップを保護するため、さらにはデバイスとプリント回路基板との間のはんだコンタクトの位置、形状、大きさを制御するために、特殊なパッシベーション（保護膜）によって被覆してあります。

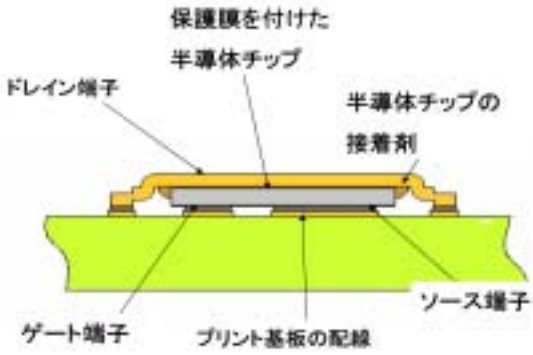


図 1　DirectFET の断面図

ドレイン・コンタクトはメッキされた銅の缶（カン）によって形成されており、半導体チップのドレイン側に接着されています。この缶には 2 つのコンタクト領域があり、回路基板にはんだ付けできます。2 つのコンタクトのうちの 1 つは機械的なアンカー専用として使えます。2 つのドレイン・コンタクトに

同じ大きさのパターンを設けると、リフロー時にデバイスが傾かないようにできます。

図 2 は、DirectFET デバイス 2 品種の標準的なコンタクトの配置を示した図です。図中の G はゲート・コンタクト、S はソース・コンタクト、D はドレイン・コンタクトです。

ほとんどのデバイスがこの配置です。詳細は、各製品のデータシートに記載してあります。

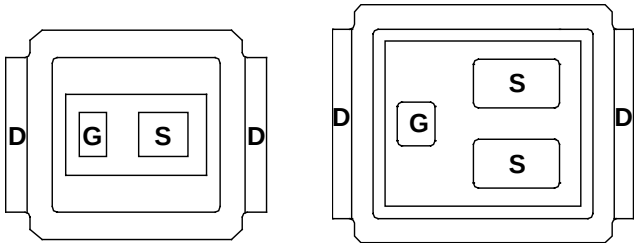


図 2　DirectFET のコンタクト
（デバイスの下から見た図）

図 3 に、DirectFET の捺印を示します。ドット（●）は、ゲート・コンタクト（Gate marking）を示します。その下の部品番号（Part number）と、バッチ番号（Batch number）、日付コード（Date code）は、製品の工程管理を行うために捺印されています。バッチ番号の最後の文字の下線は PbF を示します。

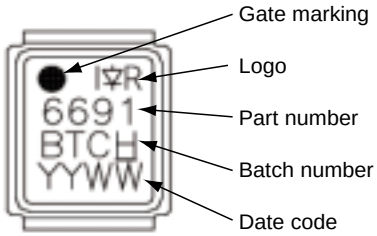


図 3　DirectFET の捺印

プリント回路基板設計時の考察

プリント回路基板

DirectFET は、もともとエポキシやポリイミドのガラス繊維基板を使って開発され、評価されています。テスト基板は浸漬金の無電解ニッケル仕上げにしてありますが、この他の表面仕上げ処理法を使うこともできます。

その後の評価では、アルミニウム・シリコン・カーバイド（AlSiC）と銅（Cu）から成る絶縁金属基板にも使えることを確認しました。詳細については、アプリケーション・ノート“ DirectFET Technology Materials and Practices Application Note ”（AN-1050：日本語訳は「DirectFET 技術　～ 材料と処理内容 ～」）を参照してください。基板仕上げは、はんだ接合に必要なエネルギ量に大きな影響を与えることがあります。これによって、はんだボール、チップ立ち（tombstone）、空洞（ボイド）など、はんだ付けの品質問題が発生することがあります。選択した基板仕上げ法に対して適切なリフロー要件が満足されていることを確認してください。

基板設計

低損失のパターン・レイアウトを実現するために、DirectFET は、はんだマスク基準でレイアウトするように設計されています。パッド基準（非はんだマスク基準）のレイアウトを行うこともできますが、これについては評価していません。DirectFET の形状とはんだマスク基準のパッドを利用すると、効率的な基板設計が可能になります。パターン面積を大きくすると、電気的および熱的な特性を最適化できます。

もし CAD システムのライブラリに部品の外形を生成するためのパッド番号が必要なら、次頁の**図 4** に示した番号を採用してください。設計やアセンブリのときに起こる問題を議論するときに便利です。

図 4 の最も上の図中の番号は、1、2、5、6 はドレイン、3 がソース、4 はゲートです。上から 2 番目と 3 番目の図は、1、2、6、7 がドレイン、3 と 4 はソース、5 はゲートです。4 番目は、1、2、8、9 がドレイン、3 ～ 6 はソース、7 はゲートです。最も下の図は、1 ～ 3 と 13 ～ 15 がドレイン、4 ～ 11 はソース、12 はゲートとなります。

DirectFET は、簡単なレイアウトで並列に配置できます(**図 5**)。IR 社は、少なくとも 0.500mm(0.020 インチ) 以上間隔を空けて配置することを推奨します。基板レイアウトの間隔はそれぞれの作業能力に合わせて調整できますが、修正作業ができるようにしておく必要があります。

2 つのデバイスの間隔とその他の部品との間隔は、マイクロスクリーンの設計と、はんだ除去ツールにも依存します。デバイスの外形寸法、回路基板のレイアウト、各 DirectFET の缶の大きさやコンタクト・パッドの形状に対するソルダー・ステンシルの設計については、付録 A を参照してください。

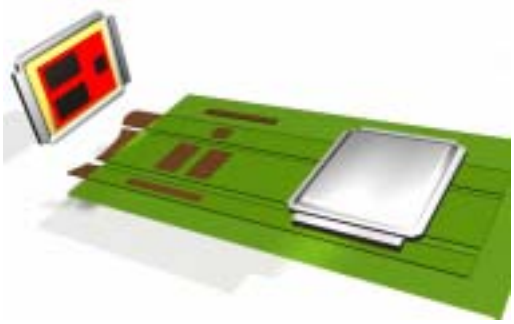


図 5　DirectFET を並列に配置する

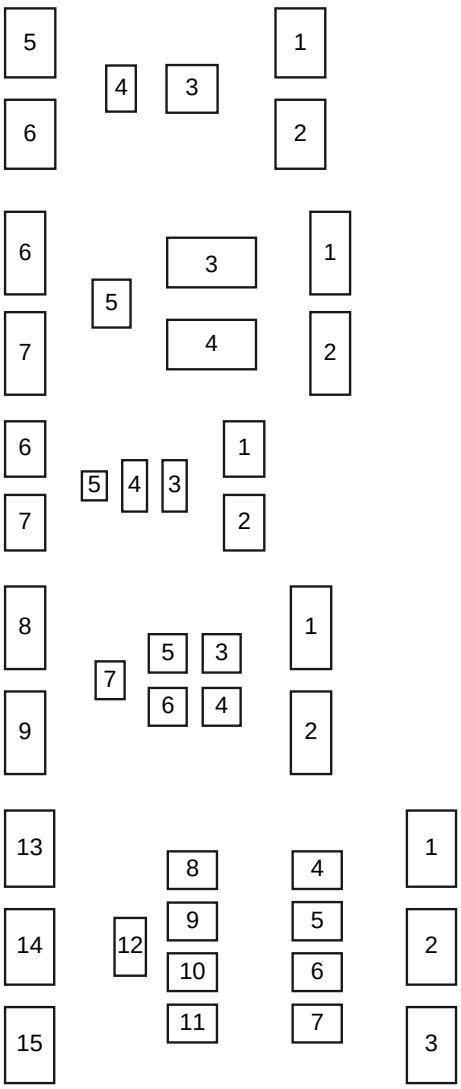


図 4　パッドの推奨番号
(プリント基板の上から見た図)

標準的なパッドのレイアウト

DirectFET シリーズの最近のデバイスは、パッド形状を標準化しています(**図 6**)。これによって、同じ大きさのデバイスは、容易に交換またはアップグレードすることができます。例えば、ソース・パッドが 1 つの小型缶のデバイス用にレイアウトした回路基板は、2 つのソース・パッドの小型缶のデバイスに置き換えるように設計変更できます。つまり、ゲート・パッドは、2 つのデバイス共に同じ位置にあり、2 つのソース・パッドの 1 つは、単一のソース・パッドと同じ位置にあります。

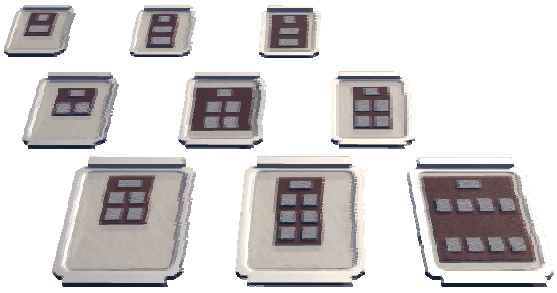


図 6　パッドのレイアウトの標準化

多くのデバイスに関して、デバイスの仕様や回路基板上のパッドの外形に関する標準的な仕様を利用できます（**表 1**）。ステンシルの設計では、標準的な外形のどこにはんだペーストを塗布するかを決めます。ペーストの消耗やフラックスの残留を避けるために、使用するデバイスに合わせてステンシルを設計してください。

表 1　回路基板設計に利用できるデバイスのデータ

デバイスの外形	ステンシルの設計例	専用パッドの外形	標準パッドの外形
S1	S1	S1	S2
S2	S2	S2	S2
SB	SB	SB	SB
M2	M2	M2	M4
M4	M4	M4	M4
L4	L4	L4	L10
L6	L6	L6	L10
L8	L8	L8	L10

注）L10 は、大型缶の標準パッドのレイアウト（**図 7**）。他のすべてのパッドのレイアウトは付録 A を参照。

デバイス外形の記号は、缶の大きさとソース・パッドの数を示します（**表 2**）。例えば、L8 は、大型缶（L）でソース・パッドが 8 個あるという意味になります。

表 2　デバイスの記号の説明

缶の大きさ		ソース・パッドの数
S	小型	1、2、4、6、8、10
M	中型	
L	大型	

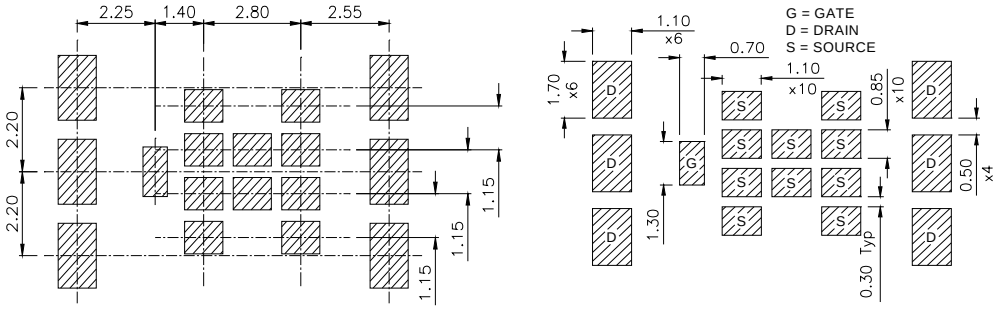


図 7　L10 のプリント回路基板のレイアウト例

組み立て時の考察

IR 社は、標準的な表面実装技術を使って、できるだけ容易に組み立てられるように DirectFET を設計しています。

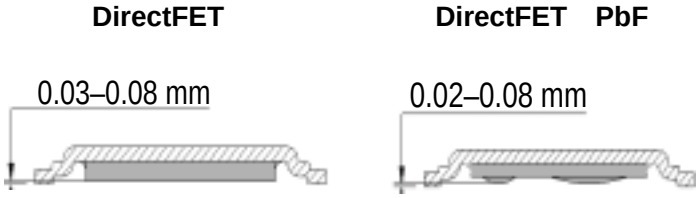


図 8　半導体チップを押し込んである

パッケージ内部にチップを深く押し込んであるため、チップと基板との間にすき間ができます（**図 8**）。このため、はんだボールが生じ難く、デバイスの信頼性が向上します。ただし、作業手順と条件によっては、組み立て品質に大きな影響を及ぼすことがあるので、用途に合わせて有効な作業工程を検討してください。

デバイスの梱包

DirectFET デバイスは、テープ・アンド・リール形式で出荷します（**図 9、表 3**）。ゲート・コンタクトはテープ・インデックス穴から最も遠い側にあります。

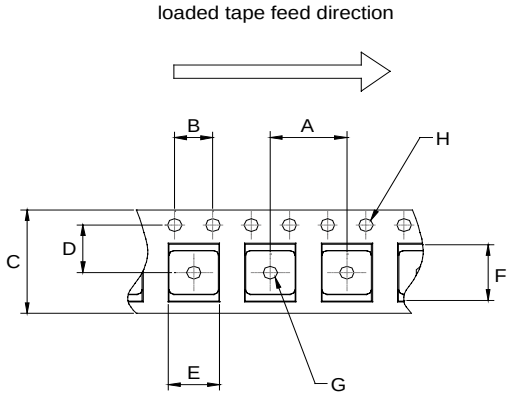


図 9　テープ・アンド・リールの形状

表 3　テープ・アンド・リール（図 9）の寸法

寸法（単位：mm）						
	小型缶		中型缶		大型缶	
記号	最小	最大	最小	最大	最小	最大
A	7.90	8.10	7.90	8.10	11.90	12.10
B	3.90	4.10	3.90	4.10	3.90	4.10
C	11.90	12.30	11.90	12.30	15.90	16.30
D	5.45	5.55	5.45	5.55	7.40	7.60
E	4.00	4.20	5.10	5.30	7.20	7.40
F	5.00	5.20	6.50	6.70	9.90	10.10
G	1.50	NC	1.50	NC	1.50	NC
H	1.50	1.60	1.50	1.60	1.50	1.60

保存条件

DirectFET デバイスは、窒素充填の帯電防止バッグに梱包されています。デバイスのある部分のメッキは光に敏感であり、重工業製品の製造場所で発生する高いレベルで汚染された雰囲気のなかではさびるかもしれません。

このバッグは、通常の光強度に対しては適切な保護機能がありますが、明るい光源に長時間曝すことは避けてください。また、周囲の環境からも保護しています。このバッグの中のデバイスは、もし開封しなければ 2 年間は保存できます。いったん開封したら、良好なはんだ付けを保証するために、梱包に表示してあるように MSL3 （湿気感度レベル 3）の環境にしてください。

曇るという危険を減少させるために、デバイスを使わないときは、デバイス（MSL1 と MSL3 の両方）リールは、それらが供給されたときの保護バッグに再封してください。

はんだペースト

IR 社では、いろいろなメーカーの、さまざまなはんだペーストを評価しました。ペーストの特性はメーカーによって異なり、優劣があります。一般に、スランプ度の高いペーストはスランプ防止型ペーストよりも、はんだボールの問題を生じやすい傾向があります。はんだボールの問題は、次の「ソルダー・ステンシルの設計」で説明します。また、ペーストによっては、空洞を発生しやすいものもあります。

はんだの構成、含有金属、フラックスは、すべてはんだペーストの流動性に影響を与えます。その結果、処理時のペーストの反応方法に影響します。型番に PbF が付いている DirectFET は、有鉛ペースト（Sn63 Pb37）と無鉛ペースト（Sn96.5 Ag3.0 Cu0.5）の両方で評価しました。PbF が付いていない製品には、無鉛ペーストを使用しないでください。

鉛フリー対応品と標準品は、いずれも IPC／JEDEC の標準 J-STD-020C（2004 年 7 月版）の構成でリフロー処理をしたときの評価です。プリント回路基板が両面のとき、または修正作業をしたときに、デバイスは複数回リフロー処理されるかもしれません。この評価では 3 回のリフロー処理を行いました。リフロー処理は、J-STD-020C に沿って行い、3 回以内にしてください。

ソルダー・ステンシルの設計

ソルダー・ステンシルの設計により、はんだ接続の品質が決まります。IR 社とユーザーの場所で、推奨基板寸法で良好な結果が得られたステンシルの設計例が付録 A です。すべて、減少率は 25%（プリントの 75%の領域と同じ）です。

仮に、厚さ 0.150mm（0.006 インチ）のステンシルを使ったとすると、ステンシルの厚さが異なる場合は変更が必要です。

DirectFET のステンシルは、厚さ 0.100mm～0.250mm （0.004 インチ～0.010 インチ）の範囲で使えます。ステンシルの厚さが 0.100mm より薄いと、チップとのはんだ接続を行うためのはんだペーストを十分に堆積させることができないため適しません。減少率が高い場合にも同じような問題が生じる可能性があります。0.125mm～0.200mm （0.005 インチ～0.008 インチ）の範囲のステンシルを使うと、減少率が適切なら、最適な結果が得られます。

リフロー後に評価すると、作業工程内でのステンシルの特性評価に役立ちます。ステンシルの設計を改善すると、以下 2 つの主要な問題が解決できるでしょう。

●チップ周辺に生じるはんだボールの問題
はんだペーストが多過ぎるときに発生します。この場合、ステンシルを 25%以上縮小する必要があります。縮小は対称に行うことができますが、非対称不均等に行うとはんだボール発生の防止に役立つこともあります。
付録 A に示すステンシルの設計例で、各開口部をチップの端から離しているのは、このためです。はんだボールは、プリント回路基板に含まれる水分や、リフロー時の不適切なランプ・レートまたは不十分なソーク時間など、外部要因から発生することもあります。DirectFET のようなリードレス・デバイスを扱うと、作業工程内の既存の欠陥が目立つ場合もあります。
●形成不良による接続の問題
接続部が小さい場合、または部分的にしか接続されていないように見える場合には、接続するためのはんだが不足している可能性があります。ただし、接続部の端から、はんだがあふれているときは、はんだが多過ぎたときです。この場合、はんだボールも発生していることが多いようです。はんだ不足によって空洞が発生することもありますが、表面仕上げ、はんだペースト、基板状態などの要因でも空洞は発生します。

デバイスの配置

DirectFET に収めた半導体チップは、窪んだ位置にあるため、少なくとも 0.050mm （0.002 インチ）は、はんだペーストに押し付けられます。このため、コンタクト領域がペーストと完全に接触します。
部品挿入マシンは、さまざまな原理で動作し、全移動行程に基づくものや、配置圧力に基づくものがあります。全移動行程 0.050mm～0.100mm（0.002 インチ～0.004 インチ）で、配置圧力が 150g～250g のときに良好な結果が得られています。
配置圧力が不十分な場合には、はんだの接続不良やデバイスの傾き、位置ずれが発生します。明らかな傾きを回避することは望ましいことですが、レイアウト不良だからといって必ずしもリフロー問題が生じるとは限りません。理論的には、デバイスを X 軸方向、Y 軸方向ともに 0.050mm の精度で配置しますが、われわれが評価したときは 0.200mm 以上も中心からずれていました。

ヒートシンク（冷却器）

DirectFET デバイスは、他のパッケージと比べて、優れた放熱特性を提供するように設計されました。多くの用途ではヒートシンクを付ける必要はありませんが、使用時の放熱を大きくしたいときは利用しても良いでしょう。最適な放熱特性が得られるように、クリップ、ねじ、締め具などを使って回路基板にヒートシンクを取り付けてください（**図 10**）。もし、回路基板の面積が限られているなら、デバイスの上に取り付けることもできます（**図 11**）。



図 10　回路基板にヒートシンクを取り付けた例

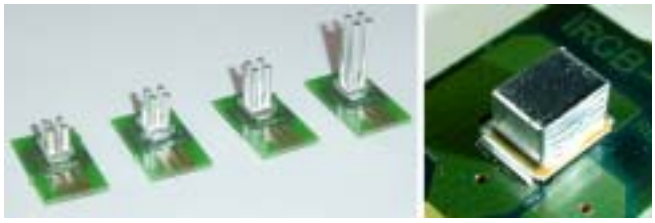


図 11　デバイスの上にヒートシンクを取り付けた例

ヒートシンクの設計や装着方法がどのようなものでも、ヒートシンクは、1 個または複数のデバイスに装着できます。**図 12** は、複数のデバイスにヒートシンクを装着した例です。

1つのヒートシンクが複数のデバイスに使われるとき、回路基板、はんだ、デバイス、熱インタフェースの材料（TIM）、およびヒートシンクの熱膨張による変化から問題が起こることがあります。特に、ヒートシンクが回路基板への機械的な締め具なしでデバイスの上に取り付けられているときに問題が起こることがあります。

通常動作条件と同様に、熱膨張の計算は、組み立て工程（例えばリフロー工程時）に適用された他の熱の影響も考慮してください。デバイスとヒートシンクの合わせ面の間の空間に TIM を入れることで熱接触を改善できます。

TIM がないと広い領域にわたって空間ができます（**図 13**）。TIM があると完全に接触します（**図 14**）。

多くの TIM が、さまざまな形態で利用できます。次頁の**表 4** にさまざまな形態の利点と欠点をまとめました。ただし、個々の例は異なるかもしれません。それぞれの形態の適合性は、組み立て工程と設計に依存します。その用途のための最適な材料は、評価して決めてください。



図 12　複数のデバイスにヒートシンクを装着した例

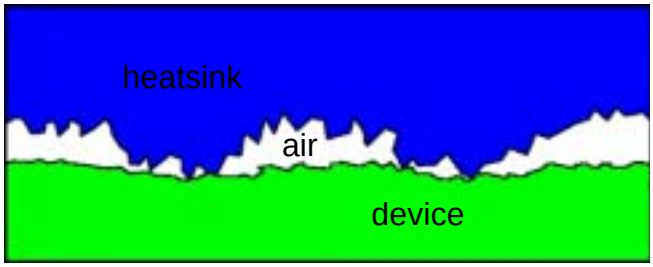


図 13　熱接触（TIM なし）　K　0.024W／（m・k）

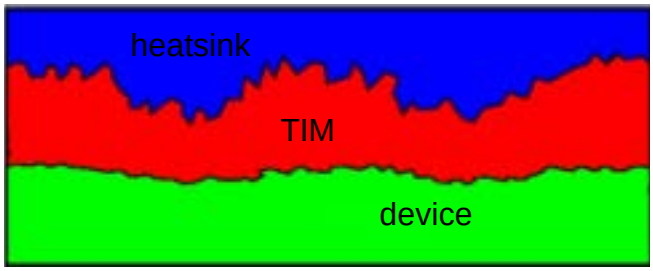


図 14　熱接触（TIM 使用）　K　0.5ー10.0W／（m・k）

表 4　熱インタフェース材料（TIM）の利点と欠点

形態	説明	利点	欠点
グリース	従来から使われている形態。組成は Al_2O_3、BeO、Al、Ag。 熱伝導率： 0.3～2.0 W／（m·K） （Al では最大 6 W／（m·K）） メーカー： 信越化学工業、Bergquist	表面の順応が良い。 表面が濡れている。 0.013mm 以下に薄くできる。	準備工程が面倒。 工程が汚い。 はみ出しが長期信頼性に影響する。 廃棄処理しなければならない。 電気的絶縁性がない。
ジェル	分子結合により硬化するグリースの代わりになるジェル状物質。 熱伝導率： 0.3～2.0 W／（m·K） メーカー： Thermoset Systems （Lord MG シリーズ）	表面の順応が良い。 表面が濡れている。 0.13mm以下に薄くできる。 はみ出さない。	準備工程であらかじめ取り付けておけない。 オーブンによる加熱硬化が必要。 工程が汚い。 廃棄処理しなければならない。 電気的絶縁性がない。
接着剤	グリースに似た伝導性粒子入り熱硬化接着剤。 熱伝導率： 0.3～1.3 W／（m·K） メーカー： ダウコーニング、スリーエム	表面の順応が良い。 表面が濡れている。 0.13mm以下に薄くできる。 機械的な固定。	準備工程であらかじめ取り付けておけない。 オーブンによる加熱硬化が必要。 工程が汚い。 廃棄処理しなければならない。 電気的絶縁性はない。
テープ	グラス・ファイバかプラスチック上に伝導性粒子を感圧糊で付着したもの。 熱伝導率： 0.7～1.5 W／（m·K） メーカー： Bergquist、ダウコーニング、スリーエム	適当な表面の湿気。 機械的な固定。 前工程で切り取ったものを取り付けておくことが可能。 汚れない簡単な工程。 電気的絶縁性がある。	表面の順応が良くない。 厚い。
相変化材料	約50℃でジェルに変化する蝋状の材料。 熱伝導率： 0.8～1.5 W／（m·K） メーカー： Bergquist、ダウコーニング、スリーエム	表面の順応が良い（0.05mm以下の不規則性） 表面が濡れている。 工程がきれい。 準備工程で取り付けまたはキャリア搬送が可能。 準備工程で取り付けると、0.13mm以下に薄くできる。 キャリアを利用すると電気的絶縁性がある。	表面が粗く、球状なので表面の順応が良くない。
パッド	厚さ0.25mm～6.35mmと厚い。 熱伝導率： 0.8～4.0 W／（m·K） メーカー： Bergquist、ダウコーニング、スリーエム	大きな不規則性に対する表面の順応が良い。 簡単に使える。 再利用可能。 前工程で切り取ったものを取り付けておくことが可能。 工程がきれい。	小さな不規則性に対する表面の順応が良くない。 濡れている。 厚い。 特性を発揮するには比較的高い面圧が必要なので効果的に利用するのが難しい。

デバイスとヒートシンクの接着にTIMを使うときは、材料と接着方法に気をつけてください。もし、流体または流れる材料が使われているなら、回路基板に接触していないデバイスの側面を覆う必要はありません。

そのような覆いはデバイスの下や、チップ周辺およびデバイスと回路基板の間に空気を閉じ込めてしまいます。すなわち、組み立て工程で何らかの理由（通常の動作であろうと、さらなる工程またはバーンイン・テストであろうと）で加熱すると、閉じ込められた空気が膨張し、デバイスのボンディングまたはデバイスの回路基板の接続を壊すかもしれないからです。

このことは、一般に、小さなシリコン・チップを搭載している大きなDirectFET パッケージを大きく加熱したときに起こることがテストで分かっていますが、これについては、さらなる考察をしなければなりません。

TIMが過剰なときは、DirectFETデバイスの下を流れてしまいます。そして、熱膨張によってデバイスと回路基板の接合部を壊すかもしれません。**図 15** のように、ヒートシンクの余分な接着剤が回路基板に広がって、パッケージの淵の接続が外れています。それがデバイスを覆い、デバイスの横を包んでいることが分かります。

図 16 の断面図から、接着剤がDirectFET デバイスの下に流れたことが分かります。これが、回路基板と、チップやパッケージとの間の空間を埋めています。**図 17** では、TIMが広がり、パッケージとシリコン・チップを分離しています。ヒートシンクのさまざまな設計や材料に対して、ここで示したことが、所望の用途に合ったものであることを確かめるために十分に評価してください。

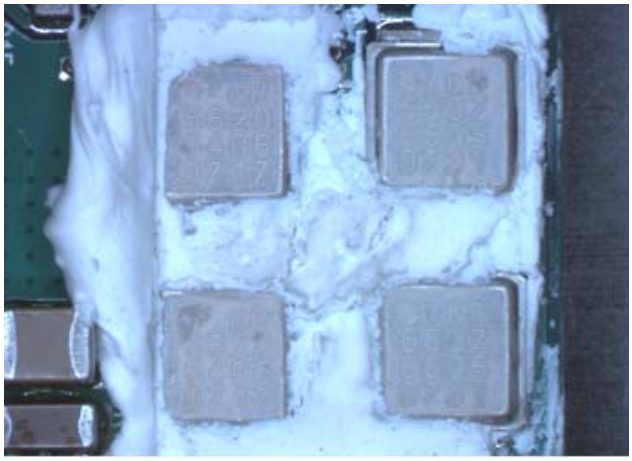


図 15　ヒートシンクの過剰な接着剤によってデバイスが覆われている

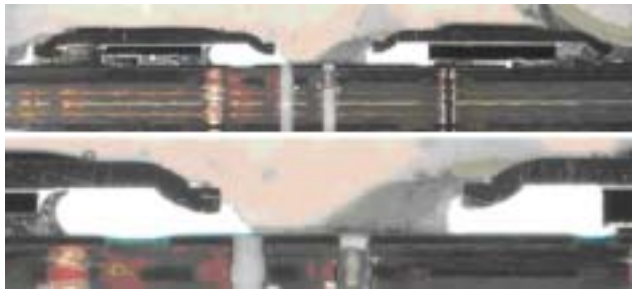


図 16　デバイスの下に流れ出したヒートシンクの接着剤

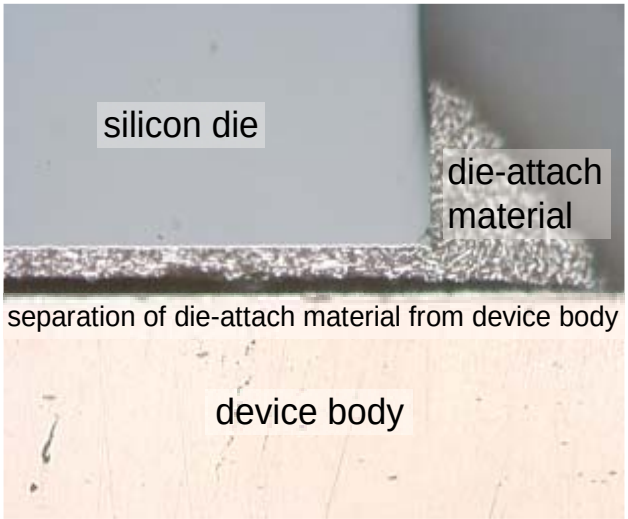


図 17　パッケージ（デバイス・ボディ）からチップ接着材料が分離

リフロー装置

DirectFET は、表面実装用リフロー装置を使った組み立てに適しているため、対流方式、蒸着方式、赤外線方式の装置を推奨します。PbF 品質のデバイスは短時間の高温に対する耐性を備えているため、最大 260 ℃（熱電対を DirectFET デバイス上に付けて測定）のリフロー処理が可能です。

組み立てに特別な条件はありませんが、評価と認定で使ったすべてのリフロー処理は、はんだペースト・メーカーの推奨に従いました。不適切なリフロー処理を行うと、はんだボール、チップ立ち（チップの傾き）、空洞など、はんだ付けの品質問題が発生することがあります。このような問題が発生したときは、リフロー工程をチェックしてください。

DirectFET パッケージは、優れた熱抵抗特性を備えています。このため、適切な熱エネルギがはんだ接合部に達するのを保証するため、回路基板のコアがリフロー処理の予熱時に熱平衡に達していなければなりません。詳しくは、ホームページ（http://www.irf.com/product-info/directfet/dfmanuengineer.html）を参照してください。

検査

プリント基板に実装した DirectFET デバイスの検査についてはアプリケーション・ノート（AN-1080）「DirectFET®パッケージ技術　～ 検査方法 ～」を参照してください。

LGA（ランド・グリッド・アレー）や BGA（ボール・グリッド・アレー）を含むすべてのチップ・サイズのパッケージと同様に、リフロー後の最適な検査方法は、X 線による画像診断です。DirectFET デバイスと、PbF の DirectFET デバイスの検査画像は**図 18** のように少し異なります。

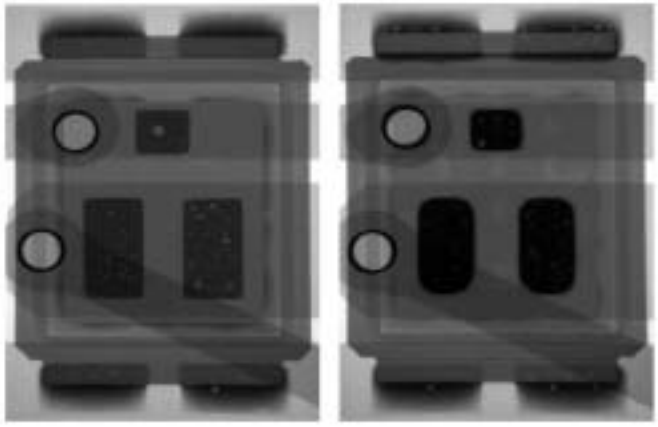


図 18　DirectFET（写真左）と PbF の DirectFET（写真右）の X 線画像

プリント回路基板に実装した PbF の DirectFET デバイスの X 線画像は、はんだ接合部が濃く、空洞やはんだボールは少ないですが、同じ条件で処理した DirectFET デバイスよりも輪郭がはっきりしていないことが分かります。この理由は、PbF の DirectFET デバイスのはんだ接合部が非常に厚いためです。はんだが、予備はんだした表面に対してしっかりと付着しやすい傾向があります。鉛フリー品のはんだ接合部は、砂時計型になっています。この結果、X 線画像のように、接合部の輪郭がぼやけ、角が丸くなります。

修正作業の指針

BGA やリードレス・パッケージに対する修正作業装置では 2 種類の加熱ステージを使います。最初のステージでは、従来型のホット・プレートまたは熱風システムを使ってプリント回路基板を加熱します。2 番目のステージでは局所的な加熱に熱風システムを使い、配置されたデバイスのはんだ接続を迅速に冷却するために非加熱の空気流をオプションとして使うこともあります。これにより、はんだ粒状構造が改善されます。

デバイスの配置機構、すなわちアームには、一般にピック・ヘッド部に熱風はんだ除去ガンが組み込まれており、吸引カップと熱電対も付いています。はんだのリフロー温度に到達すると、デバイスを基板から取り外せるように吸引部が自動制御されます。これにより、取り外しが早過ぎてデバイスに損傷を与える危険性が少なくなっています。

IR 社は、基板から取り外したデバイスの再利用は薦めません。取り外したデバイスは廃棄して、新しいデバイスを使ってください。

DirectFET の交換

DirectFET を交換するときは次の手順に従ってください。なお、修正作業の前に、残留水分除去のためにベーク（加熱）するときは、その通常手順を実施してください。

① 回路基板を加熱するのときに、該当部分を約 100℃に加熱してください。これにより、熱風はんだ除去ツールで必要とされる加熱量が少なくて済み、基板または周囲の部品に損傷を与える危険性が少なくなります。

② 配置アームを下げて、はんだ除去ツールをデバイスに接触させます。デバイスとはんだ接続部がリフロー温度に到達したら、配置アームを上げて基板からデバイスを取り外します。

③ ブレード型はんだ除去ツールやはんだ除去用の吸取線を使って、残留はんだとフラックスを該当部分から除去します。該当部分の清掃は、はんだレジストが破損しないように注意深く行います。該当部分の清掃が済んだら、マイクロスクリーンとスキージを使って新しいはんだペーストを塗布します。

④ 基板加熱のときに、該当部分を約 100℃に加熱してください。配置アームを使って新しいデバイスを配置し、はんだ除去ツールを使ってデバイスとはんだの接続部をリフロー温度になるまで加熱します。アームを戻して、デバイスをその位置に置いたままにします。できるだけ迅速に冷却して、新しい接続で良い粒状構造が得られるようにします。

機械的テストの結果

IR 社は、プリント基板に実装した DirectFET に対して広範囲な機械的テストを業界の標準と慣行に従って実施しました。テストしたデバイスは中型缶のもので、1 つは MQ 型、もう 1 つは MT 型です。すべての DirectFET は同じ方法で製造されるので、大きさの異なる缶も同じような特性が得られます。

この節では、曲げテスト、圧迫テスト、落下テスト、振動テストの結果をまとめました。必要ならば、完全なレポートを提供できます。

曲げテスト

テスト方法：このテストは BS EN 60068-2-21:1999 Test U（終端および実装デバイス全体の堅牢さ）に沿って実施しました。

● 相対的特性を測定するため、DirectFET を同じ大きさのセラミック・コンデンサと比較してテストしました。

● プリント回路基板は、最初にナイフ・エッジを 90mm ピッチに設定してテストしたところ、数個のデバイスが不合格になったため、ピッチを 70mm に変更しました。これは、同じ曲げでも、半径が小さくなるため、歪みが大きくなって故障を発生させることを意味します。

例えば、70mm ピッチのときの 13～14mm の曲げは、90mm ピッチのときの 25mm の曲げとほぼ同じ歪みが発生します。

● すべてのテストで、曲げ速度は 1mm／秒としました。

● テスト基板の大きさは 100mm×40mm で、FR4 2 オンス銅製のニッケル・ゴールド仕上げです。はんだは Sn63 Pb37 を使いました。

● デバイスは縦方向と横方向に実装し、デバイスを基板の両面に実装してテストしました。

テスト結果：図 19 と**図 20** に、中型缶の MQ 型と MT 型のデバイスで故障が発生する曲げの大きさを示します。

注）斜線の領域は、基板で故障が発生する点を表します。この点を超えた領域ではすべての部品に故障が発生します。

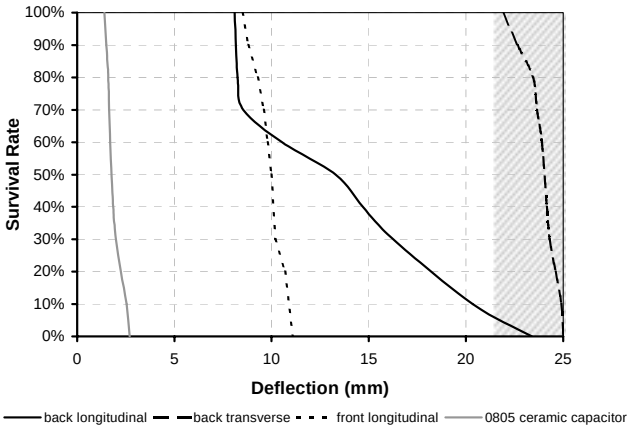


図 19　MQ 型 DirectFET の曲げによる故障率

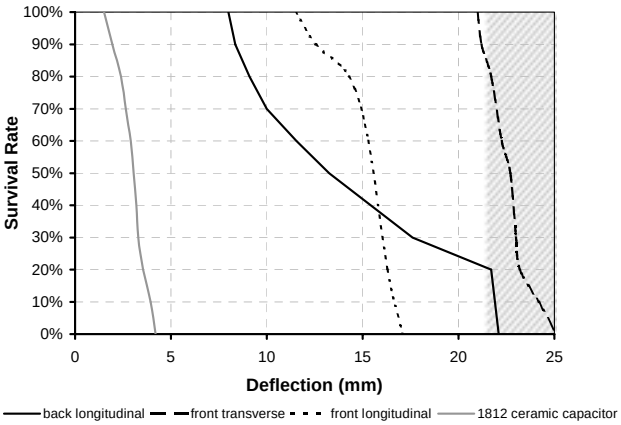


図 20　MT 型 DirectFET の曲げによる故障率

圧迫テスト

テスト方法：

● テストは室温（22℃）で実施しました。

● テスト速度は 0.5mm／分で実施しました（可能な場合は戻り速度を 20mm／分としました）。

● テスト時間は、圧力 0.05N をテスタに登録した時点から計測しました。

● 最大圧力 1750N をテストの終了点として使いました。

連続圧迫：ゲートのしきい電圧（Vg-th）が±20%シフトするまでデバイス上部に圧力を加えました。

段階圧迫：MQ 型は、圧力を 400N まで上げ、圧力を解除し、デバイスを中立状態に戻します。その後、圧力を 700N に上げて圧力を解除します。この工程をデバイスが故障するまで 50N ステップごとに繰り返します。この間、ゲートしきい電圧を監視し続けます。MT 型は、初期圧力 600N で 100N ステップとして、MQ 型と同様なテストを行いました。

注）初期圧力は予想故障点近くに設定して、繰り返し回数を少なくし、疲労を少なくしました。

テスト結果：DirectFET で故障が発生した平均圧力を以下の表に示します。

	MQ 型	MT 型
連続圧迫	1204N	1407N
段階圧迫	663N	1106N

図 21 は、DirectFET の表面に加える圧力の増加に対して、プリント回路基板に実装した DirectFET の生存率を調べた結果です。

生存率は次式で計算されます。

$$\text{生存率} = \frac{n_{dt} - n_{df}}{n_{dt}} \times 100$$

n_{dt}：テストしたデバイスの数
n_{df}：故障したデバイスの数

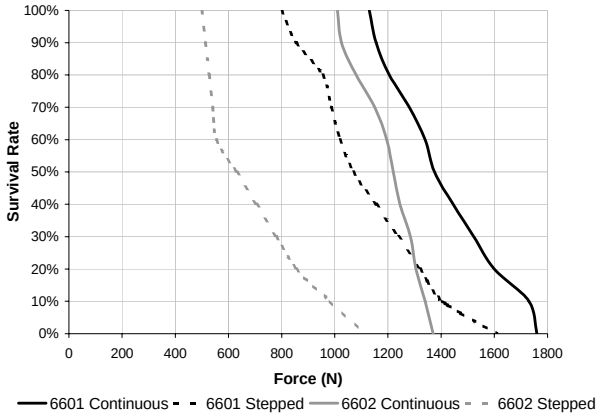


図 21　圧迫テストによる生存率

落下テスト

テスト方法：このテストは BS 2011:Part 2.1 Ed:1992 Test Ed（自然落下）に準拠して実施しました。

異なる高さから次の 5 種類の姿勢で鉄鋼ブロックの上に DirectFET を落下させました。

1. デバイスの短辺を衝突させる。
2. デバイスの長辺を衝突させる。
3. デバイスの角を衝突させる。
4. デバイスを水平にして、基板の表面を衝突させる。
5. デバイスを水平にして、基板の裏面を衝突させる。

BS 2011 では、高さ 25mm、50mm、100mm、250mm、500mm、1000mm からの落下が規定されています。デバイスが故障しない場合、IR 社では高さを 1500mm まで高くしました。

落下テストの結果

	MQ 型		MT 型	
落下の高さ	1000mm	1500mm	1000mm	1500mm
姿勢 1	0/10	0/10	0/10	0/10
姿勢 2	0/10	0/10	0/10	0/10
姿勢 3	0/10	0/10	0/10	0/10
姿勢 4	0/10	0/10	0/10	0/10
姿勢 5	0/10	0/10	0/10	0/10

注）高さと姿勢を替えて 10 個のデバイスをテストしました。各デバイスを落とした回数は 20 回です。

振動テスト

テスト方法：このテストは BS 2011:Part 2.1 Fd:1973 Test Fd（ランダム振動、広帯域一般条件）に従って実施しました。

DirectFET に、20Hz～2kHz のランダム振動、すなわち加速度スペクトル密度値 $0.005g^2Hz^{-1}$（$[0.48ms^{-2}]^2Hz^{-1}$）で $3.2g_{rms}$（$31.4ms^2{}_{rms}$）を 3 時間加えました。次頁の**図 22** は帯域通過フィルタの周波数特性です。

デバイスは次の 3 種類の姿勢でテストしました。
1. デバイスの短辺方向。
2. デバイスの長辺方向。
3. 基板上でデバイスを水平にして。

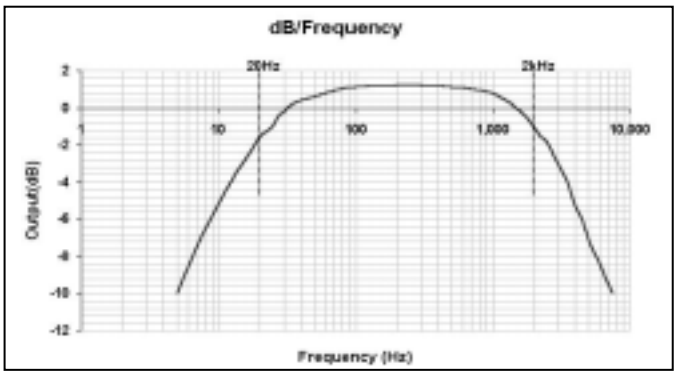


図 22　振動テストの帯域通過フィルタ特性

振動テストの結果

	IRF6601
姿勢 1	0/16
姿勢 2	0/16
姿勢 3	0/16

注）各姿勢に対して 16 個のデバイスを評価しました。

謝辞
はんだペーストのサンプルと情報を提供していただいた Indiun Corporation of Europe, Multicore Solders Limited, Litton Kester Solders, Tamura Kaken(UK), Agmet Ltd(ESL Europe) and Alpha Metals に感謝します。作業に協力していただいた Indium 社の Mike Fenner 氏、表面実装技術の情報を提供していただいた Litton 社の James Taylor 氏に感謝します。

参考文献
Frear, D.R; Vianco P T(1994) “Intermetallic Growth and Mechanical Behavior of Low and High Melting Temperature Solder Alloys”, *Metallurgical and Materials Transactions A*, vol.25A, pp.1509-1523, July 1994.
Frear, Darrel R(1990),”Microstructural Evolution during Thermomechanical Fatigue of 62Sn-36Pb-2Ag and 60Sn-40Pb Solder Joints”,*IEEE Transactions on Component, Hybrids and Manufacturing Technology*, vol.13, no.4, December 1990.
Frear, Darrel; Morgan, Harold; Burchett, Steven; Lau, John, *The Mechanics Of Solder Alloy Interconnects*, Chapman & Hall, ISBN 0-442-01505-4.
Manko, Howard H(4th edn) *Solders and Soldering*, McGraw-Hill, ISBN 0-07-134417-9.
Prasad, Ray P(2nd edn), *Surface Mount Technology*, Kluwer Academic Publishers, ISBN 0-412-12-12921-3.

標準規格
BS EN 60068-2-21: 1999/IEC 60068-2-21:1999
Environmental testing – Part 2-21 Test U:
Robustness of terminations and integral mounting devices.
ICS 19.040.
BS 2011: Part 2.1 Fd:1973
Basic environmental testing procedure – Part 2.1 Test Fd: random vibration – wide band general requirements.
BS 2011: Part2.1 Ed: 1992 / IEC 68-2-32:1975
Environmental testing – Part 2.1 Test Ed: free fall.

付録 A　モデル固有のデータ

DirectFET の缶の大きさとコンタクト・パッド形状の品種を増やしています。現時点では 19 種類あります。デバイス外形図の中の赤印は、パッドの標準レイアウトです（p.4 を参照）。この付録 A では、それぞれについて下記項目を説明します。

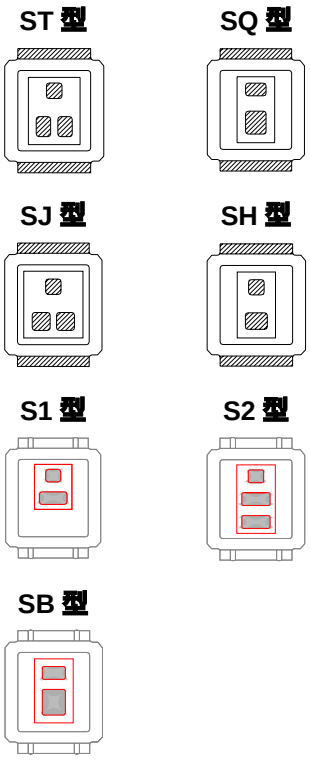
●デバイスの外形図

●プリント回路基板のレイアウトの推奨例

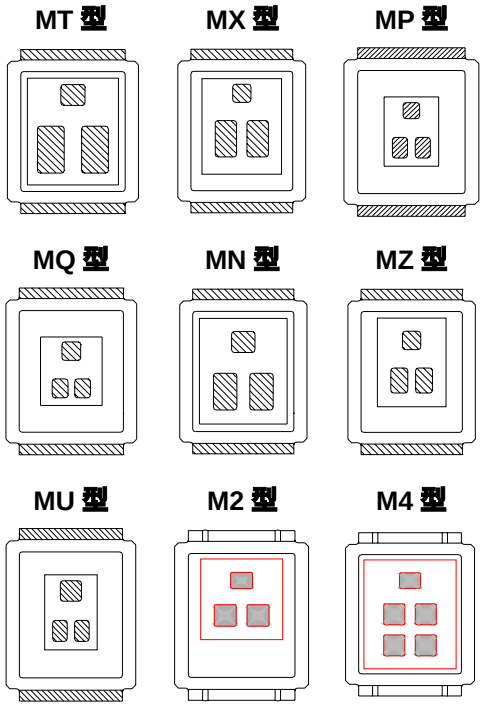
●厚さ 0.150mm（0.006 インチ）のソルダー・ステンシルの設計例

個々のデバイスの大きさや形状の詳細は、該当製品のデータシートとパッケージ外形寸法図を参照してください。

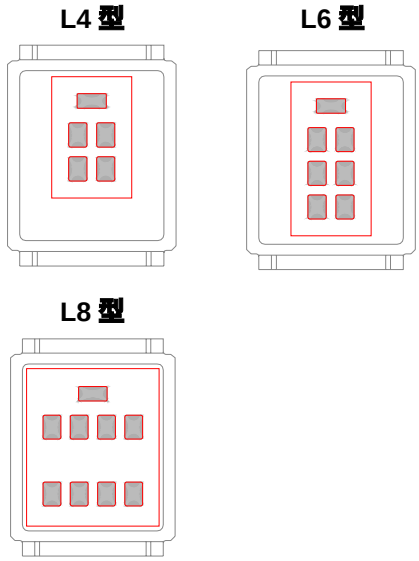
小型缶の外形（7 品種）



中型缶の外形（9 品種）



大型缶の外形（3 品種）



付録 A.1　ST 型

デバイスの外形図

図 A.1.1 に ST 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

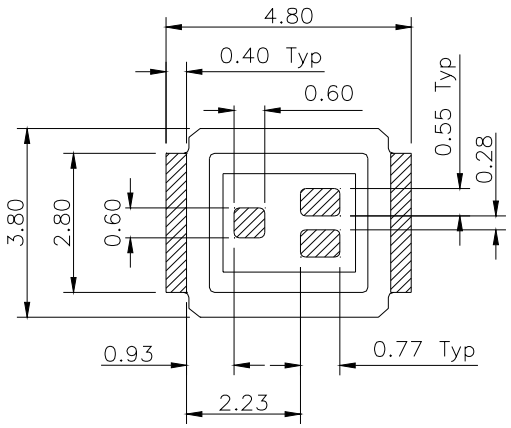


図 A.1.1　ST 型 DirectFET の外形（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.1.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。各ドレイン・パッドの厚さは 0.500mm （0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

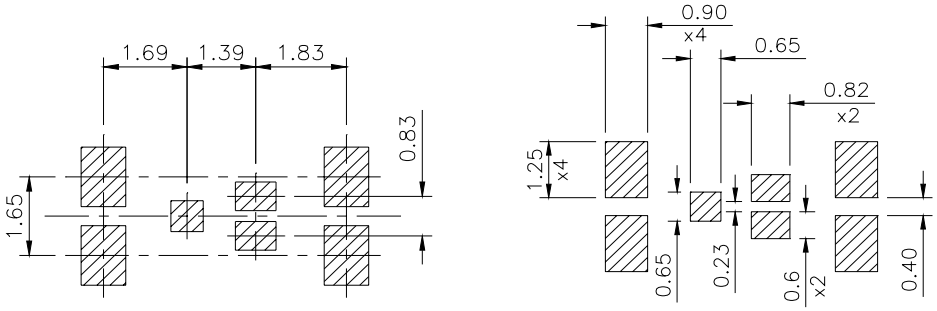


図 A.1.2　ST 型 DirectFET のプリント基板レイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.1.3** に示すステンシルを使ったときに得られています。ただし、この設計はステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

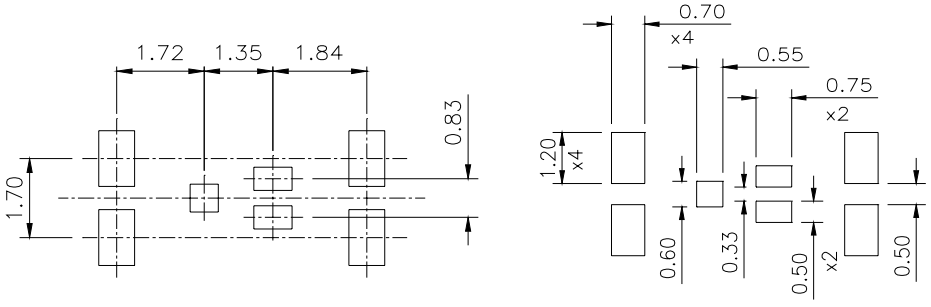


図 A.1.3　ST 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.2　SQ 型

デバイスの外形図

図 A.2.1 に SQ 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

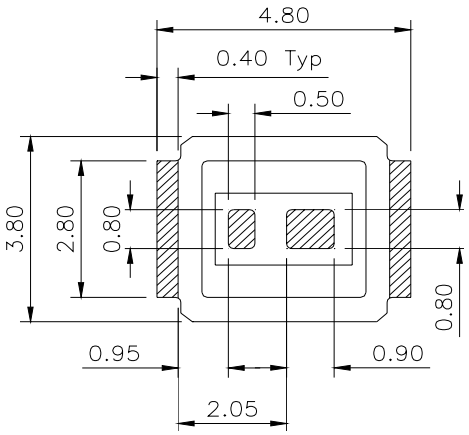


図 A.2.1　SQ 型 DirectFET の外形（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.2.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。各ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

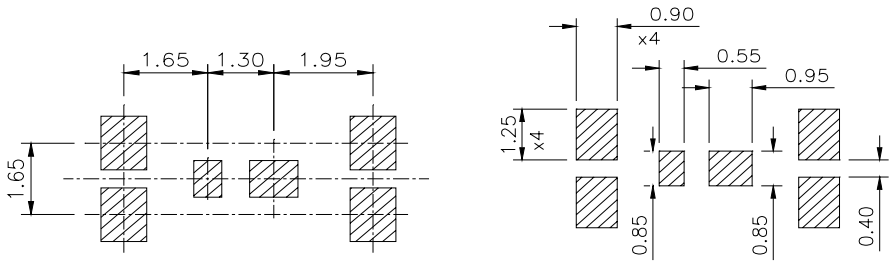


図 A.2.2　SQ 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.2.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

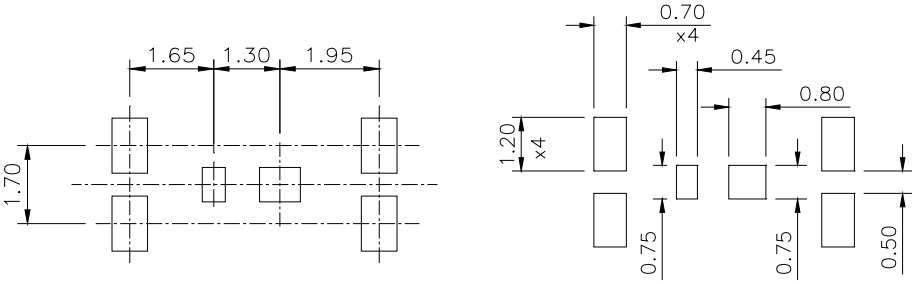


図 A.2.3　SQ 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.3　SJ 型

デバイスの外形図

図 A.3.1 に SJ 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

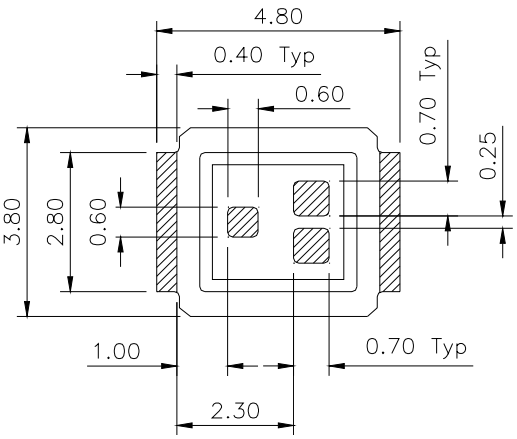


図 A.3.1　SJ 型 DirectFET の外形（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.3.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm （0.001 インチ）だけ大きくしてあります。各ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

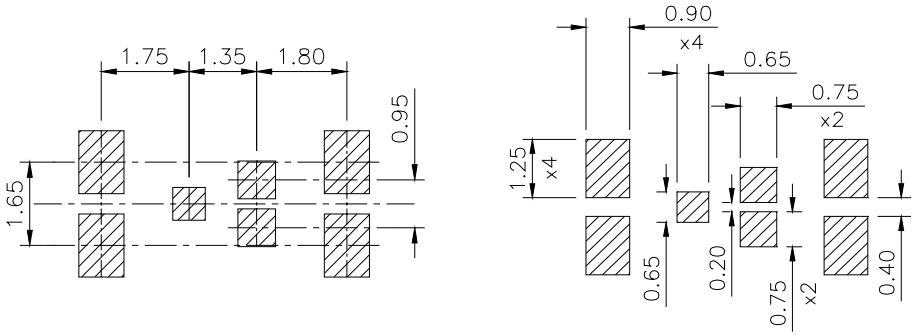


図 A.3.2　SJ 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.3.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm （0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

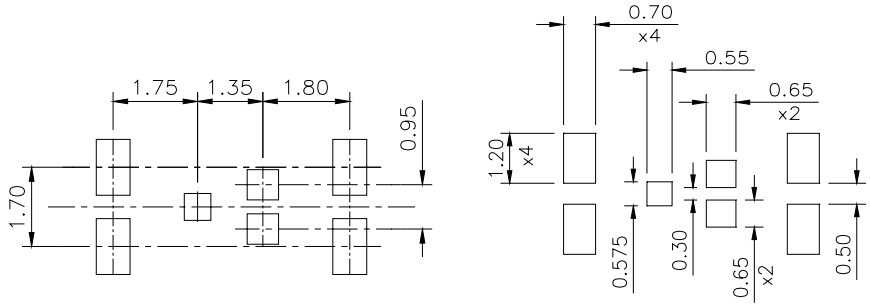


図 A.3.3　SJ 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.4　SH 型

デバイスの外形図

図 A.4.1 に SH 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

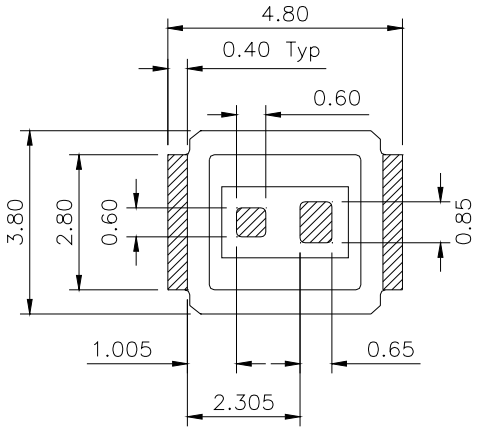


図 A.4.1　SH 型 DirectFET の外形（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.4.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。各ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

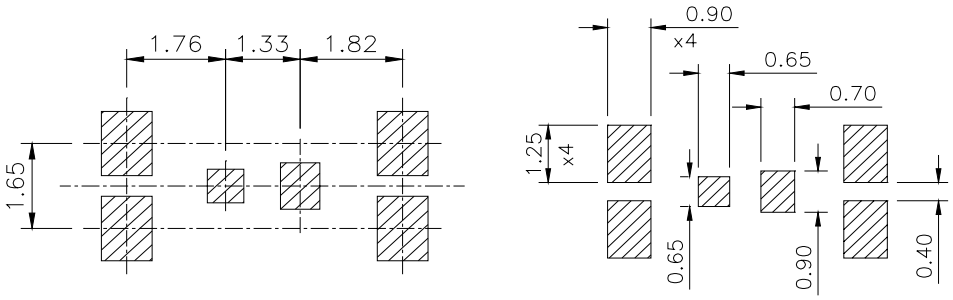


図 A.4.2　SH 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.4.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

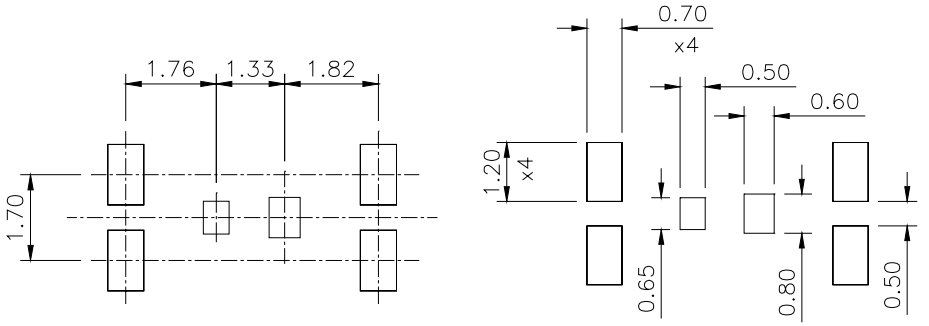


図 A.4.3　SH 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.5　S1 型

デバイスの外形図

図 A.5.1 に S1 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

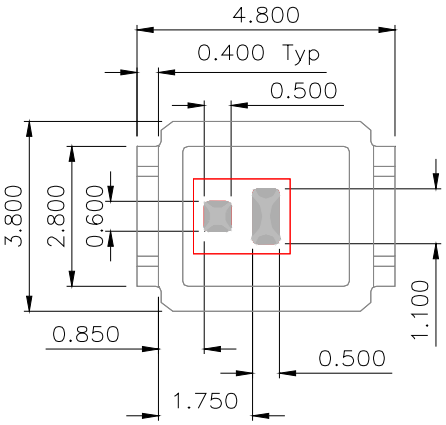


図 A.5.1　S1 型 DirectFET の外形（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.5.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。各ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

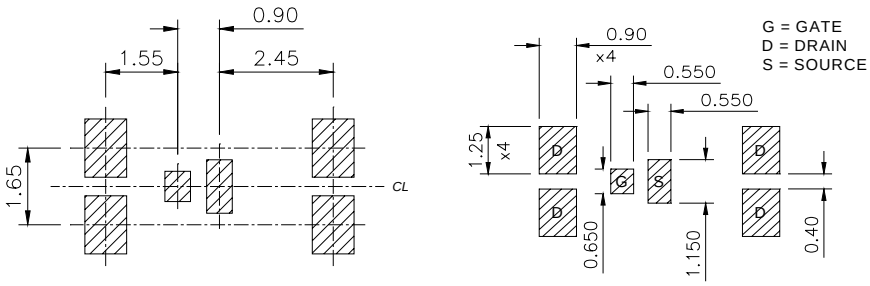


図 A.5.2　S1 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.5.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

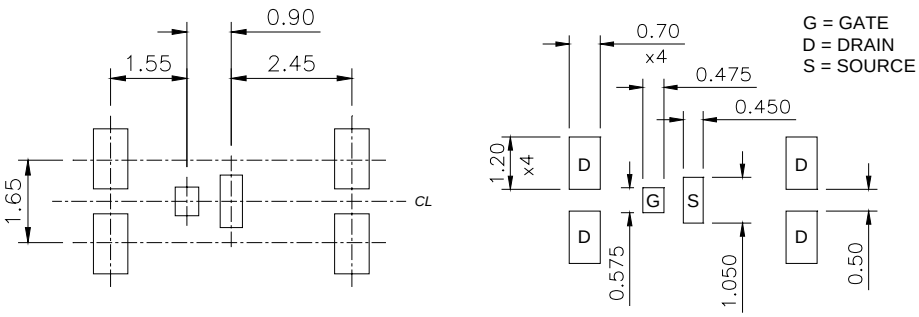


図 A.5.3　S1 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.6　S2 型

デバイスの外形図

図 A.6.1 に S2 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

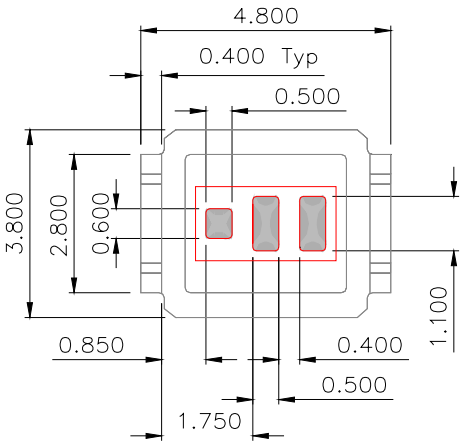


図 A.6.1　S2 型 DirectFET の外形（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.6.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。各ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

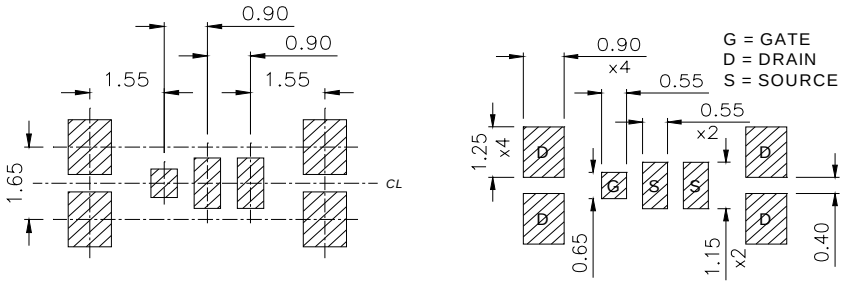


図 A.6.2　S2 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.6.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

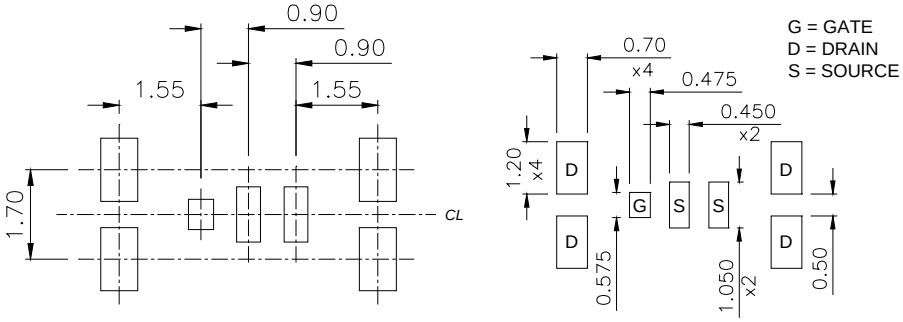


図 A.6.3　S2 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.7　SB 型

デバイスの外形図

図 A.7.1 に SB 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

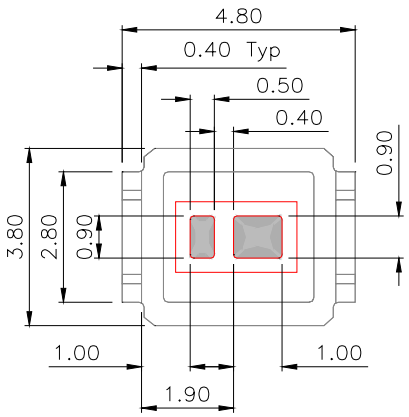


図 A.7.1　SB 型 DirectFET の外形（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.7.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。各ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

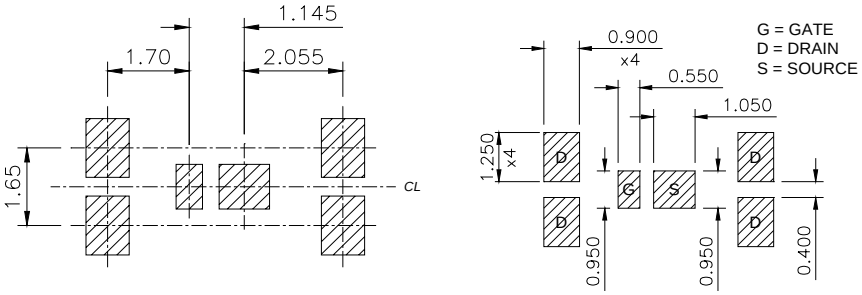


図 A.7.2　SB 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.7.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

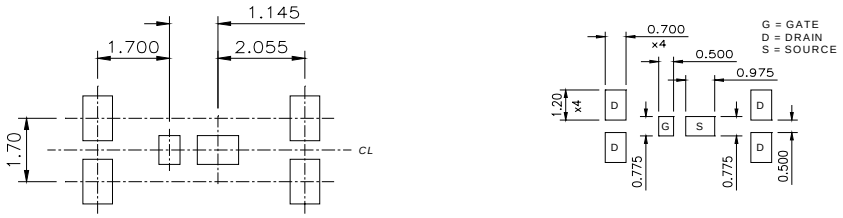


図 A.7.3　SB 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.8　MT 型

デバイスの外形図

図 A.8.1 に MT 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

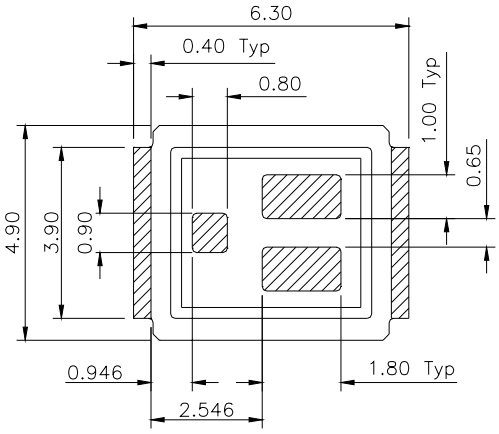


図 A.8.1　MT 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.8.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

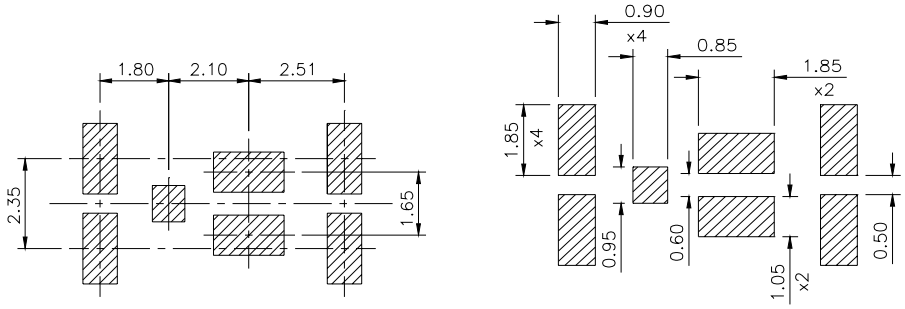


図 A.8.2　MT 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.8.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

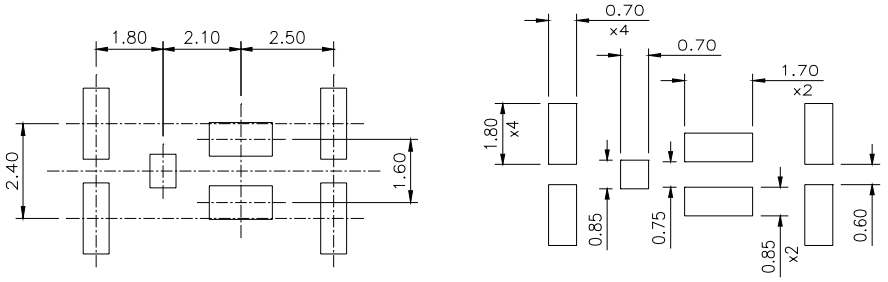


図 A.8.3　MT 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.9　MX 型

デバイスの外形図

図 A.9.1 に MX 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

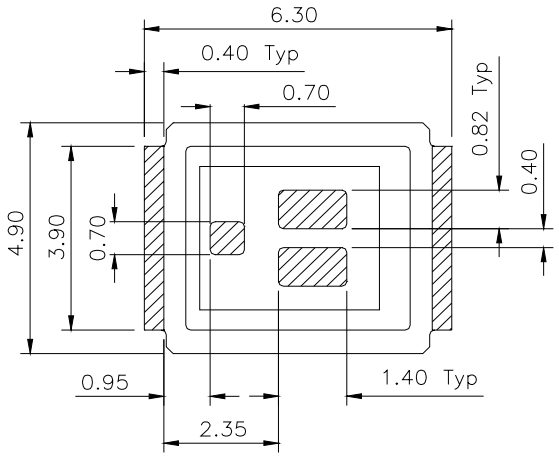


図 A.9.1　MX 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.9.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

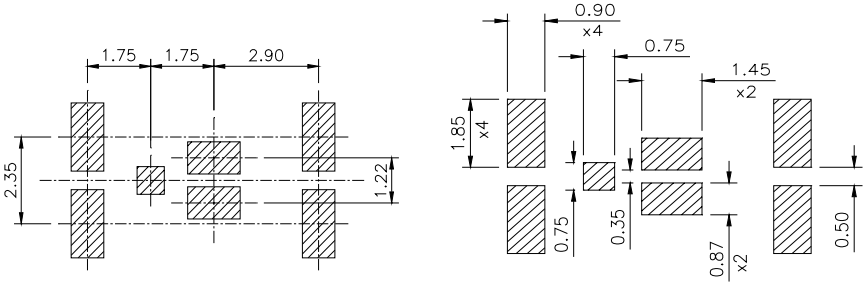


図 A.9.2　MX 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.9.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

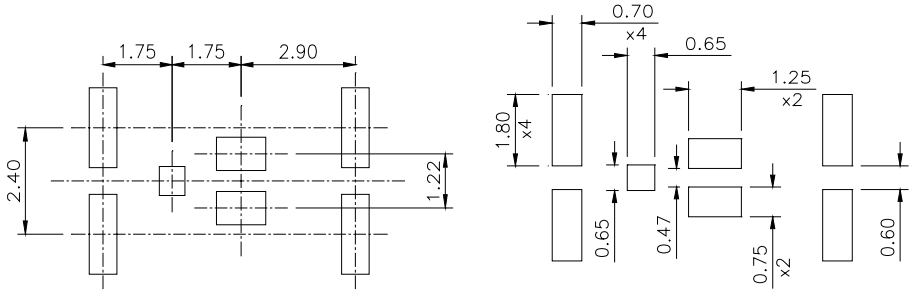


図 A.9.3　MX 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.10　MP 型

デバイスの外形図

図 A.10.1 に MP 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

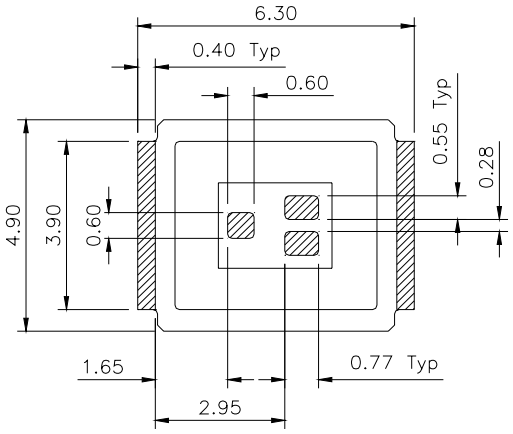


図 A.10.1　MP 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.10.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm （0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm （0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

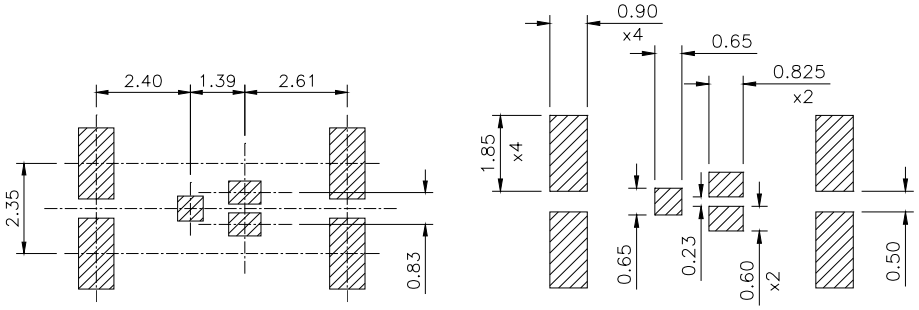


図 A.10.2　MP 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.10.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

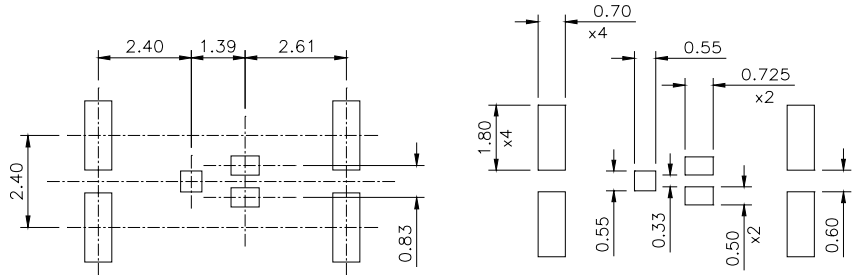


図 A.10.3　MP 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.11　MQ 型

デバイスの外形図

図 A.11.1 に MQ 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

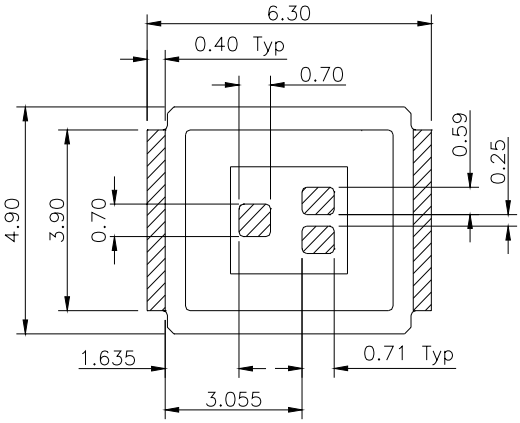


図 A.11.1　MQ 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.11.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

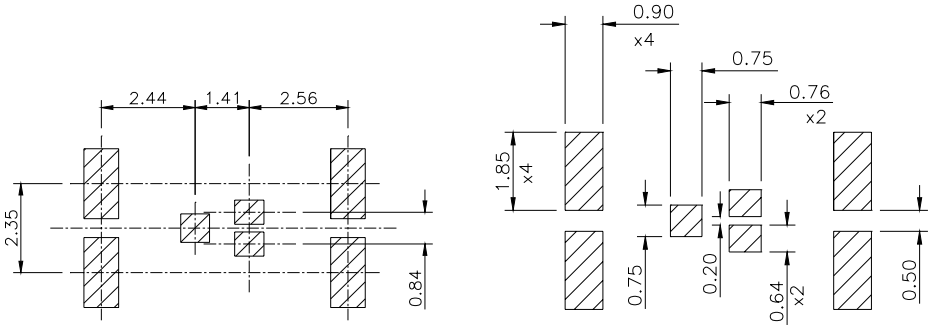


図 A.11.2　MQ 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.11.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

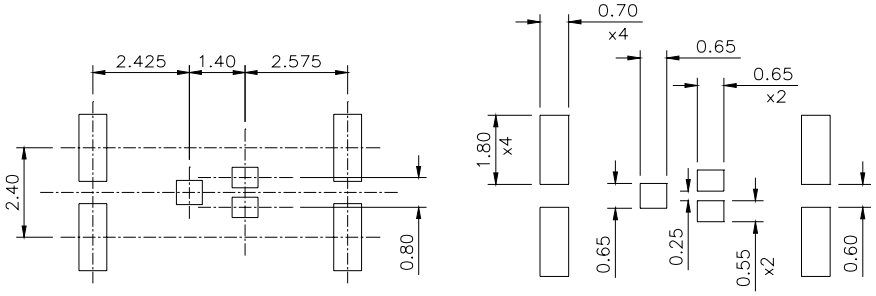


図 A.11.3　MQ 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.12　MN 型

デバイスの外形図

図 A.12.1 に MN 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

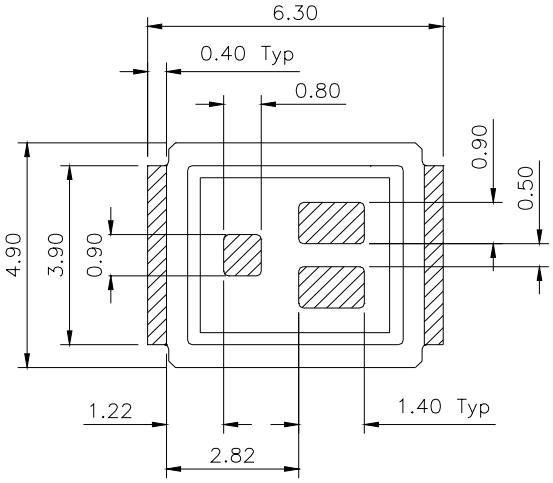


図 A.12.1　MN 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.12.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

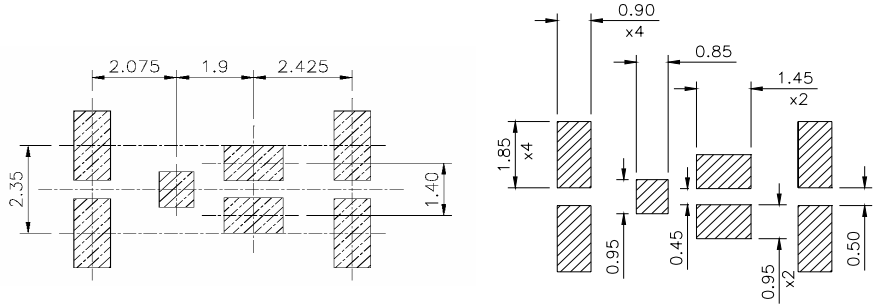


図 A.12.2　MN 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.12.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

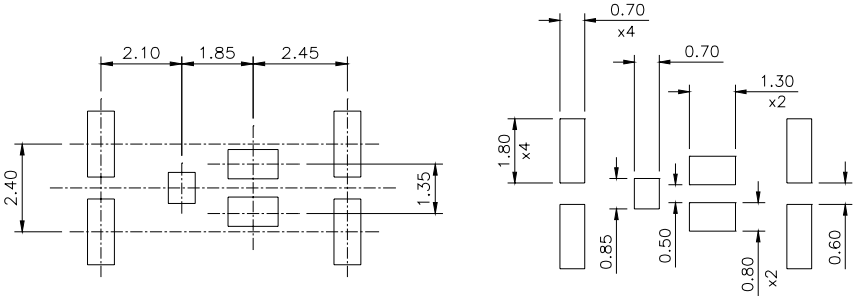


図 A.12.3　MN 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.13　MZ 型

デバイスの外形図

図 A.13.1 に MZ 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

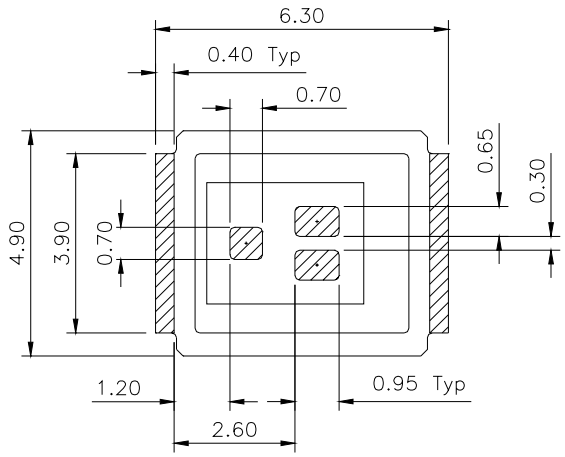


図 A.13.1　MZ 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.13.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

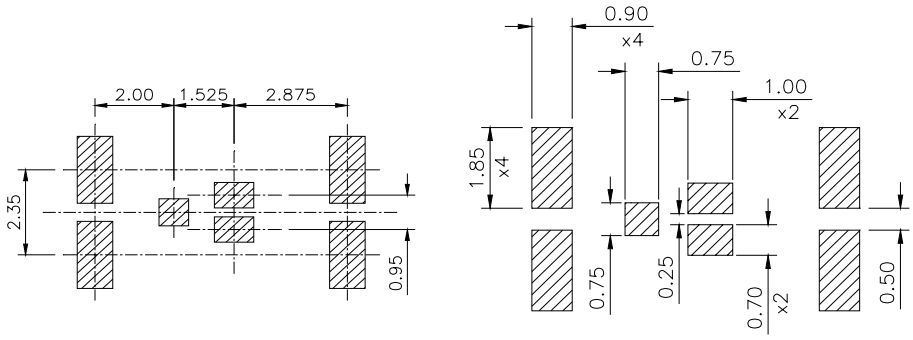


図 A.13.2　MZ 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.13.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

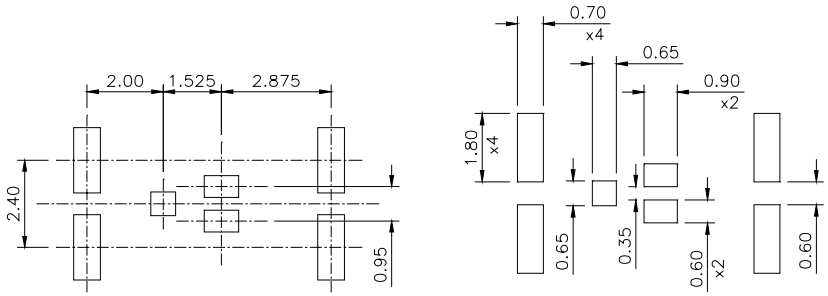


図 A.13.3　MZ 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.14　MU 型

デバイスの外形図

図 A.14.1 に MU 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

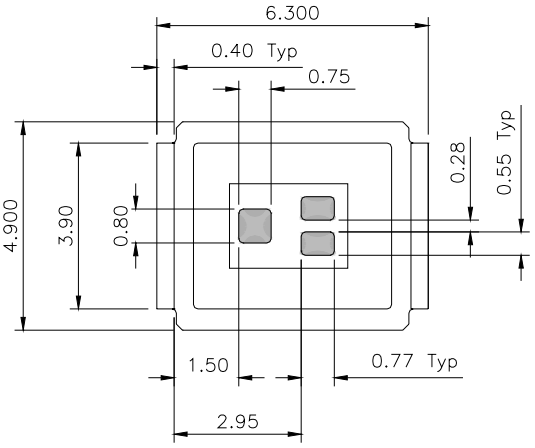


図 A.14.1　MU 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.14.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

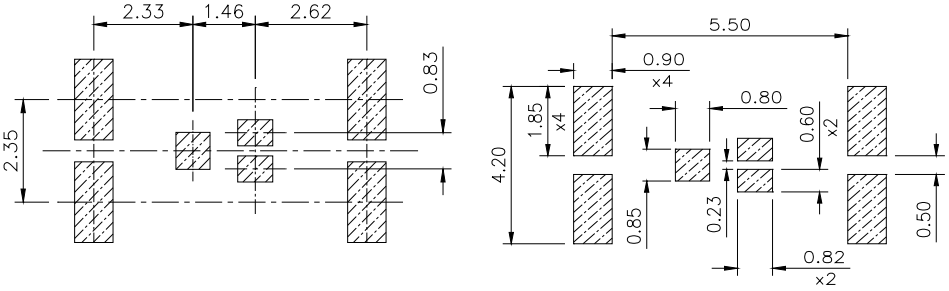


図 A.14.2　MU 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.14.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

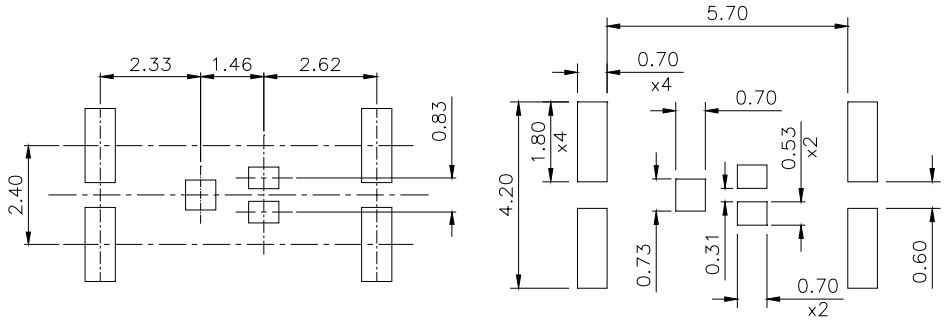


図 A.14.3　MU 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.15　M2 型

デバイスの外形図

図 A.15.1 に MZ 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

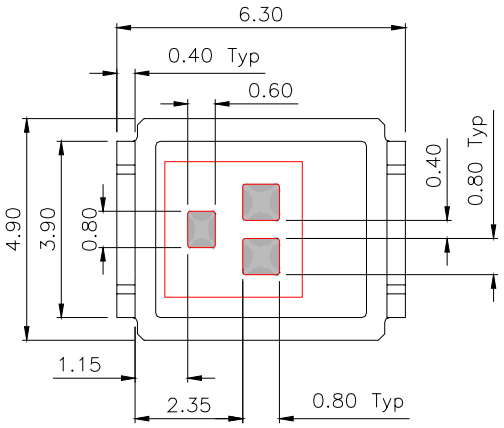


図 A.15.1　M2 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.15.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

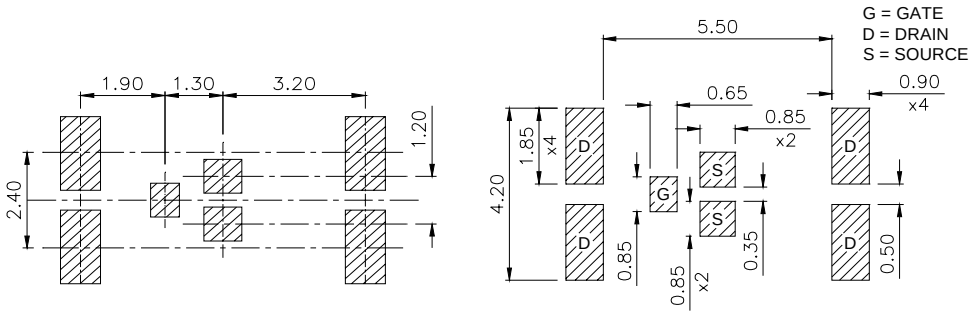


図 A.15.2　M2 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.15.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

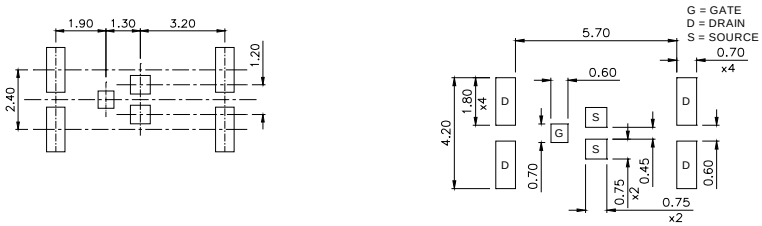


図 A.15.3　M2 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.16　M4 型

デバイスの外形図

図 A.16.1 に M4 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

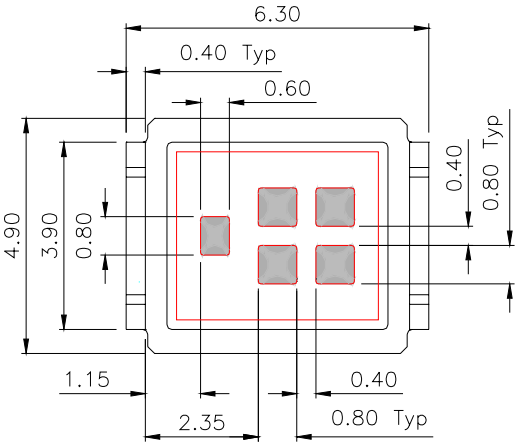


図 A.16.1　M4 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.16.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、2 個のパッドに分割してあります。

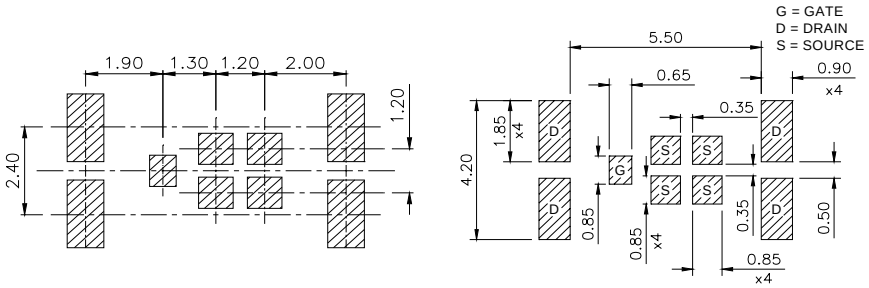


図 A.16.2　M4 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.16.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

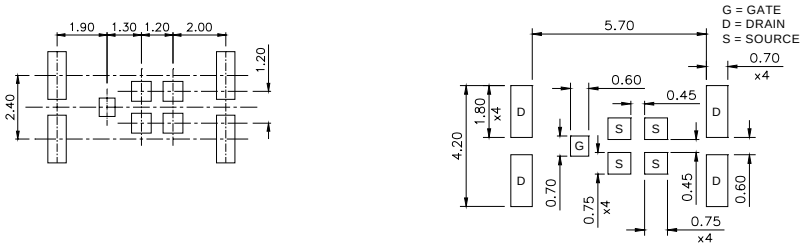


図 A.16.3　M4 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.17　L4 型

デバイスの外形図

図 A.17.1 に大型カンである L4 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

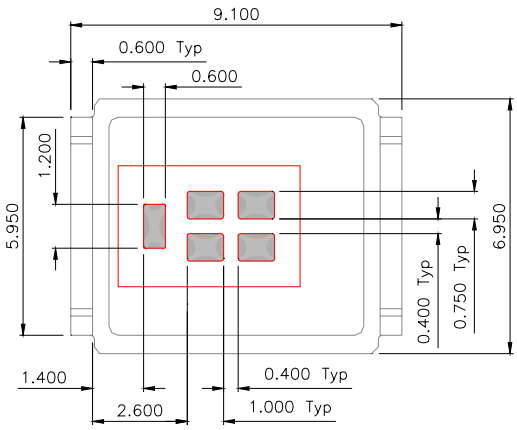


図 A.17.1　L4 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.17.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、3 個のパッドに分割してあります。

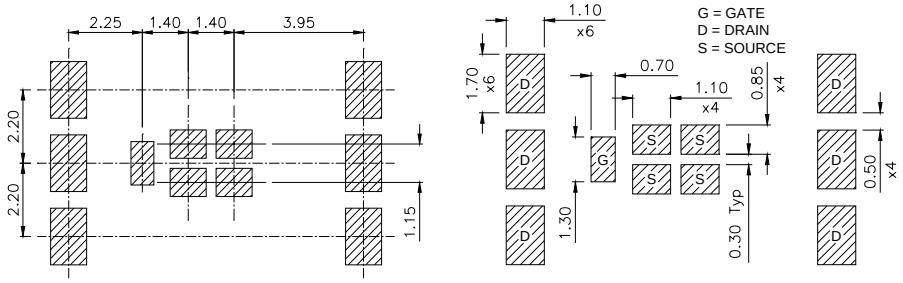


図 A.17.2　L4 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.17.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

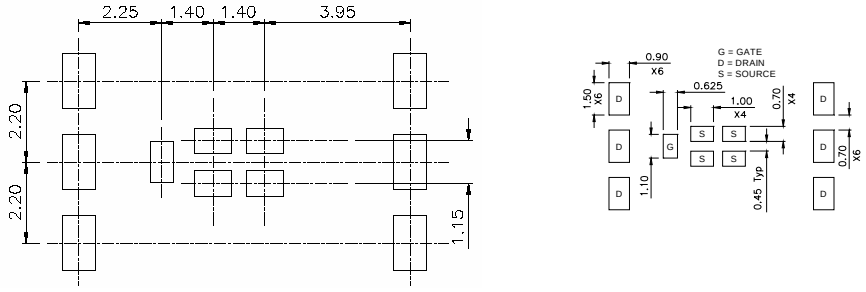


図 A.17.3　L4 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.18　L6 型

デバイスの外形図

図 A.18.1 に大型カンである L6 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

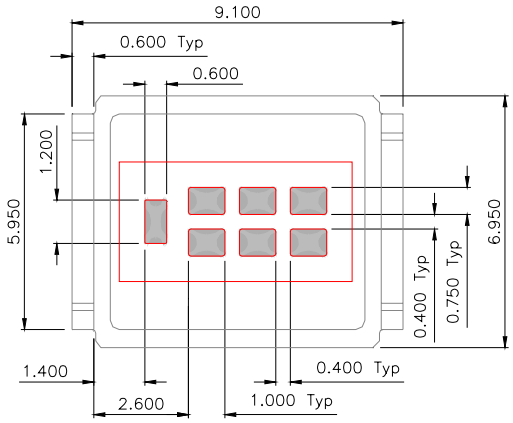


図 A.18.1　L6 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.18.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、3 個のパッドに分割してあります。

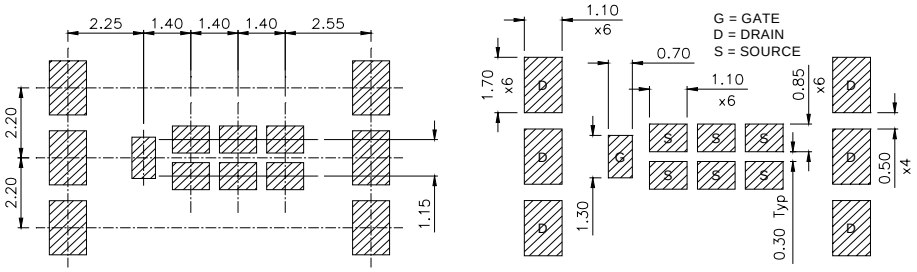


図 A.18.2　L6 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.18.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

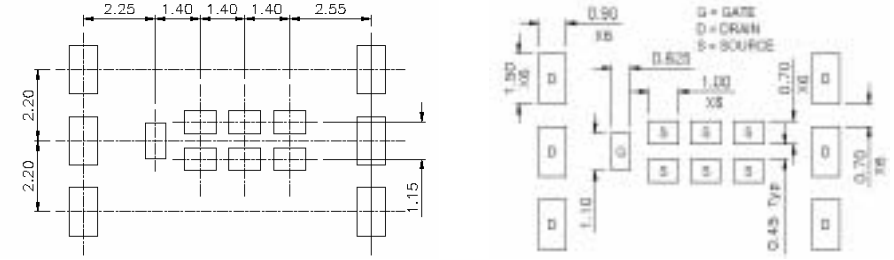


図 A.18.3　L6 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

付録 A.19　L8 型

デバイスの外形図

図 A.19.1 に大型カンである L8 型 DirectFET の外形図を示します。相対的なパッド位置は、精度±0.065mm で管理されています。各デバイスのすべての寸法と公差、大きさ、外形寸法は、該当する製品のデータシートとパッケージ外形寸法図を参照してください。

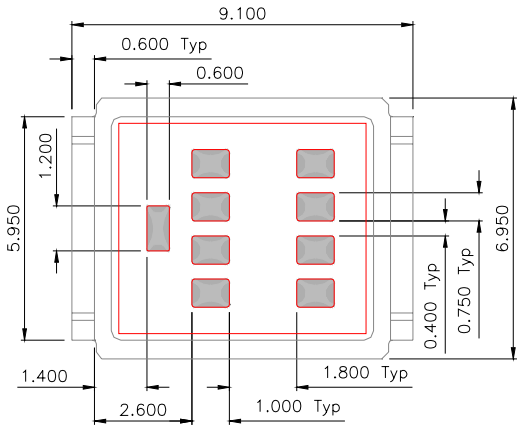


図 A.19.1　L8 型 DirectFET の外形図（単位：mm）

基板の設計

評価結果によれば、最適な全体の特性は、**図 A.19.2** に示す基板レイアウトを使った場合に得られます。基板上のゲート・パッドとソース・パッドは、各辺とも 0.025mm（0.001 インチ）だけ大きくしてあります。ドレイン・パッドの厚さは 0.500mm（0.020 インチ）です。ドレインの 2 つのコンタクト・パッドは、はんだ接合品質を改善するために、3 個のパッドに分割してあります。

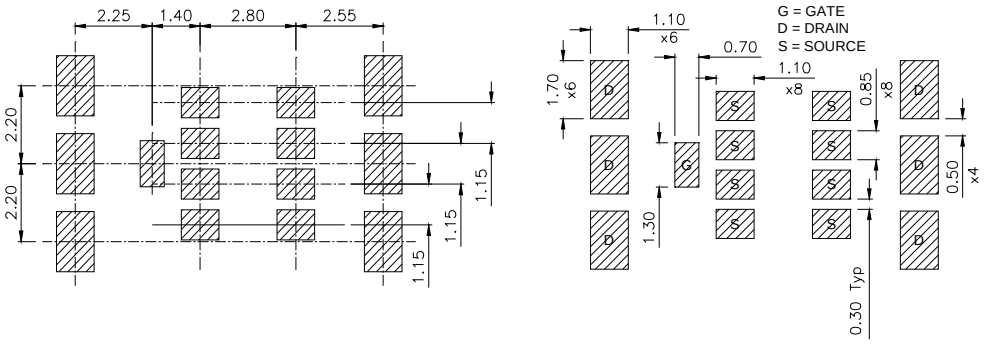


図 A.19.2　L8 型 DirectFET のプリント基板のレイアウト例（単位：mm）

ソルダー・ステンシルの設計

評価結果によれば、最適な全体の特性は、**図 A.19.3** に示すステンシルを使ったときに得られています。ただし、この設計は、ステンシルの厚さ 0.150mm（0.006 インチ）が対象です。他の厚さのステンシルに対しては減少率を調整する必要があります。

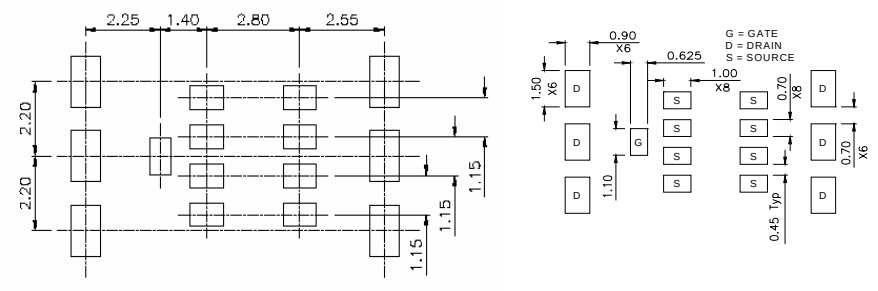


図 A.19.3　L8 型 DirectFET のソルダー・ステンシルの設計例（単位：mm）

最終的には英文のアプリケーション・ノートも参照してください。

©インターナショナル・レクティファイアー・ジャパン
この文献の無断複製・転載を禁じます。