

32 位

微控制器

TC1782 / TC1182

32 位单片微控制器

Data Sheet

V 1.0 2011-03

Microcontrollers

Edition 2011-03

**Published by
Infineon Technologies AG
81726 Munich, Germany**

**© 2011 Infineon Technologies AG
All Rights Reserved.**

Legal Disclaimer

The information given in this document shall in no event be regarded as a guarantee of conditions or characteristics. With respect to any examples or hints given herein, any typical values stated herein and/or any information regarding the application of the device, Infineon Technologies hereby disclaims any and all warranties and liabilities of any kind, including without limitation, warranties of non-infringement of intellectual property rights of any third party.

Information

For further information on technology, delivery terms and conditions and prices, please contact the nearest Infineon Technologies Office (www.infineon.com).

Warnings

Due to technical requirements, components may contain dangerous substances. For information on the types in question, please contact the nearest Infineon Technologies Office.

Infineon Technologies components may be used in life-support devices or systems only with the express written approval of Infineon Technologies, if a failure of such components can reasonably be expected to cause the failure of that life-support device or system or to affect the safety or effectiveness of that device or system. Life support devices or systems are intended to be implanted in the human body or to support and/or maintain and sustain and/or protect human life. If they fail, it is reasonable to assume that the health of the user or other persons may be endangered.

32 位

微控制器

TC1782 / TC1182

32 位单片微控制器

Data Sheet

V 1.0 2011-03

Microcontrollers

目录

	目录	1-1
1	性能概述	1-1
2	TC1782 / TC1182 系统概述	2-1
2.1	框图	2-2
3	引脚	3-1
3.1	TC1782 / TC1182 引脚配置	3-2
4	ID 寄存器	4-1
5	电气参数	5-1
5.1	常规参数	5-1
5.1.1	参数解读	5-1
5.1.2	引出端驱动和类别总结	5-2
5.1.3	绝对最大额定值	5-3
5.1.4	工作条件	5-4
5.2	直流参数	5-10
5.2.1	输入 / 输出 引脚	5-10
5.2.2	模数转换器 (ADCx)	5-24
5.2.3	快速模数转换器 (FADC)	5-29
5.2.4	振荡器引脚	5-32
5.2.5	温度传感器	5-33
5.2.6	供电电流	5-34
5.2.6.1	计算 1.3V 电流	5-38
5.3	交流参数	5-39
5.3.1	测试波形	5-39
5.3.2	电源时序	5-40
5.3.3	电源, 引出端和复位时序	5-42
5.3.4	锁相环 (PLL)	5-45
5.3.5	ERAY 锁相环 (ERAY_PLL)	5-47
5.3.6	JTAG 接口时序	5-48
5.3.7	DAP 接口时序	5-50
5.3.8	外设时序	5-52
5.3.8.1	Micro Link 接口 (MLI) 时序	5-52
5.3.8.2	Micro Second Channel (MSC) 接口时序	5-54
5.3.8.3	同步串行控制器 (SSC) 主机 / 从机 模式时序	5-56
5.3.8.4	ERAY 接口时序	5-58
5.4	封装和可靠性	5-60
5.4.1	封装参数	5-60
5.4.2	封装图	5-61
5.4.3	Flash 存储器参数	5-61

5.4.4	质量声明	5-63
6	版本信息	6-1

1 性能概述

SAK-TC1782F-320F180HR / SAK-TC1782F-320F180HL 具有以下特性:

- 具有 4 级流水线的高性能 32 位 TriCore V1.3.1 CPU
 - 超强的实时处理性能
 - 强大的位处理
 - 完全集成的 DSP 功能
 - 单精度浮点单元 (FPU)
 - 180 MHz 全温度范围工作
- 32 位单周期指令外设控制处理器 (PCP2)
 - 16 KB 数据存储器 (PRAM)
 - 32 KB 代码存储器 (CMEM)
 - 180 MHz 全温度范围工作
- 片上存储器
 - 2.5 MB 带纠错码 (ECC) 的片上程序 Flash(PFLASH)
 - 128 KB 片上数据 Flash(DFLASH), 可用于 EEPROM
 - 128 KB 本地数据 RAM (LDRAM)
 - 指令缓存: 高达 16 KB (ICACHE, 可配置)
 - 40 KB 高速暂存 RAM (SPRAM)
 - 数据缓存: 高达 4 KB (DCACHE, 可配置)
 - 8 KB 重映射功能 RAM (OVRAM)
 - 16 KB BootROM (BROM)
- 16 通道 DMA 控制器
- 2 × 255 级灵活的中断优先级, 由 CPU 或 PCP2 响应服务
- 高性能片上总线结构
 - 64 位 本地存储器总线: 用于 CPU, Flash 和数据存储器之间
 - 32 位系统外设总线 (SPB): 用于片上外设和功能单元
 - 一个总线桥 (LFI 桥)
- 片上外设单元
 - 两个异步 / 同步串行通道 (ASC): 具有波特率发生器, 可进行奇偶校验错误、帧错误和溢出错误检测
 - 3 个高速同步串行通道 (SSC): 数据宽度和位移方向可编程设定
 - 一个 Micro Second 总线接口 (MSC), 用于串口扩展外部功率器件
 - 一个高速 Micro Link 接口 (MLI) 用于多处理器通信
 - 带有 3 个 CAN 节点的 CAN 模块 (MultiCAN), 128 个可自由分配的报文对象, 通过 FIFO 缓存和网关数据传送进行高效的数据传送 (其中一个 CAN 节点支持 TTCAN 功能)
 - 带有 2 个通道 (E-Ray) 的 FlexRay™ 模块
 - 一个通用定时器阵列 (GPTA), 附加的本地定时器单元 (LTCA2), 提供强大的数字信号滤波和定时功能, 可实现自主、复杂的输入 / 输管理
- ADC 具有 32 路模拟输入信号
 - 2 个独立的 ADC 模块 (ADC0 和 ADC1)
 - 模拟供电电压范围: 3.3V 到 5V (单电源供电)
- 4 个不同的 FADC 输入通道

性能概述

- 通道具有阻抗控制，与 ADC1 有道通复用
- 最快转换时间：21 个 f_{ADC} 时钟周期
- 10 位 A/D 转换精度 (通过对连续转换的数字数据取平均值获得更高的转换精度)
- 86 个数字通用 I/O 端口线 (GPIO), 4 个输入端口线
- 数字 I/O 口 3.3 V
- 片上调试 OCDS 1 (CPU, PCP, DMA, 片上总线)
- 提供专用的仿真芯片 (TC1782 / TC1182ED)
 - 多核调试，实时追踪，校准
 - 4/5 线 JTAG (IEEE 1149.1) or 2 线 DAP (器件访问端口) 接口
- 电源管理系统
- 带 PLL 的时钟产生单元

SAK-TC1782F-256F133HR / SAK-TC1782F-256F133HL 具有以下特性：

- 具有 4 级流水线的高性能 32 位 TriCore V1.3.1 CPU
 - 超强的实时处理性能
 - 强大的位处理
 - 完全集成的 DSP 功能
 - 单精度浮点单元 (FPU)
 - 133 MHz 全温度范围工作
- 32 位单周期指令外设控制处理器 (PCP2)
 - 16 KB 数据存储 (PRAM)
 - 32 KB 代码存储器 (CMEM)
 - 133 MHz 全温度范围工作
- 片上存储器
 - 2 MB 带纠错码 (ECC) 的片上程序 Flash(PFLASH)
 - 128 KB 片上数据 Flash(DFLASH), 可用于 EEPROM
 - 128 KB 本地数据 RAM (LDRAM)
 - 指令缓存: 高达 16 KB (ICACHE, 可配置)
 - 40 KB 高速暂存 RAM (SPRAM)
 - 数据缓存: 高达 4 KB (DCACHE, 可配置)
 - 8 KB 重映射功能 RAM (OVRAM)
 - 16 KB BootROM (BROM)
- 16 通道 DMA 控制器
- 2 × 255 级灵活的中断优先级, 由 CPU 或 PCP2 响应服务
- 高性能片上总线结构
 - 64 位 本地存储器总线: 用于 CPU, Flash 和数据存储器之间
 - 32 位系统外设总线 (SPB): 用于片上外设和功能单元
 - 一个总线桥 (LFI 桥)
- 片上外设单元
 - 两个异步 / 同步串行通道 (ASC): 具有波特率发生器, 可进行奇偶校验错误、帧错误和溢出错误检测
 - 3 个高速同步串行通道 (SSC): 数据宽度和位移方向可编程设定
 - 一个 Micro Second 总线接口 (MSC), 用于串口扩展外部功率器件
 - 一个高速 Micro Link 接口 (MLI) 用于多处理器通信
 - 带有 3 个 CAN 节点的 CAN 模块 (MultiCAN), 128 个可自由分配的报文对象, 通过 FIFO 缓存和网关数据传送进行高效的数据传送 (其中一个 CAN 节点支持 TTCAN 功能)
 - 带有 2 个通道 (E-Ray) 的 FlexRay™ 模块
 - 一个通用定时器阵列 (GPTA), 附加的本地定时器单元 (LTCA2), 提供强大的数字信号滤波和定时功能, 可实现自主、复杂的输入 / 输出管理
- ADC 具有 32 路模拟输入信号
 - 2 个独立的 ADC 模块 (ADC0 和 ADC1)
 - 模拟供电电压范围: 3.3V 到 5V (单电源供电)
- 4 个不同的 FADC 输入通道
 - 通道具有阻抗控制, 与 ADC1 输入通道复用

- 最快转换时间: 21 个 f_{ADC} 时钟周期
- 10 位 A/D 转换精度 (通过对连续转换的数字数据取平均值获得更高的转换精度)
- 86 个数字通用 I/O 端口线 (GPIO), 4 个输入端口线
- 数字 I/O 口 3.3 V
- 片上调试 OCDS 1 (CPU, PCP, DMA, 片上总线)
- 提供专用的仿真芯片 (TC1782 / TC1182ED)
 - 多核调试, 实时追踪, 校准
 - 4/5 线 JTAG (IEEE 1149.1) or 2 线 DAP (器件访问端口) 接口
- 电源管理系统
- 带 PLL 的时钟产生单元

SAK-TC1782N-320F180HR / SAK-TC1782N-320F180HL / SAK-TC1182N-320F180HR / SAK-TC1182N-320F180HL 具有以下特性:

- 具有 4 级流水线的高性能 32 位 TriCore V1.3.1 CPU
 - 超强的实时处理性能
 - 强大的位处理
 - 完全集成的 DSP 功能
 - 单精度浮点单元 (FPU)
 - 180 MHz 全温度范围工作
- 32 位单周期指令外设控制处理器 (PCP2)
 - 16 KB 数据存储 (PRAM)
 - 32 KB 代码存储器 (CMEM)
 - 180 MHz 全温度范围工作
- 片上存储器
 - 2.5 MB 带纠错码 (ECC) 的片上程序 Flash (PFLASH)
 - 128 KB 片上数据 Flash (DFLASH), 可用于 EEPROM
 - 128 KB 本地数据 RAM (LDRAM)
 - 指令缓存: 高达 16 KB (ICACHE, 可配置)
 - 40 KB 高速暂存 RAM (SPRAM)
 - 数据缓存: 高达 4 KB (DCACHE, 可配置)
 - 8 KB 重映射功能 RAM (OVRAM)
 - 16 KB BootROM (BROM)
- 16 通道 DMA 控制器
- 2 × 255 级灵活的中断优先级, 由 CPU 或 PCP2 响应服务
- 高性能片上总线结构
 - 64 位 本地存储器总线: 用于 CPU, Flash 和数据存储器之间
 - 32 位系统外设总线 (SPB): 用于片上外设和功能单元
 - 一个总线桥 (LFI 桥)
- 片上外设单元
 - 两个异步 / 同步串行通道 (ASC): 具有波特率发生器, 可进行奇偶校验错误、帧错误和溢出错误检测
 - 3 个高速同步串行通道 (SSC): 数据宽度和位移方向可编程设定
 - 一个 Micro Second 总线接口 (MSC), 用于串口扩展外部功率器件

性能概述

- 一个高速 Micro Link 接口 (MLI) 用于多处理器通信
- 带有3个CAN节点的CAN模块 (MultiCAN), 128个可自由分配的报文对象, 通过FIFO缓存和网关数据传送进行高效的数据传送 (其中一个 CAN 节点支持 TTCAN 功能)
- 一个通用定时器阵列 (GPTA), 附加的本地定时器单元 (LTCA2), 提供强大的数字信号滤波和定时功能, 可实现自主、复杂的输入 / 输管理
- ADC 具有 32 路模拟输入信号
 - 2 个独立的 ADC 模块 (ADC0 和 ADC1)
 - 模拟供电电压范围: 3.3V 到 5V(单电源供电)
- 4 个不同的 FADC 输入通道
 - 通道具有阻抗控制, 与 ADC1 输入通道复用
 - 最快转换时间: 21 个 f_{FADC} 时钟周期
 - 10 位 A/D 转换精度 (通过对连续转换的数字数据取平均值获得更高的转换精度)
- 86 个数字通用 I/O 端口线 (GPIO), 4 个输入端口线
- 数字 I/O 口 3.3 V
- 片上调试 OCDS 1 (CPU, PCP, DMA, 片上总线)
- 专用器件仿真芯片 (TC1782 / TC1182ED)
 - 多核调试, 实时追踪, 校准
 - 4/5 线 JTAG (IEEE 1149.1) or 2 线 DAP (器件访问端口) 接口
- 电源管理系统
- 带 PLL 的时钟产生单元

SAK-TC1782N-256F133HR / SAK-TC1782N-256F133HL / SAK-TC1182N-256F133HR / SAK-TC1182N-256F133HL 具有以下特性：

- 具有 4 级流水线的高性能 32 位 TriCore V1.3.1 CPU
 - 超强的实时处理性能
 - 强大的位处理
 - 完全集成的 DSP 功能
 - 单精度浮点单元 (FPU)
 - 133MHz 全温度范围工作
- 32 位单周期指令外设控制处理器 (PCP2)
 - 16 KB 数据存储 (PRAM)
 - 32 KB 代码存储器 (CMEM)
 - 133 MHz 全温度范围工作
- 片上存储器
 - 2 MB 带纠错码 (ECC) 的片上程序 Flash(PFLASH)
 - 128 KB 片上数据 Flash(DFLASH), 可用于 EEPROM
 - 128 KB 本地数据 RAM (LDRAM)
 - 指令缓存: 高达 16 KB (ICACHE, 可配置)
 - 40 KB 高速暂存 RAM (SPRAM)
 - 数据缓存: 高达 4 KB (DCACHE, 可配置)
 - 8 KB 重映射功能 RAM (OVRAM)
 - 16 KB BootROM (BROM)
- 16 通道 DMA 控制器
- 2 × 255 级灵活的中断优先级, 由 CPU 或 PCP2 响应服务
- 高性能片上总线结构
 - 64 位 本地存储器总线: 用于 CPU, Flash 和数据存储器之间
 - 32 位系统外设总线 (SPB): 用于片上外设和功能单元
 - 一个总线桥 (LFI 桥)
- 片上外设单元
 - 两个异步 / 同步串行通道 (ASC): 具有波特率发生器, 可进行奇偶校验错误、帧错误和溢出错误检测
 - 3 个高速同步串行通道 (SSC): 数据宽度和位移方向可编程设定
 - 一个 Micro Second 总线接口 (MSC), 用于串口扩展外部功率器件
 - 一个高速 Micro Link 接口 (MLI) 用于多处理器通信
 - 带有 3 个 CAN 节点的 CAN 模块 (MultiCAN), 128 个可自由分配的报文对象, 通过 FIFO 缓存和网关数据传送进行高效的数据传送 (其中一个 CAN 节点支持 TTCAN 功能)
 - 一个通用定时器阵列 (GPTA), 附加的本地定时器单元 (LTCA2), 提供强大的数字信号滤波和定时功能, 可实现自主、复杂的输入 / 输管理
- ADC 具有 32 路模拟输入信号
 - 2 个独立的 ADC 模块 (ADC0 和 ADC1)
 - 模拟供电电压范围: 3.3V 到 5V (单电源供电)
- 4 个不同的 FADC 输入通道
 - 通道具有阻抗控制, 与 ADC1 输入通道复用

性能概述

- 最快转换时间: 21 个 f_{FADC} 时钟周期
- 10 位 A/D 转换精度 (通过对连续转换的数字数据取平均值获得更高的转换精度)
- 86 个数字通用 I/O 端口线 (GPIO), 4 个输入端口线
- 数字 I/O 口 3.3 V
- 片上调试 OCDS 1 (CPU, PCP, DMA, 片上总线)
- 提供专用的仿真芯片 (TC1782 / TC1182ED)
 - 多核调试, 实时追踪, 校准
 - 4/5 线 JTAG (IEEE 1149.1) or 2 线 DAP (器件访问端口) 接口
- 电源管理系统
 - 带 PLL 的时钟产生单元

订购信息

英飞凌微控制器的订购码为用户提供了特定产品的准确参考信息。订购码包括以下信息:

- 衍生产品, 如: 主要功能, 温度范围, 工作电压
- 封装和交付类型

欲了解 **TC1782 / TC1182** 的订购码, 请参考“微控制器产品目录”, 它涵盖了所有可得到的微控制器。

本文档描述 **TC1782 / TC1182** 的衍生产品。

表 1 归纳了这些衍生产品以及各产品之间的差别。

Table 1 TC1782 / TC1182 衍生产品简介

衍生产品	环境温度范围
SAK-TC1782F-320F180HR	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1782F-320F180HL	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1782N-320F180HR	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1782N-320F180HL	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1182N-320F180HR	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1182N-320F180HL	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1782F-256F133HR	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1782F-256F133HL	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1782N-256F133HR	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1782N-256F133HL	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1182N-256F133HR	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$
SAK-TC1182N-256F133HL	$T_A = -40^{\circ}\text{C}$ to $+125^{\circ}\text{C}$

2 TC1782 / TC1182 特性总结

TC1782 / TC1182 将三种不同类型器件的特点集成在一颗芯片上，实现功耗低、速度快、性价比高的嵌入式应用解决方案：

- 精简指令集计算 (RISC) 处理器架构
- 数字信号处理 (DSP) 操作和寻址模式
- 片上存储器和外设

DSP 操作和寻址模式提供了强大的计算能力，能有效分析真实世界中的各种复杂信号；RISC 加载 / 存储 (load/store) 架构以较低的系统成本实现了高计算带宽；片上存储器和外设的优化设计可支持要求极其苛刻的高带宽实时嵌入式控制系统的各种任务。

TC1782 / TC1182 的其它高级特性还包括：

- 程序存储器单元 – 指令数据暂存，缓存
- 串行通信接口 – 灵活的同步和异步模式
- 外设控制处理器 – 独立的数据操作和中断服务
- DMA 控制器 – DMA 操作和中断服务
- 通用定时器
- 高性能片上总线
- 片上调试和仿真功能
- 与外部器件的灵活互连
- 灵活的功率管理

TC1782 / TC1182 是一款表现出色的高性能微控制器，它们集成 TriCore CPU、程序和数据存储单元、多种总线、总线仲裁、中断控制器、外设控制处理器、DMA 控制器和多种片上外设。TC1782 / TC1182 的设计专门用于满足要求极其苛刻的嵌入式控制系统应用的需求，具有高性价比、实时响应速度、强大的计算能力、高数据带宽、低系统功能等特性。

TC1782 / TC1182 片上集成多种通用外设单元，如串行控制器、定时器单元、模式转换器。在 TC1782 / TC1182 内部，这些外设单元通过互连 (FPI) 总线和本地存储器总线 (LMB) 与 TriCore CPU 系统相连。一些端口 I/O 用于这些外设单元和外部的通信。

TC1782 / TC1182 特性总结框图

2.1 框图

SAK-TC1782-320F180HR / SAK-TC1782-320F180HL 框图如图 1 (Figure 1) 所示.

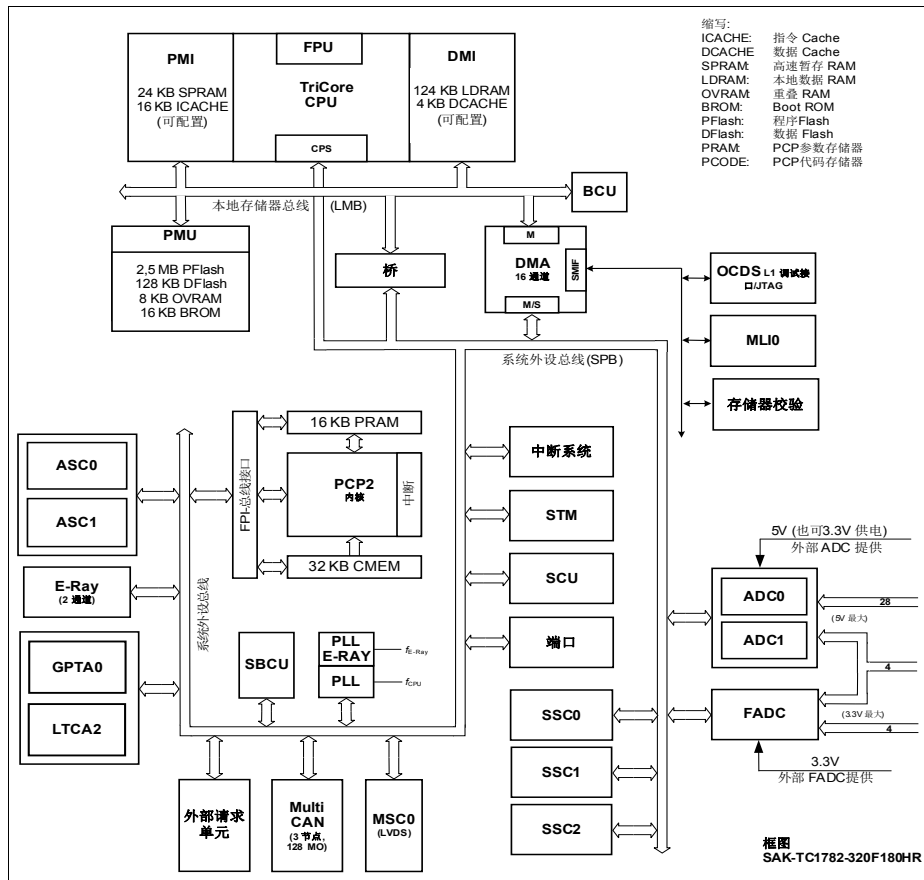


Figure 1 SAK-TC1782-320F180HR / SAK-TC1782-320F180HL 框图

SAK-TC1782N-320F180HR / SAK-TC1782N-320F180HL / SAK-TC1182N-320F180HR / SAK-TC1182N-320F180HL 框图如图 2 (Figure 2) 所示.

TC1782 / TC1182 特性总结框图

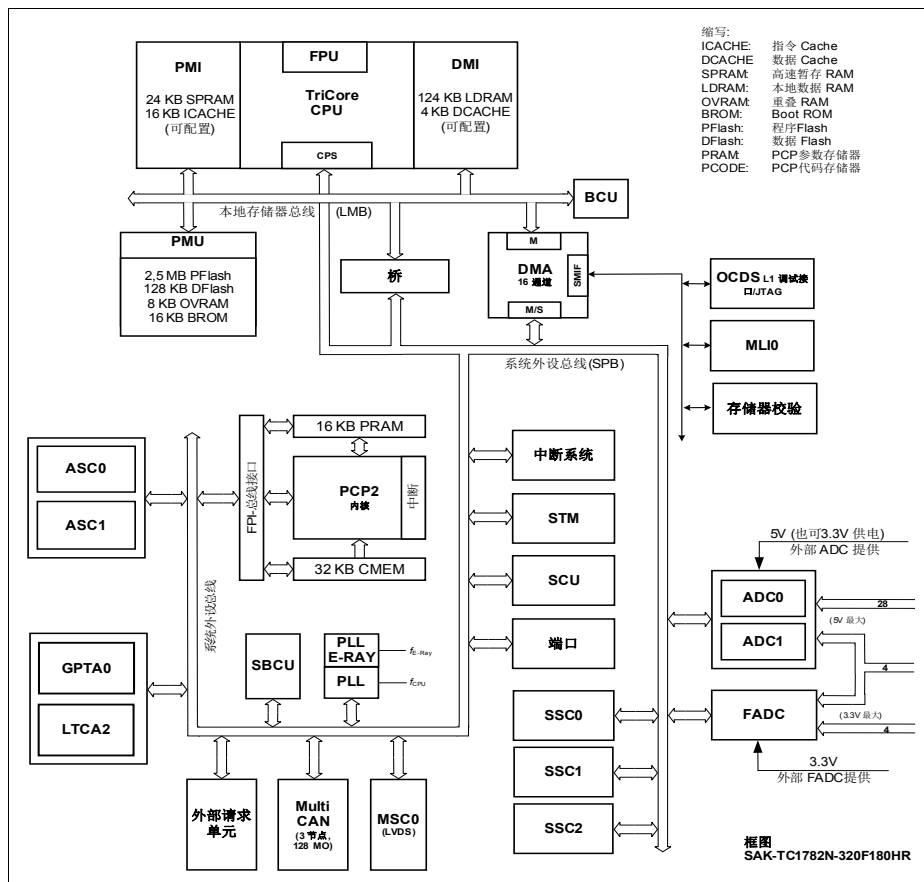


Figure 2 SAK-TC1782N-320F180HR / SAK-TC1782N-320F180HL / SAK-TC1182N-320F180HR / SAK-TC1182N-320F180HL / 框图

SAK-TC1782F-256F133HR / SAK-TC1782F-256F133HL / SAK-TC1782N-256F133HR / SAK-TC1782N-256F133HL / SAK-TC1182N-256F133HR / SAK-TC1182N-256F133HL 框图如图 3 (Figure 3) 所示.

TC1782 / TC1182 特性总结框图

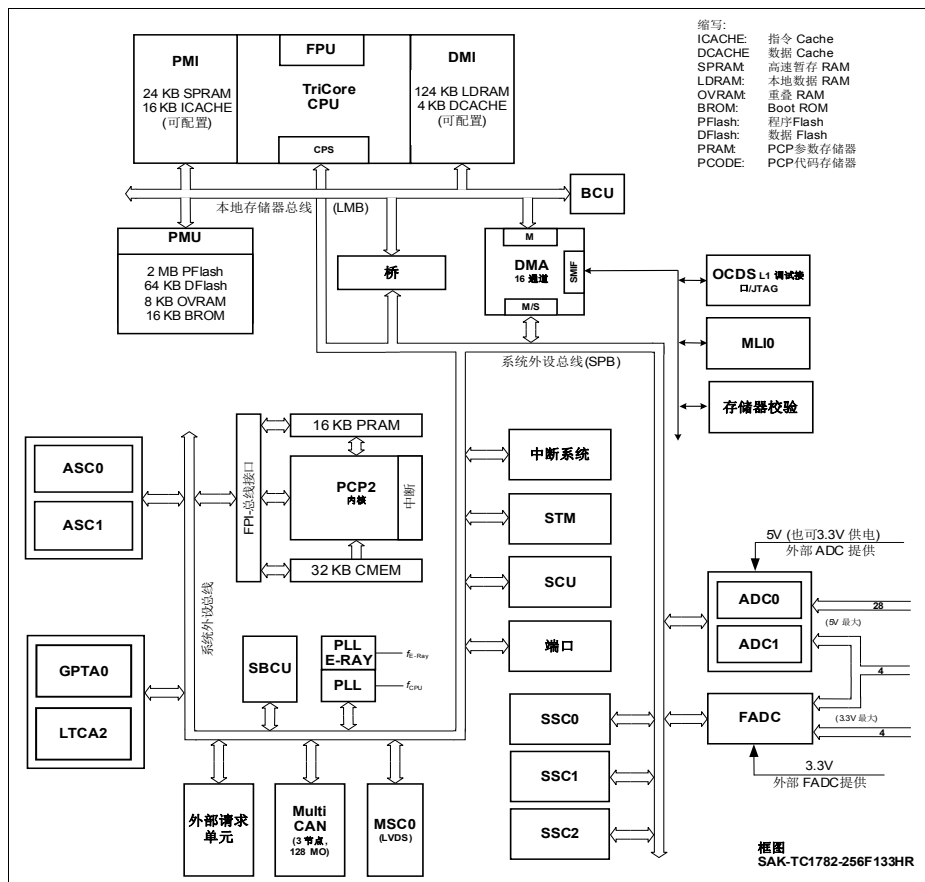


Figure 3 SAK-TC1782F-256F133HR / SAK-TC1782F-256F133HL / SAK-TC1782N-256F133HR / SAK-TC1782N-256F133HL / SAK-TC1182N-256F133HR / SAK-TC1182N-256F133HL 框图

3 引脚

TC1782 / TC1182 逻辑符号如图 4（Figure 4）所示。

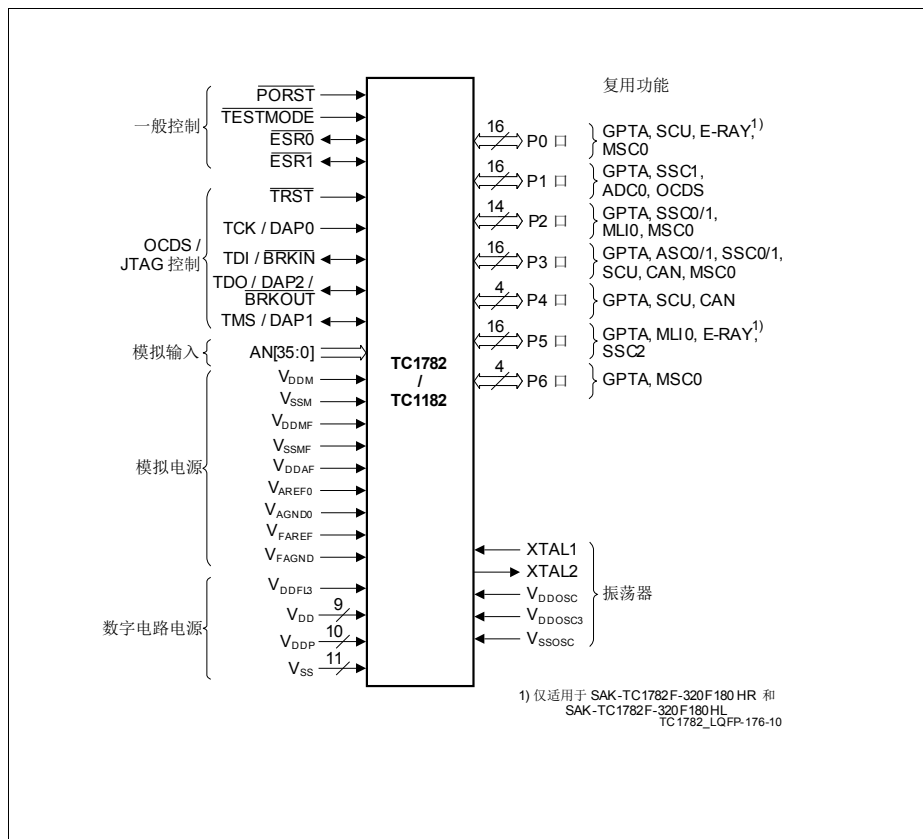


Figure 4 TC1782 / TC1182 逻辑符号

引脚 TC1782 / TC1182 引脚配置

3.1 TC1782 / TC1182 引脚配置

本章节所示为 PG-LQFP-176-10 封装的 TC1782 / TC1182 引脚配置。

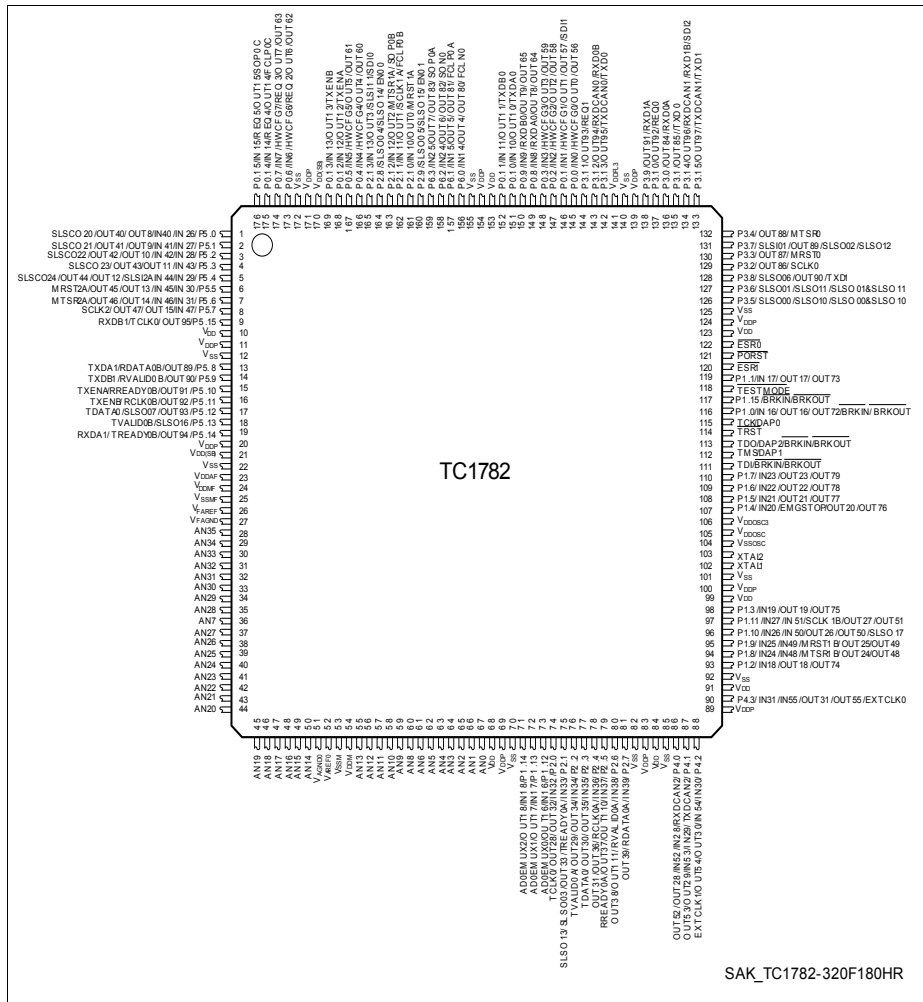


Figure 5 SAK-TC1782-320F180HR / SAK-TC1782-320F180HL 引脚

引脚 TC1782 / TC1182 引脚配置

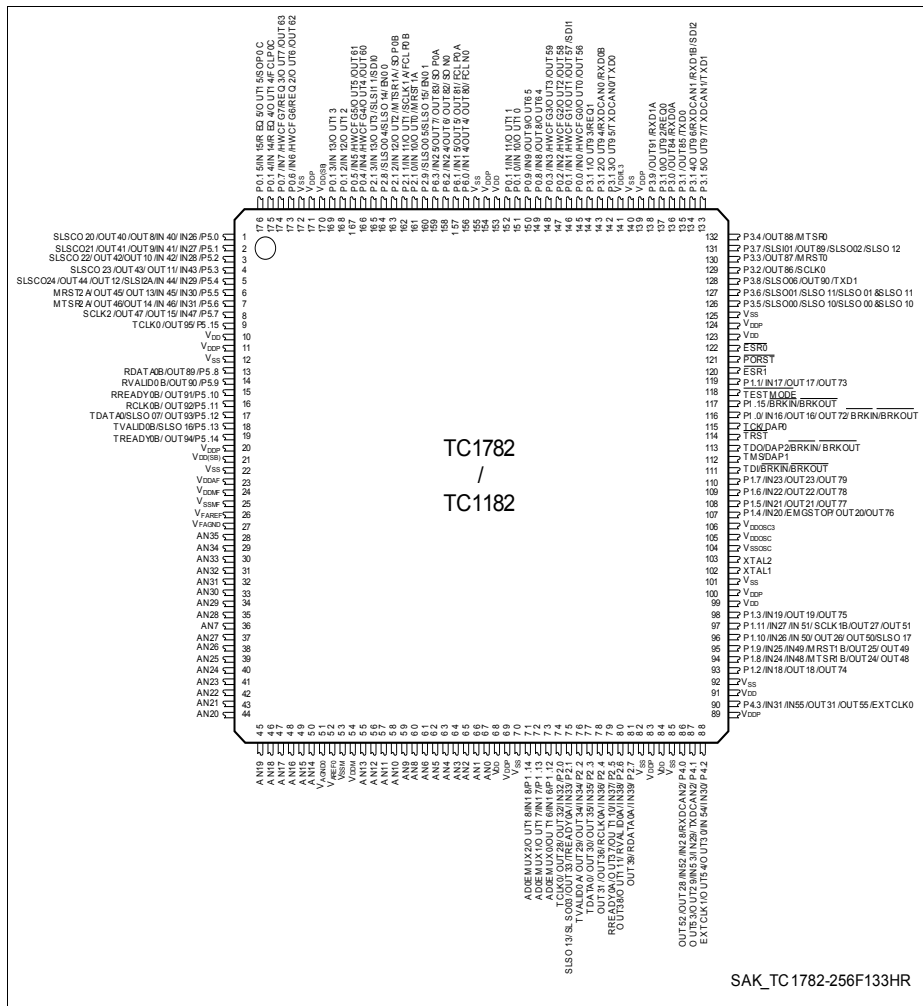


Figure 6 SAK-TC1782N-320F180HR / SAK-TC1782N-320F180HL / SAK-TC1182N-320F180HR / SAK-TC1182N-320F180HL / SAK-TC1782N-256F133HR / SAK-TC1782N-256F133HL / SAK-TC1182N-256F133HR / SAK-TC1182N-256F133HL / SAK-TC1782F-256F133HR / SAK-TC1782F-256F133HL 引脚

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装)

引脚	符号	控制	类型	功能
P0 口				
145	P0.0	I/O0	A1/ PU	P0 口通用 I/O 口 0
	IN0	I		GPTA0 输入 0
	IN0	I		LTCA2 输入 0
	HWCFG0	I		硬件配置输入 0
	OUT0	O1		GPTA0 输出 0
	OUT56	O2		GPTA0 输出 56
	OUT0	O3		LTCA2 输出 0
146	P0.1	I/O0	A1/ PU	P0 口通用 I/O 口 1
	IN1	I		GPTA0 输入 1
	IN1	I		LTCA2 输入 1
	SDI1	I		MSC0 串行数据输入 1
	HWCFG1	I		硬件配置输入 1
	OUT1	O1		GPTA0 输出 1
	OUT57	O2		GPTA0 输出 57
	OUT1	O3		LTCA2 输出 1
147	P0.2	I/O0	A1/ PU	Port 0 通用 I/O 口 2
	IN2	I		GPTA0 输入 2
	IN2	I		LTCA2 输入 2
	HWCFG2	I		硬件配置输入 2
	OUT2	O1		GPTA0 输出 2
	OUT58	O2		GPTA0 输出 58
	OUT2	O3		LTCA2 输出 2
148	P0.3	I/O0	A+1/ PU	Port 0 通用 I/O 口 3
	IN3	I		GPTA0 输入 3
	IN3	I		LTCA2 输入 3
	HWCFG3	I		硬件配置输入 3
	OUT3	O1		GPTA0 输出 3
	OUT59	O2		GPTA0 输出 59
	OUT3	O3		LTCA2 输出 3

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
166	P0.4	I/O0	A1/ PU	Port 0 通用 I/O 口 4
	IN4	I		GPTA0 输入 4
	IN4	I		LTCA2 输入 4
	HWCFG4	I		硬件配置输入 4
	OUT4	O1		GPTA0 输出 4
	OUT60	O2		GPTA0 输出 60
	OUT4	O3		LTCA2 输出 4
167	P0.5	I/O0	A1/ PU	Port 0 通用 I/O 口 5
	IN5	I		GPTA0 输入 5
	IN5	I		LTCA2 输入 5
	HWCFG5	I		硬件配置输入 5
	OUT5	O1		GPTA0 输出 5
	OUT61	O2		GPTA0 输出 61
	OUT5	O3		LTCA2 输出 5
173	P0.6	I/O0	A1/ PU	Port 0 通用 I/O 口 6
	IN6	I		GPTA0 输入 6
	IN6	I		LTCA2 输入 6
	HWCFG6	I		硬件配置输入 6
	REQ2	I		外部触发输入 2
	OUT6	O1		GPTA0 输出 6
	OUT62	O2		GPTA0 输出 62
	OUT6	O3		LTCA2 输出 6
174	P0.7	I/O0	A1/ PU	Port 0 通用 I/O 口 7
	IN7	I		GPTA0 输入 7
	IN7	I		LTCA2 输入 7
	HWCFG7	I		硬件配置输入 7
	REQ3	I		外部触发输入 3
	OUT7	O1		GPTA0 输出 7
	OUT63	O2		GPTA0 输出 63
	OUT7	O3		LTCA2 输出 7

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
149	P0.8	I/O0	A1/ PU	Port 0 通用 I/O 口 8
	IN8	I		GPTA0 输入 8
	IN8	I		LTCA2 输入 8
	RXDA0	I		E-Ray 通道 A 接收输入 0¹⁾
	OUT8	O1		GPTA0 输出 8
	OUT64	O2		GPTA0 输出 64
	OUT8	O3		LTCA2 输出 8
150	P0.9	I/O0	A1/ PU	Port 0 通用 I/O 口 9
	IN9	I		GPTA0 输入 9
	IN9	I		LTCA2 输入 9
	RXDB0	I		E-Ray 通道 B 接收输入 0¹⁾
	OUT9	O1		GPTA0 输出 9
	OUT65	O2		GPTA0 输出 65
	OUT9	O3		LTCA2 输出 9
151	P0.10	I/O0	A2/ PU	Port 0 通用 I/O 口 10
	IN10	I		GPTA0 输入 10
	OUT10	O1		GPTA0 输出 10
	TXDA0	O2		E-Ray 通道 A 发送输出¹⁾
	OUT10	O3		LTCA2 输出 10
152	P0.11	I/O0	A2/ PU	Port 0 通用 I/O 口 11
	IN11	I		GPTA0 输入 11
	OUT11	O1		GPTA0 输出 11
	TXDB0	O2		E-Ray 通道 B 发送输出¹⁾
	OUT11	O3		LTCA2 输出 11
168	P0.12	I/O0	A2/ PU	Port 0 通用 I/O 口 12
	IN12	I		GPTA0 输入 12
	OUT12	O1		GPTA0 输出 12
	TXENA	O2		E-Ray 通道 A 发送输出时能¹⁾
	OUT12	O3		LTCA2 输出 12

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
169	P0.13	I/O0	A2/ PU	Port 0 通用 I/O 口 13
	IN13	I		GPTA0 输入 13
	OUT13	O1		GPTA0 输出 13
	TXENB	O2		E-Ray 通道 B 发送输出使能 ¹⁾
	OUT13	O3		LTCA2 输出 13
175	P0.14	I/O0	A1+/ PU	Port 0 通用 I/O 口 14
	IN14	I		GPTA0 输入 14
	REQ4	I		外部触发输入 4
	OUT14	O1		GPTA0 输出 14
	FCLP0C	O2		MSC0 时钟输出 C
	OUT14	O3		LTCA2 输出 14
176	P0.15	I/O0	A1+/ PU	Port 0 通用 I/O 口 15
	IN15	I		GPTA0 输入 15
	REQ5	I		外部触发输入 5
	OUT15	O1		GPTA0 输出 15
	SOP0C	O2		MSC0 串行数据输出 C
	OUT15	O3		LTCA2 输出 15

Port 1

116	P1.0	I/O0	A2/ PU	Port 1 通用 I/O 口 0
	IN16	I		GPTA0 输入 16
	BRKIN	I		OCDS 断点输入
	OUT16	O1		GPTA0 输出 16
	OUT72	O2		GPTA0 输出 72
	OUT16	O3		LTCA2 输出 16
	BRKOUT	O		OCDS 断点输出
119	P1.1	I/O0	A1/ PU	Port 1 通用 I/O 口 1
	IN17	I		GPTA0 输入 17
	OUT17	O1		GPTA0 输出 17
	OUT73	O2		GPTA0 输出 73
	OUT17	O3		LTCA2 输出 17

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
93	P1.2	I/O0	A1/ PU	Port 1 通用 I/O 口 2
	IN18	I		GPTA0 输入 18
	OUT18	O1		GPTA0 输出 18
	OUT74	O2		GPTA0 输出 74
	OUT18	O3		LTCA2 输出 18
98	P1.3	I/O0	A1/ PU	Port 1 通用 I/O 口 3
	IN19	I		GPTA0 输入 19
	IN19	I		LTCA2 输入 19
	OUT19	O1		GPTA0 输出 19
	OUT75	O2		GPTA0 输出 75
	OUT19	O3		LTCA2 输出 19
107	P1.4	I/O0	A1/ PU	Port 1 通用 I/O 口 4
	IN20	I		GPTA0 输入 20
	IN20	I		LTCA2 输入 20
	EMGSTOP	I		紧急停止输入
	OUT20	O1		GPTA0 输出 20
	OUT76	O2		GPTA0 输出 76
	OUT20	O3		LTCA2 输出 20
108	P1.5	I/O0	A1/ PU	Port 1 通用 I/O 口 35
	IN21	I		GPTA0 输入 21
	IN21	I		LTCA2 输入 21
	OUT21	O1		GPTA0 输出 21
	OUT77	O2		GPTA0 输出 77
	OUT21	O3		LTCA2 输出 21
109	P1.6	I/O0	A1/ PU	Port 1 通用 I/O 口 6
	IN22	I		GPTA0 输入 22
	IN22	I		LTCA2 输入 22
	OUT22	O1		GPTA0 输出 22
	OUT78	O2		GPTA0 输出 78
	OUT22	O3		LTCA2 输出 22

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
110	P1.7	I/O0	A1/ PU	Port 1 通用 I/O 口 7
	IN23	I		GPTA0 输入 23
	IN23	I		LTCA2 输入 23
	OUT23	O1		GPTA0 输出 23
	OUT79	O2		GPTA0 输出 79
	OUT23	O3		LTCA2 输出 23
94	P1.8	I/O0	A1+/ PU	Port 1 通用 I/O 口 8
	IN24	I		GPTA0 输入 24
	IN48	I		GPTA0 输入 48
	MTSR1B	I		SSC1 从机接收输入 B (从机模式)
	OUT24	O1		GPTA0 输出 24
	OUT48	O2		GPTA0 输出 48
	MTSR1B	O3		SSC1 主机发送输出 B (主机模式)
95	P1.9	I/O0	A1+/ PU	Port 1 通用 I/O 口 9
	IN25	I		GPTA0 输入 25
	IN49	I		GPTA0 输入 49
	MRST1B	I		SSC1 主机接收输入 B (主机模式)
	OUT25	O1		GPTA0 输出 25
	OUT49	O2		GPTA0 输出 49
	MRST1B	O3		SSC1 从机发送输出 B (从机模式)
96	P1.10	I/O0	A1+/ PU	Port 1 通用 I/O 口 10
	IN26	I		GPTA0 输入 26
	IN50	I		GPTA0 输入 50
	OUT26	O1		GPTA0 输出 26
	OUT50	O2		GPTA0 输出 50
	SLSO17	O3		SSC1 从机选择输出 7

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
97	P1.11	I/O0	A1+/PU	Port 1 通用 I/O 口 11
	IN27	I		GPTA0 输入 27
	IN51	I		GPTA0 输入 51
	SCLK1B	I		SSC1 时钟输入 B
	OUT27	O1		GPTA0 输出 27
	OUT51	O2		GPTA0 输出 51
	SCLK1B	O3		SSC1 时钟输出 B
73	P1.12	I/O0	A1/PU	Port 1 通用 I/O 口 12
	IN16	I		LTCA2 输入 16
	AD0EMUX0	O1		ADC0 外部复用器控制输出 0
	AD0EMUX0	O2		ADC0 外部复用器控制输出 0
	OUT16	O3		LTCA2 输出 16
72	P1.13	I/O0	A1/PU	Port 1 通用 I/O 口 13
	IN17	I		LTCA2 输入 17
	AD0EMUX1	O1		ADC0 外部复用器控制输出 1
	AD0EMUX1	O2		ADC0 外部复用器控制输出 1
	OUT17	O3		LTCA2 输出 17
71	P1.14	I/O0	A1/PU	Port 1 通用 I/O 口 14
	IN18	I		LTCA2 输入 18
	AD0EMUX2	O1		ADC0 外部复用器控制输出 2
	AD0EMUX2	O2		ADC0 外部复用器控制输出 2
	OUT18	O3		LTCA2 输出 18
117	P1.15	I/O0	A2/PU	Port 1 通用 I/O 口 15
	BRKIN	I		断点输入
	Reserved	O1		-
	Reserved	O2		-
	Reserved	O3		-
	BRKOUT	O		OCDS 断点输出

Port 2

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
74	P2.0	I/O0	A2/ PU	Port 2 通用 I/O 口 0
	IN32	I		GPTA0 输入 32
	OUT32	O1		GPTA0 输出 32
	TCLK0	O2		MLI0 发送时钟输出 0
	OUT28	O3		LTCA2 输出 28
75	P2.1	I/O0	A2/ PU	Port 2 通用 I/O 口 1
	IN33	I		GPTA0 输入 33
	TREADY0A	I		MLI0 发送通道准备就绪输入 A
	OUT33	O1		GPTA0 Output 33
	SLSO03	O2		SSC0 从机选择输出 3
	SLSO13	O3		SSC1 从机选择输出 3
76	P2.2	I/O0	A2/ PU	Port 2 通用 I/O 口 2
	IN34	I		GPTA0 输入 34
	OUT34	O1		GPTA0 输出 34
	TVALID0	O2		MLI0 发送通道有效输出
	OUT29	O3		LTCA2 输出 29
77	P2.3	I/O0	A2/ PU	Port 2 通用 I/O 口 3
	IN35	I		GPTA0 输入 35
	OUT35	O1		GPTA0 输出 35
	TDATA0	O2		MLI0 发送通道数据输出 A
	OUT30	O3		LTCA2 输出 30
78	P2.4	I/O0	A2/ PU	Port 2 通用 I/O 口 4
	IN36	I		GPTA0 输入 36
	RCLK0A	I		MLI 接收通道时钟输入 A
	OUT36	O1		GPTA0 输出 36
	OUT36	O2		GPTA0 输出 36
	OUT31	O3		LTCA2 输出 31

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
79	P2.5	I/O0	A2/ PU	Port 2 通用 I/O 口 5
	IN37	I		GPTA0 输入 37
	OUT37	O1		GPTA0 输出 37
	RREADY0A	O2		MLI0 接收通道准备就绪输出 A
	OUT110	O3		LTCA2 输出 110
80	P2.6	I/O0	A2/ PU	Port 2 通用 I/O 口 6
	IN38	I		GPTA0 输入 38
	RVALID0A	I		MLI 接收通道有效输入 A
	OUT38	O1		GPTA0 输出 38
	OUT38	O2		GPTA0 输出 38
	OUT111	O3		LTCA2 输出 111
81	P2.7	I/O0	A2/ PU	Port 2 通用 I/O 口 7
	IN39	I		GPTA0 输入 39
	RDATA0A	I		MLI 接收通道数据输入 A
	OUT39	O1		GPTA0 输出 39
	OUT39	O2		GPTA0 输出 39
	Reserved	O3		-
164	P2.8	I/O0	A2/ PU	Port 2 通用 I/O 口 8
	SLSO04	O1		SSC0 从机选择输出 4
	SLSO14	O2		SSC1 从机选择输出 4
	EN00	O3		MSC0 使能输出 0
160	P2.9	I/O0	A2/ PU	Port 2 通用 I/O 口 9
	SLSO05	O1		SSC0 从机选择输出 5
	SLSO15	O2		SSC1 从机选择输出 5
	EN01	O3		MSC0 使能输出 1

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
161	P2.10	I/O0	A1+/ PU	Port 2 通用 I/O 口 10
	MRST1A	I		SSC1 主机接收输入 A
	IN10	I		LTCA2 输入 10
	MRST1A	O1		SSC1 从机发送输出 A
	OUT0	O2		LTCA2 输出 0
	Reserved	O3		-
162	P2.11	I/O0	A1+/ PU	Port 2 通用 I/O 口 11
	SCLK1A	I		SSC1 时钟输入 A
	IN11	I		LTCA2 输入 11
	SCLK1A	O1		SSC1 时钟输出 A
	OUT1	O2		LTCA2 输出 1
	FCLP0B	O3		MSC0 时钟输出 B
163	P2.12	I/O0	A1+/ PU	Port 2 通用 I/O 口 12
	MTSR1A	I		SSC1 从机接收输入 A
	IN12	I		LTCA2 输入 12
	MTSR1A	O1		SSC1 主机发送输出 A
	OUT2	O2		LTCA2 输出 2
	SOP0B	O3		MSC0 串行数据输出 B
165	P2.13	I/O0	A1/ PU	Port 2 通用 I/O 口 13
	SLSI11	I		SSC1 从机选择输入 1
	SDI0	I		MSC0 从机选择输入 0
	IN13	I		LTCA2 输入 13
	OUT3	O1		LTCA2 输出 3
	Reserved	O2		-
	Reserved	O3		-

Port 3

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
136	P3.0	I/O0	A1+/ PU	Port 3 通用 I/O 口 0
	RXD0A	I		ASC0 接收输入 A (异步和同步模式)
	RXD0A	O1		ASC0 输出 (同步模式)
	RXD0A	O2		ASC0 输出 (同步模式)
	OUT84	O3		GPTA0 输出 84
135	P3.1	I/O0	A1+/ PU	Port 3 通用 I/O 口 1
	TXD0	O1		ASC0 输出
	TXD0	O2		ASC0 输出
	OUT85	O3		GPTA0 输出 85
129	P3.2	I/O0	A1+/ PU	Port 3 通用 I/O 口 2
	SCLK0	I		SSC0 时钟输入 (从机模式)
	SCLK0	O1		SSC0 时钟输出 (主机模式)
	SCLK0	O2		SSC0 时钟输出 (主机模式)
	OUT86	O3		GPTA0 输出 86
130	P3.3	I/O0	A1+/ PU	Port 3 通用 I/O 口 3
	MRST0	I		SSC0 主机接收输入 (主机模式)
	MRST0	O1		SSC0 从机发送输出 (从机模式)
	MRST0	O2		SSC0 从机发送输出 (从机模式)
	OUT87	O3		GPTA0 输出 87
132	P3.4	I/O0	A2/ PU	Port 3 通用 I/O 口 4
	MTSR0	I		SSC0 从机接收输入 (从机模式)
	MTSR0	O1		SSC0 主机发送输出 (主机模式)
	MTSR0	O2		SSC0 主机发送模式 (主机模式)
	OUT88	O3		GPTA0 输出 88
126	P3.5	I/O0	A1+/ PU	Port 3 通用 I/O 口 5
	SLSO00	O1		SSC0 从机选择输出 0
	SLSO10	O2		SSC1 从机选择输出 0
	SLSOANDO0	O3		SSC0 和 SSC1 从机选择输出 0

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
127	P3.6	I/O0	A1+/PU	Port 3 通用 I/O 口 6
	SLSO01	O1		SSC0 从机选择输出 1
	SLSO11	O2		SSC1 从机选择输出 1
	SLSOANDO1	O3		SSC0 和 SSC1 从机选择输出 1
131	P3.7	I/O0	A2/PU	Port 3 通用 I/O 口 7
	SLSI01	I		SSC0 从机选择输入 1
	SLSO02	O1		SSC0 从机选择输出 2
	SLSO12	O2		SSC1 从机选择输出 2
	OUT89	O3		GPTA0 输出 89
128	P3.8	I/O0	A2/PU	Port 3 通用 I/O 口 8
	SLSO06	O1		SSC0 从机选择输出 6
	TXD1	O2		ASC1 发送输出
	OUT90	O3		GPTA0 输出 90
138	P3.9	I/O0	A1/PU	Port 3 通用 I/O 口 9
	RXD1A	I		ASC1 接收输入 A
	RXD1A	O1		ASC1 接收输出 A (同步模式)
	RXD1A	O2		ASC1 接收输出 A (同步模式)
	OUT91	O3		GPTA0 输出 91
137	P3.10	I/O0	A1/PU	Port 3 通用 I/O 口 10
	REQ0	I		外部触发输入 0
	Reserved	O1		-
	Reserved	O2		-
	OUT92	O3		GPTA0 输出 92
144	P3.11	I/O0	A1/PU	Port 3 通用 I/O 口 11
	REQ1	I		外部触发输入 1
	Reserved	O1		-
	Reserved	O2		-
	OUT93	O3		GPTA0 输出 93

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
143	P3.12	I/O0	A1/ PU	Port 3 通用 I/O 口 12
	RXDCAN0	I		CAN 节点 0 接收输入
	RXD0B	I		ASC0 接收输入 B
	RXD0B	O1		ASC0 接收输出 B (同步模式)
	RXD0B	O2		ASC0 接收输出 B (同步模式)
	OUT94	O3		GPTA0 输出 94
142	P3.13	I/O0	A2/ PU	Port 3 通用 I/O 口 13
	TXDCAN0	O1		CAN 节点 0 发送输出
	TXD0	O2		ASC0 发送输出
	OUT95	O3		GPTA0 输出 95
134	P3.14	I/O0	A1/ PU	Port 3 通用 I/O 口 14
	RXDCAN1	I		CAN 节点 1 接收输入
	RXD1B	I		ASC1 接收输入 B
	SDI2	I		MSC0 串行数据输入 2
	RXD1B	O1		ASC1 接收输出 B (同步模式)
	RXD1B	O2		ASC1 接收输出 B (同步模式)
	OUT96	O3		GPTA0 输出 96
133	P3.15	I/O0	A2/ PU	Port 3 通用 I/O 口 15
	TXDCAN1	O1		CAN 节点 1 发送输出
	TXD1	O2		ASC1 发送输出
	OUT97	O3		GPTA0 输出 97

Port 4

86	P4.0	I/O0	A1+/ PU	Port 4 通用 I/O 口 0
	IN28	I		GPTA0 输入 28
	IN52	I		GPTA0 输入 52
	RXDCAN2	I		CAN 节点 2 接收输入
	OUT28	O1		GPTA0 输出 28
	OUT52	O2		GPTA0 输出 52
	Reserved	O3		-

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
87	P4.1	I/O0	A1+/ PU	Port 4 通用 I/O 口 1
	IN29	I		GPTA0 输入 29
	IN53	I		GPTA0 输入 53
	OUT29	O1		GPTA0 输出 29
	OUT53	O2		GPTA0 输出 53
	TXDCAN2	O3		CAN 节点 2 发送输出
88	P4.2	I/O0	A2/ PU	Port 4 通用 I/O 口 2
	IN30	I		GPTA0 输入 30
	IN54	I		GPTA0 输入 54
	OUT30	O1		GPTA0 输出 30
	OUT54	O2		GPTA0 输出 54
	EXTCLK1	O3		外部时钟 1 输出
90	P4.3	I/O0	A2/ PU	Port 4 通用 I/O 口 3
	IN31	I		GPTA0 输入 31
	IN55	I		GPTA0 输入 55
	OUT31	O1		GPTA0 输出 31
	OUT55	O2		GPTA0 输出 55
	EXTCLK0	O3		外部时钟 0 输出

Port 5

1	P5.0	I/O0	A1+/ PU	Port 5 通用 I/O 口 0
	IN40	I		GPTA0 输入 40
	IN26	I		LTCA2 输入 26
	OUT40	O1		GPTA0 输出 40
	OUT8	O2		LTCA2 输出 8
	SLSO20	O3		SSC2 从机选择输出 0

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
2	P5.1	I/O0	A1+/ PU	Port 5 通用 I/O 口 1
	IN41	I		GPTA0 输入 41
	IN27	I		LTCA2 输入 27
	OUT41	O1		GPTA0 输出 41
	OUT9	O2		LTCA2 输出 9
	SLSO21	O3		SSC2 从机选择输出 1
3	P5.2	I/O0	A1+/ PU	Port 5 通用 I/O 口 2
	IN42	I		GPTA0 输入 42
	IN28	I		LTCA2 输入 28
	OUT42	O1		GPTA0 输出 42
	OUT10	O2		LTCA2 输出 10
	SLSO22	O3		SSC2 从机选择输出 2
4	P5.3	I/O0	A1+/ PU	Port 5 通用 I/O 口 3
	IN43	I		GPTA0 输入 43
	OUT43	O1		GPTA0 输出 43
	OUT11	O2		LTCA2 输出 11
	SLSO23	O3		SSC2 从机选择输出 3
5	P5.4	I/O0	A1+/ PU	Port 5 通用 I/O 口 4
	IN44	I		GPTA0 输入 44
	IN29	I		LTCA2 输入 29
	SLSI2A	I		SSC2 从机选择输入 A
	OUT44	O1		GPTA0 输出 44
	OUT12	O2		LTCA2 输出 12
	SLSO24	O3		SSC2 从机选择输出 4

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
6	P5.5	I/O0	A1+/PU	Port 5 通用 I/O 口 5
	IN45	I		GPTA0 输入 45
	IN30	I		LTCA2 输入 30
	MRST2A	I		SSC2 主机接收输入 (主机模式)
	OUT45	O1		GPTA0 输出 45
	OUT13	O2		LTCA2 输出 13
	MRST2	O3		SSC2 主机发送输入 (从机模式)
7	P5.6	I/O0	A1+/PU	Port 5 通用 I/O 口 6
	IN46	I		GPTA0 输入 46
	IN31	I		LTCA2 输入 31
	MTSR2A	I		SSC2 从机接收输入 (从机模式)
	OUT46	O1		GPTA0 输出 46
	OUT14	O2		LTCA2 输出 14
	MTSR2	O3		SSC2 主机发送输出 (主机模式)
8	P5.7	I/O0	A1+/PU	Port 5 通用 I/O 口 7
	IN47	I		GPTA0 输入 47
	SCLK2A	I		SSC2 时钟输入 (从机模式)
	OUT47	O1		GPTA0 输出 47
	OUT15	O2		LTCA2 输出 15
	SCLK2	O3		SSC2 时钟输出 (主机模式)
13	P5.8	I/O0	A2/PU	Port 5 通用 I/O 口 8
	RDATA0B	I		MLI0 接收输入 B
	Reserved	O1		-
	TXDA1	O2		E-Ray 通道 A 发送输出 ¹⁾
	OUT89	O3		LTCA2 输出 89
14	P5.9	I/O0	A2/PU	Port 5 通用 I/O 口 9
	RVALID0B	I		MLI0 接收通道有效输入 B
	Reserved	O1		-
	TXDB1	O2		E-Ray 通道 B 发送输出 ¹⁾
	OUT90	O3		LTCA2 输出 90

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
15	P5.10	I/O0	A2/ PU	Port 5 通用 I/O 口 10
	RREADY0B	O1		MLI0 接收通道准备就绪 B
	TXENA	O2		E-Ray 通道 A 发送输出使能 ¹⁾
	OUT91	O3		LTCA2 输出 91
16	P5.11	I/O0	A2/ PU	Port 5 通用 I/O 口 11
	RCLK0B	I		MLI0 接收时钟输入 B
	Reserved	O1		-
	TXENB	O2		E-Ray 通道 B 发送输出使能 ¹⁾
	OUT92	O3		LTCA2 输出 92
17	P5.12	I/O0	A1+/ PU	Port 5 通用 I/O 口 12
	TDATA0	O1		MLI0 发送输出
	SLSO07	O2		SSC0 从机选择输出 7
	OUT93	O3		LTCA2 输出 93
18	P5.13	I/O0	A1+/ PU	Port 5 通用 I/O 口 13
	TVALID0B	O1		MLI0 发送通道有效输入 B
	SLSO16	O2		SSC1 从机选择输出 6
	Reserved	O3		-
19	P5.14	I/O0	A1+/ PU	Port 5 通用 I/O 口 14
	TREADY0B	I		MLI0 发送通道准备就绪 B
	RXDA1	I		E-Ray 通道 A 接收输入 1 ¹⁾
	Reserved	O1		-
	Reserved	O2		-
	OUT94	O3		LTCA2 输出 94
9	P5.15	I/O0	A1+/ PU	Port 5 通用 I/O 口 15
	RXDB1	I		E-Ray 通道 B 接收输入 1 ¹⁾
	TCLK0	O1		MLI0 发送时钟输出
	Reserved	O2		-
	OUT95	O3		LTCA2 输出 95

Port 6

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
156	P6.0	I/O0	A1/ F/ PU	Port 6 通用 I/O 口 0
	IN14	I		LTCA2 输入 14
	FCLN0	O1		MSC0 时钟输出
	OUT80	O2		GPTA0 输出 80
	OUT4	O3		LTCA2 输出 4
157	P6.1	I/O0	A1/ F/ PU	Port 6 通用 I/O 口 1
	IN15	I		LTCA2 输入 15
	FCLP0A	O1		MSC0 时钟输出 A
	OUT81	O2		GPTA0 输出 81
	OUT5	O3		LTCA2 输出 5
158	P6.2	I/O0	A1/ F/ PU	Port 6 通用 I/O 口 2
	IN24	I		LTCA2 输入 24
	SON0	O1		MSC0 串行时钟输出
	OUT82	O2		GPTA0 输出 82
	OUT6	O3		LTCA2 输出 6
159	P6.3	I/O0	A1/ F/ PU	Port 6 通用 I/O 口 3
	IN25	I		LTCA2 输入 25
	SOP0A	O1		MSC0 串行数据输出 A
	OUT83	O2		GPTA0 输出 83
	OUT7	O3		LTCA2 输出 7

Analog Input Port

67	AN0	I	D	ADC0 模拟输入通道 0
66	AN1	I	D	ADC0 模拟输入通道 1
65	AN2	I	D	ADC0 模拟输入通道 2
64	AN3	I	D	ADC0 模拟输入通道 3
63	AN4	I	D	ADC0 模拟输入通道 4
62	AN5	I	D	ADC0 模拟输入通道 5
61	AN6	I	D	ADC0 模拟输入通道 6
36	AN7	I	D	ADC0 模拟输入通道 7
60	AN8	I	D	ADC0 模拟输入通道 8

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
59	AN9	I	D	ADC0 模拟输入通道 9
58	AN10	I	D	ADC0 模拟输入通道 10
57	AN11	I	D	ADC0 模拟输入通道 11
56	AN12	I	D	ADC0 模拟输入通道 12
55	AN13	I	D	ADC0 模拟输入通道 13
50	AN14	I	D	ADC0 模拟输入通道 14
49	AN15	I	D	ADC0 模拟输入通道 15
48	AN16	I	D	ADC1 模拟输入通道 16
47	AN17	I	D	ADC1 模拟输入通道 17
46	AN18	I	D	ADC1 模拟输入通道 18
45	AN19	I	D	ADC1 模拟输入通道 19
44	AN20	I	D	ADC1 模拟输入通道 20
43	AN21	I	D	ADC1 模拟输入通道 21
42	AN22	I	D	ADC1 模拟输入通道 22
41	AN23	I	D	ADC1 模拟输入通道 23
40	AN24	I	D	ADC1 模拟输入通道 24
39	AN25	I	D	ADC1 模拟输入通道 25
38	AN26	I	D	ADC1 模拟输入通道 26
37	AN27	I	D	ADC1 模拟输入通道 27
35	AN28	I	D	ADC1 / FADC 模拟输入通道 28
34	AN29	I	D	ADC1 / FADC 模拟输入通道 29
33	AN30	I	D	ADC1 / FADC 模拟输入通道 30
32	AN31	I	D	ADC1 / FADC 模拟输入通道 31
31	AN32	I	D	FADC 模拟输入 P 通道 0
30	AN33	I	D	FADC 模拟输入 N 通道 0
29	AN34	I	D	FADC 模拟输入 P 通道 1
28	AN35	I	D	FADC 模拟输入 N 通道 1
54	V_{DDM}	-	-	ADC 模拟部分电源 (3.3V - 5V)
53	V_{SSM}	-	-	ADC 模拟部分接地
52	V_{AREF0}	-	-	ADC0 和 ADC1 参考电压

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
51	V_{AGND0}	-	-	ADC 参考接地
24	V_{DDMF}	-	-	FADC 模拟部分电源 (3.3V)
23	V_{DDAF}	-	-	FADC 模拟部分逻辑电源 (1.3V)
25	V_{SSMF}	-	-	FADC 模拟部分接地
	V_{SSAF}	-	-	FADC 模拟部分逻辑接地
26	V_{FAREF}	-	-	FADC 参考电压
27	V_{FAGND}	-	-	FADC 参考接地
10, 21 ²⁾ , 68, 84, 91, 99, 123, 153, 170 2)	V_{DD}	-	-	内核电源 (1.3V)
11, 20, 69, 83, 89, 100, 124, 139, 154, 171	V_{DDP}	-	-	端口电源 (3.3V)

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
12, 22, 70, 82, 85, 92, 101, 125, 140, 155, 172	V_{SS}	-	-	接地
105	V_{DDOSC}	-	-	主振荡器和 PLL 电源 (1.3V)
106	V_{DDOSC3}	-	-	主振荡器电源 (3.3V)
104	V_{SSOSC}	-	-	主振荡器和 PLL 接地
141	V_{DDFL3}	-	-	Flash 电源 (3.3V)
102	XTAL1	I		主振荡器输入
103	XTAL2	O		主振荡器输出
111	TDI	I	A2/ PU	JTAG 串行数据输入
	BRKIN	I		OCDS 断点输入
	BRKOUT	O		OCDS 断点输出
112	TMS	I	A2/ PD	JTAG 状态机控制输入
	DAP1	I/O		器件访问端口 1
113	TDO	I/O	A2/ PU	JTAG 串行数据输出
	DAP2	I/O		Device 器件访问端口 2
	BRKIN	I		OCDS 断点输入
	BRKOUT	O		OCDS 断点输出
114	TRST	I	I / PD	JTAG 复位输入
115	TCK	I	A1/ PD	JTAG 时钟输入
	DAP0	I		器件访问端口 0
118	TESTMODE	I	I / PU	测试模式选择输入
120	ESR1	I/O	A2/ PD	外部系统触发复位输入 1

引脚 TC1782 / TC1182 引脚配置

Table 2 引脚定义及其功能 (PG-LQFP-176-10 封装) (cont'd)

引脚	符号	控制	类型	功能
121	PORST	I	I / PD	上电复位输入
122	ESR0	I/O	A2	外部系统触发复位输入 0 复位期间和结束后，默认配置为开漏驱动。上电复位时驱动为低。

1) 仅适用于 SAK-TC1782F-320F180HR 和 SAK-TC1782F-320F180HL.

2) 对于模拟器件 (ED), 该引脚连接到 VDDSB (ED 由 RAM 提供). 量产器件中, 该引脚连接到 VDD . .

Table 2 图示

列 “控制”:

I = 输入 (IOCR 位域选择 GPIO 端口线 PCx = 0XXX_B)

O = 输出

O0 = 输出 IOCR 位域选择 PCx = 1X00_B

O1 = 输出 IOCR 位域选择 PCx = 1X01_B (ALT1)

O2 = 输出 IOCR 位域选择 PCx = 1X10_B (ALT2)

O3 = 输出 IOCR 位域选择 PCx = 1X11 (ALT3)

列 “类型”:

A1 = 引出端类别 A1 (LVTTTL)

A1+ = 引出端类别 A1+ (LVTTTL)

A2 = 引出端类别 A2 (LVTTTL)

F = 引出端类别 F (LVDS/CMOS)

D = 引出端类别 D (ADC)

I = 引出端类别 I (LVTTTL)

PU = 复位时连接上拉器件 ($\overline{\text{PORST}} = 0$)

PD = 复位时连接下拉器件 ($\text{PORST} = 0$)

TR = 复位时三态 ($\overline{\text{PORST}} = 0$)

4 ID 寄存器

ID 寄存器是整个器件的唯一识别。

Table 3 SAK-TC1782F-320F180HR ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	8500 9310 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 4 SAK-TC1782F-320F180HL ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	0500 9310 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 5 SAK-TC1782F-256F133HR ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	9400 9310 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 6 SAK-TC1782F-256F133HL ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	1400 9310 _H	F000 0640 _H	BA

ID 寄存器

Table 6 SAK-TC1782F-256F133HL ID 寄存器 (cont'd)

缩写	数值	地址	级别
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 7 SAK-TC1782N-320F180HR ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	8500 9410 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 8 SAK-TC1782N-320F180HL ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	0500 9410 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 9 SAK-TC1782N-256F133HR ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	9400 9410 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 10 SAK-TC1782N-256F133HL ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	1400 9410 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 11 SAK-TC1182N-320F180HR ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	8500 B210 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 12 SAK-TC1182N-320F180HL ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	0500 B210 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 13 SAK-TC1182N-256F133HR ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	9400 B210 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

Table 14 SAK-TC1182N-256F133HL ID 寄存器

缩写	数值	地址	级别
CBS_JDPID	0000 6350 _H	F000 0408 _H	BA
CBS_JTAGID	1018 E083 _H	F000 0464 _H	BA
SCU_CHIPID	1400 B210 _H	F000 0640 _H	BA
SCU_MANID	0000 1820 _H	F000 0644 _H	BA
SCU_RTID	0000 0000 _H	F000 0648 _H	BA

5 电气参数

本规范提供了 TC1782 / TC1182 所有的电气参数。

5.1 常规参数

5.1.1 参数解读

下面列出的参数包括 TC1782 / TC1182 的特性以及对系统的要求。为了帮助用户在设计时容易理解和评估这些参数，在“符号”栏中用两个字母的缩写标注：

- **CC**

这些参数表明控制器特性，是 TC1782 / TC1182 的独有特性，在系统设计中必须注意。

- **SR**

这些参数表明系统要求，必须由基于 TC1782 / TC1182 设计的控制系统提供。

5.1.2 引出端驱动和类别总结

本节提供 不同引出端驱动 类别及其基本特征的概述。更多细节（主要是直流参数）见第 5.2.1（[Section 5.2.1](#)）节。

Table 15 引出端驱动和类别概述

类别	电源电压	类型	子类	速度等级	负载	漏电流 150°C	终端电阻
A	3.3 V	LVTTTL I/O, LVTTTL 输出	A1 (如 . GPIO)	6 MHz	100 pF	500 nA	No
			A1+ (如 . 串行 I/Os)	25 MHz	50 pF	1 µA	推荐串联终端电阻
			A2 (如 . 串行 I/Os)	40 MHz	50 pF	3 µA	推荐串联终端电阻
F	3.3 V	LVDS	—	50 MHz	—	—	并联终端电阻， 100 Ω ± 10% ¹⁾
		CMOS	—	6 MHz	50 pF	—	
D_E	5 V	ADC	—	—	—	—	
I	3.3 V	LVTTTL (仅输入)	—	—	—	—	

1) 在不使用（禁止）LVDS 引脚的应用中，这些引脚必须悬空，或者用 100 Ω ± 10% 差分并联终端电阻。

5.1.3 绝对最大额定值

如果器件的工作条件超过下表“绝对最大额定值”，可能会引起器件永久性损坏。这仅是极限参数，并不表示器件可以工作在此极限条件或者高于正常工作范围的条件下。在绝对最大额定值条件下可能会影响其可靠性。

在最大额定值条件下不会影响器件的可靠性。

Table 16 绝对最大额定参数

参数	符号		数值			单位	注 / 测试条件
			最小值	典型值	最大值		
存储温度	T_{ST}	SR	-65	—	150	°C	—
1.3 V 电源电压下，引脚对地 V_{SS} 电压	V_{DD}	SR	—	—	2.0	V	—
3.3V 电源电压下，引脚对地 V_{SS} 电压	V_{DDP}	SR	—	—	4.3	V	—
5 V 电源电压下，引脚对地 V_{SS} 电压	V_{DDM}	SR	—	—	7.0	V	—
任意 A 类输入引脚和专用输入引脚对地 V_{SS} 电压	V_{IN}	SR	-0.5	—	$V_{DDP} + 0.5$ or max. 4.3	V	Whatever is lower
任意 D 类模拟输入引脚对地 V_{AGND0} 电压	V_{AIN} V_{AREF0}	SR	-0.5	—	7.0	V	—
任意 D 类共用模拟输入引脚对地 V_{SSAF} 电压，如果 FADC 切换到这类引脚。	V_{AINF}	SR	-0.5	—	7.0	V	—
过载情况下任意引脚上的输入电流	I_{IN}		-10	—	+10	mA	
过载情况下一个端口组所有输入电流的绝对最大值之和 ¹⁾	I_{IN}		-20	—	+20	mA	
过载情况下所有输入电流的绝对最大值之和	ΣI_{IN}		—	—	100	mA	

1) 端口组定义见 Table 18.

5.1.4 工作条件

为了确保 TC1782 / TC1182 正常可靠工作，器件工作时绝不能超过以下工作条件。

TC1782 / TC1182 的数字电源必须采用静态稳压电源，其典型电压波动幅度为 $\pm 5\%$ 。

下表 (Table 17) 中列出了正常工作条件参数，除非在“备注/测试条件”项中另有说明。

扩展范围工作条件 (Extended Range Operating Conditions) 没有增加表 8 和高版本中定义的参数的有效性区域。

Table 17 工作条件参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
模拟输入的过载负电流耦合因子	K_{OVANCC}	—	—	0.0001		$I_{OV} \leq 0 \text{ mA}$; $I_{OV} \geq -1 \text{ mA}$; 模拟引出端 = 5.0 V
模拟输入的过载正电流耦合因子	K_{OVAPCC}	—	—	0.00001		$I_{OV} \leq 3 \text{ mA}$; $I_{OV} \geq 0 \text{ mA}$; 模拟引出端 = 5.0 V

Table 17 工作条件参数 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
CPU 频率	f_{CPU} SR	—	—	133	MHz	SAK-TC1782F-256F133HR / S AK-TC1782F-256F133HL / S AK-TC1782N-256F133HR / S AK-TC1782N-256F133HL / S AK-TC1182N-256F133HR / S AK-TC1182N-256F133HL
		—	—	180	MHz	SAK-TC1782F-320F180HR / S AK-TC1782F-320F180HL / S AK-TC1782N-320F180HR / S AK-TC1782N-320F180HL / S AK-TC1182N-320F180HR / S AK-TC1182N-320F180HL
FPI 总线频率	f_{FPI} SR	—	—	90	MHz	

Table 17 工作条件参数 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
LMB 频率	$f_{\text{LMB CC}}$	—	—	133	MHz	SAK-TC1782F-256F133HR / S AK-TC1782F-256F133HL / S AK-TC1782N-256F133HR / S AK-TC1782N-256F133HL / S AK-TC1182N-256F133HR / S AK-TC1182N-256F133HL
		—	—	180	MHz	SAK-TC1782F-320F180HR / S AK-TC1782F-320F180HL / S AK-TC1782N-320F180HR / S AK-TC1782N-320F180HL / S AK-TC1182N-320F180HR / S AK-TC1182N-320F180HL

Table 17 工作条件参数 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
PCP 频率	$f_{\text{PCP SR}}$	—	—	133	MHz	SAK-TC1782F-256F133HR / S AK-TC1782F-256F133HL / S AK-TC1782N-256F133HR / S AK-TC1782N-256F133HL / S AK-TC1182N-256F133HR / S AK-TC1182N-256F133HL
		—	—	180	MHz	SAK-TC1782F-320F180HR / S AK-TC1782F-320F180HL / S AK-TC1782N-320F180HR / S AK-TC1782N-320F180HL / S AK-TC1182N-320F180HR / S AK-TC1182N-320F180HL
不工作器件引脚电流	$I_{\text{ID SR}}$	-1	—	1	mA	所有电源电压 $V_{\text{DDx}} = 0$
数字输出短路电流 ¹⁾	$I_{\text{SC SR}}$	-5	—	5	mA	
短路电流绝对值之和	$\Sigma I_{\text{SC_D CC}}$	—	—	100	mA	
每个引脚组短路电流绝对值之和	$\Sigma I_{\text{SC_PG CC}}$	—	—	20	mA	
环境温度	$T_{\text{A SR}}$	-40	—	125	°C	
结温	$T_{\text{J SR}}$	-40	—	150	°C	
内核电源电压	$V_{\text{DD SR}}$	1.235	1.3	1.365 ²⁾	V	
Flash 电源电压 3.3V	$V_{\text{DDFL3 SR}}$	3.13	3.3	3.47 ⁴⁾	V	

Table 17 工作条件参数 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
ADC 模拟电源电压	V_{DDM} SR	3.13	3.3	5.5 ³⁾	V	
振荡器内核电源电压	V_{DDOSC} SR	1.235	1.3	1.365 ²⁾	V	
振荡器 3.3V 电源电压	V_{DDOSC3} SR	3.05	3.3	3.47 ⁴⁾	V	
IO 引出端的数字电源电压	V_{DDP} SR	3.13	3.3	3.47 ⁴⁾	V	
确保引出端定义状态的 VDDP 电压 ⁵⁾	V_{DDPPA} CC	0.65	—	—	V	
数字地电压	V_{SS} SR	0	—	—	V	
V_{DDM} 模拟地电压	V_{SSM} SR	-0.1	0	0.1	V	
模拟内核电压	V_{DDAF} SR	1.235	1.3	1.365 ²⁾	V	
FADC / ADC 模拟电源电压	V_{DDMF} SR	3.13	3.3	3.47 ⁴⁾	V	
V_{DDMF} 模拟地电压	V_{SSAF} SR	-0.1	0	0.1	V	

1) 适应于数字输出。

2) 允许在上电和 $\overline{PORST}$ 低时, 电压过冲到 1.7V, 前提是脉冲持续时间小于 100 μ s, 且脉冲累积时间不超过 1 小时。

3) 允许在上电和 $\overline{PORST}$ 低时, 电压过冲到 6.5V, 前提是脉冲持续时间小于 100 μ s, 且脉冲累积时间不超过 1 小时。

4) 允许在上电和 $\overline{PORST}$ 低时, 电压过冲到 4.0V, 前提是脉冲持续时间小于 100 μ s, 且脉冲累积时间不超过 1 小时。

5) 假设在 V_{DDP} 上电 / 掉电期间 $\overline{PORST}$ 一直在低电压, 此参数才有效。

扩展范围工作条件

扩展工作条件的定义如下：

- $1.3V + 5\% < V_{DD} / V_{DDOSC} / V_{DDAF} < 1.3V + 7.5\%$ (过压条件):
– 时间限制为 10000 小时的寿命累积, 由于过压应力所造成的芯片可靠性降低
- $1.3V + 7.5\% < V_{DD} / V_{DDOSC} / V_{DDAF} < 1.3V + 10\%$ (过压条件):
– 时间限制为 1 小时的寿命累积, 由于过压应力所造成的芯片可靠性降低
- $V_{DDP} / V_{DDOSC3} / V_{DDFL3} / V_{DDMF} < 3.3V \pm 10\%$
– $3.3V + 5\% < V_{DDP} / V_{DDOSC3} / V_{DDFL3} / V_{DDMF} < 3.3V + 10\%$
(过压条件):
时间限制为 1 小时的寿命累积, 由于过压应力所造成的芯片可靠性降低。

电气参数常规参数

- $3.3\text{V} - 10\% < V_{\text{DDP}} / V_{\text{DDOSC3}} / V_{\text{DDFL3}} / V_{\text{DDMF}} < 3.3\text{V} - 5\%$
(欠压条件):
- 降低 GPIO 引出端性能

Table 18 过载 / 短路电流之和参数中的引脚组定义

组	引脚
1	P5.[7:2], P5.15
2	P5.[9:8]
3	P5.[11:10]
4	P5.[14:12]
5	P1.[14:12], P2.0
6	P2.[4:1]
7	P2.[7:5]
8	P4.[2:0]
9	P4.3
10	P1.2, P1.8
11	P1.[10:9]
12	P1.3, P1.11
13	P1.[7:4]
14	P1.[1:0], P1.15
15	P3.[8:5], P3.[3:2]
16	P3.[1:0], P3.4, P3.[10:9], P3.[15:14]
17	P0.[1:0], P3.[13:11]
18	P0.[3:2], P0.[9:8]
19	P0.[11:10]
20	P6.[3:0]
21	P2.[13:8]
22	P0.[5:4], P0.[13:12]
23	P0.[7:6], P0.[15:14], P5.[1:0]

5.2 直流参数

5.2.1 输入 / 输出引脚

Table 19 标准引出端参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
引脚电容 (数字输入 / 输出引脚)	C_{IO} CC	–	–	10	pF	$T_A = 25\text{ }^{\circ}\text{C}$; $f = 1\text{ MHz}$
下拉电流	$ I_{PDL} $ CC	–	–	150	μA	$V_i \geq 0.6 \times V_{DDP}\text{ V}$
		10	–	–	μA	$V_i \geq 0.36 \times V_{DDP}\text{ V}$
上拉电流	$ I_{PUH} $ CC	10	–	–	μA	$V_i \leq 0.6 \times V_{DDP}\text{ V}$
		–	–	100	μA	$V_i \leq 0.36 \times V_{DDP}\text{ V}$
毛刺滤波器不允许通过的输入脉冲宽度	t_{SF1} CC	–	–	10	ns	只适用于 PORST 引脚
毛刺滤波器允许通过的输入脉冲宽度	t_{SF2} CC	100	–	–	ns	只适用于 PORST 引脚

Table 20 A1 类标准引出端

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A1 类引出端输入滞后 ¹⁾	HYS_{AI} CC	$0.1 \times V_{DDP}$	–	–	V	
A1 类输入漏电流	I_{OZA1} CC	-500	–	500	nA	$V_i \geq 0\text{ V}$; $V_i \leq V_{DDP}\text{ V}$
V_{il}/V_{ih} , A1 类引出端	V_{ILA1} / V_{IHA1} CC	0.6	–	–		
A1 类引出端导通电阻, 弱驱动	$R_{DS(ONW)}$ CC	–	450	600	Ohm	$I_{OH} < -0.5\text{ mA}$; P_MOS
		–	210	340	Ohm	$I_{OL} < 0.5\text{ mA}$; N_MOS

Table 20 **A1 类标准引出端 (cont'd)**

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A1 类引出端导通电阻, 中等驱动	$R_{\text{DS(on)M}}$ CC	—	—	155	Ohm	$I_{\text{OH}} < -2 \text{ mA}$; P_MOS
		—	—	110	Ohm	$I_{\text{OL}} < 2 \text{ mA}$; N_MOS
A1 类引出端下降时间	t_{FA1} CC	—	—	150	ns	$C_L = 20 \text{ pF}$; 输出引脚, 弱驱动
		—	—	50	ns	$C_L = 50 \text{ pF}$; 输出引脚, 中等驱动
		—	—	140	ns	$C_L = 150 \text{ pF}$; 输出引脚, 中等驱动
		—	—	550	ns	$C_L = 150 \text{ pF}$; 输出引脚, 弱驱动
		—	—	18000	ns	$C_L = 20000 \text{ pF}$; 输出引脚, 中等驱动
		—	—	65000	ns	$C_L = 20000 \text{ pF}$; 输出引脚, 弱驱动

Table 20 **A1 类标准引出端 (cont'd)**

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A1 类引出端上升时间	t_{RA1} CC	—	—	150	ns	$C_L = 20$ pF; 输出引脚, 弱驱动
		—	—	50	ns	$C_L = 50$ pF; 输出引脚, 中等驱动
		—	—	140	ns	$C_L = 150$ pF; 输出引脚, 中等驱动
		—	—	550	ns	$C_L = 150$ pF; 输出引脚, 弱驱动
		—	—	18000	ns	$C_L = 20000$ pF; 输出引脚, 中等驱动
		—	—	65000	ns	$C_L = 20000$ pF; 输出引脚, 弱驱动
A1 类引出端输入高电压	V_{IHA1} SR	$0.6 \times V_{DDP}$	—	取小 ($V_{DDP} + 0.3, 3.6$)	V	
A1 类引出端输入低电压	V_{ILA1} SR	-0.3	—	$0.36 \times V_{DDP}$	V	
A1 类引出端输出高电压	V_{OHA1} CC	$V_{DDP} - 0.4$	—	—	V	$I_{OH} \geq -1.4$ mA; 输出引脚, 中等驱动
		2.4	—	—	V	$I_{OH} \geq -2$ mA; 输出引脚, 中等驱动
		$V_{DDP} - 0.4$	—	—	V	$I_{OH} \geq -400$ μ A; 输出引脚, 弱驱动
		2.4	—	—	V	$I_{OH} \geq -500$ μ A; 输出引脚, 弱驱动

电气参数直流参数

Table 20 A1 类标准引出端 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A1 类引出端输出低电压	V_{OLA1CC}	—	—	0.4	V	$I_{OL} \leq 2 \text{ mA}$; 输出引脚, 中等驱动
		—	—	0.4	V	$I_{OL} \leq 500 \text{ }\mu\text{A}$; 输出引脚, 弱驱动

1) 实现滞后特性以避免由于内部地电压波动而引起的亚稳态和切换。但是不能保证抑制外部系统噪声引起的切换。

Table 21 A1+ 类标准引出端

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A1+ 类引出端输入滞后 ¹⁾	$HYS_{AI} + CC$	$0.1 \times V_{DDP}$	—	—	V	
A1+ 类输入漏电流	$I_{OZA1+CC}$	-1000	—	1000	nA	
A1+ 类引出端导通电阻, 弱驱动	$R_{DS_{ONW}CC}$	—	450	600	Ohm	$I_{OH} < -0.5 \text{ mA}$; P_MOS
		—	210	340	Ohm	$I_{OL} < 0.5 \text{ mA}$; N_MOS
A1+ 类引出端导通电阻, 中等驱动	$R_{DS_{ONM}CC}$	—	—	155	Ohm	$I_{OH} < -2 \text{ mA}$; P_MOS
		—	—	110	Ohm	$I_{OL} < 2 \text{ mA}$; N_MOS
A1+ 类引出端导通电阻, 强驱动	$R_{DS_{ON1+}CC}$	—	—	100	Ohm	$I_{OH} < -2 \text{ mA}$; P_MOS
		—	—	80	Ohm	$I_{OL} < 2 \text{ mA}$; N_MOS

Table 21 A1+ 类标准引出端

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A1+ 类引出端下降时间	t_{FA1+} CC	—	—	150	ns	$C_L = 20 \text{ pF}$; 输出引脚, 弱驱动
		—	—	28	ns	$C_L = 50 \text{ pF}$; 渐变边沿; 输出引脚, 强驱动
		—	—	16	ns	$C_L = 50 \text{ pF}$; 缓变边沿; 输出引脚, 强驱动
		—	—	50	ns	$C_L = 50 \text{ pF}$; 输出引脚, 中等驱动
		—	—	140	ns	$C_L = 150 \text{ pF}$; 输出引脚, 中等驱动
		—	—	550	ns	$C_L = 150 \text{ pF}$; 输出引脚, 弱驱动
		—	—	18000	ns	$C_L = 20000 \text{ pF}$; 输出引脚, 中等驱动
		—	—	65000	ns	$C_L = 20000 \text{ pF}$; 输出引脚, 弱驱动

Table 21 **A1+ 类标准引出端**

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A1+ 类引出端上升时间	$t_{\text{RA1+ CC}}$	—	—	150	ns	$C_L = 20 \text{ pF}$; 输出引脚, 弱驱动
		—	—	28	ns	$C_L = 50 \text{ pF}$; 渐变边沿; 输出引脚, 强驱动
		—	—	16	ns	$C_L = 50 \text{ pF}$; 缓变边沿; 输出引脚, 强驱动
		—	—	50	ns	$C_L = 50 \text{ pF}$; 输出引脚, 中等驱动
		—	—	140	ns	$C_L = 150 \text{ pF}$; 输出引脚, 中等驱动
		—	—	550	ns	$C_L = 150 \text{ pF}$; 输出引脚, 弱驱动
		—	—	18000	ns	$C_L = 20000 \text{ pF}$; 输出引脚, 中等驱动
		—	—	65000	ns	$C_L = 20000 \text{ pF}$; 输出引脚, 弱驱动
A1+ 类引出端输入高电平	$V_{\text{IHA1+ SR}}$	$0.6 \times V_{\text{DDP}}$	—	$\min(V_{\text{DDP}} + 0.3, 3.6)$	V	
A1+ 类引出端输入低电平	$V_{\text{ILA1+ SR}}$	-0.3	—	$0.36 \times V_{\text{DDP}}$	V	
Vil/Vih, A1+ 类引出端	$V_{\text{ILA1+}} / V_{\text{IHA1+ CC}}$	0.6	—	—		

Table 21 A1+ 类标准引出端

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A1+ 类引出端输出高电平	$V_{\text{OHA1+CC}}$	$V_{\text{DDP}} - 0.4$	—	—	V	$I_{\text{OH}} \geq -1.4 \text{ mA}$; 输出引脚, 中等驱动
		$V_{\text{DDP}} - 0.4$	—	—	V	$I_{\text{OH}} \geq -1.4 \text{ mA}$; 输出引脚, 强驱动
		2.4	—	—	V	$I_{\text{OH}} \geq -2 \text{ mA}$; 输出引脚, 中等驱动
		2.4	—	—	V	$I_{\text{OH}} \geq -2 \text{ mA}$; 输出引脚, 强驱动
		$V_{\text{DDP}} - 0.4$	—	—	V	$I_{\text{OH}} \geq -400 \mu\text{A}$; 输出引脚, 弱驱动
		2.4	—	—	V	$I_{\text{OH}} \geq -500 \mu\text{A}$; 输出引脚, 弱驱动
A1+ 类引出端输出低电平	$V_{\text{OLA1+CC}}$	—	—	0.4	V	$I_{\text{OL}} \leq 2 \text{ mA}$; 输出引脚, 中等驱动
		—	—	0.4	V	$I_{\text{OL}} \leq 2 \text{ mA}$; 输出引脚, 强驱动
		—	—	0.4	V	$I_{\text{OL}} \leq 500 \mu\text{A}$; 输出引脚, 弱驱动

1) 实现滞后特性以避免由于内部地电压波动而引起的亚稳态和切换。但是不能保证抑制外部系统噪声引起的切换。

Table 22 A2 类标准引出端

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A2 类引出端输入滞后 ¹⁾	HYS_{A2} CC	$0.1 \times V_{DDP}$	—	—	V	
A2 类输入漏电流	I_{OZA2} CC	-6000	—	6000	nA	$V_i < V_{DDP} / 2 - 1 \text{ V}; V_i > V_{DDP} / 2 + 1 \text{ V}; V_i \geq 0 \text{ V}; V_i \leq V_{DDP} \text{ V}$
		-3000	—	3000	nA	$V_i > V_{DDP} / 2 - 1 \text{ V}; V_i < V_{DDP} / 2 + 1 \text{ V}$
V_{il}/V_{ih} , A2 类引出端	V_{ILA2} / V_{IHA2} CC	0.6	—	—		
A2 类引出端导通电阻, 弱驱动	R_{DSONW} CC	—	450	600	Ohm	$I_{OH} < -0.5 \text{ mA}; P_MOS$
		—	210	340	Ohm	$I_{OL} < 0.5 \text{ mA}; N_MOS$
A2 类引出端导通电阻, 中等驱动	R_{DSONM} CC	—	—	155	Ohm	$I_{OH} < -2 \text{ mA}; P_MOS$
		—	—	110	Ohm	$I_{OL} < 2 \text{ mA}; N_MOS$
A2 类引出端导通电阻, 强驱动	R_{DSON2} CC	—	—	28	Ohm	$I_{OH} < -2 \text{ mA}; P_MOS$
		—	—	22	Ohm	$I_{OL} < 2 \text{ mA}; N_MOS$

Table 22 **A2 类标准引出端 (cont'd)**

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A2 类引出端下降时间	$t_{FA2\ CC}$	—	—	150	ns	$C_L = 20\text{ pF}$; 输出引脚, 弱驱动
		—	—	7	ns	$C_L = 50\text{ pF}$; 渐变边沿; 输出引脚, 强驱动
		—	—	10	ns	$C_L = 50\text{ pF}$; 弱渐变边沿; 输出引脚, 强驱动
		—	—	3.7	ns	$C_L = 50\text{ pF}$; 陡变边沿; 输出引脚, 强驱动
		—	—	5	ns	$C_L = 50\text{ pF}$; 弱陡变边沿; 输出引脚, 强驱动
		—	—	16	ns	$C_L = 50\text{ pF}$; 缓变边沿; 输出引脚, 强驱动
		—	—	50	ns	$C_L = 50\text{ pF}$; 输出引脚, 中等驱动
		—	—	7.5	ns	$C_L = 100\text{ pF}$; 陡变边沿; 输出引脚, 强驱动
		—	—	140	ns	$C_L = 150\text{ pF}$; 输出引脚, 中等驱动
		—	—	550	ns	$C_L = 150\text{ pF}$; 输出引脚, 弱驱动
		—	—	18000	ns	$C_L = 20000\text{ pF}$; 输出引脚, 中等驱动
		—	—	65000	ns	$C_L = 20000\text{ pF}$; 输出引脚, 弱驱动

Table 22 **A2 类标准引出端 (cont'd)**

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A2 类引出端上升时间	$t_{\text{RA2 CC}}$	—	—	150	ns	$C_L = 20 \text{ pF}$; 输出引脚, 弱驱动
		—	—	7.0	ns	$C_L = 50 \text{ pF}$; 渐变边沿; 输出引脚, 强驱动
		—	—	10	ns	$C_L = 50 \text{ pF}$; 弱渐变边沿; 输出引脚, 强驱动
		—	—	3.7	ns	$C_L = 50 \text{ pF}$; 陡变边沿; 输出引脚, 强驱动
		—	—	5	ns	$C_L = 50 \text{ pF}$; 弱陡变边沿; 输出引脚, 强驱动
		—	—	16	ns	$C_L = 50 \text{ pF}$; 缓变边沿; 输出引脚, 强驱动
		—	—	50	ns	$C_L = 50 \text{ pF}$; 输出引脚, 中等驱动
		—	—	7.5	ns	$C_L = 100 \text{ pF}$; 陡变边沿; 输出引脚, 强驱动
		—	—	140	ns	$C_L = 150 \text{ pF}$; 输出引脚, 中等驱动
		—	—	550	ns	$C_L = 150 \text{ pF}$; 输出引脚, 弱驱动
		—	—	18000	ns	$C_L = 20000 \text{ pF}$; 输出引脚, 中等驱动
		—	—	65000	ns	$C_L = 20000 \text{ pF}$; 输出引脚, 弱驱动

Table 22 A2 类标准引出端 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
A2 类引出端输入高电平	V_{IHA2} SR	$0.6 \times V_{DDP}$	—	$\min(V_{DDP} + 0.3, 3.6)$	V	
A2 类引出端输入低电平	V_{ILA2} SR	-0.3	—	$0.36 \times V_{DDP}$	V	
A2 类引出端输出高电平	V_{OHA2} CC	$V_{DDP} - 0.4$	—	—	V	$I_{OH} \geq -1.4 \text{ mA}$; 输出引脚, 中等驱动
		$V_{DDP} - 0.4$	—	—	V	$I_{OH} \geq -1.4 \text{ mA}$; 输出引脚, 强驱动
		2.4	—	—	V	$I_{OH} \geq -2 \text{ mA}$; 输出引脚, 中等驱动
		2.4	—	—	V	$I_{OH} \geq -2 \text{ mA}$; 输出引脚, 强驱动
		$V_{DDP} - 0.4$	—	—	V	$I_{OH} \geq -400 \mu\text{A}$; 输出引脚, 弱驱动
		2.4	—	—	V	$I_{OH} \geq -500 \mu\text{A}$; 输出引脚, 弱驱动
A2 类引出端输出低电平	V_{OLA2} CC	—	—	0.4	V	$I_{OL} \leq 2 \text{ mA}$; 输出引脚, 中等驱动
		—	—	0.4	V	$I_{OL} \leq 2 \text{ mA}$; 输出引脚, 强驱动
		—	—	0.4	V	$I_{OL} \leq 500 \mu\text{A}$; 输出引脚, 弱驱动

1) 实现滞后特性以避免由于内部地电压波动而引起的亚稳态和切换。但是不能保证抑制外部系统噪声引起的切换。

Table 23 F 类标准引出端

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
F 类引出端输入滞后 ¹⁾	$HYSF$ CC	$0.05 \times V_{DDP}$	—	—	V	
F 类输入漏电流	I_{OZF} CC	-6000	—	6000	nA	$V_i < V_{DDP} / 2 - 1 \text{ V}; V_i > V_{DDP} / 2 + 1 \text{ V}; V_i \geq 0 \text{ V}; V_i \leq V_{DDP} \text{ V}$
		-3000	—	3000	nA	$V_i > V_{DDP} / 2 - 1 \text{ V}; V_i < V_{DDP} / 2 + 1 \text{ V}$
Vil/ Vih, F 类引出端	V_{ILF} / V_{IHF} CC	0.6	—	—		
F 类引出端导通电阻, 弱驱动	R_{DSONW} CC	—	450	600	Ohm	$I_{OH} < -0.5 \text{ mA}; P_MOS$
		—	210	340	Ohm	$I_{OL} < 0.5 \text{ mA}; N_MOS$
F 类引出端导通电阻, 中等驱动	R_{DSONM} CC	—	—	155	Ohm	$I_{OH} < -2 \text{ mA}; P_MOS$
		—	—	110	Ohm	$I_{OL} < 2 \text{ mA}; N_MOS$
F 类引出端下降时间, CMOS 模式	t_{FF} CC	—	—	60	ns	$C_L = 50 \text{ pF}$
F 类引出端上升时间, CMOS 模式	t_{RF} CC	—	—	60	ns	$C_L = 50 \text{ pF}$
F 类引出端输入高电平, CMOS 模式	V_{IHF} SR	$0.6 \times V_{DDP}$	—	$\min(V_{DDP} + 0.3, 3.6)$	V	
F 类引出端输入低电平 pads, CMOS 模式	V_{ILF} SR	-0.3	—	$0.36 \times V_{DDP}$	V	

Table 23 F 类标准引出端 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
F 类引出端输出高电平 pads, CMOS 模式	V_{OH} CC	$V_{DDP} - 0.4$	—	—	V	$I_{OH} \geq -1.4 \text{ mA}$
		2.4	—	—	V	$I_{OH} \geq -2 \text{ mA}$
F 类引出端输出低电平 pads, CMOS 模式	V_{OL} CC	—	—	0.4	V	$I_{OL} \leq 2 \text{ mA}$

1) 实现滞后特性以避免由于内部地电压波动而引起的亚稳态和切换。但是不能保证抑制外部系统噪声引起的切换。

Table 24 I 类标准引出端

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
I 类引出端输入滞后 ¹⁾	$HYSI$ CC	$0.1 \times V_{DDP}$	—	—	V	
I 类输入漏电流	I_{OZ} CC	-1000	—	1000	nA	
低电平输入临界值和高电平输入临界值之比	V_{ILI} / V_{IHI} CC	0.6	—	—		
I 类引出端输入高电平	V_{IHI} SR	$0.6 \times V_{DDP}$	—	$\min(V_{DDP} + 0.3, 3.6)$	V	
I 类引出端输入低电平	V_{ILI} SR	-0.3	—	$0.36 \times V_{DDP}$	V	

1) 实现滞后特性以避免由于内部地电压波动而引起的亚稳态和切换。但是不能保证抑制外部系统噪声引起的切换。

Table 25 **LVDS 引出端参数**

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
F 类引出端的输出阻抗, LVDS 模式	R_O CC	40	—	140	Ohm	
下降时间, LVDS 引出端	t_{FL} CC	—	—	2	ns	终端电阻 100 $\Omega \pm 1\%$; 差分电容 = 10 pF; 输入电容 = 20 pF
上升时间, LVDS 引出端	t_{RL} CC	—	—	2	ns	终端电阻 100 $\Omega \pm 1\%$; 差分电容 = 10 pF; 输入电容 = 20 pF
引出端建立时间	t_{SET_LVD} s CC	—	—	13	μs	终端电阻 100 $\Omega \pm 1\%$
输出差分电压	V_{OD} CC	150	—	400	mV	终端电阻 100 $\Omega \pm 1\%$
输出高电压, F 类引出端, LVDS 模式	V_{OH} CC	—	—	1525	mV	终端电阻 100 $\Omega \pm 1\%$
输出低电压, F 类引出端, LVDS 模式	V_{OL} CC	875	—	—	mV	终端电阻 100 $\Omega \pm 1\%$
输出补偿电压	V_{OS} CC	1075	—	1325	mV	终端电阻 100 $\Omega \pm 1\%$

5.2.2 模数转换器 (ADCx)

模数转换器参数在如下条件下有效： $V_{DD} / V_{DDAF} = 1.235 \text{ V}$ 到 1.365 V ; $V_{DDM} = 4.75 \text{ V}$ 到 5.25 V .

Table 26 模数转换器参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
模拟电压输入的开关电容 ¹⁾	$C_{AINSW} CC$	—	9	20	pF	
模拟输入的总电容（单个模拟输入通道）	$C_{AINTOT} CC$	—	20	30	pF	
正参考电压输入的开关电容 ²⁾³⁾	$C_{AREFSW} CC$	—	15	30	pF	
参考电压输入的总电容 ²⁾	$C_{AREFTOT} CC$	—	20	40	pF	
差分非线性误差 ⁴⁾⁵⁾⁶⁾⁷⁾	$EA_{DNL} CC$	-3	—	3	LSB	ADC 精度 = 12-bit ^{8) 9)}
增益误差 ⁴⁾⁶⁾⁵⁾⁷⁾	$EA_{GAIN} CC$	-3.5	—	3.5	LSB	ADC 精度 = 12-bit ^{8) 9)}
积分非线性误差 ⁴⁾⁶⁾⁵⁾⁷⁾	$EA_{INL} CC$	-3	—	3	LSB	ADC 精度 = 12-bit ^{8) 9)}
偏置误差 ⁴⁾⁶⁾⁵⁾⁷⁾	$EA_{OFF} CC$	-4	—	4	LSB	ADC 精度 = 12-bit ^{8) 9)}
转换器时钟频率	$f_{ADC} SC$	4	—	90	MHz	$f_{ADC} = f_{FPI}$
内部 ADC 时钟频率	$f_{ADCI} CC$	1	—	18	MHz	
每次转换的充电电量	$Q_{CONV} CC$	70	85 ¹⁰⁾	100	pC	充电电流由 V_{AREF0} 提供

Table 26 模数转换器参数 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
模拟输入端的输入漏电流 ¹¹⁾	I_{OZ1} CC	-100	—	500	nA	$V_i \leq V_{DDM}$ V; $V_i \geq 0.97 \times V_{DDM}$ V; 不复用
		-100	—	600	nA	$V_i \geq 0.97 \times V_{DDM}$ V; $V_i \leq V_{DDM}$ V; 复用
		-500	—	100	nA	$V_i \leq 0.03 \times V_{DDM}$ V; $V_i \geq 0$ V; 不复用
		-600	—	100	nA	$V_i \leq 0.03 \times V_{DDM}$ V; $V_i \geq 0$ V; 复用
		-100	—	200	nA	$V_i > 0.03 \times V_{DDM}$ V; $V_i < 0.97 \times V_{DDM}$ V; 不复用
		-100	—	300	nA	$V_i < 0.97 \times V_{DDM}$ V; $V_i > 0.03 \times V_{DDM}$ V; 复用
Varef0 上的输入漏电流	I_{OZ2} CC	-2	—	2	μ A	$V_{AREF0} \leq V_{DDM}$ V
Vagnd0 上的输入漏电流	I_{OZ3} CC	-2	—	2	μ A	$V_{AGND0} \leq V_{DDM}$ V
模拟电压通路中模拟开关的导通电阻	R_{AIN} CC	—	900	1500	Ohm	
ADC 测试的导通电阻 (将 AIN7 拉低)	R_{AIN7T} CC	180	550	900	Ohm	
参考电压输入通路的电阻	R_{AREF} CC	—	500	1000	Ohm	
采样时间	t_S CC	2	—	257	T_{ADCI}	
复位后的校准时间	t_{CAL} CC	—	—	4352	cycle s	
总不可调整误差 ⁶⁾⁵⁾¹²⁾	TUE CC	-4	—	$4^{13)}$	LSB	ADC 转换精度为 12-bit

Table 26 模数转换器参数 (cont'd)

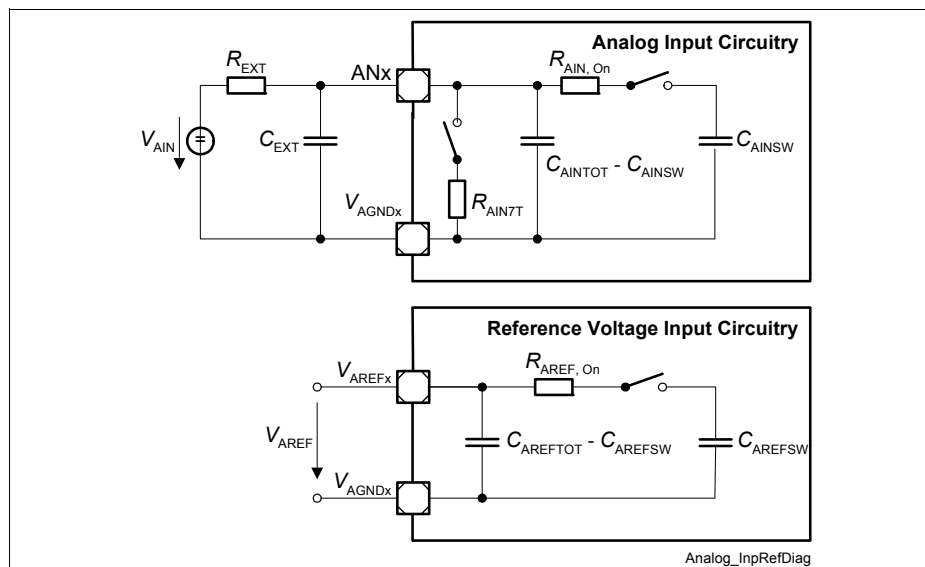
参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
模拟参考地 ²⁾	V_{AGND0} SR	$V_{SSM} - 0.05$	—	$V_{AREF0} - 1$	V	
模拟输入电压	V_{AIN} SR	V_{AGND0}	—	V_{AREF0}	V	
模拟参考电压 ²⁾	V_{AREF0} SR	$V_{AGND0} + 1$	—	$V_{DDM} + 0.05^{14)}$ 15)	V	
模拟参考电压范围 ⁶⁾⁵⁾²⁾	$V_{AREF0} - V_{AGND0}$ SR	$V_{DDM}/2$	—	$V_{DDM} + 0.05$	V	

- 1) 采样前，转换器的采样电容被预充电到 $V_{AREF}/2$ 。考虑寄生参数的因素， $AINx$ 引脚上测量的电压会与 $V_{AREF}/2$ 有偏差。
- 2) 对于 $AINx$ 引脚使用辅助参考输入源。
- 3) 这里指等效开关电容。该电容不会立即连接到参考电压源，相反，更小的电容能实现连续切换到参考电压源的目的。
- 4) DNL/INL/GAIN/OFF，四个误差之和不超过相应的总不可调整误差 TUE。
- 5) 当模拟参考电压减小到 1V 与 $V_{DDM}/2$ 之间时，ADC 转换速度和精度也会相应有所降低。
- 6) 当模拟参考电压低于电压 V_{DDM} ，但仍处于 $V_{DDM}/2$ 与 V_{DDM} 之间时，ADC 转换误差增加。当参考电压减少因数 k ($k < 1$)，TUE，DNL，INL，增益误差，偏移误差也相应增加因数 $1/k$ 。
- 7) 当模拟参考电压大于 V_{DDM} ，AD 转换器的转换错误会增加。
- 8) 对于 10 位精度的 AD 转换，非线性差分错误值需要乘以 0.25 系数。
- 9) 对于 8 位精度的 AD 转换，非线性差分错误值需要乘以 0.0625 系数。
- 10) 当转换时间为 1 μs 时， I_{AREF0} 值为 85 μA 。
- 11) 漏电流定义是个连续函数，如图 ADCx 模拟输入漏电流所示。图中数值可以看出它符合连续线性近似函数特性 - 而非阶跃函数。
- 12) 在无噪声情况下的测量结果。
- 13) 对 10 位精度的 AD 转换，TUE 为 $\pm 2LSB$ ；对 8 位精度的 AD 转换，TUE 为 $\pm 1LSB$ 。
- 14) 当超过正常工作条件（电压过压）时，正在进行的 AD 转换结果有可能不准确。
- 15) 当参考电压 V_{AREF} 升高或电压 V_{DDM} 降低， $V_{AREF} = (V_{DDM} + 0.05V \text{ to } V_{DDM} + 0.07V)$ ，ADC 转换精度降低 4LSB¹²。

Table 27 转换时间 (适用工作条件)

参数	符号	数值	单位	注
带后校准的转换时间	t_C CC	$2 \times T_{ADC} + (4 + STC + n) \times T_{ADCI}$	μs	$n = 8, 10, 12$ 中 n 为转换位数 $T_{ADC} = 1 / f_{FPI}$ $T_{ADCI} = 1 / f_{ADCI}$
不带后校准的转换时间		$2 \times T_{ADC} + (2 + STC + n) \times T_{ADCI}$		

ADC 上电校准最多需要 4352 个 f_{ADCI} 周期。


Figure 7 ADCx 输入电路

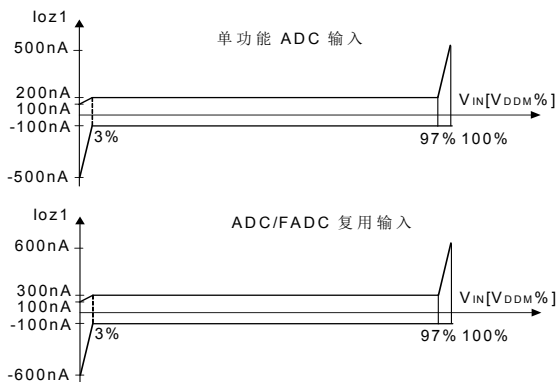


Figure 8 **ADCx 模拟输入漏电流**

5.2.3 快速模数转换器 (FADC)

Table 28 FADC 参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
VFAREF 上的输入电流	$I_{\text{FAREF CC}}$	—	—	120	μA	
VFAREF 上的输入漏电流 ¹⁾	$I_{\text{FOZ2 CC}}$	-500	—	500	nA	$V_{\text{FAREF}} \leq V_{\text{DDMF}}$ $V; V_{\text{FAREF}} \geq 0 \text{ V}$
VFAGND 上的输入漏电流	$I_{\text{FOZ3 CC}}$	-500	—	500	nA	
DNL 误差	$EF_{\text{DNL CC}}$	-1	—	1	LSB	V_{IN} 为差分测量模式
		-1	—	1	LSB	V_{IN} 为单端测量模式
增益误差	$EF_{\text{GRAD CC}}$	-5	—	5	%	V_{IN} 为差分测量模式; 增益 ≤ 4
		-5	—	5	%	V_{IN} 为单端测量模式; 增益 ≤ 4
		-6	—	6	%	V_{IN} 为差分测量模式; 增益 = 8
		-6	—	6	%	V_{IN} 为单端测量模式; 增益 = 8
INL 误差	$EF_{\text{INL CC}}$	-4	—	4	LSB	V_{IN} 为差分测量模式
		-4	—	4	LSB	V_{IN} 为单端测量模式

Table 28 FADC 参数 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
偏置误差	$EF_{\text{OFF}}^{\text{CC}}$	-90	—	90	mV	V_{IN} 为差分测量模式；无偏移校准
		-90	—	90	mV	V_{IN} 为单端测量模式；无偏移校准
		-20	—	20	mV	V_{IN} 为差分测量模式；有偏移校准 ²⁾³⁾
		-20	—	20	mV	V_{IN} 为单端测量模式；有偏移校准 ²⁾³⁾
共模电压 $V_{\text{FAREF}}/2$ 的误差	$EF_{\text{REF}}^{\text{CC}}$	-60	—	60	mV	
通道放大器截止频率	$f_{\text{COFF}}^{\text{CC}}$	2	—	—	MHz	
转换器时钟	$f_{\text{FADC}}^{\text{SC}}$	1	—	90	MHz	$f_{\text{FADC}} = f_{\text{FPI}}$
转换时间	t_{C}^{CC}	—	—	21	1 / f_{FADC}	针对 10-bit 转换
模拟电压通道的输入阻抗 (Rn, Rp)	$R_{\text{FAIN}}^{\text{CC}}$	100	—	200	kOhm	
改变 ENN 或 ENP 后通道放大器的稳定时间	$t_{\text{SET}}^{\text{CC}}$	—	—	5	μs	
模拟输入电压范围	$V_{\text{AINF}}^{\text{SR}}$	V_{FAGND}	—	V_{DDMF}	V	
模拟参考地	$V_{\text{FAGND}}^{\text{SR}}$	$V_{\text{SSAF}} - 0.05$	—	$V_{\text{SSAF}} + 0.05$	V	
模拟参考电压	$V_{\text{FAREF}}^{\text{SR}}$	3.0	—	3.63 ⁴⁾⁵⁾	V	

1) 该数值用于掉电模式。

2) 需要在每次上电时进行校准。如果器件处于连续运行状态，应该至少每周进行一次校准。

3) 偏置误差电压在全温度范围内的漂移最大为 +3LSB。

4) 允许模拟参考电压大于 4V，其脉冲宽度应该小于 100 μs，累加脉冲宽度不能超过 1 小时。

电气参数直流参数

5) 如果超出正常的转换条件（电压过高），正在进行的 AD 转换结果有可能不准确。

每次上电时都需要进行校准，一般在所有的电源电压和参考电压稳定之后进行。

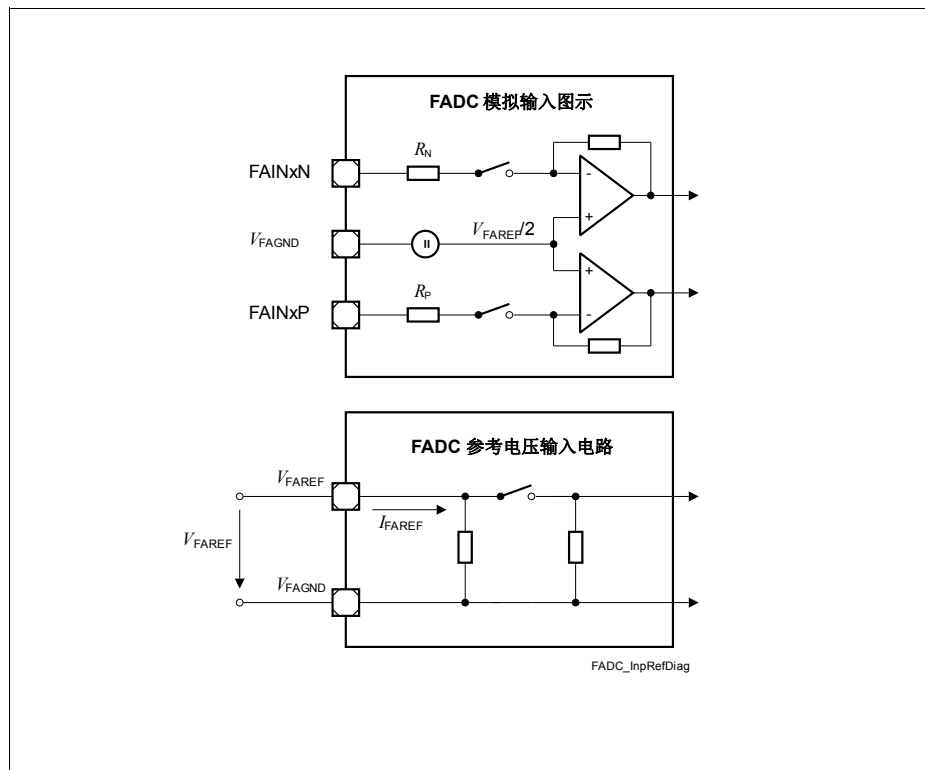


Figure 9 FADC 输入电路

5.2.4 振荡器引脚

Table 29 OSC_XTAL 参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
XTAL1 输入电流	I_{IX1} CC	-25	—	25	μA	$V_{IN} < V_{DDOSC3}$; $V_{IN} > 0\text{ V}$
外部输入时钟频率	f_{OSC} SR	4	—	40	MHz	选择外部直接输入时钟模式
		8	—	25	MHz	选择外部晶振模式
振荡器稳定时间 ¹⁾	t_{OSCS} CC	—	—	10	ms	
XTAL1 的输入高电压 ²⁾	V_{IHx} SR	$0.7 \times V_{DDOSC3}$	—	$V_{DDOSC3} + 0.5$	V	
XTAL1 的输入低电压	V_{ILx} SR	-0.5	—	$0.3 \times V_{DDOSC3}$	V	
XTAL1 引出端的输入滞后 ³⁾	$HYSAX$ CC	—	—	200	mV	

1) t_{OSCS} 是指从 V_{DDOSC3} 达到 3.13V 开始, 直到 XTAL1 引脚上的振荡幅度达到 $0.3 \times V_{DDOSC3}$ 。必须对外部振荡器电路进行优化, 负电阻的选择请结合晶振厂商提供的参考和推荐值。

2) 当 XTAL1 引脚外接外部晶振时, 电压峰 - 峰值必须达到 $0.4 \times V_{DDOSC3}$ 。

3) 实现滞后特性以避免由于内部地电压波动而引起的亚稳态和切换。但是不能保证抑制外部系统噪声引起的切换。

Note: 强烈建议对目标系统的振荡裕度 (负阻) 进行测量, 用以确定振荡器工作的最优参数。请参考晶体或陶瓷谐振器厂商提供的限值。

5.2.5 温度传感器

Table 30 裸片温度传感器（DTS）参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
测量时间	t_M CC	–	–	100	μs	
温度传感器测量范围	T_{SR} SR	-40	–	150	°C	
传感器精度（校准后）	T_{TSA} CC	-6	–	6	°C	
重新启动后的稳定时间	t_{TSST} SR	–	–	20	μs	

下面的公式用以由 DTSSTAT 寄存器的 RESULT 位域值计算由 DTS 测量的温度值（单位：°C）

(1)

$$T_j = \frac{DTSSTAT_{RESULT} - 596}{2,03}$$

5.2.6 供电电流

下面定义的总电源供电电流由漏电流和切换电流组成。

实际应用中的相关值取决于用户的系统工作条件（比如热连接器或者用户实际系统中的配置），一般都低于下面两个表中给出的值。

下表中参数的适用工作条件为：

$V_{DD}=1.365\text{ V}$, $V_{DDP}=3.47\text{ V}$, $V_{DDM}=5.1\text{ V}$, $f_{LMB}=180 / 133\text{ MHz}$, $T_J=150\text{ °C}$

实际的电源模式定义为如下工作条件：

- $T_J=150\text{ °C}$
- $f_{LMB}=f_{PCP}=f_{CPU}=180 / 133\text{ MHz}$
- $f_{FPI}=90 / 66.5\text{ MHz}$
- $V_{DD}=V_{DDOSC}=V_{DDAF}=1.326\text{ V}$
- $V_{DDP}=V_{DDOSC3}=V_{DDFL3}=V_{DDMF}=3.366\text{ V}$
- $V_{DDM}=5.1\text{ V}$

最大电源模式定义为如下工作条件：

- $T_J=150\text{ °C}$
- $f_{LMB}=f_{PCP}=f_{CPU}=180 / 133\text{ MHz}$
- $f_{FPI}=90 / 66.5\text{ MHz}$
- $V_{DD}=V_{DDOSC}=V_{DDAF}=1.365\text{ V}$
- $V_{DDP}=V_{DDOSC3}=V_{DDFL3}=V_{DDMF}=3.47\text{ V}$
- $V_{DDM}=5.5\text{ V}$

Table 31 电源参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
内核正常工作模式下的供给电流 ¹⁾²⁾	$I_{DD\ CC}$	—	—	486 ³⁾	mA	电源模式 = max ; SAK-TC1782F-256F133HR SAK-TC1782F-256F133HL SAK-TC1782N-256F133HR SAK-TC1782N-256F133HL SAK-TC1182N-256F133HR SAK-TC1182N-256F133HL
		—	—	550 ³⁾	mA	电源模式 = max ; SAK-TC1782F320F180HR SAK-TC1782F320F180HL SAK-TC1782N-320F180HR SAK-TC1782N-320F180HL SAK-TC1182N-320F180HR SAK-TC1182N-320F180HL
		—	—	370 ⁴⁾	mA	电源模式 = realistic ; SAK-TC1782F-256F133HR SAK-TC1782F-256F133HL SAK-TC1782N-256F133HR SAK-TC1782N-256F133HL SAK-TC1182N-256F133HR SAK-TC1182N-256F133HL; $V_{DD}=1.326\ V$
		—	—	398 ⁴⁾	mA	电源模式 = realistic ; SAK-TC1782F320F180HR SAK-TC1782F320F180HL SAK-TC1782N-320F180HR SAK-TC1782N-320F180HL SAK-TC1182N-320F180HR SAK-TC1182N-320F180HL; $V_{DD}=1.326\ V$
	$I_{DD_PORS\ T\ CC}$	—	—	300	mA	
当 PORST 为低时的电流 I_{DD}		—	—	291	mA	$V_{DD}=1.326\ V$
模拟量内核电流	$I_{DDAF\ CC}$	—	—	23	mA	
振荡器内核电流	$I_{DDOSC\ CC}$	—	—	4	mA	

Table 31 电源参数 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
当 PORST 为低时的电流 I_{DDP}	I_{DDP_PORST} CC	—	—	2.5	mA	
3.3V 振荡器电源电流	I_{DDOSC3} CC	—	—	15	mA	
在连续擦除 – 验证 Flash 时的 Flash 电流 ⁵⁾	I_{DDFL3E} CC	—	—	61 ⁶⁾	mA	
在连续读 Flash 时的 Flash 电流 ⁵⁾	I_{DDFL3R} CC	—	—	56	mA	
FADC 模拟电源电流, 3.3V	I_{DDMF} CC	—	—	15	mA	
与温度计算有关的引出端电流, 引出端不工作, 且 LVDS 关断	I_{DDP} CC	—	—	15	mA	
编程及擦除 flash 时的电流 I_{DDP} ⁵⁾⁷⁾	I_{DDP_FP} CC	—	—	55	mA	
LVDS 引出端对的电流功耗	I_{LVDS} CC	—	—	24	mA	所有 LVDS 引出端电流总和
ADC 5V 电源电流	I_{DDM} CC	—	—	2	mA	

Table 31 电源参数 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
最大电源功耗	PD CC	—	—	1143	mW	最大电源模式； SAK-TC1782F-256F133HR SAK-TC1782F-256F133HL SAK-TC1782N-256F133HR SAK-TC1782N-256F133HL SAK-TC1182N-256F133HR SAK-TC1182N-256F 133HL
		—	—	1231	mW	最大电源模式； SAK-TC1782F320F180HR SAK-TC1782F320F180HL SAK-TC1782N-320F180HR SAK-TC1782N-320F180HL SAK-TC1182N-320F180HR SAK-TC1182N-320F180HL
		—	—	957	mW	实际电源模式； SAK-TC1782F-256F133HR SAK-TC1782F-256F133HL SAK-TC1782N-256F133HR SAK-TC1782N-256F133HL SAK-TC1182N-256F133HR SAK-TC1182N-256F 133HL; $V_{DD}=1.326\text{ V}$
		—	—	994	mW	实际电源模式； SAK-TC1782F320F180HR SAK-TC1782F320F180HL SAK-TC1782N-320F180HR SAK-TC1782N-320F180HL SAK-TC1182N-320F180HR SAK-TC1182N- 320F180HL; $V_{DD}=1.326\text{ V}$

- 1) 英飞凌 MCU 电源回路。CPU 和 PCP 运行，所有外设处于工作状态。大部分实际应用系统的电源功耗都低于这个值，但也需要独立评估。
- 2) 该电流包含 E-Ray 模块电源功耗，包含 PCP 电源功耗。
- 3) 维持 T_J 不变，当 f_{CPU} 减少 50MHz 时， I_{DD} 一般会减少 68mA。
- 4) 维持 T_J 不变，当 f_{CPU} 减少 50MHz 时， I_{DD} 一般会减少 30mA。
- 5) 这里主要考虑电源功耗，没有进行散热方面的考虑。
- 6) 当擦除程序存储器 PF0 时，内部 flash 阵列加载效应可能会产生最大 15 mA，最长 5 ms 的瞬间电流毛刺。
- 7) 由 GPIO 工作引起的电流依赖于用户的具体应用，需要单独考虑进来。

5.2.6.1 计算 1.3 V 电流

1.3 V 电源通路的电流包含如下两部分：

- 静态电流
- 动态电流

静态电流和设备的温度 T_J 有关，动态电流取决于设置的时钟频率和运行的应用软件。把这两部分加起来就可以等到整个回路的电流。

(2)

$$I_0 = 2,20897 \left[\frac{\text{mA}}{\text{C}} \right] \times e^{0,02696 \times T_J[\text{C}]}$$

(3)

$$I_0 = 10,68 \left[\frac{\text{mA}}{\text{C}} \right] \times e^{0,02203 \times T_J[\text{C}]}$$

公式 2 定义的是典型静态电流，公式 3 定义的是最大静态电流。这两个公式的适用条件都是 $V_{DD} = 1.326 \text{ V}$ 时。

在应用程序模式下，将 $f_{LMB} = 2 * f_{FPI}$ 代入下式，动态电流由公式 4 计算得出：

(4)

$$I_{Dym} = 0,6 \left[\frac{\text{mA}}{\text{MHz}} \right] \times f_{CPU}[\text{MHz}]$$

由此得出总电源电流

(5)

$$I_{DD} = I_0 + I_{DYM}$$

5.3 交流参数

所有交流参数的定义都是基于温度补偿不使能的前提下。这就是说，将引出端保持在最大能力下。

5.3.1 测试波形

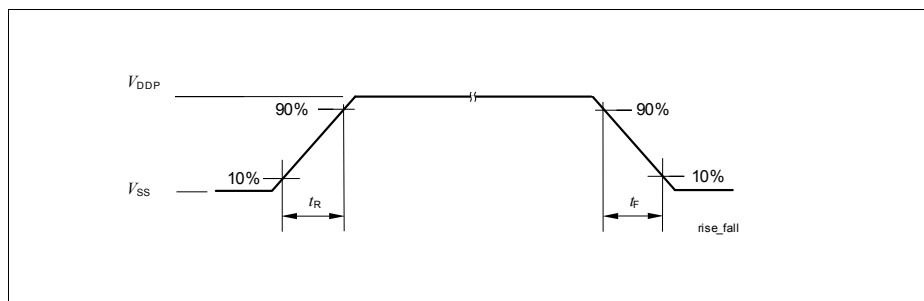


Figure 10 上升 / 下降时间参数

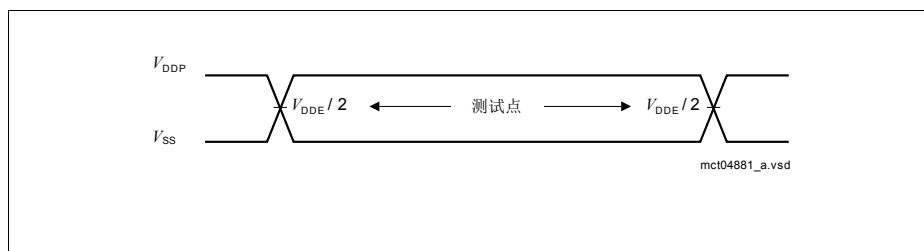


Figure 11 测试波形，输出延时

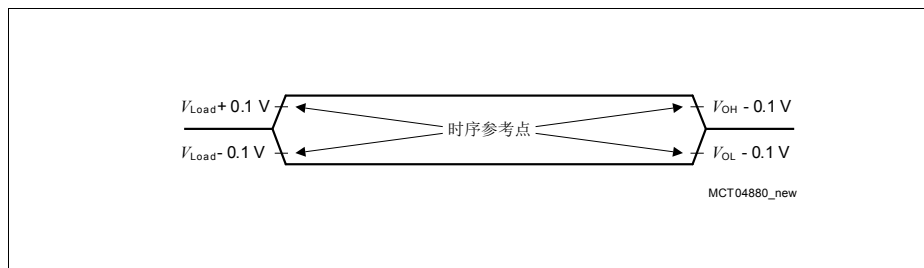


Figure 12 测试波形，输出高阻

5.3.2 电源时序

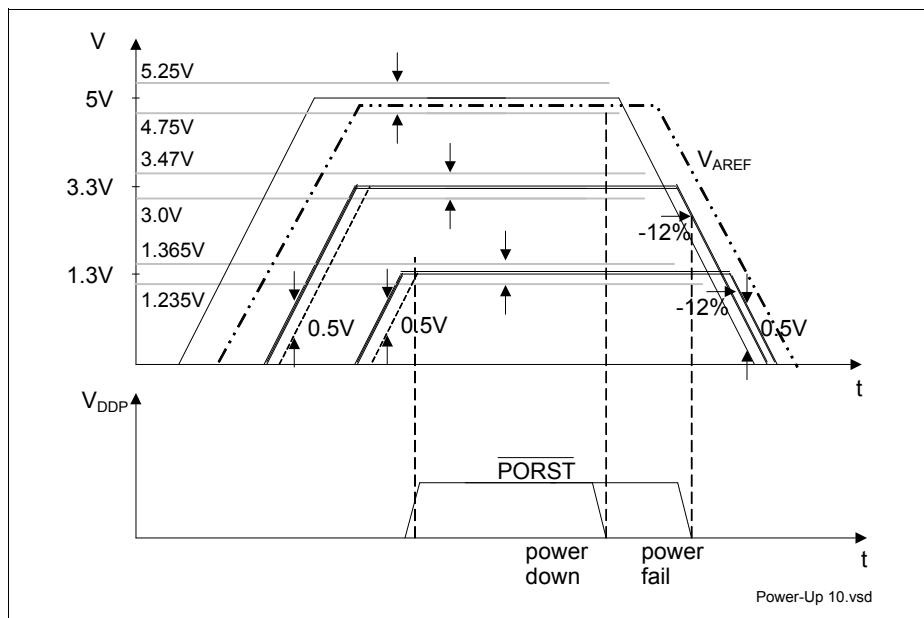


Figure 13 5 V / 3.3 V / 1.3 V 电源 – 上升 / 下降时序

下列规则适用于电源 – 上升 / 下降时序：

- 系统中所有的地 (V_{SS}) 必须在外部连接到一个单独的星形点。对于 DC 电路元器件，所有的地在内部直接连接在一起。
 - 为了避免增加 latch-up risk 风险，在任何时候，电压高的电源都要高于电压低的电源 - 0.5 V，即满足下式： $V_{DD5} > V_{DD3.3} - 0.5 \text{ V}$ ； $V_{DD5} > V_{DD1.3} - 0.5 \text{ V}$ ； $V_{DD3.3} > V_{DD1.3} - 0.5 \text{ V}$ ，见 [Figure 13](#)。
 - 如果 I/O 口电流满足如下条件，latch-up 风险可以达到最小：
 - 单独一个引脚组不超过 20 mA
 - 所有的 I/O 引脚加起来不超过 100 mA
 - 另外，在无效模式下，在上电之前或者掉电之后：每个引脚会有 1 mA 的电流（所有电源电压为 0 V）
 - 在上电和掉电过程中，相同电压值 (3.3 V, 1.3 V, 和 5 V) 不同名的电源引脚（如 V_{DDP} , V_{DDL3} ...），它们在芯片内部是通过二极管连接的，这些引脚间的电压差值必须小于 100 mV。另一方面，同名的电源引脚（比如所有的 V_{DDP} 引脚），内部是直接连接在一起的。推荐同一电压值的电源引脚由同一个电源驱动。
1. 在正常工作情况下，PORST 信号在所有电源和振荡器进入稳定工作状态后，会变为无效。

电气参数交流参数

2. 在正常工作范围内,当电源正常断电时, $\overline{\text{PORST}}$ 引脚会被激活,芯片电源会被切断。要注意保证所有的 **Flash** 擦写操作完成。
3. 当电源掉电时, $\overline{\text{PORST}}$ 信号最迟会在 3.3 V 或 1.3 V 电源下降了正常电压值的 12% 时被激活。如果电源掉电, $\overline{\text{PORST}}$ 引脚被激活时,正处于 **Flash** 写操作,在这种情况下,只有电源掉电时正在被写的目标地址存储行的内容具有不确定性。为了确保完整的掉电行为, $\overline{\text{PORST}}$ 信号应该尽量在电压一超出正常工作范围时就被激活。
4. 如果电源供给中有任何一个电压失压,所有电源引脚应该断电,同时遵从上述第 2 条和第 4 条。
5. 虽然不是必须的,但是还是建议所有电源的上电和掉电尽量同步控制。
6. 另外,关于模数转换器参考电压 V_{AREF} :
 - V_{AREF} 必须和 V_{DDM} 在同一时刻上电,或者晚于 V_{DDM} 上电,而且
 - V_{AREF} 必须早于 V_{DDM} 断电,或者最终满足这个条件: $V_{\text{AREF}} < V_{\text{DDM}} + 0.5 \text{ V}$ 。这是为了防止 V_{AREF} 滤波电容通过 **ESD** 二极管和 V_{DDM} 电源电路放电。如果通过 **ESD** 二极管给参考电容放电,放电电流必须小于 5 mA。

5.3.3 电源，引出端和复位时序

Table 32 复位时序参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
应用程序复位加载时间 ¹⁾²⁾	$t_{B\ CC}$	150	—	810	μs	SAK-TC1782F-256F133HR SAK-TC1782F-256F133HL SAK-TC1782N-256F133HR SAK-TC1782N-256F133HL SAK-TC1182N-256F133HR SAK-TC1182N-256F133HL
		150	—	665	μs	SAK-TC1782F320F180HR SAK-TC1782F320F180HL SAK-TC1782N-320F180HR SAK-TC1782N-320F180HL SAK-TC1182N-320F180HR SAK-TC1182N-320F180HL
电源上电复位加载时间 ³⁾⁴⁾	$t_{BP\ CC}$	—	—	2.5	ms	
HWCFG 引脚保持时间，从 ESR0 上升沿	$t_{HDH\ SR}$	16 / f_{FPI}	—	—	ns	
HWCFG 引脚建立时间，从 ESR0 上升沿	$t_{HDS\ CC}$	0	—	—	ns	
在 ESR0 复位有效之后的端口无效时间	$t_{PI\ CC}$	—	—	8 / f_{FPI}	ns	

Table 32 复位时序参数 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
在 PORST 复位有效之后的端口无效时间 ⁵⁾	t_{PIP} CC	—	—	150	ns	
在电源电压稳定到工作电压后最小的 PORST 有效时间	t_{POA} CC	10	—	—	ms	
$\overline{TESTMODE}$ / $\overline{TRST}$ 保持时间, 从 PORST 上升沿开始	t_{POH} SR	100	—	—	ns	
PORST 上升时间	t_{POR} SR	—	—	50	ms	
$\overline{TESTMODE}$ / $\overline{TRST}$ 建立时间到 PORST 上升沿	t_{POS} SR	0	—	—	ns	

1) 这里的加载持续时间是指从内部应用程序复位的上升沿到第一条用户指令进入 CPU 流水线开始进行处理的时钟周期之间的间隔时间。

2) 这里给出的时间包含配置寄存器 SCU_RSTCNTCON.RELSA = 0x05BE 的内部复位扩展时间。

3) 这里的加载持续时间是指从 $\overline{PORST}$ 信号的上升沿到第一条用户指令进入 CPU 流水线开始进行处理的时钟周期之间的间隔时间。

4) 这里给出的时间包含用于系统和应用程序复位的内部复位扩展时间, 系统和应用程序的复位通过 ESR0 引脚可见。

5) 该参数包含 $\overline{PORST}$ 引出端的模拟信号毛刺滤波器延迟时间。

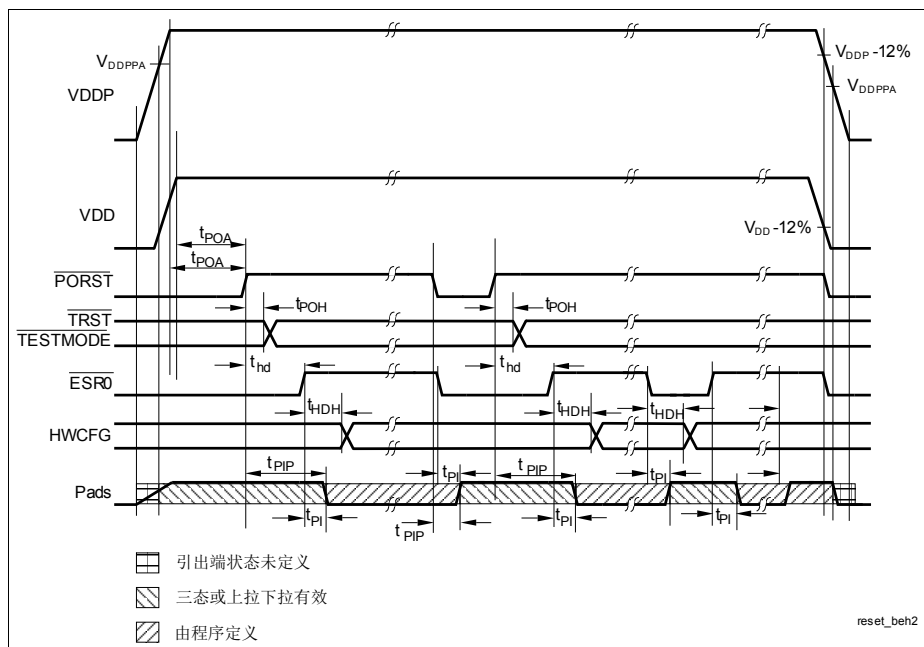


Figure 14 电源，引出端和复位时序

5.3.4 锁相环 (PLL)

Table 33 锁相环 _ 系统时钟参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
累积抖动	D_p CC	-7	—	7	ns	
锁相环基准频率	$f_{PLLBASE}$ CC	50	200	320	MHz	
压控振荡器输入频率	f_{REF} CC	8	—	16	MHz	
压控振荡器频率范围	f_{VCO} CC	400	—	720	MHz	
锁相环相位检测时间	t_L CC	50	—	200	μs	$N > 32$
		100	—	400	μs	$N \leq 32$

锁相环操作

当使能并配置好锁相环，锁相环 VCO 时钟频率 f_{VCO} (以及本地存储器总线 LMB 时钟频率 f_{LMB}) 会持续调整直到与选定的频率匹配。PLL 会不断调整输出频率以匹配输入频率 (从晶振或者外部时钟源)，这样可以限制累积抖动。这就意味着多个时钟周期的相对误差会小于单个时钟周期的误差。

对于采用等待状态的总线周期，定时器操作，串行接口等，限制累积抖动都是尤其重要的。对于所有频率比较低，周期比较长的操作 (比如脉冲队列产生或测量，低的波特率，等等)，由于 PLL 产生的误差是可以忽略不计的。

下面两个公式定义了最大累积抖动 D_m 近似值的绝对值，单位 [ns]，它和三个参数相关：比例因子 K2, LMB 的时钟频率 f_{LMB} ，单位为 [MHz]，连续的 f_{LMB} 时钟周期个数 m 。

$$\text{for } (K2 \leq 100) \quad \text{and} \quad (m \leq (f_{LMB}[\text{MHz}]) / 2)$$

$$|D_m[\text{ns}]| = \left(\frac{740}{K2 \times f_{LMB}[\text{MHz}]} + 5 \right) \times \left(\frac{(1 - 0,01 \times K2) \times (m - 1)}{0,5 \times f_{LMB}[\text{MHz}] - 1} + 0,01 \times K2 \right) \quad (6)$$

$$\text{else} \quad |D_m[\text{ns}]| = \frac{740}{K2 \times f_{LMB}[\text{MHz}]} + 5 \quad (7)$$

提高时钟周期数 m 会使最大抖动线性增长到一个和 m 相关的数值，这个数值也跟 PLL 的比例因子 K2 相关。除了 m 以外，最大累积抖动维持在一个定值。另外，LMB 总线时钟频率 f_{LMB} 越低，最大累积抖动的绝对值会越大。

Note: 当引脚处于最大驱动能力和陡峭边沿时，如果每个引脚上的负载电容 C_L 不超过 20pF，则给定的 PLL 抖动有效。

电气参数交流参数

Note: 在 V_{DDOSC3} 引脚和 V_{SSOSC} 引脚之间测量引出端电源电压的峰-峰值噪声，当噪声频率低于 300KHz 时，其最大峰-峰值限制在 $V_{PP} = 100 \text{ mV}$ 以内；当噪声频率高于 300KHz 时，其最大峰-峰值限制在 $V_{PP} = 40 \text{ mV}$ 以内。

在 V_{DDOSC} 引脚和 V_{SSOSC} 引脚之间测量引出端电源电压的峰-峰值噪声，当噪声频率低于 300KHz 时，其最大峰-峰值限制在 $V_{PP} = 100 \text{ mV}$ 以内；当噪声频率高于 300KHz 时，其最大峰-峰值限制在 $V_{PP} = 40 \text{ mV}$ 以内。

通过将电源引脚尽可能靠近电源电压以及使用 PCB 电源层和接地层来实现。

振荡器看门狗 (OSC_WDT)

通过 SCU_OSCCON.OSCVAL 位域来选择期望输入频率。OSC_WDT 用于检测频率过低和过高。

监控频率 f_{OSCREF} 由 f_{OSC} 计算得出。

(8)

$$f_{OSCREF} = \frac{f_{OSC}}{OSCVAL + 1}$$

通过适当选择分频值 SCU_OSCCON.OSCVAL 使 f_{OSCREF} 等于 2.5 MHz。

Note: 确保 f_{OSCREF} 介于 2 MHz 到 3 MHz 之间，并且尽量接近 2.5 MHz。

当监控频率小于 1.25 MHz 时，监控频率过低；大于 7.5 MHz 时，监控频率过高。由此可以推导出如下两个条件公式：

- 过低: $f_{OSC} < 1.25 \text{ MHz} \times (\text{SCU_OSCCON.OSCVAL} + 1)$
- 过高: $f_{OSC} > 7.5 \text{ MHz} \times (\text{SCU_OSCCON.OSCVAL} + 1)$

Note: 上述边界的精度为 30%。

5.3.5 ERAY 锁相环 (ERAY_PLL)

Table 34 PLL_ERAY 参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
SYSClk 引脚上的累积抖动	$D_{PP} \text{ CC}$	-0.8	—	0.8	ns	
累积抖动	$D_P \text{ CC}$	-0.5	—	0.5	ns	
ERAY PLL 基准频率	$f_{PLLBASE_ERAY} \text{ CC}$	50	250	360	MHz	
ERAY PLL 压控振荡器输入频率	$f_{REF} \text{ CC}$	20	—	40	MHz	
ERAY PLL 压控振荡器频率范围	$f_{VCO_ERAY} \text{ CC}$	450	—	500	MHz	
PLL 相位检测时间	$t_L \text{ CC}$	50	—	200	μs	

Note: 当引脚处于最大驱动能力和陡峭边沿时，如果每个引脚上的负载电容 C_L 不超过 20pF，则给定的 PLL 抖动值有效。

Note: 在 V_{DDOSC3} 引脚和 V_{SSOSC} 引脚之间测量引出端电源电压的峰-峰值噪声，当噪声频率低于 300KHz 时，其最大峰-峰值限制在 $V_{PP} = 100 \text{ mV}$ 以内；当噪声频率高于 300KHz 时，其最大峰-峰值限制在 $V_{PP} = 40 \text{ mV}$ 以内。
通过将电源引脚尽可能靠近电源电压以及使用 PCB 电源层和接地层来实现。

5.3.6 JTAG 接口时序

下列参数用于通过 JTAG 接口进行的调试操作。JTAG 模块完全符合 IEEE1149.1-2000 标准。

Note: 这些参数未经产品出厂测试，但已经过设计和 / 或特性验证。

Table 35 JTAG 接口时序参数
(适用的工作条件)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
TCK 时钟周期	t_1 SR	25	—	—	ns	—
TCK 高电平时间	t_2 SR	10	—	—	ns	—
TCK 低电平时间	t_3 SR	10	—	—	ns	—
TCK 时钟上升时间	t_4 SR	—	—	4	ns	—
TCK 时钟下降时间	t_5 SR	—	—	4	ns	—
从 TDI/TMS 建立到 TCK 上升沿的时间	t_6 SR	6	—	—	ns	—
TCK 上升沿之后 TDI/TMS 的保持时间	t_7 SR	6	—	—	ns	—
TCK 下降沿 ¹⁾ 之后 TDO 的有效时间 (传输延迟)	t_8 CC	—	—	13	ns	$C_L = 50$ pF
	t_8 CC	3	—	—	ns	$C_L = 20$ pF
TCK 下降沿 ¹⁾ 之后 TDO 的保持时间	t_{18} CC	2	—	—	ns	
TCK 下降沿 ¹⁾²⁾ 之后 TDO 从高阻到有效的时间	t_9 CC	—	—	14	ns	$C_L = 50$ pF
TCK 下降沿 ¹⁾ 之后 TDO 从有效到高阻的时间	t_{10} CC	—	—	13.5	ns	$C_L = 50$ pF

1) TCK 下降沿用于产生 TDO 时序。

2) TDO 的建立时间由 TCK 周期时间隐含给定。

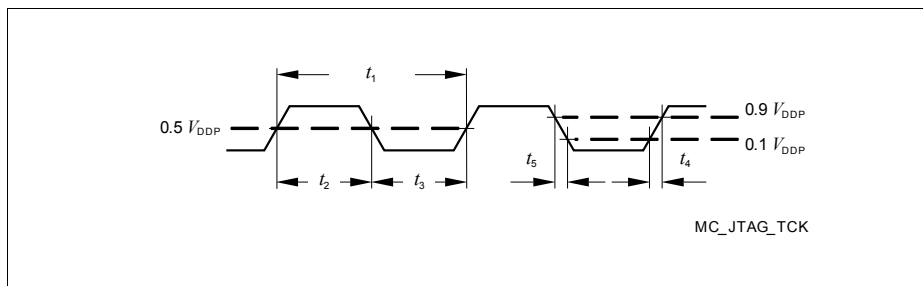


Figure 15 测试时钟时序 (TCK)

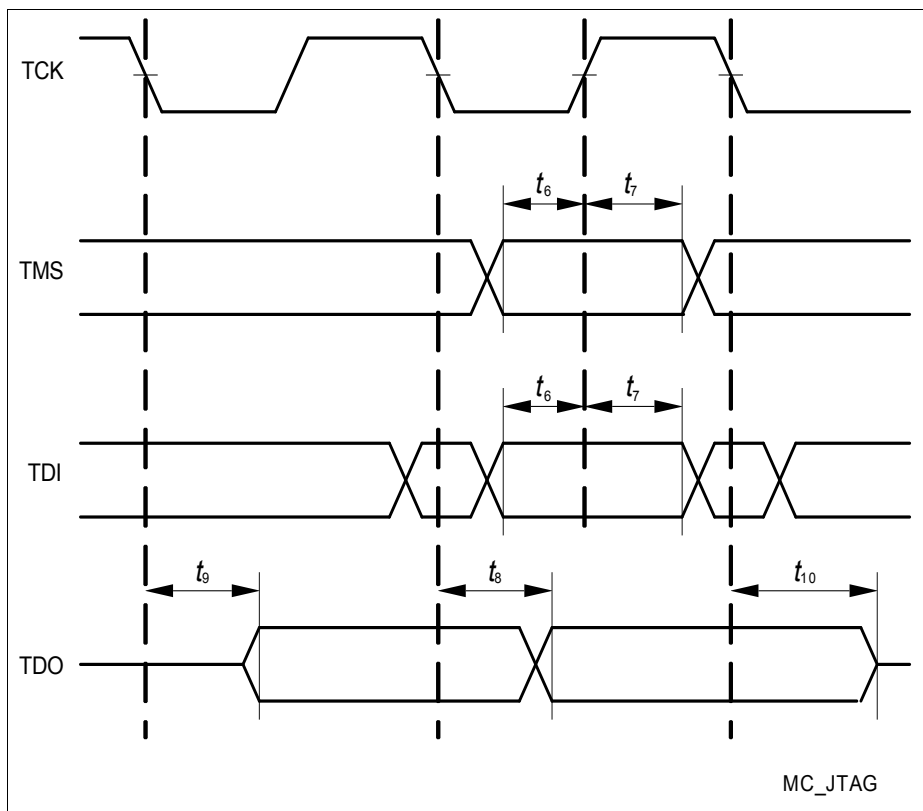


Figure 16 JTAG 时序

5.3.7 DAP 接口时序

下列参数用于通过 DAP 接口进行的调试操作。

Note: 这些参数未经产品出厂测试，但已经过设计和 / 或特性验证。

Table 36 DAP 参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
DAP0 时钟周期 ¹⁾	t_{TCK} SR	12.5	—	—	ns	
DAP0 高电平时间	t_{12} SR	4	—	—	ns	
DAP0 低电平时间 ¹⁾	t_{13} SR	4	—	—	ns	
DAP0 时钟上升时间	t_{14} SR	—	—	2	ns	
DAP0 时钟下降时间	t_{15} SR	—	—	2	ns	
从 DAP1 建立到 DAP0 上升沿时间	t_{16} SR	6.0	—	—	ns	
在 DAP0 上升沿之后 DAP1 的保持时间	t_{17} SR	6.0	—	—	ns	
每个 DAP0 时钟周期 ²⁾ 内 DAP1 的有效时间	t_{19} CC	8	—	—	ns	$C_L = 20 \text{ pF};$ $f = 80 \text{ MHz}$
		10	—	—	ns	$C_L = 50 \text{ pF};$ $f = 40 \text{ MHz}$

1) 主动空闲状态下的时钟速率限制参见 DAP 章节。

2) 通过分析同步通信应答，主机必须找到一个合适的采样点。

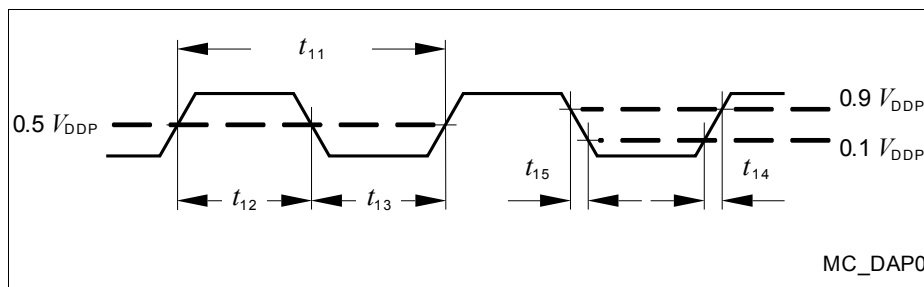


Figure 17 测试时钟时序 (DAP0)

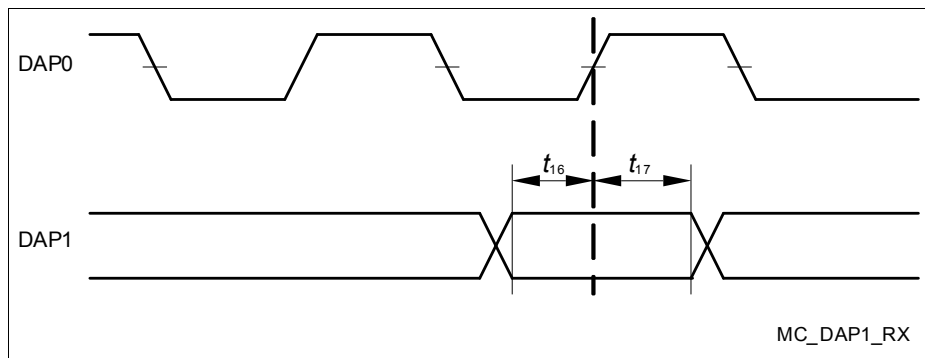


Figure 18 主机到器件的 DAP 时序

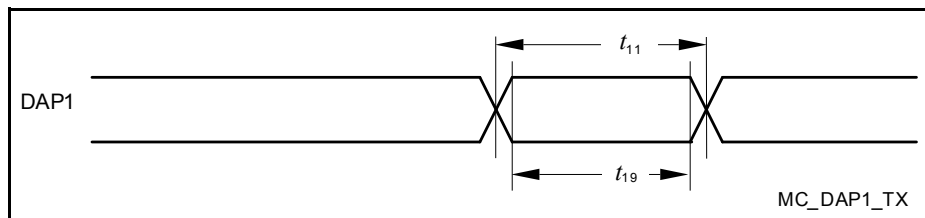


Figure 19 器件到主机的 DAP 时序

5.3.8 外设时序

Note: 外设时序参数未经产品出厂测试，但已经过设计 / 特性验证。

5.3.8.1 Micro Link 接口 (MLI) 时序

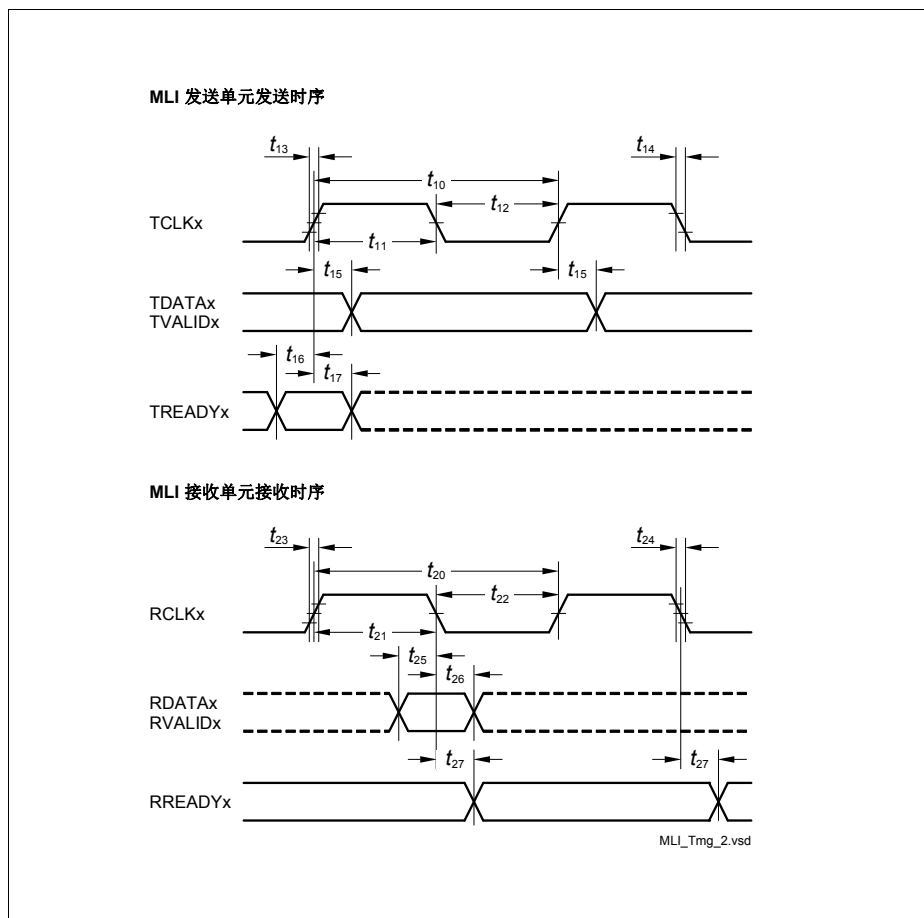


Figure 20 MLI 接口时序

Note: $RREADYx$ 在接收单元的输入时钟域内产生。 $TREADYx$ 信号的接收与 $TCLKx$ 异步。

当 C_L 为 50pF 典型值时下列 MLI 参数有效

Table 37 **MLI 接收单元**

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
RCLK 时钟周期	t_{20} SR	$1 / f_{FPI}$	—	—	ns	
RCLK 高电平时间 ¹⁾²⁾	t_{21} SR	—	$0.5 \times t_{20}$	—	ns	
RCLK 低电平时间 ¹⁾²⁾	t_{22} SR	—	$0.5 \times t_{20}$	—	ns	
RCLK 上升时间 ³⁾	t_{23} SR	—	—	4	ns	
RCLK 下降时间 ³⁾	t_{24} SR	—	—	4	ns	
在 RCLK 下降沿之前 RDATA/RVALID 的建立时间	t_{25} SR	4.2	—	—	ns	
在 RCLK 下降沿之后 RDATA/RVALID 的保持时间	t_{26} CC	2.2	—	—	ns	
RREADY 输出延迟时间	t_{27} CC	0	—	16	ns	

1) 该参数满足公式： $t_{21} + t_{22} = t_{20}$ 。

2) 该参数的最小值和最大值可以在它的典型值的基础上考虑另一个接收器的时序参数得出。

3) RCLK 的最大输入上升/下降时间是 $f_{SYS}=90$ MHz 时的最佳参数。慢的输入的上升/下降时间，可以用在较长时钟周期的 RCLK 上，用以减小电磁干扰。

Table 38 **MLI 发送单元**

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
TCLK 时钟周期	t_{10} CC	$2 \times 1 / f_{FPI}$	—	—	ns	
TCLK 高电平时间 ¹⁾²⁾	t_{11} CC	$0.45 \times t_{10}$	$0.5 \times t_{10}$	$0.55 \times t_{10}$	ns	
TCLK 低电平时间 ¹⁾²⁾	t_{12} CC	$0.45 \times t_{10}$	$0.5 \times t_{10}$	$0.55 \times t_{10}$	ns	
TCLK 上升时间	t_{13} CC	—	—	$0.3 \times t_{10}^{(3)}$	ns	
TCLK 下降时间	t_{14} CC	—	—	$0.3 \times t_{10}^{(3)}$	ns	

Table 38 MLI 发送单元 (cont'd)

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
TDATA/TVALID 输出延迟时间	t_{15} CC	-3	—	4.4	ns	
在 TCLK 上升沿之前 TREADY 的建立时间	t_{16} SR	18	—	—	ns	
TCLK上升沿之后TREADY的保持时间	t_{17} SR	-4	—	—	ns	

1) 该参数满足公式： $t_{11} + t_{12} = t_{10}$ 。

2) TCLK 的低电平/高电平的最小/最大时间 t_{11}/t_{12} 包含 fSYS 的 PLL 抖动。 t_{11}/t_{12} 还需要考虑小数分频器的设置。

3) 对于高速 MLI 接口, TCLK 信号推荐选用强驱动, 陡变边沿 (A2 类引出端)。

5.3.8.2 Micro Second Channel (MSC) 接口时序

MSC 参数在 C_L 为 50pF (典型值) 时有效。

Table 39 MSC 参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
FCLP 时钟周期 ¹⁾²⁾	t_{40} CC	$2 \times T_{MSC}^{3)}$	—	—	ns	
从 FCLP ⁴⁾ 上升沿之后 SOP ⁴⁾ / ENx 的输出延迟	t_{45} CC	-2	—	5	ns	ENx 为强驱动、(负) 陡变边沿
		-2	—	10	ns	ENx 为强驱动、(负) 渐变边沿
		0	—	21	ns	ENx 为强驱动、(负) 缓变边沿
SDI 位时间	t_{46} CC	$8 \times T_{MSC}$	—	—	ns	
SDI 上升时间	t_{48} SR	—	—	100	ns	
SDI 下降时间	t_{49} SR	—	—	100	ns	

1) FCLP 信号的上升 / 下降时间只跟引出端的上升 / 下降时间相关。

2) FCLP 信号的高电平时间、低电平时间的最小值为 $1 \times T_{MSC}$

3) $T_{MSC} = T_{SYS} = 1 / f_{SYS}$ 。

4) SOP / FCLP 选用 LVDS 或者 CMOS 强驱动、非缓变边沿方式。

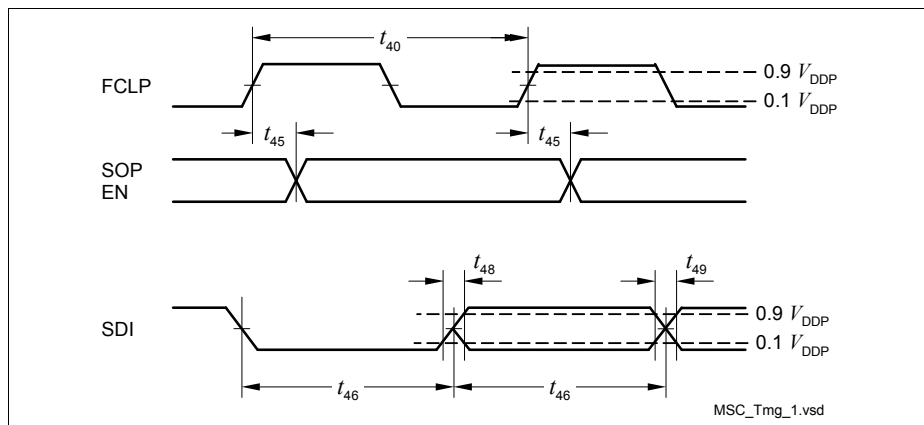


Figure 21 MSC 接口时序

Note: SOP 引脚上的数据需要在目标器件的 FCLP 的下降沿时采样。

5.3.8.3 同步串行控制器 (SSC) 主机 / 从机模式时序

当 C_L 为 50pF (典型值) 时 SSC 参数有效。

Table 40 SSC 参数

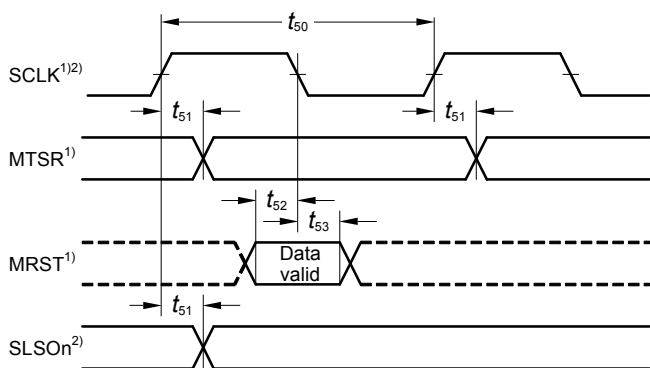
参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
SCLK 时钟周期 ¹⁾²⁾³⁾	t_{50} CC	$2 \times 1 / f_{FPI}$	—	—	ns	
从 SCLK 上升沿开始 MTSR/SLSOx 的延迟时间	t_{51} CC	0	—	8	ns	
从 MRST 建立到 SCLK 下降沿的时间 ³⁾	t_{52} SR	16.5	—	—	ns	
SCLK 下降沿之后 MRST 的保持时间	t_{53} SR	0	—	—	ns	
SCLK 输入时钟周期 ¹⁾³⁾	t_{54} SR	$4 \times 1 / f_{FPI}$	—	—	ns	
SCLK 输入时钟占空比	t_{55} — t_{54} SR	45	—	55	%	
MTSR 建立到 SCLK 锁存沿的时间 ³⁾⁴⁾	t_{56} CC	$1 / f_{FPI}$	—	—	ns	
SCLK 锁存沿之后 MTSR 的保持时间	t_{57} CC	$1 / f_{FPI} + 5$	—	—	ns	
SLSI 建立到第一个 SCLK 锁存沿的时间	t_{58} CC	$1 / f_{FPI} + 5$	—	—	ns	
最后一个 SCLK 锁存沿之后 SLSI 的保持时间	t_{59} CC	7	—	—	ns	
SCLK 移位沿之后 MRST 的延迟时间	t_{60} CC	0	—	16.5	ns	
从 SLSI 到 MRST 上数据有效的时间	t_{61} CC	—	—	16.5	ns	

1) SCLK 信号的上升 / 下降时间和引出端的上升 / 下降时间相等。

2) SCLK 信号的高电平和低电平时间最小值为 1xTSSC。

3) $TSSC_{min} = T_{SYS} = 1/f_{SYS}$ 。

4) 关闭小数分频器，使用 SSC 内部波特率生成器。

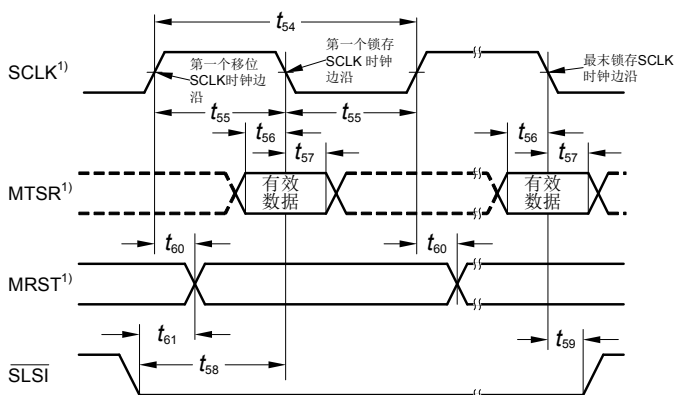


1) 该时序图的假设前提为: CON.PH = CON.PO = 0.

2) SLSOn 线上发送数据的前提是: SSOTC.TRAIL = 0
SCLK 第一个高电平位于第一个发送序列内.

SSC_TmgMM

Figure 22 **SSC 主机模式时序**



1) 该时序图的假设前提为: CON.PH = CON.PO = 0.

SSC_TmgSM

Figure 23 **SSC 从机模式时序**

5.3.8.4 ERAY 接口时序

 $C_L = 25 \text{ pF}$

只有 SAK-TC1782F-320F180HR / SAK-TC1782F-320F180HL 提供 EARY 接口。

Table 41 ERAY 参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
从最末 BSS 到 FES 的时间片，不考虑石英晶振公差 (d10Bit_TX) ¹⁾	$t_{60} \text{ CC}$	997.75	—	1002.25	ns	
采样信号到 TxD 的下降沿与采样信号到 TxD 的上升沿时间之差 (dTxA _{sym}) ²⁾³⁾	$t_{61}-t_{62} \text{ CC}$	—	—	1.5	ns	上升沿，下降沿的非对称延迟 (TxDA, TxDB)
从最末 BSS 到 FES 的时间间隔，不考虑石英晶振公差 (d10Bit_RX) ¹⁾⁴⁾⁵⁾	$t_{63} \text{ SR}$	966	—	1046.1	ns	
采样信号到 RxD 的下降沿与采样信号到 RxD 的上升沿捕获时间之差 (dRx _{asym}) ⁵⁾	$t_{64}-t_{65} \text{ CC}$	—	—	3.0	ns	上升沿，下降沿的非对称延迟 (RxDA, RxDB)
TxD 数据延迟（从触发采样开始）	$dTxdly \text{ CC}$	—	—	10.0	ns	Px_PDR.PDy = 000 _B
		—	—	15.0	ns	Px_PDR.PDy = 001 _B
采样触发器捕获 RxD 的捕获延迟	$dRxdly \text{ CC}$	—	—	10.0	ns	

1) 这里包含 PLL_ERAY 累积抖动。

2) 这里是指由数字逻辑输出电路和 GPIO 引出端电路的不对称性产生的延迟，不考虑晶振偏差和 PLL_ERAY 累积抖动。

3) E-Ray TxD 输出驱动器的上升沿和下降沿具有不对称性，数值为： $|t_{FA2} - t_{RA2}| \leq 1 \text{ ns}$ 。

4) 最小限制能达到 $30\% * I_{DDP\text{FlexRay}}$ 标准输入门限值。最大限制能达到 $70\% * I_{DDP\text{FlexRay}}$ 标准输入门限值。由于器件具有不同的输入门限值，提供 - 0.5 ns 到 +0.1 ns 的校正。

5) 参照 FlexRay 电气物理层标准 V2.1B，总线驱动器的输出斜率 $dRxSlope \leq 5\text{ns}$ ， $20\% * I_{DDP}$ 到 $80\% * I_{DDP}$ 时有效。对于 A2 类引出端，输入信号的上升下降时间需要满足如下不等式： $-1.6\text{ns} \leq t_{FA2} - t_{RA2} \leq 1.3\text{ns}$ 。

5.4 封装和可靠性

5.4.1 封装参数

Table 42 封装的散热特性

器件	封装	$R_{\Theta JCT}^{1)}$	$R_{\Theta JCB}^{1)}$	$R_{\Theta JLead}$	单位	注
TC1782 / TC1182	PG-LQFP-176-10	8,1	0,3	30,9	K/W	裸露的引出端已焊接 ²⁾
TC1782 / TC1182	PG-LQFP-176-10	8,1	12,6	30,9	K/W	裸露的引出端未焊接

1) 计算结 - 环境之间的总热阻 (R_{TJA}) 时, 需要将顶层和底层外壳 - 环境之间的热阻 (R_{TCAT}, R_{TCAB}), 与上面给出的结 - 外壳 (顶层和底层) 之间的热阻 (R_{TJCT}, R_{TJCB}), 结 - 引线之间的热阻 (R) 结合起来。外壳 - 环境之间的热阻 (R_{TCAT}, R_{TCAB}) 取决于外部系统 (PCB, 外壳) 的特性, 因此由用户负责这两个参数。可使用公式: $T_J = T_A + R_{TJA} \times P_D$ 来计算结温, 其中 R_{TJA} 为结 - 环境之间的总热阻。可由上面的四部分热阻得到总热阻 R_{TJA} :

热阻测量采用 “空芯冷板方法” (MIL SPEC-883 Method 1012.1).

2) 英飞凌科技建议将裸露的引出端连接到电路板上。

5.4.2 封装图

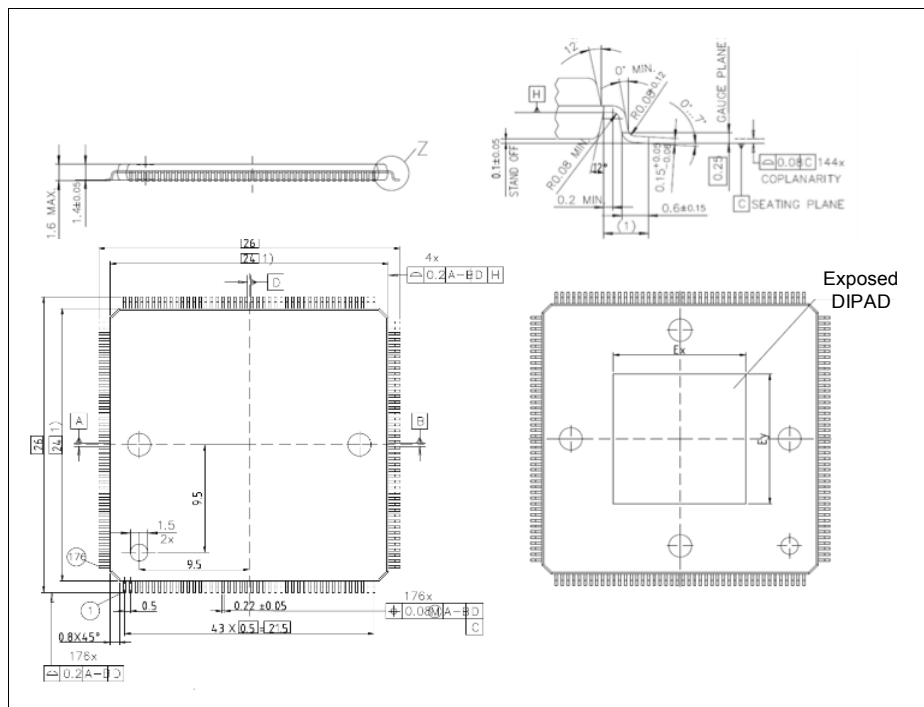


Figure 25 PG-LQFP-176-10 封装图

Table 43 裸引出端尺寸

Ex	7.8 mm
Ey	7.8 mm

用户可以从英飞凌的“产品”网页 <http://www.infineon.com/products> 获取产品的封装, 包装以及其它信息。

5.4.3 Flash 存储器参数

TC1782 / TC1182's Flash 存储器的数据保持时间和 Flash 存储器被擦除和编程的次数有关。

Table 44 FLASH32 参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
每个数据存储器扇区的擦除时间	t_{ERD} CC	—	—	3	s	
每个 256 K 字节程序存储器扇区的擦除时间	t_{ERP} CC	—	—	5	s	
每个数据存储器页面的编程时间 ¹⁾	t_{PRD} CC	—	—	5	ms	无重编程
		—	—	15	ms	含两次重编程
每个程序存储器页面的编程时间 ²⁾	t_{PRP} CC	—	—	5	ms	无重编程
		—	—	10	ms	含一次重编程
数据存储器耐受性	N_{E} CC	60000 ³⁾	—	—	次数	最大数据保持时间为 5 年
擦除挂起延时	$t_{\text{FL_ErSusp}}$ CC	—	—	15	ms	
改变裕量电平后的等待时间	$t_{\text{FL_Margin Del}}$ CC	10	—	—	μs	
程序存储器保持时间（物理扇区） ⁴⁾⁵⁾	t_{RET} CC	20	—	—	year s	最多 1000 次擦除 / 编程次数
程序存储器保持时间（逻辑扇区） ⁴⁾⁵⁾	t_{RETL} CC	20	—	—	year s	最多 100 次擦除 / 编程次数
UCB 保持时间 ⁴⁾⁵⁾	t_{RTU} CC	20	—	—	year s	每个 UCB 最多 4 次擦除/编程次数
唤醒时间	t_{WU} CC	—	—	270	μs	
DFlash 等待周期配置	WS_{DF} CC	50 ns x f_{FSI}	—	—		
PFlash 等待周期配置	WS_{PF} CC	26 ns x f_{FSI}	—	—		

1) 如果程序校验功能包含检测弱位，这些位将被另外编程两次。每次重编程会另外需要 5 ms 的时间。

2) 如果程序校验功能包含检测弱位，这些位将被另外编程一次。重编程会另外需要 5 ms 的时间

3) 只有当使用可靠的 EEPROM 模拟算法时有效。需要更详细的资料请参见用户手册。

4) 包含贮存和闲置时间。

5) 当加权平均结温 $T_j = 100^{\circ}\text{C}$, 或 $T_j = 110^{\circ}\text{C}$ 时，数据保持时间最少 10 年；当加权平均温度 $T_j = 150^{\circ}\text{C}$ 时数据保持时间最少为 0.7 年。

5.4.4 质量声明

Table 45 质量参数

参数	符号	数值			单位	注 / 测试条件
		最小值	典型值	最大值		
生命周期 ¹⁾	t_{OP}	—	—	24000	hours	— ²⁾
根据人体模型 (HBM) 得到的抗 ESD 特性	V_{HBM}	—	—	2000	V	符合 JESD22-A114-B 标准
LVDS 引脚的抗 ESD 特性	V_{HBM1}	—	—	500	V	—
根据带电器件模型 (CDM) 得到的抗 ESD 特性	V_{CDM}	—	—	500	V	符合 JESD22-C101-C 标准
湿度敏感等级	MSL	—	—	3	—	符合 J-STD-020C 标准 (240°C)

1) 生命周期仅指器件上电的时间。

2) 对于更恶劣的温度环境下有如下数据：

1200 小时当 $T_j = 125...150^{\circ}\text{C}$

3600 小时当 $T_j = 110...125^{\circ}\text{C}$

7200 小时当 $T_j = 100...110^{\circ}\text{C}$

11000 小时当 $T_j = 25...100^{\circ}\text{C}$

1000 小时当 $T_j = -40...25^{\circ}\text{C}$

www.infineon.com

6 版本信息

本中文数据手册译自英文 V 1.0 版本，在英飞凌公司专家指导下，由同济大学 - 英飞凌汽车电子联合实验室完成。本译文仅供参考，若与英文数据手册存在歧义，请以英文版本为准！

本文档 V 0.8 版本在 V 0.7 基础上做了如下修正：

- 将器件名称由 SAK-TC1782-320F180HL 更改为 SAK-TC1782-320F180HR
- 将器件名称由 SAK-TC1782-256F133HL 更改为 SAK-TC1782-256F133HR
- 将 DFLASH 存储容量由 64K 字节改为 128K 字节（第 1 章）
- 在表 1 模拟输入端口功能描述里增加 ADC 模块缩写
- 更改 SCU_RTID 和 SCU_CHIPID 寄存器值以匹配其版本
- 扩展 V_{DDOSC3} 到 -7.5 %
- 增加参数 HYS_{AI+}
- 增加参数 HYS_{A2}
- 增加参数 V_{ILF} / V_{IHF}
- 增加参数 $R_{DS_{ONF}}$
- 将 $C_{AIN_{SW}}$ 的典型值由 7 改为 9 pF
- 将 $C_{AIN_{TOT}}$ 的典型值由 25 改为 20 pF
- 去掉 ADC 里的 3.3 V
- 增加参数 f_{ADC}
- 将 f_{ADCI} 最大值由 20 改为 18 MHz
- 去掉参数 I_{AIN7T} (可以参考 R_{AIN7T})
- 将参数 I_{AREF} 替换为 Q_{CONV}
- 将 R_{AIN} 的典型值由 700 改为 900 Ohm
- 增加参数 t_S
- 为 TUE 的最大值增加脚注
- 增加参数 f_{FADC}
- 增加参数 t_C
- 增加 DTS 的温度计算公式
- 改进电流值以减小限制（BA 版本）
- 增加参数 I_{LVDS} 的说明
- 去掉参数 R_{THJA} (不需要)
- 增加参数 t_{POH} 的说明
- 增加参数 t_{POS} 的说明
- 增加参数 t_L 的最小值
- 将 $f_{PLL_{BASE_ERAY}}$ 的典型值由 200 改为 250 MHz
- 增加 当使用 CMOS / LVDS 时 $MSC\ t_{45}$ 的变化
- 为不焊裸引出端情况增加 R_{THs} 参数
- 增加表 33
- 更改 DTS 的精度为 6°C（在全部温度范围）
- 去掉 DFLASH 和 PFLASH 不能工作在扩展工作环境下的限制
- 将封装版本由 PG-LQFP-176-6 改为 PG-LQFP-176-12

本文档 V 1.0 版本在 V0.8 基础上做了如下修正：

- 将封装版本由 PG-LQFP-176-12 改为 PG-LQFP-176-10
- 改进了表 2 里关于模拟通道的描述
- 在类型列表 2 里增加了 A1+ 类
- 增加了表 7 定义了所有其它参数的条件的说明
- 增加了毛刺滤波器只适用于 PORST 引脚的说明
- 为 A1+ 类引出端增加了 V_{il}/V_{ih}
- 去掉不合适的注 / 测试条件
- 调整最大功率损耗值
- 为 MLI, MSC, SSC 的参数增加适用条件
- 修改 MLI 时序的参数 t_{13} 和 t_{14} 的定义
- 修改 MSC 时序的参数 t_{45} 的定义
- 在 ERAY 参数里增加 dT_{xdly} 和 dR_{xdly} 参数
- 更正 ERAY 参数 t_{60} 和 t_{63} 的值
- 更正 ERAY 参数的脚注
- 将 flash 参数中的 t_{PRD} 和 t_{PRP} 分为两种情况
- 为 LVDS 引出端参数增加工作条件
- 将 VAREF_x 改为 VAREF0, 将 VAGND_x 改为 VAGND0
- 去掉过载章节里的引脚可靠性
- 为绝对速率增加参数 IIN 和 Sum IIN
- 调整表 28 (ERAY) 里的临界值
- 为 PSC_XTAL 增加参数 HYSX
- 为所有驱动设置 (弱驱动, 中等驱动, 和强驱动) 增加 RDSON 值
- 去掉表 6 中的脚注 2
- 改变 RDSON 弱参数的工作条件
- 将 SSC, MSC, 和 MLI 的时序适用的负载典型值从 $C_L = 25 \text{ pF}$ 改为 $C_L = 50 \text{ pF}$
- 在表 2 的说明里添加引出端类 I
- 添加器件 SAK-TC1782-320F180HL 和 SAK-TC1782-256F133HL
- 修改图 23 的时序检测点
- 增加第 5.2.6.1 节
- 为参数 t_{RF} 和 t_{FF} 添加适用工作条件: $C_L = 50 \text{ pF}$
- 在 ADC 参数表中添加新脚注 7)
- 为 Q_{CONV} 增加最小值、最大值以及适用典型值
- 为 t_{FF1} 和 t_{RF1} 参数增加适用负载条件
- 为 PLL 参数 t_L 增加适用工作条件
- 将 DAP 参数 t_{19} 由 SR 改为 CC 类
- 去掉 FADC 的脚注 2
- 将电流参数 I_{DDP_POR} 由 2 增加到 2.5mA
- 为表 9 增加脚注 3
- 将 **SAK-TC1782-320F180HR / SAK-TC1782-320F180HL** 改为 **SAK-TC1782F-320F180HR / SAK-TC1782F-320F180HL**

版本信息

- 将 **SAK-TC1782-256F133HR / SAK-TC1782-256F133HL** 改为 **SAK-TC1782F-256F133HR / SAK-TC1782F-256F133HL**
- 为以下器件添加信息:
 - **SAK-TC1782N-320F180HR**
 - **SAK-TC1782N-320F180HL**
 - **SAK-TC1182N-320F180HR**
 - **SAK-TC1182N-320F180HL**
 - **SAK-TC1782N-256F133HR**
 - **SAK-TC1782N-256F133HL**
 - **SAK-TC1182N-256F133HR**
 - **SAK-TC1182N-156F133HL**