ハイスピード メモリ：QDR/DDR SRAM

By (Anuj Chakrapani, Cypress Semiconductor Corp.)

Executive Summary（概要）

ネットワークアプリケーションで使われるメモリは、広帯域で大容量なものが要求されます。QDR や DDR SRAM と呼ばれるメモリは、現在及び次世代の急速に拡大するネットワークの帯域幅の問題を解決するのに最適なソリューションです。このメモリについての概要及び使い方を詳しく解説した記事です。

概要

今日の高速ネットワーク アプリケーションでは、広帯域大容量のメモリ ソリューションが要求されます。たとえば、標準的なネットワーク ライン カードでは、多くの機能のうち、パケット バッファ、テーブル ルックアップ、およびキューマネージメントなど様々なオペレーション用にメモリが必要です。メモリ帯域幅がアプリケーションのスループットに対しボトルネックにならないように、適切なメモリ ソリューションの選択が極めて重要になります。ネットワーク アプリケーション向けに現在市販されているメモリ ソリューションとして、No Bus Latency™ スタティック RAM（NoBL™ SRAM）、Quad Data Rate™ スタティック RAM（QDR™ SRAM）、Reduced Latency ダイナミック RAM（RLDRAM）、その他があります。この記事では、最も広く使用されているメモリの 1 つである QDR ファミリの SRAM について、その製品ポートフォリオ、機能セット、ターゲット アプリケーション、高速インタフェース設計のヒント、および他のメモリとの簡単な比較解析について述べます。

はじめに：QDR/DDR ファミリの SRAM

QDR SRAM は、ネットワーク アーキテクチャにおける高性能の要求を満たすために設計された最新の同期式 SRAM ファミリです。ライン速度が毎秒数十ギガビットの桁に達すると、初期の同期式 SRAM ファミリ（標準同期式 SRAM および NoBL SRAM）は、増大する帯域幅の要求に対応できませんでした。標準同期式 SRAM では、リードとライトの間にダミー（動作していない）サイクルを必要とし、その後に登場した NoBL SRAM は、リードとライトの同時動作に対応できませんでした。

QDR ファミリ SRAM（QDR-I、QDR-II および QDR-II+ SRAM を含む）は、何社かのメーカ（サイプレス、Renesas、IDT、NEC および Samsung）によって構成される QDR コンソーシアムにより開発されました。このファミリのネットワーク用 SRAM は、ダブル データ レート（DDR）および DDR-II SRAM とともに、あらゆるネットワーク システム向けに完備したメモリ ソリューションを提供します。これらの SRAM は、最大 400MHz の速度と 9Mb～72Mb の容量を持ち、将来 288Mb 以上まで拡張できる可能性を備えています。

QDR-I、QDR-II および QDR-II+ SRAM は、リードとライトに独立したポートを備えているため、バス競合の心配がなく、リードとライトの同時動作も可能です。これらのポート上のダブル データ レート インタフェースでは、データはクロックの両方のエッジで SRAM へのライトまたは SRAM からのリードが行われ、各ピンの帯域幅が他の SRAM と比較して実質的に 2 倍になります。独立した入力／出力ポートとこれらのポート上の DDR インタフェースとの組み合わせによって、初期の同期式 SRAM に比べて全体として 4 倍の帯域幅が得られます。

DDR、DDR-II および DDR-II+ SRAM は、QDR SRAM と同じファミリに属します。QDR SRAM と似ていますが、DDR および DDR-II+ SRAM は独立したリード／ライトポートを備えていない点が大きな違いです。QDR SRAM は、リードとライトの動作を同時に行うことができますが、DDR デバイスは、リードまたはライトだけを行い、同時に両方を実行することはできません。

QDR-II および QDR-II+ SRAM：概要

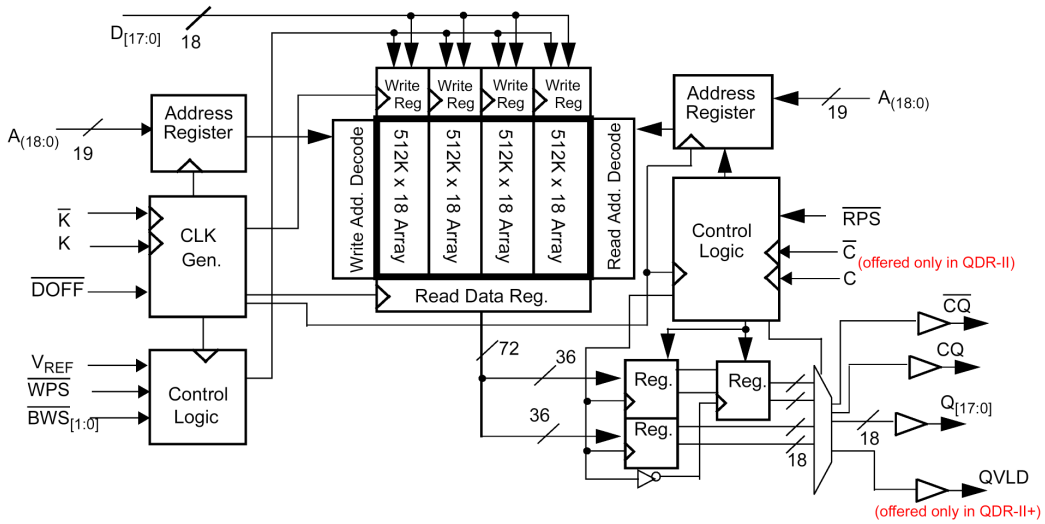
QDR-I SRAM は QDR ファミリの最初の製品で、最大速度は 167MHz でした。次に登場した QDR-II SRAM は、さらに高速（最大 278MHz）で動作し、広帯域とより高い性能を提供します。最新世代の QDR-II+ SRAM（現在サイプレスセミコンダ

[+] Feedback

クタ社がサンプル供給中）は、さらに改良され最大 400MHz の周波数で動作します。この記事では、高速メモリに焦点を合わせ、特に QDR-II および QDR-II+ SRAM だけについて述べます。

Burst 4 QDR-II/QDR-II+デバイスについて、そのインタフェースの類似性とその差違を示したブロック図を図 1 に示します。これらのデバイスは、リードおよびライト用に別々のポートを備えています。制御信号 WPS#（ライトポート選択）、RPS#（リードポート選択）および BWSx#（バイトライト選択）は、差動入力マスタ クロック ペア（K/K#）によって制御されます。

図 1　QDR-II/QDR-II+ 36M ビットバースト 4 デバイスのブロック図



QDR-II デバイスには、オプションとして追加の差動入力クロック ペア（C/C#）が含まれており、SRAM からコントローラへのデータのラッチに使用することができます。これを使用する場合（デュアル クロック モード動作時）、出力に関しては、K/K#よりも優先され（K/K#は、入力には引き続き使用）、したがって、すべての出力タイミングは C/C#に対するものになります。K/K#だけを使用している場合、そのデバイスはシングル クロック領域で動作していると言います。高い周波数では、コントローラ内でのデータのラッチに SRAM のエコー クロック（以下で説明します）を使用することを推奨します。したがって、C/C#クロックは QDR-II+ではサポートされていません。

エコー クロックとは、QDR-II および QDR-II+ SRAM からの出力であるクロックのペアであり、CQ/CQ#と表記されます。これらはフリー ランニングのクロックで、その周波数は入力クロックと一致し、出力データとソース同期（エッジが揃う）します。エコー クロックと SRAM によって駆動されるデータの間には一定の関係があるため、これらのクロックは、ユーザが QDR-II/QDR-II+デバイスからの出力データを正しくラッチインするために役立ちます。

QDR-II+は、エコー クロックに加えてデータ有効ピン（QVLD）を備えています。これは、有効データが転送された時点をコントローラが識別または認識するために使用することができる SRAM からの出力です。QVLD は、有効データがリードポートに現れる前の半サイクルの間 HIGH になり、最後のデータ片が終了する前の半サイクルの間 LOW になります。400MHz という高い周波数で SRAM からのデータを ASIC にラッチすることは、非常に難しいと考えられます。この場合、そのような高速ではタイミングのマージンが非常に小さいため、QVLD はデータ有効の表示として役立ちます。

QDR-II+デバイスには、2.0 サイクル遅延と 2.5 サイクル遅延の 2 つのバージョンがあります。ここでサイクル遅延は、デバイスのリード遅延を意味します。

QDR-II および QDR-II+ SRAM は、1.5V または 1.8V のいずれかの HSTL I/O 規格を使用しています。リードとライトの動作はバースト指向で、バースト長 2 および 4 をサポートしています。

QDR-II および QDR-II+ SRAM は、ユーザが出力ドライバの駆動力を制御するためのオプションも用意されており、ZQ ピンを使用して 35Ω～70Ωの範囲で出力インピーダンスを変えることができます。これによって、システム設計者はドライバのインピーダンスをシステム基板のインピーダンスにマッチングさせることができます。

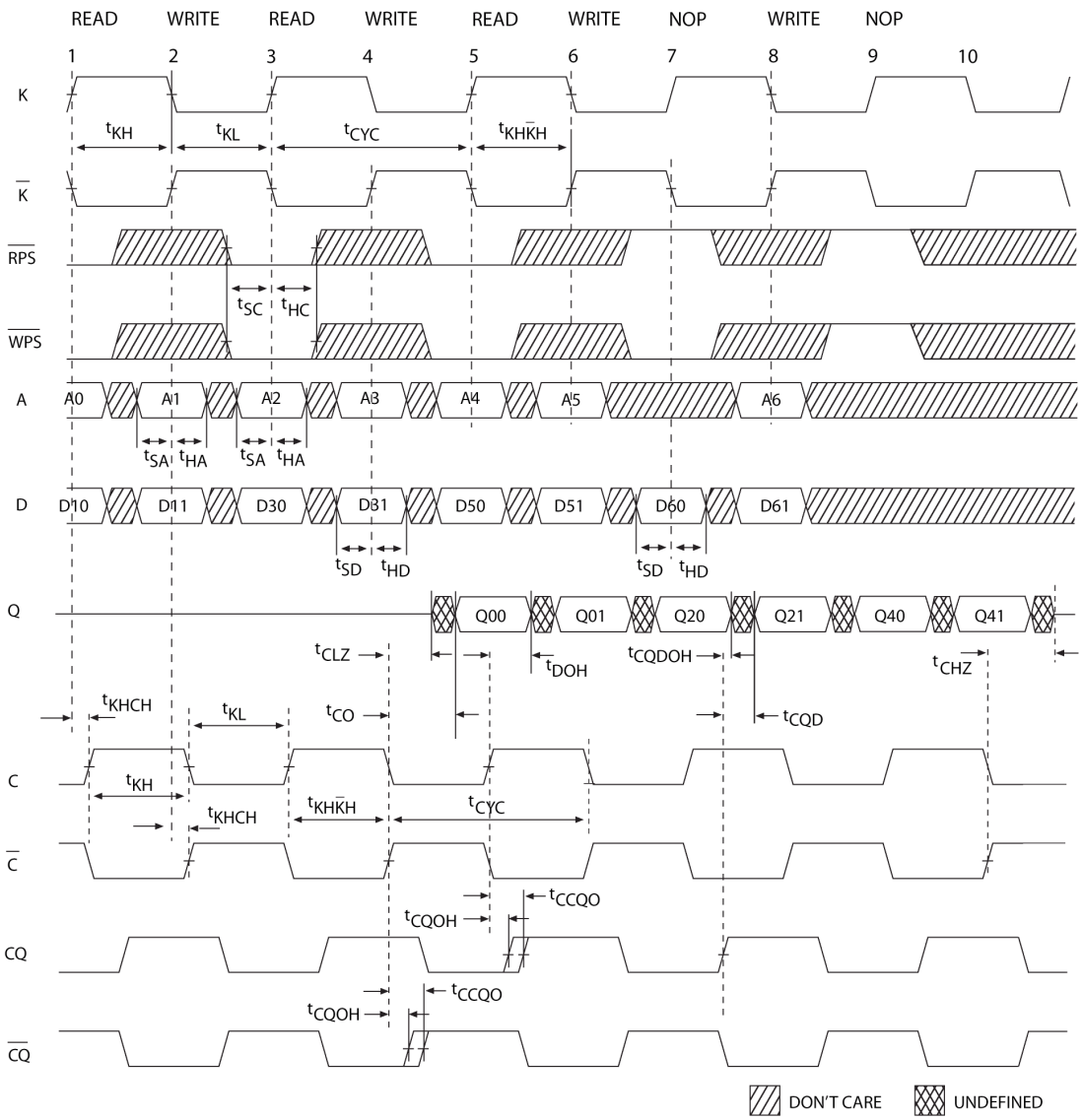
QDR-II/DDR-II と QDR-II+/DDR-II+の差違のまとめを表 1 に、その動作をタイミング波形とともに図 2～図 6 に示します。

[+] Feedback

表 1　QDR-II/DDR-II と QDR-II+/DDR-II+の差違

	QDR-II/DDR-II	QDR-II+/DDR-II+	備考
周波数（DLL オン）	119MHz - 300MHz	300MHz - 400MHz	
構成	x8, x9, x18, x36	x9, x18, x36	
VDD	1.8V +/- 0.1V	1.8V +/- 0.1V	
VDDQ	1.8V +/- 0.1V または 1.5V +/- 0.1V	1.5V +/- 0.1V	
リード遅延	1.5 クロック	2.0 および 2.5 クロック	QDR-II+のリード遅延は、ユーザが選択できません。2 種類のデバイスとして提供されます。
入力クロック	シングル エンド（K,K#）	シングル エンド（K,K#）	
出力クロック（C,C#）	あり	なし	
A0（DDR B2）	あり	なし	
A0、A1（DDR B4）	あり	なし	
エコー クロック数	1 ペア	1 ペア	エコー クロックはシングル エンドです。
パッケージ	165 ボール FBGA	165 ボール FBGA	
個別バイトライト（BWa#,BWb#）	あり	あり	
QVLD	なし	あり	エッジは、エコー クロックと揃います。

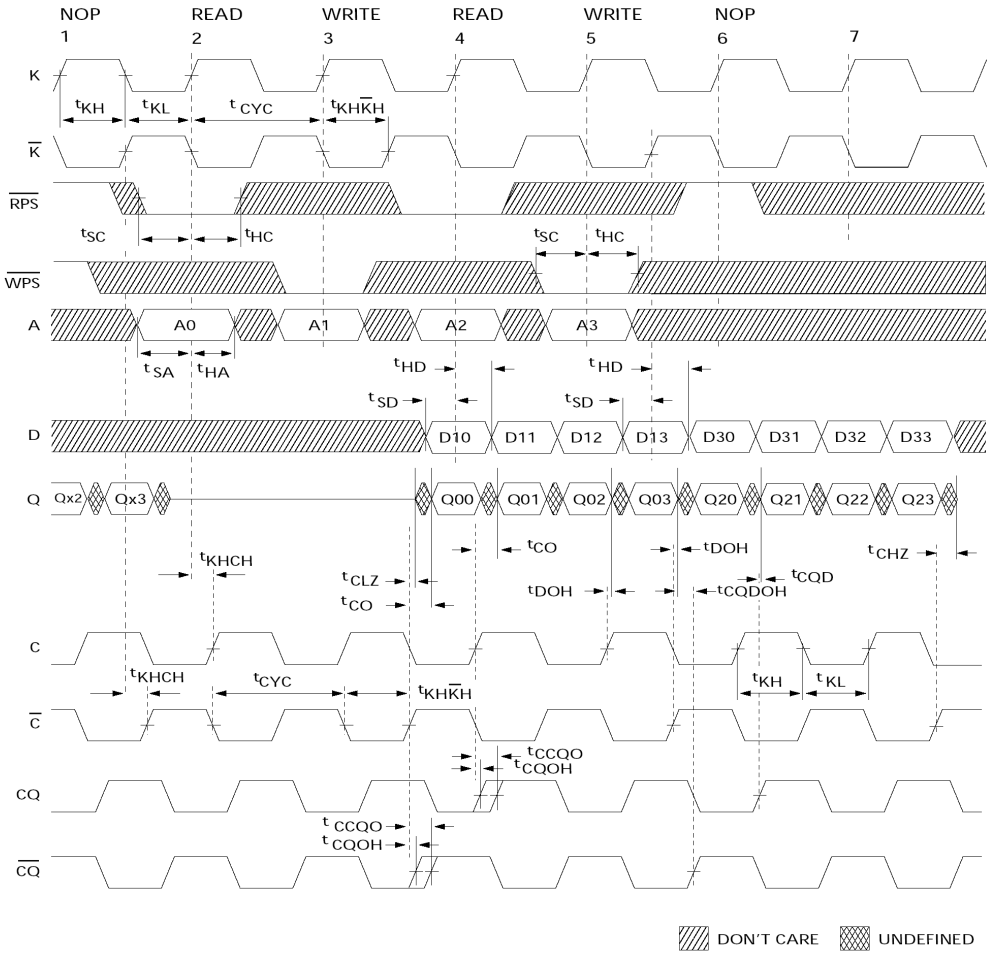
図 2　QDR-II SRAM バースト 2 のタイミング図



QDR-II バースト 2 デバイスのリード／ライトのタイミングを図 2 に示します。リードについて（クロック エッジ#3 参照）、リードアドレス（A2）は、RPS#をアサートしている間、K クロックの立上りエッジで与えられます。最初のデータ ワード（Q20）は、1.5 クロック サイクル後に C#（またはシングル クロック領域の場合 K#）によってクロック アウトされます。C（または K）の次の立上りエッジで、2 番目のデータ ワード（Q21）がアドレス（A2+1）からクロック アウトされます。両方のデータ ワードは、エコー クロック（CQ/CQ#）とエッジが揃います。ライトについて（クロック エッジ 5～6 参照）、WPS#は、最初のデータ ワード（D50）と一緒に K クロックの立上りエッジでアサートされます。K#クロックの次の立上りエッジで、書き込まれる 2 番目のデータ ワード（D51）と一緒にライトアドレス（A5）が与えられます。

[+] Feedback

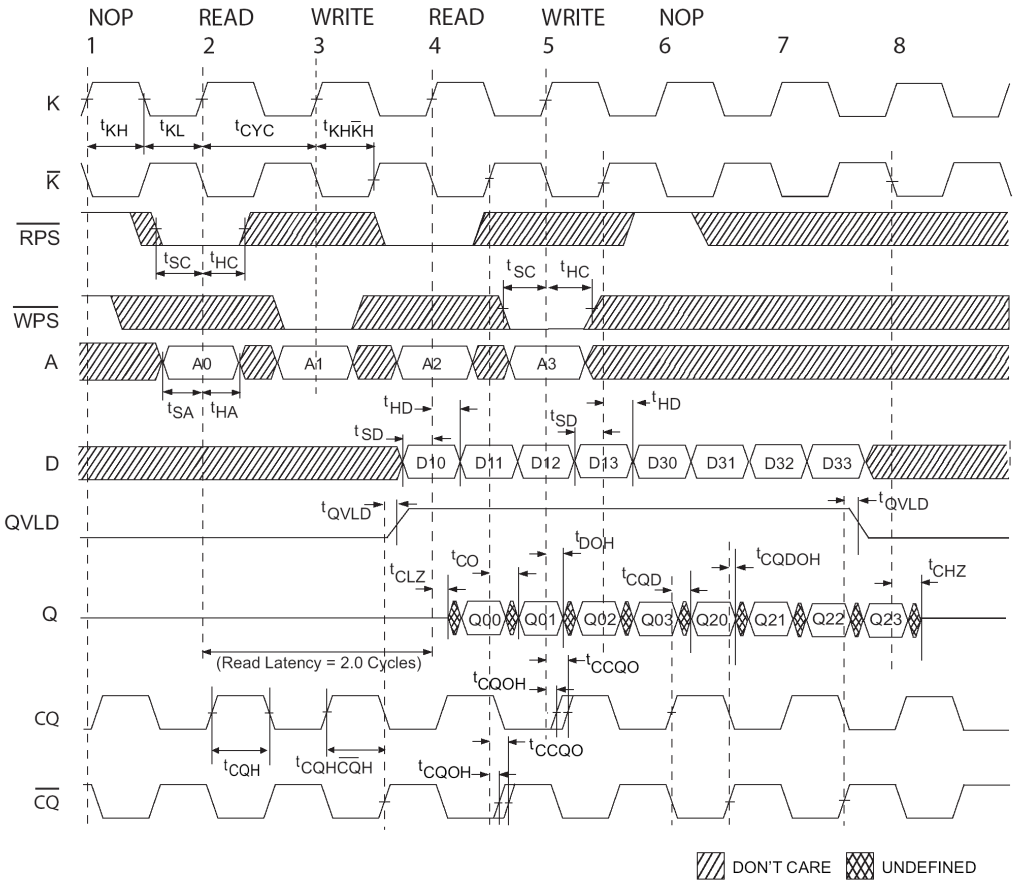
図 3　QDR-II SRAM バースト 4 のタイミング図



QDR-II バースト 4 デバイスのリード／ライトのタイミングを図 3 に示します。バースト 2 デバイスと異なり、リードとライトのアドレスは、K クロックの立上りエッジだけで与えられます。ライトについて（クロック エッジ 3 参照）、ライトアドレス（A1）は、WPS#をアサートしている間、K クロックの立上りエッジで与えられます。最初のデータ ワード（D10）は、K の次の立上りエッジで与えられ、残りの 3 データ ワードは、K#および K の連続する立上りエッジの後に続きます。リードについて（クロック エッジ 2 参照）、リードアドレス（A0）は、RPS#をアサートしている間、K クロックの立上りエッジで与えられます。最初のデータ ワード（Q00）は、1.5 クロック サイクル後に C#クロック（またはシングル クロック領域の場合 K#）によってクロック アウトされます。C（またはシングル クロック領域の場合 K）の次の立上りエッジで、2 番目のデータ ワード（Q(A+1)）がクロック アウトされます。その後の C#（または K#）と C（K）の立上りエッジで、残りの 2 ワードがクロック アウトされます。すべてのデータ ワードは、エコー クロック（CQ/CQ#）とエッジを揃えて駆動されます。

[+] Feedback

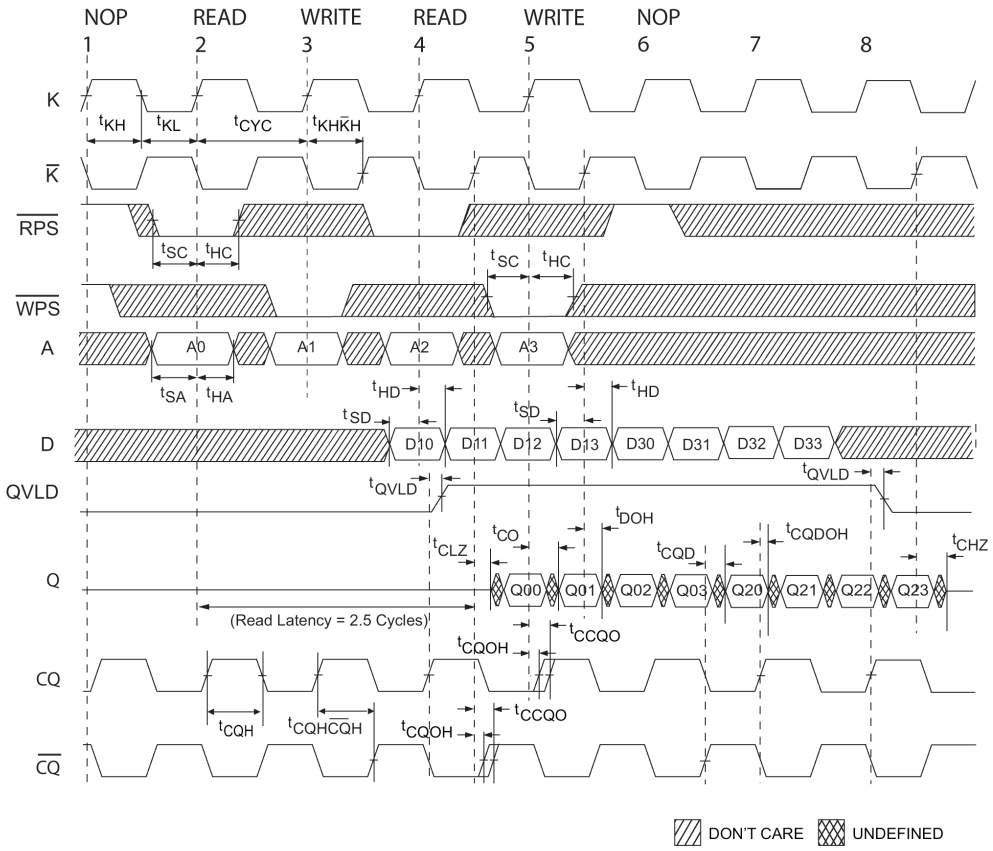
図 4　QDR-II+ 2.0 サイクル遅延 バースト 4 のタイミング図



QDR-II+ burst-of-4 デバイスのリード／ライトのタイミングを図 4 に示します。ライト（クロック エッジ 3 参照）は、QDR-II デバイスと同じです。ライトアドレス（A1）は、WPS#をアサートしている間、K クロックの立上りエッジで与えられます。最初のデータ ワード（D10）は、K の次の立上りエッジで与えられ、残りの 3 データ ワードは、K#および K の連続する立上りエッジの後に続きます。QDR-II と QDR-II+の大きな違いは、リード遅延です。2.0 サイクル遅延のデバイス（上記）では、リード開始後に（クロック エッジ 2 参照）、最初のデータ ワード（Q00）が 2 サイクル後に K クロックの立上りエッジでクロック アウトされます。残りのワードは、K#および K の連続する立上りエッジの後に続きます。すべてのデータ ワードは、エコー クロック（CQ/CQ#）とエッジを揃えて駆動されます。QVLD ピンは、有効データの半サイクル前に SRAM によってアサートされ、エコー クロック（CQ/CQ#）とエッジが揃います。

[+] Feedback

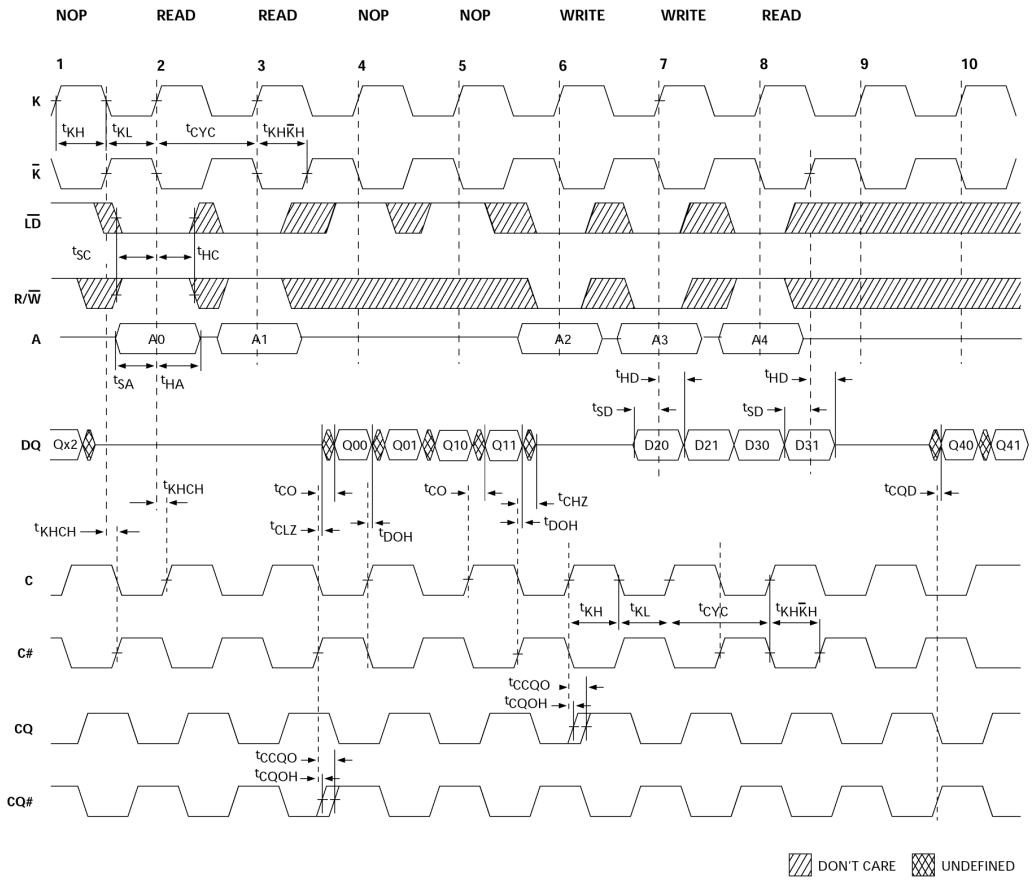
図 5　QDR-II+ 2.5 サイクル遅延 バースト 4 のタイミング図



2.5 サイクル遅延の QDR-II+ デバイスでは、リード開始後に（クロック エッジ 2 参照）、最初のデータ ワード（Q00）が 2.5 サイクル後に K#クロックの立上りエッジでクロック アウトされます。残りのワードは、K および K#の連続する立上りエッジの後に続きます。すべてのデータ ワードは、エコー クロック（CQ/CQ#）とエッジを揃えて駆動されます。QVLD ピンは、有効データの半サイクル前に SRAM によってアサートされ、エコー クロック（CQ/CQ#）とエッジが揃います。

[+] Feedback

図 6　DDR-II バースト 2 のタイミング図



DDR デバイスの場合、同じ I/O のセットがリードとライトの両方の動作に使用されるため、両方の動作を同時に行うことはできません。DDR-II バースト 2 デバイスのリード／ライトのタイミングを図 6 に示します。K クロックの立上りエッジで、DDR-II SRAM デバイスは制御信号 R/W#と LD#およびライトアドレス A2 をラッチします（クロック エッジ 6）。DDR-II SRAM デバイスは、K クロックの次の立上りエッジで DQ 上の下位データ ワード（D20）をラッチし、その後の K#クロックの立上りエッジで上位データ ワード（D21）をラッチして、ライトサイクルを完了します。リードについて、K クロックの立上りエッジで、DDR-II SRAM デバイスは制御信号 R/W#と LD#およびリードアドレス A0 をラッチします（クロック エッジ 2）。1.5 クロック サイクルのデッドサイクルの後、C#（またはシングル クロック ドメインの場合 K#）の立上りエッジで下位データ ワード（Q00）を DQ バス上にクロック アウトします。上位データ ワード（Q01）は、C（またはシングル クロック領域の場合 K）クロックの次の立上りエッジでクロック アウトされ、読み出しサイクルが完了します。バス競合を回避するために、リードとライトの間に 2 サイクルのダミー（動作していない）サイクルを挿入する必要があります。

クロッキング方式[1]

先に述べたように、QDR-II および QDR-II+デバイスは、アドレスおよび制御信号を SRAM にラッチするための入力クロックとして K/K#を使用します。コントローラが SRAM からデータをラッチインする方法には、いくつかのオプションがあります。

[1] このセクションは、DDR-II および DDR-II+デバイスにも適用されます。

[+] Feedback

1) マスタ（K/K#）クロックを使用
2) オプションの C/C#クロックを使用－QDR-II の場合のみ
3) SRAM からエコー クロック CQ/CQ#を使用

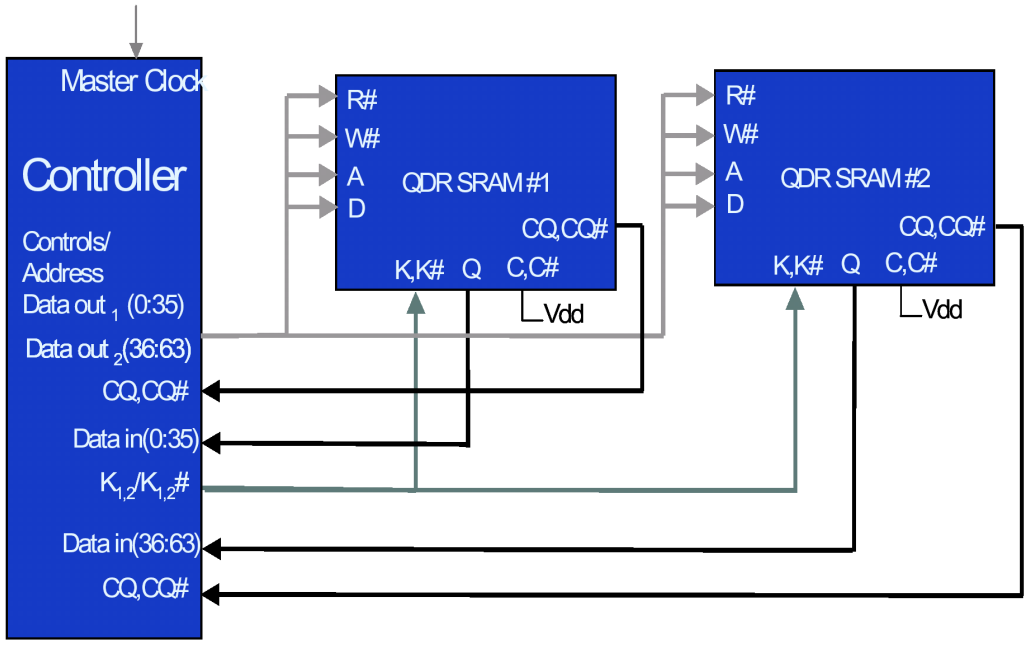
低い周波数では、コントローラは出力に K/K#クロックを使用することができます。しかし 250MHz を超える周波数では、タイミング マージンが非常に小さくなり、入力データをマスタ クロック（K/K#）でラッチすることは非常に難しくなります。エコー クロック CQ/CQ#は、出力データとエッジが揃っており、明確な位相関係が保たれます。したがって、コントローラ内部でのデータ ラッチにはエコー クロック CQ/CQ#の使用を強く推奨します。このセクションでは、データ キャプチャのためのエコー クロックの使用に焦点を合わせて説明します。

図 7 に、1 つのコントローラと 2 つの QDR-II SRAM を含むシステムのブロック図の一例を示します。SRAM によって駆動されるエコー クロックは、図 8 に示したとおり、出力データとソース同期し、エッジが揃っています。コントローラに出力データをラッチする前に、十分なセットアップおよびホールド時間を確保するためにエコー クロックを遅延させる（すなわち、データと中心を揃える）必要があります。正確な遅延時間は、データ有効ウィンドウに基づいて計算する必要があり、これは、動作周波数によって変わります。次の式を使用して遅延時間を計算することを推奨します。

$t_{echo_clock_delay} = t_{cyc}/4$

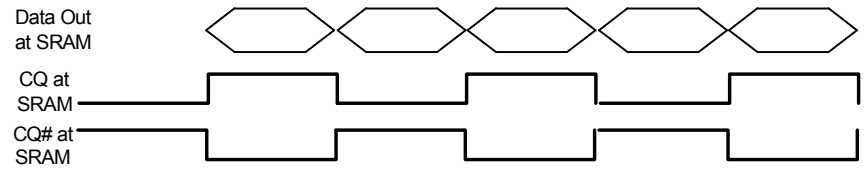
タイミング マージンの計算について、すべてのタイミング パラメータとジッタ数を上の式の計算に入れる必要があります。

図 7　2 つの QDR SRAM からの出力データをラッチするためにエコー クロックを使用するコントローラを示したブロック図

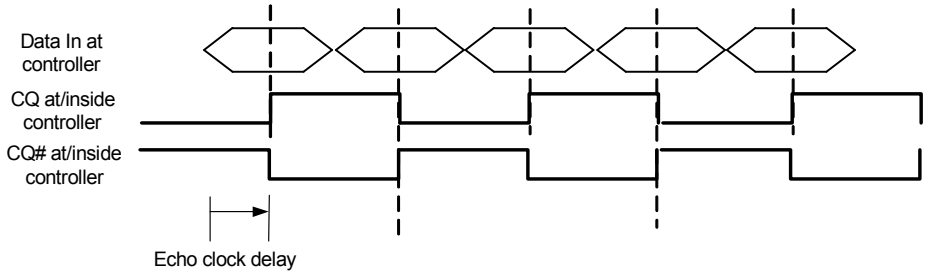


[+] Feedback

図 8　SRAM およびコントローラでのエコー クロックと出力データとの関係



Output data-Echo clock relationship at SRAM



Desired Data-Echo clock relationship inside controller before latching data

エコー クロックの遅延には、さまざまな方法があります。

1)　コントローラ内のオンチップ遅延回路を使用
コントローラ内で FIFO のような遅延要素を使用して、エコー クロックを遅延させます。この方法は、QDR-II および DDR-II デバイスに対し ASIC と FPGA の両方のインタフェースで使用できます。

2)　データに対し、CQ および CQ#に関する基板配線遅延を使用
動作周波数に応じて、CQ/CQ#配線と出力データ（Q）配線の間の遅延がエコー クロックの中心を揃えるために必要な遅延に等しくなるように基板上のエコー クロック配線を引き回すことにより、エコー クロックを遅延させることができます。この遅延は固定され、特定の 1 つの周波数にのみ適合することになるため、この方法は ASIC インタフェースについてのみ選択されます。FPGA インタフェースは、一般に同じ基板でさまざまな周波数において機能することが要求されます。遅延時間は動作周波数によって異なるため、この方法は通常 FPGA インタフェースには使用されません。

3)　エコー クロックのどちらかを遅延させるために、FPGA で DLL または PLL を使用
SRAM コントローラが FPGA である場合、FPGA 内に存在する DLL または PLL を使用してエコー クロックを遅延させ、データ有効ウィンドウと中心を揃えることができます。それぞれのエコー クロックを約 90°遅延させて（正確な遅延時間は、FPGA のセットアップおよびホールド時間によって変わります）、データ有効ウィンドウと立上りエッジの中心を揃えることができます。エコー クロックのうち 1 つだけを使用して、これを 90°および 270°遅延させてデータの 2 つのバーストをキャプチャすることが可能ですが、同じクロックを持つデータの 2 つのバースト間の位相関係は保証されないため、この方法は推奨できません。

上記の方法のどれかを使用する場合、エコー クロック（CQ および CQ#）がデータのラッチインに使用される前にクロックの境界を横切らないようにすることを強く推奨します。エコー クロックは、同一サイクル内でデータ出力に厳格に一致しています。再同期時、エコー クロックが半サイクルを超えて遅延されると、マスタ クロック（K/K#）とエコー クロック（CQ/CQ#）の間のジッタ関係が変わり、その結果、データ有効ウィンドウが狭くなって、誤った結果が得られる可能性があります。

[+] Feedback

高速インタフェースの設計[2]

300MHz に近い周波数で動作している QDR-II およびそれ以上すなわち最大 400MHz で動作する QDR-II+では、データ有効ウィンドウはさらに狭くなり、タイミング マージンは極めて厳しくなってきます。これは、クロック、アドレスおよび制御発生回路において高精度のタイミングが要求されるだけでなく、インタフェースが高いスループット達成のボトルネックにならないよう、適切な基板レイアウトおよび終端の仕組みを使用することも必要になります。このセクションでは、タイミングの問題を回避するためのハイスピード インタフェース設計のヒントをいくつか示します。

配線長のマッチング

厳密な入力セットアップおよびホールド時間を実現するために、入力（アドレス（A）、データ書き込み（D）および制御信号）の配線長は、入力クロック K および K#の配線長とよく一致させる必要があります。同様に、エコー クロック（CQ、CQ#）の配線長は、SRAM からのリードデータ（Q）とよく一致させなければなりません。

コントローラ内のマッチング遅延

コントローラのデータ経路内でアドレスとデータの生成に同じダブル データ レート回路を使用することによって、コントローラ内で生成される入力（アドレス、ライトデータ）と入力クロック（K/K#）の間のタイミング ミスマッチを最小限にすることができます。また、同じ PLL からの 2 つのクロック（位相を相互に 90°シフト）を使用して入力クロックとアドレス／データ／制御を生成（先行するクロックをアドレス／データ／制御の生成に使用、後のクロックを K/K#の生成に使用）することができれば、遅延を一致させ、クロックに対し入力の中心を揃えて、セットアップ／ホールドの要件を満たすことができます。

クロック スキューの要件

入力ジッタすなわち t_{KHKH}（K の立上りエッジから K#の立上りエッジまで。これは理想的にはクロック時間の 1/2 ですが、少しのマージンを持たせることができます）のクロック スキュー要件を満たすために、K および K#は隣接するピンに配線し、これらのピンは、ノイズ耐性を高めるために周囲をグランドピンで囲む必要があります。

終端の仕組み

インピーダンスのミスマッチがあると、信号が反射されて伝送線路に沿って往復するためリンギングが生じ、システムの信頼性を損なう結果になります。リンギングが生じると、しきい値がシフトするためレシーバのダイナミック レンジが狭くなり、不正なトリガが発生します。ソース側および負荷側で反射をなくすために、ソース（あるいはドライバ）のインピーダンスを配線のインピーダンスと一致させる必要があります。同様に、負荷（あるいはレシーバ）のインピーダンスを配線のインピーダンスと一致させ、負荷側での反射をなくす必要があります。各種の終端方式を使用できます。それらについて以下に簡単に説明し、図 9A～C に示します。

[2] このセクションは、DDR-II および DDR-II+デバイスにも適用されます。

図 9A　ソース側および負荷側での直列終端方式

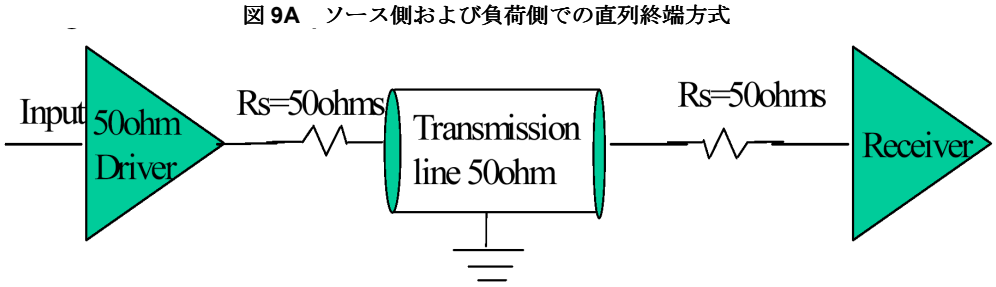


図 9B　負荷側での V_{TT} へのアクティブ並列終端（単方向 I/O）

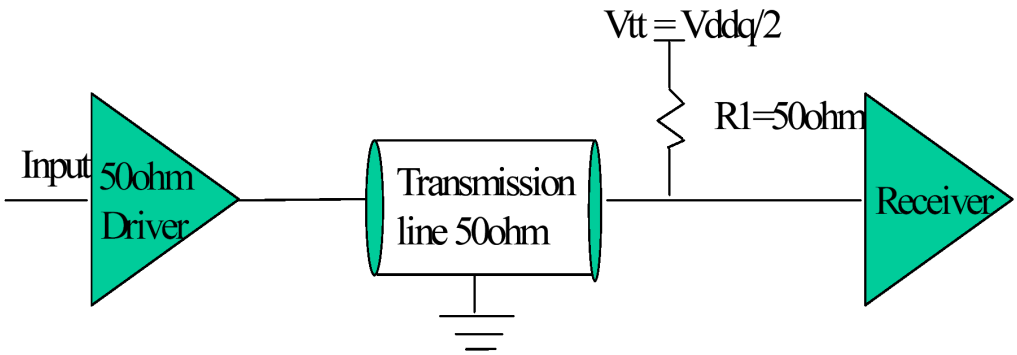
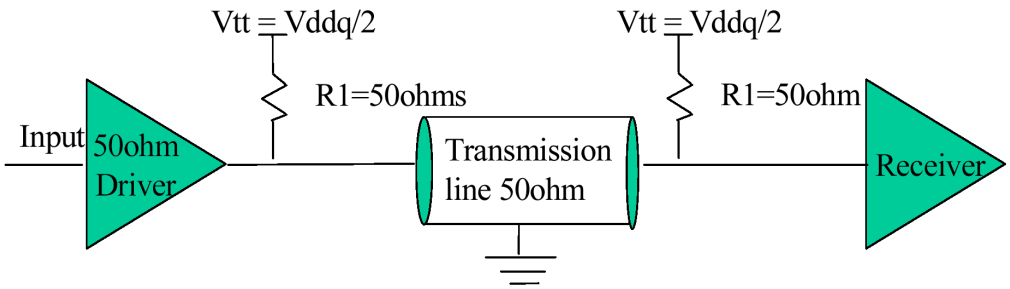


図 9C　ソース側および負荷側での V_{TT} へのアクティブ並列終端（双方向 I/O）



- **直列終端**
  これは、ソース（または負荷）と伝送線路の間に直列抵抗を入れ、ソース（または負荷）のインピーダンスとこの直列抵抗の和が伝送線路のインピーダンスと等しくなるようにしてインピーダンスをマッチングさせる方法です。ただし、この方式の大きな欠点は、RC 時定数のために立上り／立下り時間が劣化することです。QDR SRAM は高速のデバイスであり、出力が非常に早い速度で切り替わるため、この終端方式は推奨されません。

- **負荷側で V_{TT} へのアクティブ並列終端（単方向 I/O）**
  この終端技術は、負荷側でプルアップ終端抵抗を V_{TT}（通常 $V_{DD}/2$ に等しい）に追加する方法です。プルアップ抵抗を変えて、出力電圧幅を変えることができます。この終端方式を使用すると、一般に出力は、HIGH または LOW に駆動するとき V_{TT} の上下に同じレベルで切り替わります。たとえば、1.8V の QDR-II デバイスで V_{TT}＝0.9V の場合、出力は 1.35V と 0.45V の間で切り替わります。この方式の欠点は、出力が LOW になったときに静的な電力消費があることです。しかし、QDR デバイスは、電力ではなく信号の完全性が主要な関心事である高速のアプリケーションに使用されるため、この終端方式が適しています。

- **両端で V_{TT} へのアクティブ並列終端（双方向 I/O）**

[+] Feedback

この終端技術は、上記の方式に似ていますが、V_{TT} へのプルアップ終端抵抗をソースと負荷の両側で使用する点が異なります。この方式は、I/O が双方向の場合、すなわち同じ I/O のセットを使用して読み出しと書き込みの動作を行う DDR デバイスなどで使用されます。ソース側の終端方式は、データ バスがターンアラウンドし SRAM がレシーバとして動作するときに作用し始めます。

QDR SRAM と RLDRAM の比較

SRAM の QDR ファミリのように、ネットワーク アプリケーション用を対象とした他のメモリがあります。このセクションでは、QDR SRAM をその中の製品の 1 つである Reduced Latency DRAM（RLDRAM）と比較します。RLDRAM は、Micron 社と Infineon 社が開発した DRAM アーキテクチャです。

標準的な DRAM は、ランダム サイクル タイム（t_{RC}）の影響を受けますが、これは、同じ行あるいはバンクへの連続するアクセスを制限する時間です。（DRAM のメモリ アレイはバンクの形で構成され、それぞれのバンクは行と列の形に配置されています）。RLDRAM は、t_{RC} の影響を低減するよう改善されたアーキテクチャの設計になっていますが、それでもこれをなくすことはできません。ラウンドロビン技術で、バンク参照のために RLDRAM へのバンク入力としてコントローラからのアドレス ラインの最下位ビット（LSB）を使用することによって、ある特定の時間、同じバンクがアクセスされないようにできますが、これが役立つのは逐次アクセスの場合だけです。ネットワーク アプリケーションでは、場所へのアクセスは非常にランダムであり、RLDRAM は、まだこれに対応できない可能性があります。

RLDRAM は、DDR および QDR SRAM と同様に、共通 I/O（CIO）および独立 I/O（SIO）のバージョンで供給されています。

このセクションの残りの部分では、QDR-II/QDR-II+ SRAM と RLDRAM を、いくつかの重要な尺度に関して比較します。

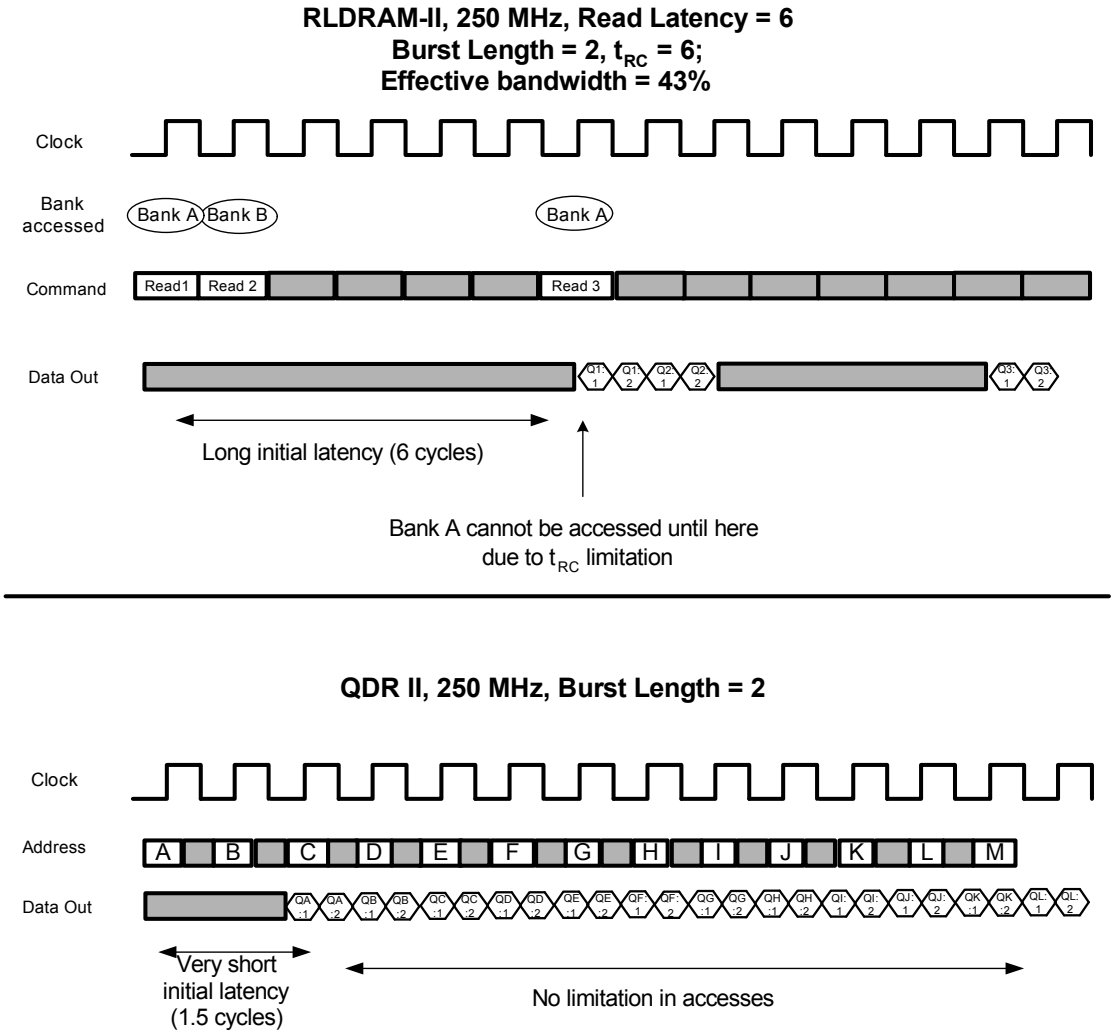
アプリケーションのランダムさ

RLDRAM II は、ラウンドロビン アドレス方式を使用し、固有のアクセス順序によって、良好な帯域幅を実現できますが、データ アクセスがランダムである場合はそれほど効果的ではありません。RLDRAM II は、アーキテクチャ上の特性によって t_{RC} が短縮されますが、この遅延および帯域幅に対するその影響は完全にはなくなっていません。

図 10 の波形は、データ パターンが予測不能である場合、短いランダムなバーストの際に t_{RC} 遅延が帯域幅に及ぼす影響を示しています。バンク A への 2 回目のアクセスは、t_{RC} が経過するまで数サイクルの間待つ必要があり、その結果データ バスは利用されない状態になります。この場合、RLDRAM アーキテクチャの帯域幅は、データ アクセスの予測不能な性質のために影響を受けることになります。

これと比較して QDR SRAM は、アクセスの間に時間間隔を必要とせず、したがってアプリケーションのランダムさによる影響を受けません。QDR SRAM は、アクセス順序やデータ パターンのランダムさに関係なく帯域幅を 100%利用することができます。

図 10　バースト長が 2 の RLDRAM-II と QDR-II の比較



初期遅延

RLDRAM II は、図 10 に示すとおり、QDR SRAM に比べて初期遅延が非常に大きくなっています。QDR-II および QDR-II+ SRAM の初期リード遅延は、それぞれわずか 1.5 および 2.0（または 2.5）クロック サイクルです。したがってバーストの間、QDR SRAM の方が RLDRAM II よりも早く最初のデータ片が出てきます。このために、QDR SRAM は遅延の少ないアプリケーションに最適です。RLDRAM II では、短いデータ アクセスが連続して行われる場合、長い初期遅延が問題になります。

図 10 は、短いバースト長によって、RLDRAM II の帯域幅利用が制限される可能性も示しています。バースト長が長いと、新たなアクセスのためにより多くの時間を利用できます。したがって、バースト長が長いデバイスを使用した場合、t_{RC} 遅延をカバーするために交互にアクセスする必要があるバンク数は少なくてすみます。しかし、バースト長が短いデバイスでは（図 10 に示すとおり）、可能な最大の帯域幅を得るためにより多数のバンクを交互に使用する必要があります。比較すると、QDR（または DDR）デバイスの帯域幅は、与えられた周波数においてバースト長による影響を受けません。

バス利用

バス利用は、適切なメモリ ソリューションを選択するときに考慮しなければならない重要な要素です。図 11 は、以下の点を示しています。

システムによっては、「短期」のリード／ライト比が 1:1、すなわちリードとライトの数が少なくかつ等しくなっており、頻繁にインタリーブされる場合があります。このようなシステムでは、バス ターンアラウンドのためにダミー サイクルを挿入することによって、かなりの数のサイクルが無駄になり、帯域幅に悪影響を与えることになります。したがって、DDR-II SIO[3] SRAM、QDR-II SRAM または RLDRAM II SIO が、より良い選択肢になります。

一方、DDR-II/DDR-II+ SRAM や RLDRAM II CIO などの共通 I/O（CIO）デバイスは、長いバーストの中でリードとライトが行われ「長期」のリード／ライト比が 1:1 であるアプリケーションに適していると考えられます。リードとライトが、長いシーケンスの中で頻繁に切り替わることなく行われる場合、バスの競合を回避するために失われるサイクルの数は、リードとライトのために使用されるサイクル数に比べて非常に少なくなります。したがって、DDR-II SRAM や RLDRAM II CIO などの CIO デバイスが適切な選択肢になります。このようなアプリケーションの場合、独立 I/O デバイスを選択すると、サイクルのかなりの部分で 1 組の I/O が無駄になると考えられます。

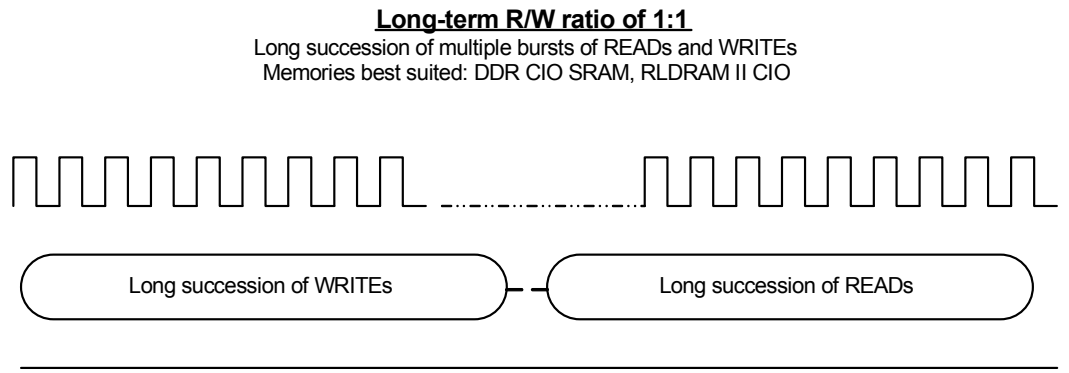
3 番目のあり得るシナリオは、リードとライトが同時に行われる場合です。このようなシステムでは、QDR-II SRAM や RLDRAM II SIO などの独立 I/O デバイスの使用が最適です。

要約すると、アプリケーションについてバス利用の必要性を十分に理解することが、I/O アーキテクチャの点から見て正しいメモリ ソリューションを選択する上で不可欠です。

さまざまなリード／ライトパターンとそれらに最適なメモリ ソリューションを図 11 に示します。

DDR デバイスには、DDR CIO（共通 I/O）と DDR SIO（独立 I/O）の 2 つのバージョンがあります。どちらのデバイスも、ある 1 つの時間にリードとライトの一方しか実行できませんが、後者（DDR SIO）はデータのリードとライトに独立のポートを備えているため、バス ターンアラウンドのためにサイクルが無駄になることがありません。

図 11　リード／ライトパターン



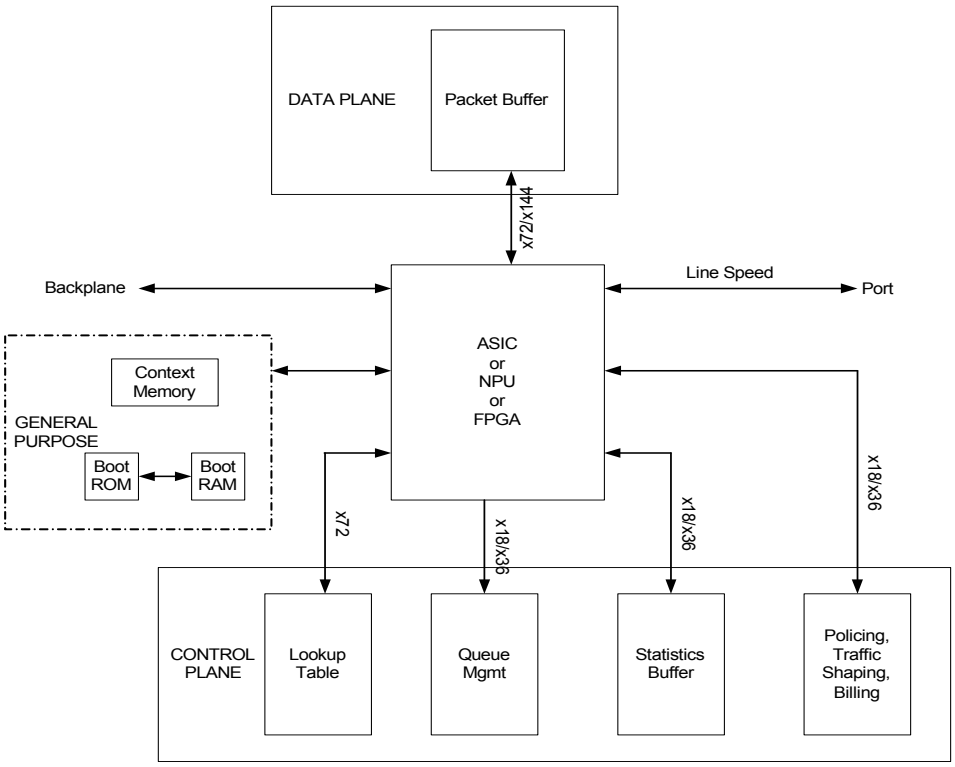
重大な決定：正しいメモリの選択

数種類の高速同期式メモリが入手できる中で、システム設計者は、可能性のあるさまざまなメモリ ソリューションを与えられています。ライン カードでは、さまざまな機能（たとえば、テーブル ルックアップ、パケット バッファ、キューマネージメント）のために複数のメモリが必要です。これらの機能はどれも高性能のメモリを必要としますが、すべての高速ネットワーク用メモリが適しているわけではありません。このセクションでは、ライン カードのさまざまなメモリ要件を説明し、それぞれのアプリケーションに最適なメモリ ソリューションを提示します。

標準的なライン カードを、図 12 に示します。

[+] Feedback

図 12　標準的なライン カードの構成要素



ルックアップ テーブル

ルックアップ テーブルは、パケットのルーティング時にアドレス変換を実行し、ライン カードのコントロールプレーン内に常駐します。ルックアップ テーブルへのメモリ アクセスは、ランダムに行われることが多く、リード動作の短いバーストが特徴です。したがって、メモリの選択においては遅延が最も重要な要素です。

最近では、多数のエントリを処理するコア ルータについては容量も重要な要素になってきました。ルックアップ テーブル用の最適なメモリ ソリューションは、実際にアーキテクチャごとに変わる可能性がありますが、QDR/DDR ファミリの SRAM には多くの利点があります。先に説明したとおり、QDR SRAM は RLDRAM と比べてリード遅延がはるかに短くなっています。このために QDR SDRAM は、短いリードバーストが大半で高速アクセスを必要とするルックアップ テーブルにより適しています。

さらに、アプリケーションのランダムさ、および短いバースト中のバス ターンアラウンドが、ルックアップ テーブル用として QDR SRAM が最有力の選択肢となる重要な要素です。

キュー／パケットマネージメント

ラインカードのキューマネージメントおよびフロー制御は、ランダムリード／ライトが特徴です。したがって、予測不能なデータ パターンに伴う遅延が、メモリ選択で考慮すべき主な要素です。

QDR SRAM と RLDRAM II の遅延を比較すると、RLDRAM に比べて QDR SRAM の性能が、特にデータ パターンが予測不能である場合、はるかに優れていることが分かります。ランダムリード／ライト動作時の RLDRAM II の欠点は、前述のとおりです。

したがって、容量ではなく遅延が決定的な要素であるキューマネージメントなどのアプリケーションでは、QDR SRAM の方が良い選択肢になります。

[+] Feedback

統計バッファ

統計バッファは、課金、診断、その他のさまざまな情報を扱います。パケット処理中、統計データのアクセスは迅速である必要があり、低遅延が不可欠です。しかし、統計データは通常大きくなく、したがって、動作は短いバーストまたはバーストなしが特徴です。QDR SRAM と NoBL SRAM が、このアプリケーションに適しています。

パケット セル バッファ

データ プレーン内のパケット バッファは、パケットの処理が行われている間、出力ポートおよびスイッチ ファブリック内のパケットをバッファします。パケット バッファ メモリは、ASIC または NPU の処理速度に応じて非常に高速、非常に大容量、あるいはその両方であることが必要になります。遅延が重要な設計では QDR SRAM が選択され、容量が最優先である場合は RLDRAM II が実行可能な選択肢と考えられます。

まとめ

QDR/DDR ファミリの SRAM は、ネットワーク アプリケーションの広帯域の要求を満たすよう設計されており、より高速、高性能が得られるよう継続的に進化してきました。この記事で説明したさまざまなクロッキング方式および高速インタフェース設計ガイドラインを使用することによって、QDR-II および QDR-II+ SRAM は、今日の高速アプリケーションの設計に組み込んで希望の帯域幅と性能を実現することができます。

本文書に記載のすべての製品名および会社名は、それぞれの所有企業の商標です。



Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone: 408-943-2600
Fax: 408-943-4730
http://www.cypress.com

© Cypress Semiconductor Corporation, 2007. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™, Programmable System-on-Chip™, and PSoC Express™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

This Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.