QDR SRAM 和 RLDRAM：对比分析

By (Anuj Chakrapani, Cypress 存储与成像部应用工程师)

摘要

当今的高速网络应用需要高带宽和高密度存储器解决方案。例如，标准的网络线路卡需要用于各种操作的存储器，包括信息包缓冲器、查找表和队列管理等诸多功能。为了确保存储器带宽不会成为应用吞吐量的瓶颈，选择正确的存储器解决方案是至关重要的。本白皮书将讨论适合于网络应用的存储器解决方案 —— 具体来说，就是四倍数据速率静态 RAM（QDR SRAM）和低延迟动态 RAM（RLDARM）—— 并就其最为适合的应用对它们进行了比较。

网络 SRAM 的发展

标准的同步 SRAM（最早的主流同步 SRAM）是高速缓冲存储器应用的理想选择。然而，尽管其应用十分广泛，但对于规定了一个平衡读/写模式的网络应用而言，它们并不是合适之选。一个其后紧跟着一个写（WRITE）操作的读（READ）操作将导致在数据总线上出现争用状态。对于总线争用来说，唯一的规避措施就是引入“等待”或“无操作”（NOP）周期，以提供总线转向时间。但是，这些“等待周期”会影响总线的利用率，从而导致带宽利用不足。由于带宽利用率是一项关键因素，所以，这些同步 SRAM 并非此类网络应用的理想选择。

为了解决总线争用问题，人们开发了“无总线延迟”（NoBL）、也称“零总线转向”（ZBT）型 SRAM。这些 SRAM 在外围电路中包含了数据寄存器，用于实现流水线型的读和写操作，由此消除“等待”周期并实现峰值总线利用率。然而，随着线路速率达到每秒几十千兆位（Gbps），与速度、带宽和接口相关的各种瓶颈问题必须得到解决。许多不仅要求较高的工作速度、而且还需要对存储器进行同时读写操作的应用已经涌现出来。虽然最初非常适合于网络架构，但是，NoBL SRAM 却无法满足其性能要求的不断攀升。因此，人们开发出了最新一代的网络存储器 —— QDR/DDR 系列 SRAM，旨在满足如今网络应用的速度、密度和带宽要求。

[+] Feedback

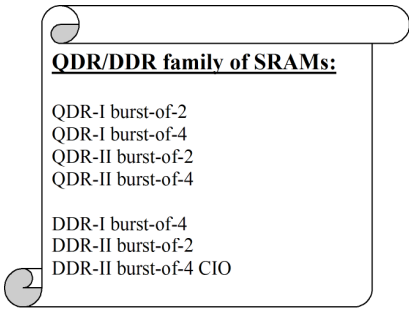
QDR/DDR 系列 SRAM

作为最新一代的同步 SRAM，QDR 和 QDR-II SRAM 是由 QDR 协会（赛普拉斯、Renesas、IDT、NEC 和 Samsung）的成员公司开发的。该网络 SRAM 系列与双倍数据速率（DDR）和 DDR-II SRAM 一起提供了面向所有网络系统的完整存储器解决方案。

QDR 和 QDR-II SRAM 的速度高达 300MHz 以上，密度为 9Mb 至 72Mb（今后有望扩展至高达 288Mb 以上）。QDR 和 QDR-II SRAM 具有用于读和写操作的单独端口，因而消除了总线争用。与其他的 SRAM 相比，这些端口上的双倍数据速率接口（数据在时钟的上升沿和下降沿均被写入 SRAM 或从 SRAM 读出）基本上使每个引脚的带宽增加了一倍。较之早期的同步 SRAM，拥有单独的输入和输出端口并在这些端口上设置 DDR 接口使得总带宽增加了 3 倍。

DDR 和 DDR-II SRAM 与 QDR SRAM 隶属于相同的存储器系列。它们与 QDR 和 QDR-II SRAM 很相似，主要的差异在于 DDR 和 DDR-II SRAM 不具备单独的读和写端口。QDR SRAM 能够同时执行读和写操作，而 DDR 器件则只能分别（而不是在某一给定的时刻同时）执行读和写操作。

图1示出了一个QDR-II 4字脉冲串器件的方框图。



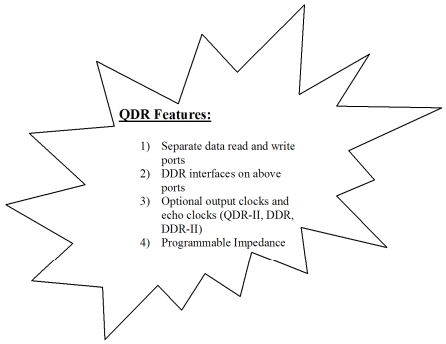
其他一些特点使得 QDR 系列 DRAM 成为高速网络应用的理想选择：

- **输出时钟**：除了输入时钟 K 和 K#之外，还可采用一对输出数据时钟 C 和 C#对来自 SRAM 的数据进行同步处理。这些输出时钟的使用是任选的。在单时钟模式选项中，数据被同步至输入时钟。
- **可编程输出阻抗**：QDR SRAM 具备可编程阻抗电路，能够将其输出驱动器强度调节至与传输线路的阻抗相匹配。匹配阻抗可改善器件的信号完整性。
- **回波时钟**：这些 SRAM 产生了一对与数据严密匹配（与数据实现了边缘对齐）的输出时钟，即：CQ 和 CQ#。因此，这些时钟充当了取自 SRAM 的输出时钟，可被用于将输出数据锁存至控制器中。

[+] Feedback

QDR-II、DDR 和 DDR-II 产品中都提供了回波时钟功能（QDR-I 中没有该功能）。

下一节将讨论低延迟 DRAM（RLDRAM），这是网络应用中所使用的一类 DRAM 存储器。



RLDRAM

一般地，DRAM 中的内部存储器阵列是以“存储体”（bank）来组织的，存储单元以存储体、行和列地址的形式来规定。在对一个存储体中的某一特定“行”进行存取之前，该存储体（或准确地说，是“行”）必须被打开或者“启动”（图 2 中的周期#1）。在一个存取操作之后，该“行”必须在打开同一个存储体中的另一个“行”之前被关闭或“预充电”。于是，在对某一特定存储体的不同“行”进行的两个存取操作之间，该存储体必须在其前一个操作结束时完成预充电（周期#7），并在执行下一个存取操作之前启动新的“行”（周期#9）。在此期间，存储体不能被存取。而存储体的这种不可用性反过来又限制了对相同存储体进行存取操作的频率。存取操作之间（或者存储体启动之间，如图所示）的最小延时会影响 DRAM 的带宽。对存储体的即时存取操作有所影响的该延迟（对于图 2 所示的实例而言，为 8 个时钟周期）被称为*随机周期时间*、*同时工作命令周期*或*相同存储体延迟*，并且在数据表规格中被称作 t_{RC}。

RLDRAM 是专为解决该问题而设计的，因而在低延迟、高带宽 SRAM 市场上的普及率日益提高。

低延迟 DRAM（RLDRAM）是一种由 Micron 和 Infineon 公司开发的 DRAM 架构，它利用一种改进的架构和接口设计解决了 t_{RC} 限制问题。

RLDRAM II 器件采用了一种 8 排存储器阵列架构。一直以来，DRAM 采用的都是 4 排配置，但 RLDRAM 所采用的这种 8 排配置则有助于实现其峰值带宽，虽然是在特定的条件下（后文将对此加以讨论）。存

[+] Feedback

储体的增加使其可被存取的概率提高了，也就是说，其中一个存储体或许已经处于预充电状态了。这使得 RLDRAM II 中的可用存储体命中概率有所提升。

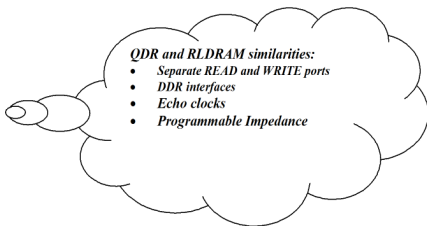
而且，RLDRAM II 还具有一个 SRAM 型接口，从而令其比其他 DRAM 更加适合于网络应用。器件的寻址与 SRAM 相似 —— 提供的地址不必非得像使用标准 DRAM 时那样以行地址和列地址的形式给出。在典型的 DRAM 中，行启动必需在提供一个列地址之前进行，由此使得阵列存取成为一个两步过程。在 RLDRAM 中，利用内部预充电和内置启动，整个寻址过程可在单周期内完成，从而大幅度地简化了寻址。

此外，RLDRAM II 还具备双倍数据速率接口，允许在时钟脉冲的上升沿和下降沿上均传送数据，从而使得带宽比采用标准的单数据速率接口时增加了 1 倍。

图 3 示出了 RLDRAM II SIO 架构的方框图。

RLDRAM II 的其他特点如下：

- 与 QDR/DDR 系列 SRAM 相似，RLDRAM II 架构也具有单独 I/O（SIO）和共用 I/O（CIO）版本。SIO RLDRAM II 架构允许像 QDR 那样同时进行读和写操作，而 CIO 架构则与 DDR SRAM 相似。
- 虽然具有一种 SRAM 型寻址功能，但 RLDRAM 也可以采用传统的 DRAM 多路复用寻址电路（通过模式寄存器中的某种设置来启用）。该功能使得 RLDRAM 在寻址方面具有了与老式控制器设计的后向兼容性，并且减少了存储控制器所使用的地址引脚的数量。
- 一个输出信号（*数据有效信号*）用于指示在 I/O 线路上被读出的数据。
- RLDRAM II 设计还采用了数据选通时钟，即一对用于锁存输出数据的自由振荡时钟（类似于 QDR-II 的回波时钟 CQ 和 CQ#）。



RLDRAM II 架构能够实现 100%的带宽利用率，尽管只是在某种特定的存取或寻址模式下。如上文所述，无须对 RLDRAM 中的地址线进行多路复用（无须在不同的时点对行/存储体和列地址进行确定）。

[+] Feedback

因此，采用地址线的最低有效位（LSB）来以一种循环配置技术进行存储体的定位，可确保同一个存储体在一段特定的持续时间里不被存取。这意味着，通过采用控制器地址线的 LSB 作为至 RLDRAM 的存储体输入（引脚 B0、B1 和 B2），并使其按序增加，将确保在某一特定的期间当中，每个周期对一个不同的存储体进行存取。如图 4 所示，如果该期间大于或等于随机周期（t_{RC}），则 t_{RC} 将不再限制器件的带宽，从而实现 100%的带宽利用率。如果控制器进行的存取是按序的，则这种循环配置寻址技术可能是有益的。然而，在网络应用中，数据存取存在不可预测性和随机性，因此，存储体的存取顺序可能是随机的。这意味着，采用循环配置地址路由技术来对 RLDRAM 进行存取的做法或许不能奏效，并仍有可能导致同一个存储体在 t_{RC} 消逝之前被存取，从而引发故障存取操作。所以，在数据模式不可预测的场合中，t_{RC} 有可能限制 RLDRAM II 的带宽。

另一个需要考虑的要点是脉冲串长度。对于一个新的存取而言，较高的脉冲串长度意味着更多的时间。因此，当采用一个具有较高脉冲串长度的器件时，需要交替地对较少的存储体进行存取，以弥补 t_{RC} 延迟；然而，当采用一个脉冲串长度较小的器件时，则需要交替地使用较多的存储体，以实现可能的最大带宽。

比较 QDR SRAM 和 RLDRAM

在分析了两种高速存储器解决方案之间的架构差异之后，现在我们将根据它们在各种情况下的稳定性来对其加以比较。

应用的随机性

尽管 RLDRAM II 能够运用一种循环配置寻址方案和一种特定的存取顺序来实现 100%的带宽利用率，但是，当进行随机数据存取时，它就不那么有效了。虽然 RLDRAM II 的架构特征（比如：具有更多的可用存储体并采用了内部预充电和内置启动机制）确保了 t_{RC} 的缩短，但是，它们并没有完全消除该延迟及其对带宽的影响。

图 5 中的波形显示了当数据模式不可预测时，t_{RC} 延迟在短暂的随机脉冲串期间对其带宽的影响情况。对存储体 A 进行的第二个存取操作不得不等待几个周期（直到 t_{RC} 消逝），因而导致数据总线利用不足。

[+] Feedback

在这种场合，由于数据存取的不可预测性，RLDRAM 架构的带宽将会受到影响。

相比之下，QDR SRAM 在存取操作之间不需要任何等待，因此不会受到应用随机性的影响。它们可实现 100%的带宽利用率，而与存取顺序或数据模式的随机性无关。

初始延迟

如图 5 所示，与 QDR SRAM 相比，RLDRAM II 的初始延迟要高得多。QDR 和 QDR-II SRAM 的初始读操作延迟分别仅为 1.0 和 1.5 个时钟周期；于是，在一个脉冲串期间，QDR SRAM 中第一个数据段的出现要比在 RLDRAM II 中早得多。这使得 QDR SRAM 成为低延迟应用的理想选择。在 RLDRAM II 中，当接连出现短数据存取操作时，漫长的初始延迟将是一个问题。

图 5 还说明了短脉冲串长度是如何限制 RLDRAM II 的带宽利用率的。

比较起来，QDR（或 DDR）器件的带宽在某一给定频率条件下是不受脉冲串长度的影响的。

密度和成本

在对存储器选择方案做出决定时，如果“密度”和“每位成本”是比“应用随机性”和“连续峰值带宽利用率”更加重要的考虑因素，则 RLDRAM 将能够凭借较小的 1T 存储单元而提供一种切实可行的选择方案。

总线利用率

在选择正确的存储器解决方案时，总线利用率是一个关键的因素。图 6 示出了以下诸点。

有些系统可能具有一个 1:1 的“近期”读/写比 —— 少量且数目相等的读和写操作，常常相互交错。在这种系统中，插入用于总线转向的空周期将导致大量的周期被浪费，并对带宽产生不利的影响。因此，DDR SIO SRAM、QDR SRAM 或 RLDRAM II SIO 将是更好的选择。

[+] Feedback

另一方面，诸如 DDR SRAM 和 RLDRAM II CIO 等 CIO 器件将能更好地适合具有 1:1 的“长期”读/写比的应用（读和写以长脉冲串的形式出现）。如果读和写操作发生在长序列中且不经常交替，则为克服总线争用而丢失的周期数量与用于读和写操作的周期数量相比非常之少，从而使得诸如 DDR SRAM 或 RLDRAM II CIO 等 CIO 器件成为一种合适的选择方案。在此类应用中，选择 SIO 器件将导致 I/O 在相当大一部分周期里被浪费。

第三种可能的情形是读和写操作同时出现。在这样的系统中，采用诸如 QDR SRAM 和 RLDRAM II SIO 等 SIO 器件将是很理想的。

总之，在选择正确的存储器解决方案时（就 I/O 架构而言），全面了解应用的总线利用率是至关重要的。

图 6 示出了不同的读/写模式以及各自最为适合的存储器解决方案。

重要的决定：选择正确的存储器

由于目前有多种可用的高速同步存储器，因而为系统设计师提供了众多的可行存储器解决方案。线路卡通常需要针对不同功能（例如：查找表、信息包缓存和队列管理）的多种存储器。虽然所有这些功能均需要使用高性能存储器，但并不是任何一种高速网络存储器都将成为其理想的选择。本节将说明线路卡的不同存储器要求，并指出与每种应用最为适合的存储器解决方案。

图 7 示出了一种典型线路卡的高级视图。

查找表

查找表负责在传送信息包的同时执行地址变换，它位于线路卡的控制平面中。查找表的存储器存取操作常常是随机的，并以短暂的读操作脉冲串为特征。所以，在选择存储器时延迟是最为至关重要的因素。

[+] Feedback

近来，由于核心路由器需要处理大量的入口，因此密度也开始成为一项要素。虽然用于查找表的理想存储器解决方案实际上有可能因架构的不同而存在差异，但是，QDR/DDR 系列 SRAM 具有非常多的优点。如前文所述，QDR SRAM 的读延迟比 RLDRAM 短得多。这使得它们更加适合于以短暂的读脉冲串为主且需要进行快速存取的查找表。

此外，应用的随机性以及短脉冲串期间的总线转向时间也是使 QDR SRAM 成为查找表的首选存储器解决方案的关键因素。

另一方面，如果查找表很庞大，而且成本又是一项必需予以考虑的因素，那么 RLDRAM II 将凭借其低延迟、高密度和低成本的特点而成为一种上佳的选择。

队列/信息包管理

线路卡中的队列管理和流量控制以随机读和写操作为特征。因此，不可预测数据模式的延迟是存储器选择过程中需要加以考虑的一个重要因素。

QDR SRAM 和 RLDRAM II 的延迟比较结果表明：QDR SRAM 的性能要远远优于网络 DRAM，尤其是在无法预知数据模式的时候更是如此。RLDRAM II 在随机读和写操作期间所表现出来的缺点在前文中已经解释过了。

在诸如队列管理等应用中，由于决定性的因素是延迟，而不是密度，因此 QDR SRAM 是更好的选择。

统计缓冲器

统计缓冲器负责处理票据、诊断和各种其他信息。在信息包处理期间，统计数据的存取必须快速完成，因此低延迟是至关紧要的。然而，统计数据一般不大，所以操作将以短脉冲串（或无脉冲串）为特征。QDR SRAM 和 NoBL SRAM 均非常适合于该应用。

[+] Feedback

信息包单元缓冲器

数据平面中的信息包缓冲器用于在信息包的处理过程中将其缓存于输出端口和交换结构中。根据 ASIC 或 NPU 的处理速度的不同，信息包缓冲存储器将需要具有非常高的工作速度和/或密度。在重视延迟的设计中，应优先选择 QDR SRAM，而在重视密度的场合，RLDRAM II 将是一种可行的选择方案。

Cypress Semiconductor
198 Champion Court
San Jose, CA 95134-1709
Phone: 408-943-2600
Fax: 408-943-4730
http://www.cypress.com

© Cypress Semiconductor Corporation, 2007. The information contained herein is subject to change without notice. Cypress Semiconductor Corporation assumes no responsibility for the use of any circuitry other than circuitry embodied in a Cypress product. Nor does it convey or imply any license under patent or other rights. Cypress products are not warranted nor intended to be used for medical, life support, life saving, critical control or safety applications, unless pursuant to an express written agreement with Cypress. Furthermore, Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress products in life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

PSoC Designer™, Programmable System-on-Chip™, and PSoC Express™ are trademarks and PSoC® is a registered trademark of Cypress Semiconductor Corp. All other trademarks or registered trademarks referenced herein are property of the respective corporations.

This Source Code (software and/or firmware) is owned by Cypress Semiconductor Corporation (Cypress) and is protected by and subject to worldwide patent protection (United States and foreign), United States copyright laws and international treaty provisions. Cypress hereby grants to licensee a personal, non-exclusive, non-transferable license to copy, use, modify, create derivative works of, and compile the Cypress Source Code and derivative works for the sole purpose of creating custom software and or firmware in support of licensee product to be used only in conjunction with a Cypress integrated circuit as specified in the applicable agreement. Any reproduction, modification, translation, compilation, or representation of this Source Code except as specified above is prohibited without the express written permission of Cypress.

Disclaimer: CYPRESS MAKES NO WARRANTY OF ANY KIND, EXPRESS OR IMPLIED, WITH REGARD TO THIS MATERIAL, INCLUDING, BUT NOT LIMITED TO, THE IMPLIED WARRANTIES OF MERCHANTABILITY AND FITNESS FOR A PARTICULAR PURPOSE. Cypress reserves the right to make changes without further notice to the materials described herein. Cypress does not assume any liability arising out of the application or use of any product or circuit described herein. Cypress does not authorize its products for use as critical components in life-support systems where a malfunction or failure may reasonably be expected to result in significant injury to the user. The inclusion of Cypress' product in a life-support systems application implies that the manufacturer assumes all risk of such use and in doing so indemnifies Cypress against all charges.

Use may be limited by and subject to the applicable Cypress software license agreement.