FM25C160B

16K ビット (2K×8) シリアル (SPI) 車載用 F-RAM

特長

- 2K×8 構成の 16K ビット強誘電体 RAM (F-RAM)
  - 高いアクセス可能回数: 100 兆 (10^{13}) 回の読み出し／書き込み
  - 121年のデータ保持 (データ保持期間およびアクセス可能回数表を参照)
  - NoDelay™ 書き込み
  - 高い信頼性がある強誘電体プロセス
- 高速シリアル ペリフェラル インターフェース (SPI)
  - 15MHz までの動作周波数
  - シリアル フラッシュおよび EEPROM からの置き換え
  - SPI モード 0 (0、0) および SPI モード 3 (1、1) をサポート
- 洗練された書き込み保護スキーム
  - 書き込み保護 ($\overline{WP}$) ピンを使ったハードウェアによる保護
  - 書き込みディスエーブル命令を使用したソフトウェアによる保護
  - アレイの 1/4、1/2、全体を対象としたソフトウェア ブロック保護
- 低消費電力
  - 1MHz でのアクティブ電流 300μA
  - +85°C での 10mA (typ) スタンバイ電流
- 動作電圧 : V_{DD}=4.5V ～ 5.5V
- 車載用拡張温度範囲 : –40°C ～ +125°C
- 8 ピン小型集積回路 (SOIC) パッケージ
- AEC-Q100 グレード 1 準拠
- 特定有害物質使用制限 (RoHS) 準拠

機能の概要

FM25C160B は、高度な強誘電体プロセスを適用した 16K ビットの不揮発性メモリです。

強誘電体ランダム アクセス メモリ (F-RAM) は不揮発性であり、RAM 同様に読み書きを実行します。またシリアル フラッシュや EEPROM、その他の不揮発性メモリによる複雑さ、オーバーヘッド、システム レベルの信頼性関連問題を回避し、121 年間にわたって信頼できるデータ保持を可能とします。

シリアル フラッシュや EEPROM と異なり、FM25C160B はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは、各バイトがデバイスに正常に転送された直後にメモリ アレイに書き込まれます。次のバス サイクルはデータ ポーリングを必要とせず開始できます。

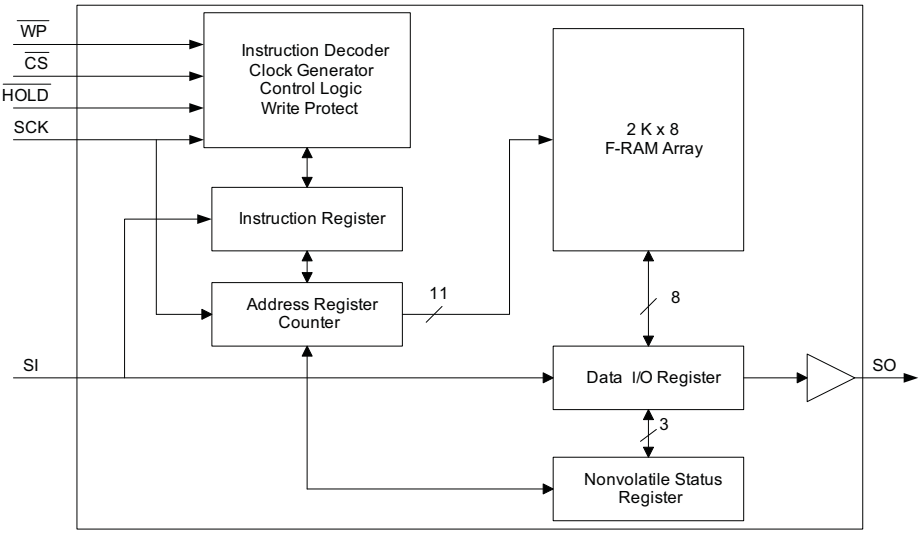
また本製品は他の不揮発性メモリと比較して多くの書き換え回数を提供しています。FM25C160B は 10^{13} 回の読み出し／書き込みサイクル、即ち EEPROM に比べ 1 千万の書き込みサイクルに対応できます。

これらの能力により、FM25C160B は、頻繁で急速書き込みを必要とする不揮発性メモリの用途に理想的なものになります。これらの用途例は、書き込み回数を重視するデータ収集から、シリアル フラッシュや EEPROM を使った長い書き込み時間によりデータ損失が発生することがある厳しい産業用制御まで及びます。

FM25C160B は同一ピンアサインで置き換えができるため、シリアル EEPROM やフラッシュを使用するユーザーに大幅な利点を提供します。FM25C160B は、F-RAM 技術の高速な書き込み機能を強化する高速 SPI バスを使用します。

デバイス仕様は、–40°C ～ +125°C の車載用拡張温度範囲において保証されます。

論理ブロック図

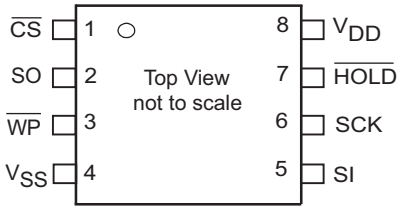


目次

ピン配置 **3**
ピン機能 **3**
概要 **4**
メモリ アーキテクチャ **4**
シリアル ペリフェラル インターフェース – SPI バス **4**
SPI 概要 4
SPI モード 6
電源投入時から最初のアクセスまで 6
コマンドの構成 6
WREN - 書き込みイネーブル ラッチの設定 6
WRDI - 書き込みイネーブル ラッチのリセット 6
ステータス レジスタおよび書き込み保護 **7**
RDSR - ステータス レジスタの読み出し 7
WRSR - ステータス レジスタの書き込み 7
メモリの動作 **8**
書き込み動作 8
読み出し動作 8
HOLD ピンの動作 9
アクセス可能回数 10
最大定格 **11**
動作範囲 **11**
DC 電気的特性 **11**
データ保持期間およびアクセス可能回数 **12**
AEC-Q100 車載用アプリケーションでの F-RAM 製品寿命の例 **12**
静電容量 **12**
熱抵抗 **12**
AC テスト条件 **12**
AC スイッチング特性 **13**
パワー サイクル タイミング **15**
注文情報 **16**
注文コードの定義 16
パッケージ図 **17**
略語 **18**
本書の表記法 **18**
測定単位 18
改訂履歴 **19**
セールス、ソリューションおよび法律情報 **20**
ワールドワイドな販売と設計サポート 20
製品 20
PSoC® ソリューション 20
サイプレス開発者コミュニティ 20
テクニカル サポート 20

ピン配置

図 1. 8 ピン SOIC ピン配置



ピン機能

ピン名	I/O タイプ	説明
$\overline{CS}$	入力	**チップセレクト** — アクティブ LOW 入力でデバイスを起動させる。HIGH になった場合、デバイスは低消費電力のスタンバイ モードに移行し、他の入力を無視し、出力をトライステートにする。LOW になった場合、デバイスが SCK 信号を内部でアクティブにする。$\overline{CS}$ の立ち下がりエッジは、オペコードの発行前に発生しなければならない
SCK	入力	**シリアル クロック** — 入出力はシリアル クロックに同期される。入力は立ち上がりエッジにラッチされ、出力は立ち下がりエッジで駆動される。同期デバイスであるため、クロック周波数は 0MHz ～ 15MHz 範囲内であり、いつでも割り込まれる可能性がある
SI[1]	入力	**シリアル入力** — このピンからデバイスにすべてのデータを入力。入力は SCK の立ち上がりエッジでサンプリングされ、それ以外では無効。I_{DD} 仕様を満たすため、入力を有効な論理レベルで駆動することが必要
SO[1]	出力	**シリアル出力** — データ出力ピン。本ピンは読み出し中に駆動され、それ以外では $\overline{HOLD}$ が LOW の時も含めトライステートの状態になる。データはシリアル クロックの立ち下がりエッジで遷移
$\overline{WP}$	入力	**書き込み保護** — WPEN が「1」のとき、本 LOW アクティブ端子はステータス レジスタへの書き込み動作を無効とする。その他の書き込み保護機能はステータス レジスタによって制御されるため、このことは重要。書き込み保護の詳細については、7 ページの「ステータス レジスタおよび書き込み保護」を参照。このピンを使用しない場合、V_{DD} に接続すること FM25C160B の $\overline{WP}$ の機能は FM25160 の信号の機能と異なることに注意
$\overline{HOLD}$	入力	**$\overline{HOLD}$ ピン** — ホスト CPU が他のタスクのためメモリ動作に割り込む必要がある場合、$\overline{HOLD}$ ピンを使用。$\overline{HOLD}$ が LOW になると、現時点の動作が中断される。デバイスは SCK もしくは $\overline{CS}$ の遷移を無視。$\overline{HOLD}$ は SCK が LOW の間に遷移させる必要がある。このピンを使用しない場合、V_{DD} に接続すること
V_{SS}	電源	デバイス グランドで、システム グランドに接続すること
V_{DD}	電源	デバイス電源入力

注
1. SI を SO と接続し 1 本のデータ インターフェースとして利用されることがあります。

概要

FM25C160B はシリアル F-RAM メモリです。

メモリ アレイは 2,048×8 ビットで構成され、業界標準のシリアル ペリフェラル インターフェース (SPI) バスを使用してアクセスされます。F-RAM の機能はシリアル フラッシュ、シリアル EEPROM と同じです。同じピン配置の FM25C160B とシリアル フラッシュや EEPROM と違う点は、F-RAM の優れた書き込み性能、高いアクセス可能回数、低消費電力です。このデバイスは、SPI モード 3 と産業標準 16 ビット アドレス プロトコールをサポートするため、サイプレスの 25160 と違います。これにより、FM25C160B はモード 0 とモード 3 をサポートする殆どの 16K ビット SPI EEPROM に対し置き換え可能となります。

メモリ アーキテクチャ

FM25C160B のアクセスには、8 データ ビット毎に 2K ヶ所の位置をアドレス指定します。これら 8 つのデータ ビットは順次シフトイン／シフトアウトされます。アドレスは、チップ セレクト (バス上で複数デバイスを許可する用) とオペコード、2 バイトのアドレスを含む SPI プロトコルを使ってアクセスされます。アドレス範囲の上位 5 ビットは「ドント ケア」値です。11 ビットのアドレスは、バイト専用のアドレスを指定します。

FM25C160B の殆どの機能は、SPI インターフェースにより制御されるか、または基板に搭載された回路によって処理されます。メモリ動作に対応したアクセス時間は基本的に 0 であり、シリアルプロトコルに必要な時間も考慮すべきです。すなわち、メモリは SPI バスの速度で読み書きされます。

シリアル フラッシュや EEPROM と異なり、書き込み処理がバス速度で行われるので、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバス トランザクションがデバイスに送り込まれるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されています 。

注 : FM25C160B は、内部パワーオン リセット回路以外に他の電源管理回路を備えていません。誤動作を防ぐために V_{DD} がデータシートに記載された許容誤差以内であることを保証するのは、ユーザーの責任です。チップ イネーブルがアクティブになった時、デバイスへの電源を切断しないことをお勧めします。

シリアル ペリフェラル インターフェース – SPI バス

FM25C160B は SPI スレーブ デバイスであり、最速 15MHz で動作します。この高速シリアル バスにより、SPI マスターとの間で高性能のシリアル通信が可能です。多くの一般的なマイクロコントローラーは、ハードウェア SPI ポートを持っており、直接インターフェースを可能とします。SPI ポートを持たないマイクロコントローラーで、通常のポートを使用して SPI ポートをエミュレートするのは非常に簡単です。FM25C160B は、SPI モード 0 および 3 で動作します。

SPI 概要

SPI は、チップ セレクト ($\overline{CS}$) とシリアル入力 (SI)、シリアル出力 (SO)、シリアル クロック (SCK) ピンの 4 ピン インターフェースです。

SPI は、メモリ アクセスにクロックとデータ ピンを使用し、データバス上の複数デバイスをサポートする同期シリアル インターフェースです。SPI バス上のデバイスは、$\overline{CS}$ ピンを使用してアクティブにされます。

チップ セレクト、クロック、データの相互関係は SPI モードによります。このデバイスは、SPI モード 0 および 3 をサポートします。これらの両モードで、$\overline{CS}$ がアクティブになった後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジで、データが F-RAM にクロック入力されます。

SPI プロトコルはオペコードによって制御されます。これらのオペコードは、バス マスターからスレーブ デバイスへのコマンドを指定します。$\overline{CS}$ がアクティブにされた後、バス マスターから転送される最初のバイトがオペコードです。オペコードに続いて、アドレスとデータが転送されます。処理が完了した後、新しいオペコードが発行される前に、$\overline{CS}$ を非アクティブ化する必要があります。SPI プロトコルで一般的に使用される用語は以下の通りです。

SPI マスター

SPI マスター デバイスは、SPI バスを制御します。SPI バスは、複数のスレーブ デバイスを制御する 1 つのマスターを持っている場合があります。すべてのスレーブが同じ SPI バス ラインを共有し、マスターは $\overline{CS}$ ピンを使用してスレーブ デバイスのいずれかを選択することができます。すべてのオペレーションは、マスターがスレーブの $\overline{CS}$ ピンを LOW にプルダウンすることによってスレーブ デバイスをアクティブにして開始する必要があります。マスターは SCK も生成し、SI と SO ライン上のすべてのデータ転送はこのクロックに同期されます。

SPI スレーブ

SPI スレーブ デバイスは、チップ セレクト ラインを介してマスターによってアクティブにされます。スレーブ デバイスは、SPI マスターからの入力として SCK を取得し、すべての通信はこのクロックに同期されます。SPI スレーブが SPI バス上の通信を開始せず、マスターからの命令に従って動作します。

FM25C160B は SPI スレーブとして動作し、他の SPI スレーブ デバイスと SPI バスを共有する場合があります。

チップ セレクト ($\overline{CS}$)

すべてのスレーブ デバイスを選択するためには、マスターは対応する $\overline{CS}$ ピンを LOW 駆動する必要があります。$\overline{CS}$ ピンが LOW になっている時だけ、命令をスレーブ デバイスに発行することができます。

デバイスが選択されていない場合、SI ピン経由のデータは無視され、シリアル出力ピン (SO) は高インピーダンス状態のままとなります。

注 : 新しい命令は $\overline{CS}$ の立ち下がりエッジで開始される必要があります。したがってアクティブなチップ セレクト サイクル毎に 1 つのオペコードのみが発行されます。

シリアル クロック (SCK)

シリアル クロックは SPI マスターによって生成され、$\overline{CS}$ が LOW になった後、通信はこのクロックに同期されます。

FM25C160B は、データ通信のために SPI モード 0 と 3 を有効にします。これらの両モードにおいて、入力は SCK の立ち上がりエッジでスレーブ デバイスによってラッチされ、出力は立ち下がりエッジで発行されます。そのため、SCK の最初の立ち上がりエッジは、SI ピンに SPI 命令の最初のビット (MSB) が

到着したことを意味します。さらに、すべてのデータの入力と出力は SCK と同期されます。

データ転送 (SI ／ SO)

SPI データ バスは、シリアル データ通信用に SI と SO の 2 線で構成されます。SI はマスター アウト スレーブ イン (MOSI)、SO はマスター イン スレーブ アウト (MISO) とも呼ばれています。マスターは SI ピンを介してスレーブに命令を発行し、スレーブは SO ピンを介して応答します。複数のスレーブ デバイスは、前述のように SI と SO ラインを共有する場合があります。

図 2 に示すように、FM25C160B にはマスターと接続することができる SI と SO 用の 2 つの独立したピンがあります。

専用 SPI バスを持たないマイクロコントローラーでは、汎用ポートが使用されることもあります。マイコンのハードウェア リソースを減らすために、2 つのデータ ピン (SI、SO) を 1 つにまとめて接続し、HOLD ピンと WP ピンを HIGH に固定接続することができます。図 3 はマイコンのピンを 3 個のみ使用しているこのコンフィギュレーションを示します。

最上位ビット (MSB)

SPI プロトコルでは、送信される最初のビットが最上位ビット (MSB) である必要があります。この方式はアドレスとデータ転送の両方には適用されます。

16K ビット シリアル F-RAM は、すべての読み書き込み動作に対応して 2 バイトのアドレスを必要とします。アドレスは 11 ビットであるため、入力された最初の 5 ビットはデバイスによって無視されます。これらの 3 ビットは「ドント ケア」ですが、より高容量メモリへの円滑な遷移を可能にするために、これらを 0 に設定することをサイプレスはお勧めします。

シリアル オペコード

CS が LOW になる状態でスレーブ デバイスが選択された後、最初に受信されたバイトは、意図されている動作用のオペコードとして扱われます。FM25C160B は、メモリ アクセスのために標準オペコードを使用します。

無効なオペコード

無効なオペコードが受信されるとそのオペコードは無視され、デバイスは SI ピン上にある追加のシリアル データを次の CS の立ち下がりエッジまで無視し、SO ピンはトライステートのままとなります。

ステータス レジスタ

FM25C160B には、8 ビットのステータス レジスタがあります。ステータス レジスタ内のビットはデバイスをコンフィギュレーションするために使用されます。これらのビットは 7 ページの表 3 で説明されています。

図 2. SPI ポートを使ったシステム コンフィギュレーション

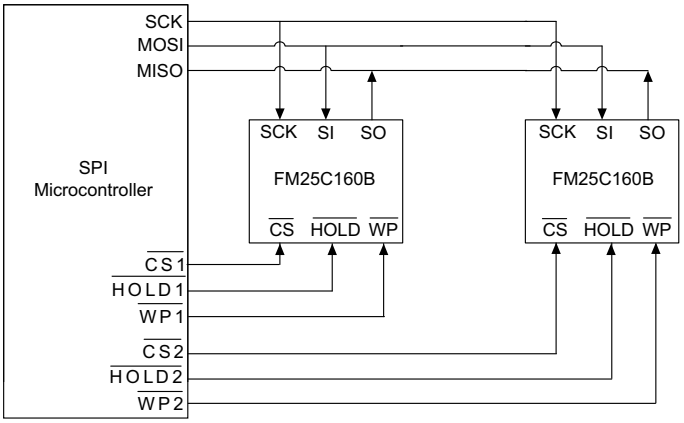
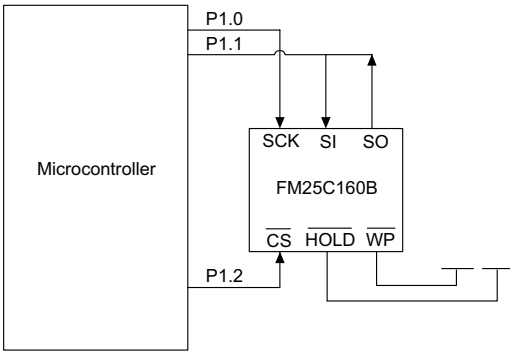


図 3. SPI ポートを使用しないシステム コンフィギュレーション



SPI モード

FM25C160B FM25040B は、SPI ペリフェラルが次の 2 つのモードのいずれかで実行されているマイクロコントローラーによって駆動することができます。

- SPI モード 0 (CPOL=0、CPHA=0)
- SPI モード 3 (CPOL=1、CPHA=1)

この両モードでは、入力データが $\overline{CS}$ がアクティブにされた後の最初の立ち上がりエッジから始まる SCK の立ち上がりエッジでラッチされます。クロックが HIGH 状態から起動される場合 (モード 3) では、クロック トグル後の最初の立ち上がりエッジになります。出力データは SCK の立ち下がりエッジで利用可能となります。

2 つの SPI モードは 6 ページの図 4 と 6 ページの図 5 に示されています。バス マスターがデータを転送していない時のクロックの状態は以下の通りです。

- モード 0 では、SCK が 0 のままです。
- モード 3 では、SCK が 1 のままです。

$\overline{CS}$ ピンを LOW にすることによってデバイスが選択された時、デバイスは SCK ピンの状態から SPI モードを検出します。デバイスが選択された時に、SCK ピンが LOW ならデバイスは SPI モード 0 で動作し、SCK ピンが HIGH ならデバイスは SPI モード 3 で動作します。

図 4. SPI モード 0

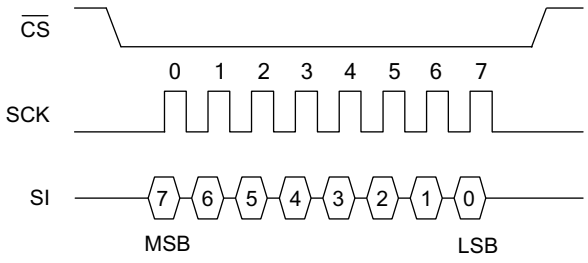
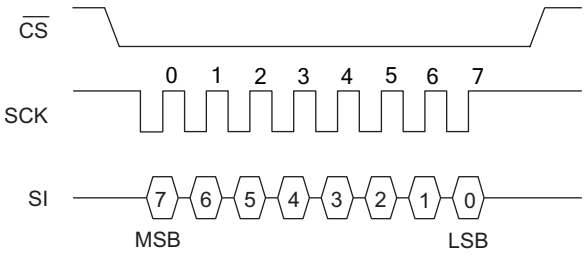


図 5. SPI モード 3



電源投入時から最初のアクセスまで

電源投入後の t_{PU} の間、FM25C160B へはアクセスできません。ユーザーはタイミング パラメーター、$t_{PU}(V_{DD}(min)$ から $\overline{CS}$ が初めて LOW になる時までの最短期間) に従わねばなりません。

コマンドの構成

バス マスターが FM25C160B に発行するコマンド (オペコードと呼ばれる) は 6 個あります。これらを表 1 に示します。これらのオペコードはメモリが実行する機能を制御します。

表 1. オペコード コマンド

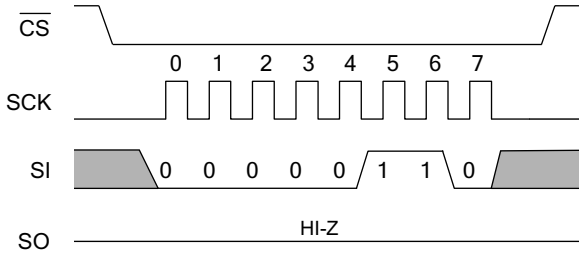
名称	説明	オペコード
WREN	書き込みイネーブル ラッチ セット	0000 0110b
WRDI	書き込みディスエーブル	0000 0100b
RDSR	ステータス レジスタの読み出し	0000 0101b
WRSR	ステータス レジスタの書き込み	0000 0001b
READ	メモリ データ読み出し	0000 0011b
WRITE	メモリ データ書き込み	0000 0010b

WREN - 書き込みイネーブル ラッチの設定

FM25C160B は、書き込みが無効の状態で電源投入されます。WRENコマンドを書き込み動作の前に発行する必要があります。WREN オペコードを送信することにより、ユーザーは書き込み動作用に次のオペコードを発行することができます。これらはステータス レジスタの書き込み (WRSR) とメモリの書き込み (WRITE) を含みます。

WREN オペコードを発行することにより、内部書き込みイネーブル ラッチはセットされます。WEL と呼ばれるステータス レジスタ内のフラグ ビットはラッチの状態を示します。WEL=「1」は、書き込みが許可されることを示します。ステータス レジスタの WEL ビットに書き込んでもこのビットの状態に影響を与えません。WREN オペコードだけがこのビットをセットできます。WEL ビットは、WRDI や WRSR、書き込み動作に続く $\overline{CS}$ の立ち上がりエッジで自動的にクリアされます。これにより、別の WREN コマンドを発行せず、ステータス レジスタまたは F-RAM アレイへの二重の書き込みを防ぐことができます。図 6 は、WREN コマンドのバス コンフィギュレーションを示します。

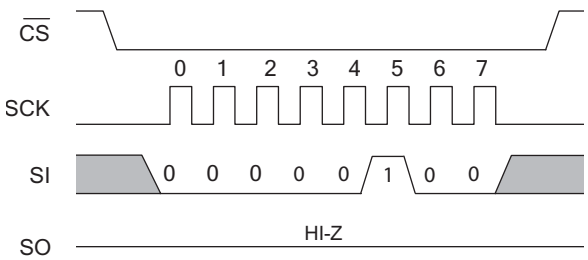
図 6. WREN バス コンフィギュレーション



WRDI - 書き込みイネーブル ラッチのリセット

WRDI コマンドは、書き込みイネーブル ラッチをクリアすることによりすべての書き込み動作を無効にします。ステータス レジスタ内の WEL ビットを読み出し、WEL ビットが「0」であることを確認することにより、ユーザーは書き込みが無効であることを確認できます。図 7 は、WRDI コマンドのバス コンフィギュレーションを示します。

図 7. WRDI バス コンフィギュレーション



ステータス レジスタおよび書き込み保護

FM25C160B の書き込み保護機能は多重的であり、ステータス レジスタを介して有効にされます。ステータス レジスタは以下のように構成されています。(工場出荷時、ステータス レジスタ内のビットのデフォルト値は、「0」です。)

表 2. ステータス レジスタ

ビット 7	ビット 6	ビット 5	ビット 4	ビット 3	ビット 2	ビット 1	ビット 0
WPEN (0)	X (0)	X (0)	X (0)	BP1 (0)	BP1 (0)	WEL (0)	X (0)

表 3. ステータス レジスタのビット定義

ビット	定義	説明
ビット 0	ドント ケア	このビットは書き込み不可であり、読み出すと常に「0」を返す
ビット 1 (WEL)	書き込みイネーブル ラッチ	WEL はデバイスの書き込みが有効かどうかを示す。電源投入時、このビットの初期値は「0」(無効) WEL=「1」--> 書き込みが有効 WEL=「0」--> 書き込みが無効
ビット 2 (BP0)	ブロック保護ビット「0」	ブロック保護のために使用。詳細は、7 ページの表 4 を参照
ビット 3 (BP1)	ブロック保護ビット「1」	ブロック保護のために使用。詳細は、7 ページの表 4 をご参照
ビット 4 ～ 6	ドントケア	これらのビットは書き込み不可であり、読み出し時に常に「0」を返す
ビット 7 (WPEN)	書き込み保護イネーブル ビット	書き込み保護ピン ($\overline{WP}$) の機能を有効にするために使用。詳細は、7 ページの表 5 をご参照

ビット 0 と 4 ～ 6 は、「0」に固定され、これらのビットは修正できません。F-RAM はリアルタイムで書き込まれ、ビジーの時がないため、ビット 0 (シリアル フラッシュや EEPROM での「Ready or Write in progress (待機または書き込み中)」の状態を示すビット) は不要であり、「0」として読み出されます。BP1 および BP0 はソフトウェアの書き込み保護機能を制御する不揮発性ビットです。WEL フラグは、書き込みイネーブル ラッチの状態を示します。ステータス レジスタの WEL ビットに直接書き込んでも状態は変りません。このビットは内部でそれぞれ WREN、WRDI コマンドを介してセット、クリアされます。

BP1 および BP0 はメモリ ブロックの書き込み保護ビットです。それらは表 4 で示すように書き込み保護されるメモリ領域を指定します。

表 4. ブロック メモリの書き込み保護

BP1	BP0	保護されたアドレス範囲
0	0	なし
0	1	600h ～ 7FFh (上位 1/4 領域)
1	0	400h ～ 7FFh (上位 1/2 領域)
1	1	000h ～ 7FFh (全領域)

BP1 と BP0 ビットと書き込みイネーブル ラッチは、メモリへの書き込みを防止する唯一のメカニズムです。残りの書き込み保護機能は、ブロック保護ビットへの不用意な変更を防止します。

ステータス レジスタの書き込み保護イネーブル ビット (WPEN) は、ハードウェア書き込み保護 ($\overline{WP}$) ピンの効果を制御します。WPEN ビットが「0」にクリアされると、$\overline{WP}$ ピンの状態は無視されます。WPEN ビットが「1」にセットされる時、$\overline{WP}$ ピンが LOW になるとステータス レジスタへの書き込みは防止されます。そのため、ステータス レジスタは、WPEN=1 および $\overline{WP}$=0 の場合のみ書き込み保護されます。

表 5 に書き込み保護条件をまとめます。

表 5. 書き込み保護

WEL	WPEN	$\overline{WP}$	保護ブロック	非保護ブロック	ステータス レジスタ
0	X	X	保護	保護	保護
1	0	X	保護	非保護	非保護
1	1	0	保護	非保護	保護
1	1	1	保護	非保護	非保護

RDSR - ステータス レジスタの読み出し

RDSR コマンドでは、バス マスターがステータス レジスタの内容を検証することができます。ステータス レジスタを読み出すことで、書き込み保護機能の現時点の状態に関する情報を得ます。RDSR オペコードに続いて、FM25C160B はステータス レジスタの内容を持つ 1 バイトを返します。

WRSR - ステータス レジスタの書き込み

WRSR コマンドを使って、SPI バス マスターがステータス レジスタへ書き込み、WPEN、BP0、BP1 ビットを必要に応じて設定することで書き込み保護のコンフィギュレーションを変更することができます。WRSR コマンドを発行する前には、$\overline{WP}$ ピンが HIGH または非アクティブである必要があります。FM25C160B では、$\overline{WP}$ がメモリ アレイではなくステータス レジスタへの書き込みを防止するだけであることに注意してくだ

さい。WRSR を送信する前に WREN コマンドを送信して書き込みを有効にしなければなりません。WRSR コマンドの実行は書き込み操作に相当するため、書き込みイネーブル ラッチがクリアされます。

図 8. RDSR バス コンフィギュレーション

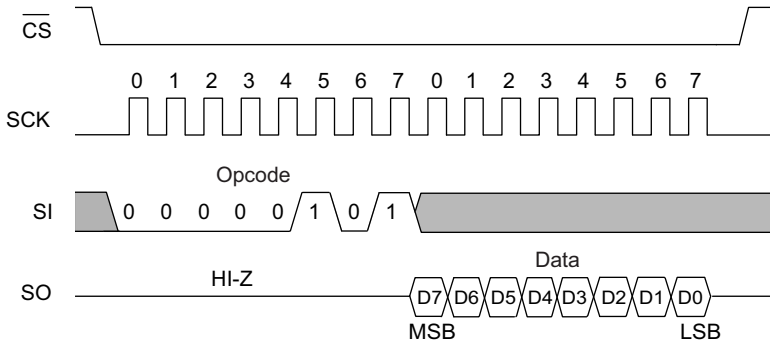
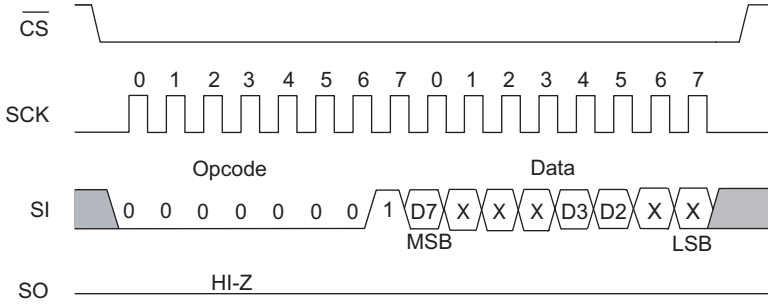


図 9. WRSR バス コンフィギュレーション (WREN 非表示)



メモリの動作

高いクロック周波数動作が可能な SPI インターフェースは、F-RAM 技術の高速書き込み機能を際立たせます。シリアル フラッシュや EEPROM と違って、FM25C160B はバス速度でシーケンシャルに書き込みを実行できます。ページ レジスタは不要であり、シーケンシャルな書き込みは何回でも実行できます。

書き込み動作

すべてのメモリへの書き込みはWRENオペコードから開始します。WRITE オペコードに続き、メモリへ書き込む最初のデータ バイトを指定する 11 ビット アドレス (A10 ～ A0) を含む 2 バイト アドレスが続きます。2 バイト アドレスの上位 5 ビットは無視されます。後続のバイトはシーケンシャルに書き込まれるデータ バイトです。バス マスターがクロックを送り、CS を LOW に維持している限り、アドレスは内部でインクリメントされます。7FFh の最終アドレスに達すると、カウンターは 000h に戻ります。データは MSB から書き込みます。$\overline{CS}$ の立ち上がりエッジで書き込み動作を終了します。書き込み動作を図 10 に示します。

注 バースト書き込みが保護されたブロックに達すると、アドレスの自動インクリメントは停止し、書き込み用に受信された後続のデータ バイトのすべてはデバイスに無視されます。

EEPROMはページ バッファを使用して書き込みスループットを上げます。ページ バッファは、書き込み動作が遅いという本来の特性を補償するものです。F-RAM メモリは、各データ バイトが (8 番目のクロックの後) クロック入力された直後に F-RAM アレイに書き込まれるため、ページ バッファを持っていません。そのためページ バッファの遅延なしにバイトをいくつも書き込むことができます。

注書き込み中に電力を喪失すると、最後に完了したバイトのみが書き込まれます。

読み出し動作

$\overline{CS}$の立ち下がりエッジの後に、バス マスターはREADオペコードを発行できます。READ コマンドの後には、読み出し動作の開始アドレスを指定する 11 ビット アドレス (A10 ～ A0) を含む 2 バイトのアドレスが続きます。アドレスの上位 5 ビットは無視されます。オペコードとアドレスが発行された後、デバイスは次の 8 クロック サイクルで読み出しデータを出力します。SI 入力は読み出しデータ バイトの出力中には無視されます。後続のバイトは順々に読み出されるデータ バイトです。バス マスターがクロックを送り、$\overline{CS}$ が LOW である限り、アドレスは内部でインクリメントされます。7FFh の最終アドレスに達すると、カウントは 000h に戻ります。データは MSB から読み出します。$\overline{CS}$ の立ち上がりエッジで読み出し動作を停止し、SO ピンをトライステートにします。読み出し動作を 図 11 に示します。

図 10. メモリ書き込み (WREN 非表示)

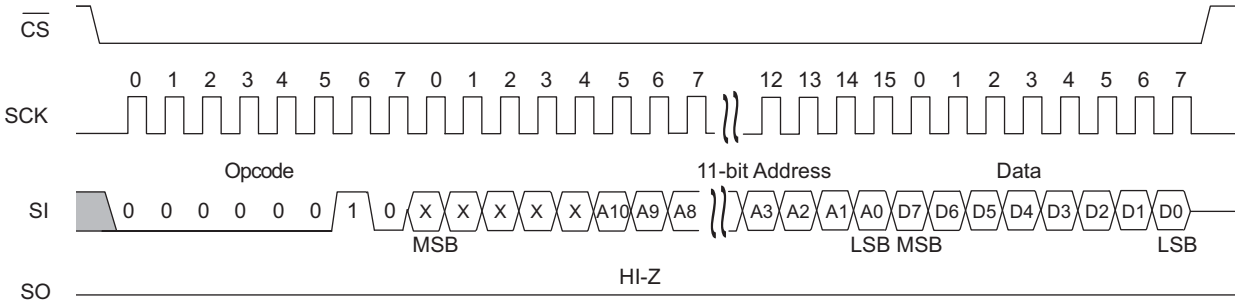
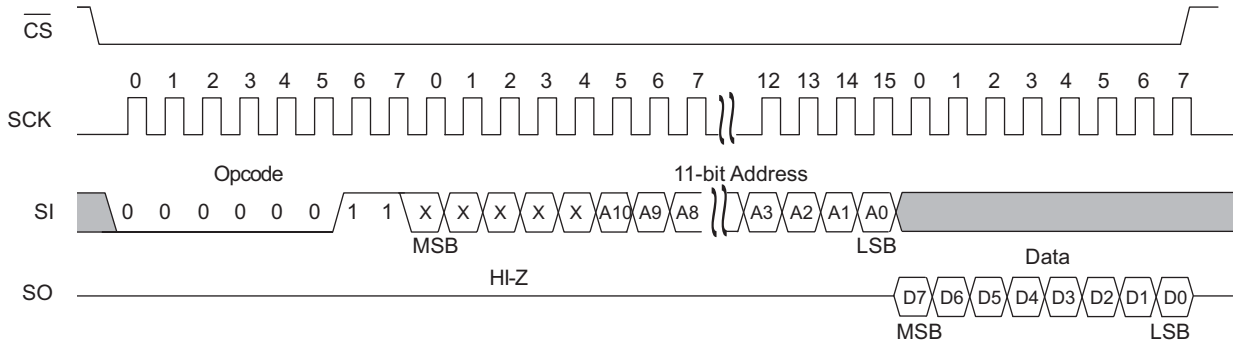


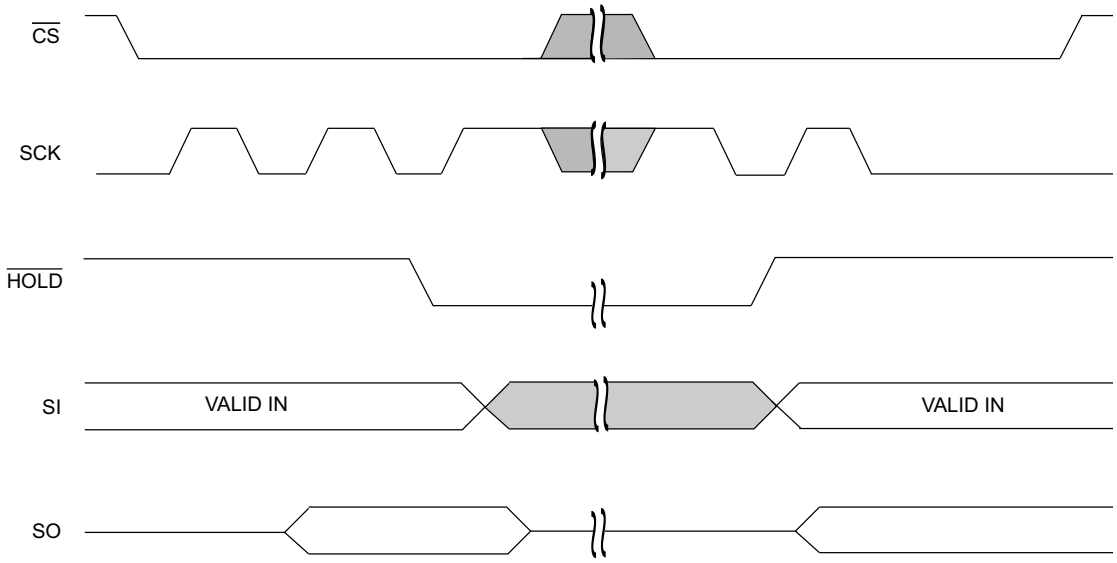
図 11. メモリ読み出し



HOLD ピンの動作

HOLD ピンを使って、連続動作を中断しないでそれに割り込むことができます。SCK が LOW の間に、バス マスターが HOLD ピンを LOW にすると、現時点の動作は一時停止します。SCK が LOW の間に HOLD ピンを HIGH にすると、動作を再開します。SCK が LOW の間に HOLD の遷移を行う必要がありますが、SCK と CS ピンはホールド状態中に切り替えることができます。

図 12. HOLD 動作 [2]



注
2. 図は、入力モードと出力モードでの HOLD ピンの動作を示します。

アクセス可能回数

FM25C160B デバイスには 10^{13} 回以上、読み書きを問わずアクセスすることができます。F-RAM メモリは読み出しと格納メカニズムを常に行います。そのため、メモリ アレイへのアクセス (読み出し／書き込み) に対して、アクセス サイクルが行単位で適用されます。F-RAM のアーキテクチャは、64 ビットの行と 256 の列からなるアレイを基にしています。読み出しまたは書き込みは行単位に行われます。1 行内のデータのアクセス バイト数に関はらず内部的に行に対するアクセスは 1 回です。行内の各バイトは、アクセス可能回数の計算では 1 回だけカウントされます。表 6 は、オペコード、開始アドレス、順々の 64 バイト データの流れを含む、64 バイトの繰り返しループに対応したアクセス可能回数を示しています。これはループによって各バイトが 1 回のアクセス回数を費やしたことになります。

表 6. 64 バイト ループの繰り返しでアクセス可能回数に達する期間

SCK 周波数 (MHz)	アクセス可能回数 (サイクル／秒)	アクセス可能回数 サイクル／年	制限到達に要する年数
10	18,660	5.88×10^{11}	17.0
5	9,330	2.94×10^{11}	34.0
1	1,870	5.88×10^{10}	170.1

最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインは試験されていません。

保存温度 ..... –55°C ～ +125°C

最大ジャンクション温度 ..... 135°C

V_{SS} を基準とした V_{DD} の電源電圧 ..... –1.0V ～ +7V

入力電圧 ..... –1.0V ～ +7.0V、V_{IN}<V_{DD}+1.0V

High-Z 状態の出力に印加する DC 電圧...–0.5V ～ V_{DD}+0.5V

グランド電位を基準にした任意のピンの過渡電圧 (<20ns) ..... –2.0V ～ V_{DD}+2.0V

パッケージ許容電力損失 (T_A=25°C)..... 1.0W

表面実装ハンダ付け温度 (3 秒) ..... +260°C

DC 出力電流 (出力 1 本当り、1 秒間) 15mA

静電気の放電電圧

人体モデル (AEC-Q100-002 Rev. E) 4kV

帯電デバイスモデル (AEC-Q100-011 Rev. B) 1.25kV

マシン モデル (AEC-Q100-003 Rev. E) ..... 300 V

ラッチアップ電流 ..... >140mA

動作範囲

範囲	周囲温度 (T_A)	V_{DD}
車載用拡張温度範囲	–40°C ～ +125°C	4.5V ～ 5.5V

DC 電気的特性

動作範囲において

パラメーター	説明	テスト条件		Min	Typ[5]	Max	単位
V_{DD}	電源電圧			4.5	5.0	5.5	V
I_{DD}	V_{DD} 電源電流	SCK 入力は V_{DD}–0.3V レベルと V_{SS} レベル間でトグル。他の入力ピンは V_{SS} または V_{DD}–0.3V に接続。SO はオープン	f_{SCK}= 1MHz	–	–	0.3	mA
			f_{SCK} = 15MHz	–	–	3	mA
I_{SB}	V_{DD} スタンバイ電流	$\overline{CS}$=V_{DD}。他のすべての入力ピンは、V_{SS} または V_{DD} に接続。	T_A = 85°C	–	–	10	µA
			T_A = 125°C	–	–	30	µA
I_{LI}	入力リーク電流	$V_{SS} \le V_{IN} \le V_{DD}$		–	–	±1	µA
I_{LO}	出力リーク電流	$V_{SS} \le V_{OUT} \le V_{DD}$		–	–	±1	µA
V_{IH}	HIGH レベル入力電圧			0.75 × V_{DD}	–	V_{DD}+0.3	V
V_{IL}	LOW レベル入力電圧			– 0.3	–	0.25 × V_{DD}	V
V_{OH}	HIGH レベル出力電圧	I_{OH} = –2mA		V_{DD}–0.8	–	–	V
V_{OL}	LOW レベル出力電圧	I_{OL} = 2mA		–	–	0.4	V
V_{HYS}[5]	入力ヒステリシス ($\overline{CS}$ および SCK ピン)			0.05×V_{DD}	–	–	V

注

3. 標準値は 25 °C、V_{DD}=V_{DD} (typ) ですすべてのデバイスで試験されているわけではありません。
4. このパラメーターは規定されますが、すべてのデバイスではテストされていません。

データ保持期間およびアクセス可能回数

パラメーター	説明	テスト条件	Min	Max	単位
T_{DR}	データ保持期間	T_A = 125°C	11000	–	時間
		T_A = 105°C	11	–	年
		T_A = 85°C	121	–	
NV_C	アクセス可能回数	動作温度範囲内	1013	–	サイクル

AEC-Q100 車載用アプリケーションでの F-RAM 製品寿命の例

アプリケーションは、全ライフタイムにおいて定常的な温度条件で動作するわけではありません。それよりもアプリケーションのライフタイムを通じて様々な温度環境で動作することを期待されています。よって、アプリケーションに使用する F-RAM のデータ保持仕様は累積的に計算されます。様々な温度条件下での熱プロファイルの推定例は、以下の通りです。

温度 T	時間 t	Tmax A [5] に応じる加速係数 $A = \frac{L(T)}{L(Tmax)} = e^{\frac{Ea}{k}\left(\frac{1}{T}-\frac{1}{Tmax}\right)}$	プロファイル要因 P $P = \frac{1}{\left(\frac{t1}{A1}+\frac{t2}{A2}+\frac{t3}{A3}+\frac{t4}{A4}\right)}$	プロファイル ライフタイム L (P) $L(P) = P \times L(Tmax)$
T1 = 125°C	t1 = 0.1	A1 = 1	8.33	> 10.46 年
T2 = 105°C	t2 = 0.15	A2 = 8.67		
T3 = 85 °C	t3 = 0.25	A3 = 95.68		
T4 = 55°C	t4 = 0.50	A4 = 6074.80		

静電容量

パラメーター [6]	項目	テスト条件	Max	単位
C_O	出力ピン静電容量 (SO)	T_A=25°C、f=1MHz、V_{DD}=V_{DD}(typ)	8	pF
C_I	入力ピン静電容量		6	pF

熱抵抗

パラメーター	説明	テスト条件	8 ピン SOIC	単位
Θ_{JA}	熱抵抗 (ジャンクション～周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準試験方法と手順に従う	147	°C/W
Θ_{JC}	熱抵抗 (ジャンクション～ケース)		47	°C/W

AC テスト条件

入力パルスレベル.....V_{DD} の 10% および 90%
入力の立ち上がりと立ち下がり時間.....5ns
入力と出力タイミングの基準レベル .....$0.5 \times V_{DD}$
出力負荷容量..... 30pF

注
5. ここでは、k は、Boltzmann 定数 8.617 ×10 $^{-5}$eV/K で、Tmax は、製品の指定した最大温度で、T は F-RAM 製品の仕様範囲内の任意の温度です。式で用いるすべての温度単位は、ケルビンです。
6. このパラメーターは規定されますが、すべてのデバイスではテストされていません。

AC スイッチング特性

動作範囲において

記号 [7]		項目	Min	Max	単位
サイプレス パラメーター	他社のパラメーター				
f_{SCK}	–	SCK クロック周波数	0	15	MHz
t_{CH}	–	クロック HIGH レベル時間	30	–	ns
t_{CL}	–	クロック LOW レベル時間	30	–	ns
t_{CSU}	t_{CSS}	チップ セレクト セットアップ時間	10	–	ns
t_{CSH}	t_{CSH}	チップセレクト ホールド時間	10	–	ns
t_{OD}[8、9]	t_{HZCS}	出力ディセーブル時間	–	25	ns
t_{ODV}	t_{CO}	出力データ有効時間	–	25	ns
t_{OH}	–	出力ホールド時間	0	–	ns
t_D	–	選択解除時間	80	–	ns
t_R[10、11]	–	データ入力 立ち上がり時間	–	50	ns
t_F[10、11]	–	データ入力 立ち下がり時間	–	50	ns
t_{SU}	t_{SD}	データ セットアップ時間	5	–	ns
t_H	t_{HD}	データ ホールド時間	5	–	ns
t_{HS}	t_{SH}	$\overline{HOLD}$ セットアップ時間	10	–	ns
t_{HH}	t_{HH}	$\overline{HOLD}$ ホールド時間	10	–	ns
t_{HZ}[8、9]	t_{HHZ}	$\overline{HOLD}$ LOW から HI-Z までの時間	–	25	ns
t_{LZ}[9]	t_{HLZ}	$\overline{HOLD}$ HIGH からデータ アクティブまでの時間	–	20	ns

注
7. 12 ページの「AC テスト条件」に示すように、テスト条件では、信号遷移時間が 5ns 以下、タイミング リファレンス レベルが 0.5×V_{DD}、入力パルス レベルが V_{DD}0 の 10% ～ 90%、出力負荷が指定された I_{OL} ／ I_{OH}、負荷容量が 30pF であることを前提にしています。
8. t_{OD} および t_{HZ} は、5pF の負荷容量で規定されています。出力が高インピーダンス状態に入ると、遷移が測定されます。
9. このパラメーターは規定されますが、すべてのデバイスではテストされません。
10. 立ち上がりと立ち下がり時間は波形の 10% と 90% の間で測定されます。
11. これらのパラメーターは設計保証されますが、テストされません。

図 13. 同期データ タイミング (モード 0)

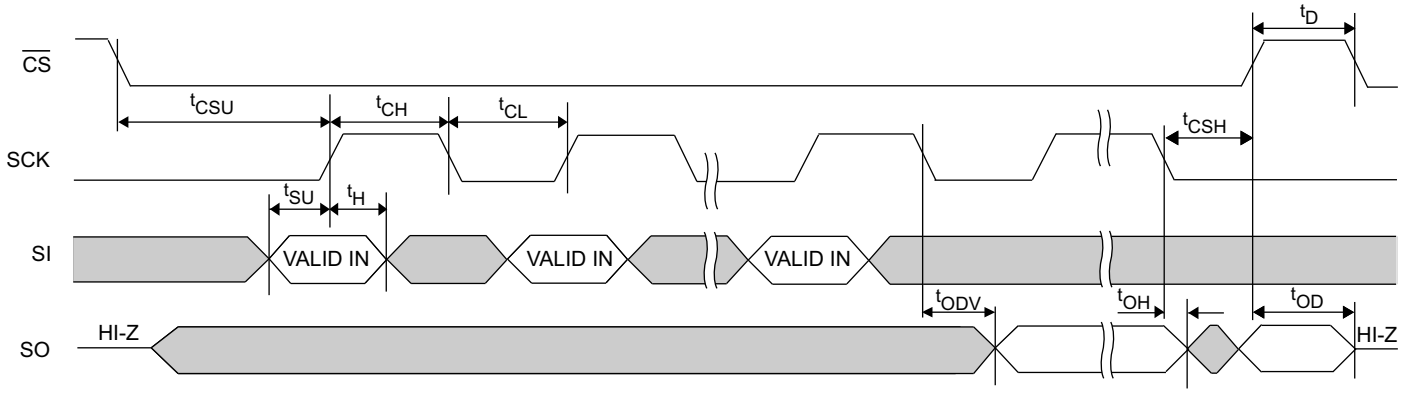
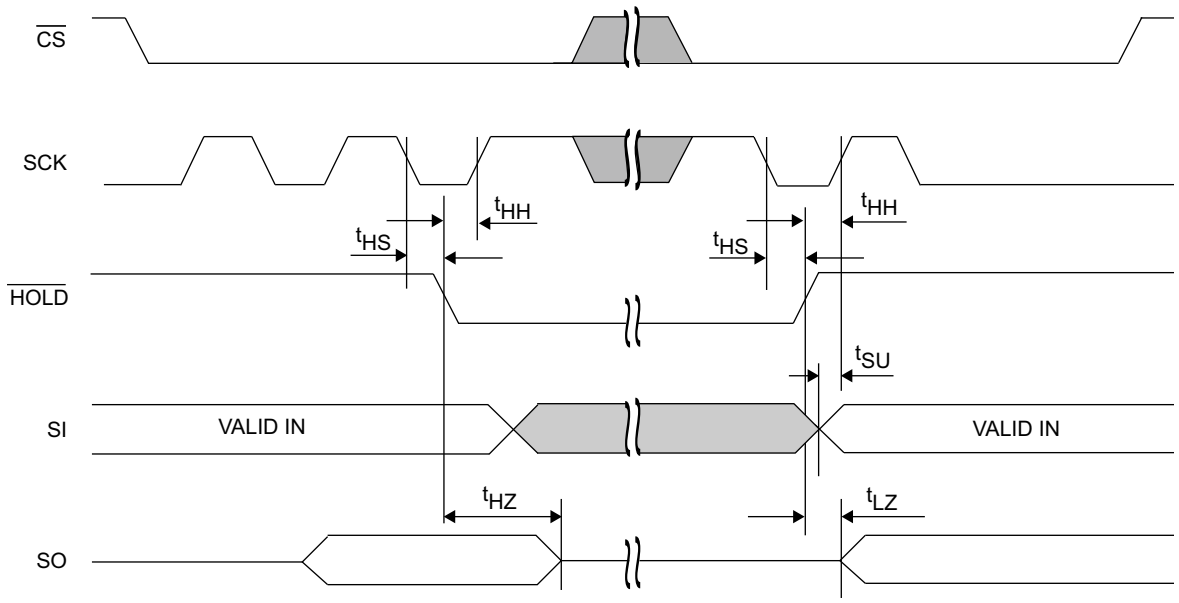


図 14. HOLD タイミング

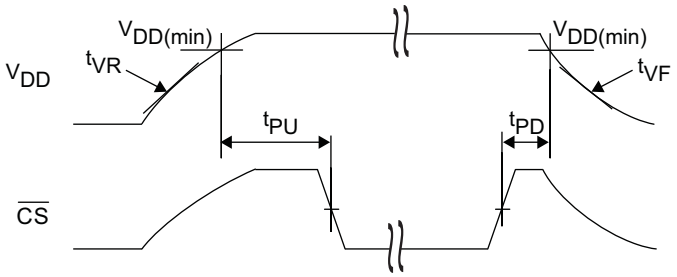


パワー サイクル タイミング

動作範囲において

記号	項目	Min	Max	単位
t_{PU}	電源投入時 (V_{DD}(min)) から最初のアクセス ($\overline{CS}$ LOW) までの時間	1	–	ms
t_{PD}	最後のアクセス ($\overline{CS}$ HIGH) から電源切断 (V_{DD}(min)) 時までの時間	0	–	µs
t_{VR} [12]	V_{DD} 電源投入時ランプレート	30	–	µs/V
t_{VF} [12]	V_{DD} 電源切断のランプ レート	20	–	µs/V

図 15. パワー サイクル タイミング



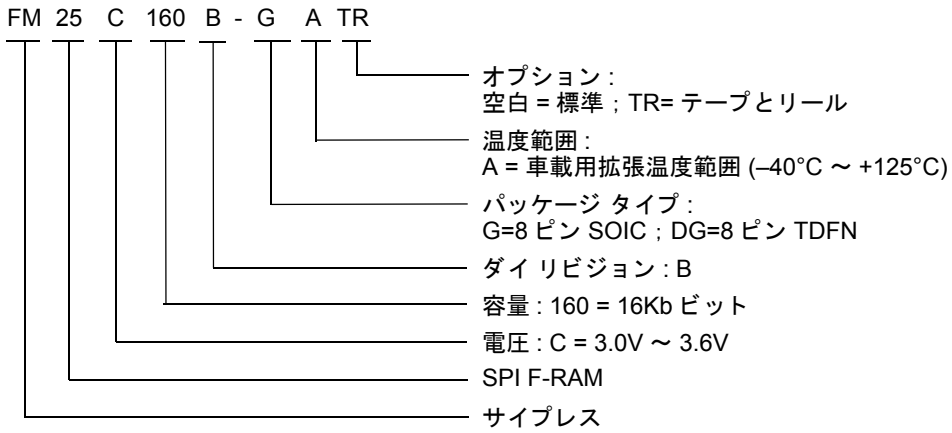
注
12. V_{DD} 波形上の任意の点で測定した傾きです。

注文情報

注文コード	パッケージ図	パッケージ タイプ	動作範囲
FM25C160B-GA	51-85066	8 ピン SOIC	車載用拡張温度範囲
FM25C160B-GATR	51-85066	8 ピン SOIC	

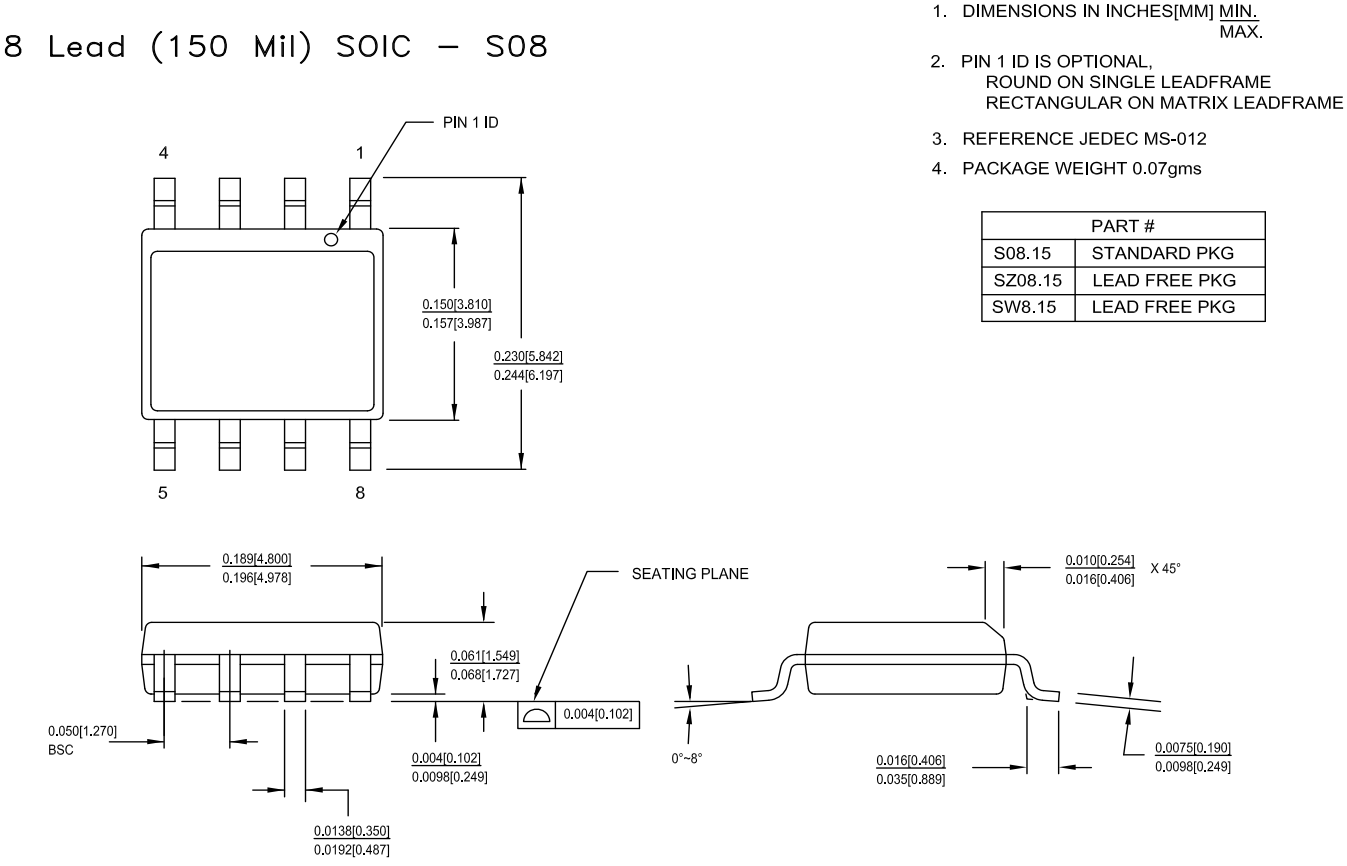
これらすべての部品は鉛フリー。在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

注文コードの定義



パッケージ図

図 16. 8 ピン SOIC (150Mil) パッケージ図、51-85066



略語

略語	項目
AEC	Automotive Electronics Council (米国車載電子部品評議会)
CPHA	Clock Phase (クロック位相)
CPOL	Clock Polarity (クロック極性)
EEPROM	Electrically Erasable Programmable Read-Only Memory (電気的消去書き込み可能な読み出し専用メモリ)
EIA	Electronic Industries Alliance (米国電子工業会)
I/O	Input/Output (入力／出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会 (旧電子機器技術評議会))
JESD	JEDEC Standards (JEDEC 準拠)
LSB	Least Significant Bit (最下位ビット)
MSB	Most significant bit (最上位ビット)
F-RAM	Ferroelectric Random Access Memory (強誘電体ランダム アクセス メモリ)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
SPI	Serial Peripheral Interface (シリアル ペリフェラル インターフェース)
SOIC	Small Outline Integrated Circuit (小型外形集積回路)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
kHz	キロヘルツ
KΩ	キロオーム
Kbit	キロビット
kV	キロボルト
MHz	メガヘルツ
µA	マイクロアンペア
µs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : FM25C160B、16K ビット (2K×8) シリアル (SPI) 車載用 F-RAM 文書番号 : 001-95868				
版	**ECN 番号**	**変更者**	**発行日**	**変更内容**
**	4700354	KURO	04/22/2015	これは英語版 001-86150 Rev. *A を翻訳した日本語版 001-95868 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス／RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2014-2015. 本文書に記載される情報は予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項 : サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。

本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。