FM25640B

64 Kbit （8 K × 8）串行 （SPI）汽车 F-RAM

特性

- 64 Kbit 铁电性随机存储器 （F-RAM）被逻辑组织为 8 K × 8
  - 高耐久性：100 万亿 （10^{13}）次写 / 读
  - 数据保留时间为 121 年 （参考数据保留时间与耐久性表）
  - NoDelay™ 写操作
  - 可靠性较高的高级铁电工艺
- 非常快的串行外设接口 （SPI）
  - 频率可达 4 MHz
  - 串行闪存和 EEPROM 的硬件直接替代
  - 支持 SPI 模式 0 （0,0）和模式 3 （1,1）
- 精密的写入保护方案
  - 使用写保护 （$\overline{WP}$）引脚提供硬件保护
  - 使用写禁用指令提供软件保护
  - 可为 1/4、 1/2 或整个阵列提供软件模块保护
- 低功耗
  - 频率为 1 MHz 时，有效电流为 300 µA
  - 在 +85 °C 的条件下，等机电流为 10 µA （典型值）
- 工作电压：V_{DD} = 4.5 V ~ 5.5 V
- 汽车 E 的温度范围：–40 °C 至 +125 °C
- 8 引脚小型塑封集成电路 （SOIC）封装
- 符合 AEC Q100 第一级的标准
- 符合有害物质限制标准 （RoHS）

功能概述

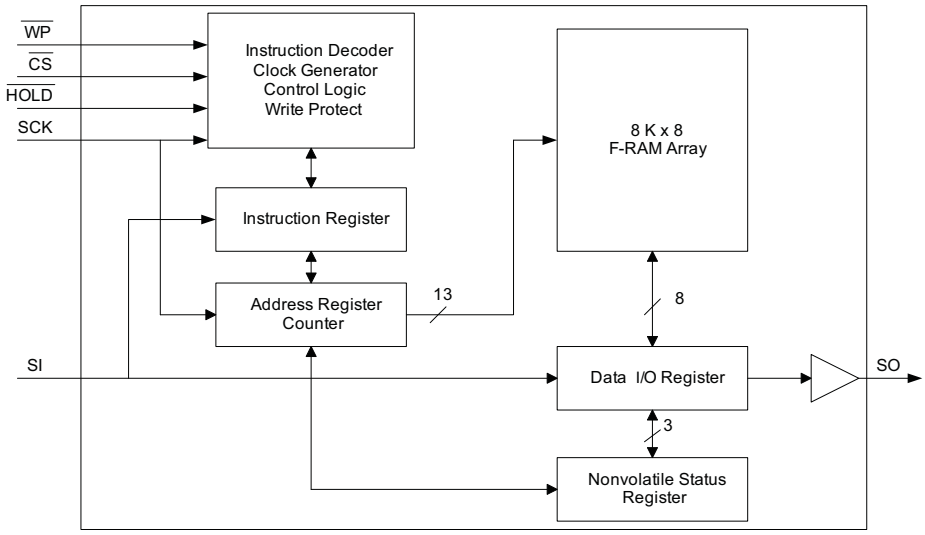
FM25640B 是使用了高级铁电工艺的 64 Kbit 非易失性存储器。铁电性随机存取存储器 （即 F-RAM）是一种非易失性存储器，其读和写操作方式与 RAM 一样。它提供 121 年的可靠数据保留时间，并解决了由串行闪存、 EEPROM 和其他非易失性存储器造成的复杂性、开销和系统级可靠性的问题。

与串行闪存和 EEPROM 不同的是，FM25640B 以总线速度执行写操作。并且它不会引起任何写操作延迟。在每个字节成功传输到器件后，数据立即被写入到存储器阵列。这时，可以开始执行下一个总线周期而不需要轮询数据。此外，与其他非易失性存储器相比，该产品提供了更多的擦写次数。 FM25640B 能够支持 10^{13} 个读 / 写周期，或支持比 EEPROM 多 1 千万次的写周期。

由于具有这些特性，因此 FM25640B 适用于需要频繁或快速写入的非易失性存储器应用。示例的范围包括从数据收集（其中写周期数量是非常重要的）到满足工业级控制 （其中串行闪存或 EEPROM 的较长写时间会使数据丢失）。

作为硬件替代时，FM25640B 为串行 EEPROM 或闪存的用户提供大量好处。 FM25640B 使用高速的 SPI 总线，从而可以改进 F-RAM 技术的高速写入功能。该器件的规范是在汽车 E（从 –40 °C 至 +125 °C）的温度范围内得以保证。

逻辑框图

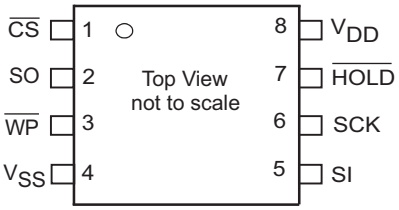


目录

引脚分布 3
引脚定义 3
概述 4
存储器架构 4
串行外设接口 — SPI 总线 4
SPI 概述 4
SPI 模式 5
从上电到第一次访问的时间 6
指令结构 6
WREN — 设置写使能锁存 6
WRDI — 复位写使能锁存 6
状态寄存器和写保护 6
RDSR — 读取状态寄存器 7
WRSR — 写状态寄存器 7
存储器操作 8
写操作 8
读操作 8
HOLD 引脚的操作 9
读写次数 10
最大额定值 11
工作范围 11
直流电气特性 11
数据保留时间与耐久性 12
在 AEC-Q100 汽车应用中的关于 F-RAM 寿命的示例 12
电容 12
热阻 12
交流测试条件 12
交流开关特性 13
电源循环时序 15
订购信息 16
订购代码定义 16
封装图 17
缩略语 18
文档规范 18
测量单位 18
文档修订记录页 19
销售、解决方案和法律信息 20
全球销售和设计支持 20
产品 20
PSoC® 解决方案 20
赛普拉斯开发者社区 20
技术支持 20

引脚分布

图 1. 8 引脚 SOIC 封装的引脚分布



引脚定义

引脚名称	I/O 类型	说明
$\overline{CS}$	输入	**芯片选择**。通过该低电平有效输入可以激活器件。当该输入为高电平时，器件会进入低功耗待机模式，并忽略其他输入，同时输出引脚为三态。该输入为低电平时，器件将内部激活 SCK 信号。每一个操作码前，$\overline{CS}$ 上必须产生一个下降沿。
SCK	输入	**串行时钟**。所有输入 / 输出操作与串行时钟同步。各输入被锁存在上升沿上，并且各输出在下降沿上发生。由于该器件是同步的，因此时钟频率的值范围为 0 到 4 MHz，可以随时中断该时钟频率。
SI[1]	输入	**串行输入**。所有数据均通过该引脚转送给器件。该引脚在 SCK 的上升沿上进行采样，并且在其他时间内被忽略。应该将该引脚始终驱动到有效的逻辑电平，以满足 IDD 规范。
SO[1]	输出	**串行输出**。这是数据输出引脚。该引脚在进行读操作时被驱动，并在其他时间内保持三态，包括 $\overline{HOLD}$ 为低电平的情况。数据转换在串行时钟的下降沿上被驱动。
$\overline{WP}$	输入	**写入保护**。当 WPEN 被设置为 ‘1’ 时，该低电平有效引脚防止对状态寄存器进行写操作。该性能很重要，因为其他写保护特性都是通过状态寄存器控制的。有关写保护的完整说明，请参考 第 7 页上的状态寄存器和写保护。如果不使用该引脚，必须将其连接到 V_{DD}。请注意：该 $\overline{WP}$ 的功能与 FM25040 中相同引脚的功能不同。在 FM25040 中，该引脚用于阻止对器件进行的所有写操作。
$\overline{HOLD}$	输入	**$\overline{HOLD}$ 引脚**。当主机 CPU 必须中断存储器操作以进行其他操作时，会使用 $\overline{HOLD}$ 引脚。$\overline{HOLD}$ 引脚为低电平时，当前操作被暂停。该器件忽略 SCK 或 $\overline{CS}$ 上发生的任何转换。$\overline{HOLD}$ 上的所有转换必须在 SCK 为 LOW 时进行。如果不使用该引脚，必须将其连接到 V_{DD}。
V_{SS}	电源	器件的接地。必须连接至系统接地端。
V_{DD}	电源	器件的电源输入。

注释：
1. SI 可能与 SO 相连，这样是为了形成单引脚数据接口。

概述

FM25640B 是一个串行的 F-RAM 存储器。该存储器阵列被逻辑组织为 8,192 × 8 位，通过使用工业标准的串行外设接口（SPI）总线可以访问该存储器阵列。 F-RAM 和串行闪存以及串行 EEPROM 具有相同的功能操作。 FM25640B 与串行闪存或具有相同引脚分布的EEPROM的主要区别在于F-RAM具有更好的写性能、高耐久性和低功耗。

存储器架构

当访问 FM25640B 时，用户寻址 8K 地址，每个地址有 8 个数据位。这些 8 位数据被连续移入或移出。通过使用 SPI 协议可以访问这些地址，该协议包含一个芯片选择（用于支持总线上的多个器件）、一个操作码和一个两字节地址。该地址范围的高 3 位都是 ‘ 无需关注 ’ 的值。13 位的完整地址独立指定了每个字节的地址。

FM25640B 的大多数功能可以由 SPI 接口控制，或通过板上电路处理。存储器的访问时间几乎为零，但要考虑串行协议所需要的时间。因此，该存储器以 SPI 总线的速度进行读 / 写操作。与串行闪存或 EEPROM 不同的是，不需要轮询设备的就绪条件，这是因为写操作是以总线速度进行的。新的总线数据操作移入器件时，写操作已完成。更多详细信息，请参阅 ‘ 接口 ’ 部分所介绍的内容。

注意：FM25640B 包括了一个简单的内部加电复位电路，而没有电源管理电路。用户有责任确保 V_{DD} 范围位于数据手册的容差范围内，以阻止不正确的操作。芯片使能有效时，请勿断电该器件。

串行外设接口 — SPI 总线

FM25640B 是一个 SPI 从设备，它的运行速度可达 4 MHz。该高速串行总线为 SPI 主设备提供了性能优良的串行通信。许多通用微控制器具有硬件 SPI 端口，允许直接连接。对于没有硬件 SPI 端口的微控制器，通过使用普通端口引脚可以简单地模拟该端口。 FM25640B 在 SPI 模式 0 和模式 3 下运行。

SPI 概述

SPI 是带有芯片选择（$\overline{CS}$）、串行输入（SI）、串行输出（SO）和串行时钟 （SCK）引脚的四引脚接口。

SPI 是同步的串行接口，它使用时钟和数据引脚进行存储器访问并支持数据总线上的多个设备。使用 $\overline{CS}$ 引脚可激活 SPI 总线上的器件。

芯片选择、时钟和数据之间的关系是由 SPI 模式决定的。该设备支持 SPI 的模式 0 和模式 3。在两种模式下，数据都在 SCK 上升沿记录到 F-RAM（从 $\overline{CS}$ 变为有效之后的第一个上升沿）内。

SPI 协议由操作码控制。这些操作码规定了从总线主设备到从设备的所有指令。激活 $\overline{CS}$ 后，总线主设备传输的第一个字节便是操作码。随后，可以传输地址和数据。在完成某个操作并发出新的操作码前， $\overline{CS}$ 必须进入无效状态。 SPI 协议中的常用术语如下所示：

SPI 主设备

SPI 主设备控制 SPI 总线上的操作。SPI 总线上仅有一个主设备，但可有一个或多个从设备。所有从设备共享同一 SPI 总线。主设备可通过 $\overline{CS}$ 引脚选择任一从设备。所有操作必须由主设备发起，主设备通过将从设备的 $\overline{CS}$ 引脚置于低电平状态来激活从设备。主设备也生成 SCK（串行时钟），SI 和 SO 线上的所有数据传输均与该时钟同步。

SPI 从设备

SPI 从设备由主设备通过片选线激活。来自 SPI 主设备的串行时钟作为从设备的输入，所有通信均与该时钟同步。 SPI 从设备不会在 SPI 总线上发起通信，而仅执行主设备发出的指令。

FM25640B 可用作 SPI 从设备，并与其他 SPI 从设备共享 SPI 总线。

芯片选择（$\overline{CS}$）

要选择任一从设备，主设备必须下拉相应 $\overline{CS}$ 引脚。仅当 $\overline{CS}$ 引脚为低电平状态时，才能将指令发送到从设备。未选择器件时，将忽略通过 SI 引脚的数据，同时，串行输出引脚 （SO）保持高阻抗状态。

注意：新指令必须从 $\overline{CS}$ 的下降沿开始。因此，对每个有效的芯片选择循环只可发出一个操作码。

串行时钟 （SCK）

串行时钟由 SPI 主设备生成，在 $\overline{CS}$ 变为低电平后，通信将与该时钟同步。

FM25640B 采用 SPI 模式 0 和模式 3 进行数据通信。在两种模式下，从设备在 SCK 的上升沿上锁存输入，输出在下降沿发出。因此， SCK 的第一个上升沿表示 SI 引脚上 SPI 指令已接收到第一位 （MSB）。此外，所有数据输入和输出均与串行时钟 （SCK）同步。

数据传输 （SI/SO）

SPI 数据总线由 SI 和 SO 两条线组成，可用于串行数据通信。SI 也称为主出从入 （MOSI）， SO 则称为主入从出 （MISO）。主设备通过 SI 引脚将指令发送到从设备，从设备通过 SO 引脚进行响应。如以上所述，多个从设备可共享 SI 和 SO 线。

FM25640B 为 SI 和 SO 提供可连接至主设备的两个独立引脚，如图 2 所示。

对于没有专用 SPI 总线的微控制器，可以使用通用端口。为了减少微控制器上的硬件资源，可以将两个数据引脚 （SI、 SO）连接在一起并将 $\overline{HOLD}$ 和 $\overline{WP}$ 引脚置于高电平。图 3 显示了仅适用于三个引脚的配置情况。

最高有效位 （MSB）

SPI 协议要求发送的第一位为最高有效位 （MSB）。该条件也适用于地址和数据传输。

64 Kbit 串行 F-SRAM 需要 2 字节地址才能进行读 / 写操作。因为地址只有 13 位，所以器件会忽略所载入的前 3 位。虽然无需

关注这三位，但赛普拉斯建议将这些位设置为 ‘0’，以通过无缝切换实现更高存储容量。

串行操作码

若在 $\overline{CS}$ 处于低电平状态时选中从设备，接收到的第一字节将作为既定操作的操作码。FM25640B 使用标准操作码访问存储器。

无效的操作码

如果收到无效的操作码，该操作码将被忽略。器件将忽略在 SI 引脚上的任何额外串行数据，直到 $\overline{CS}$ 的下一个下降沿，与此同时，SO 引脚保持三态。

状态寄存器

FM25640B 有一个 8 位的状态寄存器。状态寄存器中的各位用于配置 SPI 总线。第 7 页上的表 3 对这些位进行了说明。

图 2. 使用 SPI 端口进行系统配置

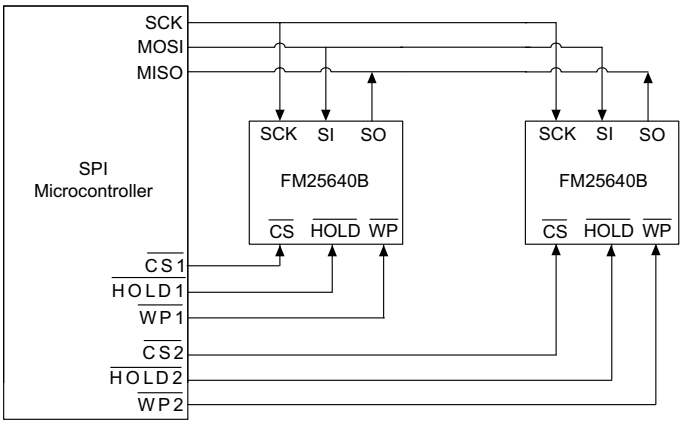
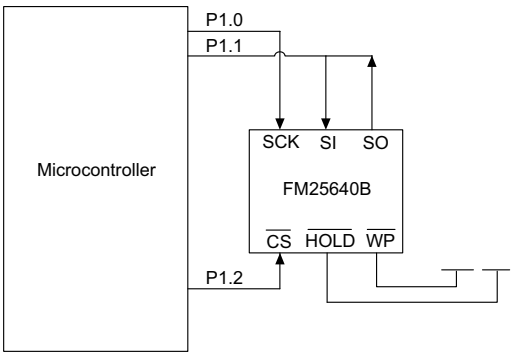


图 3. 不使用 SPI 端口进行系统配置



SPI 模式

FM25640B 可由微控制器进行驱动，该控制器的 SPI 外围设备可运行于下列任一模式：

- SPI 模式 0 （CPOL = 0， CPHA = 0）
- SPI 模式 3 （CPOL = 1， CPHA = 1）

在两种模式下，均在 SCK 的上升沿上锁存输入数据 （该上升沿是从 $\overline{CS}$ 变为有效之后的第一个上升沿）。如果时钟从高电平状态启动 （在模式 3 中），则采用时钟触发后的第一个上升沿。输出数据在 SCK 的下降沿上有效。

两种 SPI 模式如第 6 页上的图 4 和第 6 页上的图 5 中所示。当总线主设备不传输数据时，时钟的状态为：

- 在模式 0 下，串行时钟保持为 0
- 在模式 3 下，串行时钟保持为 1

当器件通过将 $\overline{CS}$ 引脚置为低电平状态而被选中时，该器件将通过 SCK 引脚状态检测出 SPI 模式。选择器件时，如果 SCK 引脚

处于低电平状态，则采用 SPI 模式 0。如果 SCK 引脚处于高电平状态，它将在 SPI 模式 3 下工作。

图 4. SPI 模式 0

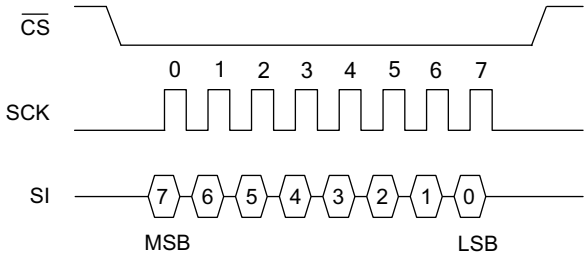
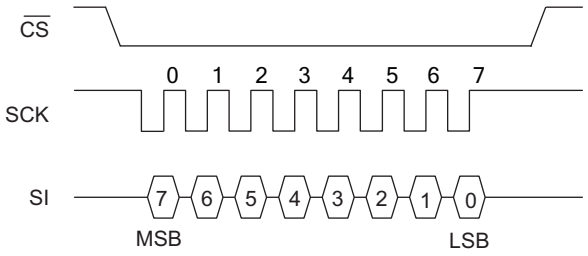


图 5. SPI 模式 3



从上电到第一次访问的时间

上电后，在 t_{PU} 时间内，不能访问 FM25640B。用户必须遵守时序参数 t_{PU}，该参数是从 V_{DD}（最小）到第一次 $\overline{CS}$ 为低电平的时间。

指令结构

有六个操作码的指令，总线主设备可以将这些指令发送到 FM25640B。在表 1 中列出了这些操作码。它们控制存储器执行的各项功能。

表 1. 操作码指令

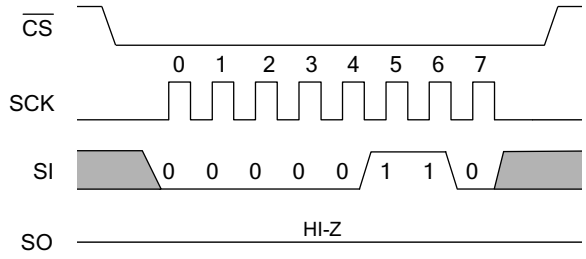
名称	说明	操作码
WREN	置位写入使能锁存	0000 0110b
WRDI	写入禁用	0000 0100b
RDSR	读状态寄存器	0000 0101b
WRSR	写状态寄存器	0000 0001b
READ	读取存储器数据	0000 0011b
WRITE	写入存储器数据	0000 0010b

WREN — 设置写使能锁存

每当给 FM25640B 上电时，会禁止写操作。在进行任何写操作前，都必须发送 WREN 指令。发送 WREN 操作码后，用户可以发送后续操作码，以用于写操作。包括写状态寄存器（WRSR）和写存储器（WRITE）。

发送 WREN 操作码后，将设置内部写使能锁存。状态寄存器中的标志位（名称为 WEL）表示锁存的状态。WEL = ‘1’ 表示可以进行写操作。尝试对状态寄存器中的 WEL 位进行写操作，并不对它的状态产生任何影响 — 这是因为只有 WREN 操作码才能设置该位。进行 WRDI、WRSR 或 WRITE 写操作后，WEL 位将在 $\overline{CS}$ 的上升沿上自动清除。这样可阻止对状态寄存器或 F-RAM 阵列进行其他写操作而不使用另一个 WREN 指令。图 6 显示的是 WREN 指令总线配置。

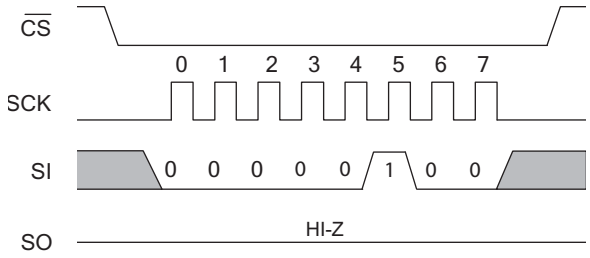
图 6. WREN 总线配置



WRDI — 复位写使能锁存

WRDI 指令通过清除写使能锁存来禁用所有写操作。通过读取状态寄存器中的 WEL 位和验证 WEL 为 ‘0’，用户可以验证各写操作已被禁用。图 7 显示的是 WRDI 指令的总线配置。

图 7. WRDI 总线配置



状态寄存器和写保护

FM25640B 的写保护特性是多层次的，并通过状态寄存器使能。状态寄存器的组织方式如下所示。（状态寄存器中各位的出厂默认值是 ‘0’。）

表 2. 状态寄存器

位 7	位 6	位 5	位 4	位 3	位 2	位 1	位 0
WPEN (0)	X (0)	X (0)	X (0)	BP1 (0)	BP0 (0)	WEL (0)	X (0)

表 3. 状态寄存器位定义

位	定义	说明
位 0	无需关注	该位是不可写的，且读取时始终返回 ‘0’。
位 1 （WEL）	写入使能锁存	WEL 指示器件是否使能写入功能。上电时，该位默认为 ‘0’ （禁用）。 WEL = ‘1’ --> 使能写操作 WEL = ‘0’ --> 禁用写操作
位 2 （BP0）	模块保护位 ‘0’	用于模块保护。有关详细信息，请参见第 7 页上的表 4。
位 3 （BP1）	模块保护位 ‘1’	用于模块保护。有关详细信息，请参见第 7 页上的表 4。
位 4-6	无需关注	这些位都是不可写的，且读取时始终返回 ‘0’。
位 7 （WPEN）	写保护使能位	用于使能写保护引脚 （$\overline{WP}$）的功能。有关详细信息，请参见第 7 页上的表 5。

位 0 和位 4-6 的固定值为 ‘0’；不能修改这些位的值。请注意：不需要位 0（串行闪存和 EEPROM 中的 “ 就绪或正在进行写过程 ” 位），由于 F-RAM 在实时中进行写操作并不处于繁忙状态，因此读取它时始终返回 ‘0’。BP1 和 BP0 控制软件保护特性，这两位为非易失性位。WEL 标志表示写使能锁存的状态。尝试直接写入状态寄存器中的 WEL 位不会对其状态产生影响。该位由 WREN 指令内部置位，并分别由 WRDI 和 WRDI 指令清除。

BP1 和 BP0 均为存储器模块的写保护位。它们指定受写保护的存储器部分，如表 4 中所示。

表 4. 模块存储器的写保护

BP1	BP0	受保护的地址范围
0	0	无
0	1	1800h 到 1FFFh （高 1/4）
1	0	1000h 到 1FFFh （高 1/2）
1	1	0000h 到 1FFFh （全部）

BP1 和 BP0 位，以及写使能锁存是防止写入存储器的唯一机制。其他写保护特性会防止对模块保护位进行无意更改。

状态寄存器中的写保护使能位（WPEN）控制硬件写保护（$\overline{WP}$）引脚的效果。WPEN 位为 ‘0’ 时，$\overline{WP}$ 引脚的状态将被忽略。如果 WPEN 位为 ‘1’，$\overline{WP}$ 引脚为低电平时将禁止写入状态寄存器。因此，只有 WPEN = ‘1’ 和 $\overline{WP}$ = ‘0’ 时，状态寄存器才受写保护。

表 5 汇总了写保护条件。

表 5. 写保护

WEL	WPEN	$\overline{WP}$	受保护的模块	无保护的模块	状态寄存器
0	X	X	受保护	受保护	受保护
1	0	X	受保护	无保护	无保护
1	1	0	受保护	无保护	受保护
1	1	1	受保护	无保护	无保护

RDSR — 读取状态寄存器

通过使用 RDSR 指令，总线主设备可以验证状态寄存器中的内容。读取状态寄存器后可以了解写保护特性的当前状态。执行 RDSR 操作码后，FM25640B 将返回一个字节，包括状态寄存器的内容。

WRSR — 写状态寄存器

WRSR 指令允许 SPI 总线主设备写入状态寄存器并通过根据要求设置 WPEN、BP0 和 BP1 位修改写保护配置。在发送 WRSR 指令前，$\overline{WP}$ 引脚必须为高电平或处于无效状态。请注意在 FM25640B 上，$\overline{WP}$ 仅防止写入状态寄存器而不能防止写入存储器阵列。发送 WRSR 指令前，用户必须发送 WREN 指令来使能写操作。执行 WRSR 指令就是执行一个写操作，因此可以清除写使能锁存。

图 8. RDSR 总线配置

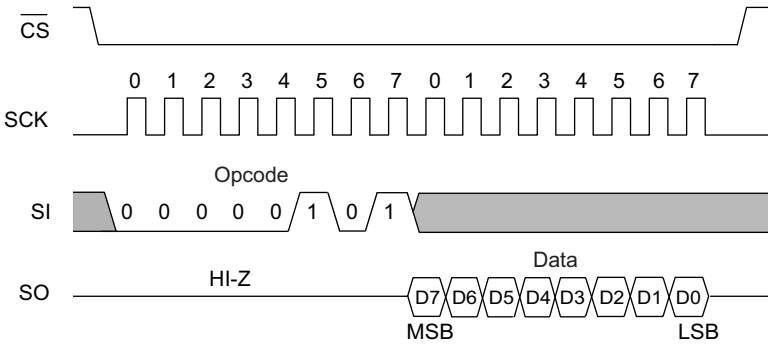
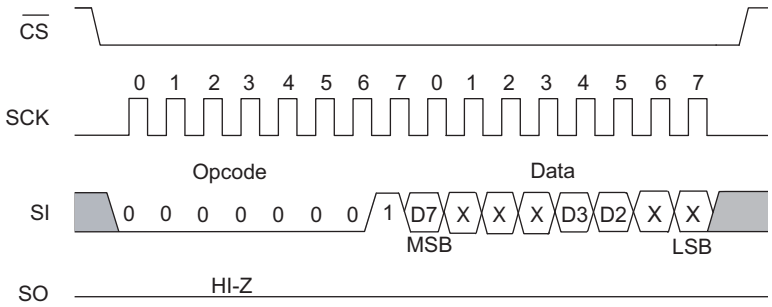


图 9. WRSR 总线配置 （不显示 WREN）



存储器操作

可接受高时钟频率的 SPI 接口体现 F-RAM 技术的快速写能力。与串行闪存和 EEPROM 不同的是，FM25640B 能以总线速度执行连续写操作。无需任何页寄存器，仍能够执行所有连续写操作数。

写操作

对存储器进行的所有写操作都以 WREN 操作码开始。跟着 WRITE操作码是一个两字节的地址，该地址包含了将写入到存储器的第一个数据字节的 13 位地址 （A12-A0）。两字节地址的高三位被忽略。后续字节是连续写入的数据字节。如果总线主设备继续发送时钟并保持 $\overline{CS}$ 为低电平，则各地址将内部递增。如果达到最后地址 1FFFh，计数器将翻转到 0000h。优先写入最高有效位。 $\overline{CS}$ 的上升沿终止写操作。写操作在图 10 中显示。

注意：突发写操作达到保护模块地址时，自动地址递增将停止，而且器件将忽略写操作所接受的所有后续数据字节。

EEPROM 使用页面缓存来增加它们的写吞吐量。这样将可以补偿技术的慢速写操作。F-RAM 存储器没有页面缓冲器，因为在每个字节定时后（在第八个时钟后面），它将立即被写入到 F-RAM 阵列内。这样可以写入任何字节数量而没有页面缓存延迟。

注意： 如果写操作过程中断电，那么只有最后完成的字节被写入。

读操作

$\overline{CS}$ 的下降沿后，总线主设备将发送一个 READ 操作码。READ 指令后面是一个两字节地址，该地址包含读操作第一个字节的 13 位地址 （A12-A0） 。该地址的高三位被忽略。发送操作码和地址后，在随后的八个时钟内设备将输出读数据。在驱动读取数据字节期间，SI 输入被忽略。后续字节是连续读取的数据字节。只要总线主设备继续发送时钟并保持 $\overline{CS}$ 为低电平，地址将内部递增。如果达到最后地址 1FFFh，计数器将翻转到 0000h。优先读取最高有效位。 $\overline{CS}$ 的上升沿终止读操作并使 SO 引脚处于三态。 图 11 中显示了读操作。

图 10. 存储器写入操作 （WREN 不显示）

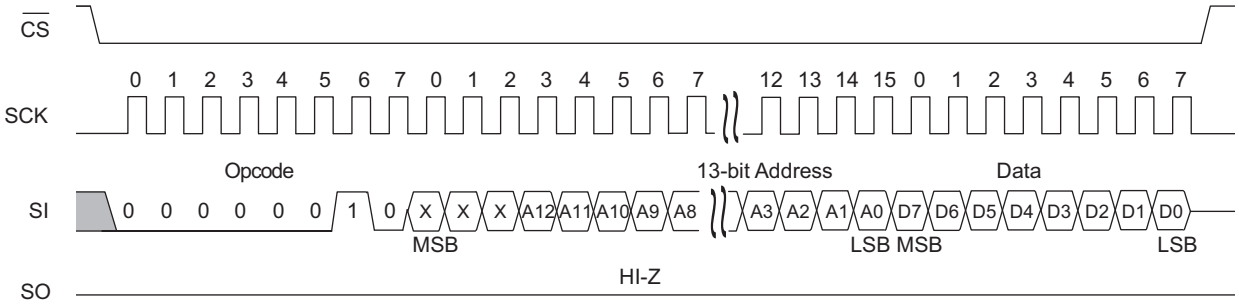
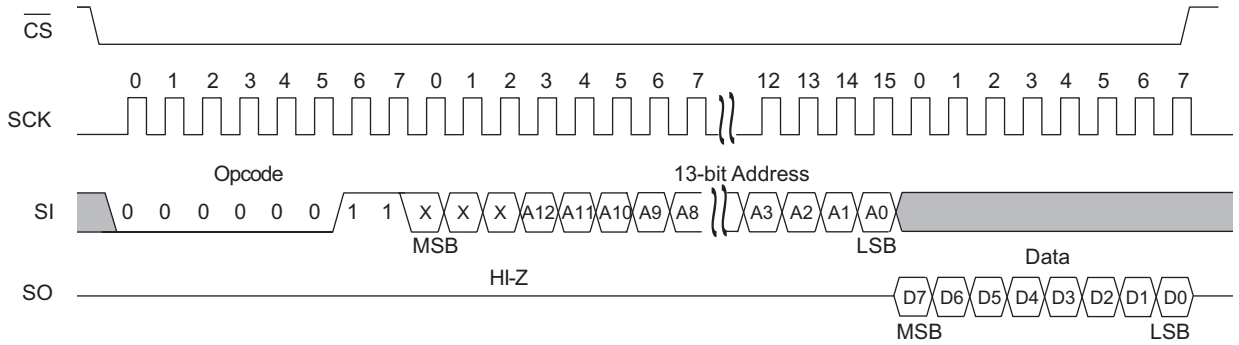


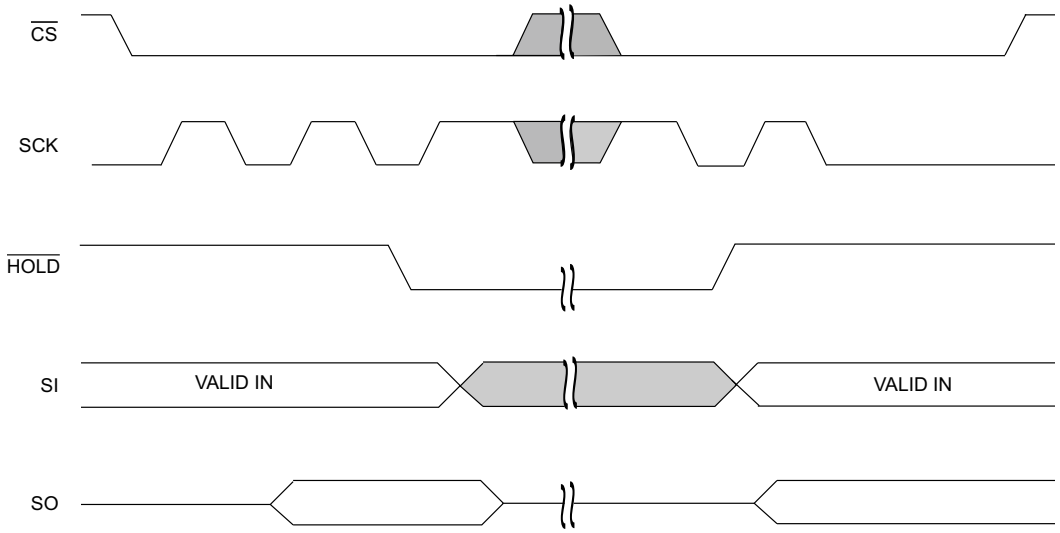
图 11. 存储器读取操作



$\overline{\text{HOLD}}$ 引脚的操作

通过使用 $\overline{\text{HOLD}}$ 引脚可以中断一个串行操作而不需要终止它。SCK 为低电平时，如果总线主设备将 $\overline{\text{HOLD}}$ 引脚置于低电平，那么当前操作将暂停。如果总线主设备将 $\overline{\text{HOLD}}$ 引脚置于高电平，将恢复一个操作。 $\overline{\text{HOLD}}$ 切换必须在 SCK 为低电平时进行，但 SCK 和 $\overline{\text{CS}}$ 引脚可以在保持状态期间进行切换。

图 12. $\overline{\text{HOLD}}$ 引脚的操作 [2]



注释：
2. 该图显示的是输入和输出模式的 $\overline{\text{HOLD}}$ 操作。

读写次数

可以对 FM25640B 设备进行至少 10^{13} 次读或写访问。F-RAM 存储器以读取和恢复机制运行。因此，对存储器阵列进行 （读或写）访问时，行基础采用擦写周期。F-RAM 架构是基于一个包括行和列阵列的，每列有 1 K 行，每行有 64 位。对单字节或所有八个字节进行读或写访问时，整个行仅进行一次内部访问。在计算耐久性时，行中的每个字节只被计算一次。表 6 显示的是 64 字节重复循环的耐久性计算，包括一个操作码、起始地址和一个连续 64 字节数据流。这样，通过该循环每个字节需要经过一个耐久性周期。即使时钟频率为 4 MHz， F-RAM 读和写耐久性仍然是无限的。

表 6. 重复 64 字节循环达到耐久极限所需要的时间

SCK 频率（MHz）	耐久性（周期 / 秒）	擦写次数（周期 / 年）	达到极限所需的年数
4	7,480	2.36×10^{11}	42.3
1	1,870	5.88×10^{10}	170.1

最大额定值

超过最大额定值可能会缩短器件的使用寿命。这些用户指导未经过测试。

存放温度 ..... –55 °C 到 +125 °C

最高结温为..... 135 °C

V_{DD} （相对于 V_{SS}）的供电电压 ..... –1.0 V 至 +7.0 V

输入电压 .....–1.0 V 至 + 7.0 V 和 $V_{IN} < V_{DD}$ + 1.0 V

应用于高阻 （High Z）状态下的输出直流电压 .....0.5 V 至 V_{DD}+ 0.5 V

处于接地电位的任何引脚上的瞬变电压 （< 20 ns）.....–2.0 V 到 V_{DD} + 2.0 V

封装功率散耗能力（T_A = 25 °C）..... 1.0 W

表面组装铅焊温度 （3 秒）..... +260 °C

直流输出电流（每次只输出 1 路电流，持续时间为 1 秒）..... 15 mA

静电放电电压

- 人体模型（AEC-Q100-002 版本 E）..... 4 kV
- 带电器件模型（AEC-Q100-011 版本 B）..... 1.25 kV
- 机器模型（AEC-Q100-003 版本 E）..... 300 V

栓锁电流 ..... > 140 mA

工作范围

范围	环境温度 （T_A）	V_{DD}
汽车 E	–40 °C 至 +125 °C	4.5 V 至 5.5 V

直流电气特性

在工作范围内

参数	说明	测试条件		最小值	典型值 [5]	最大值	单位
V_{DD}	电源			4.5	5.0	5.5	V
I_{DD}	V_{DD} 的供电电流	SCK 信号在 V_{DD} – 0.3 V 和 V_{SS} 之间进行切换，其它输入的电压为 V_{SS} 或 V_{DD}– 0.3 V。SO = 打开。	f_{SCK} = 1 MHz	–	–	0.3	mA
			f_{SCK} = 4 MHz	–	–	1.2	mA
I_{SB}	V_{CC} 待机电流	$\overline{CS}$ = V_{DD}。所有其他输入的电压均为 V_{SS} 或 V_{DD}。	T_A = 85 °C	–	–	10	µA
			T_A = 125 °C	–	–	30	µA
I_{LI}	输入漏电流	$V_{SS} \le V_{IN} \le V_{DD}$		–	–	±1	µA
I_{LO}	输出漏电流	$V_{SS} \le V_{OUT} \le V_{DD}$		–	–	±1	µA
V_{IH}	输入高电压			0.75 × V_{DD}	–	V_{DD} + 0.3	V
V_{IL}	输入低电压			– 0.3	–	0.25 × V_{DD}	V
V_{OH}	输出高电压	I_{OH} = –2 mA		V_{DD} – 0.8	–	–	V
V_{OL}	输出低电压	I_{OL} = 2 mA		–	–	0.4	V
V_{HYS}[6]	输入迟滞 （$\overline{CS}$ 和 SCK 引脚）			0.05 × V_{DD}	–	–	V

注释：

3. 典型值的适用条件为 25 °C、 V_{DD} = V_{DD} （典型值）。未经过 100% 测试。
4. 该参数被特性表征化，但未经过全部测试。

数据保留时间与耐久性

参数	说明	测试条件	最小值	最大值	单位
T_{DR}	数据保留时间	T_A = 125 °C	11000	–	小时
		T_A = 105 °C	11	_	年
		T_A = 85 °C	121	_	
NV_C	擦写次数	在工作温度范围内	10^{13}	–	周期

在 AEC-Q100 汽车应用中的关于 F-RAM 寿命的示例

一个应用在使用的整个过程中总不会能够在一个稳定的温度条件下运行的。反而，用户希望它在整个使用过程中能够适宜多种温度的条件。因此，应用中的 F-RAM 保留规范应经常计算和更新。下面提供了多个温度条件下的热电阻配置的示例计算。

温度 T	时间因素 t	在 Tmax A 条件下的加速因素 [5] $A = \frac{L(T)}{L(Tmax)} = e^{\frac{Ea}{k}\left(\frac{1}{T}-\frac{1}{Tmax}\right)}$	配置情况因素 P $P = \frac{1}{\left(\frac{t1}{A1}+\frac{t2}{A2}+\frac{t3}{A3}+\frac{t4}{A4}\right)}$	配置的使用寿命 L（P） $L(P) = P \times L(Tmax)$
T1 = 125 °C	t1 = 0.1	A1 = 1	8.33	> 10.46 年
T2 = 105 °C	t2 = 0.15	A2 = 8.67		
T3 = 85 °C	t3 = 0.25	A3 = 95.68		
T4 = 55 °C	t4 = 0.50	A4 = 6074.80		

电容

参数 [6]	说明	测试条件	最大值	单位
C_O	输出引脚电容 （SO）	T_A = 25 °C、 f = 1 MHz， V_{DD} = V_{DD} （典型值）	8	pF
C_I	输入引脚电容		6	pF

热阻

参数	说明	测试条件	8 引脚 SOIC 封装	单位
Θ_{JA}	热阻 （结温）	根据 EIA/JESD51 的要求，测试条件要遵循热阻的标准测试方法和过程。	147	°C/W
Θ_{JC}	热阻 （壳温）		47	°C/W

交流测试条件

输入脉冲电平 ..... V_{DD} 的 0% 和 90%

输入上升和下降时间 ..... 5 ns

输入和输出时序参考电平 ..... 0.5 × V_{DD}

输出负载电容 ..... 30 pF

注释：

5. “k” 为 Boltzmann 常量 8.617 × 10^{-5} eV/K， Tmax 为器件特定的最高温度，并且 “T” 为 F-RAM 产品规范中的任意温度。所有温度都显示在公式部分中的 Kelvin 内。
6. 该参数用于特征描述，但未经过 100% 测试。

交流开关特性

在工作范围内

参数[7]		说明	最小值	最大值	单位
赛普拉斯参数	备用参数				
f_{SCK}	–	SCK 时钟频率	0	4	MHz
t_{CH}	–	时钟为高电平的时间	100	–	ns
t_{CL}	–	时钟为低电平的时间	100	–	ns
t_{CSU}	t_{CSS}	芯片选择建立时间	100	–	ns
t_{CSH}	t_{CSH}	芯片选择保持时间	100	–	ns
t_{OD}[8、 9]	t_{HZCS}	输出禁用时间	–	100	ns
t_{ODV}	t_{CO}	输出数据有效的时间	–	75	ns
t_{OH}	–	输出保持时间	0	–	ns
t_D	–	取消选择时间	100	–	ns
t_R[10、 11]	–	数据的上升时间	–	50	ns
t_F[10、 11]	–	数据的下降时间	–	50	ns
t_{SU}	t_{SD}	数据建立时间	30	–	ns
t_H	t_{HD}	数据保持时间	20	–	ns
t_{HS}	t_{SH}	$\overline{\text{HOLD}}$ 设置时间	70	–	ns
t_{HH}	t_{HH}	$\overline{\text{HOLD}}$ 保持时间	40	–	ns
t_{HZ}[8、 9]	t_{HHZ}	$\overline{\text{HOLD}}$ 从低电平到高阻态的时间	–	100	ns
t_{LZ}[9]	t_{HLZ}	$\overline{\text{HOLD}}$ 从高电平到数据有效的时间	–	50	ns

注释：
7. 假设测试条件为：信号切换时间不超过 5 ns，时序参考电平为 0.5 × V_{DD}，输入脉冲电平为 V_{DD} 的 10% 至 90%，以及指定 I_{OL}/I_{OH} 的输出负载和 30 pF 负载电容，如第 12 页上的交流测试条件中所示。
8. t_{OD} 和 t_{HZ} 的负载电容为 5 pF。转换的测量条件为输出处于高阻态。
9. 该参数用于特征描述，但未经过 100% 测试。
10. 上升时间和下降时间在波形幅度的 10% 和 90% 之间测量。
11. 这些参数在设计上得到保证，但未经过测试。

图 13. 同步数据时序 （模式 0）

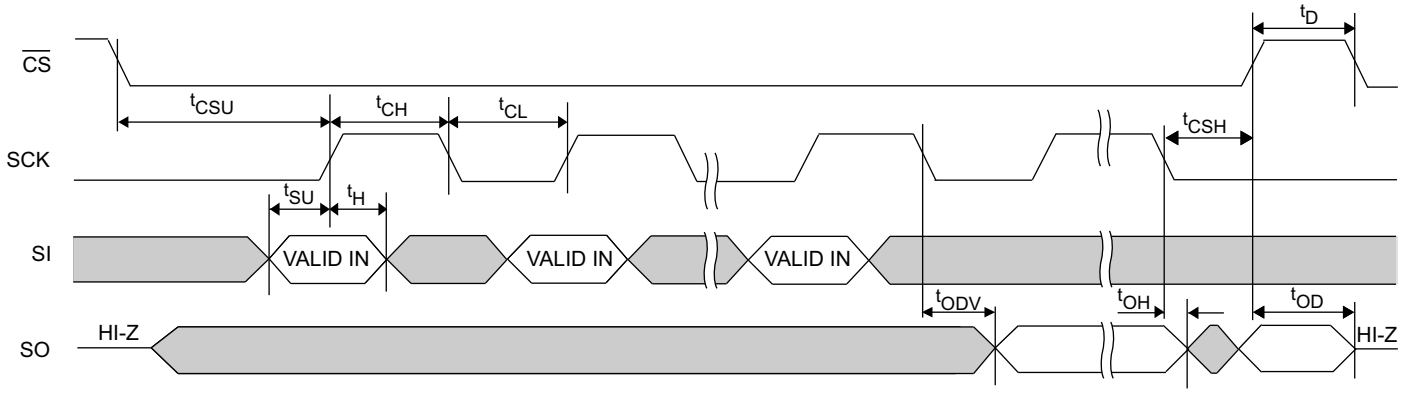
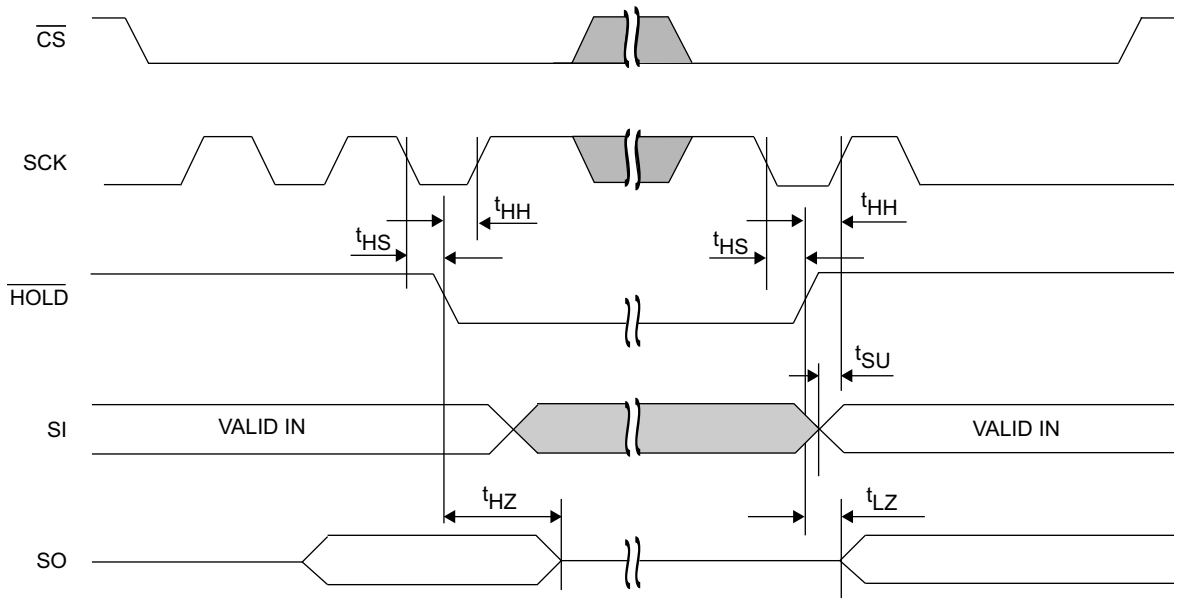


图 14. $\overline{\text{HOLD}}$ 时序

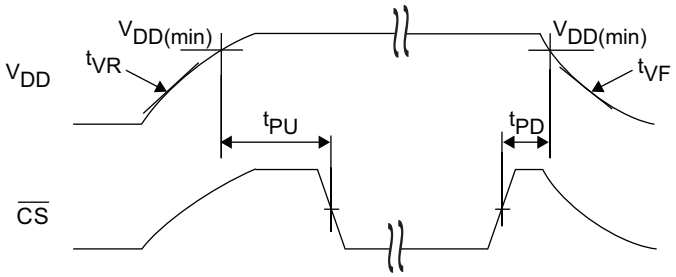


电源循环时序

在工作范围内

参数	说明	最小值	最大值	单位
t_{PU}	从上电 V_{DD} （最小）到第一次访问 （$\overline{CS}$ 为低电平）的时间	1	–	ms
t_{PD}	从最后一次访问 （$\overline{CS}$ 为高电平）到断电 （V_{DD} 最小）的时间	0	–	µs
t_{VR} [12]	V_{DD} 上电升降斜率	30	–	µs/V
t_{VF} [12]	V_{DD} 断电升降斜率	20	–	µs/V

图 15. 电源循环时序



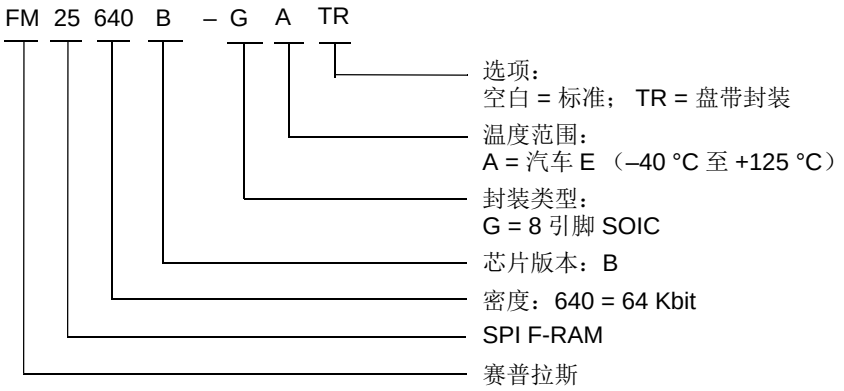
注释：
12. 在 V_{DD} 波形上的任何位置进行测量斜率。

订购信息

订购代码	封装图	封装类型	工作范围
FM25640B-GA	51-85066	8 引脚 SOIC	汽车 E
FM25640B-GATR	51-85066	8 引脚 SOIC	

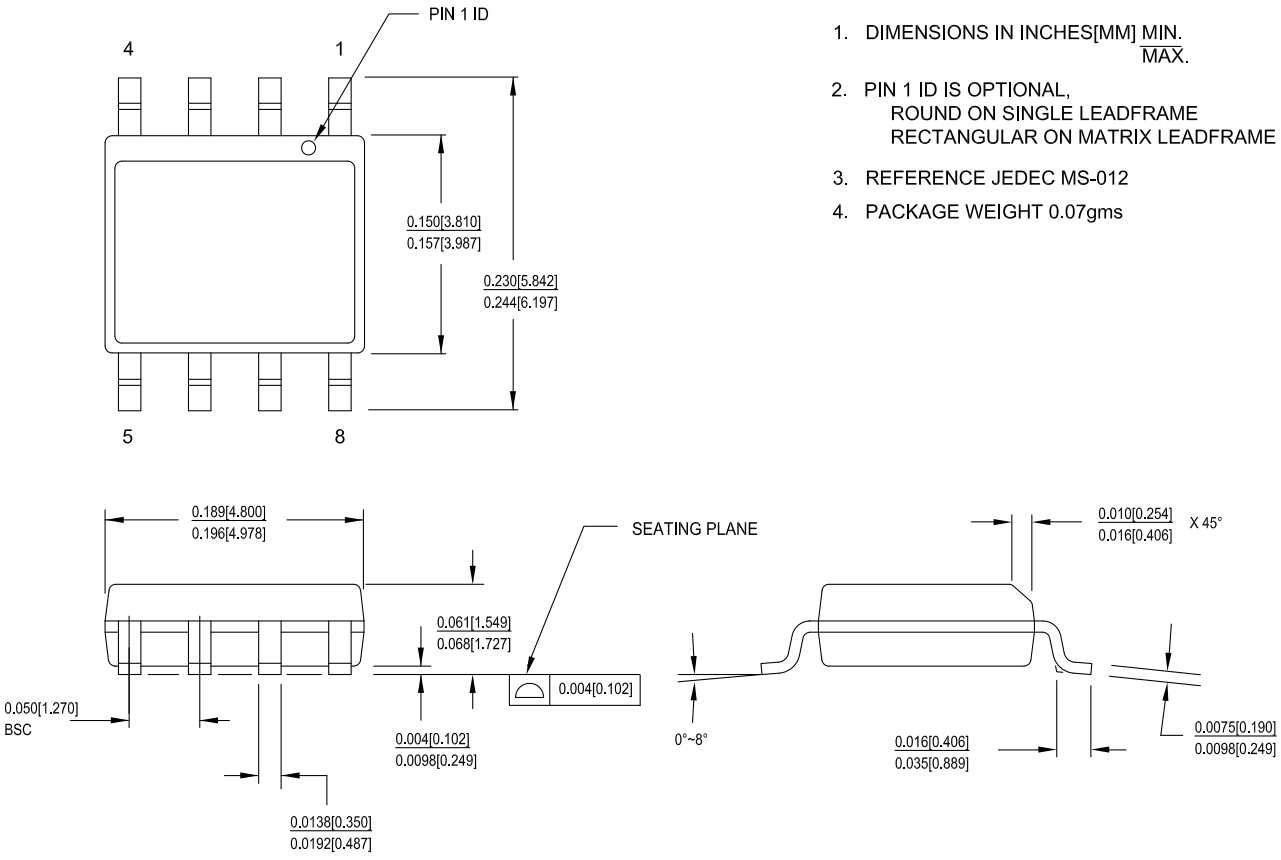
这些器件都不含铅。要了解这些器件的供应情况，请联系赛普拉斯本地销售代表。

订购代码定义



封装图

图 16. 8 引脚 SOIC （150 Mil）封装外形， 51-85066



1. DIMENSIONS IN INCHES[MM] MIN.
   MAX.
2. PIN 1 ID IS OPTIONAL,
   ROUND ON SINGLE LEADFRAME
   RECTANGULAR ON MATRIX LEADFRAME
3. REFERENCE JEDEC MS-012
4. PACKAGE WEIGHT 0.07gms

51-85066 *F

缩略语

缩略语	说明
AEC	汽车电子协会
CPHA	时钟相位
CPOL	时钟极性
EEPROM	电可擦写可编程只读存储器
EIA	电子工业联盟
I/O	输入 / 输出
JEDEC	联合电子设备工程委员会
JESD	JEDEC 标准
LSB	最低有效位
MSB	最高有效位
F-RAM	铁电性随机存取存储器
RoHS	有害物质限制
SPI	串行外设接口
SOIC	小外型集成电路

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
kHz	千赫兹
kΩ	千欧
Kbit	千位
kV	千伏特
MHz	兆赫兹
µA	微安
µs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题：FM25640B， 64 Kbit （8 K × 8）串行 （SPI）汽车 F-RAM 文档编号：001-95825				
版本	**ECN 编号**	**变更者**	**提交日期**	**变更说明**
**	4684916	LISZ	03/13/2015	本文档版本号为 Rev**，译自英文版 001-86148 Rev*A。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 训练

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司， 2013-2015。此处，所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。

本文件中所提及的所有产品和公司名称均为其各自所有者的商标。