FM24CL64B

64K ビット (8K × 8) シリアル (I^2C) 車載用 F-RAM

特長

- 8K×8 構成の 64K ビット強誘電体ランダム アクセス メモリ (F-RAM)
  - 高いアクセス可能回数: 100 兆 (10^{13}) 回の読み出し／書き込み
  - 121年のデータ保持 (データ保持期間およびアクセス可能回数表を参照)
  - NoDelay™ 書き込み
  - 高い信頼性がある強誘電体プロセス
- 高速 2 線式シリアル インターフェース (I^2C)
  - 最大 1MHz の周波数
  - シリアル (I^2C) EEPROM からの置き換え
  - 100kHz と 400kHz に応じた従来のタイミングに対応
- 低消費電力
  - 100kHz での 120mA (typ) のアクティブ電流
  - 6mA (typ) スタンバイ電流
- 動作電圧 : V_{DD} = 3.0V ～ 3.6V
- 車載用拡張温度範囲 : –40°C to +125°C
- 8 ピン小型集積回路 (SOIC) パッケージ
- AEC Q100 グレード 1 準拠
- 特定有害物質使用制限 (RoHS) 準拠

機能概要

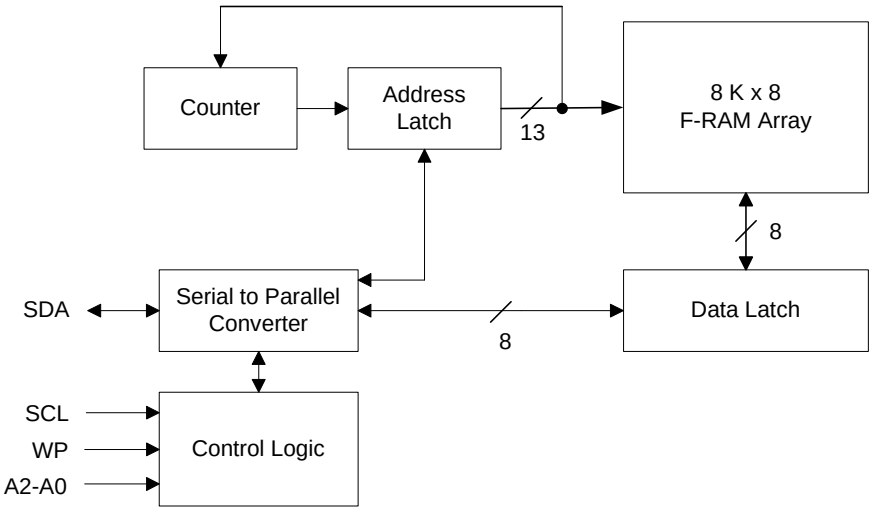
FM24CL64B は高度な強誘電体プロセスを適用した 64K ビットの不揮発性メモリです。強誘電体 RAM (F-RAM) は、不揮発性であり、RAM 同様に読み出し／書き込みを実行します。また EEPROM とその他の不揮発性メモリによる複雑さ、オーバーヘッド、システム レベルの信頼性関連問題を回避し、121 年間にわたって信頼できるデータ保持ができます。

EEPROM と違って、FM24CL64B はバス速度で書き込み動作を実行します。書き込み遅延は発生しません。データは、各バイトがデバイスに正常に転送された直後にメモリ アレイに書き込まれます。次のバス サイクルはデータ ポーリングを必要とせず開始できます。また、本製品は他の不揮発性メモリと比較して多くの書き換え回数を提供しています。それに、F-RAM 書き込み動作が書き込み回路用に内部で電源電圧を増加することを必要としないため、書き込み中に F-RAM は EEPROM より消費電力が低いです。FM24CL64B は 10^{13} 回の読み出し／書き込みサイクル、即ち EEPROM に比べ 1 千万の書き込みサイクルに対応できます。

これらの能力により、FM24CL64B は頻繁で急速書き込みを必要とする不揮発性メモリの用途に理想的なものになります。用途は、書き込みサイクル回数を重視するデータ ロギングから、EEPROM の長い書き込み時間によりデータ損失が発生することがある厳しい産業用制御まで及びます。機能の組み合わせにより、システム オーバーヘッドを低減させながらより頻繁なデータ書き込みを可能にします。

FM24CL64B はハードウェア置き換えができるため、シリアル (I^2C) EEPROM を使用するユーザーに大幅な利点を提供します。デバイス仕様は、–40°C ～ +125°C の拡張温度範囲において保証されています。

ロジックブロック図

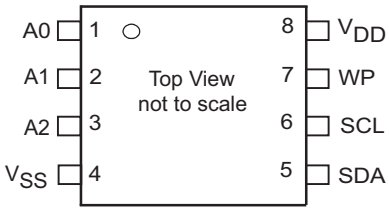


目次

ピン配置 **3**
ピンの機能 **3**
概要 **4**
メモリ アーキテクチャ **4**
I2C インターフェース **4**
STOP 条件 (P) 4
START 条件 (S) 4
データ／アドレス転送 5
アクノリッジ／ノー アクノリッジ 5
スレーブ デバイス アドレス 6
アドレス指定の概要 6
データ転送 6
メモリの動作 **6**
書き込み動作 6
読み出し動作 7
最大定格 **9**
動作範囲 **9**
DC 電気特性 **9**
データ保持期間およびアクセス可能回数 **10**
AEC-Q100 車載用アプリケーションでの F-RAM 製品寿命の例 **10**
静電容量 **10**
熱抵抗 **10**
AC テストの負荷および波形 **11**
AC テスト条件 **11**
AC スイッチング特性 **12**
パワー サイクル タイミング **13**
注文情報 **14**
注文コードの定義 14
パッケージ図 **15**
略語 **16**
本書の表記法 **16**
測定単位 16
改訂履歴 **17**
セールス、ソリューションおよび法律情報 **18**
ワールドワイドな販売と設計サポート 18
製品 18
PSoC® ソリューション 18
サイプレス開発者コミュニティ 18
テクニカル サポート 18

ピン配置

図 1. 8 ピン SOIC ピン配置



ピンの機能

ピン名	入出力	説明
A2-A0	入力	**デバイス選択アドレス 2-0**: 同じ I^2C バス上にある最大 8 個の同型のデバイスの内から 1 つを選択するのに使用する。デバイスを選択するには、3 本のピンのアドレス値がスレーブ アドレスに格納された対応ビットと一致することが必要。アドレス ピンは内部でプルダウン
SDA	入力／出力	**シリアル データ／アドレス**：これは I^2C インターフェース用の双方向ピン。オープンドレインであり、I^2C バス上の他のデバイスとワイヤード AND 接続されるよう意図されている。入力バッファはノイズ耐性のためにシュミット トリガーを備え、出力ドライバーは立ち下がりエッジでのスロープ制御を備えている。外部プルアップ抵抗が必要
SCL	入力	**シリアル クロック**：I^2C インターフェースのシリアル クロック ピン。データは立ち下がりエッジのクロックでデバイスから出力され、立ち上がりエッジのクロックでデバイスに入力。SCL 入力もノイズ耐性用にシュミット トリガー入力を備えている
WP	*入力*	**書き込み保護**。WP が V_{DD} に接続された時、メモリ マップ全体のアドレスが書き込みから保護される。WP がグランドに接続された時、すべてのアドレスには書き込み可能。このピンは内部でプルダウンされている
V_{SS}	電源	デバイスのグランドで、システムのグランドに接続する必要がある
V_{DD}	電源	デバイスの電源入力

概要

FM24CL64B はシリアル F-RAM メモリです。メモリ アレイは、8,192×8 ビットに論理構成され、業界標準 I²C インターフェースを介してアクセスされます。F-RAM の機能動作はシリアル (I²C) EEPROM に似ています。FM24CL64B と同じピン配置のシリアル (I²C) EEPROM の主な相違点は F-RAM の優れた書き込み性能、高いアクセス回数、低消費電力です。

メモリ アーキテクチャ

FM24CL64B のアクセスには、8 データ ビット毎に 8Kヶ所の位置をアドレス指定します。これら 8 つのデータ ビットは順次シフトイン／シフトアウトされます。アドレスは、スレーブ アドレス (他の非メモリ デバイスと区別する用) と 2 バイト アドレスを含む I²C プロトコルを使ってアクセスされます。アドレス範囲の上位 3 ビットは「ドント ケア」値です。13 ビットのアドレスで、一意に各バイト アドレスを指定します。

メモリ動作に対応したアクセス時間は基本的に 0 であり、シリアル プロトコルに必要な時間も考慮すべきです。つまり、メモリは I²C バスの速度で読み書きされます。シリアル (I²C) EEPROM と異なり、書き込み処理がバス速度で行われるため、デバイスの書き込み準備を知るためにポーリングする必要はありません。新しいバス トランザクションがデバイスにシフトされるまでに書き込み動作は完了します。これはインターフェースの節で詳しく説明されています 。

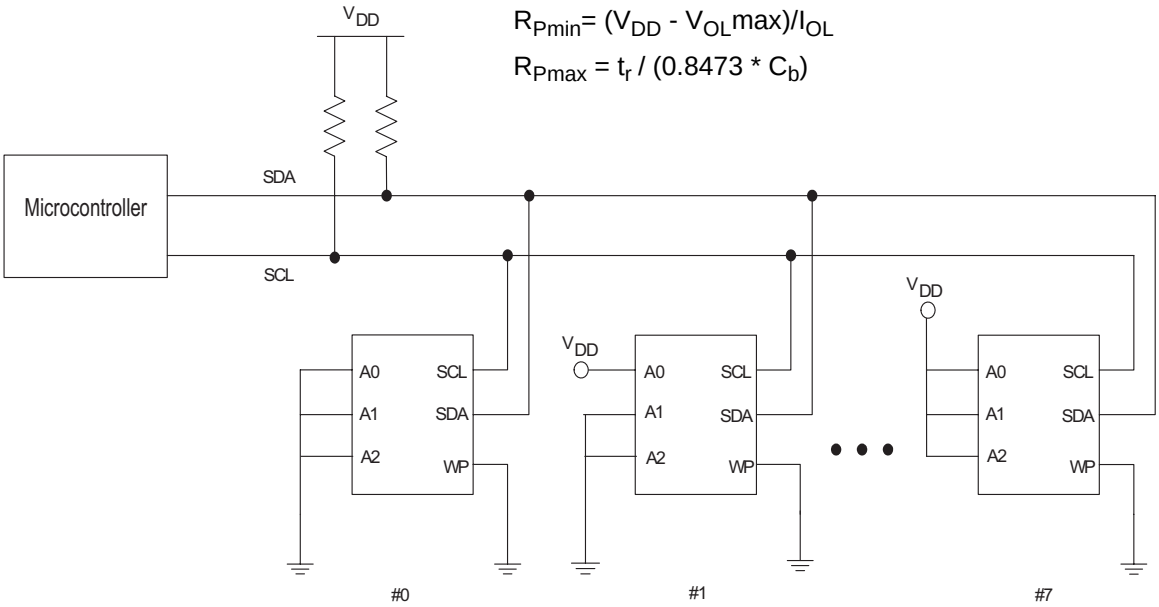
I²C インターフェース

FM24CL64B はピン数が少なく、小さい基板面積で済む双方向 I²C バス プロトコルを使用しています。図 2 には、マイクロコントローラー ベースのシステム内で FM24CL64B を使用した標準的なシステム コンフィギュレーションを示します。多くのユーザーによく知られている業界標準 I²C バスは本節で説明します。

慣例では、データをバスに送信するデバイスはトランスミッタとなり、このデータの受信先デバイスはレシーバとなります。バスを制御しているデバイスはマスターとなります。マスターは、すべての動作用のクロック信号の生成を行います。制御されているバス上のデバイスはスレーブとなります。FM24CL64B は常にスレーブ デバイスです。

バス プロトコルは SDA と SCL 信号の遷移ステートにより制御されます。START、STOP、データ ビット、アクノリッジの 4 つの条件があります。図 3 と図 4 には、4 つのステートを指定する信号条件を示します。詳しいタイミング図は電気的仕様の項に示します。

図 2. シリアル (I²C) nvSRAM を用いたシステム コンフィギュレーション



STOP 条件 (P)

STOP 条件は、SCL 信号が HIGH の時、バス マスターが SDA を LOW から HIGH に駆動する時に指定されます。FM24CL64B を使用したすべての動作は STOP 条件で終わる必要があります。動作中に STOP がアサートされると、動作は中止されます。マスターは、STOP 条件をアサートするために SDA を制御する必要があります。

START 条件 (S)

START 条件は、SCL 信号が HIGH の間、バス マスターが SDA を HIGH から LOW に駆動する時に指定されます。START 条件はすべてのコマンドの前に発生する必要があります。いつでも START 条件をアサートすることで、進行中の動作が中止されます。START 条件を使って動作を中止すると、FM24CL64B が新しい動作の準備ができるようになります。

動作中に電源が指定された V_{DD} の最小値を下回ると、システムは他の動作を行う前に START 条件を発行します。

図 3. START 条件と STOP 条件

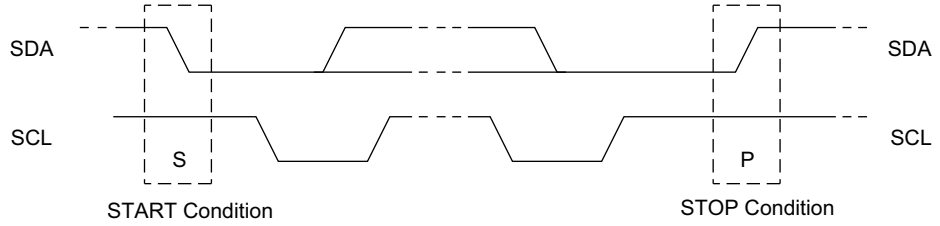
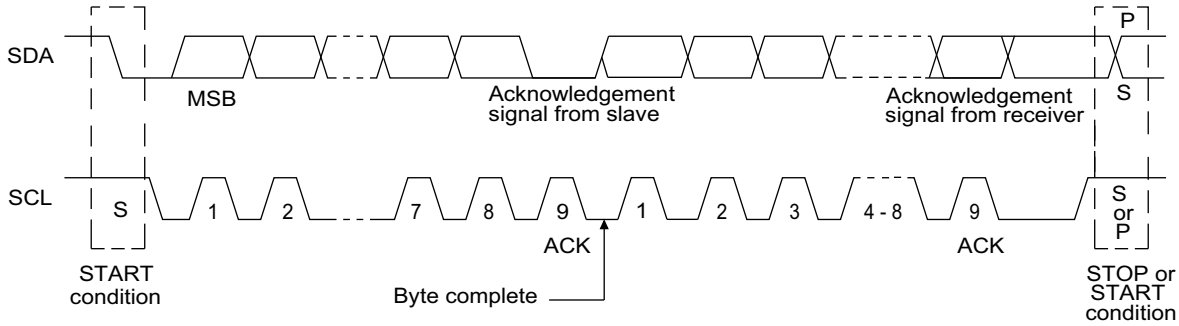


図 4. I²C バス上のデータ転送



データ／アドレス転送

すべてのデータ転送 (アドレスを含む) は SCL が HIGH の時に行われます。上記の 3 つの条件下の場合以外、SDA 信号は SCL が HIGH の時に変化してはいけません。

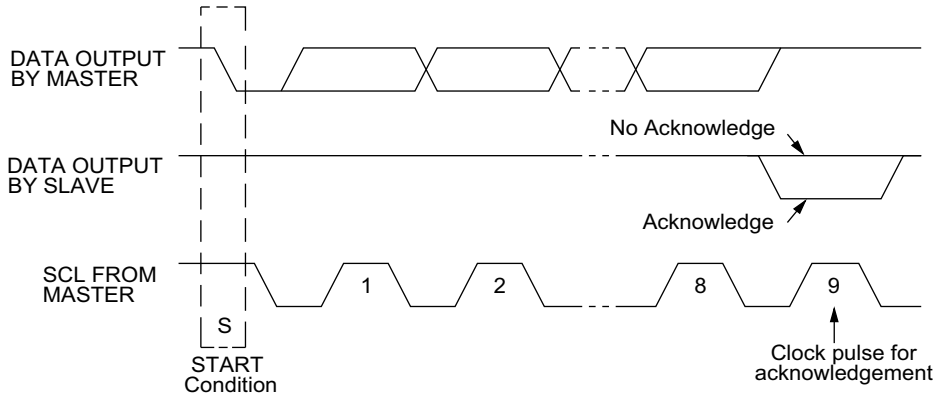
アクノリッジ／ノー アクノリッジ

アクノリッジは、任意のトランザクションで 8 番目のデータビットが転送された後に行われます。この状態の間、トランスミッタは SDA バスを解放してレシーバがバスを駆動できるようにします。レシーバは SDA 信号を LOW に駆動してバイトの受信をアクノリッジします。レシーバが SDA を LOW に駆動しない場合、状態がノー アクノリッジとなり、動作は中止されます。

レシーバは、2 つの異なる理由でアクノリッジを失敗します。1 番目の理由は、バイト転送が失敗することです。この場合、ノー アクノリッジ条件は、デバイスが再びアドレス指定されるように現時点の動作を中断します。これにより、最後のバイトが通信エラーの発生時に復帰できるようになります。

2 番目の理由は、レシーバが意図的に動作を終了させるためにアクノリッジしないことです。これは最も一般的な理由です。例えば読み出し中に、レシーバがアクノリッジ (とクロック) 信号を送信している限り、FM24CL64B はデータをバスに送信します。読み出し動作が完了しこれ以上のデータが不要になった時、レシーバは最後のバイトをアクノリッジしてはいけません。レシーバが最後のバイトをアクノリッジする場合、マスターが STOP などの新しいコマンドを発行している間 FM24CL64B は次のクロックでバスを駆動しようとすることになります。

図 5. I²C バス上のアクノリッジ

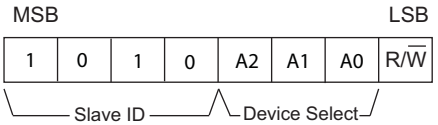


スレーブ デバイス アドレス

START 条件後に FM24CL64B が待ち受けている最初のバイトはスレーブ アドレスです。図 6 に示すように、スレーブ アドレスはデバイス タイプまたはスレーブ ID、デバイス選択アドレス ビット、およびトランザクションが読み出しか書き込みであるかを指定するビットから成ります。

ビット 7 ～ 4 はデバイス タイプ (スレーブ ID) であり、FM24CL64B の場合は 1010b にセットする必要があります。これらのビットにより、他の機能タイプが同じアドレス範囲で I^2C バス上に存在することができます。ビット 3 ～ 1 はデバイス選択アドレス ビットです。デバイスを選択するには外部アドレス ピンの値と一致させる必要があります。各デバイスに異なるアドレスを割り当てることで、最大 8 つの FM24CL64B デバイスが同じ I^2C バス上に存在できます。ビット 0 は読み出し／書き込みビット (R/W) です。R/W=「1」は読み出し動作を示し、R/W=「0」は書き込み動作を示します。

図 6. メモリ スレーブ デバイス アドレス



アドレス指定の概要

FM24CL64B が (レシーバとして) スレーブ アドレスをアクノリッジした後、マスターは書き込み動作のためにメモリ アドレスをバスに送信します。 アドレスは 2 バイトです。完全な 13 ビット アドレスは内部でラッチされます。アクセスの度、ラッチされたアドレス値が自動的にインクリメントされます。カレント アドレスはラッチに保持されている値です。これは新たに書き込まれた値か最後にアクセスしたアドレスの次のアドレスです。カレント アドレスは、電源が入っている限りまたは新しい値が書き込まれるまで保持されます。読み出しは常にカレント アドレスを使用します。以下で説明するように書き込み動作を行うことで、任意の読み出しアドレスをロードすることができます。

各データ バイトの送信後、アクノリッジの直前に、FM24CL64B は内部アドレス ラッチをインクリメントします。これにより、再度アドレスを指定することなく連続する次のバイトにアクセスすることができます。最後のアドレス (1FFFh) に達した後、アドレス ラッチは 0000h に戻ります。一度の読み出しまたは書き込み動作でアクセスできるバイト数の制限はありません。

データ転送

アドレス バイトが送信された後、バス マスターと FM24CL64B 間のデータ転送を開始できます。読み出し動作では、FM24CL64B は 8 データ ビットをバス上に置いてマスターからのアクノリッジを待ちます。アクノリッジ信号が送信された場合、FM24CL64B は次の連続バイトを転送します。アクノリッジ信号が送信されない場合、FM24CL64B は読み出し動作を終了します。書き込み動作では、FM24CL64B はマスターから 8 データ ビットを受信してアクノリッジ信号を送信します。すべてのデータ転送は MSB (最上位ビット) ファースト方式で行われます。

メモリの動作

FM24CL64B は、他の I^2C インターフェース メモリ製品によく似ている方法で動作するように設計されています。主な相違点は、F-RAM 技術の優れた書き込み性能に由来します。これらの改善により、書き込み処理の面で FM24CL64B と似たコンフィギュレーションの EEPROM と幾つかの相違点があります。書き込みと読み出し動作は以下で詳しく説明します。

書き込み動作

すべての書き込みはスレーブ アドレスに続いてメモリ アドレスの順で始まります。バス マスターはスレーブ アドレスの LSB (R/W ビット) を「0」にセットすることで書き込み動作であることを示します。アドレス指定した後、バス マスターは 1 データ バイトずつメモリに送信して、メモリはアクノリッジ条件を生成します。連続して 1 バイトずついくつでも書き込めます。内部でアドレス範囲の最高値に到達すると、アドレス カウンタは 1FFFh から 0000h に戻ります。

他の不揮発性メモリ技術と異なり、F-RAM は事実上書き込み遅延はありません。基本的なメモリの読み出しと書き込みのアクセス時間が同じなので、バスを介して遅延がないことが感じられます。全体のメモリ動作サイクルは、1 つのバス サイクル以内で行われます。このため、読み出しと書き込みを含むすべての動作は書き込みの直後に行うことができます。書き込みが完了するかを判定するために EEPROM で使用される技術であるアクノリッジ ポーリングは不要になり、常にレディー状態を返します。

内部では、8 番目のビットが転送された後に実際のメモリ書き込みが行われます。この書き込みはアクノリッジ信号が送信される前に完了します。このため、ユーザーはメモリ内容を変更せずに書き込みを中止したい場合、8 番目のデータ ビットの前に START または STOP 条件を使用する必要があります。FM24CL64B はページ バッファリングを使用しません。

メモリ アレイは WP ピンを使用して書き込みから保護できます。WP ピンを HIGH 状態 (V_{DD}) にセットすると、すべてのアドレスを書き込みから保護できます。FM24CL64B は保護されたアドレスへ書き込まれたデータ バイトにアクノリッジしません。また、これらのアドレスに書き込もうとしてもアドレス カウンターはインクリメントされません。WPをLOW状態 (V_{SS}) にセットすると、書き込み保護が無効になります。WP は内部でプル ダウンされています。

以下の図 7 と図 8 は 1 バイトと複数バイトの書き込みサイクルを示します。

図 7. シングルバイト書き込み

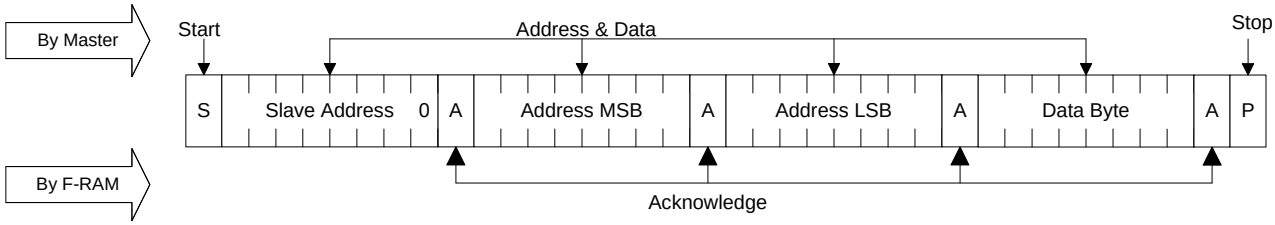
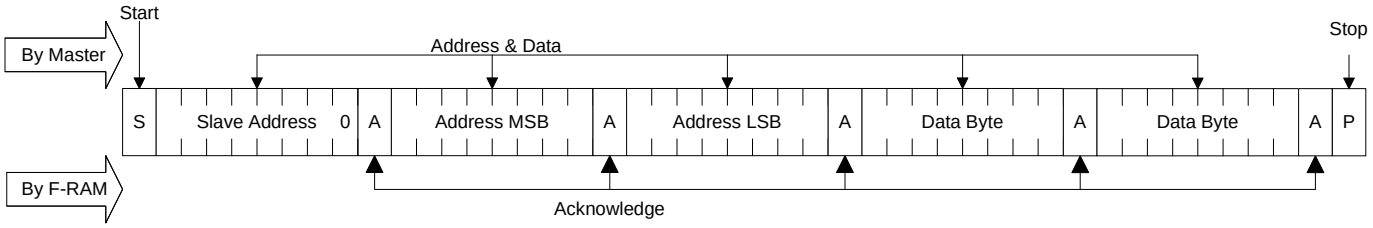


図 8. マルチバイト書き込み



読み出し動作

読み出し動作は 2 つの基本タイプがあります。現時点のアドレス読み出しと選択的なアドレス読み出しです。カレント アドレス読み出しでは、FM24CL64B は内部アドレスラッチを使用してアドレスを提供します。選択的読み出しでは、ユーザーはアドレスを特定の値に設定する手順を行います。

カレント アドレスと連続読み出し

前述のように、FM24CL64B は内部ラッチを使用して読み出しアドレスを提供します。カレントアドレス読み出しは、アドレス ラッチにある値を読み出し動作の開始点として使用します。システムは、最近の動作のアドレス直後に続くアドレスから読み出します。

カレントアドレス読み出しを行うために、バス マスターは LSB を「1」にセットしたスレーブ アドレスを送信します。これは読み出し動作を必要とされることを示します。スレーブ アドレスを受信した後、FM24CL64B は次のクロックでカレントアドレスのデータをシフトアウトし始めます。カレント アドレスは内部アドレスラッチに保持されている値です。

カレント アドレスを冒頭に、バス マスターはバイトをいくつでも読み出せます。従って連続読み出しは単に複数バイトを転送するカレント アドレス読み出しです。各バイト転送の後、内部アドレス カウンターはインクリメントされます。

注 : バス マスターがバイトをアクノリッジたびに、これは FM24CL64B が次の連続バイトを読み出す必要があることを示します。

読み出し動作を正常に終了するには 4 つの方法があります。読み出しを正常に終了しない場合、FM24CL64B がデータをバス上に読み出そうとするためバス競合が発生する可能性があります。4 つの有効な方法は以下の通りです。

1. バス マスターは 9 番目のクロック サイクルでノー アクノリッジ信号を発行し、10 番目のクロック サイクルで STOP 条件を発行します。これを下の図に示します。これは推奨される手法です。
2. バス マスターは 9 番目のクロック サイクルでノー アクノリッジ信号を発行し、10 番目のクロック サイクルで START 条件を発行します。
3. バス マスターは 9 番目のクロック サイクルで STOP 条件を発行します。
4. バス マスターは 9 番目のクロック サイクルで START 条件を発行します。

内部アドレスが 1FFFh に達すると、次の読み出しサイクルで 0000h に戻ります。以下の図 9 と図 10 はカレント アドレス読み出しの正常な動作を示します。

図 9. カレント アドレス読み出し

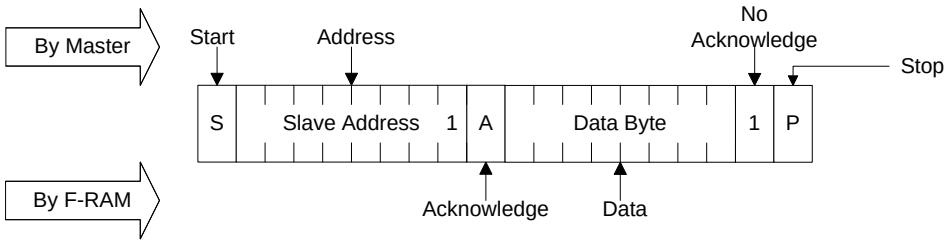
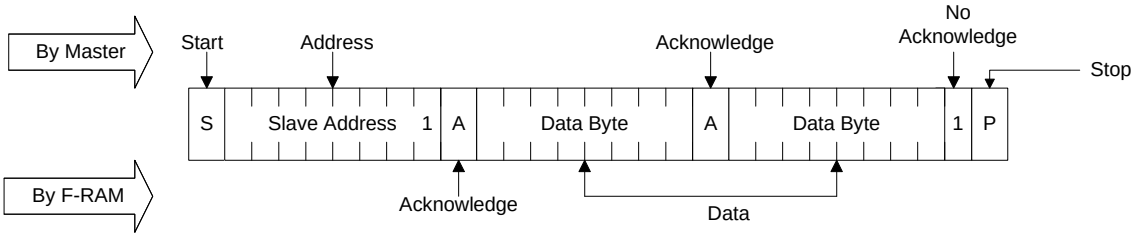


図 10. 連続読み出し

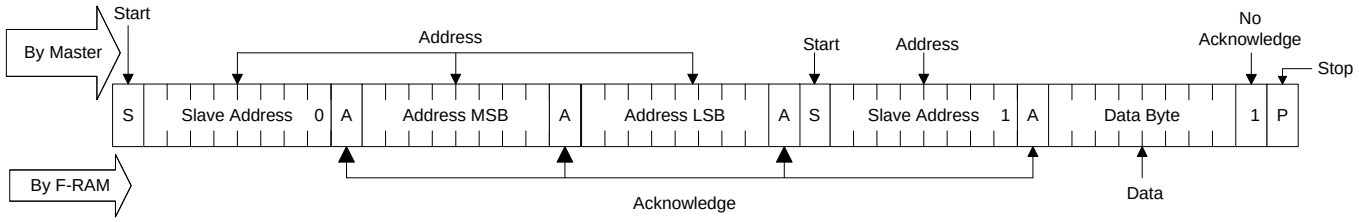


選択的 (ランダム) 読み出し

ランダムなアドレスを読み出し動作の開始点に設定する簡単な方法があります。これは、書き込み動作の冒頭 3 バイトを使って内部アドレスをセットし、続いて読み出し動作を行うことで実現します。

選択的読み出しを行うために、バス マスターは LSB ($\overline{R/W}$) が 0 にセットされたスレーブ アドレスを送信します。これは書き込み動作を示します。書き込みプロトコルに従って、バス マスターはそれに続き、内部アドレス ラッチにロードされるアドレス バイトを送信します。FM24CL64B がアドレスをアクノリッジした後、バス マスターは START 条件を発行します。これにより、書き込み動作が中止されると同時に、LSB が「1」にセットされたスレーブ アドレスで読み出しコマンドが発行されます。これでの動作は現時点のアドレス読み出しとなります。

図 11. 選択的 (ランダム) 読み出し



最大定格

最大定格を超えるとデバイスの寿命が短くなる可能性があります。これらユーザー ガイドラインはテストは行われていません。

保存温度 ..... –55°C ～ +125°C

最大接合部温度 ..... 135°C

V_{SS} を基準とした V_{DD} の電源電圧 ..... –1.0V ～ +4.5V

入力電圧 ..... –1.0V ～ +4.5V、V_{IN}<V_{DD}+1.0V

High-Z 状態の出力に印加する DC 電圧 ..... –0.5V ～ V_{DD}+ 0.5V

グランド電位を基準にした任意のピンの過渡電圧 (<20ns) ..... –2.0V ～ V_{DD}+2.0V

パッケージ許容電力損失 (T_A=25°C)..... 1.0W

表面実装ハンダ付け温度 (10 秒) ..... +260°C

静電気の放電電圧

人体モデル (AEC-Q100-002 Rev. E)..... 4kV

帯電デバイスモデル (AEC-Q100-011 Rev. B) 1.25kV

マシン モデル (AEC-Q100-003 Rev. E) ..... 300 V

ラッチアップ電流..... >140mA

* 例外 : 「V_{IN}<V_{DD}+1.0V」の制約は SCL と SDA 入力に適用しません。

動作範囲

範囲	周囲温度 (T_A)	V_{DD}
車載用拡張温度範囲	–40°C ～ +125°C	3.0V ～ 3.6V

DC 電気特性

動作範囲において

記号	説明	テスト条件		Min	Typ[1]	Max	単位
V_{DD}	電源			3.0	3.3	3.6	V
I_{DD}	平均 V_{DD} 電流	SCL が V_{DD}–0.2V と V_{SS} の間でトグル。他の入力に V_{SS} または V_{DD}–0.2V を印加	f_{SCL}=100kHz	–	–	120	µA
			f_{SCL}=400kHz	–	–	200	µA
			f_{SCL}=1MHz	–	–	340	µA
I_{SB}	スタンバイ電流	SCL=SDA=V_{DD}。他のすべての入力は、V_{SS} または V_{DD} に接続。STOP コマンドを発行	T_A=85°C	–	–	6	µA
			T_A = 125°C	–	–	20	µA
I_{LI}	入力リーク電流 (WP、A2-A0 以外)	V_{SS} ≤V_{IN} ≤ V_{DD}		–1	–	+1	µA
	入力リーク電流 (WP、A2-A0)	V_{SS} ≤V_{IN} ≤ V_{DD}		–1	–	+100	µA
I_{LO}	出力リーク電流	V_{SS} ≤V_{IN} ≤ V_{DD}		–1	–	+1	µA
V_{IH}	入力 HIGH 電圧			0.75 × V_{DD}	–	V_{DD}+0.3	V
V_{IL}	入力 LOW 電圧			– 0.3	–	0.25 × V_{DD}	V
V_{OL}	出力 LOW 電圧	I_{OL}=3mA		–	–	0.4	V
R_{in}[2]	入力抵抗 (WP、A2-A0)	V_{IN}=$V_{IL\ (Max)}$ の場合		40	–	–	kΩ
		V_{IN}=$V_{IH\ (Min)}$ の場合		1	–	–	MΩ
V_{HYS}[3]	入力ヒステリシス			0.05×V_{DD}	–	–	V

注

1. 標準値は 25 ℃、V_{DD}=V_{DD} (typ) で測定されます。すべてのデバイスで試験されているわけではありません。
2. 入力プルダウン回路は、入力電圧が V_{IL} を上回っている時に強くなり (40kΩ)、入力電圧が V_{IH} 以上の時に弱くなります (1MΩ)。
3. このパラメーターは設計保証であり、テストは行われていません。

データ保持期間およびアクセス可能回数

記号	項目	テスト条件	Min	Max	単位
T_{DR}	データ保持期間	T_A = 125°C	11000	–	時間
		T_A = 105°C	11	–	年
		T_A=85°C	121	–	年
NV_C	アクセス可能回数	動作温度	10^{13}	–	サイクル

AEC-Q100 車載用アプリケーションでの F-RAM 製品寿命の例

アプリケーションは、寿命にわたって安定した温度で動作するわけではありません。その代わりに、アプリケーションの使用可能な寿命にわたって温度が異なった環境で動作することを期待されています。その結果として、アプリケーションに使用する F-RAM の保持仕様累積的に計算されるものです。多重温度の熱プロファイルの推定例は、以下の通りです。

温度 T	時間的要因 t	Tmax A [4] に応じる加速係数	プロファイル要因 P	プロファイル寿命 L (P)
		$A = \frac{L(T)}{L(Tmax)} = e^{\frac{Ea}{k}\left(\frac{1}{T}-\frac{1}{Tmax}\right)}$	$P = \frac{1}{\left(\frac{t1}{A1}+\frac{t2}{A2}+\frac{t3}{A3}+\frac{t4}{A4}\right)}$	$L(P) = P \times L(Tmax)$
T1 = 125°C	t1 = 0.1	A1 = 1	8.33	> 10.46 年
T2 = 105°C	t2 = 0.15	A2 = 8.67		
T3 = 85 °C	t3 = 0.25	A3 = 95.68		
T4 = 55°C	t4 = 0.50	A4 = 6074.80		

静電容量

記号 [5]	項目	テスト条件	Max	単位
C_O	出力ピン容量 (SDA)	T_A=25°C、f=1MHz、V_{DD}=V_{DD}(typ)	8	pF
C_I	入力ピン静電容量		6	pF

熱抵抗

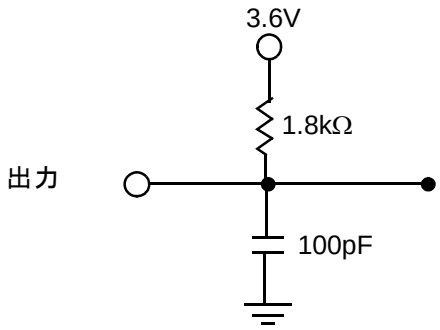
パラメーター [5]	項目	テスト条件	8 ピン SOIC	単位
Θ_{JA}	熱抵抗 (接合部から周囲)	テスト条件は、EIA/JESD51 による、熱インピーダンスを測定するための標準試験方法と手順に従う	147	°C/W
Θ_{JC}	熱抵抗 (接合部からケース)		47	°C/W

注

4. ここでは、k は、Boltzmann 定数 8.617×10^{-5} eV/K で、Tmax は、製品の指定した最大温度で、T は、F-RAM 製品の仕様範囲内の任意の温度です。式では、すべての温度の単位は、ケルビンです。
5. このパラメーターは定期的にサンプリングされ、すべてのデバイスでテストされません。

AC テストの負荷および波形

図 12. AC テストの負荷と波形



AC テスト条件

入力パルス レベル.....V_{DD} の 10% と 90%
入力の立ち上がりと立ち下がり時間.....10ns
入力と出力タイミングの基準レベル .....$0.5 \times V_{DD}$
出力負荷容量..... 100pF

AC スイッチング特性

動作範囲において

パラメーター [6]	代替のパラメーター	項目	Min	Max	Min	Max	Min	Max	単位
f_{SCL} [7]		SCL クロック周波数	–	0.1	–	0.4	–	1.0	MHz
$t_{SU;\ STA}$		反復 START 用の START 条件セットアップ時間	4.7	–	0.6	–	0.25	–	µs
$t_{HD;STA}$		START 条件ホールド時間	4.0	–	0.6	–	0.25	–	µs
t_{LOW}		クロック LOW 時間	4.7	–	1.3	–	0.6	–	µs
t_{HIGH}		クロック HIGH 時間	4.0	–	0.6	–	0.4	–	µs
$t_{SU;DAT}$	$t_{SU;DATA}$	データ入力セットアップ時間	250	–	100	–	100	–	ns
$t_{HD;DAT}$	$t_{HD、DATA}$	データ入力ホールド時間	0	–	0	–	0	–	ns
t_{DH}		データ出力ホールド時間 (SCL=V_{IL} の時から)	0	–	0	–	0	–	ns
t_R [8]	t_r	入力立ち上がり時間	–	1000	–	300	–	300	ns
t_F [8]	t_f	入力立ち下がり時間	–	300	–	300	–	100	ns
$t_{SU;STO}$		STOP 条件セットアップ時間	4.0	–	0.6	–	0.25	–	µs
t_{AA}	$t_{VD;DATA}$	SCL LOW から SDA データ出力有効までの時間	–	3	–	0.9	–	0.55	µs
t_{BUF}		新規送信前のバス空き時間	4.7	–	1.3	–	0.5	–	µs
t_{SP}		SCL、SDA 上のノイズ抑制時定数	–	50	–	50	–	50	ns

図 13. 読み出しバスのタイミング図

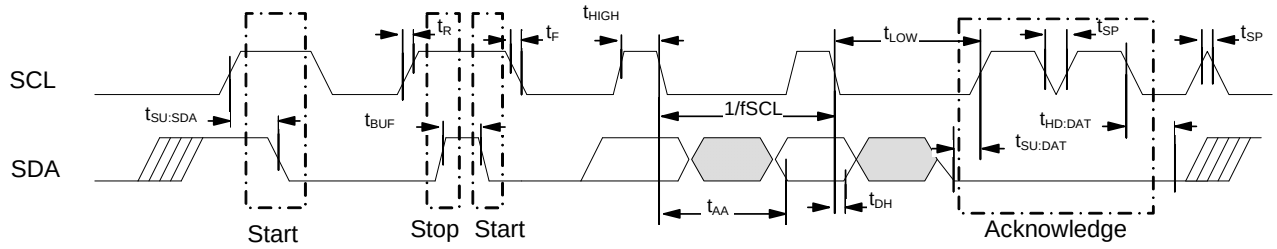
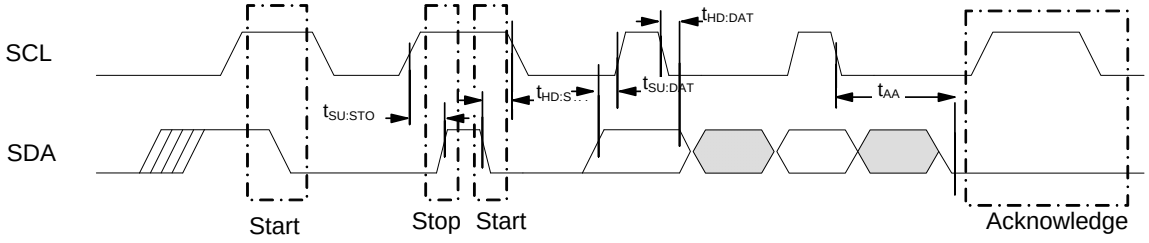


図 14. 書き込みバスのタイミング図



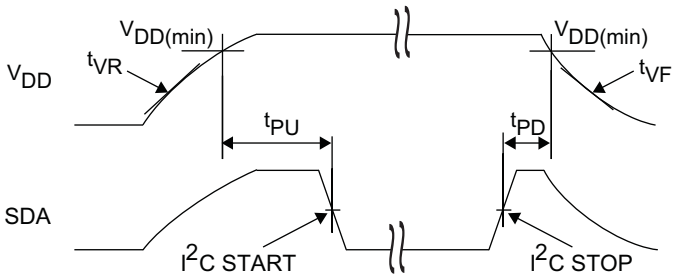
注
6. テスト条件では、信号遷移時間が 10ns 以下、タイミング参照レベルが $V_{DD}/2$、入力パルス レベルが 0V ～ V_{DD} (標準) 、出力負荷が指定した I_{OL}、負荷容量が図 12 に示した通りであることを前提にしています。
7. スピード関連の仕様は、DC から f_{SCL} (max) への動作の連続曲線に沿って保証された特性点です。
8. これらのパラメーターは設計保証であり、テストは行われていません。

パワー サイクル タイミング

動作範囲において

パラメーター	項目	Min	Max	単位
t_{PU}	電源投入時の V_{DD}(min) から最初のアクセス (START 条件) までの時間	1	–	ms
t_{PD}	最後のアクセス (STOP 条件) から電源切断時 (V_{DD}(min)) までの時間	0	–	µs
t_{VR} [9、10]	V_{DD} 電源投入時のランプ レート	30	–	µs/V
t_{VF} [9、10]	V_{DD} 電源切断時のランプ レート	20	–	µs/V

図 15. パワー サイクル タイミング



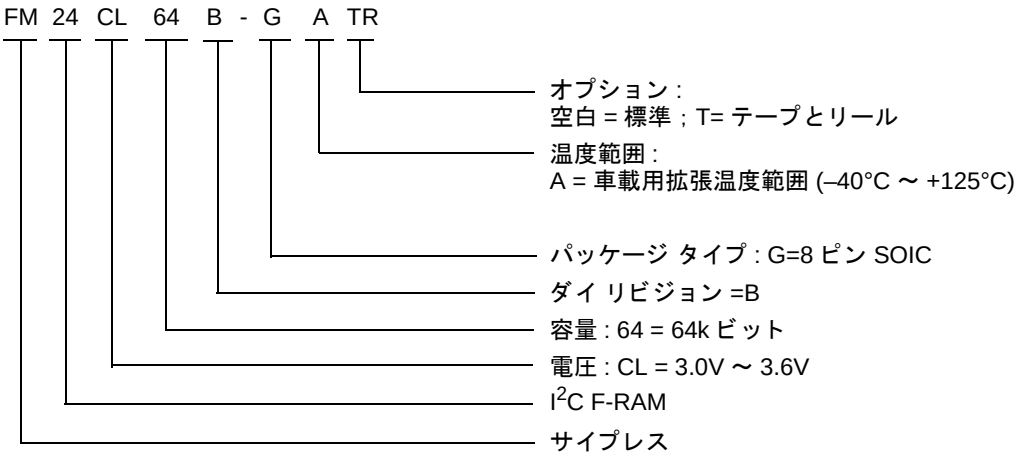
注
9. V_{DD} 波形上の任意の点で測定した傾きです。
10. 設計上では保証されます。

注文情報

注文コード	パッケージ図	パッケージ タイプ	動作範囲
FM24CL64B-GA	001-85066	8 ピン SOIC	車載用拡張温度範囲
FM24CL64B-GATR			

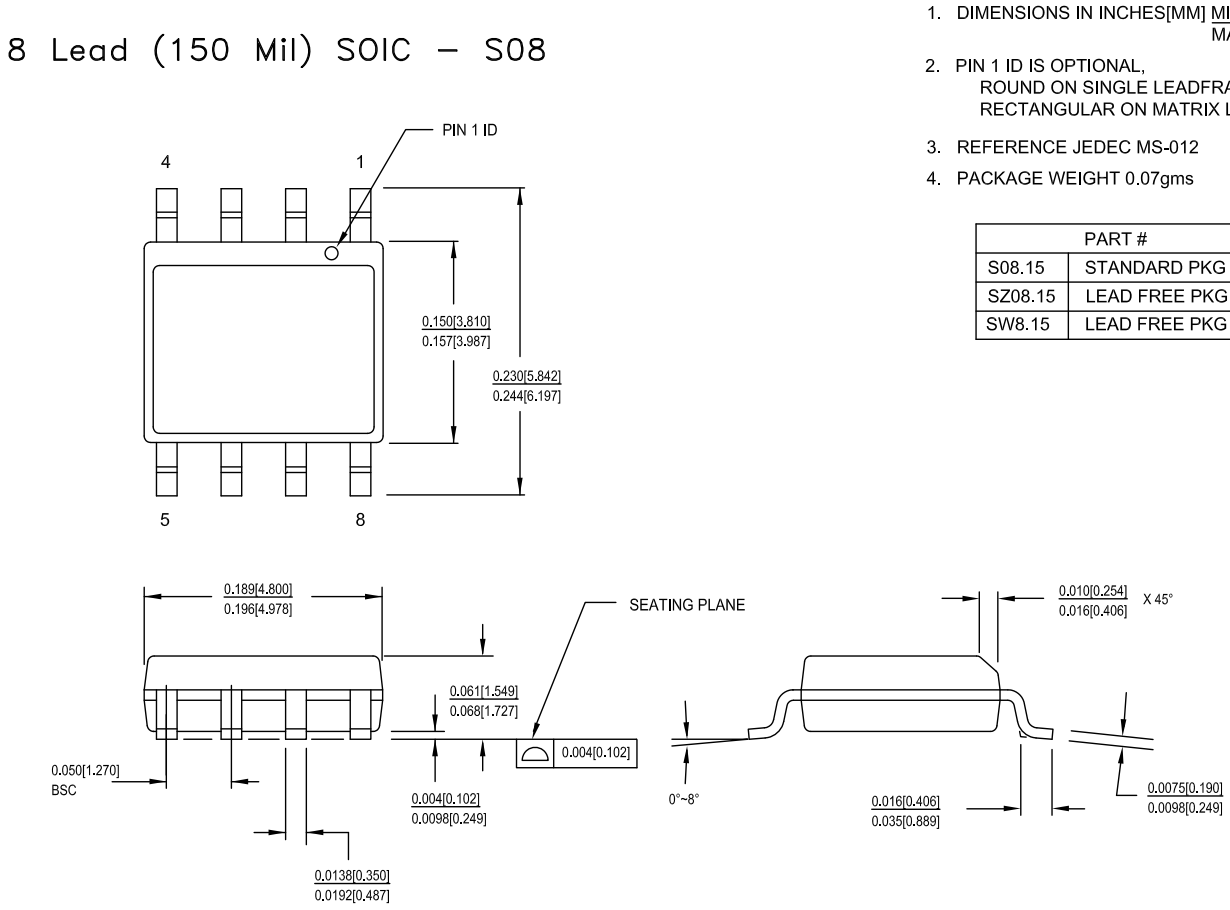
これらすべての部品は鉛フリーです。在庫状況については、最寄りのサイプレスの販売代理店にお問い合わせください。

注文コードの定義



パッケージ図

図 16. 8 ピン SOIC (150mil) パッケージ図、51-85066



略語

略語	説明
ACK	Acknowledge (アクノリッジ)
CMOS	Complementary Metal Oxide Semiconductor (相補型金属酸化膜半導体)
EIA	Electronic Industries Alliance (米国電子工業会)
I^2C	Inter-Integrated Circuit (インター インテグレーテッド サーキット)
I/O	Input/Output (入力／出力)
JEDEC	Joint Electron Devices Engineering Council (半導体技術協会 (旧電子機器技術評議会))
LSB	Least Significant Bit (最下位ビット)
MSB	Most significant bit (最上位ビット)
NACK	No Acknowledge (ノー アクノリッジ)
RoHS	Restriction of Hazardous Substances (特定有害物質使用制限指令)
$\overline{R/W}$	Read/Write (読み出し／書き込み)
SCL	Serial Clock Line (シリアル クロック ライン)
SDA	Serial Data Access (シリアル データ アクセス)
SOIC	Small Outline Integrated Circuit (小型外形集積回路)
WP	Write Protect (書き込み保護)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
Hz	ヘルツ
Kb	1024 ビット
kHz	キロヘルツ
kΩ	キロオーム
MHz	メガヘルツ
MΩ	メガオーム
µA	マイクロアンペア
µs	マイクロ秒
mA	ミリアンペア
ms	ミリ秒
ns	ナノ秒
Ω	オーム
%	パーセント
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : FM24CL64B、64K ビット (8K × 8) シリアル車載用 F-RAM 文書番号 : 001-95865				
版	**ECN 番号**	**発行日**	**変更者**	**変更内容**
**	4700357	05/13/2015	IYM	これは英語版 001-84457 Rev. *C を翻訳した日本語版 001-95865 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス／RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2013 - 2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。

本書で言及する全ての製品名および会社名は、それぞれの所有者の商標である場合があります。