FM24CL64B

64 Kbit （8 K × 8）串行 （I²C）汽车 F-RAM

特性

- 64 Kbit 铁电随机存储器 （F-RAM）的逻辑组织为 8 K × 8
  - 高耐久性：100 万亿 （10^{13}）的读 / 写次数
  - 数据保留时间为 121 年 （参考数据保留时间和耐久性表）
  - NoDelay™ 写操作
  - 高级高可靠性的铁电操作
- 快速 2 线串行接口 （I²C）
  - 工作频率高达 1 MHz
  - 使用硬件直接替代串行 （I²C） EEPROM
  - 支持在 100 kHz 和 400 kHz 频率时的旧版计时器
- 低功耗
  - 频率为 100 kHz 时，工作电流为 120 µA （典型值）
  - 待机电流为 6 µA （典型值）
- 电压操作：V_{DD} = 3.0 V 至 3.6 V
- 汽车 E 的温度范围：–40 °C 至 +125 °C
- 8 引脚小外形集成电路 （SOIC）封装
- 符合 AEC Q100 一级标准
- 符合有害物质限制标准 （RoHS）

功能概述

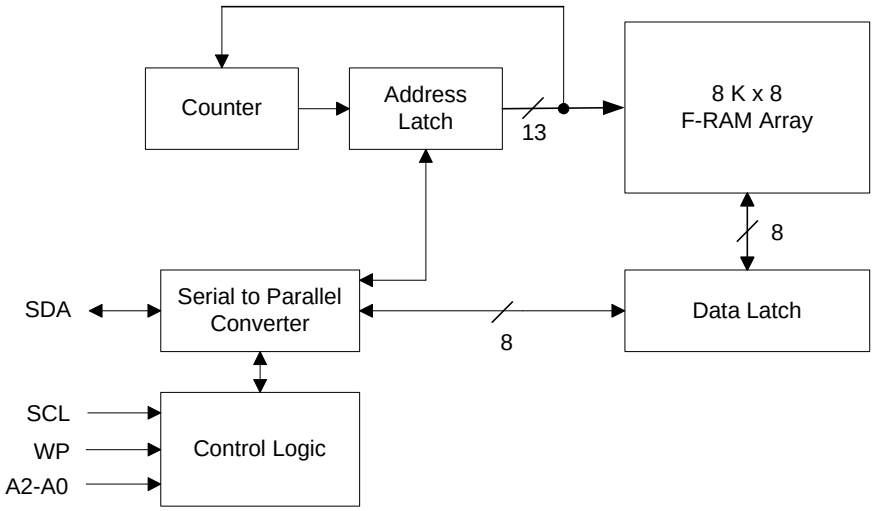
FM24CL64B 是使用了高级铁电工艺的 64 Kbit 非易失性存储器。铁电随机存取存储器 （即 F-RAM）是一种非易失性存储器，它跟 RAM 一样，能够执行读和写操作。它提供 121 年的可靠数据保留时间，同时解决了由 EEPROM 和其他非易失性存储器所造成的复杂性、开销和系统级可靠性等问题。

与 EEPROM 不同， FM24CL64B 以总线速度执行写操作。并不会产生写延迟。在每个字节成功传输到器件后，数据立即被写入到存储器阵列。这时，可以开始执行下一个总线周期而不需要轮询数据。此外，与其他非易失性存储器相比，该产品提供了更多的擦写次数。在进行写的过程中， F-RAM 的功耗也远远低于 EEPROM 的，因为写操作不需要使用写电路的内部高电源电压。FM24CL64B 能够支持 10^{13} 次的读 / 写周期，比 EEPROM 多 1 千万次的写周期。

由于具有这些特性，因此 FM24CL64B 非常适用于需要频繁或快速写操作的非易失性存储器应用。示例范围包括从数据记录（其中写周期数量是非常重要的）到满足工业控制 （其中 EEPROM 的较长写时间会使数据丢失）。使用功能组合可以实现更频繁的数据写入操作，但仍会降低系统开销。

FM24CL64B 可以直接代替串行（I²C）EEPROM 的硬件，从而能为用户提供了极大的方便。该器件的规范是在汽车 E（从 –40 °C 至 +125 °C）的温度范围内得以保证。

逻辑框图

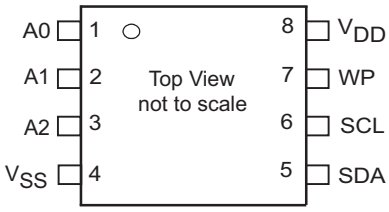


目录

引脚分布 3
引脚定义 3
概述 4
存储器架构 4
I²C 接口 4
STOP 条件 （P） 4
START 条件 （S） 4
数据 / 地址传输 5
应答 / 无应答 5
从设备地址 5
寻址概述 6
数据传输 6
存储器操作 6
写操作 6
读操作 7
最大额定值 9
工作范围 9
直流电气特性 9
数据保留时间和耐久性 10
AEC-Q100 汽车应用中的关于 F-RAM 寿命的示例 10
电容 10
热阻 10
交流测试负载和波形 11
交流测试条件 11
交流开关特性 12
电源周期时序 13
订购信息 14
订购代码定义 14
封装图 15
缩略语 16
文档规范 16
测量单位 16
文档修订记录页 17
销售、解决方案和法律信息 18
全球销售和设计支持 18
产品 18
PSoC® 解决方案 18
赛普拉斯开发者社区 18
技术支持 18

引脚分布

图 1. 8 引脚 SOIC 封装的引脚分布



引脚定义

引脚名称	I/O 类型	说明
A2-A0	输入	**器件选择地址 2-0**。使用这些引脚可选择同一个 I^2C 总线上最多 8 个相同类型器件中的一个。若选择相应器件，这三个引脚上的地址值必须符合从设备地址中的相应位。这些地址引脚均被内部下拉。
SDA	输入 / 输出	**串行数据 / 地址**。是指 I^2C 接口的双向引脚。它是开漏引脚，用于通过导线与 I^2C 总线上的其他器件相连 （即为对这些器件的 SDA 信号执行 “ 与 ” 运算）。输入缓冲区与 Schmitt （施密特）触发器相结合，这样可以抵抗噪声干扰，同时输出驱动器用于控制下降沿的斜率。该引脚需要一个外部上拉电阻。
SCL	输入	**串行时钟**。是指 I^2C 接口的串行时钟引脚。在时钟的下降沿上从设备输出数据，并在时钟的上升沿上将数据输入器件内。此外， SCL 输入还与 Schmitt 触发器输入相结合，用以抗噪声干扰。
WP	输入	**写入保护**。该引脚与 V_{DD} 相连时，整个存储器映射的地址将处于写入保护状态。当 WP 引脚接地时，所有地址都处于写启用状态。该引脚的电阻被内部下拉。
V_{SS}	电源	器件的接地引脚。必须连接至系统接地端。
V_{DD}	电源	给器件供电。

概述

FM24CL64B 是一个串行 F-RAM 存储器。该存储器阵列被逻辑组织为 8,192 × 8 位，通过使用行业标准 I^2C 接口可以访问该存储器阵列。 F-RAM 和串行 （I^2C） EEPROM 的功能操作是相同的。与使用引脚分布相同的串行 （I^2C） EEPROM 相比，FM24CL64B 的 F-RAM 具有更优良的写性能、更高的耐久性以及更低的功耗。

存储器架构

当访问 FM24CL64B 时，用户寻址 8K 地址，每个地址有 8 个数据位。这 8 个数据位被连续移入或移出。可通过使用 I^2C 协议访问这些地址。该协议包括一个从设备地址（用于区分该器件和其他非存储器件）和一个双字节地址。该地址范围的高 3 位都是 ‘ 无需关注 ’ 的值。13 位的完整地址独立指定了每个字节的地址。

存储器的访问时间几乎为零，该时间小于串行协议所需要的时间。从而才能确定该存储器以 I^2C 总线的速度进行读 / 写操作。与串行 （I^2C） EEPROM 不同的是，不需要轮询器件的就绪条件，因为写操作是以总线速度进行的。新的总线数据操作移入器件前，需要完成写操作。更多详细信息，请参阅 ‘ 接口 ’ 部分中介绍的内容。

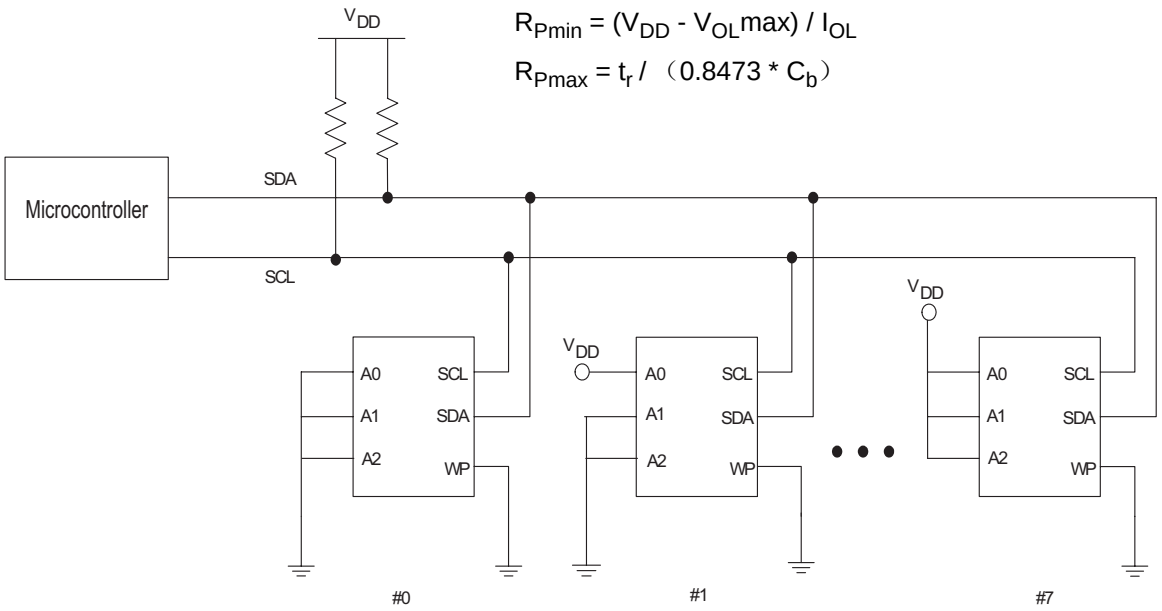
I^2C 接口

FM24CL64B 采用了一个占用几个引脚和电路板空间的双向 I^2C 总线协议。图 2 显示的是使用 FM24CL64B 的基于微控制器系统的典型系统配置。虽然很多用户已经熟悉了工业标准的I^2C总线，但此节中仍会介绍该总线的相关信息。

按规定，在该总线上发送数据的器件被称为发送器，接收这些数据的目标器件被称为接收器。控制总线的器件就是主设备。主设备负责为所有操作生成时钟信号。总线上所有受控制的器件均为从设备。 FM24CL64B 总能作为一个从设备。

总线协议由 SDA 和 SCL 信号的转换状态控制。共有四种条件，分别为 START （启动）、 STOP （停止）、数据位和应答。图 3 和图 4 显示的是用于指定这四种状态的信号条件。有关详细的时序图，请参见电气规范部分。

图 2. 使用串行 （I^2C） nvSRAM 的系统配置



STOP 条件 （P）

STOP 条件为：SCL 信号为高电平状态，同时总线主设备将 SDA 信号的状态从低电平切换为高电平。使用 FM24CL64B 的所有操作要以 STOP 条件结束。当激活 STOP 事件时，正在运行的某个操作将被终止。主设备必须控制 SDA 信号，以激活 STOP 条件。

START 条件 （S）

START 条件为：SCL 信号为高电平状态，同时，总线主设备将 SDA 信号的状态从高电平切换为低电平。发送所有指令之前，需要生成一个 START 条件。随时激活 START 条件，便可终止正在运行的操作。使用 START 条件终止某个正在运行的操作后，FM24CL64B 可执行新的操作。

在操作过程中，如果电源下降到比指定的最小 V_{DD} 更小的值，那么，在执行其他操作前，系统先要发送一个 START 条件。

图 3. START 和 STOP 条件

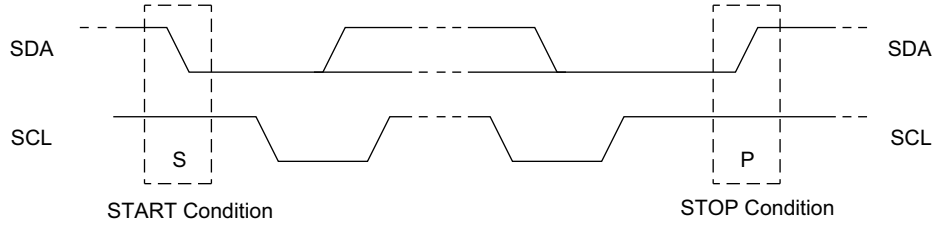
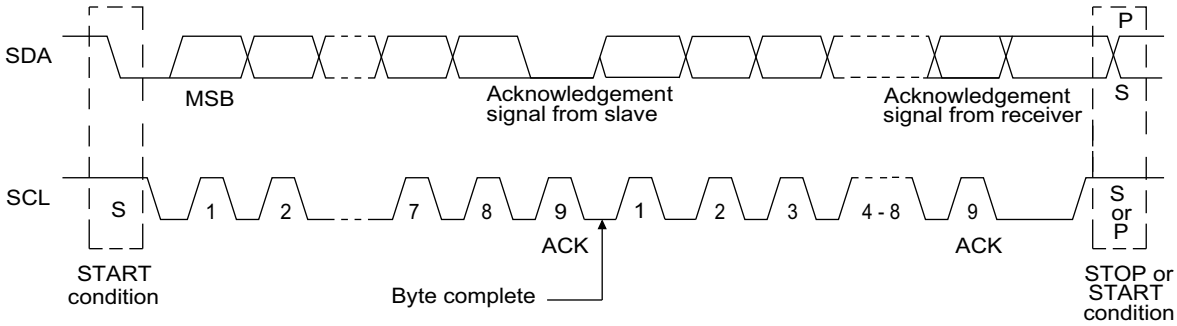


图 4. I²C 总线上的数据传输



数据 / 地址传输

所有的数据传输（包括地址传输在内）都要在 SCL 信号为高电平时进行。除上述三种条件外，当 SCL 为高电平时，不应更改 SDA 信号的状态。

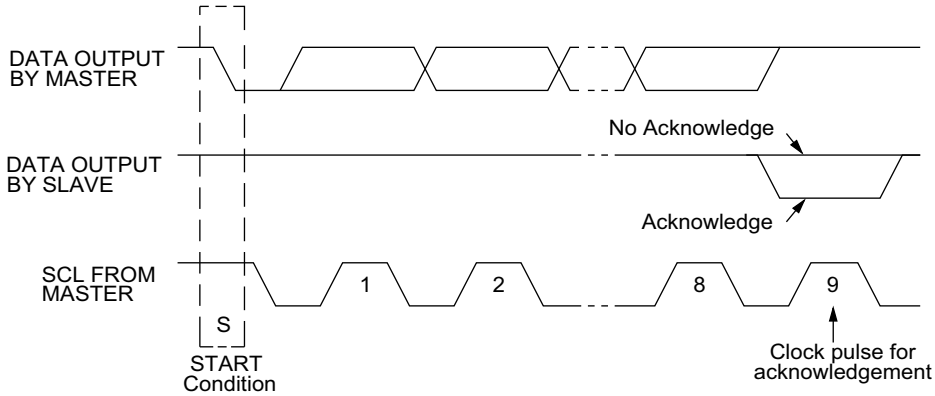
应答 / 无应答

在任意的数据传输中，成功传输第 8 位数据后，都会发出应答信息。在该状态中，发送器应该释放 SDA 总线，以允许接收器驱动该信号。接收器通过将 SDA 信号置于低电平来应答已经接收到所需字节。如果接收器未将 SDA 信号置于低电平，则表示无应答，同时相应的传输操作被终止。

接收器应答失败可能是由下面两个主要原因引起的。第一个原因是字节传输失败。在这种情况下，无应答条件将中止当前操作，以便器件进行重新寻址。在通信错误事件中，通过该条件可以恢复最后传输的字节。

第二个原因也是最常见的原因，接收器故意终止该操作，因此它不会作出应答。例如，在读取过程中，只要接收器发出应答（以及时钟信号），FM24CL64B 将持续将数据发送给总线。当读取操作完成，并且无需传输任何数据时，接收器不能应答最后字节。如果它应答了最后字节，在主设备发送新指令（如 STOP）时，FM24CL64B 将尝试在下一个时钟周期中驱动总线。

图 5. 在 I²C 总线上应答



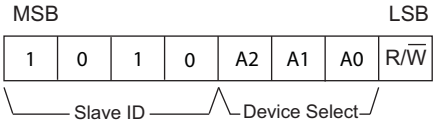
从设备地址

发出 START 条件后，FM24CL64B 所期望接收的第一个字节是从设备地址。如图 6 所示，从设备地址包括器件类型（从设备 ID）、器件选择地址位以及一个用于指定读 / 写操作的位。

对于 FM24CL64B，位 7-4 是器件类型（从设备 ID），并应该将其设置为 1010b。通过这些位，可以将处于相同地址范围的其他功能类型放置在该 I²C 总线上。位 3-1 是器件选择地址位。为选择所需的器件，它们要符合外部地址引脚上的相应值。通过分别

给每个器件分配一个相应的地址，可在同一个 I²C 总线上放置八个 FM24CL64B 器件。位 0 是读 / 写位 （R/W）。 R/W = ‘1’ 表示一个读操作， R/W = ‘0’ 表示一个写操作。

图 6. 存储器从设备地址



寻址概述

FM24CL64B （作为接收器）应答从设备地址后，主设备可将字地址放置在总线上，以进行写操作。该地址需要使用两个字节。13 位完整的地址被内部锁存。每次进行访问操作都会使所锁存的地址值自动递增。当前地址是保留在锁存器中的值，无论它是新写入的值还是最后的访问操作后的地址。只要保持电源或者在写入一个新数值前，当前的地址便得到保留。读操作一直使用了当前地址。通过执行下述写操作，可以加载某个随机读取地址。

传输每个数据字节后，执行应答条件前， FM24CL64B 会增加内部地址锁存器。这样可以访问下一个连续字节而无需额外地址。达到最后地址（1FFFh）后，地址锁存器将翻转到 0000h。单个读或写操作访问的字节数量不受限制。

数据传输

发送完地址字节后，可在总线主设备与 FM24CL64B 间开始传输数据。对于读操作，FM24CL64B 会将 8 个数据位放置在总线上，然后等待来自主设备的应答。如果得到应答， FM24CL64B 将传输下一个连续字节。如果没有得到应答，则 FM24CL64B 将终止读操作。对于写操作， FM24CL64B 将接收主设备的 8 数据位，然后做出应答。所有数据传输都是以 MSB （最高有效位）开始的。

存储器操作

FM24CL64B 的工作方式设计于与其他 I²C 接口存储器产品的工作方式大致相同。主要区别在于 F-RAM 技术的高性能写入操作。这些性能的改善可使 FM24CL64B 与其配置相似的 EEPROM 在执行写操作时出现了差异。下面内容对读和写的完整操作进行了加以说明。

写操作

所有写操作都是以一个从设备地址开始的，后面是一个字地址。总线主设备通过将从设备地址的 LSB （R/W 位）设置为 ‘0’ 来指示一个写操作。寻址后，总线主设备将每个数据字节发送到存储器，然后存储器做出相应的应答。可以写入任意连续字节数量。如果达到地址范围的最后地址，地址计数器将从 1FFFh 返回到 0000h。

与其他非易失性存储器技术不同，使用 F-RAM 技术时没有有效的写延迟。因为基础存储器的读写访问时间相等，所以用户体验通过总线不存在延迟。整个存储器周期的发生时间短于一个单总线周期。因此，完成某写入操作后，会立即执行任意操作 （包括读和写操作）。在这里不需要使用应答轮询技术 （EEPROM 使用该技术来确定某个写操作是否完成），并且轮询的结果始终为就绪条件。

传输第 8 个数据位后，将内部执行实际的存储器写操作。并且，在发送应答信息前完成该操作。因此，如果用户需要终止写操作而不要修改存储器中的内容，则应该在传输第 8 个数据位前通过使用 START 或 STOP 条件实现该终止操作。 FM24CL64B 不使用页缓冲区。

通过使用 WP 引脚可以对存储器阵列进行写保护。只要将 WP 引脚设置为高电平条件 （V_{DD}）便能够对所有地址进行写保护。FM24CL64B 不会应答被写入到保护地址内的数据字节。此外，如果尝试对这些地址进行写操作，地址计数器也不会递增。将 WP 引脚设置为低电平状态（V_{SS}），可以禁用写保护功能。WP 的电阻被内部下拉。

以下的图 7 和图 8 显示了单字节和多字节写周期。

图 7. 单字节写入

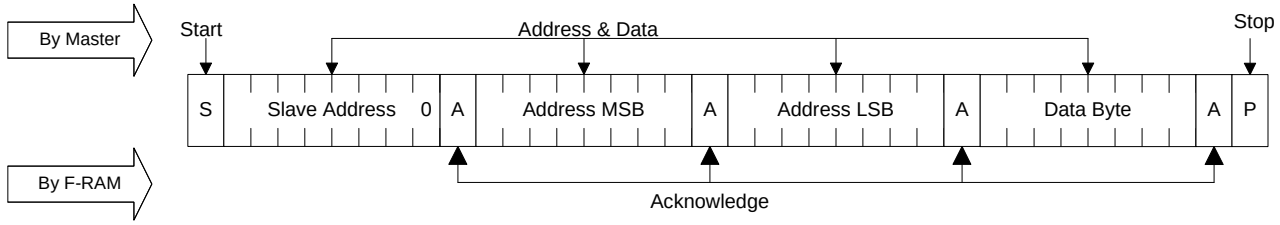
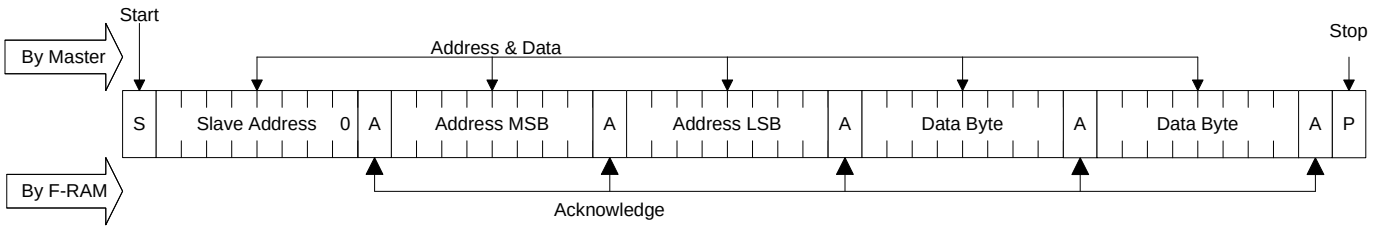


图 8. 多字节写入



读操作

存在两种基本的读取类型。它们分别是当前地址读取和选择性地址读取。对于当前地址读取， FM24CL64B 使用内部地址锁存器来提供地址。对于选择性读取，用户通过执行一个流程，以将地址设置为一个特定值。

当前地址读取和连续读取

如上所述， FM24CL64B 使用内部锁存为读操作提供地址。进行读操作时，当前地址读取会将地址锁存器中现有的值作为起始地址使用。系统将从紧跟着最后访问位置的地址进行读取。

为执行当前地址读取，总线主设备将提供一个从设备地址，其中 LSB 被设置为 ‘1’ 。这表示要求执行读操作。接收完整从设备地址后， FM24CL64B 将在下一个时钟周期内从当前的地址移出数据。当前地址是内部地址锁存器中所保留的值。

从当前的地址开始执行，总线主设备可以读取任意数量的字节。因此，一个连续读取是指多字节传输的当前地址读取。传输完每个字节后，内部地址计数器将被递增。

注意：总线主设备每次应答某个字节时，表示 FM24CL64B 应该读取下一个连续字节。

可以通过四种方法来适当地终止读操作。如果不能正常终止读操作，将发生总线冲突，因为 FM24CL64B 将尝试读取总线上的额外数据。四种有效的方法分别为：

1. 总线主设备在第 9 个时钟周期内发送一个无应答信息，并在第 10 个时钟周期内发送一个 STOP 条件，下框图显示了该操作。这是首选的方法。
2. 总线主设备在第 9 个时钟周期内发送一个无应答信息，并在第 10 个时钟周期内发送一个 START 条件。
3. 总线主设备在第 9 个时钟周期内发送一个 STOP 条件。
4. 总线主设备在第 9 个时钟周期内发送一个 START 条件。

如果内部地址达到了 1FFFh，将在下一个读周期中返回 0000h。下面的图 9 和图 10 显示的是当前地址读取的正确操作。

图 9. 当前地址读取

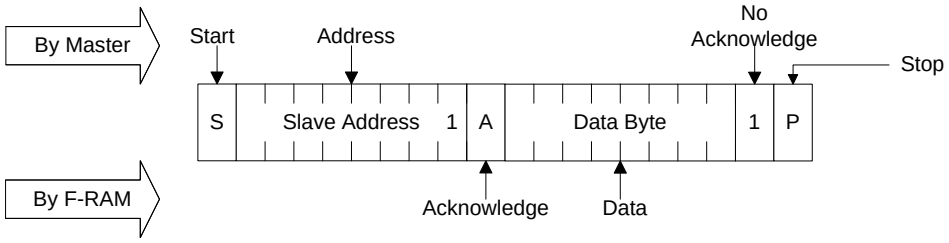
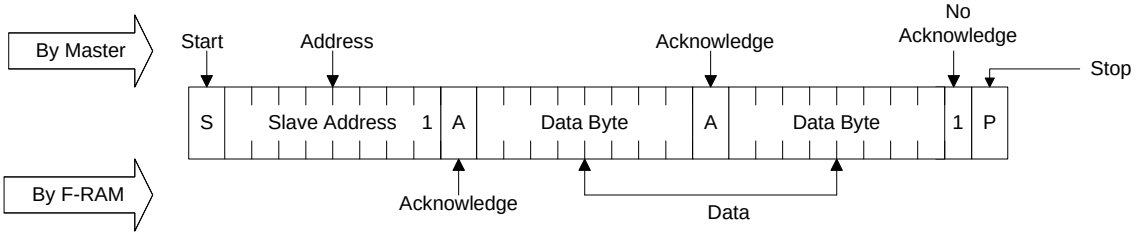


图 10. 连续读取

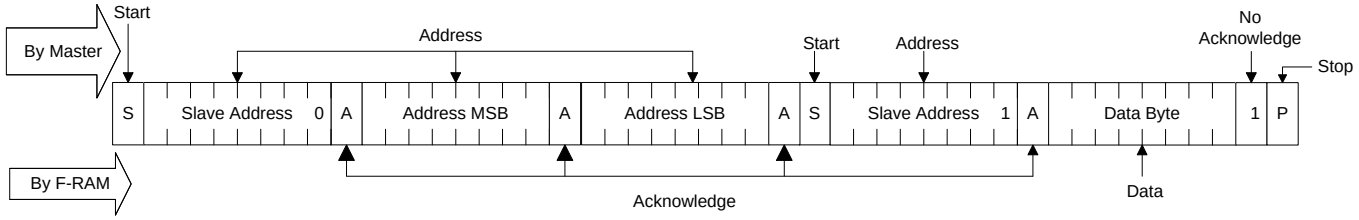


选择性 （随机）读取

通过一种简单的技术，用户可以选择一个随机地址位置作为读操作的起始地址。该技术使用写操作的前三个字节来设置后续读操作随后的内部地址。

为执行一个选择性的读取操作，总线主设备将发送一个从设备地址，其中 LSB （R/W）被设置为 ‘0’，以表示要求执行一个写操作。根据写协议，总线主设备会发送被加载到内部地址锁存器中的地址字节。 FM24CL64B 应答该字地址后，总线主设备将生成一个 START 条件。这样会终止写操作，同时发送一个读指令，其中从设备地址中的 LSB 被设置为 ‘1’。现在该操作变为当前地址读取。

图 11. 选择性 （随机）读取



最大额定值

超过最大额定值可能会缩短器件的使用寿命。这些用户指导未经过测试。

存放温度 ..... –55 °C 到 +125 °C

最高结温为..... 135 °C

V_{DD} （相对于 V_{SS}）的供电电压 ..... –1.0 V 到 +4.5 V

输入电压 ..... –1.0 V 到 +4.5 V 和 $V_{IN} < V_{DD} + 1.0$ V

直流电压应用在
高阻 （High Z）状态下的输出 ..... –0.5 V 到 V_{DD}+ 0.5 V

处于接地电位的任一引脚上的
瞬变电压 （< 20 ns）..... –2.0 V 到 V_{DD} + 2.0 V

封装功率散耗 （T_A = 25 °C）..... 1.0 W

表面组装铅焊温度 （10 秒）..... +260 °C

静电放电电压
人体模型（AEC-Q100-002 版本 E）..... 4 kV
带电器件模型（AEC-Q100-011 版本 B）..... 1.25 kV
机器模型（AEC-Q100-003 版本 E）..... 300 V

闩锁电流 ..... > 140 mA

* 例外：SCL 和 SDA 输入引脚不受 “$V_{IN} < V_{DD} + 1.0$ V” 条件的限制。

工作范围

范围	环境温度 （T_A）	V_{DD}
汽车级 — E	–40 °C 至 +125 °C	3.0 V 至 3.6 V

直流电气特性

在工作范围内

参数	说明	测试条件		最小值	典型值 [1]	最大值	单位
V_{DD}	电源			3.0	3.3	3.6	V
I_{DD}	V_{DD} 平均电流	SCL 在 V_{DD} – 0.2 V 和 V_{SS} 之间进行切换，其他输入电压分别为 V_{SS} 或 V_{DD} – 0.2 V。	f_{SCL} = 100 kHz	–	–	120	µA
			f_{SCL} = 400 kHz	–	–	200	µA
			f_{SCL} = 1 MHz	–	–	340	µA
I_{SB}	待机电流	SCL = SDA = V_{DD}。所有其他输入的电压均为 V_{SS} 或 V_{DD}。发出 Stop （停止）指令。	T_A = 85°C	–	–	6	µA
			T_A = 125 °C	–	–	20	µA
I_{LI}	输入漏电流 （WP 引脚和 A2-A0 引脚除外）	$V_{SS} \le V_{IN} \le V_{DD}$		–1	–	+1	µA
	输入漏电流 （WP 引脚和 A2-A0 引脚）	$V_{SS} \le V_{IN} \le V_{DD}$		–1	–	+100	µA
I_{LO}	输出漏电流	$V_{SS} \le V_{IN} \le V_{DD}$		–1	–	+1	µA
V_{IH}	输入高电平电压			0.75 × V_{DD}	–	V_{DD} + 0.3	V
V_{IL}	输入低电平电压			– 0.3	–	0.25 × V_{DD}	V
V_{OL}	输出低电平电压	I_{OL} = 3 mA		–	–	0.4	V
R_{in} [2]	输入电阻 （WP、 A2-A0）	V_{IN} = $V_{IL(Max)}$		40	–	–	kΩ
		V_{IN} = $V_{IH(Min)}$		1	–	–	MΩ
V_{HYS} [3]	输入迟滞电压			0.05 × V_{DD}	–	–	V

注释：
1. 典型值的条件为：环境温度 = 25 °C， V_{DD} = V_{DD} （典型值）。并未经过 100% 测试。
2. 当输入电压低于 V_{IL} 时，输入下拉电路为强 （40 kΩ）；输入电压高于 V_{IH} 时，输入下拉电路为弱 （1 MΩ）。
3. 该参数仅通过设计决定，但未经过测试。

数据保留时间和耐久性

参数	说明	测试条件	最小值	最大值	单位
T_{DR}	数据保留时间	T_A = 125 °C	11000	–	小时
		T_A = 105 °C	11	_	年
		T_A = 85°C	121	–	年
NV_C	擦写次数	在工作温度下	10^{13}	–	周期

AEC-Q100 汽车应用中的关于 F-RAM 寿命的示例

一个应用在使用的整个过程中总不会能够在一个稳定的温度条件下运行的。但用户却希望它在整个使用过程中能够适宜多种温度的条件。因此，应用中的 F-RAM 保留规范应经常计算和更新。下面提供的是多个温度条件下的热阻配置的示例计算表。

温度 T	时间因素 t	在 Tmax A 条件下的加速因素 [4] $A = \frac{L(T)}{L(Tmax)} = e^{\frac{Ea}{k}\left(\frac{1}{T} - \frac{1}{Tmax}\right)}$	配置情况因素 P $P = \frac{1}{\left(\frac{t1}{A1} + \frac{t2}{A2} + \frac{t3}{A3} + \frac{t4}{A4}\right)}$	配置使用寿命 L （P） $L(P) = P \times L(Tmax)$
T1 = 125 °C	t1 = 0.1	A1 = 1	8.33	> 10.46 年
T2 = 105 °C	t2 = 0.15	A2 = 8.67		
T3 = 85 °C	t3 = 0.25	A3 = 95.68		
T4 = 55 °C	t4 = 0.50	A4 = 6074.80		

电容

参数 [5]	说明	测试条件	最大值	单位
C_O	输出引脚电容 （SDA）	T_A = 25 °C、 f = 1 MHz、 V_{DD} = V_{DD} （典型值）	8	pF
C_I	输入引脚电容		6	pF

热阻

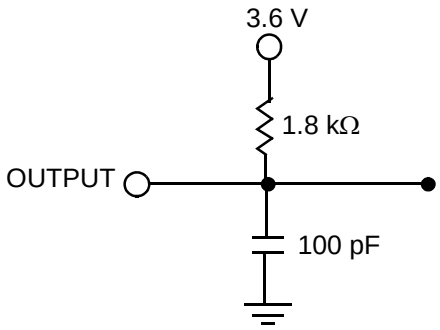
参数 [5]	说明	测试条件	8 引脚 SOIC 封装	单位
Θ_{JA}	热阻 （结至环境）	根据 EIA/JESD51 的要求，测试条件要遵循热阻的标准测试方法和过程。	147	°C/W
Θ_{JC}	热阻 （结到外壳）		47	°C/W

注释：

4. 当 “k” 为 Boltzmann 常量 8.617×10^{-5} eV/K 时， Tmax 会为特定给该产品的最高温度条件的规范，并且 “T” 为 F-RAM 产品规范中的任意温度条件。公式中的所有温度均以 Kelvin 为单位。
5. 该参数定期采样并未经过 100% 测试。

交流测试负载和波形

图 12. 交流测试负载和波形



交流测试条件

输入脉冲电平 ..... V_{DD} 的 10% 和 90%
输入上升和下降时间 ..... 10 ns
输入和输出时序参考电平 ..... 0.5 × V_{DD}
输出负载电容 ..... 100 pF

交流开关特性

在工作范围内

参数 [6]	备用参数	说明	最小值	最大值	最小值	最大值	最小值	最大值	单位
f_{SCL} [7]		SCL 时钟频率	–	0.1	–	0.4	–	1.0	MHz
$t_{SU;STA}$		重复启动的启动条件建立时间	4.7	–	0.6	–	0.25	–	µs
$t_{HD;STA}$		启动条件的保持时间	4.0	–	0.6	–	0.25	–	µs
t_{LOW}		时钟为低电平的周期	4.7	–	1.3	–	0.6	–	µs
t_{HIGH}		时钟为高电平的周期	4.0	–	0.6	–	0.4	–	µs
$t_{SU;DAT}$	$t_{SU;DATA}$	数据输入的建立时间	250	–	100	–	100	–	ns
$t_{HD;DAT}$	$t_{HD;DATA}$	数据输入的保持时间	0	–	0	–	0	–	ns
t_{DH}		从在 V_{IL} 时的 SCL 到数据输出的保持时间	0	–	0	–	0	–	ns
t_R [8]	t_r	输入上升时间	–	1000	–	300	–	300	ns
t_F [8]	t_f	输入下降时间	–	300	–	300	–	100	ns
$t_{SU;STO}$		STOP 条件建立时间	4.0	–	0.6	–	0.25	–	µs
t_{AA}	$t_{VD;DATA}$	从 SCL 为低电平到 SDA 数据输出有效的时间	–	3	–	0.9	–	0.55	µs
t_{BUF}		进行新一次数据传输前总线空载的时长	4.7	–	1.3	–	0.5	–	µs
t_{SP}		在 SCL、 SDA 上的噪声抑制时间常量	–	50	–	50	–	50	ns

图 13. 读总线时序图

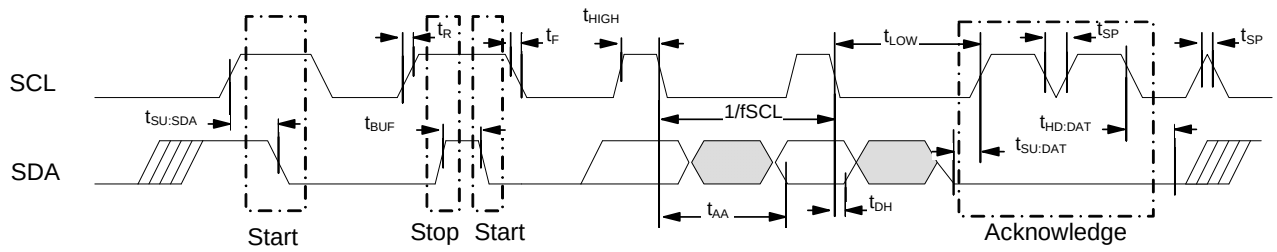
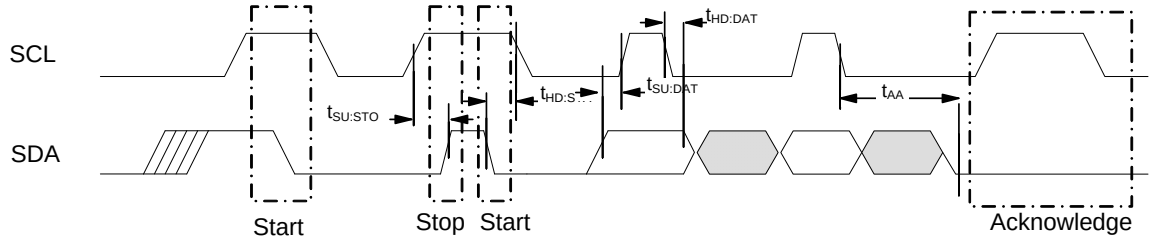


图 14. 写总线时序框图



注释：

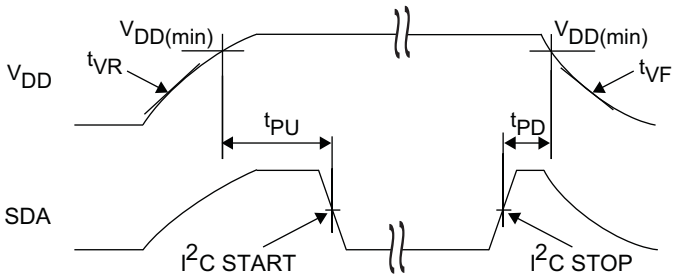
6. 测试条件假设信号跃变时间为 10 ns 或更短，时序参考电压为 $V_{DD}/2$，输入脉冲电压范围为 0 V 至 V_{DD} （典型值），以及如图 12 所示的特定 I_{OL} 输出负载电流和负载电容。
7. 与速度相关的规范由直流到 f_{SCL} （最大值）的连续操作曲线上的各个特征点保证。
8. 这些参数仅通过设计保证，并未经过测试。

电源周期时序

在工作范围内

参数	说明	最小值	最大值	单位
t_{PU}	给 V_{DD} （最小值）加电到第一次访问 （START 条件）的时间	1	–	ms
t_{PD}	从最后一次访问 （STOP 条件）到断电 （V_{DD} （最小值））的时间	0	–	µs
t_{VR} [9、 10]	V_{DD} 加电升降速率时间	30	–	µs/V
t_{VF} [9， 10]	V_{DD} 断电升降斜率时间	20	–	µs/V

图 15. 电源时序



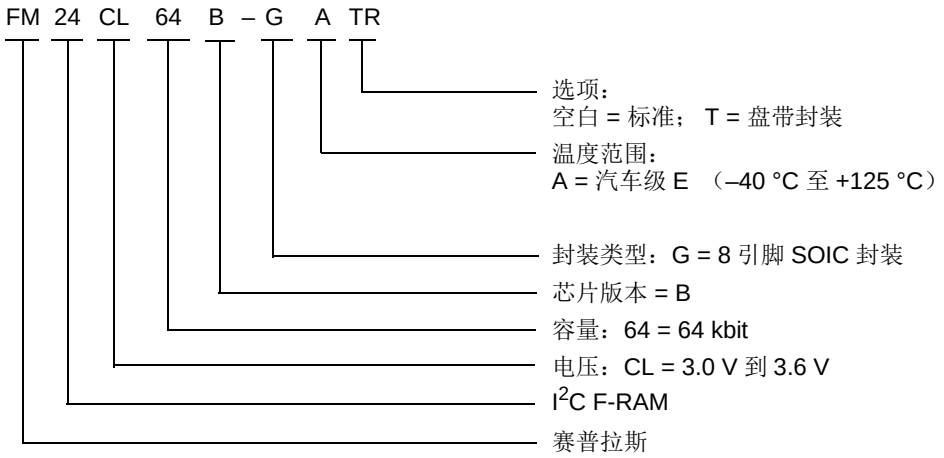
注释：
9. 在 V_{DD} 波形的任意位置测量的斜率。
10. 由设计保证

订购信息

订购代码	封装图	封装类型	工作范围
FM24CL64B-GA	001-85066	8 引脚 SOIC	汽车级 —E
FM24CL64B-GATR			

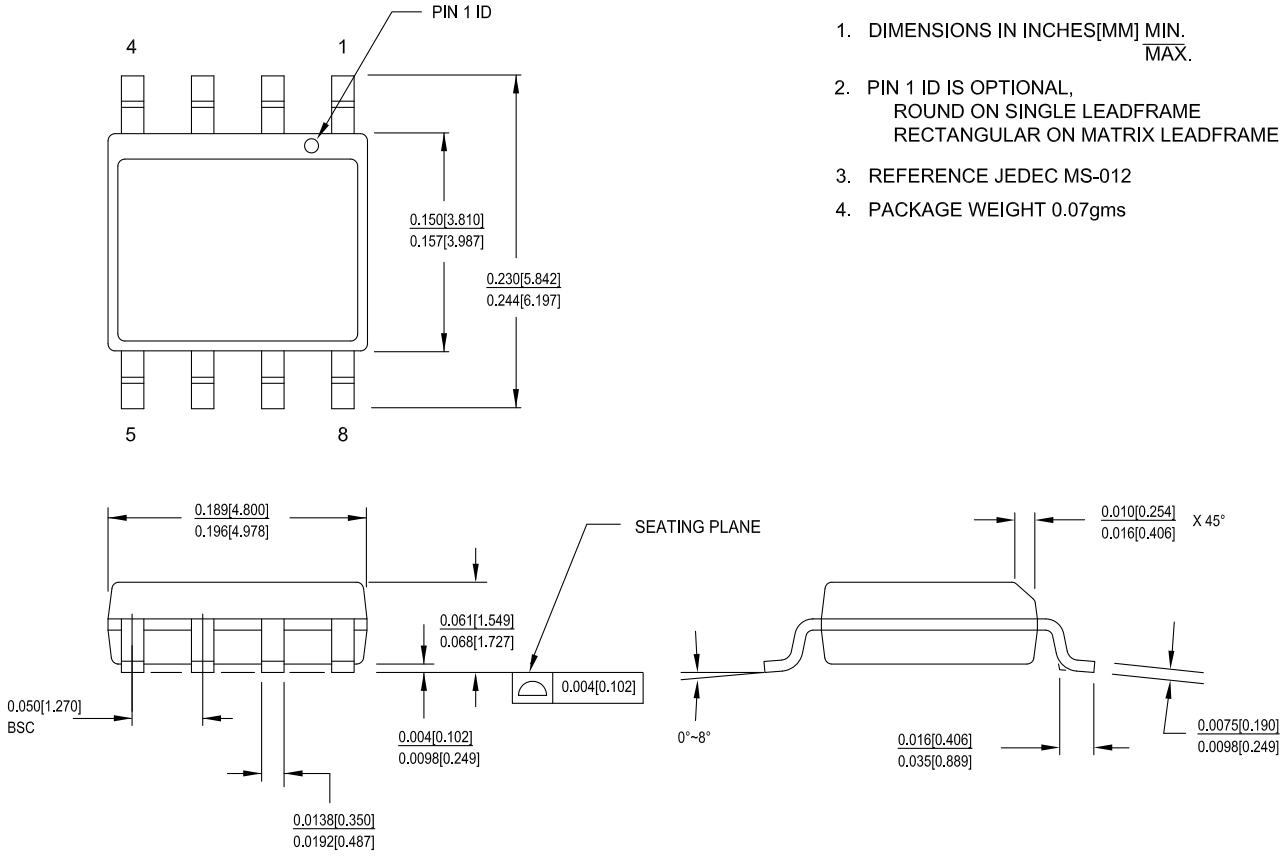
这些器件都是无铅的。要了解这些器件的供应情况，请联系赛普拉斯本地销售代表。

订购代码定义



封装图

图 16. 8 引脚 SOIC （150 mil）封装外形， 51-85066



1. DIMENSIONS IN INCHES[MM] MIN.
   MAX.
2. PIN 1 ID IS OPTIONAL,
   ROUND ON SINGLE LEADFRAME
   RECTANGULAR ON MATRIX LEADFRAME
3. REFERENCE JEDEC MS-012
4. PACKAGE WEIGHT 0.07gms

51-85066 *F

缩略语

缩略语	说明
ACK	应答
CMOS	互补金属氧化物半导体
EIA	电子工业联盟
I^2C	内部集成电路总线
I/O	输入 / 输出
JEDEC	联合电子器件工程委员会
LSB	最低有效位
MSB	最高有效位
NACK	否认
RoHS	有害物质限制
R/$\overline{W}$	读 / 写
SCL	串行时钟线
SDA	串行数据访问
SOIC	小型塑封集成电路
WP	写保护

文档规范

测量单位

符号	测量单位
°C	摄氏度
Hz	赫兹
Kb	1024 位
kHz	千赫兹
kΩ	千欧姆
MHz	兆赫
MΩ	兆欧姆
µA	微安
µs	微秒
mA	毫安
ms	毫秒
ns	纳秒
Ω	欧姆
%	百分比
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题：FM24CL64B， 64 Kbit （8 K × 8）串行 （I²C）汽车 F-RAM 文档编号：001-95824				
版本	**ECN 编号**	**提交日期**	**变更者**	**变更说明**
**	4685769	03/13/2015	LISZ	本文档版本号为 Rev**，译自英文版 001-84457 Rev*C。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 训练

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司， 2013-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用于赛普拉斯软件许可协议的限制。

本文件中所提及的所有产品和公司名称均为其各自所有者的商标。