CYFB0072V

72M ビット ビデオ フレーム バッファ

特長

- メモリ構成
  - 容量 : 72M ビット
  - 構成 : ×36
- 最大 133MHz までのクロック周波数で動作 [1]
- 単方向動作
- 独立した読み出しと書き込みポート
  - 同時読み書き動作をサポート
  - 読み出し処理と書き込み処理は、読み出しクロックと書き込みクロックの比率が2以下の独立したクロックで動作し、クロック ドメインをまたいだデータ バッファリングが可能
  - 複数の入出力規格をサポート : 3.3V と 1.8V 電圧規格の低電圧相補型金属酸化膜半導体 (LVCMOS)
- 書き込みマスクと読み出しスキップ処理を行う入出力イネーブル制御
- エンプティ フラグ＆フル フラグ
- フレーム バッファを介さずに入力ポートから出力 ポートへデータを送信するためのフロースルー メールボックス レジスタ
- コンフィギュレーション レジスタのシリアル プログラミング用の独立したシリアル クロック (SCLK) 入力
- フレーム バッファ全体をクリアするためのマスター リセット
- データをクリアするが、プログラム可能な設定は保持される部分リセット
- バウンダリ スキャン機能のために提供されるジョイント テスト アクション グループ (JTAG) ポート
- 産業用途向け温度範囲 : -40°C ～ +85°C

機能詳細

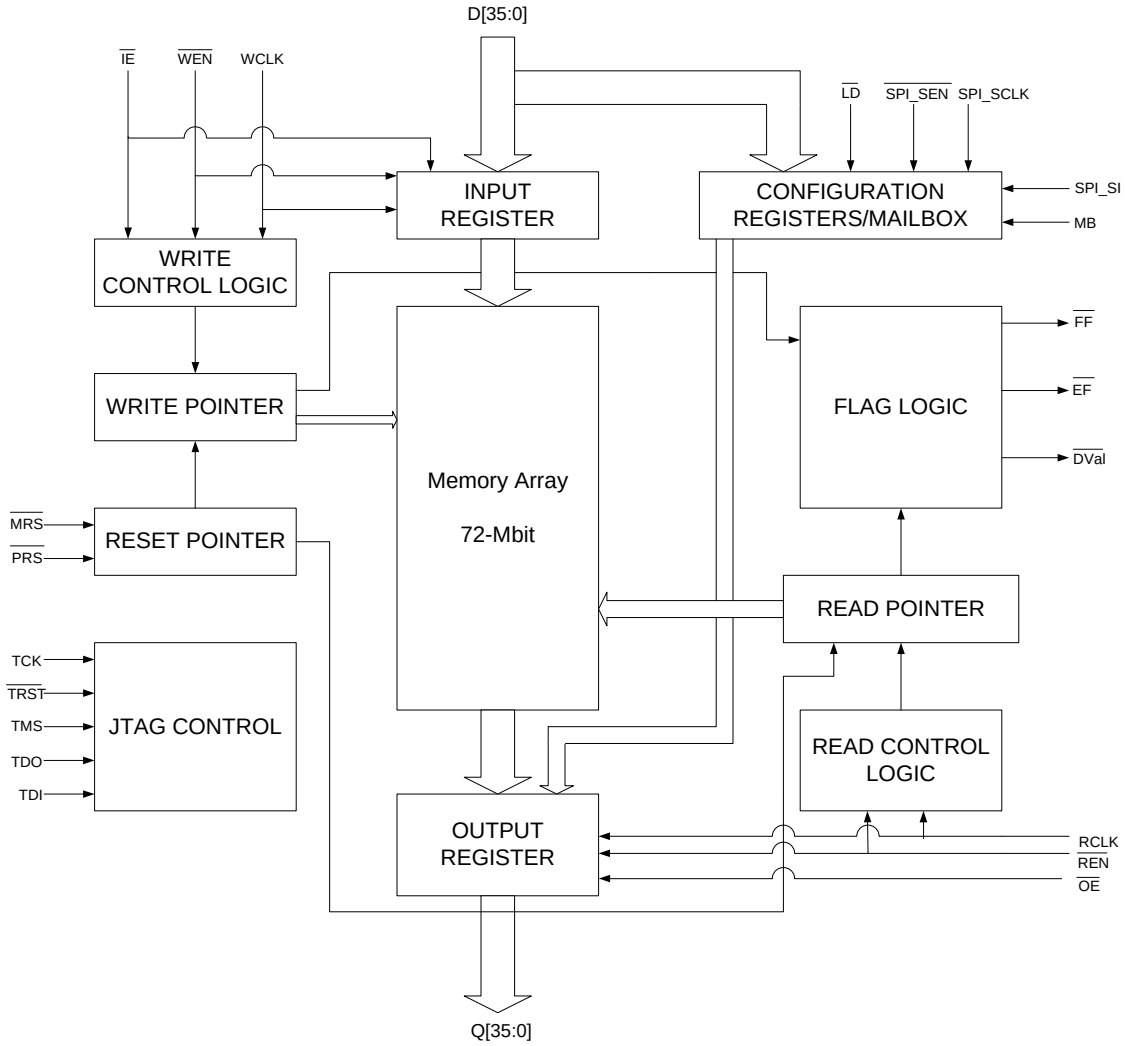
ビデオ フレーム バッファは、36 ビット幅のバスを持つ FIFO として動作する 72M ビットのメモリ デバイスです。このデバイスは、独立した読み出しポートと書き込みポートを持っており、最大 133 MHz のクロックで駆動できます。36 ビットのバス サイズにより 4.8Gbps のデータ スループットが可能になります。また、このデバイスは、実装とデバッグの手間を削減し、製品化までの時間を短縮し、設計コストを削減するように、簡単で、使いやすいインターフェースを提供します。これにより、このデバイスは、ビデオとイメージ処理のほか、異なるクロック ドメインをまたいで高速でバッファリングする必要があるあらゆるシステムなどの幅広いアプリケーション向けの理想的なメモリとなります。

ビデオ フレーム バッファの機能は、データが書き込みポートに書き込まれたのと同じ順序で読み出しポートから読み出されるというものです。書き込みと入力を有効にすると (WEN & IE)、書き込みポート上のデータは、書き込みクロックの立ち上がりエッジでデバイスに書き込まれます。読み出しと出力を有効にすると (REN & OE) 、読み出しクロックの立ち上がりエッジごとにデータが取り出されて読み出しポートに出力されます。読み出しクロックと書き込みクロックの比率は 0.5 ～ 2 の範囲内にあれば、読み出し処理と書き込み処理の両方を異なった速度で同時に実行することができます。デバイスがエンプティまたはフルの状態になると、適切なフラグがセットされます。

デバイスは、フレーム バッファ メモリをバイパスする、フロースルー メールボックス レジスタも提供します。

注
1. 150MHz で動作するデバイスについては、営業担当者までお問い合わせください。

論理ブロック図


D[35:0]
IE
WEN
WCLK
LD
SPI_SEN
SPI_SCLK
INPUT REGISTER
CONFIGURATION REGISTERS/MAILBOX
SPI_SI
MB
WRITE CONTROL LOGIC
WRITE POINTER
Memory Array
72-Mbit
FLAG LOGIC
FF
EF
DVal
MRS
PRS
RESET POINTER
READ POINTER
TCK
TRST
TMS
TDO
TDI
JTAG CONTROL
READ CONTROL LOGIC
OUTPUT REGISTER
RCLK
REN
OE
Q[35:0]

目次

ピン配置 4
端子の機能 5
アーキテクチャ 7
リセットのしくみ 7
データ有効信号 (DVal) 7
書き込みマスクと読み出しスキップ処理 7
フロースルー メールボックス レジスタ 7
フラグの動作 7
コンフィギュレーション レジスタのプログラム 8
ビット幅を拡張する設定 11
電源投入 11
読み出し／書き込みクロック要件 11
JTAG 動作 12
最大定格 13
動作範囲 13
推奨 DC 動作条件 13
電気的特性 13
I/O 特性 14
レイテンシ表 14
AC テスト負荷条件 15
スイッチング特性 16
スイッチング波形 17
注文情報 23
注文コードの定義 23
パッケージ図 24
略語 25
本書の表記法 25
測定単位 25
改訂履歴 26
セールス、ソリューションおよび法律情報 27
ワールドワイドな販売と設計サポート 27
製品 27
PSoC® ソリューション 27
サイプレス開発者コミュニティ 27
テクニカル サポート 27

ピン配置

図 1. 209 ボール FBGA ピン配置 (上面図)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{FF}$	D0	D1	DNU	V_{PU}	V_{PU}	DNU	DNU	V_{PD}	Q0	Q1
B	$\overline{EF}$	D2	D3	DNU	DNU	V_{PU}	DNU	DNU	$\overline{REN}$	Q2	Q3
C	D4	D5	$\overline{WEN}$	DNU	V_{CC1}	DNU	V_{CC1}	DNU	RCLK	Q4	Q5
D	D6	D7	V_{SS}	V_{CC1}	DNU	$\overline{LD}$	DNU	V_{CC1}	Vss	Q6	Q7
E	D8	D9	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CCIO}	V_{CCIO}	V_{CC2}	V_{CC2}	Q8	Q9
F	D10	D11	V_{SS}	V_{SS}	V_{SS}	DNU	V_{SS}	V_{SS}	V_{SS}	Q10	Q11
G	D12	D13	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q12	Q13
H	D14	D15	V_{SS}	V_{SS}	V_{SS}	V_{CC1}	V_{SS}	V_{SS}	V_{SS}	Q14	Q15
J	D16	D17	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q16	Q17
K	DNU	DNU	WCLK	DNU	V_{SS}	$\overline{IE}$	V_{SS}	DNU	V_{CCIO}	V_{CCIO}	V_{CCIO}
L	D18	D19	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q18	Q19
M	D20	D21	V_{SS}	V_{SS}	V_{SS}	V_{CC1}	V_{SS}	V_{SS}	V_{SS}	Q20	Q21
N	D22	D23	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q22	Q23
P	D24	D25	V_{SS}	V_{SS}	V_{SS}	$\overline{SPI_SEN}$	V_{SS}	V_{SS}	V_{SS}	Q24	Q25
R	D26	D27	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CCIO}	V_{CCIO}	V_{CC2}	V_{CC2}	Q26	Q27
T	D28	D29	V_{SS}	V_{CC1}	V_{CC1}	SPI_SI	V_{CC1}	V_{CC1}	V_{SS}	Q28	Q29
U	$\overline{DVal}$	DNU	D30	D31	$\overline{PRS}$	DNU [2]	SPI_SCLK	V_{REF}	$\overline{OE}$	Q30	Q31
V	DNU	DNU	D32	D33	DNU	$\overline{MRS}$	MB	DNU	V_{PD}	Q32	Q33
W	TDO	DNU	D34	D35	TDI	$\overline{TRST}$	TMS	TCK	DNU	Q34	Q35

注
2. 通常の動作を確保するために、このピンを V_{SS} に接続する (推奨) か、または開放のままにすることが可能です。

端子の機能

端子名	信号の方向	端子の説明
$\overline{MRS}$	入力	マスター リセット : $\overline{MRS}$ は内部読み出し／書き込みポインタを「0」に初期化し、読み書き両方のフラグをリセットし、出力レジスタをすべて「0」に設定。マスター リセット中に、コンフィギュレーション レジスタはデフォルト値にセットされる
$\overline{PRS}$	入力	部分的なリセット : $\overline{PRS}$ は内部読み出し／書き込みポインタを「0」に初期化し、読み書き両方のフラグをリセットし、出力レジスタをすべて「0」に設定。部分的なリセット中、コンフィギュレーション レジスタの設定は保持される
WCLK	入力	書き込みクロック : 書き込みが有効になった時 ($\overline{WEN}$ がアサートされた時)、立ち上がりエッジでフレーム バッファにデータを取り込む。データは、$\overline{LD}$ が HIGH の時にバッファ メモリに、$\overline{LD}$ が LOW の時にコンフィギュレーション レジスタに書き込まれる
$\overline{LD}$	入力	ロード : $\overline{LD}$ が LOW の時、D[7:0] はコンフィギュレーション レジスタへ書き込まれ、コンフィギュレーション レジスタから Q[7:0] に値が読み出される。$\overline{LD}$ が HIGH の時、D[35:0] はバッファ メモリへ書き込まれ、バッファ メモリから Q[35:0] に値が読み出される。
$\overline{WEN}$	入力	書き込みイネーブル : デバイスへの書き込みを有効にするための制御信号。$\overline{WEN}$ が LOW の時、データ入力ピンの値は、WCLK の立ち上がりエッジごとにバッファ メモリまたはコンフィギュレーション レジスタに書き込まれる
$\overline{IE}$	入力	入力イネーブル : $\overline{IE}$ は、36 ビットのデータ入力ピンの有効と無効を制御するデータ入力イネーブル信号。有効の場合、データ入力ピンの値はフレーム バッファ メモリまたはコンフィギュレーション レジスタに書き込まれる。WEN が有効になった場合、IE のレベルに関わらず、内部書き込みアドレス ポインタは常に WCLK の立ち上がりエッジでインクリメントされる。これは、「書き込みマスキング」という、書き込みを行わずに書き込みポインタをインクリメントする操作に使用される
D[35:0]	入力	データ入力 : 36 ビットのデータ入力バス
RCLK	入力	読み出しクロック : $\overline{REN}$ がアサートされて読み出しが有効になった時、立ち上がりエッジでフレーム バッファからデータを読み出す。データは、LD が HIGH の時にバッファ メモリから、LD が LOW の時にコンフィギュレーション レジスタから読み出される
$\overline{REN}$	入力	読み出しイネーブル : デバイスからの読み出しを有効にするための制御信号。$\overline{REN}$ が LOW の時、データは、RCLK の立ち上がりエッジごとにバッファ メモリまたはコンフィギュレーション レジスタから読み出される
$\overline{OE}$	入力	出力イネーブル : $\overline{OE}$ が LOW の時、デバイスのデータ出力は有効になる。$\overline{OE}$ が HIGH の時、データ出力は High Z (高インピーダンス) 状態になる
Q[35:0]	出力	データ出力 : 36 ビットのデータ出力バス
$\overline{DVal}$	出力	データ有効 : Q[35:0] に有効なデータが出力されていることを示すための負論理のデータ有効信号
MB	入力	メールボックス : アサートされると、フロースルー メールボックス レジスタの読み書きが行われる
$\overline{EF}$	出力	エンプティ フラグ : $\overline{EF}$ が LOW の時、フレーム バッファは空である。$\overline{EF}$ は RCLK に同期
$\overline{FF}$	出力	フル フラグ : $\overline{FF}$ が LOW の時、フレーム バッファはフルである。$\overline{FF}$ は WCLK に同期
SPI_SCLK	入力	シリアル クロック : SPI_SEN が有効になった場合、SPI_SCLK の立ち上がりエッジで SPI_SI 入力のシリアル データがコンフィギュレーション レジスタに書き込まれる。
SPI_SI	入力	シリアル入力 : SPI モードでのシリアルデータ入力
$\overline{SPI_SEN}$	入力	シリアル イネーブル : コンフィギュレーション レジスタへのシリアル書き込みを有効にする
TCK	入力	JTAG 用テスト クロック (TCK) ピン
$\overline{TRST}$	入力	JTAG 用のリセット ピン
TMS	入力	JTAG 用のテスト モード選択 (TMS) ピン
TDI	入力	JTAG 用のテスト データ入力 (TDI) ピン
TDO	出力	JTAG 用のテスト データ出力 (TDO) ピン

端子の機能 (続き)

端子名	信号の方向	端子の説明
V_{REF}	入力基準電圧	基準電圧 : 基準電圧 (使用する入出力規格に依存しない)
V_{CC1}	電源	コア電源電圧 1: 1.8V 電源電圧
V_{CC2}	電源	コア電源電圧 2: 1.5V 電源電圧
V_{CCIO}	電源	I/O への電源
V_{SS} [3]	グランド	グランド
V_{PU}	CMOS 電圧レベル	FBGA ピンの A5、A6 および B6 ピンは、CMOS 電圧レベルにプルアップされる必要がある。これらのピンは、V_{CC1} と V_{CC2} に電源が供給された後、電源が入れなくてはならず、MRST の操作までに安定させなくてはならない
DNU	–	未使用 : これらのピンはフローティングにする必要がある
V_{PD} [3]	入力	GND に接続 (V_{SS} に短絡)

注
3. すべての V_{SS} ピンを同じグランド面に接続する必要があります。

アーキテクチャ

ビデオ フレーム バッファは、FIFO 機能を実装するための論理ブロックを装備して 72M ビットのメモリ アレイ、およびこのメモリ アレイの周辺に作られた関連機能から成り立っています。

入力と出力データの最大バス幅は、36 ビットです。入力データバスは入力レジスタに接続され、入力レジスタからメモリへのデータ フローは書き込み制御論理ブロックにより制御されます。書き込み論理ブロックへの入力は WCLK、WEN と IE です。WEN で書き込みを、IE で入力を有効にすると、入力バス上のデータは WCLK の立ち上がりエッジでメモリ アレイに書き込まれます。これにより、書き込みポインタもインクリメントされます。書き込みを有効にしたまま、IE のみを使ってデータ入力ピンを無効にすることにより、書き込みの実行もメモリ位置の内容変更もなく、書き込みポインタがインクリメントされます。

同様に、出力レジスタはデータ出力バスに接続されます。メモリから出力レジスタへのデータの転送は、読み出し制御論理ブロックで制御されます。読み出し制御論理ブロックへの入力は RCLK、REN と OE です。REN で読み出しを、OE で出力を有効にすると、読み出しポインタが指し示すメモリからのデータは、DVal がアクティブ LOW であれば RCLK の立ち上がりエッジで出力データ バスに転送されます。出力を無効にしたまま、読み出しを有効にすると、出力は高インピーダンス状態になりますが、読み出しポインタは内部でインクリメントされます。

書き込み処理の間に実行される書き込みの回数はいつも偶数です。(即ち、最小書き込みバースト長は 2 で、書き込みの回数はいつも 2 の倍数です) 一方、読み出し処理の間に実行される読み出しの回数は偶数にも奇数にもなります。(即ち、最小読み出しバースト長は 1 です)

リセットのしくみ

フレーム バッファは、マスター リセット ($\overline{MRS}$) と部分リセット (PRS) の 2 つの方法でリセットされます。MRS は、読み出しと書き込みポインタを「0」に初期化し、出力レジスタをすべて「0」にセットします。また、マスター リセットは、エンプティ フラグ、フル フラグ、およびコンフィギュレーション レジスタの値を初期値にリセットします。電源投入後、フレーム バッファにアクセスする前にマスター リセットが必要です。

$\overline{PRS}$ は、読み出しポインタ、書き込みポインタをメモリ アレイ内の最初の物理的位置にリセットします。また、部分リセットは、すべてのフラグを初期値にリセットします。PRS は、設定されたコンフィギュレーション レジスタの値に影響を与えません。

データ有効信号 ($\overline{DVal}$)

データ有効 ($\overline{DVal}$) はアクティブ LOW 信号で、RCLK に同期し、出力バスのデータが有効であるかを調べるために提供されます。読み出し処理が実行される時、DVal 信号は出力データが出るのと同時に、LOW になります。これにより、ユーザーは、REN からデータ出力までのレイテンシを追跡せずにデータを取り込むことができます。また、この信号は、いつ有効なデータが出力ポート Q[35:0] に出力されるかを示すので、書き込みと読み出し処理が異なる周波数で連続的に実行される時に有用です。

書き込みマスクと読み出しスキップ処理

7 ページのアーキテクチャで言及したように、書き込みを有効にして入力ピンを無効にする (IE HIGH) ことにより、書き込みの実行もメモリ位置の内容変更もなく、書き込みポインタがインクリメントされます。

この機能は「書き込みマスク処理」と呼ばれて、これによりユーザーは、実際にメモリのある位置に書き込まず書き込みポインタを移動することができます。この「書き込みマスク処理」機能は、ピクチャ イン ピクチャ (Picture In Picture (PIP)) などのビデオ アプリケーションに有用です。

同様に、読み出し処理中に、$\overline{OE}$ を HIGH にして出力を無効にする場合、読み出しデータは出力バスに送信されませんが、読み出しポインタはインクリメントされます。この機能は読み出しスキップ処理と呼ばれます。

フロースルー メールボックス レジスタ

この機能により、データはシーケンシャルなバッファ メモリを介さず入力ポートから出力ポートへ直接転送されます。MB 信号がアサートされた時、D[35:0] に入力されたデータは、2 つの WCLK サイクルの後に Q[35:0] に出力されます。フロースルー メールボックス レジスタの動作中は、通常の読み書き処理は許されません。フロースルー メールボックス動作を開始する前には、バッファ メモリのデータ損失を防止するように、完全にデータを読み出して、データ有効信号 DVal を HIGH にする必要があります。

フラグの動作

このデバイスは、ビデオ フレーム バッファの状態を示すために 2 つのフラグ端子を提供します。

フル フラグ

フル フラグ ($\overline{FF}$) は、ダブル ワード (バースト長 2) のバウンダリで動作し、デバイスがフルの時、LOW になります。FF が LOW になると、WEN の状態に関わらず、書き込み動作は禁止されます。FF は WCLK に同期します。すなわち、WCLK の各立ち上がりエッジだけで更新されます。フル フラグのアサート レイテンシの最悪値は 4 サイクルです。ユーザーには、4 クロック サイクルの間、フレーム バッファがフルになったことが分からないため、この期間もデータの書き込みを続ける可能性があります。この場合、書き込まれた 4 つのデータ ワードは、データ損失を防止するために保存され、フル フラグがデアサートされるまで、これらのワードを順に読み戻さなくてはなりません。フル フラグのデアサートに必要な最小読み出し回数は 2 で、最大読み出し回数は 6 です。フル フラグに関連するレイテンシは 14 ページのレイテンシ表で説明されています。

エンプティ フラグ

エンプティ フラグ ($\overline{EF}$) のデアサートはバースト書き込みに依存し、デバイスが空になった時に LOW になります。EF が LOW になると、REN の状態に関わらず、読み出し動作は禁止されます。EF は RCLK に同期します、すなわち、RCLK の立ち上がりエッジだけで更新されます。エンプティ フラグに関連するレイテンシは 14 ページのレイテンシ表で説明されています。

コンフィギュレーション レジスタのプログラム

CYFB0072V はユーザーが設定可能な 10 個の 8 ビットレジスタを持っています。10 番目のレジスタはより高速なクロック ドメインを示す Fast CLK ビットです。

このレジスタは、シリアル ロードまたはパラレル ロードという 2 つの方式のいずれかでプログラムすることができます。SPI_SEN (シリアル イネーブル) ピンを使ってロード方式を選択します。SPI_SEN を LOW にすると、レジスタへの書き込みはシリアル ロード方式で行われます。シリアル プログラミングのために、専用の SCLK とシリアル入力 (SI) があります。パラレル モードでは、ロード (LD) ピンを LOW にすると、これらのレジスタの読み書きが行われます。LD が LOW に保持されている間、最初の位置 (0x1) から最後の位置 (0xA) まで順番に書き込みと読み出し動作が行われます。LD が HIGH の場合、FIFO への書き込みが行われます。

選択されたプログラミング モード (シリアルまたはパラレル) に関わらず、パラレル出力ポートからレジスタの値を読み出すことができます。レジスタの値をシリアル ポートから読み出すことはできません。シリアル プログラミングとパラレル プログラミングのどちらが選択されたかに関係なく、マスター リセット後であればいつでも、レジスタをプログラム (そして再プログラム) することができます。

シリアルとパラレル モードでのコンフィギュレーション レジスタへのアクセスについては、表 1 と 9 ページの表 2 を参照してください。

パラレル モードでは、コンフィギュレーション レジスタの最大アドレス位置に達すると、読み書き動作はロールオーバーします。コンフィギュレーション レジスタを同時に読み出しと書き込みを行う事は避けなくてはなりません。

表 1. コンフィギュレーション レジスタ

ADDR	コンフィギュレーション レジスタ	初期値	ビット [7]	ビット [6]	ビット [5]	ビット [4]	ビット [3]	ビット [2]	ビット [1]	ビット [0]
0x1	予約済み	0x00	X	X	X	X	X	X	X	X
0x2	予約済み	0x00	X	X	X	X	X	X	X	X
0x3	予約済み	0x00	X	X	X	X	X	X	X	X
0x4	予約済み	0x7F	X	X	X	X	X	X	X	X
0x5	予約済み	0x00	X	X	X	X	X	X	X	X
0x6	予約済み	0x00	X	X	X	X	X	X	X	X
0x7	予約済み	0x7F	X	X	X	X	X	X	X	X
0x8	予約済み	0x00	X	X	X	X	X	X	X	X
0x9	予約済み	0x00	X	X	X	X	X	X	X	X
0xA	高速クロック ビット レジスタ	1XXXXXXXb	高速 CLK ビット	X	X	X	X	X	X	X

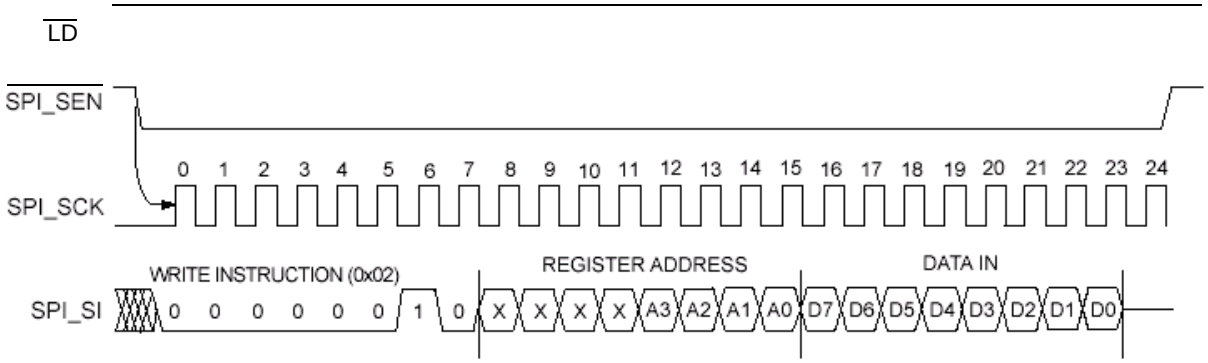
表 2. パラレル モードでのコンフィギュレーション レジスタの書き込みと読み出し

$\overline{SPI_SEN}$	$\overline{LD}$	$\overline{WEN}$	$\overline{REN}$	WCLK	RCLK	SPI_SCLK	動作
1	0	0	1	↑$\overline{LD}$ と $\overline{WEN}$ の両方が LOW になってから最初の立ち上がりエッジ	X	X	1 番目のレジスタへのパラレル書き込み
1	0	0	1	↑2 番目の立ち上がりエッジ	X	X	2 番目のレジスタへのパラレル書き込み
1	0	0	1	↑3 番目の立ち上がりエッジ	X	X	3 番目のレジスタへのパラレル書き込み
1	0	0	1	↑4 番目の立ち上がりエッジ	X	X	4 番目のレジスタへのパラレル書き込み
1	0	0	1	•	X	X	•
1	0	0	1	•	X	X	•
1	0	0	1	•	X	X	•
1	0	0	1	↑10 番目の立ち上がりエッジ	X	X	10 番目のレジスタへのパラレル書き込み
1	0	0	1	↑11 番目の立ち上がりエッジ	X	X	1 番目のレジスタへのパラレル書き込み (元にもどる)
1	0	1	0	X	↑$\overline{LD}$ と $\overline{REN}$ の両方が LOW になってから最初の立ち上がりエッジ	X	1 番目のレジスタからのパラレル読み出し
1	0	1	0	X	↑2 番目の立ち上がりエッジ	X	2 番目のレジスタからパラレル読み出し
1	0	1	0	X	↑3 番目の立ち上がりエッジ	X	3 番目のレジスタからパラレル読み出し
1	0	1	0	X	↑4 番目の立ち上がりエッジ	X	4 番目のレジスタからパラレル読み出し
1	0	1	0	X	•	X	•
1	0	1	0	X	•	X	•
1	0	1	0	X	•	X	•
1	0	1	0	X	↑10 番目の立ち上がりエッジ	X	10 番目のレジスタからパラレル読み出し
1	0	1	0	X	↑11 番目の立ち上がりエッジ	X	1 番目のレジスタからのパラレル読み出し (元にもどる)
1	X	1	1	X	X	X	処理なし
X	1	0	X	↑立ち上がりエッジ	X	X	フレーム バッファ メモリへの書き込み
X	1	X	0	X	↑立ち上がりエッジ	X	フレーム バッファ メモリからの読み出し
0	0	X	1	X	X	X	不正な操作

表 3. シリアル モードでのコンフィギュレーション レジスタへの書き込み

$\overline{SPI_SEN}$	$\overline{LD}$	$\overline{WEN}$	$\overline{REN}$	WCLK	RCLK	SCLK	動作
0	1	X	X	X	X	↑ 立ち上がりエッジ	SCLK の各立ち上がりで SI (シリアル入力) から 1 ビットを取り込む。SPI プロトコルにしたがって、10 個すべてのレジスタをアドレス指定して、書き込むことが可能
X	1	0	X	↑ 立ち上がりエッジ	X	X	フレーム バッファ メモリへのパラレル書き込み
X	1	X	0	X	↑ 立ち上がりエッジ	X	フレーム バッファ メモリからのパラレル読み出し
1	0	1	1	X	X	X	パラレル モードに対応 (9 ページの表 2 を参照)

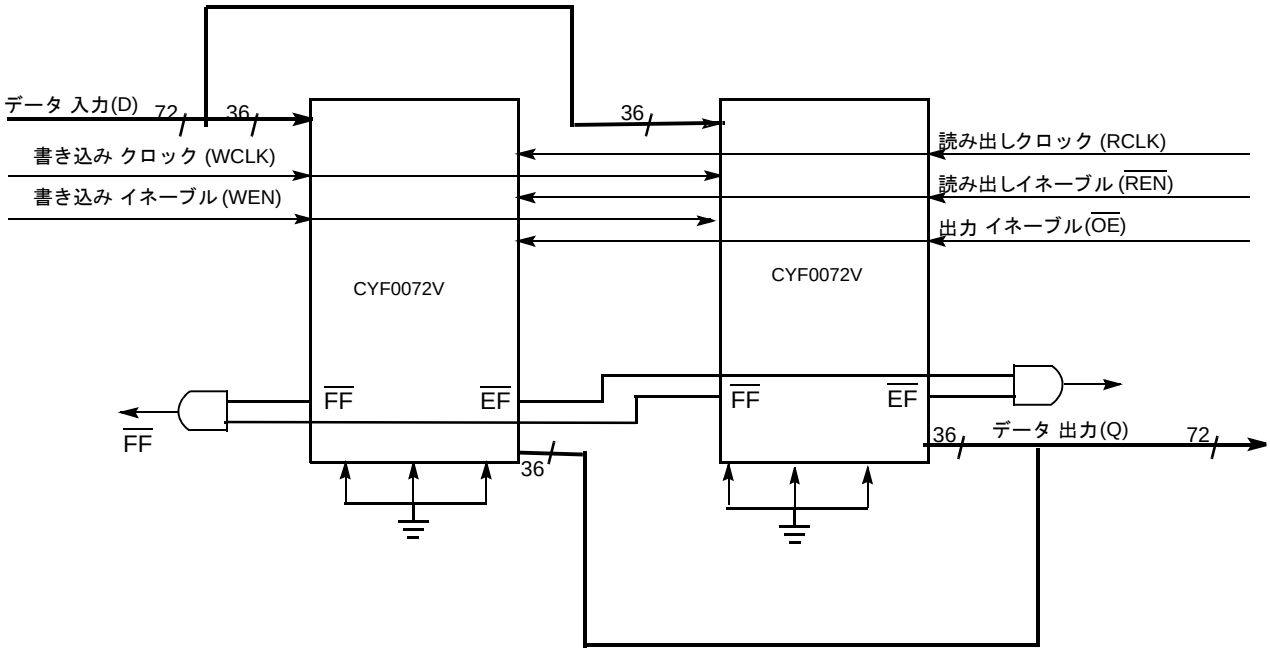
図 2. コンフィギュレーション レジスタへのシリアル書き込み



ビット幅を拡張する設定

フレーム バッファのビット幅を拡張して、36 ビットを超えるワード幅を提供することができます。ビット幅拡張モードでは、すべての制御信号入力を共通に使い、すべてのフラグが使用可能です。エンプティ (フル) フラグは、すべてのフレーム バッファのエンプティ (フル) フラグを AND することで作成されます。この手法により、デバイスからの読み出しやデバイスへの書き込みが、RCLK と WCLK 間のスキューのばらつきによって 1 クロック サイクルずれるのを回避します。図 3 に、フレーム バッファの 36 ビット ワード 2 つ分を使用した 72 ビット ワード幅の例を示します。

図 3. 幅の拡張



電源投入

このデバイスは、V_{CC1}、V_{CC2}、V_{CCIO}、および V_{REF} が 13 ページの推奨 DC 動作条件に示した必要な最小安定電圧に達した後に機能します。これらの電源電圧が最小限必要な電圧レベル (16 ページのスイッチング特性を参照) に達してから t_{PU} 経過した後、デバイスのアクセスが可能です。このデバイスは、特殊な電源シーケンスを必要としません。

読み出し／書き込みクロック要件

読み出しと書き込みクロックは次の要件を満たす必要があります。

- 読み出し (RCLK) と書き込み (WCLK) クロックは、双方ともフリーランニングであること
- 双方のクロックのクロック周波数は、13 ページの電気的特性に示す、最小値と最大値の範囲内にあること
- WCLK と RCLK の周波数の比率は 0.5 ～ 2 の範囲であること

フレーム バッファが正常に動作するためには、RCLK と WCLK の入力クロックの内、どちらがより速いかをデバイスが決定しなくてはなりません。これは、MRS サイクルの後、カウンターを使って決定されます。デバイスは、一方が RCLK で、他方が WCLK で駆動される 2 つの 9 ビットのカウンターを使用し、MRS サイクルの後、読み出しクロックと書き込みクロックを 256 サイクル数えます。先に 256 サイクルに達したカウンターを駆動していたクロックをフレーム バッファ内でマスター クロックとして使用します。

フレーム バッファの通常動作中に、RCLK と WCLK の周波数の関係が変化する場合、ユーザーは、コンフィギュレーション レジスタ (0xA) の「Fast CLK ビット」を使用してどちらが高速なクロックであるかを指定できます。

「1」: f_{req} (WCLK) > f_{req} (RCLK) を示す

「0」: f_{req} (WCLK) < f_{req} (RCLK) を示す

高速クロック ビット コンフィギュレーション レジスタ (0xA) は、LD を 10 クロックサイクルの間 LOW にすることによりアクセス可能になります。カウンターにより計測された周波数差の結果は、このレジスタ ビットに格納されます。ユーザーは、カウンターにより計測された周波数差を、このビットを変更することで、より速いクロックに置き換えることができます。

このビット値が変更されるたびに、ユーザーは次のバッファ メモリへの読み書きを実行する前に、t_{PLL} の間待たなければなりません。

JTAG 動作

ビデオ フレーム バッファは、図 4 に示すように、JTAG チェーンで内部的に接続された 2 つのデバイスを持っています。図 4

図 4. JTAG チェーンでのデバイス接続

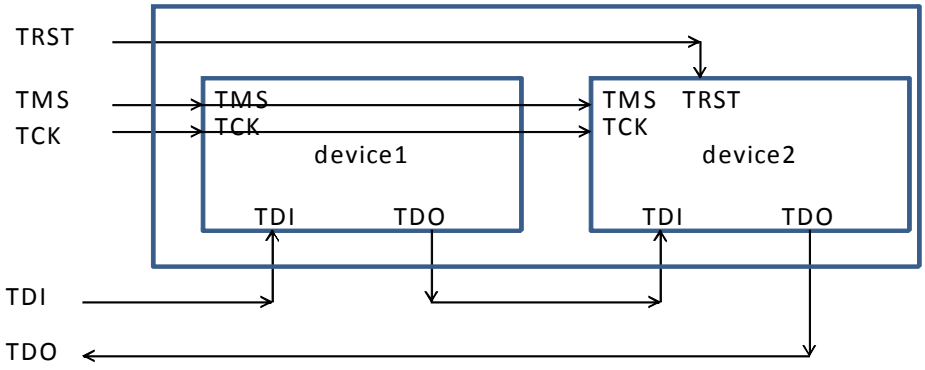


表 4 は IR レジスタ長とデバイス ID を示します。

表 4. JTAG IDCODES

	IR レジスタの長さ	デバイス ID (HEX)	バイパス レジスタの長さ
デバイス 1	3	「無視」	1
デバイス 2	8	1E3261CF	1

表 5. デバイス -1 用の JTAG 命令

デバイス -1	オペコード (2 進数)
BYPASS	111

表 6. デバイス 2 の JTAG 命令

デバイス 2	オペコード (HEX)
EXTEST	00
HIGHZ	07
SAMPLE/PRELOAD	01
BYPASS	FF
IDCODE	0F

最大定格

最大定格を超えると デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 (バイアス無し) ..... –65°C ～ +150°C

通電時の周囲温度..... –55°C ～ +125°C

グランド電位を基準にした
コア電源電圧 1 (V_{CC1}) ..... –0.3V ～ 2.5V

グランド電位を基準にした
コア電源電圧 2 (V_{CC2}) ..... –0.3V ～ 1.65V

ラッチアップ電流 ..... >100mA

I/O ポートの電源電圧 (V_{CCIO}) ..... –0.3V ～ 3.7V

I/O ピンに印加される電圧 ..... –0.3V ～ 3.75V

出力への出力電流 (LOW) 24mA

静電気放電時の電圧
(MIL–STD–883、メソッド 3015) .....> 2001V

動作範囲

範囲	周囲温度
産業用	–40°C ～ +85°C

推奨 DC 動作条件

パラメーター[4]	説明		Min	Typ	Max	単位
V_{CC1}	コア電源電圧 1		1.70	1.80	1.90	V
V_{CC2}	コア電源電圧 2		1.425	1.5	1.575	V
V_{REF}	基準電圧 (使用する入出力規格に依存しない)		0.7	0.75	0.8	V
V_{PU}	フレーム バッファの CMOS 入力電圧レベル	LVCMOS33	3.00	3.30	3.60	V
		LVCMOS18	1.70	1.8	1.90	V
V_{CCIO}	I/O 電源電圧、読み出しと書き込みバンク	LVCMOS33	3.00	3.30	3.60	V
		LVCMOS18	1.70	1.8	1.90	V

電気的特性

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	アクティブ電流	$V_{CC1} = V_{CC1MAX}$	–	–	300	mA
		$V_{CC2} = V_{CC2MAX}$ (動作速度 133MHz で、すべての I/O が動作した場合)	–	–	600	mA
		$V_{CCIO} = V_{CCIOMAX}$ (すべての出力が無効)	–	–	100	mA
I_I	入力ピンのリーク電流	$V_{IN} = V_{CCIOmax}$ ～ 0V	–15	–	15	µA
I_{OZ}	I/O ピンのリーク電流	$V_O = V_{CCIOmax}$ ～ 0V	–15	–	15	µA
C_P	TMS と TCK の静電容量	–	–	–	16	pF
C_{PIO}	TMS と TCK 以外のすべてのピンの静電容量	–	–	–	8	pF

注
4. 電源のスルーレートが 1V/µs 以上の場合にデバイスの動作が保証されます。

I/O 特性

(動作範囲において)

入出力規格	標準 I/O 電源電圧	入力電圧 (V)		出力電圧 (V)		出力電流 (mA)	
		V_{IL} (max)	V_{IH} (min)	V_{OL} (max)	V_{OH} (min)	I_{OL} (max)	I_{OH} (max)
LVCMOS33	3.3V	0.80	2.20	0.45	2.40	24	24
LVCMOS18	1.8V	30% V_{CCIO}	65% V_{CCIO}	0.45	V_{CCIO} – 0.45	16	16

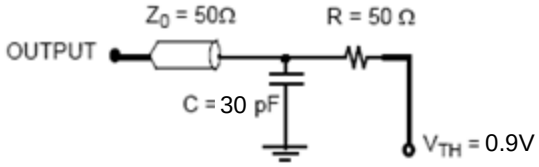
レイテンシ表

レイテンシ パラメーター	サイクル数	詳細
$L_{\overline{REN}_TO_DATA}$	4	$\overline{REN}$ が LOW にアサートされてからフレーム バッファからの最初のデータが出力されるまでのレイテンシ
$L_{\overline{REN}_TO_CONFIG}$	4	$\overline{REN}$ と $\overline{LD}$ がアサートされてから、コンフィギュレーション レジスタからの最初のデータが読み出されるまでのレイテンシ
L_{IN}	Max = 26 [5]	同時読み書き中にフレーム バッファが空になってからデータが読み出せるようになるまでの初期レイテンシ
$L_{\overline{FF}_ASSERT}$	Max = 4	最後のデータを書き込んでから $\overline{FF}$ が LOW になるまでのレイテンシ
$L_{\overline{EF}_ASSERT}$	0	最後のデータを読み出してから $\overline{EF}$ が LOW になるまでのレイテンシ
$L_{\overline{FF}_DEASSERT}$	8 [5]	読み出し動作から $\overline{FF}$ が HIGH になるまでのレイテンシ
$L_{\overline{EF}_DEASSERT}$	Max = 24 [5]	書き込み動作から $\overline{EF}$ が HIGH になるまでのレイテンシ
$L_{\overline{PRS}_TO_ACTIVE}$	32 [5]	$\overline{PRS}$ デアサートから通常動作開始までのレイテンシ
$L_{MAILBOX}$	2	MB = 1 の時、データ入力への書き込みからデータ出力の読み出しまでの WCLK で数えたレイテンシ

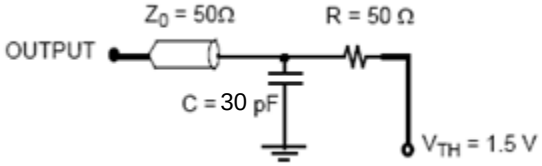
注
5. これらのレイテンシ値はクロック比率が 1 の場合に有効です。

AC テスト負荷条件

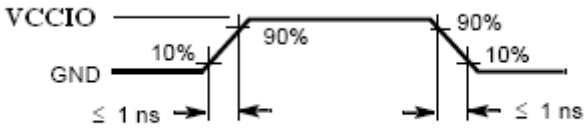
図 5. AC テスト負荷条件



(a) V_{CCIO} = 1.8V



(b) V_{CCIO} = 3.3V



(c) すべての入力パルス

スイッチング特性

パラメーター	説明		-133		単位
			Min	Max	
t_{PU}	すべての電源電圧が最小値に達してから起動するまでの時間		–	2	ms
t_S	クロック サイクル周波数	3.3V LVCMOS	24	133	MHz
t_S	クロック サイクル周波数	1.8V LVCMOS	24	133	MHz
t_A	データ アクセス時間		–	10	ns
t_{CLK}	クロック サイクル時間		7.5	41.67	ns
t_{CLKH}	クロック HIGH 時間		3.375	–	ns
t_{CLKL}	クロック LOW 時間		3.375	–	ns
t_{DS}	データ セットアップ時間		3	–	ns
t_{DH}	データ ホールド時間		3	–	ns
t_{ENS}	イネーブル セットアップ時間		3	–	ns
t_{ENH}	イネーブル ホールド時間		3	–	ns
t_{ENS_SI}	SPI_SI の $\overline{\text{SPI_SEN}}$ に対するセットアップ時間		5	–	ns
t_{ENH_SI}	SPI_SI の $\overline{\text{SPI_SEN}}$ に対するホールド時間		5	–	ns
t_{RATE_SPI}	SCLK の周波数		–	25	MHz
t_{RS}	リセット パルス幅		100	–	ns
t_{RSF}	リセットからフラグ出力までの時間		–	50	ns
t_{OLZ}	出力イネーブルが LOW になってから出力が Hi-Z ではなくなるまでの時間		4	15	ns
t_{OE}	出力イネーブルが LOW になってから出力が有効になるまでの時間		–	15	ns
t_{OHZ}	出力イネーブルが HIGH になってから出力が Hi-Z になるまでの時間		–	15	ns
t_{WFF}	書き込みクロックの立ち上がりから $\overline{\text{FF}}$ が LOW になるまでの時間		–	8.5	ns
t_{REF}	読み出しクロックの立ち上がりから $\overline{\text{EF}}$ が LOW になるまでの時間		–	8.5	ns
t_{PLL}	PLL がロックするのに必要な時間		–	1024	サイクル
t_{RATE_JTAG}	JTAG TCK サイクル時間		100	–	ns
t_{S_JTAG}	JTAG TMS、TDI のセットアップ時間		8	–	ns
t_{H_JTAG}	JTAG TMS、TDI のホールド時間		8	–	ns
t_{CO_JTAG}	JTAG TCK が LOW になってから TDO が有効になるまでの時間		–	20	ns

スイッチング波形

図 6. 書き込みサイクルのタイミング

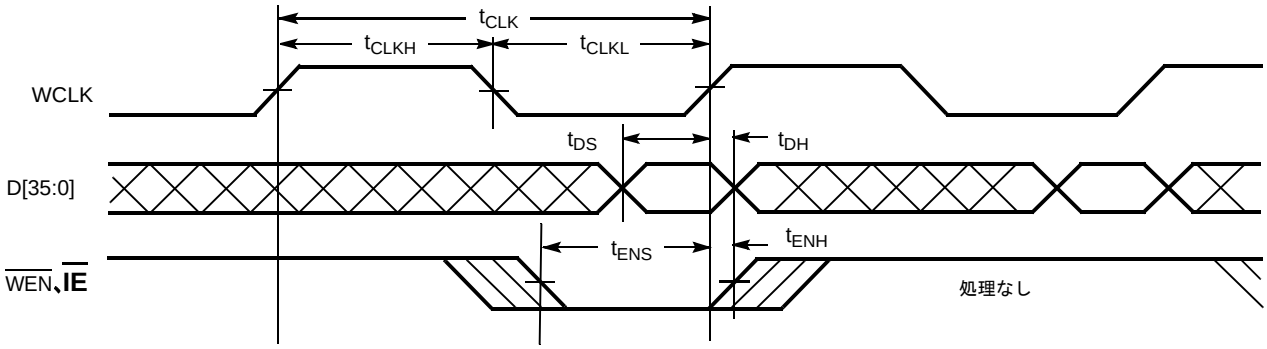
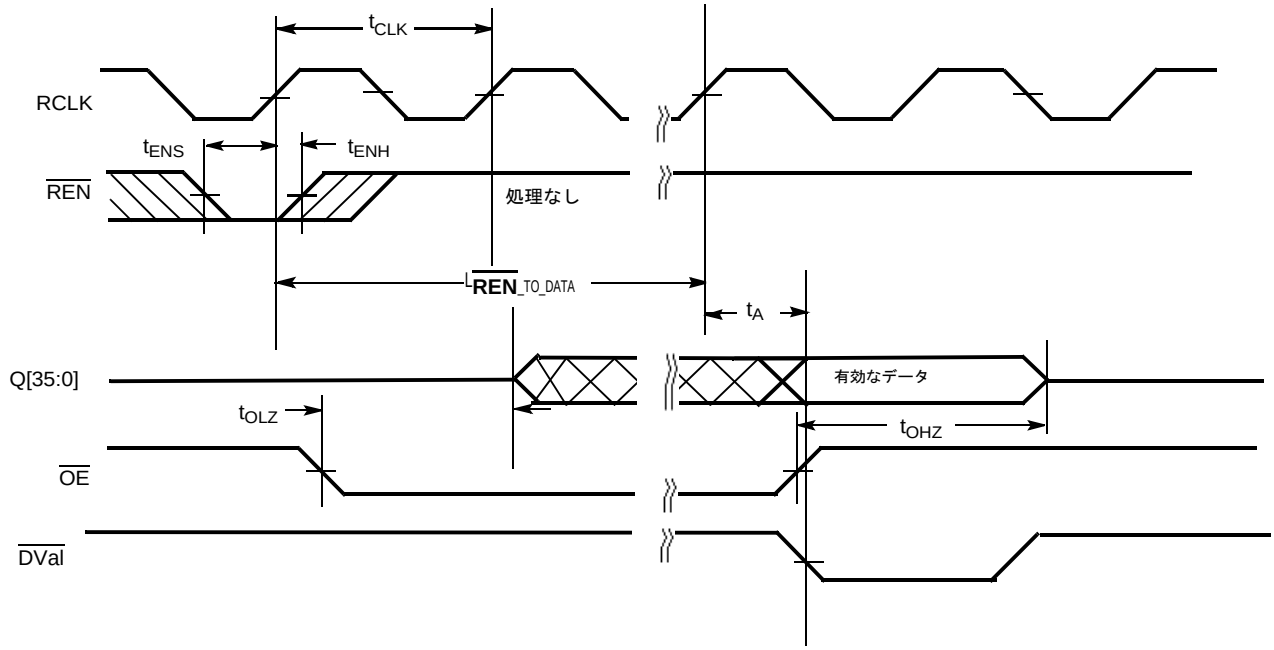


図 7. 読み出しサイクルのタイミング



スイッチング波形 (続き)

図 8. リセット タイミング

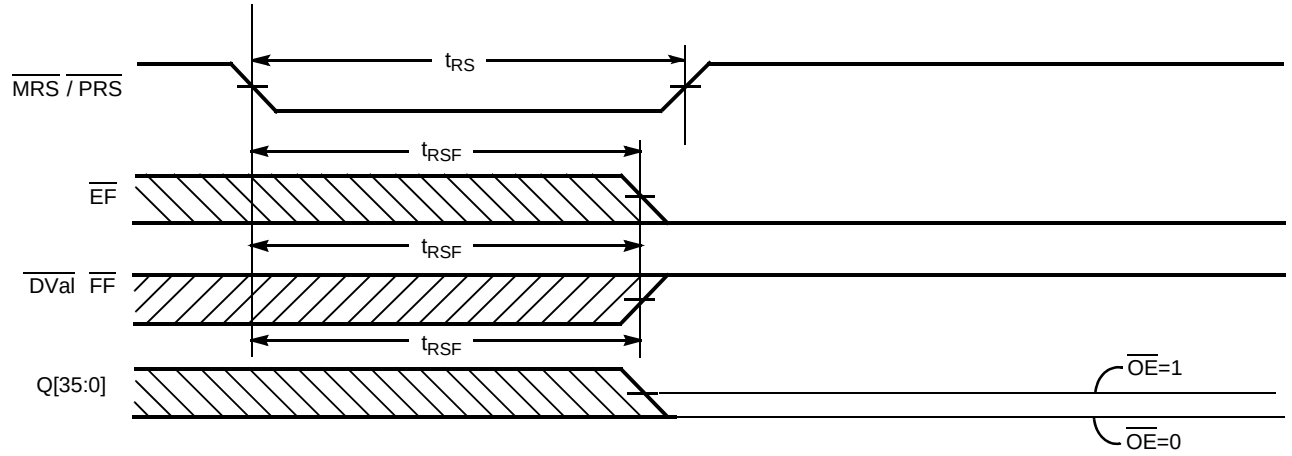


図 9. Empty フラグのタイミング

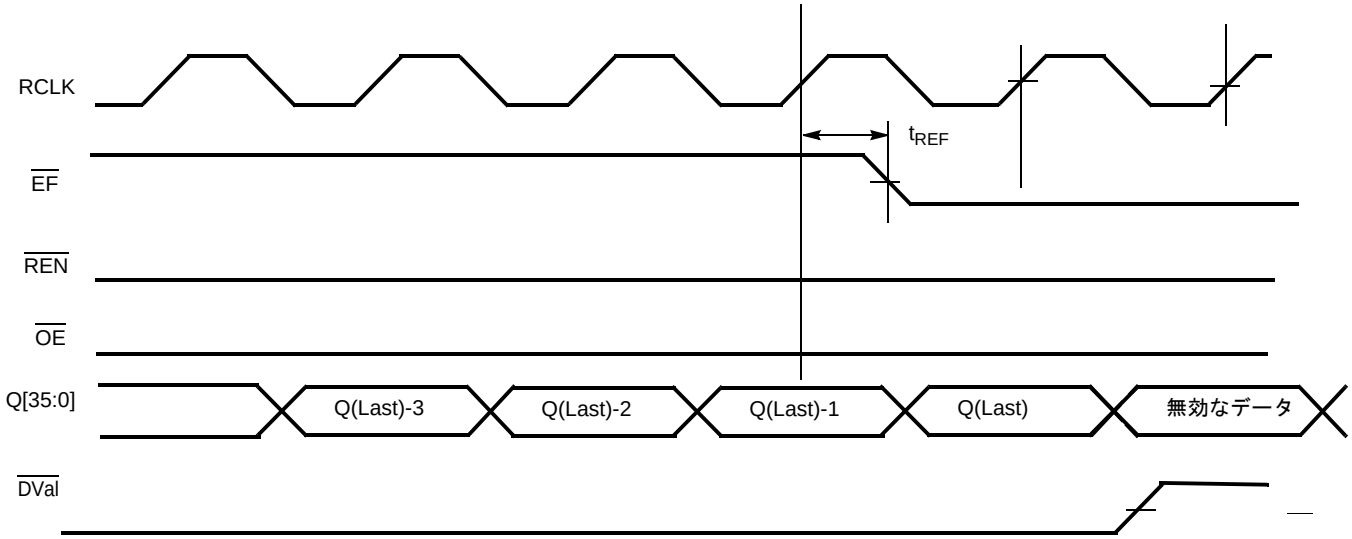
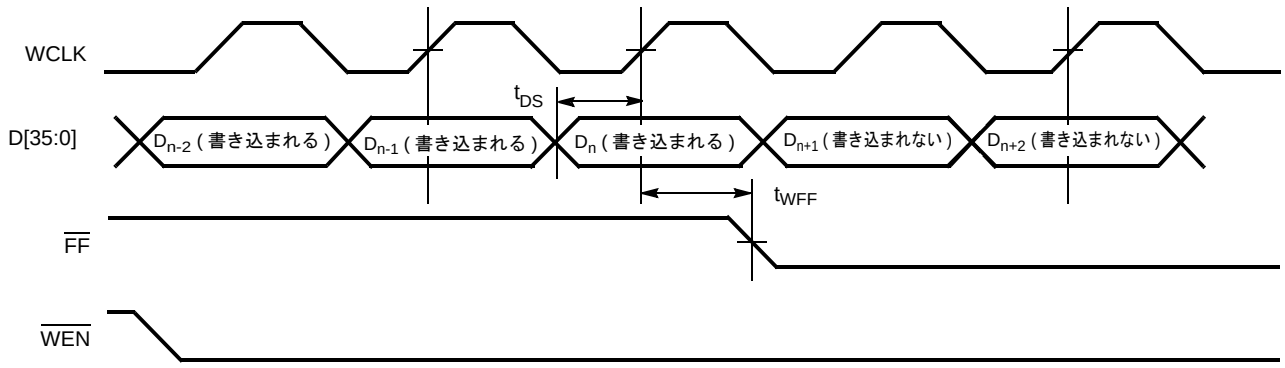


図 10. Full フラグのタイミング



スイッチング波形 (続き)

図 11. データ読み出しの初期遅延

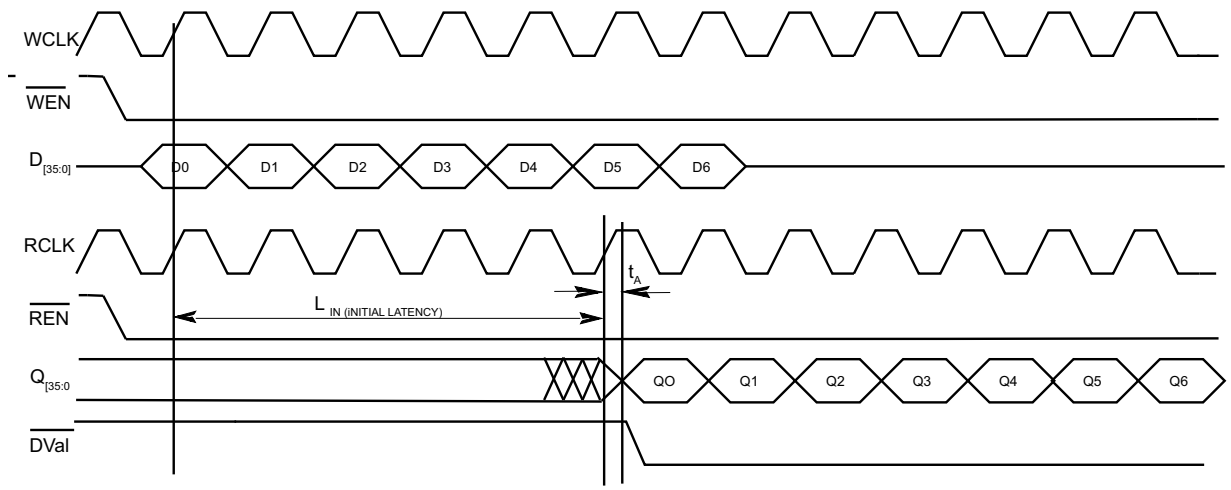
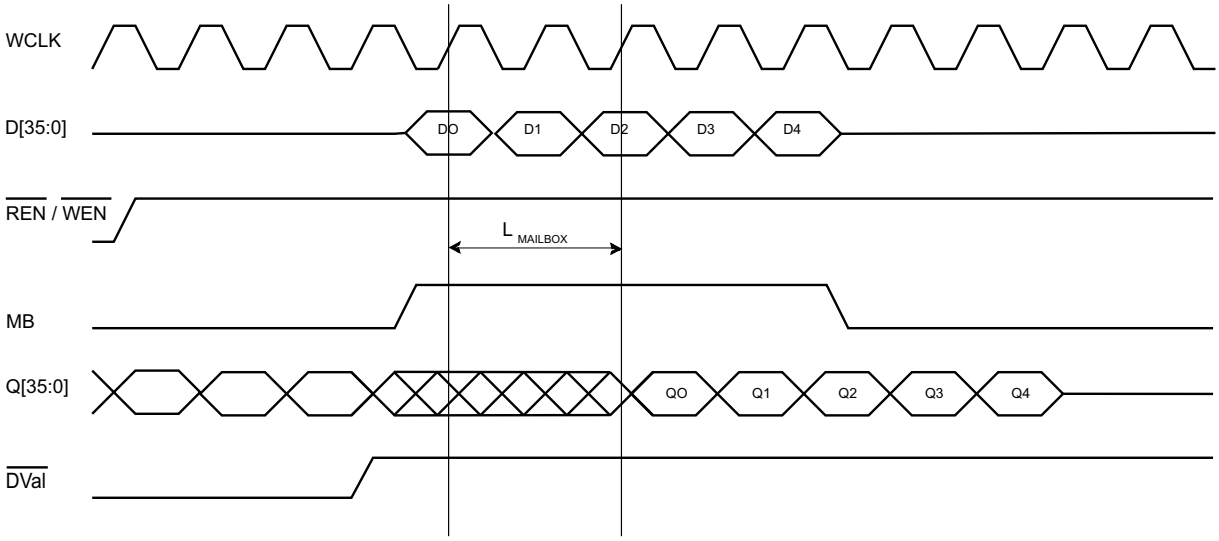


図 12. フロースルー メールボックス動作



スイッチング波形 (続き)

図 13. コンフィギュレーション レジスタの書き込み

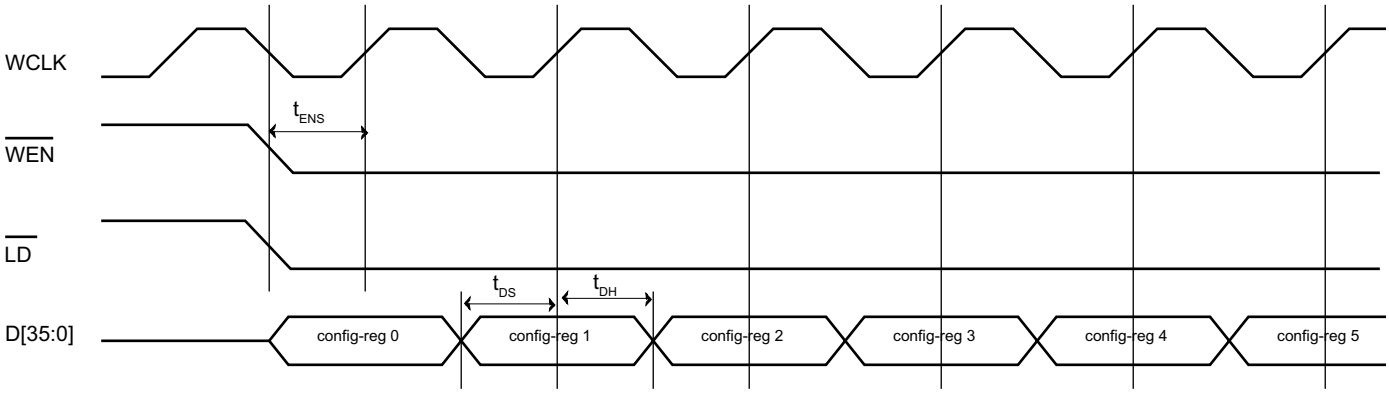


図 14. コンフィギュレーション レジスタの読み出し

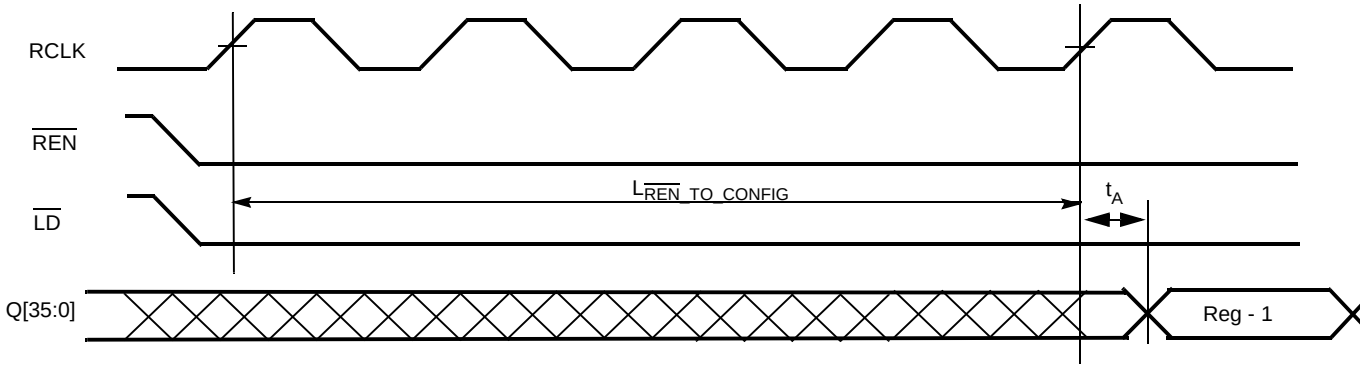
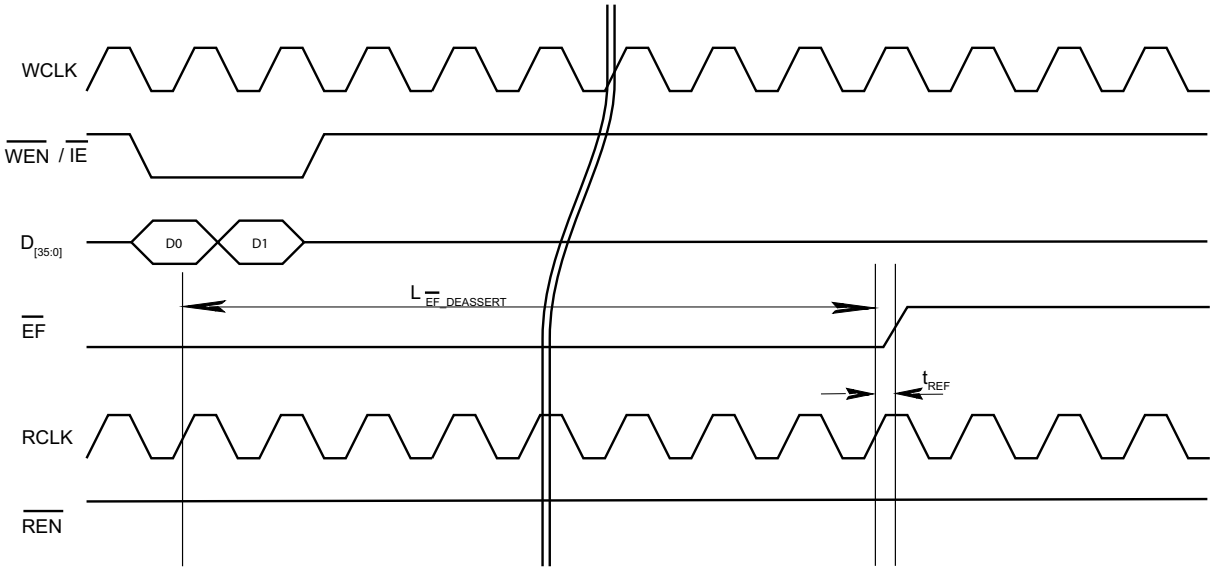


図 15. Empty フラグのデアサート



スイッチング波形 (続き)

図 16. Empty フラグのアサート

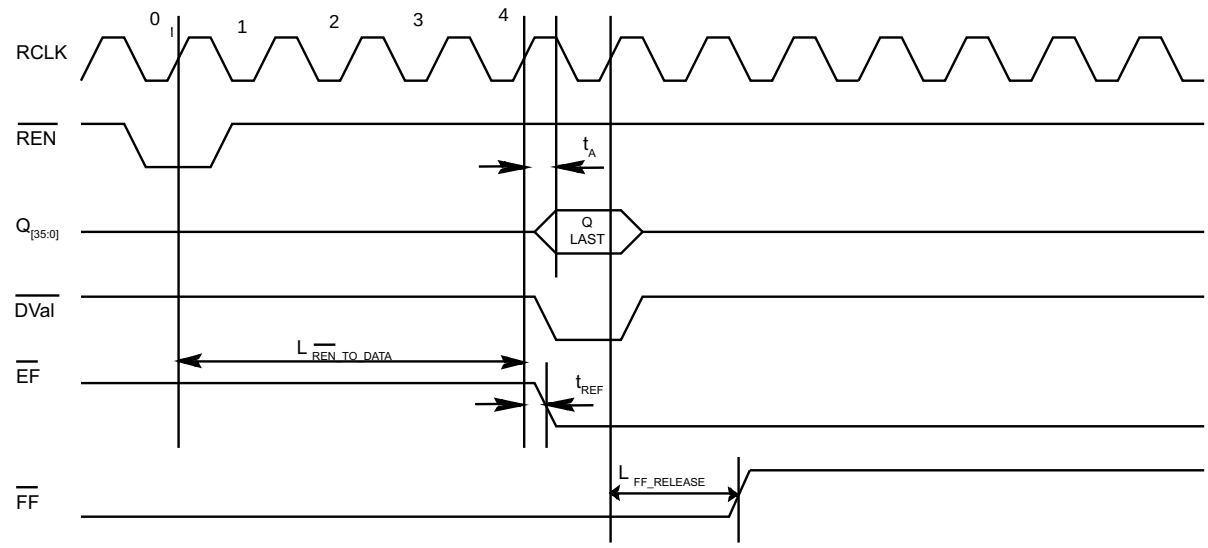
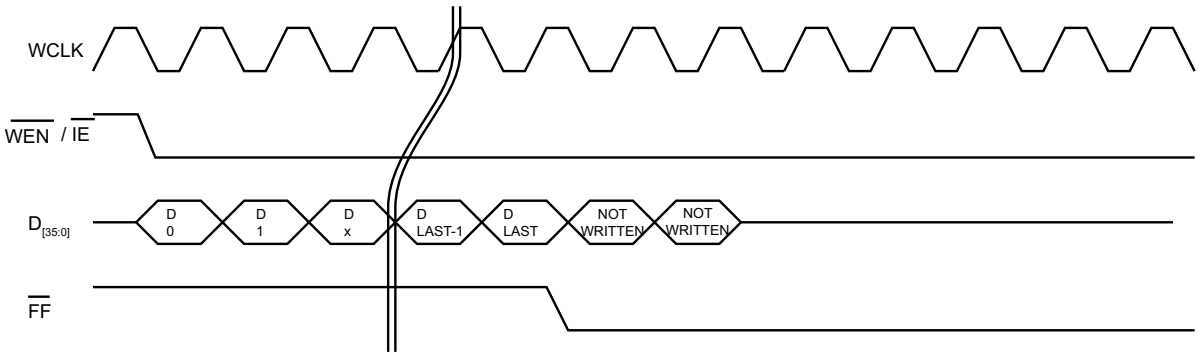
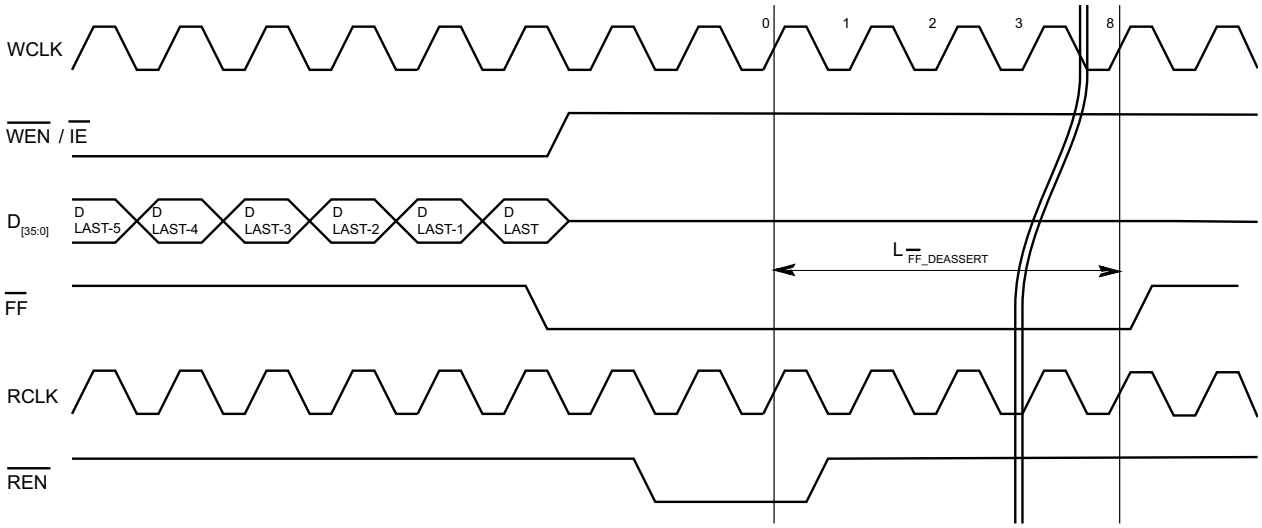


図 17. Full フラグのアサート



スイッチング波形 (続き)

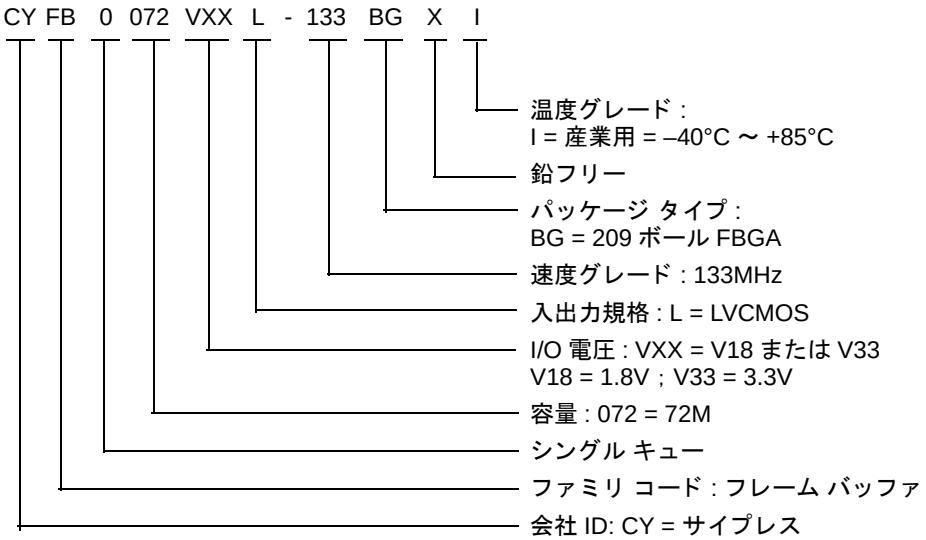
図 18. Full フラグのデアサート



注文情報

速度 [6] (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
133	CYFB0072V18L-133BGXI	51-85167	209 ボール FBGA (14×22×1.76mm)	産業用
133	CYFB0072V33L-133BGXI	51-85167	209 ボール FBGA (14×22×1.76mm)	産業用

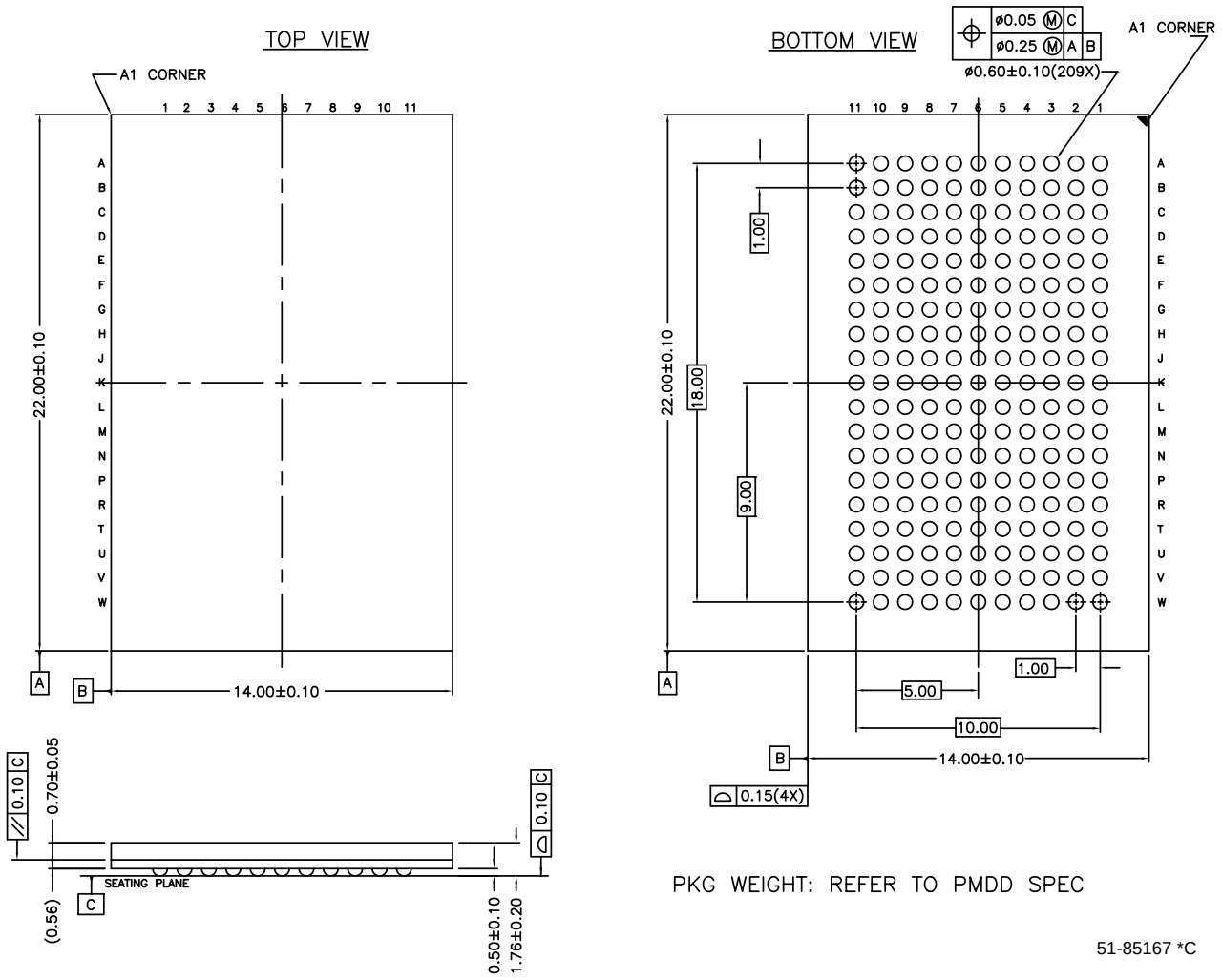
注文コードの定義



注
6. 150MHz で動作するデバイスについては、営業担当者までお問い合わせください。

パッケージ図

図 19. 209 ボール FBGA (14×22×1.76mm) BB209A パッケージ図、51-85167



略語

略語	説明
$\overline{FF}$	Full Flag (フル フラグ)
FIFO	First In First Out (先入れ先出し)
$\overline{IE}$	Input Enable (入力イネーブル)
I/O	Input/Output (入力／出力)
FBGA	Fine-Pitch Ball Grid Array (ファイン ピッチ ボール グリッド アレイ)
JTAG	Joint Test Action Group （ジョイント テスト アクション グループ）
LSB	Least Significant Bit (最下位ビット)
LVCMOS	Low Voltage Complementary Metal Oxide Semiconductor (低電圧相補型金属酸化膜半導体)
MB	Mailbox (メールボックス)
$\overline{MRS}$	Master Reset (マスター リセット)
MSB	Most significant bit (最上位ビット)
$\overline{OE}$	Output Enable (出力イネーブル)
$\overline{PRS}$	Partial Reset (部分リセット)
RCLK	Read Clock (読み出しクロック)
$\overline{REN}$	Read Enable (読み出しイネーブル)
SCLK	Serial Clock (シリアル クロック)
TCK	Test Clock (テスト クロック)
TDI	Test Data In (テスト データ入力)
TDO	Test Data Out (テスト データ出力)
TMS	Test Mode Select (テスト モード選択)
WCLK	Write Clock (書き込みクロック)
$\overline{WEN}$	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
µA	マイクロアンペア
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
ns	ナノ秒
Ω	オーム
pF	ピコファラッド
V	ボルト
W	ワット

改訂履歴

文書名 : CYFB0072V、72M ビット ビデオ フレーム バッファ 文書番号 : 001-95871				
版	ECN	変更者	発行日	変更内容
**	4700351	NTAN	06/05/2015	これは英語版 001-88646 Rev. *A を翻訳した日本語版 001-95871 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス／RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2013-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

すべてのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。

本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。