CYFB0072V

72 Mbit 视频帧缓冲区

特性

- 存储器组织
  - 容量：72 Mbit
  - 组织：× 36
- 时钟频率高达 133 MHz[1]
- 单向操作
- 独立读和写端口
  - 支持同时进行读取和写入操作
  - 采用独立时钟进行读和写操作，读和写速度间的最高比例可达到 2，从而能够在不同的时钟域内缓冲数据。
  - 支持多个 I/O 电压标准：低压互补金属氧化物半导体（LVCMOS）3.3 V 和 1.8 V 电压标准。
- 写入掩码和跳过读取操作的输入和输出使能控制
- 空和满状态标志
- 使用输出式邮箱寄存器将数据从输入传输到输出端口，绕过帧缓冲区。
- 单独的串行时钟 （SCLK）输入用于配置寄存器的串行编程
- 执行主设备复位以清除整个帧缓冲区
- 执行部分复位以清除数据，但要保留可编程设置
- 为边界扫描功能提供的联合测试行动小组 （JTAG）端口
- 工业级温度范围：–40 °C 到 +85 °C

功能描述

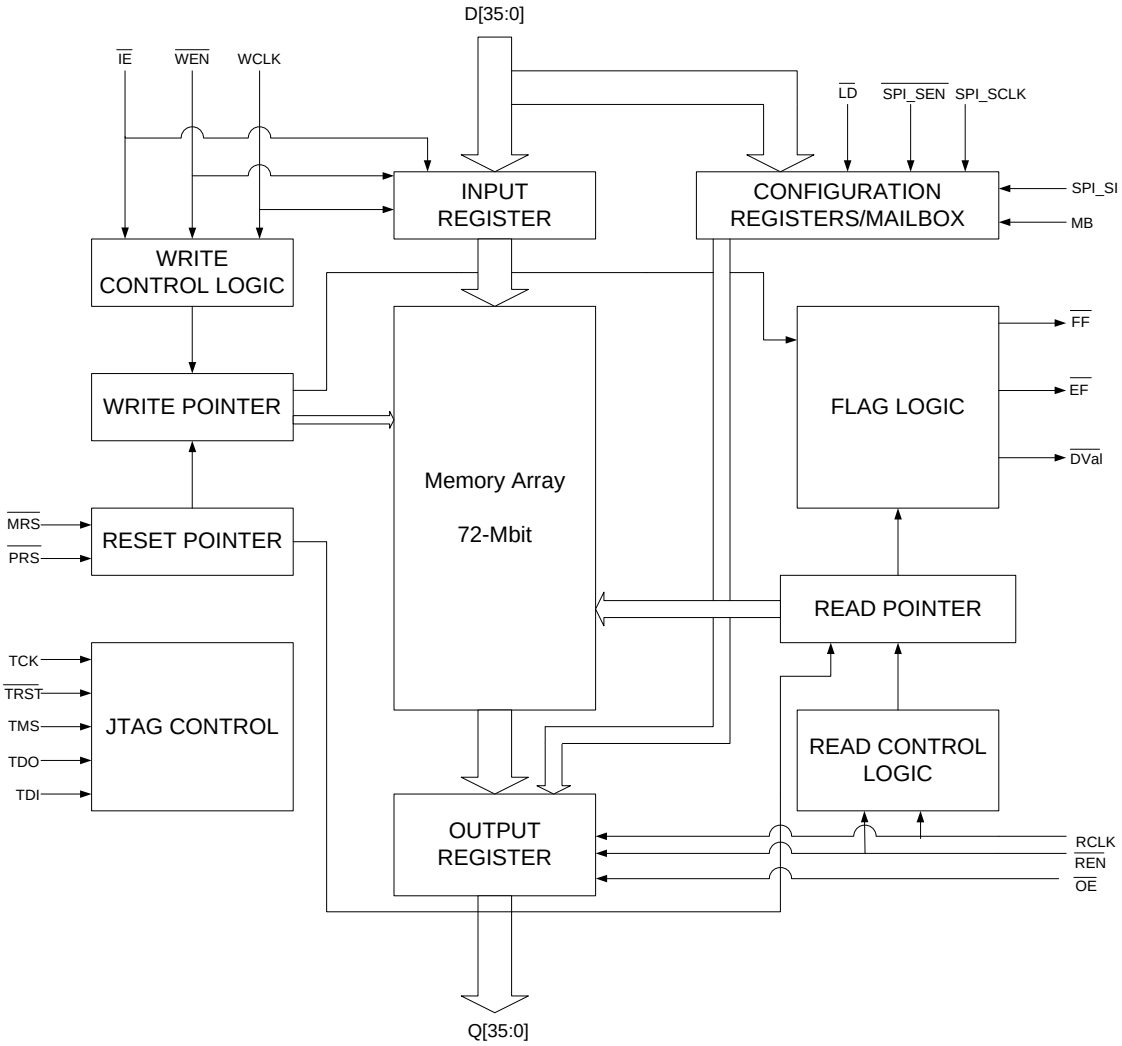
视频帧缓冲区为 72 Mbit 存储器器件，该器件将作为总线宽度为 36 位的 FIFO 使用。它具有独立的读 / 写端口，这些端口的时钟频率可高达 133 MHz。36 位的总线大小允许进行高达 4.8 Gbps 的数据吞吐量。器件还提供了简单易用的接口，用于减少执行和调试工作，改进上市时间并减少项目成本。因此，如果您需要一个具备多种应用（包括视频和图像处理）或能够在不同的时钟域内以高速度进行缓冲的任意系统的存储器，那么该视频帧缓冲区便是最佳选择。

视频帧缓冲区的功能为：从读取端口读取数据序列。与将数据写入到写入端口的序列相同。如果使能写入和输入（$\overline{WEN}$ 和 $\overline{IE}$），那么将写入端口上的数据写入到写时钟上升沿的器件内。在每个读取时钟的上升沿中，读取和输出的使能（$\overline{REN}$ 和 $\overline{OE}$）会提取端口上的数据。能够以不同的速度（提供的读和写时钟间的比率范围为 0.5 到 2）同时执行读 / 写操作。无论器件为空还是满，都会设置相应的标志。

器件还支持输出式邮箱寄存器以绕过帧缓冲区存储器。

注释：
1. 对于操作频率为 150 MHz 的器件，请联系销售人员。

逻辑框图


D[35:0]
IE
WEN
WCLK
LD
SPI_SEN
SPI_SCLK
INPUT REGISTER
CONFIGURATION REGISTERS/MAILBOX
SPI_SI
MB
WRITE CONTROL LOGIC
WRITE POINTER
Memory Array
72-Mbit
FLAG LOGIC
FF
EF
DVal
MRS
PRS
RESET POINTER
READ POINTER
TCK
TRST
TMS
TDO
TDI
JTAG CONTROL
READ CONTROL LOGIC
OUTPUT REGISTER
RCLK
REN
OE
Q[35:0]

目录

引脚配置 4
引脚定义 5
架构 7
复位逻辑 7
数据有效信号 （DVal） 7
写入掩码和跳过读取操作 7
输出式邮箱寄存器 7
标志操作 7
编程配置寄存器 8
宽度扩展配置 11
加电 11
读取 / 写入时钟要求 11
JTAG 操作 12
最大额定值 13
工作范围 13
建议直流操作条件 13
电气特性 13
I/O 特性 14
延迟表 14
交流测试负载条件 15
切换特性 16
开关波形 17
订购信息 23
订购代码定义 23
封装图 24
缩略语 25
文档规范 25
测量单位 25
文档修订记录页 26
销售、解决方案和法律信息 27
全球销售和设计支持 27
产品 27
PSoC® 解决方案 27
赛普拉斯开发者社区 27
技术支持 27

引脚配置

图 1. 209 球型焊盘 FBGA 引脚分布 （顶视图）

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{FF}$	D0	D1	DNU	V_{PU}	V_{PU}	DNU	DNU	V_{PD}	Q0	Q1
B	$\overline{EF}$	D2	D3	DNU	DNU	V_{PU}	DNU	DNU	$\overline{REN}$	Q2	Q3
C	D4	D5	$\overline{WEN}$	DNU	V_{CC1}	DNU	V_{CC1}	DNU	RCLK	Q4	Q5
D	D6	D7	V_{SS}	V_{CC1}	DNU	$\overline{LD}$	DNU	V_{CC1}	Vss	Q6	Q7
E	D8	D9	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CCIO}	V_{CCIO}	V_{CC2}	V_{CC2}	Q8	Q9
F	D10	D11	V_{SS}	V_{SS}	V_{SS}	DNU	V_{SS}	V_{SS}	V_{SS}	Q10	Q11
G	D12	D13	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q12	Q13
H	D14	D15	V_{SS}	V_{SS}	V_{SS}	V_{CC1}	V_{SS}	V_{SS}	V_{SS}	Q14	Q15
J	D16	D17	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q16	Q17
K	DNU	DNU	WCLK	DNU	V_{SS}	$\overline{IE}$	V_{SS}	DNU	V_{CCIO}	V_{CCIO}	V_{CCIO}
L	D18	D19	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q18	Q19
M	D20	D21	V_{SS}	V_{SS}	V_{SS}	V_{CC1}	V_{SS}	V_{SS}	V_{SS}	Q20	Q21
N	D22	D23	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q22	Q23
P	D24	D25	V_{SS}	V_{SS}	V_{SS}	$\overline{SPI_SEN}$	V_{SS}	V_{SS}	V_{SS}	Q24	Q25
R	D26	D27	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CCIO}	V_{CCIO}	V_{CC2}	V_{CC2}	Q26	Q27
T	D28	D29	V_{SS}	V_{CC1}	V_{CC1}	SPI_SI	V_{CC1}	V_{CC1}	V_{SS}	Q28	Q29
U	$\overline{DVal}$	DNU	D30	D31	$\overline{PRS}$	DNU [2]	SPI_SCLK	V_{REF}	$\overline{OE}$	Q30	Q31
V	DNU	DNU	D32	D33	DNU	$\overline{MRS}$	MB	DNU	V_{PD}	Q32	Q33
W	TDO	DNU	D34	D35	TDI	$\overline{TRST}$	TMS	TCK	DNU	Q34	Q35

注释：
2. 应该将该引脚连接到 V_{SS} 或使之处于悬空状态，以确保正常操作。

引脚定义

引脚名称	I/O	引脚说明
$\overline{MRS}$	输入	主设备复位：$\overline{MRS}$ 将读和写指针初始化为零，复位两个标志并将输出寄存器设置为零。 在主设备复位过程中，配置寄存器被设置为默认值。
$\overline{PRS}$	输入	部分复位：$\overline{PRS}$ 将读和写指针初始化为零，复位两个标志并将输出寄存器设置为零。在部分复位过程中，配置寄存器设置将被保留。
WCLK	输入	写入时钟：写入操作被使能 （激活 $\overline{WEN}$）时，上升沿会将数据传输到帧缓冲区内。当 $\overline{LD}$ 为高电平时，数据被写入到缓冲区存储器内；当 $\overline{LD}$ 为低电平时，数据被写入到配置寄存器内。
$\overline{LD}$	输入	负载：当 $\overline{LD}$ 为低电平时，会将 D[7:0] 写入到配置寄存器内（或从配置寄存器上读取 Q[7:0]）。当 $\overline{LD}$ 为高电平时，会将 D[35:0] 写入到配置寄存器内 （或从配置寄存器上读取 Q[35:0]）。
$\overline{WEN}$	输入	写入使能：控制信号，从而使能对器件进行的写操作。当 $\overline{WEN}$ 为低电平时，在每个 WCLK 的上升沿上，将输入端上显示的数据写入到缓冲区寄存器内或配置寄存器内。
$\overline{IE}$	输入	输入使能：$\overline{IE}$ 为数据输入使能信号，该信号控制着 36 位数据输入引脚的使能和禁用。如果使能该引脚，引脚上的数据将被写入到帧缓冲区存储器或配置寄存器上。如果使能 $\overline{WEN}$，不管 $\overline{IE}$ 电平如何，内部写入地址指针总会在 WCLK 的上升沿上被递增。该引脚用于 ‘ 写入掩码 ’ 或递增写入指针而不需要写入到某个位置。
D[35:0]	输入	数据输入：36 位总线上的数据输入。
RCLK	输入	读取时钟：当使能读取 （激活 $\overline{REN}$）时，上升沿将初始化从帧缓冲区进行的读取操作。当 $\overline{LD}$ 为高电平时，从缓冲区存储器上读取数据；当 $\overline{LD}$ 为低电平时，则从配置寄存器上读取数据。
$\overline{REN}$	输入	读取使能：控制信号，从而使能从器件读取数据。当 $\overline{REN}$ 为低电平时，在每个 RCLK 的上升沿上，将对缓冲区寄存器或配置寄存器中的数据进行读取操作。
$\overline{OE}$	输入	输出使能：$\overline{OE}$ 为低电平时，会使能器件数据输出； 当 $\overline{OE}$ 为高电平时，器件的输出将处于高阻抗状态。
Q[35:0]	输出	数据输出：36 位总线上的数据输出。
$\overline{DVal}$	输出	数据有效：将数据有效信号设置为低电平，以指出 Q[35:0] 上有效的信号。
MB	输入	邮箱：被确认时，将对涌流式邮箱寄存器进行读写操作。
$\overline{EF}$	输出	空标志：当 $\overline{EF}$ 为低电平时，帧缓冲区为空。 $\overline{EF}$ 与 RCLK 同步。
$\overline{FF}$	输出	满标志：当 $\overline{FF}$ 为低电平时，帧缓冲区已满。 $\overline{FF}$ 与 WCLK 同步。
SPI_SCLK	输入	串行时钟：如果使能了 SPI_SEN，则 SPI_SCLK 的上升沿将显示在 SPI_SI 输入上的串行数据传输到配置寄存器内。
SPI_SI	输入	串行输入：SPI 模式下的串行输入数据。
$\overline{SPI_SEN}$	输入	串行使能：使能配置寄存器的串行负载。
TCK	输入	JTAG 的测试时钟 （TCK）引脚。
$\overline{TRST}$	输入	JTAG 的复位引脚。
TMS	输入	JTAG 的测试模式选择 （TMS）引脚。
TDI	输入	JTAG 的测试数据输入 （TDI）引脚。
TDO	输出	JTAG 的测试数据输出 （TDO）引脚。
V_{REF}	输入参考	参考电压：参考电压 （无需考虑所使用的 I/O 标准）
V_{CC1}	供电电压	内核电压供电 1：1.8 V 供电电压
V_{CC2}	供电电压	内核电压供电 2：1.5 V 供电电压
V_{CCIO}	供电电压	I/O 的供电
V_{SS} [3]	接地	接地

引脚定义（续）

引脚名称	I/O	引脚说明
V_{PU}	CMOS 电压等级	需要将 FBGA 引脚的引脚 A5、A6 和 B6 上拉到 CMOS 电压电平。给 V_{CC1} 和 V_{CC2} 供电前，要先给这些引脚供电，并且在执行 MRST 操作前，这些引脚应该处于稳定状态。
DNU	–	请勿使用，这些引脚应该处于悬空状态。
V_{PD} [3]	输入	连接到 GND （短接到 V_{SS}）。

注释：
3. 要将所有 V_{SS} 引脚连接到同一个接地层。

架构

视频帧缓冲区包括 72 Mbit 的存储器阵列和逻辑模块，用于执行组成该存储器阵列的 FIFO 功能和其相关性能。

输入和输出数据总线宽度最大为 36 位。连接到输入寄存器的输入数据总线和从输入寄存器到存储器进行的数据流均由写入控制逻辑控制。 连接到写入逻辑模块的输入为 WCLK、WEN 和 IE。通过 WEN 使能写入，如果 IE 使能输入时，那么将输入总线上的数据写入到 WCLK 上升沿的存储器阵列内。该操作同时递增了写入指针。只能通过 IE 使能写入并禁用数据输入引脚，递增写入指针，但不需要执行任何写操作或更改存储器位置的内容。

同样，输出寄存器被连接到数据输出总线。从存储器到输出寄存器的数据转换由读取控制逻辑控制。连接到读取控制逻辑的输入包括 RCLK、 REN 和 OE。当使用 REN 使能读取并使用 OE 使能输出时，由读取指针指出的存储器数据和低电平的 DVal 被传输到 RCLK 上升沿的输出数据总线上。如果禁用了输出，但使能了读取，那么输出将处于高阻态，并且会内部递增读取指针。

在写入操作过程中，执行写入的数量总为偶数（即最小写入突发长度为 2 和写入数量总是为 2 的倍数）；在读取操作过程中，执行读取的数量可以是偶数或奇数 （即最小读取突发长度为 1）。

复位逻辑

可以通过两种方法复位帧缓冲区：主设备复位（MRS）和部分复位 （PRS）。 MRS 将读和写指针初始化为零，并将输出寄存器设置为零。此外，它还将空标志、满标志和配置寄存器复位为各自的默认值。从加电到访问帧缓冲区前这段时间，需要执行主设备复位。

PRS 将读取和写入指针复位到存储器阵列上的第一个物理位置。它还将标志复位为其默认值。 PRS 不会影响编程的配置寄存器值。

数据有效信号 （DVal）

数据有效 （DVal）是一个低电平有效信号，该信号与 RCLK 同步，并用于检查数据总线上的有效数据。执行读取操作时， DVal 信号和输出数据将变为低电平。这样，用户可以捕获数据而不需要跟踪 REN 到数据输出的延迟。当在不同的频率下持续执行读 / 写操作时，该信号有助于指示有效数据何时在输出端口 Q[35:0] 上显示。

写入掩码和跳过读取操作

如第 7 页上的架构 所示，使能写入并禁用输入引脚 （IE HIGH）将递增写入指针，但不需要执行任何写操作或更改存储器位置的内容。

该性能被称为写入掩码，允许用户传输指针而不需要实际写到某个位置上。该 “ 写入掩码 ” 功能对一些视频应用 （如画中画（PIP）应用）很有帮助。

同样，在读取操作过程中，如果通过将 OE 保持为高电平来禁用输出，那么读取数据不会显示在输出总线上；但是读取指针会递增。该性能被称为跳过读取操作。

输出式邮箱寄存器

该性能会直接将数据从输入传输到输出，绕过相应缓冲区存储器。激活 MB 信号时，经过两个 WCLK 周期后， D[35:0] 上显示的数据也可用于 Q[35:0]。 在输出式邮箱操作过程中不允许执行正常的读取和写入操作。启动输出式邮箱操作前，应该完成读取操作，从而将数据有效（DVal）置为高电平，这样可以避免缓冲区存储器上的数据被丢失。

标志操作

该器件提供了两个标志引脚，用以指出帧缓冲区视频的状态。

满标志

满标志 （FF）在双字 （突发长度为 2）边界上运行，并且当器件已满时，该标志为低电平。无论 FF 何时为低电平，不管 WEN 的状态如何，都会禁止写入操作。 FF 与 WCLK 同步，因此它将由 WCLK 的每个上升沿独立更新。满标志的最差激活延迟为 4。由于用户不了解帧缓冲区完成 4 个时钟周期后将满，因此在这个时间内仍会写入数据。在这种情况下，会存储写入的四个数据字，以避免数据丢失，然后再次读取这些字来激活满标志。解除满标志的激活状态，最少需要读取两次，最多需要读取六次。第 14 页上的延迟表 列出了有关满标志的延迟。

空标志

激活空标志 （EF）是由突发写入决定的，并且器件为空时，它为低电平。 EF 为低电平，不管 REN 的状态如何，都会禁止执行写入操作。 EF 与 RCLK 同步，因此它将由 RCLK 的每个上升沿独立更新。第 14 页上的延迟表 列出了有关空标志的延迟。

编程配置寄存器

CYFB0072V 具有 8 位用户可配置寄存器。第十个寄存器为快速 CLK 位，该位表示快速时钟区域。

可以按照下面两种方式对该寄存器进行配置：串行负载或并行负载。通过使用 SPI_SEN （串行使能）引脚来选择负载方式。SPI_SEN引脚为低电平时应选择写入到寄存器的串行方式。对于串行编程模式，存在一个单独的 SCLK 和一个串行输入 （SI）。在并行模式下，负载 （LD）引脚的低电平状态会使这些寄存器执行读和写操作。 LD 引脚保持为低电平时，将从第一个位置（0x1）到最后位置（0xA）间连续发生读和写操作。 如果 LD 为高电平，那么在 FIFO 上将执行写操作。

无论如何选择编程模式 （串行或并行），可以通过并行输出端口来读取寄存器中的值。不能对寄存器值进行连续的读操作。无论选择串行还是并行编程，执行主设备复位后，都可以在任意时间内对寄存器进行编程 （重新编程）。

有关在串行和并行模式下访问配置寄存器的详细信息，请参考表 1 和第 9 表页上的 2。

在并行模式下，到达配置寄存器的最大地址位置时，读取和写入操作将被返回。在配置寄存器上应该避免同时执行读取和写入操作。

表 1. 配置寄存器

ADDR	配置寄存器	默认值	位 [7]	位 [6]	位 [5]	位 [4]	位 [3]	位 [2]	位 [1]	位 [0]
0x1	预留	0x00	X	X	X	X	X	X	X	X
0x2	预留	0x00	X	X	X	X	X	X	X	X
0x3	预留	0x00	X	X	X	X	X	X	X	X
0x4	预留	0x7F	X	X	X	X	X	X	X	X
0x5	预留	0x00	X	X	X	X	X	X	X	X
0x6	预留	0x00	X	X	X	X	X	X	X	X
0x7	预留	0x7F	X	X	X	X	X	X	X	X
0x8	预留	0x00	X	X	X	X	X	X	X	X
0x9	预留	0x00	X	X	X	X	X	X	X	X
0xA	快速 CLK 位寄存器	1XXXXXXXb	快速 CLK 位	X	X	X	X	X	X	X

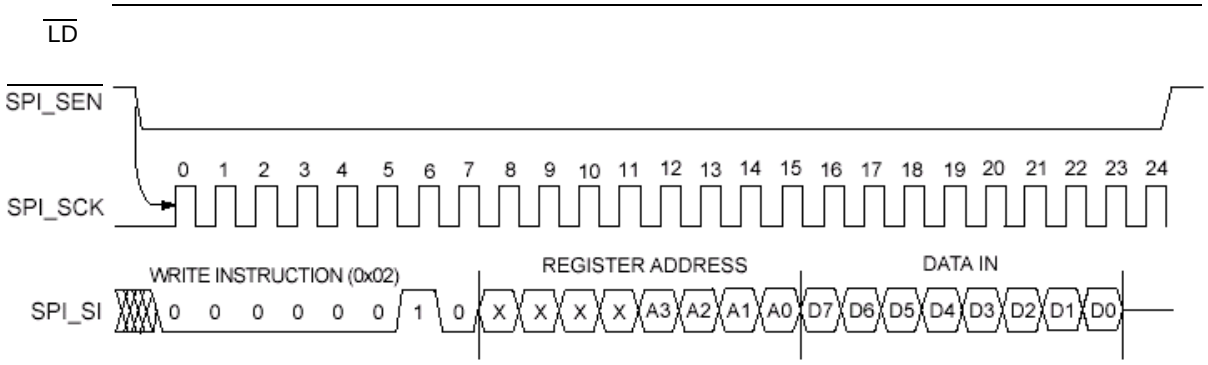
表 2. 并行模式下对配置寄存器进行写和读操作

$\overline{\text{SPI_SEN}}$	$\overline{\text{LD}}$	$\overline{\text{WEN}}$	$\overline{\text{REN}}$	WCLK	RCLK	SPI_SCLK	操作
1	0	0	1	因为 $\overline{\text{LD}}$ 和 $\overline{\text{WEN}}$ 均为低电平，↑在第一个上升沿上	X	X	对第一个寄存器进行并行写操作
1	0	0	1	↑在第二个上升沿上	X	X	对第二个寄存器进行并行写操作
1	0	0	1	↑在第三个上升沿上	X	X	对第三个寄存器进行并行写操作
1	0	0	1	↑在第四个上升沿上	X	X	对第四个寄存器进行并行写操作
1	0	0	1	•	X	X	•
1	0	0	1	•	X	X	•
1	0	0	1	•	X	X	•
1	0	0	1	↑在第十个上升沿上	X	X	对第十个寄存器进行并行写操作
1	0	0	1	↑在第十一个上升沿上	X	X	对第一个寄存器进行并行写操作（返回）
1	0	1	0	X	因为 $\overline{\text{LD}}$ 和 $\overline{\text{REN}}$ 均为低电平，↑在第一个上升沿上	X	对第一个寄存器进行并行读操作
1	0	1	0	X	↑在第二个上升沿上	X	对第二个寄存器进行并行读操作
1	0	1	0	X	↑在第三个上升沿上	X	对第三个寄存器进行并行读操作
1	0	1	0	X	↑在第四个上升沿上	X	对第四个寄存器进行并行读操作
1	0	1	0	X	•	X	•
1	0	1	0	X	•	X	•
1	0	1	0	X	•	X	•
1	0	1	0	X	↑在第十个上升沿上	X	对第十个寄存器进行并行读操作
1	0	1	0	X	↑在第十一个上升沿上	X	对第一个寄存器进行并行读操作（返回）
1	X	1	1	X	X	X	无操作
X	1	0	X	↑上升沿	X	X	写入帧缓冲区存储器
X	1	X	0	X	↑上升沿	X	读取帧缓冲区存储器
0	0	X	1	X	X	X	非法操作

表 3. 在串行模式下对配置寄存器进行写操作

$\overline{SPI_SEN}$	$\overline{LD}$	$\overline{WEN}$	$\overline{REN}$	WCLK	RCLK	SCLK	操作
0	1	X	X	X	X	↑ 上升沿	SCLK 的每一个上升沿与 SI 的一位相应 （串行输入）。根据 SPI 协议，可以对 10 个寄存器中的任何一个进行寻址和写入操作。
X	1	0	X	↑ 上升沿	X	X	对帧缓冲区存储器进行并行写操作。
X	1	X	0	X	↑ 上升沿	X	对帧缓冲区存储器进行并行读操作。
1	0	1	1	X	X	X	该操作与并行模式相应 （请参考第 9 表页上的 2）。

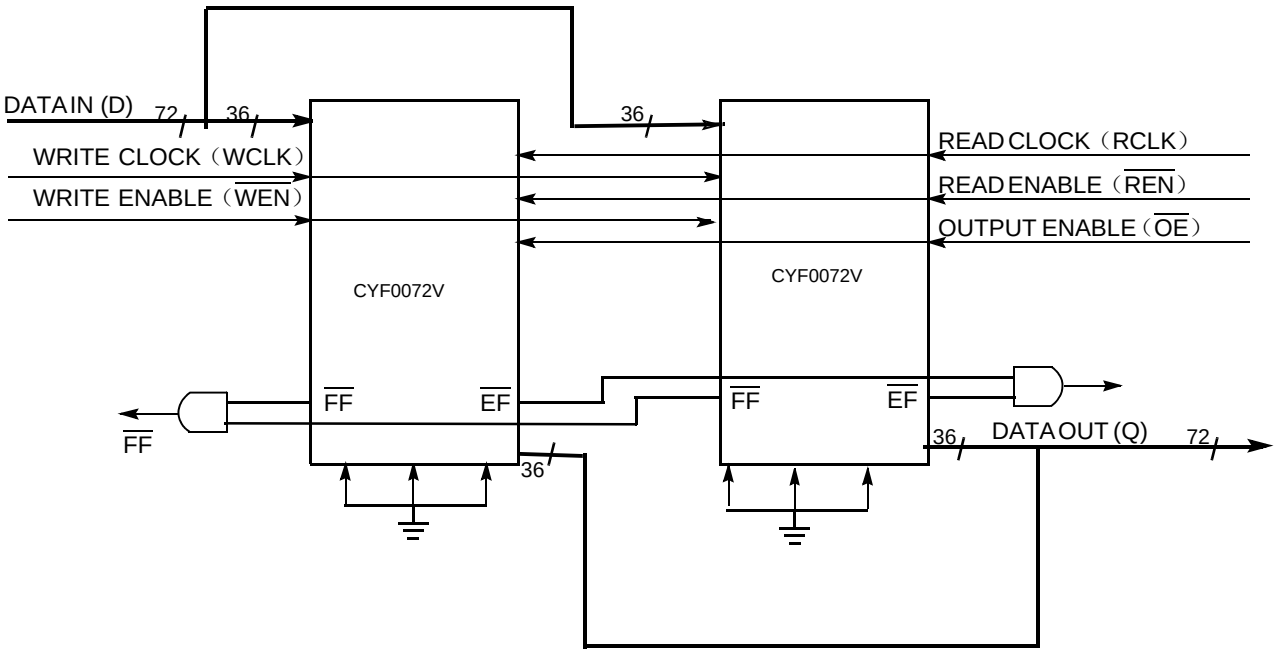
图 2. 对配置寄存器进行连续的写操作



宽度扩展配置

可以扩展帧缓冲区的宽度，以提供 36 位更大的字宽度。在宽度扩展模式下，可以共享所有控制线路，另外所有标志都可用。通过对每个帧缓冲区的 Empty （Full）标志进行 “AND” 运算可以创建 Empty （Full）标志。采用这种技术可以避免将数据读取 / 写入由（因 RCLK 和 WCLK 间的时滞变化所产生）一个时钟周期导致排律无序的器件内。图 3 显示的是通过使用两个 36 位字帧缓冲区来生成 72 位字宽度的示例。

图 3. 宽度扩展



加电

V_{CC1}、V_{CC2}、V_{CCIO} 和 V_{REF} 达到第 13 页上的建议直流操作条件 中所规定的最小稳定电压后，器件将会生效。这些电源达到所需电平最低值后（请参考第 16 页上的切换特性 ），可以在 t_{PU} 时间内访问器件。器件上电没有顺序方面的要求。

读取 / 写入时钟要求

读取和写入时钟要满足以下要求：

- 读取 （RCLK）和写入 （WCLK）时钟要自由运行。
- 两个时钟的时钟频率应位于第 13 页上的电气特性 中列出的最小和最大范围之间 .
- WCLK 到 RCLK 的比率范围应该为 0.5 到 2。

对于适当的帧缓冲区操作，器件必须决定更快的输入时钟（RCLK 或 WCLK）。在 MRS 周期后，通过使用计数器来执行该操作。 器件使用了两个 9 位计数器 （分别在 RCLK 和 WCLK 上运行），这些计数器在 MRS 后将计数 256 个读和写时钟周期。第一个达到其终端计数的计数器时钟将作为帧缓冲区的主设备时钟使用。

在帧缓冲区正常操作过程中，如果 RCLK 和 WCLK 的相关频率发生变化，用户可以通过使用配置寄存器 （0xA）中的 “Fast CLK bit” （快速 CLK 位）来指定进行的更改。

“1”：表示 f_{req} （WCLK）> f_{req} （RCLK）

“0”：表示 f_{req} （WCLK）< f_{req} （RCLK）

通过将 LD 在 10 个时钟周期内保持为低电平，可以访问快速时钟位配置寄存器 （0xA）。计数器的评估频率将被写入该寄存器位内。通过修改该位，用户可以覆盖计数器评估频率以加快时钟速度。

无论何时更改了该位的值，要想在缓冲区存储器执行下一个读取或写入操作，用户都要等待 t_{PLL} 时长。

JTAG 操作

该视频帧缓冲区具有两个在 JTAG 链路中内部连接的器件，如所示 图 4

图 4. JTAG 链路中的器件连接

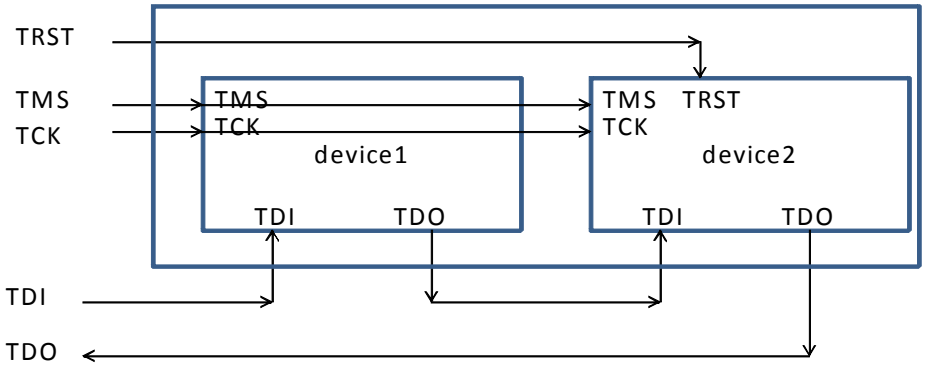


表 4 显示的是 IR 寄存器长度和器件 ID

表 4. JTAG IDCODES

	IR 寄存器长度	器件 ID （HEX）	旁路寄存器长度
器件 1	3	“ 忽略 ”	1
器件 2	8	1E3261CF	1

表 5. 器件 1 的 JTAG 指令

器件 1	代码 （二进制）
BYPASS	111

表 6. 器件 2 的 JTAG 指令

器件 2	操作码 （十六进制）
EXTEST	00
HIGHZ	07
SAMPLE/PRELOAD	01
BYPASS	FF
IDCODE	0F

最大额定值

超过最大额定值会缩短器件的使用寿命。这些用户指导未经过测试。

存放温度 （无偏压）..... –65 °C 到 +150 °C

通电状态下
的环境温度范围 ..... –55 °C 到 +125 °C

地面电位的内核供电电压范围 1 （V_{CC2}）.....–0.3 V ~ 2.5 V

地面电位的内核供电电压 2 （V_{CC2}）.....–0.3 V ~ 1.65 V

栓锁电流..... >100 mA

I/O 端口供电电压 （V_{CCIO}）..... –0.3 V 到 3.7 V

适用于 I/O 引脚的电压 ..... –0.3 V 到 3.75 V

输出电流到输出 （LOW）..... 24 mA

静电放电电压
（参照 MIL–STD–883，方法 3015） ..... > 2001 V

工作范围

范围	环境温度
工业级	–40 °C 至 +85 °C

建议直流操作条件

参数 [4]	说明		最小值	典型值	最大值	单位
V_{CC1}	内核供电电压 1		1.70	1.80	1.90	V
V_{CC2}	内核供电电压 2		1.425	1.5	1.575	V
V_{REF}	参考电压 （不包括所使用的 I/O 标准）		0.7	0.75	0.8	V
V_{PU}	帧缓冲区的输入 CMOS 电压电平	LVCMOS33	3.00	3.30	3.60	V
		LVCMOS18	1.70	1.8	1.90	V
V_{CCIO}	I/O 供电电压，读取和写入组。	LVCMOS33	3.00	3.30	3.60	V
		LVCMOS18	1.70	1.8	1.90	V

电气特性

参数	说明	条件	最小值	典型值	最大值	单位
I_{CC}	工作电流	$V_{CC1} = V_{CC1MAX}$	–	–	300	mA
		$V_{CC2} = V_{CC2MAX}$ （所有 I/O 切换，频率为 133 MHz）	–	–	600	mA
		$V_{CCIO} = V_{CCIOMAX}$ （禁用所有输出）	–	–	100	mA
I_I	输入引脚漏电流	$V_{IN} = V_{CCIOmax}$ ~ 0 V	–15	–	15	µA
I_{OZ}	I/O 引脚漏电流	$V_O = V_{CCIOmax}$ ~ 0 V	–15	–	15	µA
C_P	TMS 和 TCK 的电容	–	–	–	16	pF
C_{PIO}	所有其他引脚的电容 （TMS 和 TCK 除外）	–	–	–	8	pF

注释：
4. 在供电速率大于 1 V / µs 的条件下，器件的操作受到保证。

I/O 特性

（在工作范围内）

I/O 标准	额定的 I/O 供电电压	输入电压 （V）		输出电压 （V）		输出电流 （mA）	
		V_{IL} （最大值）	V_{IH} （最小值）	V_{OL} （最大值）	V_{OH} （最小值）	I_{OL} （最大值）	I_{OH} （最大值）
LVCMOS33	3.3 V	0.80	2.20	0.45	2.40	24	24
LVCMOS18	1.8 V	30% V_{CCIO}	65% V_{CCIO}	0.45	V_{CCIO} – 0.45	16	16

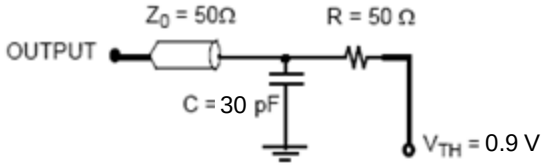
延迟表

延迟参数	周期数量	详细信息
$L_{\overline{REN}_TO_DATA}$	4	从 $\overline{REN}$ 被置为低电平到输出帧缓冲区的第一个数据的延迟时间。
$L_{\overline{REN}_TO_CONFIG}$	4	从 $\overline{REN}$ 和 $\overline{LD}$ 被置位到从配置寄存器读取第一个数据的延迟时间。
L_{IN}	最大值 = 26 [5]	在同时读 / 写过程中，帧缓冲区为空时，执行数据读取操作的启动延迟。
$L_{\overline{FF}_ASSERT}$	最大值 = 4	从写入最后数据到 $\overline{FF}$ 变为低电平的时间。
$L_{\overline{EF}_ASSERT}$	0	从读取最后数据到 $\overline{EF}$ 变为低电平的时间。
$L_{\overline{FF}_DEASSERT}$	8 [5]	从读取到 $\overline{FF}$ 变为高电平的时间。
$L_{\overline{EF}_DEASSERT}$	最大值 = 24 [5]	从写入到 $\overline{EF}$ 变为高电平的时间。
$L_{\overline{PRS}_TO_ACTIVE}$	32 [5]	从取消置位 $\overline{PRS}$ 到正常操作的时间。
$L_{MAILBOX}$	2	当 MB = 1 （w.r.t. WCLK）时，从写入端口到读取端口的延迟。

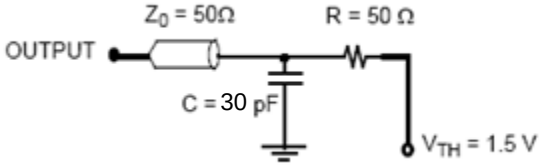
注释：
5. 时钟比率为 1 时，这些延迟值才有效。

交流测试负载条件

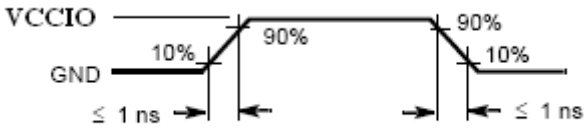
图 5. 交流测试负载条件



(a) V_{CCIO} = 1.8 V



(b) V_{CCIO} = 3.3 V



(c) 所有输入脉冲

切换特性

参数	说明		-133		单位
			最小值	最大值	
t_{PU}	所有供电电压达到最小值后的加电时间		_	2	ms
t_S	时钟周期频率	3.3 V LVCMOS	24	133	MHz
t_S	时钟周期频率	1.8 V LVCMOS	24	133	5
t_A	数据访问时间		–	10	ns
t_{CLK}	时钟周期时间		7.5	41.67	ns
t_{CLKH}	时钟为高电平的时间		3.375	–	ns
t_{CLKL}	时钟为低电平的时间		3.375	–	ns
t_{DS}	数据建立时间		3	–	ns
t_{DH}	数据保持时间		3	–	ns
t_{ENS}	使能设置时间		3	–	ns
t_{ENH}	使能保持时间		3	–	ns
t_{ENS_SI}	SPI_SI 和 $\overline{\text{SPI_SEN}}$ 引脚的设置时间		5	–	ns
t_{ENH_SI}	SPI_SI 和 $\overline{\text{SPI_SEN}}$ 引脚的保持时间		5	–	ns
t_{RATE_SPI}	SCLK 的频率		_	25	MHz
t_{RS}	复位脉冲宽度		100	–	ns
t_{RSF}	复位为标志输出时间		_	50	ns
t_{OLZ}	输出使能到输出变为低阻态的时间		8	15	ns
t_{OE}	输出使能到输出有效的时间		–	15	ns
t_{OHZ}	输出使能到输出变为高阻态的时间		–	15	ns
t_{WFF}	将时钟写入到 $\overline{\text{FF}}$ 的时间		_	8.5	ns
t_{REF}	从 $\overline{\text{EF}}$ 读取时钟的时间		_	8.5	ns
t_{PLL}	同步 PLL 所需的时间		–	1024	cycles
t_{RATE_JTAG}	JTAG TCK 周期时间		100	–	ns
t_{S_JTAG}	JTAG TMS、 TDI 的建立时间		8	–	ns
t_{H_JTAG}	JTAG TMS、 TDI 的保持时间		8	–	ns
t_{CO_JTAG}	从 JTAG TCK 为低电平到 TDO 有效的时间		–	20	ns

开关波形

图 6. 写周期时序

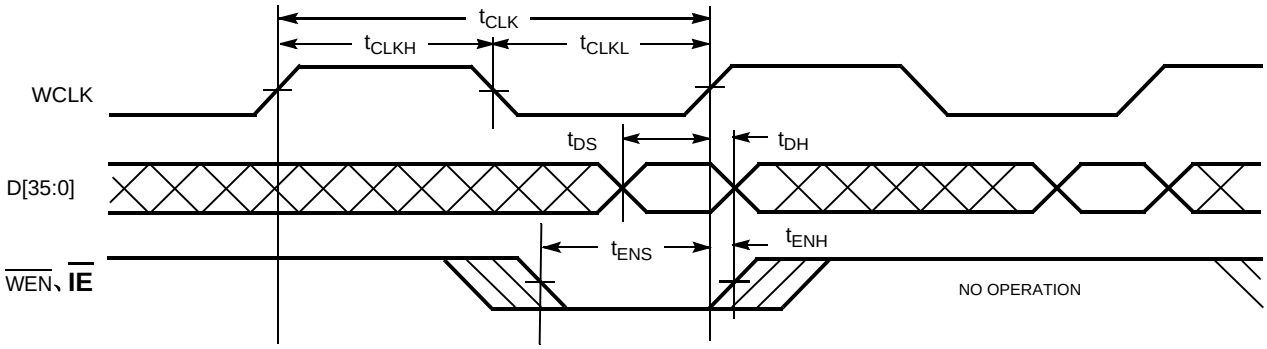
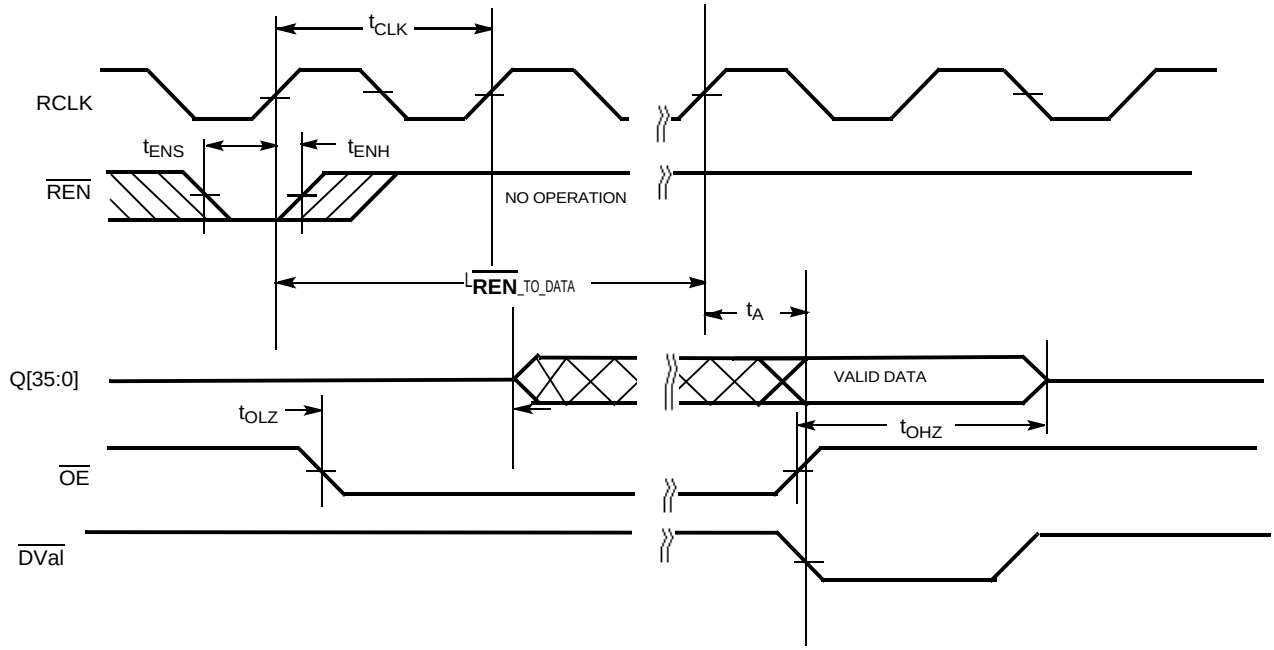


图 7. 读周期时序



开关波形 （续）

图 8. 复位时序

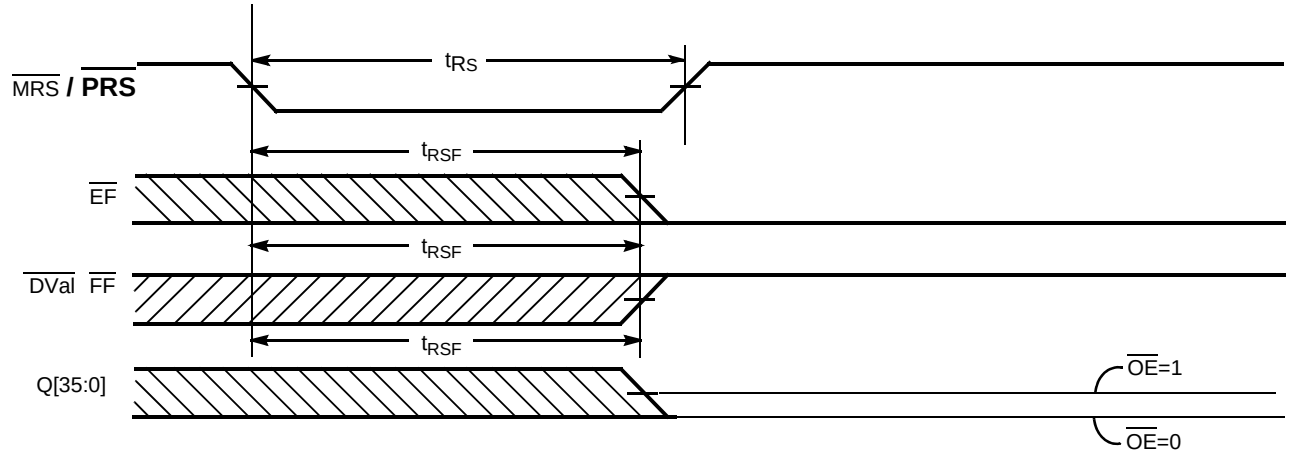


图 9. 空标志时序

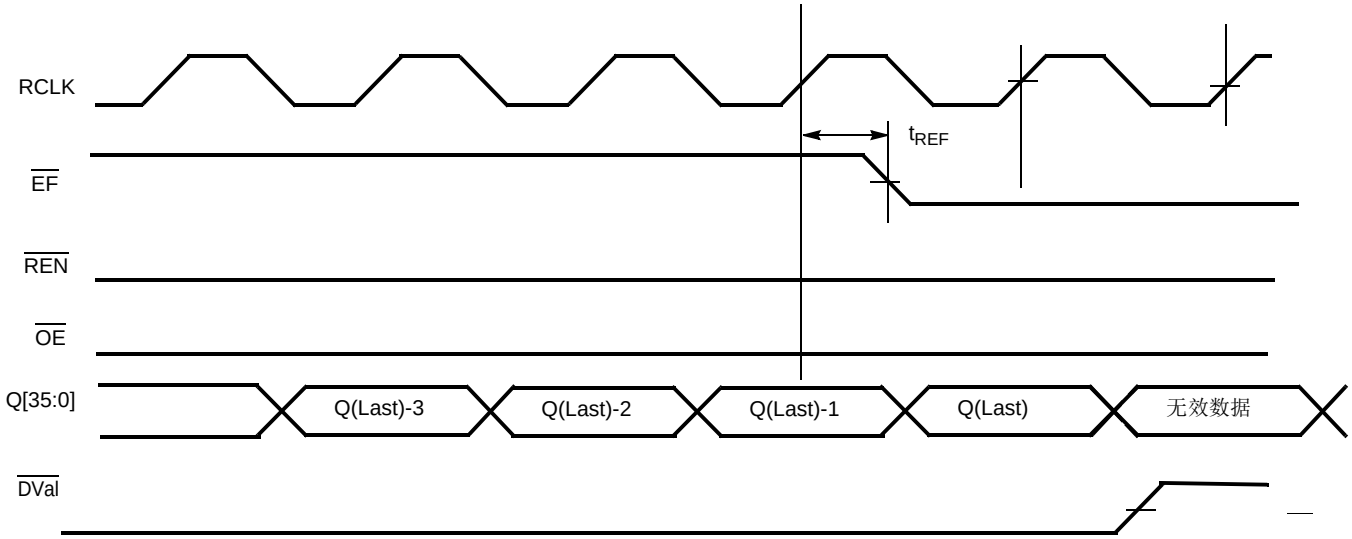
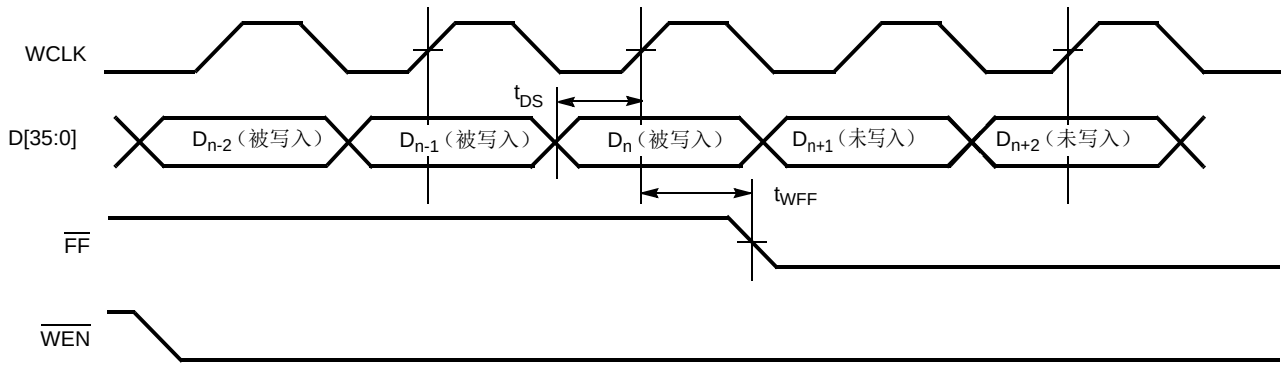


图 10. 满标志时序



开关波形 （续）

图 11. 初始数据延迟

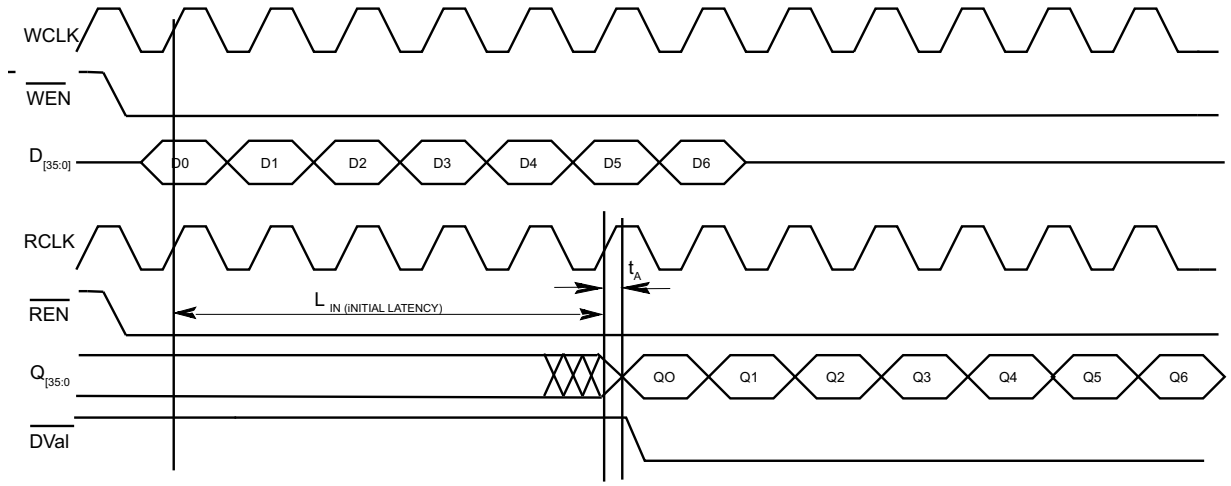
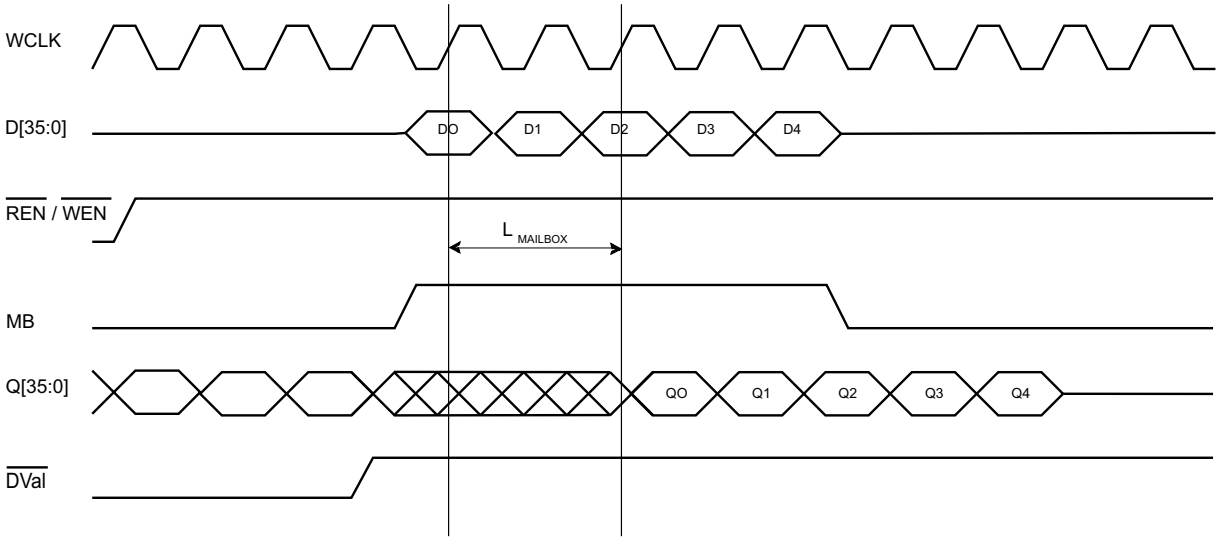


图 12. 输出式邮箱操作



开关波形 （续）

图 13. 配置寄存器写入

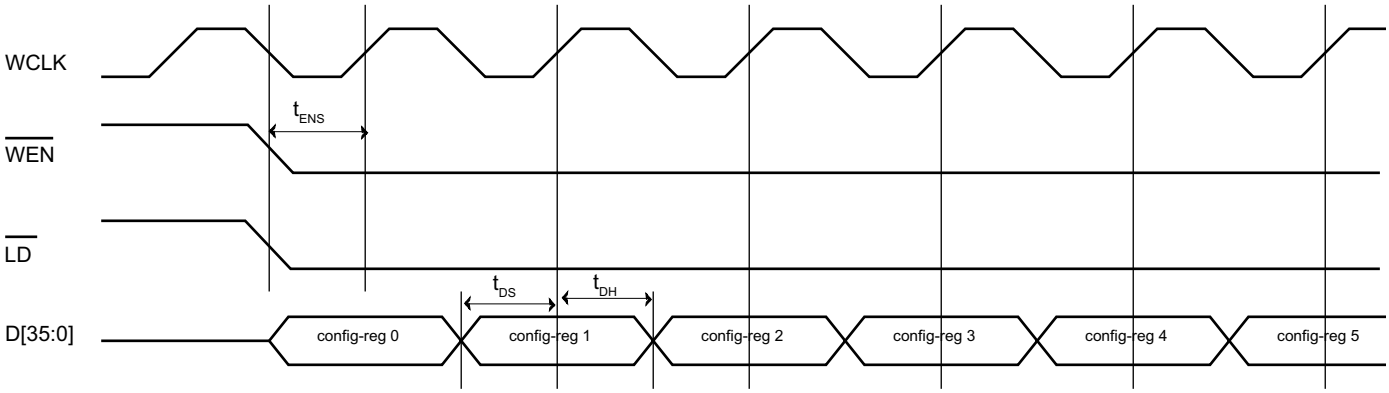


图 14. 配置寄存器读取

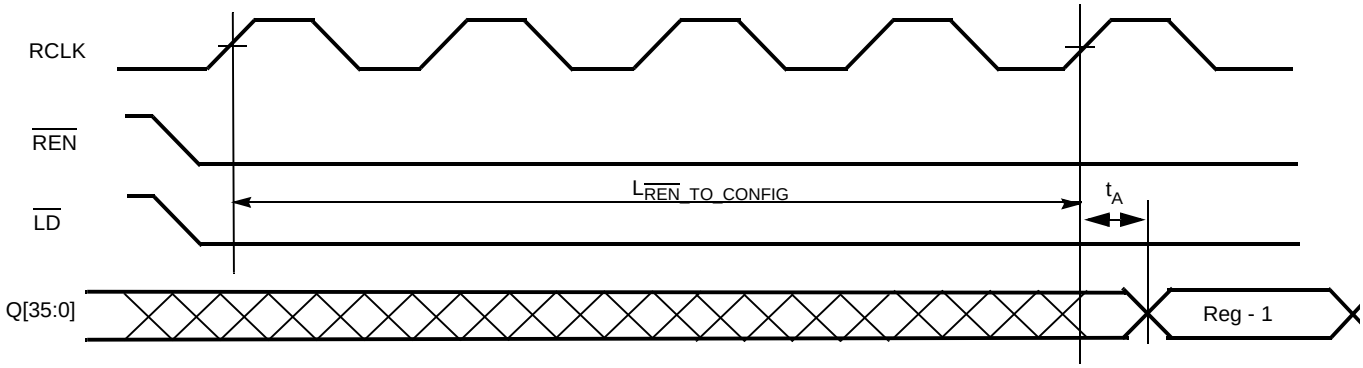
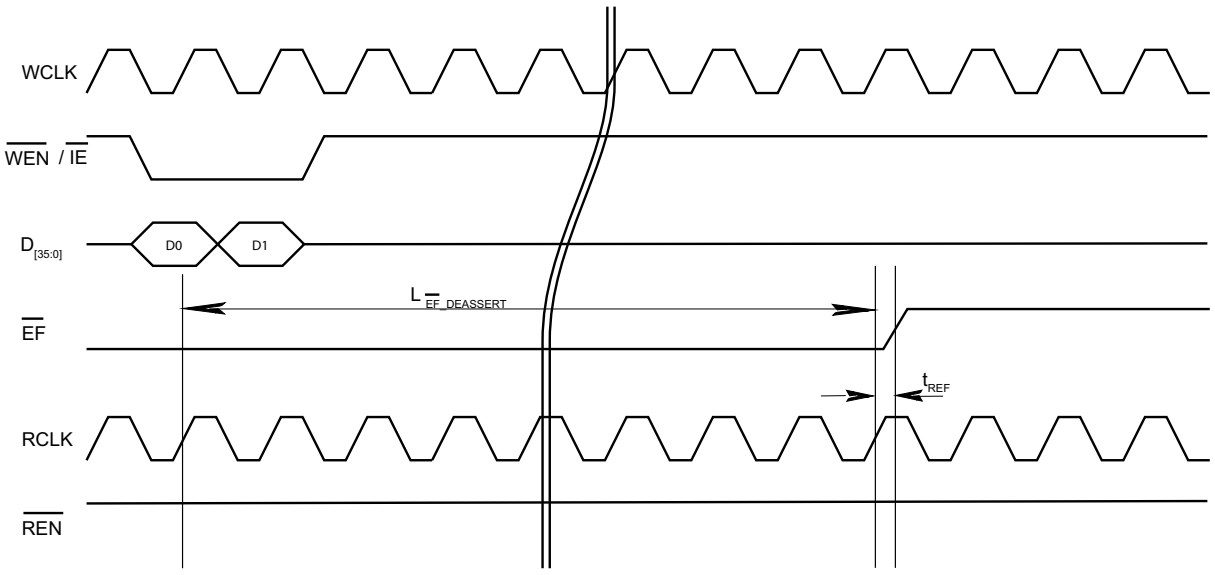


图 15. 空标志解除激活



开关波形 （续）

图 16. 空标志激活

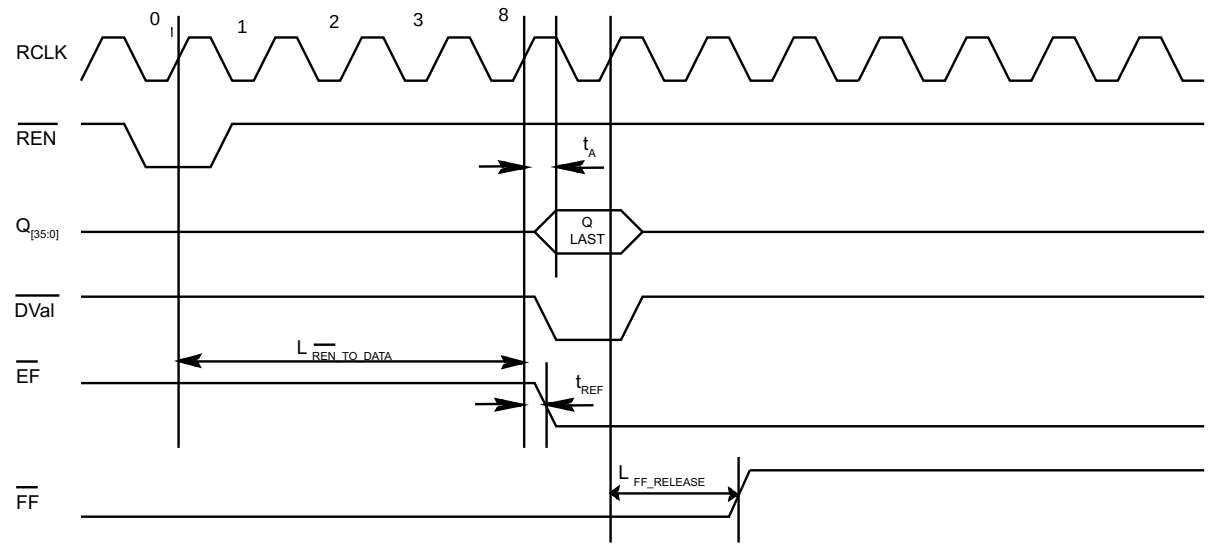
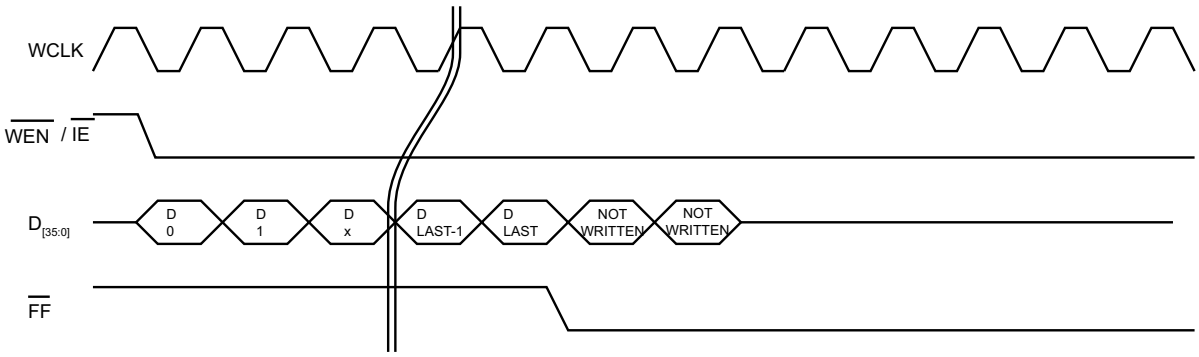
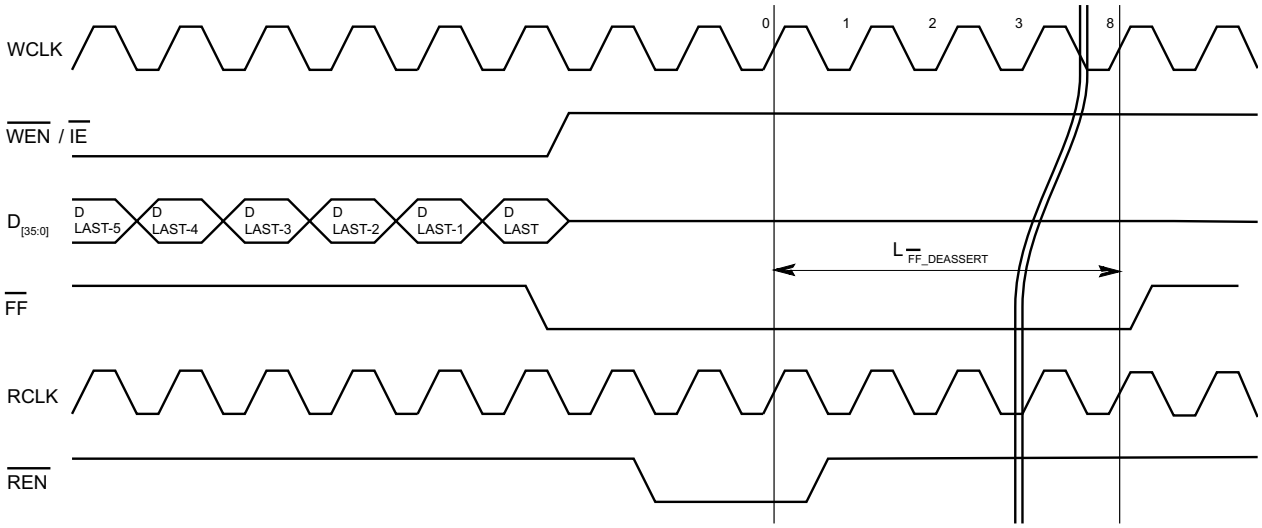


图 17. 满标志激活



开关波形 （续）

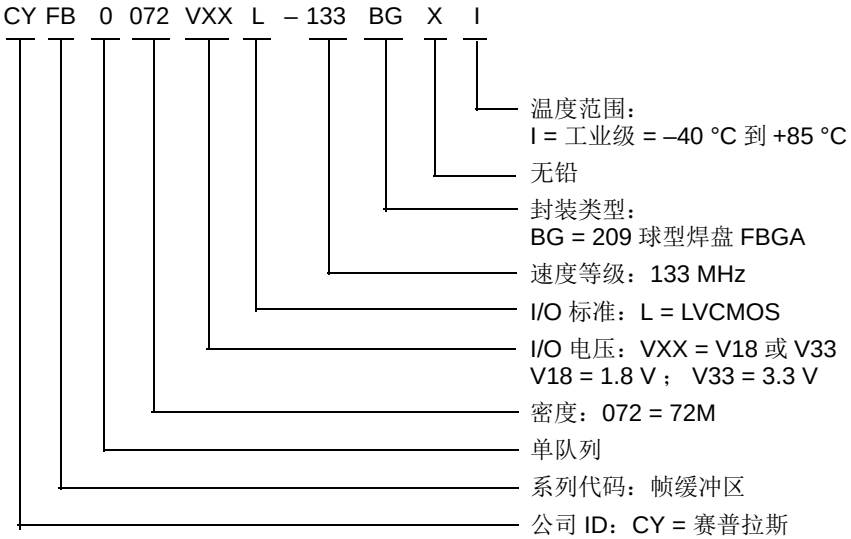
图 18. 满标志解除激活



订购信息

速度 [6]（MHz）	订购代码	封装图	封装类型	工作范围
133	CYFB0072V18L-133BGXI	51-85167	209 球型焊盘 FBGA （14 × 22 × 1.76 mm）	工业级
133	CYFB0072V33L-133BGXI	51-85167	209 球型焊盘 FBGA （14 × 22 × 1.76 mm）	工业级

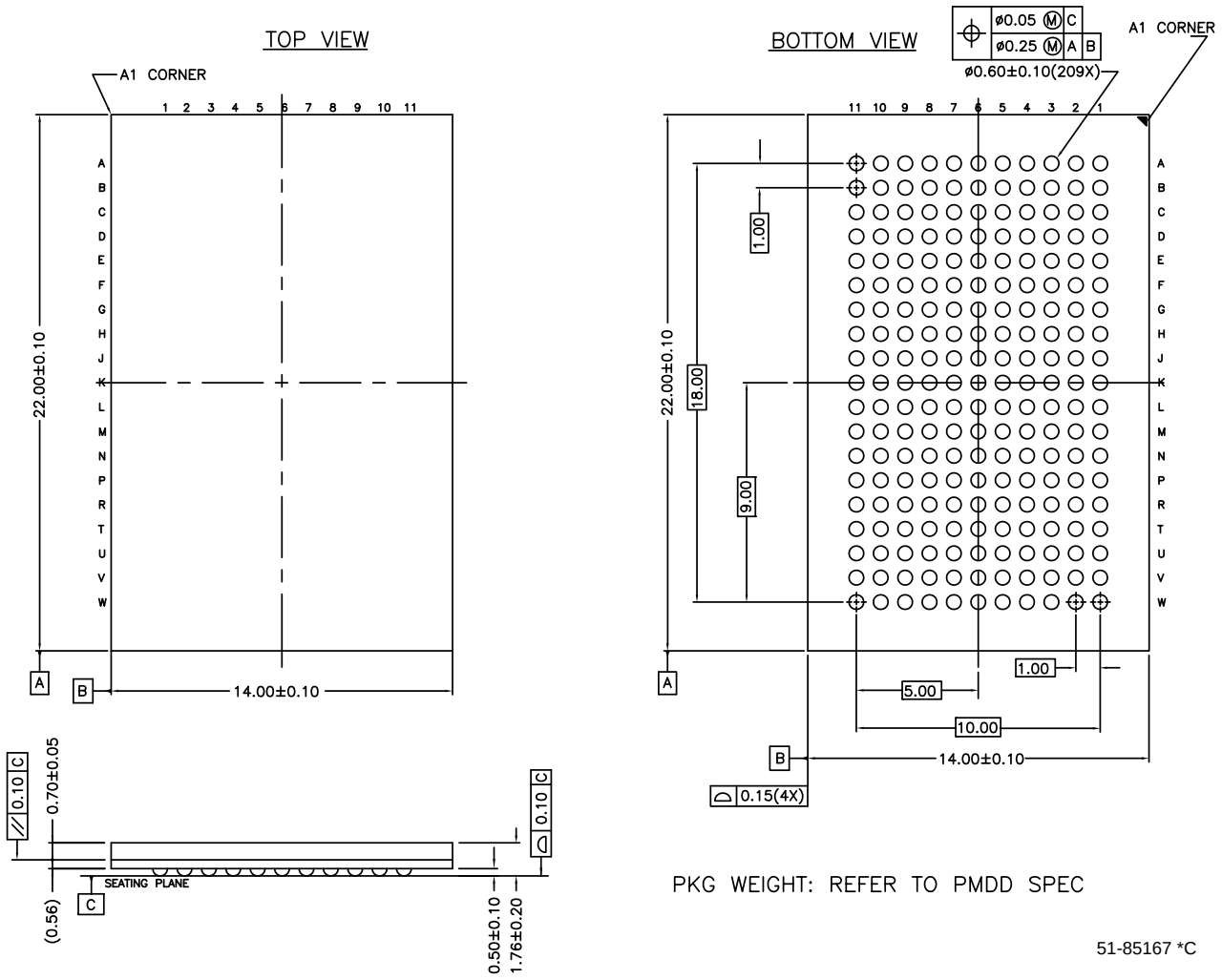
订购代码定义



注释：
6. 对于操作频率为 150 MHz 的器件，请联系销售人员。

封装图

图 19. 209 球型焊盘 FBGA （14 × 22 × 1.76 mm） BB209A 封装外形， 51-85167



缩略语

缩略语	说明
$\overline{FF}$	满标志
FIFO	先进先出
$\overline{IE}$	输入使能
I/O	输入 / 输出
FBGA	小间距球栅阵列
JTAG	联合测试行动小组
LSB	最低有效位
LVCMOS	低压互补金属氧化物半导体
MB	邮箱
$\overline{MRS}$	主设备复位
MSB	最高有效位
$\overline{OE}$	输出使能
$\overline{PRS}$	部分复位
RCLK	读取时钟
$\overline{REN}$	读取使能
RCLK	读取时钟
SCLK	串行时钟
TCK	测试时钟
TDI	测试数据输入
TDO	测试数据输出
TMS	测试模式选择
WCLK	写入时钟
$\overline{WEN}$	写使能

文档规范

测量单位

符号	测量单位
°C	摄氏度
MHz	兆赫兹
µA	微安
mA	毫安
mm	毫米
ms	毫秒
ns	纳秒
Ω	欧姆
pF	皮法
V	伏特
W	瓦特

文档修订记录页

文档标题：CYFB0072V， 72 Mbit 视频帧缓冲区 文档编号：001-95830				
版本	**ECN**	**变更者**	**提交日期**	**变更说明**
**	4691538	SNYQ	04/03/2015	本文档版本号为 Rev**，译自英文版 001-88646 Rev*A。

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、厂商代表和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

汽车级产品	cypress.com/go/automotive
时钟与缓冲区	cypress.com/go/clocks
接口	cypress.com/go/interface
照明与电源控制	cypress.com/go/powerpsoc cypress.com/go/plc
存储器	cypress.com/go/memory
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 / 射频	cypress.com/go/wireless

PSoC® 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

赛普拉斯开发者社区

社区 | 论坛 | 博客 | 视频 | 训练

技术支持

cypress.com/go/support

© 赛普拉斯半导体公司， 2013-2015。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品内嵌的电路外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任。也不会以明示或暗示的方式授予任何专利许可或其他权利。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯不保证产品能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，对于可能发生运转异常和故障并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途外，未经赛普拉斯明确的书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。对于合理预计可能发生运转异常和故障，并对用户造成严重伤害的生命支持系统，赛普拉斯不授权将其产品用作此类系统的关键组件。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能适用于赛普拉斯软件许可协议的限制。

本文件中所介绍的所有产品和公司名称均为其各自所有者的商标。