CYF0018V
CYF0036V
CYF0072V

18/36/72M ビットのプログラマブル FIFO

特長

- メモリ構成
  - 業界最大の先入れ先出し (FIFO) メモリ容量 : 18M ビット、36M ビット、72M ビット
  - 選択可能なメモリ構成 : ×9、×12、×16、×18、×20、×24、×32、×36
- 最大 133MHz までのクロック周波数で動作
- 単方向動作
- 独立した読み出しと書き込みポート
  - 同時読み書き動作をサポート
  - 読み出し処理と書き込み処理は、読み出しクロックと書き込みクロックの比率が 2 以下である限り、独立したクロックで実行することが可能で 、すべてのクロック ドメインにわたってデータ バッファリングが可能になる
  - 複数の I/O 電圧標準をサポート : 3.3V と 1.8V の低電圧相補型金属酸化膜半導体 (LVCMOS) 電圧標準
- 書き込みマスクと読み出しスキップ処理用の入出力イネーブル制御
- マークと再送信 : ユーザーによりマークされる位置に読み出しポインタをリセット
- エンプティ、フル、ハーフフル、およびオフセットがプログラム可能なオールモストエンプティとオールモストフル状態フラグ
- 入力ポートから出力　　ポートへデータを送信するためのフロースルー メールボックス レジスタ (FIFO シーケンスが不要になる)
- シリアルまたはパラレル　モードを介してプログラム可能なフラグとレジスタをコンフィギュレーション
- シリアル　プログラミング用の独立したシリアル　クロック (SCLK) 入力
- FIFO 全体をクリアするためにマスター リセット
- データをクリアして、プログラム可能な設定を保持するための部分リセット
- バウンダリ スキャン機能のために提供されるジョイント テスト アクション グループ (JTAG) ポート
- 産業用途向け温度範囲 : -40°C ～ +85°C

機能詳細

サイプレス社のプログラマブル FIFO ファミリは、業界最大容量のプログラム可能な FIFO メモリ デバイスを提供します。このデバイスは、最大 133 MHz までクロック供給できる独立した読み出しポートと書き込みポートを持っています。ユーザーは入力と出力バス サイズを設定できます。36 ビットの最大バス サイズにより 4.8Gbps の最大データ スループットが可能になります。ユーザーがプログラム可能なレジスタにより、ユーザーはデバイス動作を希望に応じてコンフィギュレーションすることができます。また、このデバイスは、実装とデバッグ処理工数を削減し、製品化までの時間を短縮し、設計コストを削減するように、簡単で、使いやすいインターフェースを提供します。これにより、このデバイスは、マルチプロセッサ インターフェース、ビデオとイメージ処理、ネットワーキングとテレコミュニケーション、高速データ取得、または多くの異なったクロック ドメインにわたって高速でバッファリングする必要があるシステムなどの幅広いアプリケーション向けの理想的なメモリ オプションになります。

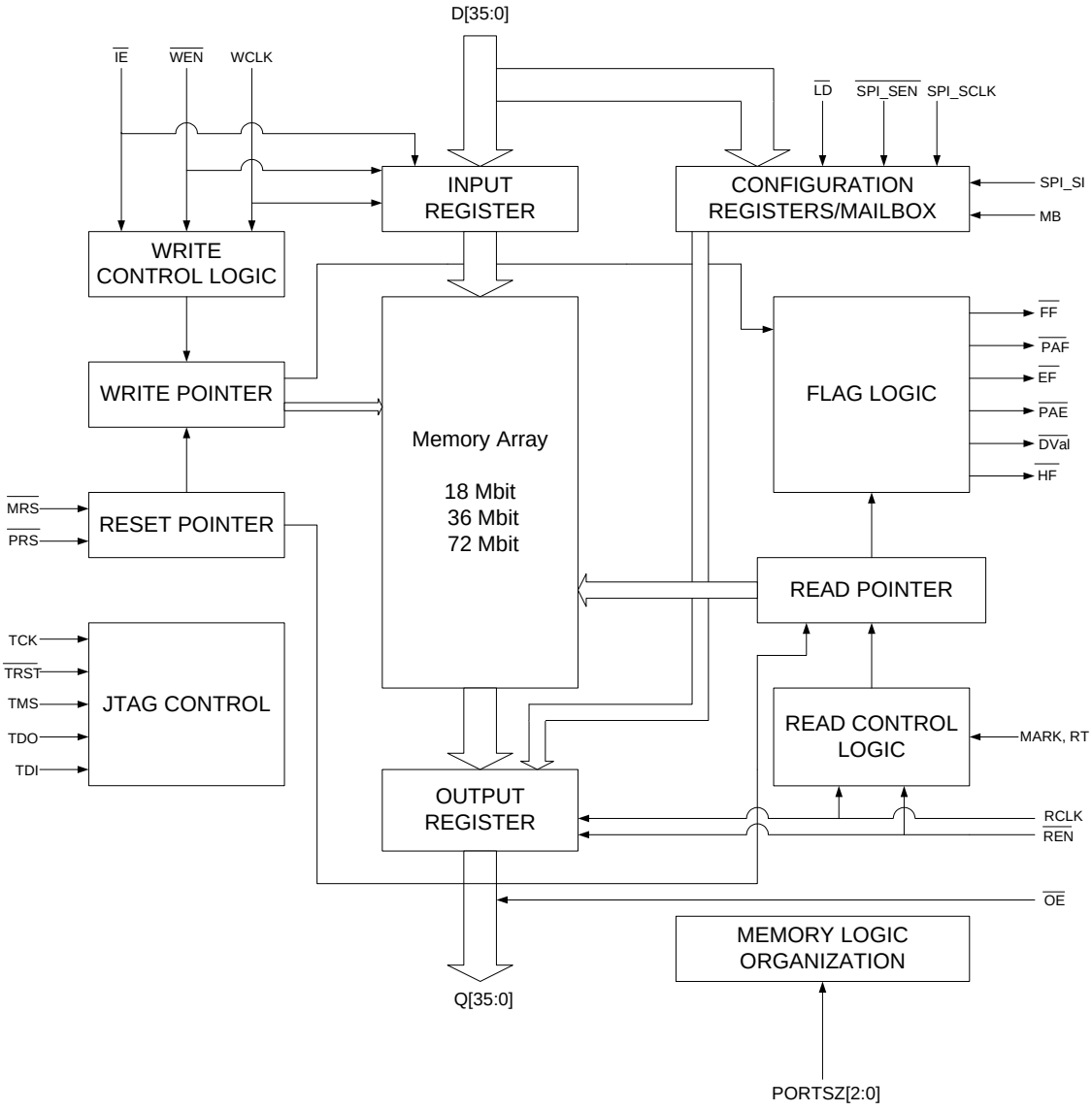
製品の名前が示すとおり、FIFO の機能は、データが書き込みポートに書き込まれた同じ順番で読み出しポートから読み出されます。書き込みと入力を有効にすると (WEN & IE)、書き込みポート上のデータは、書き込みクロックの立ち上がりエッジでデバイスに書き込まれます。読み出しと出力を有効すると (REN & OE) 、読み出しクロックの各立ち上がりエッジで読み出しポート上のデータが取得されます。読み出しクロックと書き込みクロックの比率は 0.5 ～ 2 の範囲内にあれば、読み出し処理と書き込み処理の両方を異なった速度で同時に実行することができます。FIFO がエンプティ、フル、オールモストエンプティ、ハーフフル、オールモストフル、またはフルの状態になると、適切なフラグが設定されます。

また、デバイスはデータのマーク付けと再送信、およびフロースルー メールボックス レジスタをもサポートします。

デバイスのすべての特長および仕様は容量が異なった各種デバイス (CYF0072V、CYF0036V、および CYF0018V) に共通です。すべての説明は、72M ビット (CYF0072V) デバイスが × 36 モードで動作することを前提にした上で提供されます。特に明記されていない限り、これらの説明は、容量が異なったデバイス (CYF0036V、と CYF0018V) 、およびポート サイズ × 9、× 12、× 16、× 18、× 20、× 24、× 32 すべてに該当です。唯一の違いは入力と出力バス幅です。7 ページの表 1 に、×9、×12、×16、×18、×20、×24、× 32、× 36 モード時の、D[35:0] と Q[35:0] からの有効なデータを持っている前述のバス構成を示します。

エラッタ : シリコン チップ エラッタに関する情報については、31 ページのエラッタを参照してください。詳細には、トリガー条件、影響されるデバイス、および提案する回避策が含まれています。

ロジックブロック図


D[35:0]
IE
WEN
WCLK
LD
SPI_SEN
SPI_SCLK
INPUT REGISTER
CONFIGURATION REGISTERS/MAILBOX
SPI_SI
MB
WRITE CONTROL LOGIC
WRITE POINTER
Memory Array
18 Mbit
36 Mbit
72 Mbit
FLAG LOGIC
FF
PAF
EF
PAE
DVal
HF
MRS
PRS
RESET POINTER
READ POINTER
TCK
TRST
TMS
TDO
TDI
JTAG CONTROL
READ CONTROL LOGIC
MARK, RT
OUTPUT REGISTER
RCLK
REN
OE
MEMORY LOGIC ORGANIZATION
Q[35:0]
PORTSZ[2:0]

目次

CYF0XXXVXXL [1] 用のピン一覧表 4
ピンの機能 5
アーキテクチャ 7
リセットについて 7
ワード サイズの選択 7
異なるポート サイズに応じたメモリ構成 7
データ有効信号 (DVal) 8
書き込みマスクと読み出しスキップ処理 8
フロースルー メールボックス レジスタ 8
フラグの動作 8
マーク付き処理後の再送信 9
フラグ オフセットと
コンフィギュレーション レジスタのプログラム 9
幅の拡大のコンフィギュレーション 13
電源投入 13
読み出し／書き込みクロック要件 13
JTAG 動作 14
最大定格 15
動作範囲 15
推奨 DC 動作条件 15
電気的特性 15
I/O 特性 16
レイテンシ表 16
スイッチング特性 18
スイッチング波形 19
注文情報 28
注文コードの定義 28
パッケージ図 29
略語 30
本書の表記法 30
測定単位 30
エラッタ 31
影響を受ける型番 31
18M ビット、36M ビット、および
72M ビットのプログラム可能な FIFO の認定状態 ... 31
18M ビット、36M ビット 72M ビットの
プログラム可能な FIFO のエラッタのまとめ 31
改訂履歴 33
セールス、ソリューションおよび法律情報 34
ワールドワイドな販売と設計サポート 34
製品 34
PSoC® ソリューション 34
サイプレス開発者コミュニティ 34
テクニカル サポート 34

CYF0XXXVXXL [1] 用のピン一覧表

図 1. 209 ボール FBGA ピン配置 (上面図)

	1	2	3	4	5	6	7	8	9	10	11
A	$\overline{FF}$	D0	D1	DNU	PORTSZ0	PORTSZ1	DNU	DNU	RT	Q0	Q1
B	$\overline{EF}$	D2	D3	DNU	DNU	PORTSZ2	DNU	DNU	$\overline{REN}$	Q2	Q3
C	D4	D5	$\overline{WEN}$	DNU	V_{CC1}	DNU	V_{CC1}	DNU	RCLK	Q4	Q5
D	D6	D7	V_{SS}	V_{CC1}	DNU	$\overline{LD}$	DNU	V_{CC1}	Vss	Q6	Q7
E	D8	D9	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CCIO}	V_{CCIO}	V_{CC2}	V_{CC2}	Q8	Q9
F	D10	D11	V_{SS}	V_{SS}	V_{SS}	DNU	V_{SS}	V_{SS}	V_{SS}	Q10	Q11
G	D12	D13	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q12	Q13
H	D14	D15	V_{SS}	V_{SS}	V_{SS}	V_{CC1}	V_{SS}	V_{SS}	V_{SS}	Q14	Q15
J	D16	D17	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q16	Q17
K	DNU	DNU	WCLK	DNU	V_{SS}	$\overline{IE}$	V_{SS}	DNU	V_{CCIO}	V_{CCIO}	V_{CCIO}
L	D18	D19	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q18	Q19
M	D20	D21	V_{SS}	V_{SS}	V_{SS}	V_{CC1}	V_{SS}	V_{SS}	V_{SS}	Q20	Q21
N	D22	D23	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CC1}	V_{CCIO}	V_{CC2}	V_{CC2}	Q22	Q23
P	D24	D25	V_{SS}	V_{SS}	V_{SS}	$\overline{SPI_SEN}$	V_{SS}	V_{SS}	V_{SS}	Q24	Q25
R	D26	D27	V_{CC2}	V_{CC2}	V_{CCIO}	V_{CCIO}	V_{CCIO}	V_{CC2}	V_{CC2}	Q26	Q27
T	D28	D29	V_{SS}	V_{CC1}	V_{CC1}	SPI_SI	V_{CC1}	V_{CC1}	V_{SS}	Q28	Q29
U	$\overline{DVal}$	DNU	D30	D31	$\overline{PRS}$	DNU [2]	SPI_SCLK	V_{REF}	$\overline{OE}$	Q30	Q31
V	$\overline{PAF}$	$\overline{PAE}$	D32	D33	DNU	$\overline{MRS}$	MB	DNU	MARK	Q32	Q33
W	TDO	$\overline{HF}$	D34	D35	TDI	$\overline{TRST}$	TMS	TCK	DNU	Q34	Q35

注
1. 18M ビット、36M ビットと 72M ビットのピン配置図 ; 1.8V と 3.3V IO 電圧オプション
2. 通常の動作を確保するために、このピンを V_{SS} に接続する (推奨) か、または開放のままにすることが可能です。

ピンの機能

ピン名	I/O	ピンの説明
$\overline{MRS}$	入力	マスター リセット : $\overline{MRS}$ は内部読み出しと書き込みポインタを「0」に初期化し、すべてのフラグをリセットし、出力レジスタのビットをすべて「0」にセット。マスター リセット中に、コンフィギュレーション レジスタはデフォルト値に設定される
$\overline{PRS}$	入力	部分的なリセット : $\overline{PRS}$ は内部読み出しと書き込みポインタを「0」に初期化し、すべてのフラグをリセットし、出力レジスタをすべて「0」に設定。部分的なリセット中、コンフィギュレーション レジスタの設定は保持される
PORTSZ [2:0]	入力	ポート ワード サイズ選択 : ポート ワード幅選択ピン (読み出しと書き込みポート用に共通)
WCLK	入力	書き込みクロック : 書き込みが有効になった時 ($\overline{WEN}$ がアサートされた時)、立ち上がりエッジで FIFO にデータを取り込む。$\overline{LD}$ が HIGH の時、データは FIFO メモリに書き込まれ、$\overline{LD}$ が LOW の時、データはコンフィギュレーション レジスタに書き込まれる
$\overline{LD}$	入力	ロード : $\overline{LD}$ が LOW の時、D[7:0] はコンフィギュレーション レジスタへ書き込まれ、Q[7:0] はコンフィギュレーションレジスタから読み出される。$\overline{LD}$ が HIGH の時、D[35:0] は FIFO メモリへ書き込まれ、Q[35:0] は FIFO メモリから読み出される
$\overline{WEN}$	入力	書き込みイネーブル : デバイスへの書き込みを有効にするための制御信号。$\overline{WEN}$ が LOW の時、入力にあるデータは、WCLK の各立ち上がりエッジで FIFO メモリまたはコンフィギュレーション レジスタに書き込まれる
$\overline{IE}$	入力	入力イネーブル : $\overline{IE}$ は、36 ビットのデータ入力ピンの有効と無効を制御するデータ入力イネーブル信号。このピンが有効になった場合、D[35:0] ピン上のデータ は FIFO に書き込まれる。WEN が有効になった場合、$\overline{IE}$ レベルに関わらず、内部書き込みアドレス ポインタはいつも WCLK の立ち上がりエッジでインクリメントされる。これは、「書き込みマスキング」または、いずれかの位置に書き込みをせずに書き込みポインタをインクリメントするために使用
D[35:0]	入力	データ入力 : 36 ビットのバス用のデータ入力
RCLK	入力	読み出しクロック : 読み出しが有効になった時 ($\overline{REN}$ がアサートされた時)、立ち上がりエッジは FIFO からの読み出しを開始。$\overline{LD}$ が HIGH の時、データは FIFO メモリから読み出されて、$\overline{LD}$ が LOW の時、データはコンフィギュレーション レジスタから読み出される
$\overline{REN}$	入力	読み出しイネーブル : デバイスからの読み出しを有効にするための制御信号。$\overline{REN}$ が LOW の時、データは、RCLK の立ち上がりエッジ毎に FIFO メモリまたはコンフィギュレーション レジスタから読み出される
$\overline{OE}$	入力	出力イネーブル : $\overline{OE}$ が LOW の時、FIFO データ出力は有効になる。$\overline{OE}$ が HIGH の時、FIFO 出力は High Z (高インピーダンス) 状態になる
Q[35:0]	出力	データ出力 : 36 ビットのバス用のデータ出力
$\overline{DVal}$	出力	データ有効 : Q[35:0] でデータが有効であることを示すためのアクティブ LOW のデータ有効信号
MARK	入力	再送信用のマーク : このピンがアサートされる時、出力バスに表示されたデータに対応するメモリ位置はマーキングされる。任意の後続の再送信動作は読み出しポインタをこの位置へリセット
RT	入力	再送信 : RT 上の HIGH パルスは、ユーザーが MARK ピンを使用してマークする FIFO の物理的位置に内部読み出しポインタをリセット。再送信後のすべての読み出しサイクルが有効になるため、以前にアクセスされたデータは FIFO がエンプティになるまで読み出される
MB	入力	メールボックス : アサートされる時、フロースルー メールボックス レジスタの読み書きが行われる
$\overline{EF}$	出力	エンプティ フラグ : $\overline{EF}$ が LOW の時、FIFO は空である。$\overline{EF}$ は RCLK に同期
$\overline{PAE}$	出力	プログラム可能なオールモストエンプティ フラグ : $\overline{PAE}$ が LOW の時、FIFO にプログラムされたオールモストエンプティのオフセット値に応じて FIFO はほとんど空になる。このフラグは RCLK に同期
$\overline{HF}$	出力	ハーフフル (Half-full) フラグ : $\overline{HF}$ が LOW の時、FIFO の半分はフルになる。$\overline{HF}$ は WCLK に同期
$\overline{PAF}$	出力	プログラム可能なオールモストフル フラグ : $\overline{PAF}$ が LOW の時、FIFO にプログラムされたオールモストフルのオフセット値に応じて FIFO はほとんどフルになる。このフラグは WCLK に同期
$\overline{FF}$	出力	フル フラグ : $\overline{FF}$ が LOW の時、FIFO はフルになる。$\overline{FF}$ は WCLK に同期

ピンの機能 (続き)

ピン名	I/O	ピンの説明
SPI_SCLK	入力	シリアル クロック : SPI_SEN が有効になった場合、SPI_SCLK の立ち上がりエッジで SPI_SI 入力に供給されたシリアル データをオフセット レジスタにクロック入力する。
SPI_SI	入力	シリアル入力 : SPI モードでのシリアルデータ入力
$\overline{\text{SPI_SEN}}$	入力	シリアル イネーブル : プログラム可能なフラグ オフセットとコンフィギュレーション レジスタのシリアル ロードを有効にする
TCK	入力	JTAG 用テスト クロック (TCK) ピン
$\overline{\text{TRST}}$	入力	JTAG 用のリセット ピン
TMS	入力	JTAG 用のテスト モード選択 (TMS) ピン
TDI	入力	JTAG 用のテスト データ入力 (TDI) ピン
TDO	出力	JTAG 用のテスト データ出力 (TDO) ピン
V_{REF}	入力基準電圧	基準電圧 : 基準電圧 (使用した I/O 標準に無関係)
V_{CC1}	電源	コア電源電圧 1: 1.8V 電源電圧
V_{CC2}	電源	コア電源電圧 2: 1.5V 電源電圧
V_{CCIO}	電源	I/O への電源
V_{SS}	グランド	グランド
DNU	–	未使用 : これらのピンをフローティングのままにすることが必要

アーキテクチャ

CYF0072V、CYF0036V、と CYF0018V は、それぞれ 72M ビット、36M ビット、および 18M ビットのメモリ アレイです。メモリ構成はユーザーによりコンフィギュレーション可能で、ワードのサイズに ×9、×12、×16、×18、×20、×24、×32、または ×36 のいずれかを選択することができます。FIFO 機能と関連機能を実装する論理ブロックは、これらのメモリ アレイの周りに配置されます。

入力と出力データ バスは幅が最大 36 ビットです。入力データ バスは入力レジスタに接続され、入力レジスタからメモリへのデータ フローは書き込み制御論理ブロックにより制御されます。書き込み論理ブロックへの入力は WCLK、WEN と IE です。書き込みを WEN で有効にし、入力を IE で有効にすると、入力バス上のデータは WCLK の立ち上がりエッジでメモリ アレイに書き込まれます。これにより、書き込みポインタもインクリメントされます。書き込みを有効にしますが、IE を使ってデータ入力ピンを無効にすることにより、書き込みの実行もメモリ位置の内容変更もなく、書き込みポインタのみがインクリメントされます。

同様に、出力レジスタはデータ出力バスに接続されます。メモリから出力レジスタへの内容転送は、読み出し制御論理ブロックで制御されます。読み出し制御論理ブロックへの入力は RCLK、REN、OE、RT と MARK です。REN で読み出しを有効にし、OE で出力を有効にすると、読み出しポインタがポイントしているメモリからのデータは、DVal がアクティブ LOW になると同時に RCLK の立ち上がりエッジで出力データ バスに転送されます。出力が無効ですが、読み出しが有効である場合、出力は高インピーダンス状態になりますが、読み出しポインタは内部でインクリメントされます。

書き込み処理では、実行される書き込みの回数はいつも偶数です (すなわち、最小書き込みバーストの長さは 2 で、書き込みの回数はいつも 2 の倍数です)。一方、読み出し処理では、実行される読み出しの回数は、偶数にも奇数にもなり得ます (すなわち、最小読み出しバーストの長さは 1 です)。

MARK 信号は、データが必要に応じて再送信される位置を「マーク」するために使用されます。RT 信号は、マークされた位置からデータを再送信するためにアサートされます。

リセットについて

FIFO は 2 つの方法でリセットできます : マスター リセット (MRS) と部分リセット (PRS)。MRS は、読み出しと書き込みポインタを「0」に初期化し、出力レジスタをすべて「0」にセットします。また、この信号はすべてのフラグとコンフィギュレーション レジスタの値も初期値にリセットします。ワード サイズはピンを介してコンフィギュレーションされます ; 3 つの PORTSZ ピンの値は MRS 中にラッチされます。電源投入後、FIFO にアクセスする前にマスター リセットが必要です。

$\overline{PRS}$ は、読み出しポインタ、書き込みポインタとマークされた位置をメモリ アレイ内の最初の物理的位置にリセットします。この信号はすべてのフラグを初期値にもリセットします。PRS は、プログラムされるコンフィギュレーション レジスタ値に影響を与えません。フラグが正確に動作するために、デバイス動作中のコンフィギュレーション レジスタへの変更は、PRS サイクルを必要とします。

ワード サイズの選択

ワード サイズは、マスター リセット ($\overline{MRS}$) サイクル (LOW エッジから HIGH エッジまでラッチ) の間だけ、PORTSZ ピン上の論理レベルに応じてコンフィギュレーションされます。ポート サイズは、通常の動作モード中に変更できず、これらのピンは無視される . 表 1 は、ワード サイズが ×36 以下のモードで有効なデータがある D[35:0] と Q[35:0] のピンについて説明します。ワード サイズが × 36 未満の場合、未使用出力ピンは、デバイスの制御によりトライステートになり、内部論理ブロックにより無視されます。有効なデータ入力 D[N:0] と出力 Q[N:0] のピンは表 1 に表示されます。

異なるポート サイズに応じたメモリ構成

72M ビットのメモリは、異なるポート サイズに応じた異なる構成を持っています。表 1 に、すべてのポート サイズに応じた FIFO の深さを示します。

すべてのポート サイズには、4 ～ 8ヶ所はデータの書き込みが不可でエンプティ フラグとフル フラグの誤った同期化を防止するために使用されることを注意してください。

表 1. ワード サイズ選択

PORTSZ[2:0]	ワード サイズ	FIFO の深さ [3]	メモリ容量 [3]	アクティブなデータ入力 ピン D[N:0]	アクティブなデータ出力ピン Q[N:0]
000	× 9	8M ビット	72M ビット	D[8:0]	Q[8:0]
001	× 12	4M ビット	48M ビット	D[11:0]	Q[11:0]
010	× 16	4M ビット	64M ビット	D[15:0]	Q[15:0]
011	×18	4M ビット	72M ビット	D[17:0]	Q[17:0]
100	× 20	2M ビット	40M ビット	D[19:0]	Q[19:0]
101	× 24	2M ビット	48M ビット	D[23:0]	Q[23:0]
110	× 32	2M ビット	64M ビット	D[31:0]	Q[31:0]
111	×36	2M ビット	72M ビット	D[35:0]	Q[35:0]

注
3. すべてのポート サイズには、4 ～ 8ヶ所はデータ書き込みが不可です。

データ有効信号 (DVal)

データ有効 (DVal) はアクティブ LOW 信号で、RCLK に同期されて、出力バスでデータが有効であるかをチェックするために提供されます。読み出し動作が実行される時、DVal 信号はデータ出力と同時に、LOW になります。これにより、ユーザーは、REN からデータ出力までのレイテンシを追跡せずにデータを取り込むことができます。また、この信号は、有効なデータが出力ポート Q[35:0] で存在する時点を示すことが可能で、書き込みと読み出し動作は異なる周波数で連続的に実行される時に有用です。

書き込みマスクと読み出しスキップ処理

7 ページのアーキテクチャで言及したように、書き込みを有効にしますが、入力ピンを無効にする (IE HIGH) ことにより、書き込みの実行もメモリ位置の内容変更もなく、書き込みポインタのみがインクリメントされます。

この機能は「書き込みマスク処理」と呼ばれて、これによりユーザーは、実際にメモリのある位置に書き込まず書き込みポインタを移動することができます。この「書き込みマスク処理」機能は、ピクチャ イン ピクチャ (Picture In Picture (PIP)) などのビデオ アプリケーションに有用です。

同様に、読み出し動作中に、OE を HIGH にして出力を無効にする場合、読み出しデータは出力バスに送信されません。しかし、この場合、読み出しポインタはまだインクリメントされます。この機能は読み出しスキップ処理として言及されます。

フロースルー メールボックス レジスタ

この機能により、データは入力ポートから出力ポートへ直接に転送され、FIFO シーケンスが不要になります。MB 信号がアサートされた時、D[35:0] に供給されたデータは、2 つの WCLK サイクルの後に Q[35:0] で使用可能になります。フロースルー メールボックス レジスタの動作中に、通常の読み書き動作は不可です。フロースルー メールボックス動作を開始する前に、FIFO からデータ損失を防止するように、FIFO 読み出しを終了し、データ有効信号 DVal を HIGH にする必要があります。フロースルー メールボックス レジスタの幅は常にポート サイズに対応します。

フラグの動作

このデバイスは、FIFO の状態を示すために 5 種のフラグ ピンを提供します。

フル フラグ

フル フラグ (FF) は、ダブル ワード (2 ワードのバースト長) のバウンダリで動作し、デバイスがフルの時、LOW になります。FF が LOW になると、WEN の状態に関わらず、書き込み動作は禁止されます。FF は WCLK に同期される、すなわち、これは排他的に WCLK の各立ち上がりエッジで更新されます。フル フラグの最悪の場合のアサート レイテンシは 4 サイクルです。FIFO が 4 クロック サイクルの間でフルになったことが分からないため、ユーザーはデータ書き込みを継続する可能性あります。この場合、書き込まれる 4 つのデータ ワードは、データ損失を防止するために保存されます。フル フラグがデアサートされるために、これらのワードは読み戻す必要があります。フル フラグのデアサートに必要な最少読み出しサイクルは 2 で、フル フラグのデアサートに必要な最大読み出しサイクルは 6 です。フル フラグのアサートとデアサートと対応レイテンシは 14 ページのレイテンシ表で説明されます。

ハーフフル フラグ

メモリ アレイの半分が書き込まれた時、ハーフ フル (HF) フラグは LOW になります。HF は WCLK に同期されます。ハーフフル フラグのアサートとデアサートと対応レイテンシは 16 ページのレイテンシ表に説明されます。

エンプティ フラグ

エンプティ フラグ (EF) のデアサートは、バースト書き込みに依存し、デバイスが空になった時に LOW になります。EF が LOW になると、REN の状態に関わらず、読み出し動作は禁止されます。EF は RCLK に同期される、すなわち、これは排他的に RCLK の各立ち上がりエッジで更新されます。エンプティ フラグのアサートとデアサートと対応レイテンシは 16 ページのレイテンシ表に説明されます。

プログラム可能なオールモストエンプティとオールモストフル フラグ

CYF0072V は、プログラム可能なオールモストエンプティとオールモストフル フラグを備えています。各フラグはワード バウンダリで動作し、対応のバウンダリ フラグ (エンプティ フラグ、フル フラグ) から離れた特定の距離をプログラムされます (9 ページのフラグ オフセットとコンフィギュレーション レジスタのプログラムを参照)。(オフセットの範囲は 6 ワード～1023 ワードです)。FIFO が、フラグがプログラムされるワードの数を含む時、PAF と PAE のいずれかがアサートされ、FIFO がオールモストフルかオールモストエンプティの状態になったことを示します。PAE と PAF の両方の初期のフラグ オフセット値は 127 ワードです。これらのプログラム可能なフラグ バウンダリは、対応の閾値があります。表 2 に、オフセット値がデフォルト値であることを前提にした時の、これらの閾値に応じた PAE と PAF フラグのアサートとデアサートの条件を示します。

PAF フラグの信号遷移は WCLK の立ち上がりエッジにより発生し、PAE フラグ遷移は RCLK の立ち上がりエッジにより発生します。これらのフラグのアサートとデアサートと対応レイテンシは 16 ページのレイテンシ表に説明されます。

表 2. プログラム可能なフラグ アサート／デアサート閾値

動作	PAE オフセット	FIFO のワード数 - PAE	PAF オフセット	FIFO のワード数 - PAF
アサート	127	FIFO のワード数 <= (PAE オフセット + 2) i.e. FIFO のワード数 <= 129	127	FIFO のワード数 >= FIFO の深さ - (オフセット + 1) i.e. FIFO のワード数 >= 2M - 128
デアサート	127	FIFO のワード数 > (オフセット) i.e. FIFO のワード数 > 127	127	FIFO のワード数 < FIFO の深さ - (オフセット) i.e. FIFO のワード数 < 2M - 127

マーク付き処理後の再送信

再送信機能は、データ パケットの繰り返し転送に有用です。この機能により、データの受信をレシーバーで認識し、必要に応じて再送信することが可能になります。再送信動作の開始 (RT ピンを使用) により、読み出しポインタは、ユーザーが MARK ピンを使ってマークされた、FIFO 内の物理的位置に内部でリセットされます。再送信後にすべての読み出しサイクルが有効になるため、データはマークされている位置から始まって読み出され、読み出しポインタは FIFO が空になるまでインクリメントされます。また、再送信後に FIFO に書き込まれるデータも送信します。FIFO の全体の内容を繰り返し再送信することができます。

フラグは読み出しと書き込みポインタの相対的な位置により支配され、再送信サイクル中に更新されます。再送信サイクルの初期化後のフラグ更新の対応レイテンシについては、レイテンシ表を参照してください [4]。

RT 信号をアサートすると、再送信動作が開始します。2 つ以上のデータ ワードが FIFO に書き込まれた時、再送信機能を使用することができます。MARK ピンがアサートされた時、出力バスに供給されたデータに対応したメモリ位置はマーキングされます。再送信動作を開始する前に、マーク処理が必要です。

読み出しと書き込み処理の間、再送信動作を開始しないでください。読み出しを無効にした後、読み出しが完了することを確保するために、ユーザーは、RT 信号をアサートする前に、4 つの RCLK サイクルを待たなければなりません。

RT の初期化時に、「マークされた」位置は新しい「フル バウンダリ」になります。再送信動作が開始した後、ユーザーがデータの書き込みを継続する場合、このバウンダリの上限に達すると FF がアサートされる、すなわち、書き込みポインタがマークされた位置に達すると、FF はアサートされます。これにより、上書きとデータ損失は発生しません。RT 読み出し中にフル バウンダリはマークされた位置に止まったままになって、FIFO が空になると、開放されます。すなわち、FIFO 全体が読み出されるまで FF は LOW のままです。EF がアサートされてから $L_{FF_RELEASE}$ クロック サイクル後、フル フラグは開放されます。また、フル バウンダリはリセット動作 (MRS または PRS) の時に、開放されます [4]。

詳細については、16 ページのレイテンシ表を参照してください。

フラグ オフセットとコンフィギュレーション レジスタのプログラム

CYF0072V は 10 個の 8 ビットのユーザー コンフィギュレーション可能なレジスタを持っています。これらのレジスタは、PAF と PAE フラグがアサートされる時点を決めるオールモストフル (M) とオールモストエンプティ (N) フラグのオフセット値を格納しています。

これらのレジスタは 2 つの方式のいずれかでプログラムすることができます : シリアル ロードまたはパラレル ロード SPI_SEN (シリアル イネーブル) ピンを使ってロード方式を選択します。SPI_SEN を LOW にすると、レジスタへの書き込みはシリアル ロード方式で行われます。シリアル プログラミングには、独立した SCLK とシリアル入力 (SI) があります。パラレル モードでは、ロード (LD) ピンを LOW にすると、これらのレジスタの読み書きは行われます。書き込みと読み出し動作は、順に最初の位置 (0x1) から最後の位置 (0xA) まで行います。LD が HIGH の場合、FIFO への書き込みは行われます。

選択されたプログラミング モード (シリアルまたはパラレル) に関わらず、レジスタ値をパラレル出力ポートを介して読み出すことができます。レジスタ値を連続的に読み出すことは不可です。マスター リセット後、選択された方式がシリアル プログラミングかパラレル プログラミングに関わらず、レジスタはどんな時にもプログラム (そして再プログラム) することができます。フラグが正確に動作するために、デバイス動作中のコンフィギュレーション レジスタへの変更は、PRS サイクルを必要とします。

シリアルとパラレル モードでのコンフィギュレーション レジスタへのアクセスについては、11 ページの表 4 と 12 ページの表 5 を参照してください。

パラレル モードでは、コンフィギュレーション レジスタの最大アドレス位置に達すると、読み書き動作はロールオーバーします。コンフィギュレーション レジスタの同時読み書き動作を避ける必要があります。コンフィギュレーション レジスタへの変更は、8 つの書き込みクロック (WCLK) サイクル後に有効になります。

注
4. エラッタ : マークと再送信動作中にフラグ動作とフル バウンダリ フリーズの詳細については、31 ページのエラッタを参照してください。

表 3. コンフィギュレーション レジスタ

ADDR	コンフィギューレーション レジスタ	初期設定	ビット [7]	ビット [6]	ビット [5]	ビット [4]	ビット [3]	ビット [2]	ビット [1]	ビット [0]
0x1	予約済み	0x00	X	X	X	X	X	X	X	X
0x2	予約済み	0x00	X	X	X	X	X	X	X	X
0x3	予約済み	0x00	X	X	X	X	X	X	X	X
0x4	オールモストエンプティ (Almost-Empty) フラグ生成アドレス - (LSB) (N)	0x7F	D7	D6	D5	D4	D3	D2	D1	D0
0x5	オールモストエンプティ (Almost-Empty) フラグ生成アドレス - (MSB) (N)	0x00	X	X	X	X	X	X	D9	D8
0x6	予約済み	0x00	X	X	X	X	X	X	X	X
0x7	オールモストフル (Almost-Full) フラグ生成アドレス - (LSB) (M)	0x7F	D7	D6	D5	D4	D3	D2	D1	D0
0x8	オールモストフル (Almost-Full) フラグ生成アドレス - (MSB) (M)	0x00	X	X	X	X	X	X	D9	D8
0x9	予約済み	0x00	X	X	X	X	X	X	X	X
0xA	高速 CLK ビット レジスタ	1XXXXXXXb	高速 CLK ビット	X	X	X	X	X	X	X

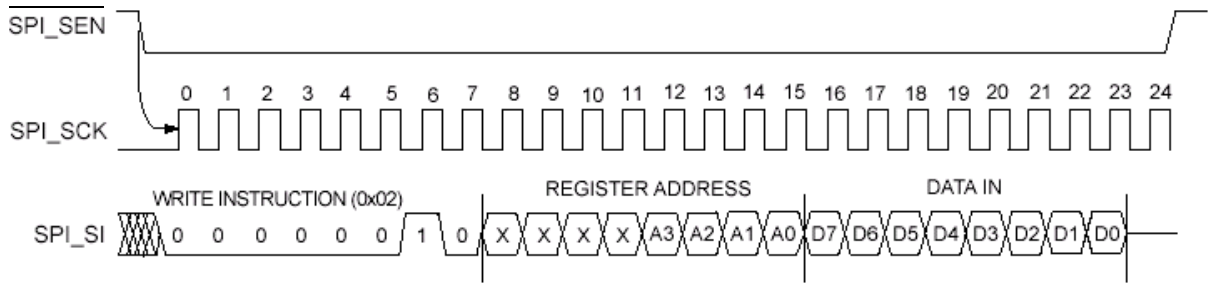
表 4. パラレル モードでのコンフィギュレーション レジスタの書き込みと読み出し

$\overline{\text{SPI_SEN}}$	$\overline{\text{LD}}$	$\overline{\text{WEN}}$	$\overline{\text{REN}}$	WCLK	RCLK	SPI_SCLK	動作
1	0	0	1	↑最初の立ち上がりエッジ (LD と $\overline{\text{WEN}}$ の両方が LOW のため)	X	X	最初のレジスタへのパラレル書き込み
1	0	0	1	↑2 番目の立ち上がりエッジ	X	X	2 番目のレジスタへのパラレル書き込み
1	0	0	1	↑3 番目の立ち上がりエッジ	X	X	3 番目のレジスタへのパラレル書き込み
1	0	0	1	↑4 番目の立ち上がりエッジ	X	X	4 番目のレジスタへのパラレル書き込み
1	0	0	1	•	X	X	•
1	0	0	1	•	X	X	•
1	0	0	1	•	X	X	•
1	0	0	1	↑10番目の立ち上がりエッジ	X	X	10 番目のレジスタへのパラレル書き込み
1	0	0	1	↑11 番目の立ち上がりエッジ	X	X	最初のレジスタへのパラレル書き込み (ロールバック)
1	0	1	0	X	↑最初の立ち上がりエッジ (LD と $\overline{\text{REN}}$ の両方が LOW のため)	X	最初のレジスタからパラレル読み出し
1	0	1	0	X	↑2 番目の立ち上がりエッジ	X	2 番目のレジスタからパラレル読み出し
1	0	1	0	X	↑3 番目の立ち上がりエッジ	X	3 番目のレジスタからパラレル読み出し
1	0	1	0	X	↑4 番目の立ち上がりエッジ	X	4 番目のレジスタからパラレル読み出し
1	0	1	0	X	•	X	•
1	0	1	0	X	•	X	•
1	0	1	0	X	•	X	•
1	0	1	0	X	↑10 番目の立ち上がりエッジ	X	10番目のレジスタからパラレル読み出し
1	0	1	0	X	↑11 番目の立ち上がりエッジ	X	最初のレジスタからパラレル読み出し (ロールバック)
1	X	1	1	X	X	X	処理なし
X	1	0	X	↑立ち上がりエッジ	X	X	FIFO メモリへの書き込み
X	1	X	0	X	↑立ち上がりエッジ	X	FIFO メモリから読み出し
0	0	X	1	X	X	X	無効な動作

表 5. シリアル モードでのコンフィギュレーション レジスタへの書き込み

$\overline{\text{SPI_SEN}}$	$\overline{\text{LD}}$	$\overline{\text{WEN}}$	$\overline{\text{REN}}$	WCLK	RCLK	SCLK	??
0	1	X	X	X	X	↑ 立ち上がりエッジ	SCLK の各立ち上がりで SI (シリアル入力) から 1 ビットを取り込む。SPI プロトコルによると、すべての 10 個のレジスタをアドレス指定して、書き込むことが可能
X	1	0	X	↑ 立ち上がりエッジ	X	X	FIFO メモリへのパラレル書き込み
X	1	X	0	X	↑ 立ち上がりエッジ	X	FIFO メモリからパラレル読み出し
1	0	1	1	X	X	X	これはパラレルモードに対応 (11 ページの表 4 を参照)

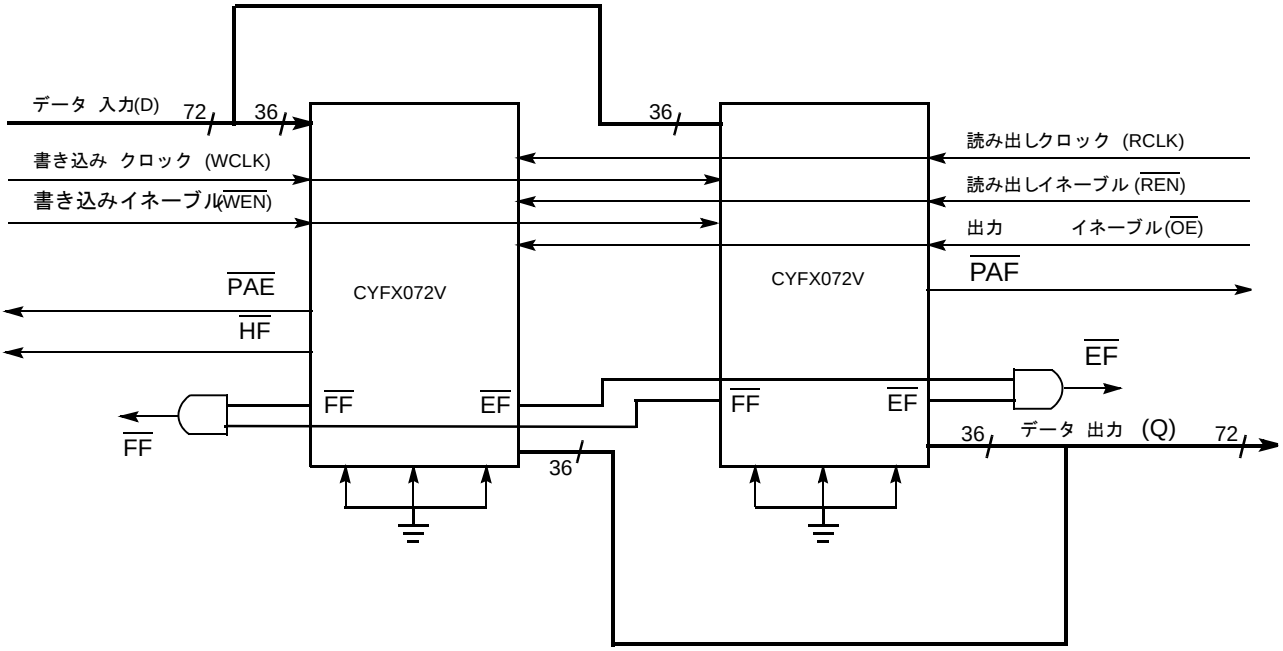
図 2. コンフィギュレーション レジスタへのシリアル書き込み



幅の拡大のコンフィギュレーション

CYFX072V の幅は、36 ビット以上のワード幅を提供するために拡張できます。幅の拡張モードの間、すべての制御ライン入力は共通で、すべてのフラグは使用可能です。エンプティ (フル) フラグは、すべての FIFO のエンプティ (フル) フラグを AND することで作成されます ; PAE と PAF フラグはすべてのデバイスから検出することができます。この技術では、RCLK と WCLK 間のスキューのばらつきによる 1 クロック サイクルずれた FIFO から (への) データ読み出し (データ書き込み) を回避します。図 3 では、2 つの 36 ビット ワード CYFX072V を使用して 72 ビット ワードの幅の例を示します。

図 3. 幅の拡張のために 2 つの CYFX072V を使用



電源投入

V_{CC1}、V_{CC2}、V_{CCIO}、および V_{REF} が 15 ページの推奨 DC 動作条件に示した必要な最小の安定電圧に達した後に、デバイスは機能します。これらの電源電圧が最小の必要な電圧レベル (18 ページのスイッチング特性を参照) に達した後に、デバイスは t_{PU} の間アクセス可能です。このデバイスに必要な特定電源シーケンスはありません。

読み出し／書き込みクロック要件

読み出しと書き込みクロックは次の要件を満たす必要があります。

- 読み出し (RCLK) と書き込み (WCLK) クロックの両方はフリーラニング
- 両方のクロックのクロック周波数は、15 ページの電気的特性に示すように、最小値と最大値の範囲内にある
- WCLK と RCLK の比率の範囲は 0.5 ～ 2

FIFO が正常に動作するためには、デバイスは、RCLK と WCLK の内、どの入力クロックがより速いかを決定します。それは、MRS サイクル後、カウンターで評価されます。デバイスは、MRS 後に、読み出しと書き込みクロックの 256 サイクルを数える 2 つの 9 ビットのカウンター (1 つは RCLK で実行、もう 1 つは WCLK で実行) を使用します。最初にターミナル カウントに達するクロック カウンターを FIFO 内でマスター クロックとして使用します。

FIFO の通常の動作中に、RCLK と WCLK の相対的な周波数で変更がある場合、ユーザーは、コンフィギュレーション レジスタ (0xA) 上の「高速 CLK ビット」を使用してその変更を指定できます。

「1」: f_{req} (WCLK) > f_{req} (RCLK) を示す

「0」: f_{req} (WCLK) < f_{req} (RCLK) を示す

カウンターにより評価された周波数の結果は、このレジスタ ビットに格納されます。ユーザーは、クロックを加速するために、このビットを変更してカウンター評価の周波数をオーバーライドすることができます。

このビット値に変更がある度に、次の FIFO への読み書きを実行する前に、t_{PLL} の間待たなければなりません。

JTAG 動作

CYFX072V は、図 4 に示すように、JTAG チェーンで内部的に接続する 2 つのデバイスを持っています。

図 4. JTAG チェーンでのデバイス接続

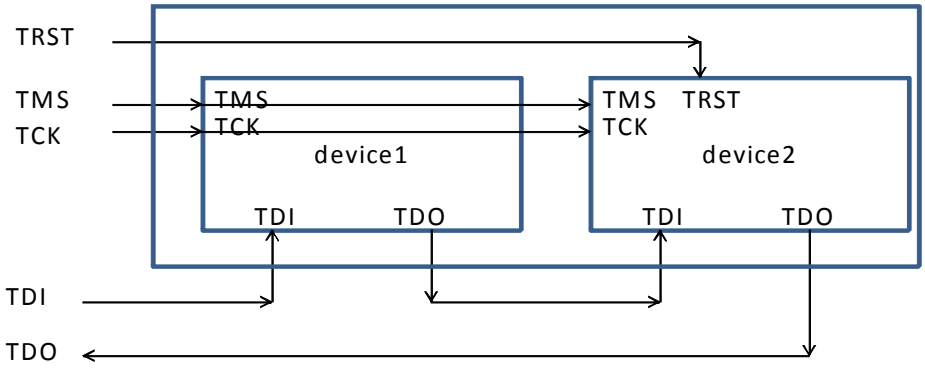


表 6 は IR レジスタ長とデバイス ID を示します。

表 6. JTAG IDCODES

	IR レジスタの長さ	デバイス ID (HEX)	バイパス レジスタの長さ
デバイス -1	3	「無視」	1
デバイス -2	8	1E3261CF	1

表 7. デバイス -1 用の JTAG 命令

デバイス -1	オペコード (2 進数)
BYPASS	111

表 8. デバイス 2 の JTAG 命令

デバイス 2	オペコード (HEX)
EXTEST	00
HIGHZ	07
SAMPLE/PRELOAD	01
BYPASS	FF
IDCODE	0F

最大定格

最大定格を超えると デバイスの寿命が短くなる可能性があります。これらのユーザー ガイドラインはテストされていません。

保存温度 (バイアス無し) ..... –65°C ～ +150°C

通電時の周囲温度..... –55°C ～ +125°C

グランド電位を基準にしたコア電源電圧 1 (V_{CC1}) ..... –0.3V ～ 2.5V

グランド電位を基準にしたコア電源電圧 2 (V_{CC2}) ..... –0.3V ～ 1.65V

ラッチアップ電流 ..... >100mA

I/O ポートの電源電圧 (V_{CCIO}) ..... –0.3V ～ 3.7V

I/O ピンに印加される電圧 ..... –0.3V ～ 3.75V

出力への出力電流 (LOW) 24mA

静電放電時の電圧 (MIL–STD–883、メソッド 3015) ..... > 2001V

動作範囲

範囲	周囲温度
産業用	–40°C ～ +85°C

推奨 DC 動作条件

パラメーター [5]	説明		Min	Typ	Max	単位
V_{CC1}	コア電源電圧 1		1.70	1.80	1.90	V
V_{CC2}	コア電源電圧 2		1.425	1.5	1.575	V
V_{REF}	基準電圧 (使用した I/O 標準に無関係)		0.7	0.75	0.8	V
V_{CCIO}	I/O 電源電圧、読み出しと書き込みバンク	LVCMOS33	3.00	3.30	3.60	V
		LVCMOS18	1.70	1.8	1.90	V

電気的特性

パラメーター	説明	条件	Min	Typ	Max	単位
I_{CC}	アクティブ電流	$V_{CC1} = V_{CC1MAX}$	–	–	300	mA
		$V_{CC2} = V_{CC2MAX}$ (すべての I/O が動作中、動作速度が 133MHz)	–	–	600	mA
		$V_{CCIO} = V_{CCIOMAX}$ (すべての出力が無効)	–	–	100	mA
I_I	入力ピンのリーク電流	$V_{IN} = V_{CCIOmax}$ ～ 0V	–15	–	15	µA
I_{OZ}	I/O ピンのリーク電流	$V_O = V_{CCIOmax}$ ～ 0V	–15	–	15	µA
C_P	TMS と TCK の静電容量	–	–	–	16	pF
C_{PIO}	TMS と TCK 以外のすべてのピンの静電容量	–	–	–	8	pF

注
5. 電源供給速度が 1V/µs 以上の場合、デバイス動作が保証されます。

I/O 特性

(動作範囲において)

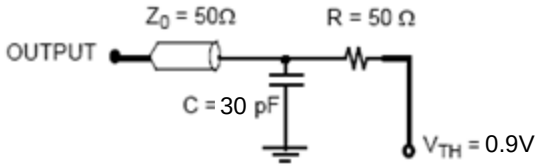
I/O 標準	定格 I/O 電源電圧	入力電圧 (V)		出力電圧 (V)		出力電流 (mA)	
		V_{IL}(max)	V_{IH}(min)	V_{OL}(max)	V_{OH}(min)	I_{OL}(max)	I_{OH}(max)
LVCMOS33	3.3V	0.80	2.20	0.45	2.40	24	24
LVCMOS18	1.8V	30% V_{CCIO}	65% V_{CCIO}	0.45	V_{CCIO} – 0.45	16	16

レイテンシ表

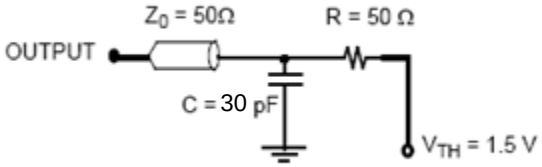
レイテンシ パラメーター	サイクルの数	詳細
$L_{\overline{FF}_ASSERT}$	Max = 4	最後のデータ書き込みから $\overline{FF}$ が LOW になるまでの時間
$L_{\overline{EF}_ASSERT}$	0	最後のデータ読み出しから $\overline{EF}$ が LOW になるまでの時間
$L_{\overline{PRS}_TO_ACTIVE}$	32 [6]	$\overline{PRS}$ デアサートから通常動作までの時間
$L_{MAILBOX}$	2	MB = 1 (wrt WCLK) の時、書き込みポートから読み出しポートまでのレイテンシ
$L_{\overline{REN}_TO_DATA}$	4	$\overline{REN}$ が LOW にアサートされてから FIFO からの最初のデータ出力までのレイテンシ
$L_{\overline{REN}_TO_CONFIG}$	4	$\overline{REN}$ と $\overline{LD}$ がアサートされてから、コンフィギュレーション レジスタからの最初のデータ読み出しまでのレイテンシ
$L_{\overline{WEN}_TO_\overline{PAE}_HI}$	5 [6]	書き込みから $\overline{PAE}$ が HIGH になるまでのレイテンシ
$L_{\overline{WEN}_TO_\overline{PAF}_LO}$	5 [6]	書き込みから $\overline{PAF}$ が LOW になるまでのレイテンシ
$L_{\overline{REN}_TO_\overline{PAE}_LO}$	7 [6]	読み出しから $\overline{PAE}$ が LOW になるまでのレイテンシ
$L_{\overline{REN}_TO_\overline{PAF}_HI}$	7 [6]	読み出しから $\overline{PAF}$ が HIGH になるまでのレイテンシ
$L_{\overline{FF}_DEASSERT}$	8 [6]	読み出しから $\overline{FF}$ が HIGH になるまでのレイテンシ
$L_{RT_TO_\overline{REN}}$	17	RT が LOW になった後の最初の RCLK ポジティブ エッジから $\overline{REN}$ が LOW になることによる読み出し開始までのレイテンシ。再送信処理の開始後、この期間中にフラグを更新
$L_{RT_TO_DATA}$	Max = 21 [6]	RT が LOW になった後の最初の RCLK ポジティブ エッジから Q[35:0] 上のデータが有効になるレイテンシ
L_{IN}	Max = 26 [6]	同時読み書き中に FIFO が空になった後のデータ読み出し用の初期レイテンシ
$L_{\overline{EF}_DEASSERT}$	Max = 24 [6]	書き込みから $\overline{EF}$ が HIGH になるまでのレイテンシ
$L_{\overline{FF}_RELEASE}$ [7]	Max = 6	再送信の読み出し中、$\overline{EF}$ が LOW になってから $\overline{FF}$ のデアサートまでのレイテンシ

注
6. これらのレイテンシ値はクロック比率が 1 の場合、有効になります。
7. エラッタ : マークと再送信動作中にフラグ動作とフル バウンダリ フリーズの詳細については、31 ページのエラッタを参照してください。

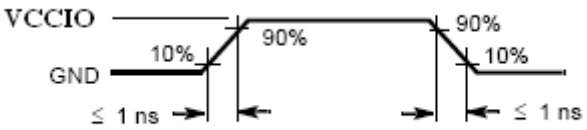
図 5. AC テスト負荷条件



(a) V_{CCIO} = 1.8V



(b) V_{CCIO} = 3.3V



(c) すべての入力パルス

スイッチング特性

パラメーター	説明		-133		単位
			Min	Max	
t_{PU}	すべての電源電圧が最小値に達した後の電源投入時間		–	2	ms
t_S	クロック サイクル周波数	3.3V LVCMOS	24	133	MHz
t_S	クロック サイクル周波数	1.8V LVCMOS	24	133	MHz
t_A	データ アクセス期間		–	10	ns
t_{CLK}	クロック サイクル期間		7.5	41.67	ns
t_{CLKH}	クロック HIGH 時間		3.375	–	ns
t_{CLKL}	クロック LOW 時間		3.375	–	ns
t_{DS}	データ セットアップ時間		3	–	ns
t_{DH}	データ ホールド時間		3	–	ns
t_{ENS}	イネーブル セットアップ時間		3	–	ns
t_{ENH}	イネーブル ホールド時間		3	–	ns
t_{ENS_SI}	SPI_SI ピンと $\overline{\text{SPI_SEN}}$ ピンのセットアップ時間		5	–	ns
t_{ENH_SI}	SPI_SI ピンと $\overline{\text{SPI_SEN}}$ ピンのホールド時間		5	–	ns
t_{RATE_SPI}	SCLK の周波数		–	25	MHz
t_{RS}	リセット パルス幅		100	–	ns
t_{PZS}	ポート サイズ セレクト有効から $\overline{\text{MRS}}$ セットアップまでの時間		25	–	ns
t_{PZH}	$\overline{\text{MRS}}$ 有効からポート サイズ セレクトまでのホールド時間		25	–	ns
t_{RSF}	リセットからフラグ出力までの時間		–	50	ns
t_{PRT}	再送信時のパルス幅		5	–	RCLK サイクル
t_{OLZ}	出力イネーブルから出力が LOW Z になるまでの時間		4	15	ns
t_{OE}	出力イネーブルから出力有効までの時間		–	15	ns
t_{OHZ}	出力イネーブルから出力が HI-Z になるまでの時間		–	15	ns
t_{WFF}	書き込みクロックから $\overline{\text{FF}}$ 有効までの時間		–	8.5	ns
t_{REF}	書き込みクロックから $\overline{\text{EF}}$ 有効までの時間		–	8.5	ns
t_{PAF}	クロック有効から $\overline{\text{PAF}}$ フラグ有効までの時間		–	17	ns
t_{PAE}	クロック有効から $\overline{\text{PAE}}$ フラグ有効までの時間		–	17	ns
t_{HF}	クロック有効から $\overline{\text{HF}}$ フラグ有効までの時間		–	17	ns
t_{PLL}	PLL を同期化するのに必要な時間		–	1024	サイクル
t_{RATE_JTAG}	JTAG TCK サイクル時間		100	–	ns
t_{S_JTAG}	JTAG TMS、TDI のセットアップ時間		8	–	ns
t_{H_JTAG}	JTAG TMS、TDI のホールド時間		8	–	ns
t_{CO_JTAG}	JTAG TCK が LOW になってから TDO が有効になるまでの時間		–	20	ns

スイッチング波形

図 6. 書き込みサイクルのタイミング

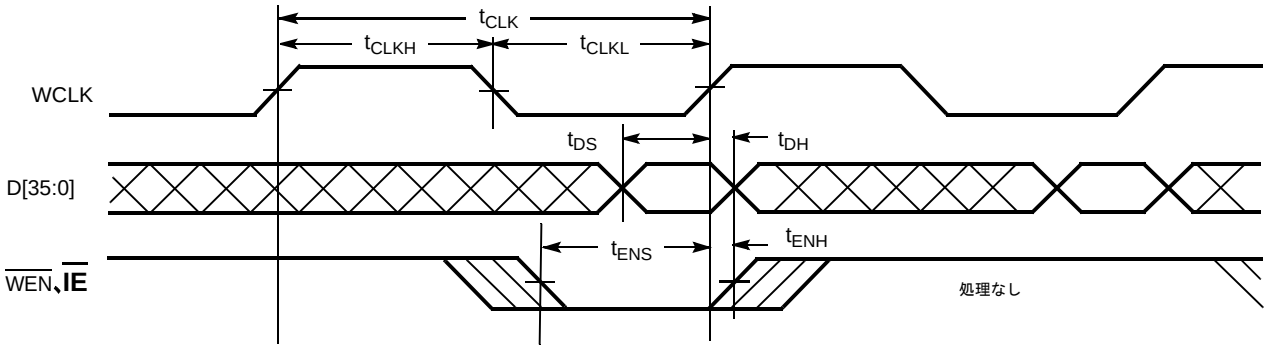
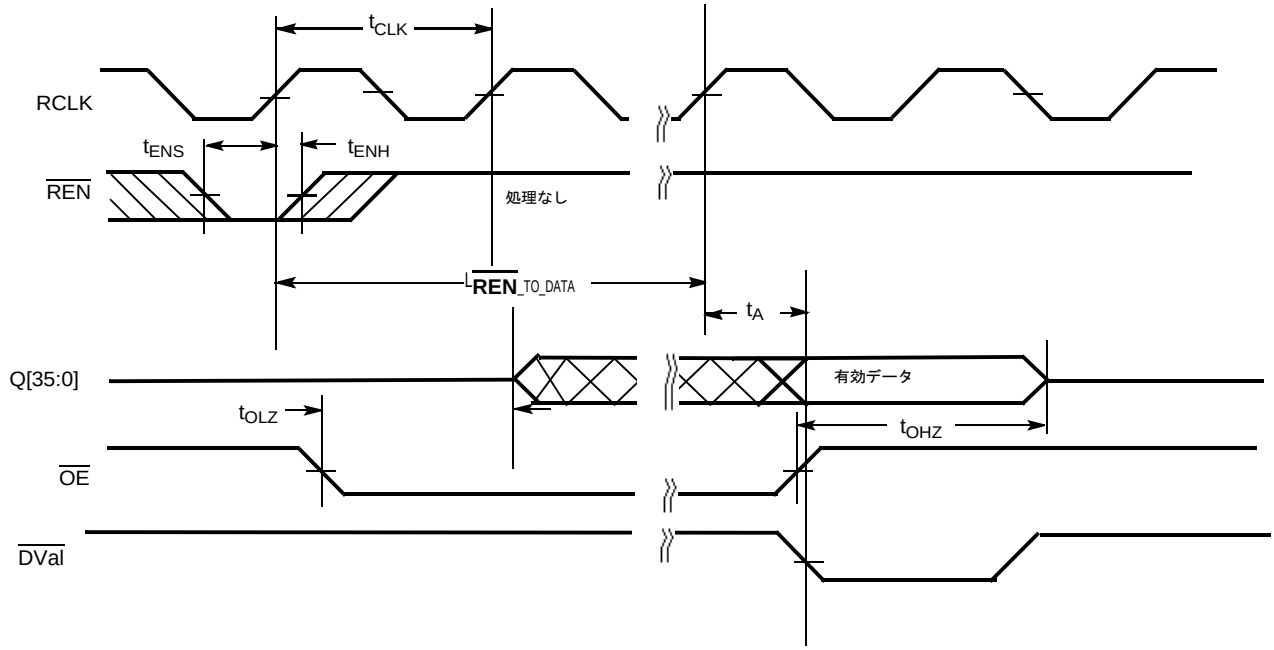


図 7. 読み出しサイクルのタイミング



スイッチング波形 (続き)

図 8. リセット タイミング

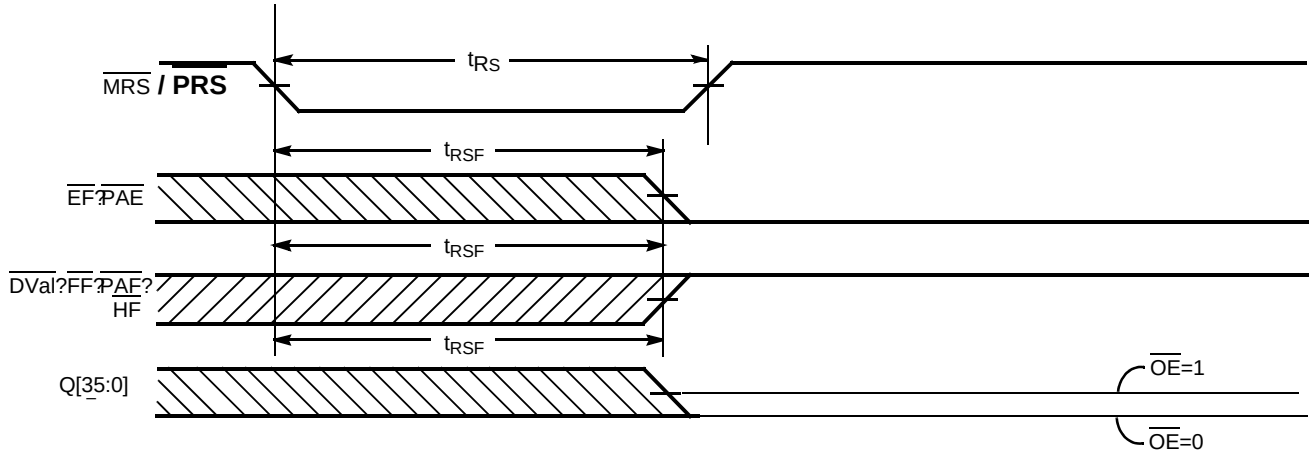
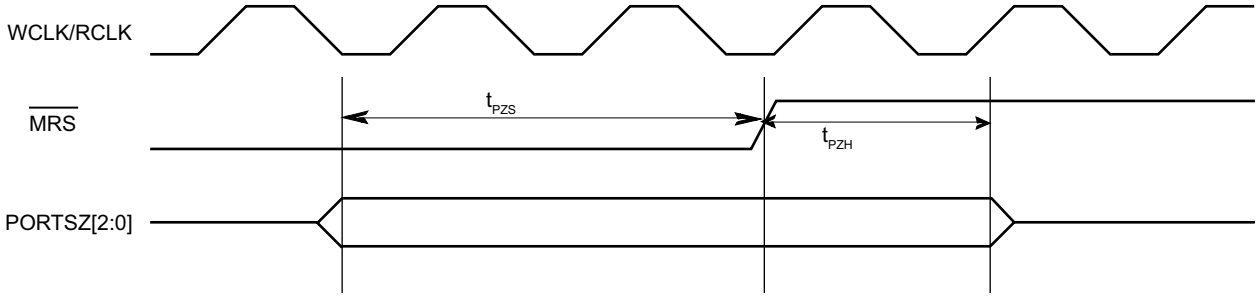


図 9. MRS 有効から PORTSZ[2:0] 有効までの時間



スイッチング波形 (続き)

図 10. エンプティ フラグのタイミング

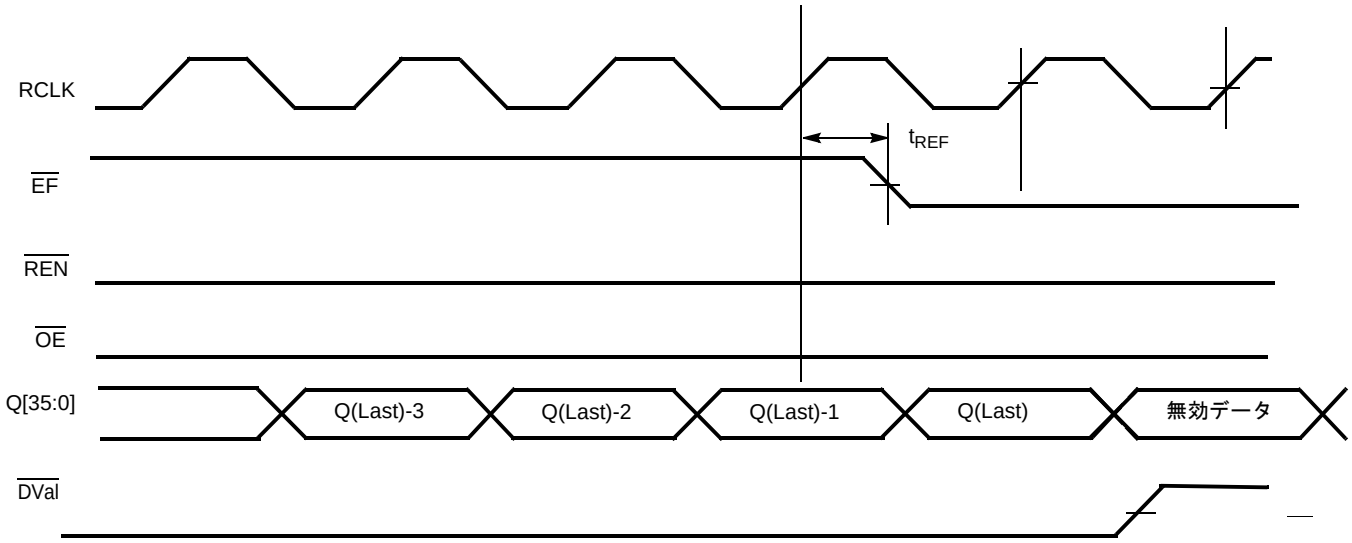
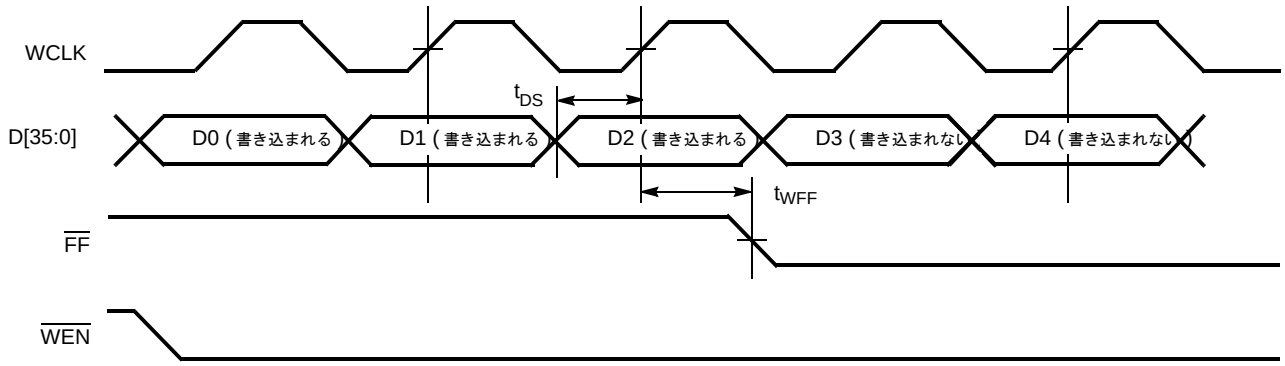


図 11. フル フラグのタイミング



スイッチング波形 (続き)

図 12. 新規データ入力前の初期レイテンシ

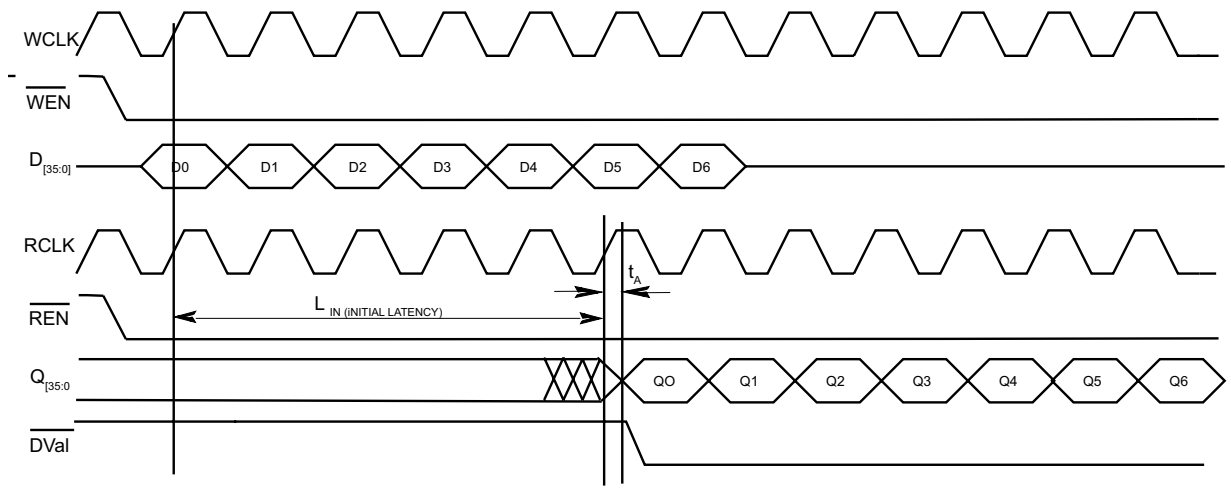
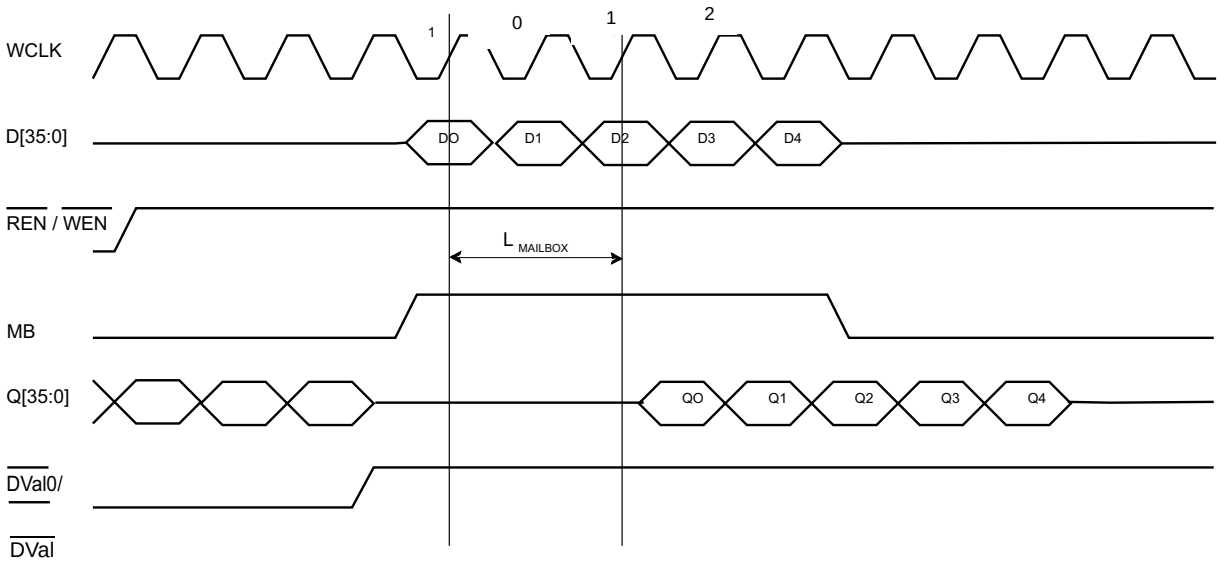


図 13. フロースルー メールボックス動作



スイッチング波形 (続き)

図 14. コンフィギュレーション レジスタの書き込み

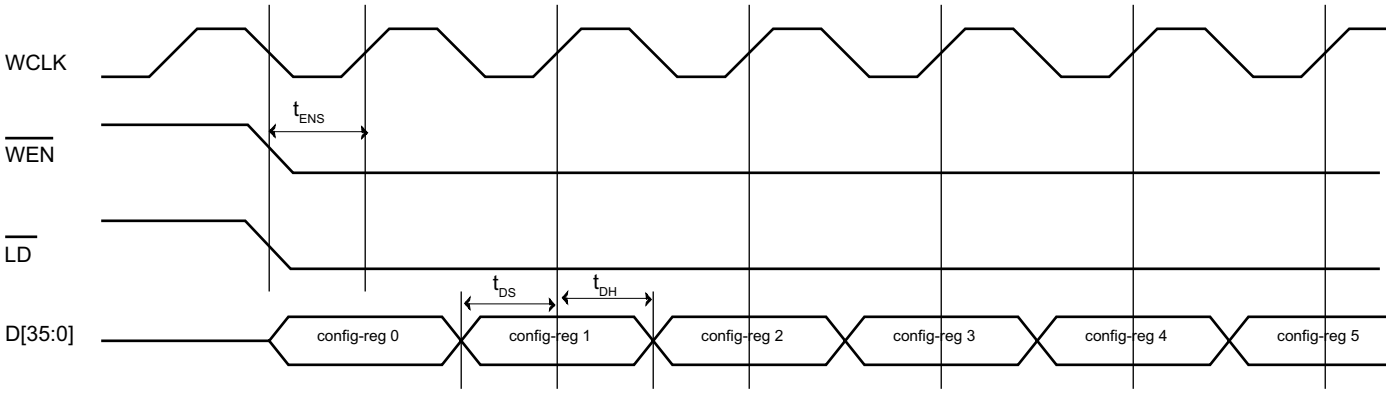


図 15. コンフィギュレーション レジスタの読み出し

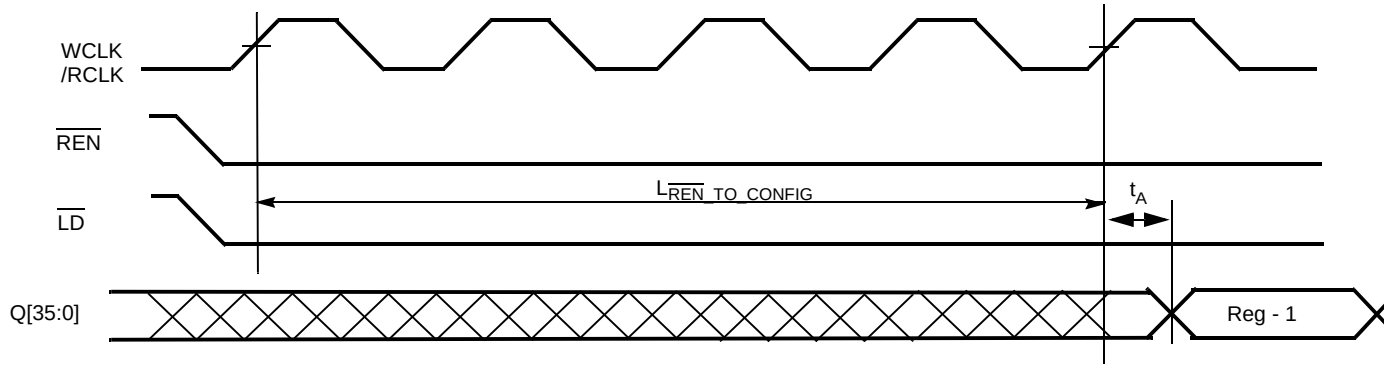
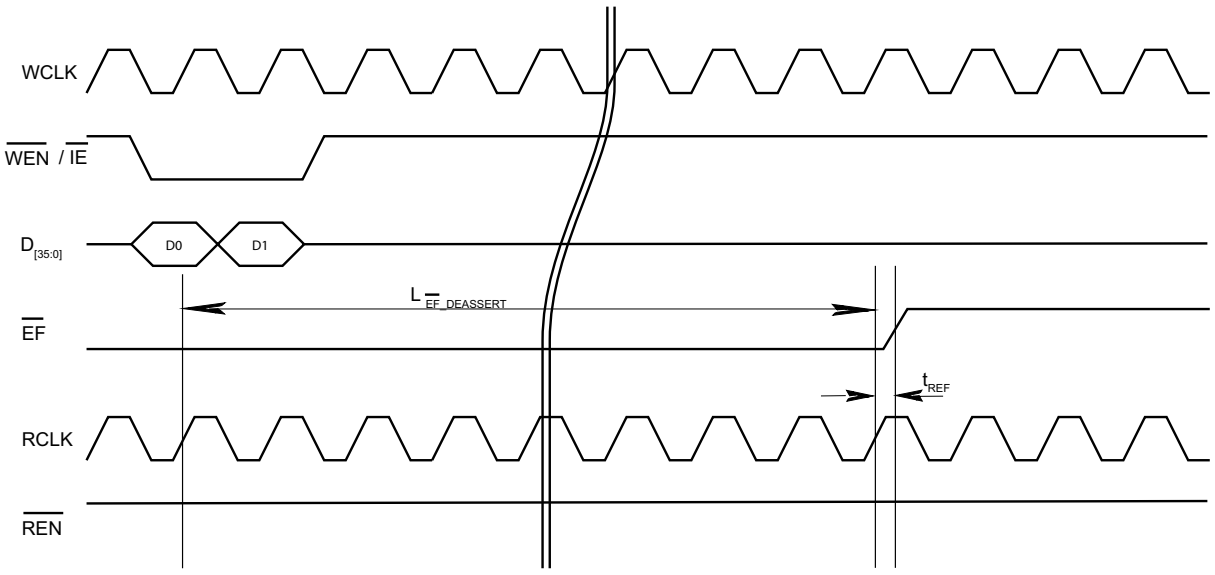


図 16. エンプティ フラグのデアサート



スイッチング波形 (続き)

図 17. エンプティ フラグのアサート

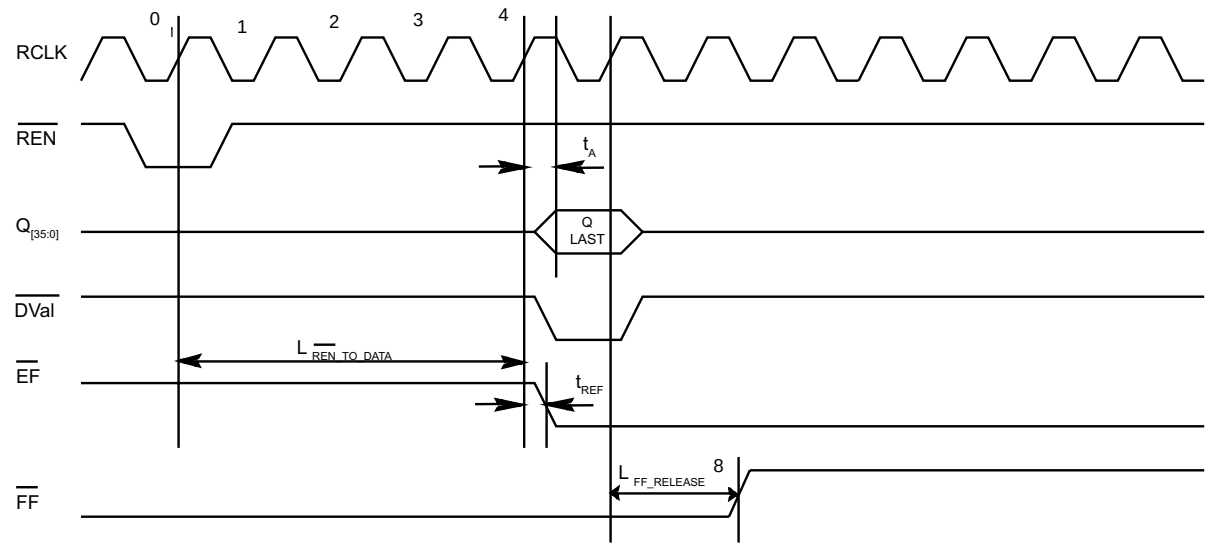
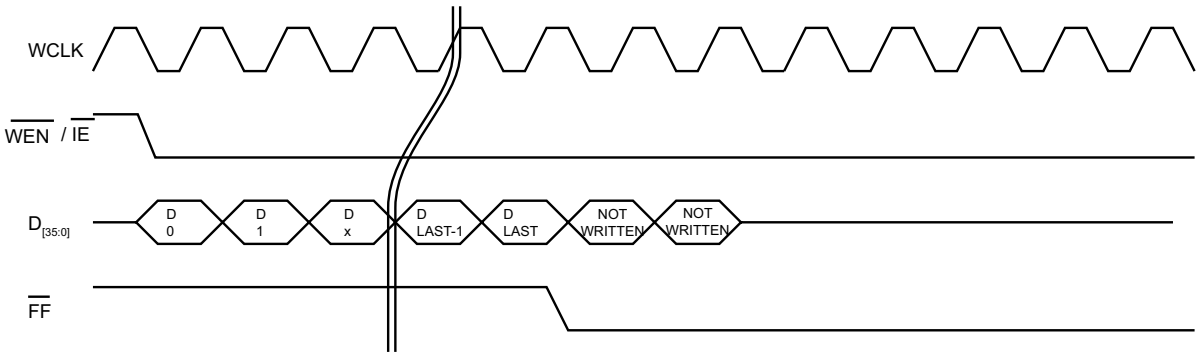


図 18. フル フラグのアサート



注
8. エラッタ : マークと再送信動作中にフラグ動作とフル バウンダリ フリーズの詳細については、31 ページのエラッタを参照してください。

スイッチング波形 (続き)

図 19. フル フラグのデアサート

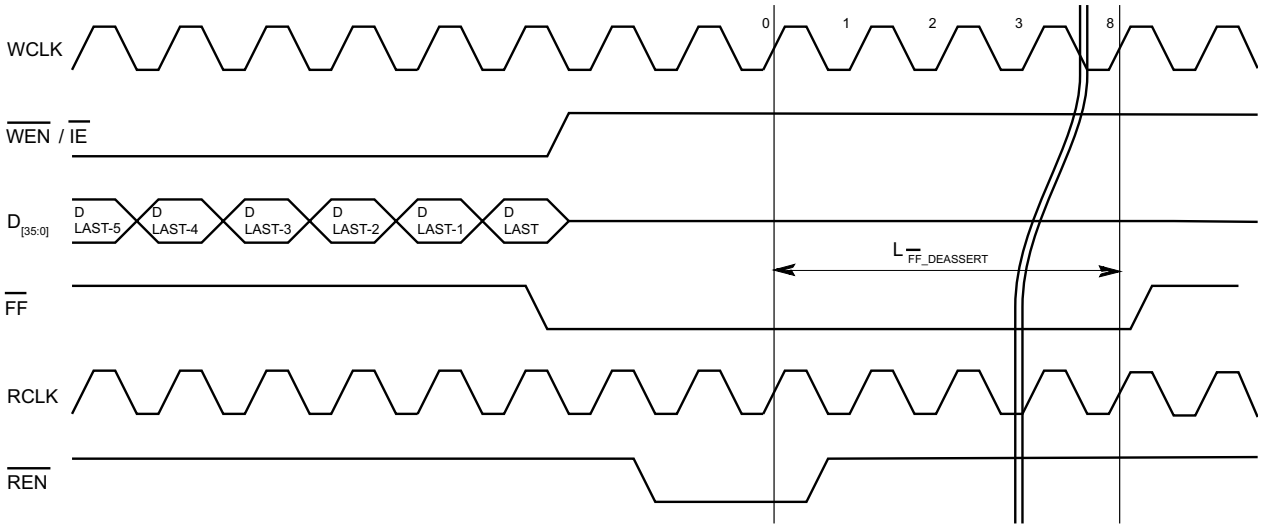
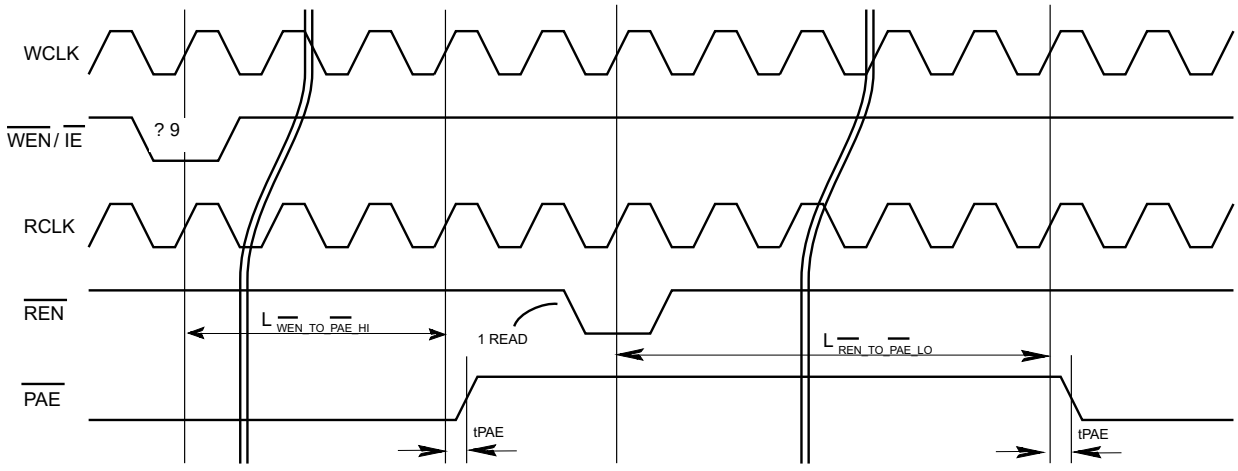


図 20. PAE アサートとデアサート



注
9. プログラム可能なフラグ バウンダリについては、8 ページの表 2 と 16 ページのレイテンシ表を参照してください。

スイッチング波形 (続き)

図 21. $\overline{PAF}$ アサートとデアサート

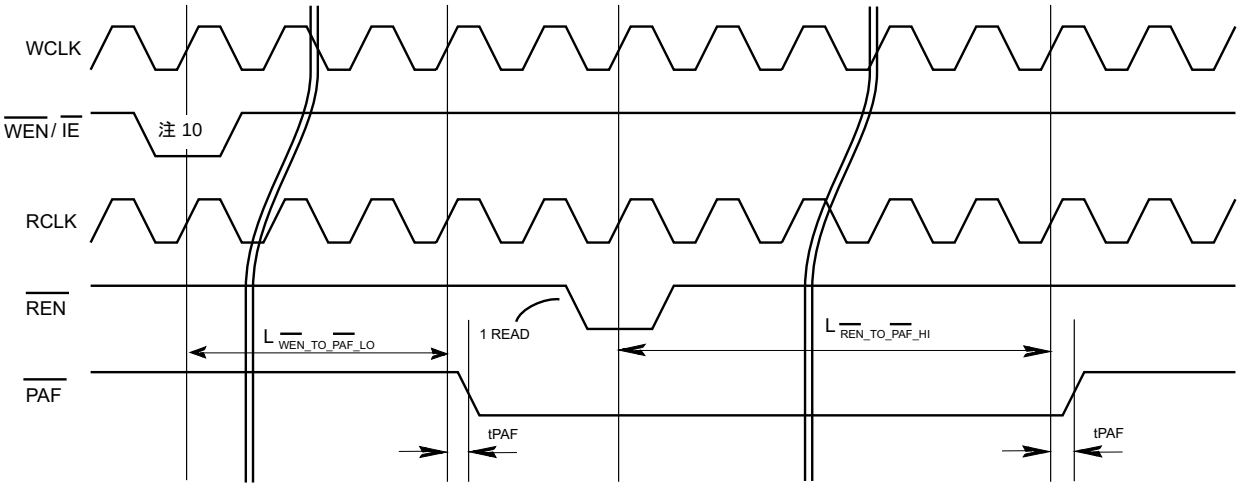
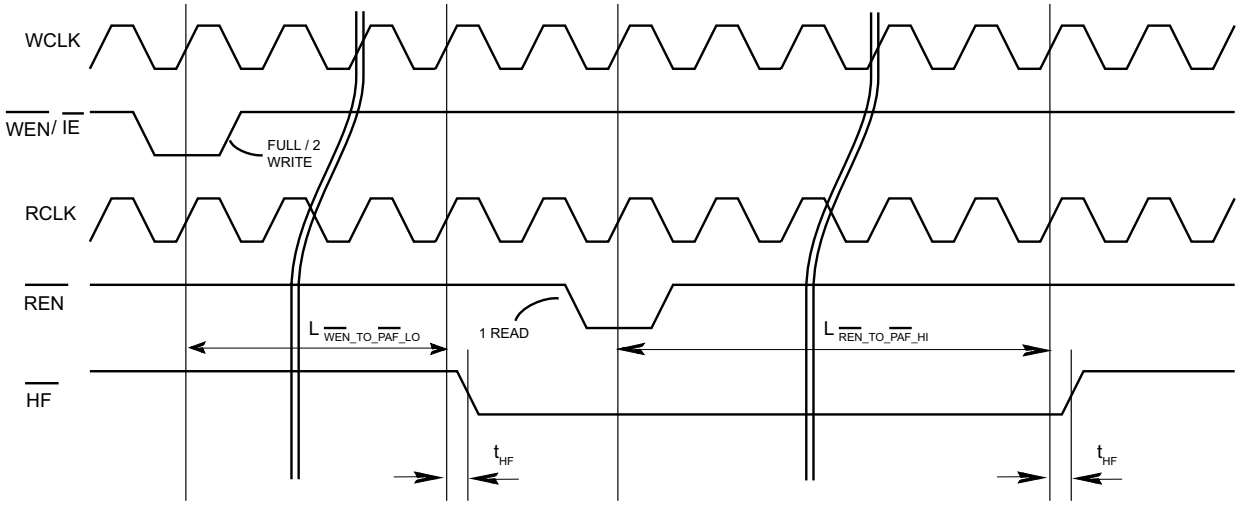


図 22. $\overline{HF}$ アサートとデアサート



注
10. プログラム可能なフラグ バウンダリについては、8 ページの表 2 と 16 ページのレイテンシ表を参照してください。

スイッチング波形 (続き)

図 23. マーク

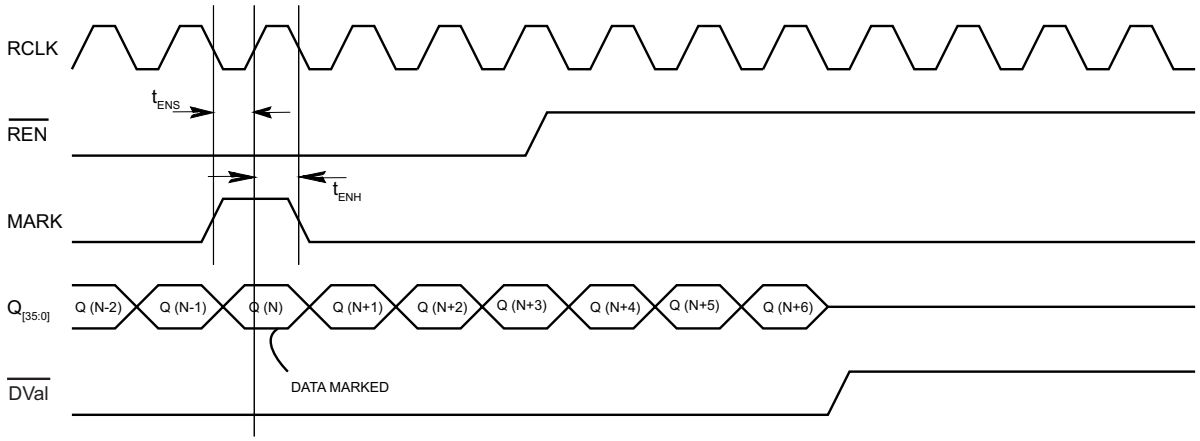
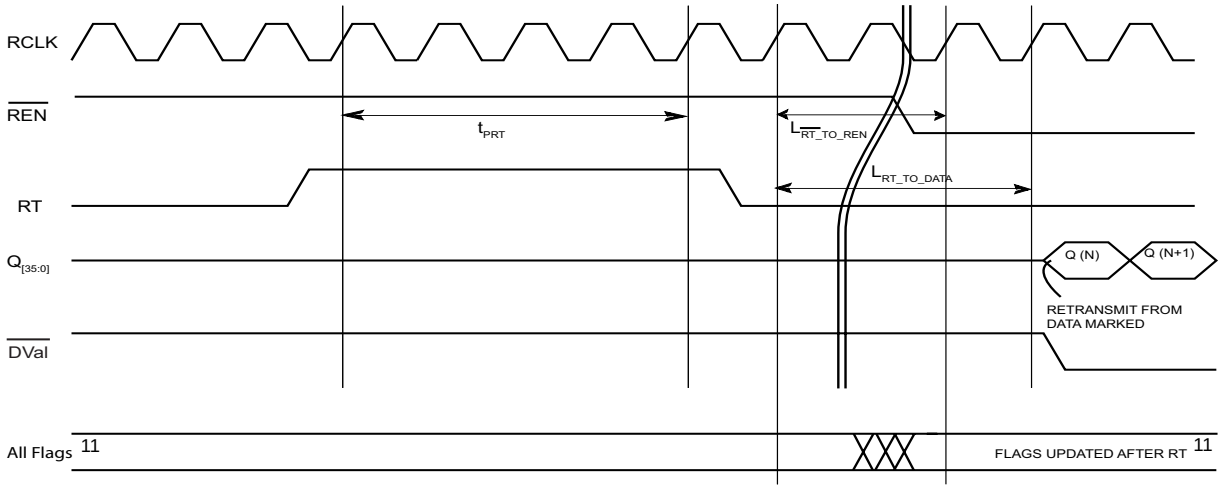


図 24. 再送信



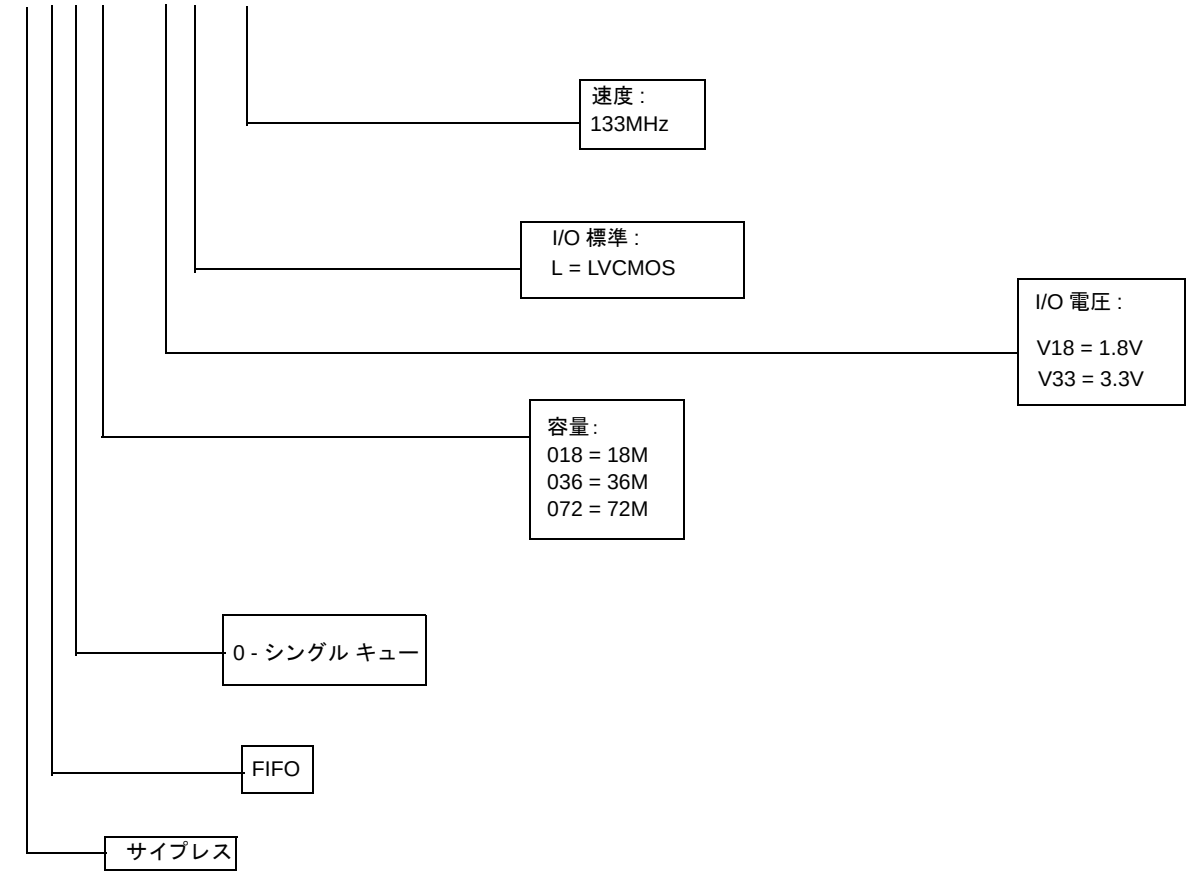
注
11. エラッタ : マークと再送信動作中にフラグ動作とフル バウンダリ フリーズの詳細については、31 ページのエラッタを参照してください。

注文情報

速度 (MHz)	注文コード	パッケージ図	パッケージ タイプ	動作範囲
133	CYF0018V33L-133BGXI	51-85167	209 ボール FBGA (14×22×1.76mm)	産業用
	CYF0036V33L-133BGXI			
	CYF0072V33L-133BGXI			
	CYF0018V18L-133BGXI			
	CYF0072V18L-133BGXI			

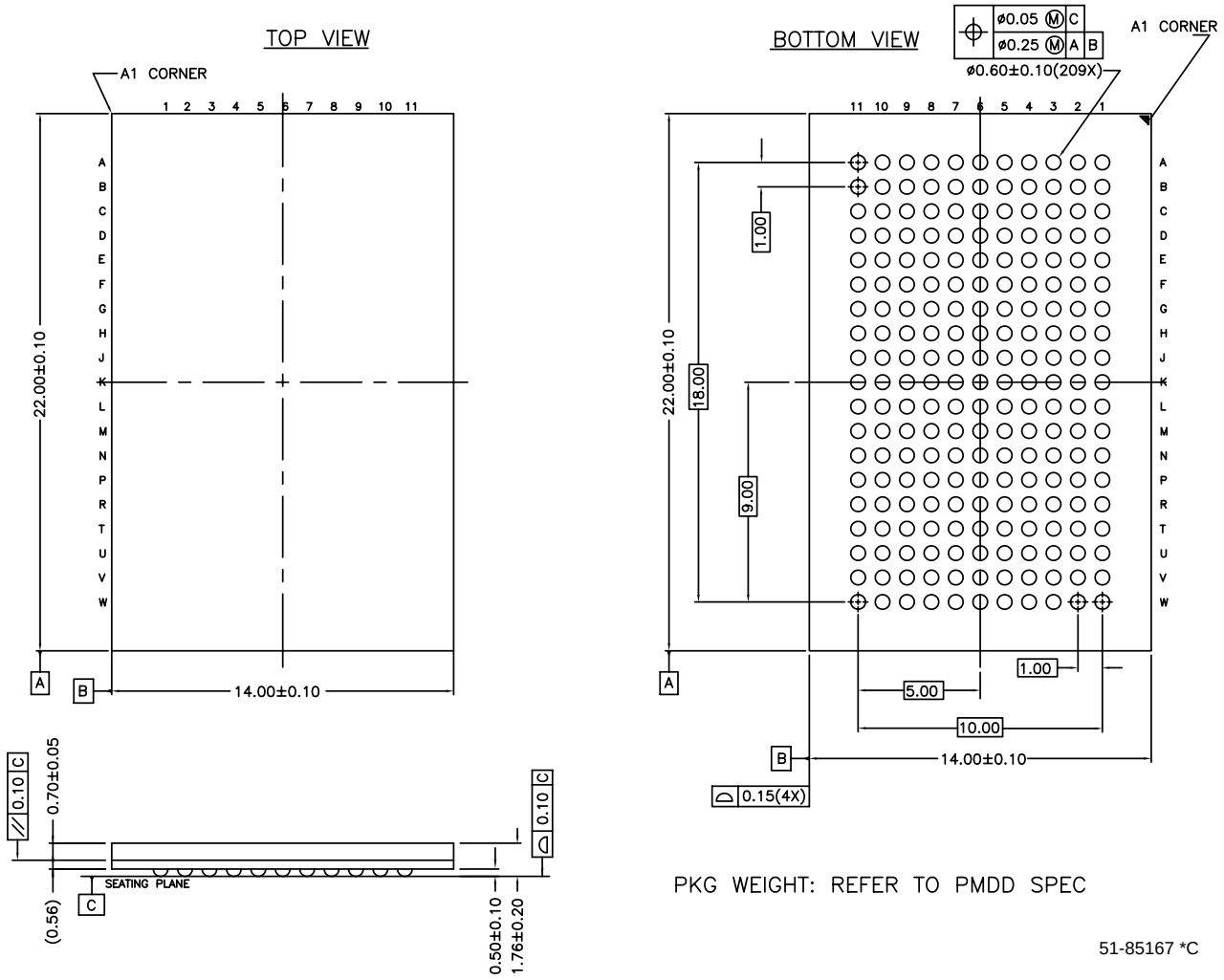
注文コードの定義

CY F X XXX VXX X - XXX BGXI



パッケージ図

図 25. 209 ボール FBGA (14×22×1.76mm) BB209A パッケージ図、51-85167



略語

略語	説明
$\overline{FF}$	Full Flag (フル フラグ)
FIFO	First In First Out (先入れ先出し)
$\overline{HF}$	Half Full (ハーフ フル)
$\overline{IE}$	Input Enable (入力イネーブル)
I/O	Input/Output (入力／出力)
FBGA	Fine-Pitch Ball Grid Array (ファイン ピッチ ボール グリッド アレイ)
JTAG	Joint Test Action Group (ジョイント テスト アクション グループ)
LSB	Least Significant Bit (最下位ビット)
LVCMOS	Low Voltage Complementary Metal Oxide Semiconductor (低電圧相補型金属酸化膜半導体)
MB	Mailbox (メールボックス)
$\overline{MRS}$	Master Reset (マスター リセット)
MSB	Most Significant Bit (最上位ビット)
$\overline{OE}$	Output Enable (出力イネーブル)
$\overline{PAF}$	Programmable Almost-Full (プログラム可能なオールモストフル)
$\overline{PAE}$	Programmable Almost-Empty (プログラム可能なオールモストエンプティ)
$\overline{PRS}$	Partial Reset (部分リセット)
RCLK	Read Clock (読み出しクロック)
$\overline{REN}$	Read Enable (読み出しイネーブル)
RCLK	Read Clock (読み出しクロック)
SCLK	Serial Clock (シリアル クロック)
TCK	Test Clock (テスト クロック)
TDI	Test Data In (テストデータ入力)
TDO	Test Data Out (テストデータ出力)
TMS	Test Mode Select (テスト モード選択)
WCLK	Write Clock (書き込みクロック)
$\overline{WEN}$	Write Enable (書き込みイネーブル)

本書の表記法

測定単位

記号	測定単位
°C	摂氏温度
MHz	メガヘルツ
µA	マイクロアンペア
mA	ミリアンペア
mm	ミリメートル
ms	ミリ秒
ns	ナノ秒
Ω	オーム
pF	ピコファラッド
V	ボルト
W	ワット

エラッタ

本セクションでは、18M ビット、36M ビット、72M ビットのプログラム可能な FIFO 用のエラッタについて説明します。詳細は、エラッタのトリガー条件、影響の範囲、可能な回避手段、シリコン リビジョンの適用可能性を含みます。何かご質問がございましたら、最寄りのサイプレスの販売代理店にお問い合わせいただくか、または www.cypress.com/support にテクニカル サポート ケースを提示してください。

影響を受ける型番

型番	デバイスの特性
CYF0018V33L-133BGXI	18M ビットのプログラマブル シングル キュー FIFO (3.3V LVCMOS)
CYF0018V18L-133BGXI	18M ビットのプログラマブル シングル キュー FIFO (1.8V LVCMOS)
CYF0036V33L-133BGXI	36M ビットのプログラマブル シングル キュー FIFO (3.3V LVCMOS)
CYF0072V33L-133BGXI	72M ビットのプログラマブル シングル キュー FIFO (3.3V LVCMOS)
CYF0072V18L-133BGXI	72M ビットのプログラマブル シングル キュー FIFO (1.8V LVCMOS)
CYF2072V33L-100BGXI	72M ビットのプログラマブル 8 つのキュー FIFO (3.3V LVCMOS)

18M ビット、36M ビット、および 72M ビットのプログラム可能な FIFO の認定状態

製品の状態 : 量産中

18M ビット、36M ビット 72M ビットのプログラム可能な FIFO のエラッタのまとめ

この表では、既存の 18M ビット、36M ビット、72M ビットのプログラム可能な FIFO ファミリ デバイスに適用可能なエラッタを定義しています。「X」は、エラッタは選択されたデバイスに関連することを示します。

項目	製品番号	シリコン バージョン	修正状況
1. 再送信問題	CYF0018V CYF0036V	X	修正中
	CYF0072V CYF2072V	X	日付コードが WW1331 以降のエラー修正済み製品
2. フル バウンダリのフリーズ状態	CYF0018V CYF0036V	X	修正中
	CYF0072V CYF2072V	X	日付コードが WW1331 以降のエラー修正済み製品

1. 再送信問題

■ 問題の定義

再送信サイクル中にフラグ故障 : フラグ (PAE、HF、PAF、FF) は再送信サイクル中に更新されません。これらのフラグは、再送信サイクルの終了には復元されません。エンプティ フラグ (EF) とデータ有効信号 (DVal) の機能は、デバイス動作中に影響を受けなく変わりはありません。

■ 影響を受けるパラメーター

各フラグ (PAE、HF、PAF、および FF) は再送信サイクル中に更新されないため、対応レイテンシとタイミング パラメーターは適用できません。

■ トリガ条件

RT 信号による再送信サイクルの開始

■ 影響の範囲

再送信サイクルの開始時に、フラグ (PAE、HF、PAF、および FF) は FIFO の状態を正しく反映できません。これらのフラグが更新されないため、これらのフラグにより再送信中に FIFO のワード数を追跡するアプリケーションにエラーが観察されることがあります。再送信サイクル後にフラグ復元を保証する、すなわち、再送信サイクルの終了後、フラグの機能を復元し、FIFO の通常動作を再開するために、障害が発生すると、1 つのリセット サイクル (シングル キュー デバイスには部分リセット、マルチ キュー デバイスにはマスター リセット) が行われます。

■ 回避方法

再送信サイクル中に、PAE、HF、PAF、および FF 機能を復元する回避方法はありません。

再送信サイクルの終了後、FIFO が正常に動作するために、リセット サイクル (シングル キューには部分リセット、マルチ キュー デバイスにはマスター リセット) を実行して PAE、HF、PAF、および FF 機能を復元することができます。

■ 問題解決状況

以上の問題を修正中です。設計修正のデバイスでは、用意したフラグ機能は、再送信中に復元されます。再送信サイクル後、FIFO の通常動作を再開するために、リセットは必須ではありません。問題解決済みのデバイスは 2013 年 2 月 04 日から利用できるようになります。

2. フル バウンダリのフリーズ状態

■ 問題の定義

フル バウンダリのフリーズ状態 : RT 初期化の時に、マークされた位置 (MARK ピンを使ってマーク) は新しいフル フラグ バウンダリになりません。

■ 影響を受けるパラメーター

$L_{FF_RELEASE}$: CYF0018V と CYF0036V には、マークされた位置は、再送信動作の開始時に新しいフル バウンダリになりません。従って、このパラメーターは影響を受けます。

■ トリガ条件

該当なし

■ 影響の範囲

RT の初期化の時に、マークされた位置を越えた FIFO メモリ位置へのデータ書き込みは FIFO のオーバーフローとして見なされます。これにより、データ損失が発生します。

■ 回避方法

設計修正なしでデバイスのオーバーフロー状態を防止する回避方法はありません。

■ 問題解決状況

設計修正済みのデバイスには、マークされた位置は新しいフル バウンダリになります。マークされた位置を新しいフル バウンダリとする修正されたデバイスは、日付コードが WW1331 (2013 年 8 月) 以降の 72M のデバイス (CYF0072V と CYF2072V) に利用できます。CYF0018V と CYF0036V は、フル バウンダリ フリーズ問題が修正中です。

改訂履歴

文書名 : CYF0018V/CYF0036V/CYF0072V、18/36/72M ビットのプログラマブル FIFO 文書番号 : 001-95853				
版	ECN	変更者	発行日	変更内容
**	4722786	TOSI	05/14/2015	これは英語版 001-53687 Rev. *O を翻訳した日本語版 001-95853 Rev. ** です。

セールス、ソリューションおよび法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店および販売代理店の世界的なネットワークを保持しています。お客様の最寄りのオフィスについては、サイプレスのロケーション ページをご覧ください。

製品

車載用	cypress.com/go/automotive
クロック&バッファ	cypress.com/go/clocks
インターフェース	cypress.com/go/interface
照明&電力制御	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
PSoC	cypress.com/go/psoc
タッチ センシング	cypress.com/go/touch
USB コントローラー	cypress.com/go/USB
ワイヤレス／ RF	cypress.com/go/wireless

PSoC® ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 4 | PSoC 5LP

サイプレス開発者コミュニティ

コミュニティ | フォーラム | ブログ | ビデオ | トレーニング

テクニカル サポート

cypress.com/go/support

© Cypress Semiconductor Corporation, 2009-2015. 本文書に記載される情報は、予告なく変更される場合があります。Cypress Semiconductor Corporation (サイプレス セミコンダクタ社) は、サイプレス製品に組み込まれた回路以外のいかなる回路を使用することに対して一切の責任を負いません。サイプレス セミコンダクタ社は、特許またはその他の権利に基づくライセンスを譲渡することも、または含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソース コード (ソフトウェアおよび／またはファームウェア) はサイプレス セミコンダクタ社 (以下「サイプレス」) が所有し、全世界の特許権保護 (米国およびその他の国)、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであり、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび／またはカスタム ファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することはすべて禁止します。

免責条項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネントとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。

本書で言及する全ての製品名および会社名は、それぞれの所有者の商標である場合があります。