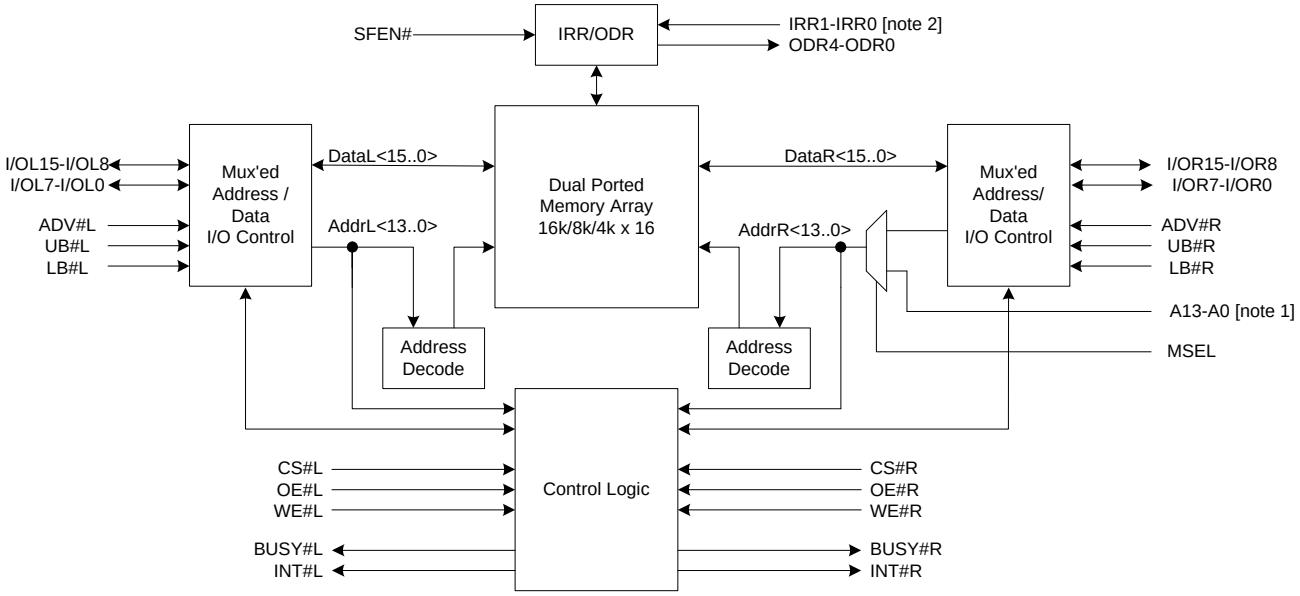
CYDMX256A16, CYDMX256B16
CYDMX128A16, CYDMX128B16
CYDMX064A16, CYDMX064B16

16 K/8 K/4 K × 16 MoBL® ADM 非同期デュアルポートスタティック RAM

特長

- 独立した同時アクセスを可能にする真のデュアル ポート メモリ ブロック
  - 時分割多重アドレス・データ（ADM）インタフェースの専用ポート
  - 標準SRAMまたは時分割多重アドレス･データインタフェースを選択可能なポート
- 16 K/8 K/4 K × 16 のメモリ構成
- 高速アクセス
  - 65 ns または 90 ns の ADM インタフェース
  - 40 ns または 60 ns の標準 SRAM インタフェース
- 完全非同期動作
- ポートごとに独立したIO電圧。1.8、2.5Vおよび3.0VのIOが可能
- 超低消費電力
  - 動作時：I_{CC} = 15 mA (90 ns での標準値)
  - 動作時：I_{CC} = 25 mA (65 ns での標準値)
  - 待機時 : I_{SB3} = 2 µA（標準値）
- ポートごとにスタンバイ動作可能
- オンチップ アービトレーション ロジック
- ポート間通信のためのメールボックス割り込み
- インプットリードレジスタとアウトプットドライブレジスタ
- 上位バイトと下位バイトの制御
- 小型パッケージ : 6 x 6 mm、鉛フリーBGA（ボール端子数 100）
- 産業用温度範囲に対応

ブロック図



注
1. A13-A0 は CYDMX256A16 と CYDMX256B16、A12-A0 は CYDMX128A16 と CYDMX128B16、A11-A0 は CYDMX064A16 と CYDMX064B16。
2. CYDMX256A16 と CYDMX256B16 には IRR1 および IRR2 はありません。

目次

ピン配置 3
ピン機能 4
機能説明 4
電源 4
ADM インタフェースの読み出しまたは書き込み動作 .4
標準 SRAM インタフェースの読み出しまたは書き込み動作 5
バイト選択 5
チップセレクト 5
出力イネーブル 5
メールボックス割り込み 5
アービトレーション ロジック 5
インプットリードレジスタ 5
アウトプットドライブレジスタ 5
アーキテクチャ 6
最大定格 8
動作範囲 8
電気的特性 (VCC = 1.8 V) 8
電気的特性 (VCC = 2.5 V) 10
電気的特性 (3.0 V) 11
静電容量 11
スイッチング特性 (VCC = 1.8 V) 12
スイッチング波形 15
オーダ情報 21
注文コードの定義 21
外形図 22
略号 23
本書の表記法 23
測定単位 23
改訂履歴 24
販売、ソリューション、および法律情報 25
ワールドワイドな販売と設計サポート 25
製品 25
PSoC のソリューション 25

ピン配置

図 1. 100 ボール 0.5 mm ピッチ BGA (平面図)

	1	2	3	4	5	6	7	8	9	10	
A	A5	A8	A11	UB#R	VSS	ADV#R	I/OR15	I/OR12	I/OR10	VSS	A
B	A3	A4	A7	A9	CE#R	WE#R	OE#R	VDDIOR	I/OR9	I/OR6	B
C	A0	A1	A2	A6	LB#R	IRR1[3]	I/OR14	I/OR11	I/OR7	VSS	C
D	ODR4	ODR2	BUSY#R	INT#R	A10	A12[4]	I/OR13	I/OR8	I/OR5	I/O2R	D
E	VSS	DNU	ODR3	INT#L	VSS	VSS	I/OR4	VDDIOR	I/OR1	VSS	E
F	SFEN#	ODR1	BUSY#L	DNU	VCC	VSS	I/OR3	I/OR0	I/OL15	VDDIOL	F
G	ODR0	DNU	DNU	DNU	OE#L	I/OL3	I/OL11	I/OL12	I/OL14	I/OL13	G
H	DNU	DNU	DNU	LB#L	CE#L	I/OL1	VDDIOL	MSEL	DNU	I/OL10	H
J	DNU	DNU	DNU	IRR0[5]	VCC	VSS	I/OL4	I/OL6	I/OL8	I/OL9	J
K	DNU	DNU	DNU	UB#L	ADV#L	WE#L	I/OL0	I/OL2	I/OL5	I/OL7	K
	1	2	3	4	5	6	7	8	9	10	

.

注
3. CYDMX256A16 と CYDMX256B16 では、このピンは A13 です。
4. CYDMX064A16 と CYDMX064B16 では、このピンは DNU です。
5. CYDMX256A16 と CYDMX256B16 では、このピンは DNU です。
6. DNU は「使用しない（Do Not Use）」を意味します。これらのピンには何もつながないでください。

ピン機能

左ポート	右ポート	機能
CS#L	CS#R	チップセレクト
WE#L	WE#R	読み出し / 書き込みイネーブル
OE#L	OE#R	出力イネーブル
	A0–A13	アドレス(4KデバイスではA0-A11、8KデバイスではA0-A12、16KデバイスではA0-A13)
	MSEL	右ポート インタフェース モード選択（0：標準 SRAM、1：ADM
IOL0–IOL15	IOR0–IOR15	アドレス／データ バス入出力
ADV#L	ADV#R	アドレス ラッチ イネーブル、右ポートが ADM モードの場合は、ADV#R のみを使用する
UB#L	UB#R	上位バイト選択（IO8-IO15）
LB#L	LB#R	下位バイト選択（IO0-IO7）
INT#L	INT#R	割り込みフラグ
BUSY#L	BUSY#R	ビジー フラグ
SFEN#		スペシャルファンクションイネーブル信号
IRR0-IRR1		CYDMX128A16 、CYDMX128B16 、CYDMX064A16、CYDMX064B16 のインプットリードレジスタの入力信号。 CYDMX256A16 と CYDMX256B16 では、IRR0 は DNU で、IRR1 は A13 です。
ODR0-ODR4		アウトプットドライブレジスタの出力信号。オープン ドレイン出力です。
V_{CC}		コア電源
GND		グランド
VDDIOL		左ポート IO 電源
VDDIOR		右ポート IO 電源
DNU		接続なし。これらのピンには何もつながないでください。

機能説明

CYDMX256A16、CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16、および CYDMX064B16 は、低消費電力の 16K/8K/4K x 16 構成 CMOS のデュアル ポート スタティック RAM です。時分割多重アドレス・データ（ADM）インタフェースの専用ポートを 1 つと、標準 SRAM または ADM インタフェースのいずれかに設定可能なポートを 1 つ備えています。これらの 2 個のポートによって、どのメモリ位置に対しても別々に非同期の読み出しと書き込みのアクセスが可能です。各ポートには、チップセレクト（CS#）、書き込みイネーブル（WE#）および出力イネーブル（OE#）の独立した制御ピンがあります。また、ポートごとに 2 個の出力フラグ（BUSY# と INT#）を備えます。BUSY# フラグは、一方のポートが現在アクセスしているメモリ位置に他方のポートがアクセスしようとするとトリガされます。割り込みフラグ（INT#）は、メールボックスを介したポート間またはシステム間の通信を許可します。電源遮断機能は、チップセレクト（CS#）ピンによってポートごとに独立して制御できます。

CYDMX256A16、CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16、CYDMX064B16 は、ボール グリッド アレイ（BGA）パッケージ（ボール端子数 100、ピッチ 0.5mm）で用意されています。その用途には、インタープロセッサやマルチプロセッサの設計、通信ステータスのバッファ処理、ビデオとグラフィックのデュアル ポート メモリなどがあります。

電源

コア電圧（V_{CC}）には、1.8V、2.5V、または 3.0V のうち、IO 電圧以下の電圧を使用できます。各ポートは、独立した IO 電圧で動作します。IO 電圧は、V_{DDIOL} ピンおよび V_{DDIOR} ピンに接続されている電圧で決まります。サポートされる IO 規格は、1.8 V および 2.5 V LVCMOS および 3.0 V LVTTL です。

ADM インタフェースの読み出しまたは書き込みの動作

この説明は、左側の ADM ポート、および ADM ポートに設定した右ポートの両方を対象としています。

3 つの制御信号 ADV#、WE#、および CS# を使用して、読み出しと書き込みの処理を実行します。アドレス信号は、CS#をLOWに設定して、まず IO バスに入力します。アドレスは、ALE（アドレス ラッチ イネーブル）（ADV#）信号の立ち上がりエッジで IO バスからロードされます。アドレスを適切にラッチするには、有効なアドレス情報を指定するとともに、AC 仕様に規定されているセットアップ時間（t_{AVDS}）とホールド時間（t_{AVDH}）の要件を満たす必要があります。

アドレス信号がラッチされた後、WE# を HIGH に保持すると読み出し動作が発行されます。アドレス信号が t_{AVDH} の要件を満たしていると、IO バスは High Z 状態になります。読み出しデータは、OE# を LOW にアサートした時点から t_{OE} の時間経過後に IO バス上に送出され、OE# と CS# のうち、先に発生した信号の立ち上がりエッジから t_{HZOE} または t_{HZCS} の時間だけ保持されます。

書き込み動作は、WE# を LOW にアサートすると発行されます。書き込みデータは、アドレスがホールド時間（t_{AVDH}）の要件を満たした直後に IO バスに送り込むことができます。WE# または CS# のうち、先に発生した信号の立ち上がりエッジでデータ セットアップ時間（t_{SD}）とホールド時間（t_{HD}）の要件を満たすと、書き込みデータが書き込まれます。

標準 SRAM インタフェースの読み出しまたは書き込みの動作

この説明は、標準 SRAM ポートとして構成されている右側のアクセス ポートを対象としています。標準 SRAM インタフェース構成による読み出しおよび書き込み動作は、アドレスが A バス上に存在することを除いて、ADM ポートの場合と同じです。その動作は CS#、OE#、および WE# で制御します。読み出し動作は WE# を HIGH にアサートすると発行されます。書き込み動作は、WE# を LOW にアサートすると発行されます。読み出し動作が発行されるとき、IO バスは読み取りデータの送信先であり、書き込みデータの送信元です。ただし、書き込み動作の発行時には IO に書き込みデータを送り込む必要があります。

バイト選択

基本ワード サイズは 16 ビットです。各ワードは、2 つの 8 ビット バイトで構成されています。各ポートには、アクティブ LOW のバイト イネーブルである UB# および LB# があります。このバイト イネーブルを変化させると、ポートへの読み出しと書き込みの動作の結果が変わります。書き込み中にバイト イネーブルを HIGH にアサートすると、アドレス指定したメモリ位置にあるデータの対応するバイトが更新できなくなります。読み出し中は、両方のバイト イネーブルは、非同期出力イネーブル制御ロジックへの入力となります。どちらかのバイト イネーブルを HIGH にアサートすると、対応するデータ バイトはトライステートになります。その後、そのバイト イネーブルを LOW にアサートすると、対応するデータ バイトが読み出されます。

チップセレクト

各ポートには、アクティブ LOW のチップ セレクト信号である CS# があります。ポートがアクティブと見なされるためには、CS# を LOW にアサートする必要があります。有効な読み出しまたは書き込みの動作を発行するには、読み出しまたは書き込みのサイクル全体にわたってチップ セレクト入力を LOW にアサートしておく必要があります。書き込み中に CS# を HIGH にデアサートしたとき、t_{WRL}、t_{SD}、t_{HD} に対する各条件を満足していない場合は、アドレス指定した場所の内容は変更されません。

自動電源遮断機能は、チップ セレクトを非アクティブにする（CS# HIGH）ことで制御され、各ポートのオンチップ回路を超低消費電力のスタンバイモードにすることができます。

出力イネーブル

各ポートには出力イネーブル信号である OE# があります。OE# を HIGH にアサートすると、IO バスは t_{HZOE} の時間経過後にトライステートになります。OE# を LOW にアサートすると、IO バスの制御は非同期出力イネーブル ロジックが引き継ぎます（このロジックは WE#、CS#、UB#、および LB# の各入力で制御します）。

メールボックス割り込み

上位の 2 つのメモリ位置は、メッセージを渡すために使用されます。最上位のメモリ位置（CYDMX064A16 と CYDMX064B16 では 0xFFF、CYDMX128A16 と CYDMX128B16 では 0x1FFF、CYDMX256A16 と CYDMX256B16 では 0x3FFF）は、右ポートで使用するメールボックスです。上位から 2 番目のメモリ位置（CYDMX064A16 と CYDMX064B16 では 0xFFE、CYDMX128A16 と CYDMX128B16 では 0x1FFE、CYDMX256A16 と CYDMX256B16 では 0x3FFE）は、左ポートで使用するメールボックスです。いずれかのポートが他方のポートのメールボックスに書き込むと、書き込み先側のポートに対する割り込み信号が生成されます。この割り込みは、メールボックスの所有者がメールボックスの内容を読み取るとリセットされます。メールボックスに書き込むメッセージはユーザが定義します。

各ポートは、この割り込みをリセットせずに他方のポートのメールボックスを読み出します。ポートに対してこのメールボックスのビジー信号がアクティブな状態であると、そのポートは優先ポートへの割り込みを設定できません。また、ポートに対してアクティブなビジー信号があると、そのポートでは自身のメールボックスからの読み出しやメールボックスへの割り込みのリセットも実行できません。

起動時には、両方の割り込みがデフォルトで設定されます。初期化プログラムは割り込みをリセットする必要があります。

アプリケーションがメッセージの通知を必要としない場合は、プロセッサの割り込み要求入力ピンにこの割り込みピンを接続しないでください。

アービトレーション ロジック

CYDMX256A16、CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16、および CYDMX064B16 には、メモリ位置への同時アクセス（競合）を解決するためにチップ上に調停機能（アービトレーション）が用意されています。両方のポートの CS# 信号をアサートしたときに互いのポートでアドレスの競合が発生した場合は、どちらのポートがアクセス権を持つかはビジー ロジックで決まります。t_{PS} の条件に違反している場合、2 つのポートのどちらかが目的の場所へのアクセス許可を取得しますが、どちらのポートが許可を取得するかは予測できません。アドレス競合が発生した時点から t_{BLA} の時間経過後、または CS# が LOW になった時点から t_{BLC} の時間経過後に、BUSY# がアサートされます。

インプットリードレジスタ

インプットリードレジスタ（IRR）機能は、CYDMX128A16、CYDMX128B16、CYDMX064A16、および CYDMX064B16 の各デバイスでのみ使用できます。SFEN# = V_{IL} の場合、IRR は、インプットリードピン（IRR0 および IRR1）に接続されている 2 つの外部デバイスの状態をアドレス位置 0x0000 に取得します。SFEN# = V_{IL} のとき、アドレス 0x0000 には標準のメモリ アクセスではアクセスできません。SFEN# = V_{IH} のときは、通常のメモリ アクセスでアドレス 0x0000 にアクセスできます。どちらのポートでも、通常の読み出し動作でアドレス 0x0000 から IRR の内容にアクセスします。IRR からの読み出しでは、IO<1:0> が有効なビットであり、IO<15:2> は Dontcare です。IRR 入力は、コア電源電圧（V'_{CC}）に合わせて、LVCMOS では 1.8V および 2.5V、LVTTL では 3.0V です。

アウトプットドライブレジスタ

アウトプットドライブレジスタ（ODR）は、V_{SS} への接続パスを外部回路に提供することにより、最大 5 つの外部バイナリ状態デバイスの状態を決定します。これらの出力はオープンドレインです。5 つの外部デバイスは、さまざまな電圧（$1.5\ V \le V_{DDIO} \le 3.5\ V$）で動作しますが、合計した電流は 40 mA（外部デバイスごとに最大 8 mA）を超えることはできません。ODR ビットのステータスは、どちらのポートからでもアドレス 0x0001 への標準的な書き込みアクセスで設定できます。「1」はオン、「0」はオフを表します。ODR ビットのステータスは、ア

ドレス 0x0001 への通常の読み出しアクセスで読み取ることができます。SFEN# = V_{IL} のときは ODR がアクティブなので、アドレス 0x0001 にはメモリ アクセスではアクセスできません。SFEN# = V_{IH}のときODRは非アクティブなので、アドレス0x0001には標準アクセスでアクセスできます。ODR の読み出しおよび書き込みでは、IO<4:0> が有効であり、IO<15:5> は Don't care (任意) です。'

アーキテクチャ

CYDMX256A16、CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16、および CYDMX064B16 は、16 のデュアルポート SRAM セルの 16K、8K、および 4K ワードのアレイ、IO、アドレス ライン、制御信号で構成されます（CS#、ADV#、OE#、および WE#）。2 つのアクセス ポートは、時分割多重アドレス・データ（ADM）インタフェースの専用ポートと、標準 SRAM または ADM インタフェースのいずれかに設定可能なポートです。ポートごとに独立した制御信号は、メモリ内にある任意の場所への同時アクセスを許可します。同じ場所への書き込みと読み出しの状況を処理するため、BUSY# ピンが、各ポートに提供されています。ポート通信のポートでは、各ポートで割り込み（INT#）ピンも利用できます。

表 1. ADM インタフェースの読み出し／書き込み

ADV#	CS#	WE#	OE#	UB#	LB#	IO0 - IO15	モード
X	H	X	X	X	X	High Z	選択解除または電源遮断モード
X	X	X	H	X	X	High Z	出力ディセーブル
X	X	X	X	H	H	High Z	上位バイトと下位バイトの選択解除
パルス	L	H	L	L	L	データ出力（IO0-IO15）	上位バイトと下位バイトの読み出し
パルス	L	H	L	H	L	データ出力（IO0-IO7） High Z（IO8-IO15）	下位バイトのみの読み出し
パルス	L	H	L	L	H	High Z（IO0-IO7） データ出力（IO8-IO15）	上位バイトのみの読み出し
パルス	L	L	X	L	L	データ入力（IO0-IO15）	上位バイトと下位バイトの書き込み
パルス	L	L	X	H	L	データ入力（IO0-IO7） High Z（IO8-IO15）	下位バイトのみの書き込み
パルス	L	L	X	L	H	High Z（IO0-IO7） データ入力（IO8-IO15）	上位バイトのみの書き込み

表 2. 標準 SRAM インタフェースの読み出し／書き込み

CS#	WE#	OE#	UB#	LB#	IO0-IO15	モード
H	X	X	X	X	High Z	選択解除または電源遮断モード
X	X	H	X	X	High Z	出力ディセーブル
X	X	X	H	H	High Z	上位バイトと下位バイトの選択解除
L	H	L	L	L	データ出力（IO0-IO15）	上位バイトと下位バイトの読み出し
L	H	L	H	L	データ出力（IO0-IO7） High Z（IO8-IO15）	下位バイトのみの読み出し
L	H	L	L	H	High Z（IO0-IO7） データ出力（IO8-IO15）	上位バイトのみの読み出し
L	L	X	L	L	データ入力（IO0-IO15）	上位バイトと下位バイトの書き込み
L	L	X	H	L	データ入力（IO0-IO7） High Z（IO8-IO15）	下位バイトのみの書き込み
L	L	X	L	H	High Z（IO0-IO7） データ入力（IO8-IO15）	上位バイトのみの書き込み

表 3. 割り込み動作の例（BUSY#L = BUSY#R = HIGH を想定）

機能	左ポート					右ポート				
	WE#L	CS#L	OE#L	AddressL	INT#L	WE#R	CS#R	OE#R	AddressR	INT#R
右 INT#R フラグをセット	L	L	X	0x3FFF[7]	X	X	X	X	X	L
右 INT#R フラグをリセット	X	X	X	X	X	X	L	L	0x3FFF[7]	H
左 INT#L フラグをセット	X	X	X	X	L	L	L	X	0x3FFE[8]	X
左 INT#L フラグをリセット	X	L	L	0x3FFE[8]	H	X	X	X	X	X

表 4. アービトレーション ウィニング ポート

CS#L	CS#R	アドレス一致 左 / 右ポート	BUSY#L	BUSY#R	機能
X	X	一致なし	H	H	通常
H	X	一致	H	H	通常
X	H	一致	H	H	通常
L	L	一致	注を参照 [9]	注を参照 [9]	書き込み禁止 [10]

表 5. インプットリードレジスタの動作 [11]

SFEN#	CS#	WE#	OE#	UB#	LB#	ADDR	IO_0–IO_1	IO_2–IO_{15}	モード
H	L	H	L	L	L	x0000- 最大	VALID[12]	VALID[12]	標準メモリ アクセス
L	L	H	L	X	L	x0000	VALID[13]	X	IRR 読み出し

表 6. アウトプットドライブレジスタ [15]

SFEN#	CS#	WE#	OE#	UB#	LB#	ADDR	IO_0–IO_4	IO_5–IO_{15}	モード
H	L	H	X[16]	L[12]	L[12]	x0000- 最大	VALID[12]	VALID[12]	標準メモリ アクセス
L	L	L	X	X	L	x0001	VALID[13]	X	ODR 書き込み [17]
L	L	H	L	X	L	x0001	VALID[13]	X	ODR 読み出し

注
7. 0x3FFF は CYDMX256A16 と CYDMX256B16、0x1FFF は CYDMX128A16 と CYDMX128B16、0xFFF は CYDMX064A16 と CYDMX064B16
8. 0x3FFE は CYDMX256A16 と CYDMX256B16、0x1FFE は CYDMX128A16 と CYDMX128B16、は CYDMX064A16 と CYDMX064B16
9. tPS を満たす場合、反対側のポートの CS# とアドレスが、現在のポートより先に安定状態になる場合は「L」、逆に反対側のポートの CS# とアドレスが現在のポートより後に安定状態になる場合は「H」。
10. BUSY#L/R ピンのロジック レベルが HIGH であるにもかかわらず、BUSY#L/R を LOW にドライブし書き込みを強行しようとしても内部的に無視されます。
11. IRR 読み出しでは SFEN# = V_{IL} になります。
12. UB# または LB# = V_{IL}。LB# = V_{IL} の場合は、IO<7:0> が有効になります。UB# = V_{IL} の場合は、IO<15:8> が有効になります。
13. これらのビットが有効になるには、LB# がアクティブである必要があります（LB# = V_{IL}）。
14. CS#L = V_{IL} または CS#R = V_{IL} のいずれかの場合、SFEN# はアクティブになります。CS#L = CS#R = V_{IH} の場合は、非アクティブになります。
15. ODR 読み出しと書き込みでは、SFEN# = V_{IL}。
16. 出力イネーブルは、有効なデータを出力するため、読み出し中に LOW にする必要があります（OE# = V_{IL}）。
17. ODR 書き込みの間、データはメモリにも書き込まれます。

最大定格

最大定格 [18] を超えると、デバイスの寿命が短くなる可能性があります。ユーザ ガイドラインは未テストです。

保存温度 ..... –65 °C ～ +150 °C
通電時の周囲温度 ..... –55 °C ～ +125 °C
グランド電位への電源電圧 ..... -0.5V ～ +3.3V
High Z 状態の出力に印加される電圧 ..... -0.5V ～ V_{CC}+ 0.5V
DC 入力電圧 [19] ..... –0.5 V ～ V_{CC} + 0.5 V
出力への出力電流（LOW） ..... 90 mA
静電気放電電圧 ..... >2000 V
ラッチアップ電流 ..... > 200 mA

動作範囲

範囲	周囲温度	V_{CC}
産業用	–40 °C ～ +85 °C	1.8 V ± 100 mV 2.5 V ± 100 mV 3.0 V ± 300 mV

電気的特性 (V_{CC} = 1.8 V)

全動作範囲

仕様	項目			CYDMX256A16 CYDMX128A16			CYDMX256B16 CYDMX128B16 CYDMX064B16			CYDMX256A16 CYDMX128A16 CYDMX064A16			単位
				–65			–65			–90			
		P1 IO 電圧	P2 IO 電圧	最小値	標準値	最大値	最小値	標準値	最大値	最小値	標準値	最大値	
V_{OH}	出力 HIGH 電圧（I_{OH} = –100 µA）	1.8 V（任意のポート）		V_{DDIO} – 0.2	–	–	V_{DDIO} – 0.2	–	–	V_{DDIO} – 0.2	–	–	V
	出力 HIGH 電圧（I_{OH} = –2 mA）	2.5 V（任意のポート）		2.0	–	–	2.0	–	–	2.0	–	–	V
	出力 HIGH 電圧（I_{OH} = –2 mA）	3.0 V（任意のポート）		2.1	–	–	2.1	–	–	2.1	–	–	V
V_{OL}	出力 LOW 電圧（I_{OL} = 100 µA）	1.8 V（任意のポート）		–	–	0.2	–	–	0.2	–	–	0.2	V
	出力 HIGH 電圧（I_{OH} = 2 mA）	2.5 V（任意のポート）		–	–	0.4	–	–	0.4	–	–	0.4	V
	出力 HIGH 電圧（I_{OH} = 2 mA）	3.0 V（任意のポート）		–	–	0.4	–	–	0.4	–	–	0.4	V
V_{OL} ODR	ODR 出力 LOW 電圧（I_{OL} = 8 mA）	1.8 V（任意のポート）		–	–	0.2	–	–	0.2	–	–	0.2	V
		2.5 V（任意のポート）		–	–	0.2	–	–	0.2	–	–	0.2	V
		3.0 V（任意のポート）		–	–	0.2	–	–	0.2	–	–	0.2	V
V_{IH}	入力 HIGH 電圧	1.8 V（任意のポート）		1.2	–	V_{DDIO} + 0.2	1.2	–	V_{DDIO} + 0.2	1.2	–	V_{DDIO} + 0.2	V
		2.5 V（任意のポート）		1.7	–	V_{DDIO} + 0.3	1.7	–	V_{DDIO} + 0.3	1.7	–	V_{DDIO} + 0.3	V
		3.0 V（任意のポート）		2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	V
V_{IL}	入力 LOW 電圧	1.8 V（任意のポート）		–0.2	–	0.4	–0.2	–	0.4	–0.2	–	0.4	V
		2.5 V（任意のポート）		–0.3	–	0.6	–0.3	–	0.6	–0.3	–	0.6	V
		3.0 V（任意のポート）		–0.2	–	0.7	–0.2	–	0.7	–0.2	–	0.7	V
I_{OZ}	出力漏れ電流	1.8 V	1.8 V	–1	–	1	–1	–	1	–1	–	1	µA
		2.5 V	2.5 V	–1	–	1	–1	–	1	–1	–	1	µA
		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA
I_{CEX} ODR	ODR 出力漏れ電流 V_{OUT} = V_{DDIO}	1.8 V	1.8 V	–1	–	1	–1	–	1	–1	–	1	µA
		2.5 V	2.5 V	–1	–	1	–1	–	1	–1	–	1	µA
		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA

注
18. 電源投入時、いずれの入力または入出力ピンの電圧も、電源ピンを超えることはできません。
19. パルス幅 < 20 ns。

電気的特性 (V_{CC} = 1.8 V) (続き)

全動作範囲 (続き)

記号	項目		P1 IO 電圧	P2 IO 電圧	CYDMX256A16 CYDMX128A16 –65 最小値	CYDMX256A16 CYDMX128A16 –65 標準値	CYDMX256A16 CYDMX128A16 –65 最大値	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 最小値	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 標準値	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 最大値	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 最小値	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 標準値	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 最大値	単位
I_{IX}	入力漏れ電流		1.8 V	1.8 V	–1	–	1	–1	–	1	–1	–	1	µA
			2.5 V	2.5 V	–1	–	1	–1	–	1	–1	–	1	µA
			3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA
I_{CC}	動作電流 （V_{CC} = 最大、I_{OUT} = 0 mA）出力無効	Ind.	1.8 V	1.8 V	–	25	40	–	25	40	–	15	25	mA
I_{SB1}	スタンバイ電流 （両ポート TTL レベル） CE#L と CE#R ≥ V_{CC} – 0.2、f = f_{MAX}	Ind.	1.8 V	1.8 V	–	2	6	–	2	6	–	2	6	µA
I_{SB2}	スタンバイ電流 （1 つのポートが TTL レベル） CE#L または CE#R ≥ V_{IH}、f = f_{MAX}	Ind.	1.8 V	1.8 V	–	8.5	18	–	8.5	18	–	8.5	14	mA
I_{SB3}	スタンバイ電流 （両ポート CMOS レベル） CE#L と CE#R ≥ V_{CC} – 0.2 V、f = 0	Ind.	1.8 V	1.8 V	–	2	6	–	2	6	–	2	6	µA
I_{SB4}	スタンバイ電流 （1 つのポートが CMOS レベル） CE#L または CE#R ≥ V_{IH}、f = f_{MAX}[20]	Ind.	1.8 V	1.8 V	–	8.5	18	–	8.5	18	–	8.5	14	mA

注
20. f_{MAX} = 1/t_{RC}: 全ての入力ピンを f = 1/t_{RC} で繰り返し変化させます（出力イネーブルを除く）。f = 0 は、アドレスまたは制御線に変化がないことを意味します。

電気的特性 (V_{CC} = 2.5 V)

全動作範囲

記号	項目		P1 IO 電圧	P2 IO 電圧	CYDMX256A16 CYDMX128A16 –65 最小値	CYDMX256A16 CYDMX128A16 –65 標準値	CYDMX256A16 CYDMX128A16 –65 最大値	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 最小値	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 標準値	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 最大値	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 最小値	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 標準値	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 最大値	単位
V_{OH}	出力 HIGH 電圧 (I_{OH} = –2 mA)		2.5 V（任意のポート）		2.0	–	–	2.0	–	–	2.0	–	–	V
			3.0 V（任意のポート）		2.1	–	–	2.1	–	–	2.1	–	–	V
V_{OL}	出力 LOW 電圧 (I_{OL} = 2 mA)		2.5 V（任意のポート）		–	–	0.4	–	–	0.4	–	–	0.4	V
			3.0 V（任意のポート）		–	–	0.4	–	–	0.4	–	–	0.4	V
V_{OL} ODR	ODR 出力 LOW 電圧 (I_{OL} = 8 mA)		2.5 V（任意のポート）		–	–	0.2	–	–	0.2	–	–	0.2	V
			3.0 V（任意のポート）		–	–	0.2	–	–	0.2	–	–	0.2	V
V_{IH}	入力 HIGH 電圧		2.5 V（任意のポート）		1.7	–	V_{DDIO} + 0.3	1.7	–	V_{DDIO} + 0.3	1.7	–	V_{DDIO} + 0.3	V
			3.0 V（任意のポート）		2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	V
V_{IL}	入力 LOW 電圧		2.5 V（任意のポート）		–0.3	–	0.6	–0.3	–	0.6	–0.3	–	0.6	V
			3.0 V（任意のポート）		–0.2	–	0.7	–0.2	–	0.7	–0.2	–	0.7	V
I_{OZ}	出力漏れ電流		2.5 V	2.5 V	–1	–	1	–1	–	1	–1	–	1	µA
			3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA
I_{CEX} ODR	ODR 出力漏れ電流 V_{OUT} = V_{CC}		2.5 V	2.5 V	–1	–	1	–1	–	1	–1	–	1	µA
			3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA
I_{IX}	入力漏れ電流		2.5 V	2.5 V	–1	–	1	–1	–	1	–1	–	1	µA
			3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA
I_{CC}	動作電流（V_{CC} = 最大、I_{OUT} = 0 mA）出力無効	Ind.	2.5 V	2.5 V	–	39	55	–	39	55	–	28	40	mA
I_{SB1}	スタンバイ電流（両ポート TTL レベル） CE#L と CE#R ≥ V_{CC} – 0.2、f = f_{MAX}	Ind.	2.5 V	2.5 V	–	6	8	–	6	8	–	6	8	µA
I_{SB2}	スタンバイ電流（1 つのポートが TTL レベル）CE#L または CE#R ≥ V_{IH}、f = f_{MAX}	Ind.	2.5 V	2.5 V	–	21	30	–	21	30	–	18	25	mA
I_{SB3}	スタンバイ電流（両ポート CMOS レベル）CE#L と CE#R ≥ V_{CC} – 0.2 V、f = 0	Ind.	2.5 V	2.5 V	–	4	6	–	4	6	–	4	6	µA
I_{SB4}	スタンバイ電流（1 つのポートが CMOS レベル） CE#L または CE#R ≥ V_{IH}、f = f_{MAX}[21]	Ind.	2.5 V	2.5 V	–	21	30	–	21	30	–	18	25	mA

注
21. f_{MAX} = 1/t_{RC}: 全ての入力ピンを f = 1/t_{RC} で繰り返し変化させます（出力イネーブルを除く）。f = 0 は、アドレスまたは制御線に変化がないことを意味します。これは CMOS レベル入力のみに適用されます。(スタンバイ I_{SB3})

電気的特性 (3.0 V)

全動作範囲

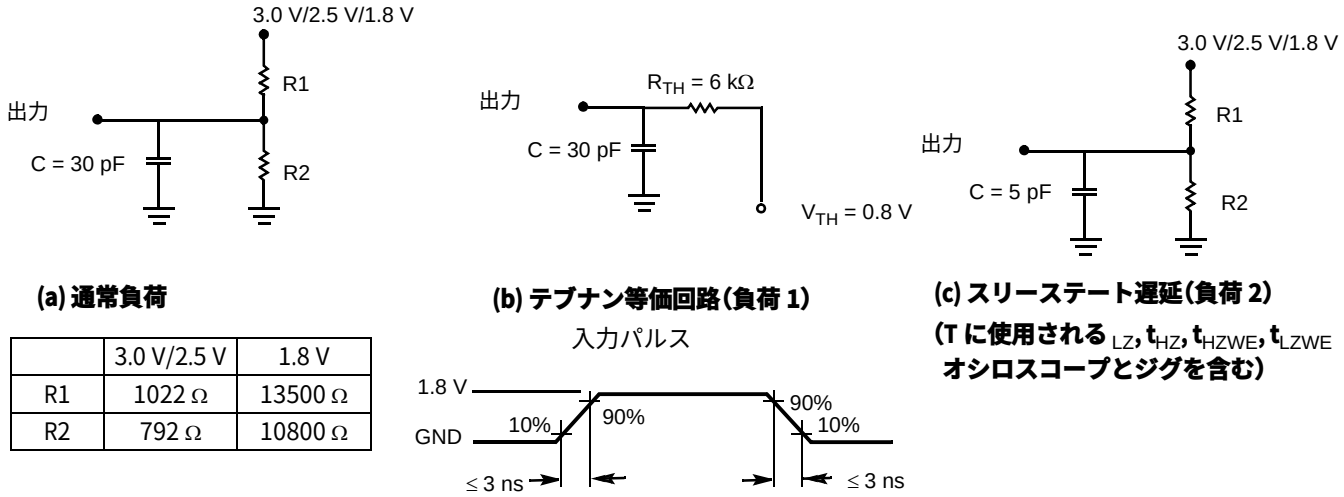
記号	項目		P1 IO 電圧	P2 IO 電圧	CYDMX256A16 CYDMX128A16 –65 最小値	CYDMX256A16 CYDMX128A16 –65 標準値	CYDMX256A16 CYDMX128A16 –65 最大値	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 最小値	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 標準値	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 最大値	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 最小値	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 標準値	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 最大値	単位
V_{OH}	出力 HIGH 電圧（I_{OH} = –2 mA）		3.0 V（任意のポート）		2.1	–	–	2.1	–	–	2.1	–	–	V
V_{OL}	出力 LOW 電圧 (I_{OL} = 2 mA）		3.0 V（任意のポート）		–	–	0.4	–	–	0.4	–	–	0.4	V
V_{OL} ODR	ODR 出力 LOW 電圧（I_{OL} = 8 mA）		3.0 V（任意のポート）		–	–	0.2	–	–	0.2	–	–	0.2	V
V_{IH}	入力 HIGH 電圧		3.0 V（任意のポート）		2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	V
V_{IL}	入力 LOW 電圧		3.0 V（任意のポート）		–0.2	–	0.7	–0.2	–	0.7	–0.2	–	0.7	V
I_{OZ}	出力漏れ電流		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA
I_{CEX} ODR	ODR 出力漏れ電流 $V_{OUT} = V_{CC}$		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA
I_{IX}	入力漏れ電流		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA
I_{CC}	動作電流（V_{CC} = 最大、I_{OUT} = 0 mA）出力無効	Ind.	3.0 V	3.0 V	–	49	70	–	49	70	–	42	60	mA
I_{SB1}	スタンバイ電流（両ポート TTL レベル） CE#L と CE#R ≥ V_{CC} – 0.2、f = f_{MAX}	Ind.	3.0 V	3.0 V		7	10		7	10		7	10	µA
I_{SB2}		Ind.	3.0 V	3.0 V		28	40		28	40		25	35	mA
I_{SB3}	スタンバイ電流（1 つのポートが TTL レベル） CE#L または CE#R ≥ V_{IH}、f = f_{MAX}	Ind.	3.0 V	3.0 V		6	8		6	8		6	8	µA
I_{SB4}		Ind.	3.0 V	3.0 V		28	40		28	40		25	35	mA

静電容量 [22]

記号	項目	テスト条件	最大値	単位
C_{IN}	入力容量	T_A = 25 °C、f = 1 MHz、V_{CC} = 3.0 V	9	pF
C_{OUT}	出力容量		10	pF

注
22. 最初にテストされていますが、設計またはプロセス変更後、これらのパラメータが影響を受ける場合があります。

図 2. AC テストの負荷と波形



(a) 通常負荷

	3.0 V/2.5 V	1.8 V
R1	1022 Ω	13500 Ω
R2	792 Ω	10800 Ω

(b) テブナン等価回路(負荷 1)

(c) スリーステート遅延(負荷 2)
(T に使用される t_{LZ}, t_{HZ}, t_{HZWE}, t_{LZWE} オシロスコープとジグを含む)

スイッチング特性 (V_{CC} = 1.8 V)

全動作範囲 [23]

記号	項目	CYDMX256A16 CYDMX128A16		CYDMX256B16 CYDMX128B16 CYDMX064B16		CYDMX256A16 CYDMX128A16 CYDMX064A16		単位
		–65		–65		–90		
		最小値	最大値	最小値	最大値	最小値	最大値	
AD Mux ポートの読み出しサイクル [24]								
t_{RC}	読み込みサイクルタイム	65	–	65	–	90	–	ns
t_{ACC1}	ランダム アクセス ADV# LOW からデータ有効まで	–	65	–	65	–	90	ns
t_{ACC2}	ランダム アクセス アドレスからデータ有効まで	–	65	–	65	–	90	ns
t_{ACC3}	ランダム アクセス CS# からデータ有効まで	–	65	–	65	–	90	ns
t_{AVDA}	ランダム アクセス ADV# HIGH からデータ有効まで	–	35	–	35	–	50	ns
t_{AVD}	ADV# LOW パルス	15	–	15	–	20	–	ns
t_{AVDS}	アドレス セットアップから ADV# の立ち上がりエッジ	15	–	15	–	20	–	ns
t_{AVDH}	ADV# の立ち上がりエッジからアドレス ホールド	3	–	3	–	5	–	ns
t_{CSS}	CS# セットアップから ADV# の立ち上がりエッジ	7	–	7	–	10	–	ns
t_{OE}	OE# LOW からデータ有効まで	–	35	–	35	–	50	ns
t_{LZOE} [25]	OE# Low から IO Low Z まで	3	–	3	–	5	–	ns
t_{HZOE}	OE# High から IO High Z まで	–	15	–	15	–	25	ns
t_{HZCS}	CE# High から IO High Z まで	–	15	–	15	–	25	ns
t_{DBE}	UB#/LB# から IO 有効まで	–	35	–	35	–	50	ns
t_{LZBE}	UB#/LB# Low から IO Low Z まで	3	–	3	–	5	–	ns
t_{HZBE}	UB#/LB# High から IO High Z まで	–	15	–	15	–	25	ns
t_{AVOE}	ADV# High から OE# Low まで	0	–	0	–	0	–	ns

注
23. すべてのタイミング パラメータは、図 2 に指定される負荷 2 で測定されます。
24. AD Mux ポートタイミングは、AD Mux ポートである左ポートと AD Mux ポートに設定された右ポートに適用されます。
25. このパラメータは保証されていますがテストされていません。

スイッチング特性 (V_{CC} = 1.8 V) (続き)

全動作範囲 [23] (続き)

記号	項目	CYDMX256A16 CYDMX128A16		CYDMX256B16 CYDMX128B16 CYDMX064B16		CYDMX256A16 CYDMX128A16 CYDMX064A16		単位
		–65		–65		–90		
		最小値	最大値	最小値	最大値	最小値	最大値	
AD Mux ポートの書き込みサイクル [26]								
t_{WC}	書き込みサイクルタイム	65	–	65	–	90	–	ns
t_{SCS}	CS# Low から書き込みの最後まで	65	–	65	–	90	–	ns
t_{AVD}	ADV# LOW パルス	15	–	15	–	20	–	ns
t_{AVDS}	アドレス セットアップから ADV# の立ち上がりエッジ	15	–	15	–	20	–	ns
t_{AVDH}	ADV# の立ち上がりエッジからアドレス ホールド	3	–	3	–	5	–	ns
t_{CSS}	CS# セットアップから ADV# の立ち上がりエッジ	7	–	7	–	10	–	ns
t_{WRL}	WE# パルス幅	28	–	28	–	45	–	ns
t_{BW}	UB#/LB# Low から書き込みの最後まで	28	–	28	–	45	–	ns
t_{SD}	データ セットアップから書き込みの最後まで	20	–	20	–	30	–	ns
t_{HD}	書き込みの最後からデータ ホールドまで	0	–	0	–	0	–	ns
t_{LZWE}	WE# High から IO Low Z まで	0	–	0	–	0	–	ns
t_{AVWE}	ADV# High から WE# Low まで	0	–	0	–	0	–	ns
標準ポートの読み出しサイクル [27]								
t_{RC}	読み込みサイクルタイム	40	–	60	–	60	–	ns
t_{AA}	アドレスからデータ有効まで	–	40	–	60	–	60	ns
t_{OHA}	アドレス変更から出力ホールド	5	–	5	–	5	–	ns
t_{ACS}	CS# からデータ有効まで	–	40	–	60	–	60	ns
t_{DOE}	OE# LOW からデータ有効まで	–	25	–	35	–	35	ns
t_{LZOE} [28]	OE# LOW からデータ LOW Z まで	5	–	5	–	5	–	ns
t_{HZOE}	OE# High からデータ High Z まで	–	10	–	30	–	30	ns
t_{LZCS}	CS# LOW からデータ LOW Z まで	5	–	5	–	5	–	ns
t_{HZCS}	CS# High からデータ High Z まで	–	10	–	30	–	30	ns
t_{LZBE}	UB#/LB# Low からデータ Low Z まで	5	–	5	–	5	–	ns
t_{HZBE}	UB#/LB# High からデータ High Z まで	–	10	–	30	–	30	ns
t_{ABE}	UB#/LB# アクセスタイム	–	40	–	60	–	60	ns
標準 SRAM ポート書き込みサイクル								
t_{WC}	書き込みサイクルタイム	40	–	60	–	60	–	ns
t_{SCS}	CS# Low から書き込みの最後まで	30	–	50	–	50	–	ns
t_{AW}	アドレス有効から書き込みの最後まで	30	–	50	–	50	–	ns
t_{HA}	書き込みの最後からアドレス ホールドまで	0	–	0	–	0	–	ns
t_{SA}	アドレス セットアップから書き込みの開始まで	0	–	0	–	0	–	ns

注
26. AD Mux ポートタイミングは、AD Mux ポートである左ポートと AD Mux ポートに設定された右ポートに適用されます。
27. 標準 SRAM ポートタイミングは、標準 SRAM ポートに設定された右ポートに適用されます。
28. このパラメータは保証されていますがテストされていません。

スイッチング特性 (V_{CC} = 1.8 V) (続き)

全動作範囲 [23] (続き)

記号	項目	CYDMX256A16 CYDMX128A16		CYDMX256B16 CYDMX128B16 CYDMX064B16		CYDMX256A16 CYDMX128A16 CYDMX064A16		単位
		–65		–65		–90		
		最小値	最大値	最小値	最大値	最小値	最大値	
t_{WRL}	書き込みパルス幅	25	–	45	–	45	–	ns
t_{SD}	データ セットアップから書き込みの最後まで	20	–	30	–	30	–	ns
t_{HD}	書き込みの最後からデータ ホールドまで	0	–	0	–	0	–	ns
t_{HZWE}	WE# Low からデータ High Z まで	–	15	–	25	–	25	ns
t_{LZWE}	WE# Low からデータ Low Z まで	0	–	0	–	0	–	ns
アービトレーション タイミング								
t_{BLA}	アドレス一致から BUSY# Low まで	–	30	–	50	–	50	ns
t_{BHA}	アドレス不一致から BUSY# High まで	–	30	–	50	–	50	ns
t_{BLC}	CS# Low から BUSY# Low まで	–	30	–	50	–	50	ns
t_{BHC}	CS# High から BUSY# High まで	–	30	–	50	–	50	ns
t_{PS}[29]	ポートセットアップ	5	–	5	–	5	–	ns
t_{BDD}	BUSY# High からデータ有効まで	–	30	–	50	–	50	ns
t_{WDD}	書き込みパルスからデータ遅延まで	–	55	–	85	–	85	ns
t_{DDD}	書き込みデータ有効から読み出しデータ有効まで	–	45	–	70	–	70	ns
割り込みのタイミング								
t_{INS}	INT# セット時間	–	35	–	55	–	55	ns
t_{INR}	INT# リセット時間	–	35	–	55	–	55	ns

注
29. 温度 < 0 °Cでの VCC と VDDIOR が < 1.8 V, and VDDIOL is >2.5 V である場合は、このパラメータに 2 ns を加算してください。

スイッチング波形

図 3. ADM ポート読み出しサイクル（いずれかのポート アクセス、WE# High）

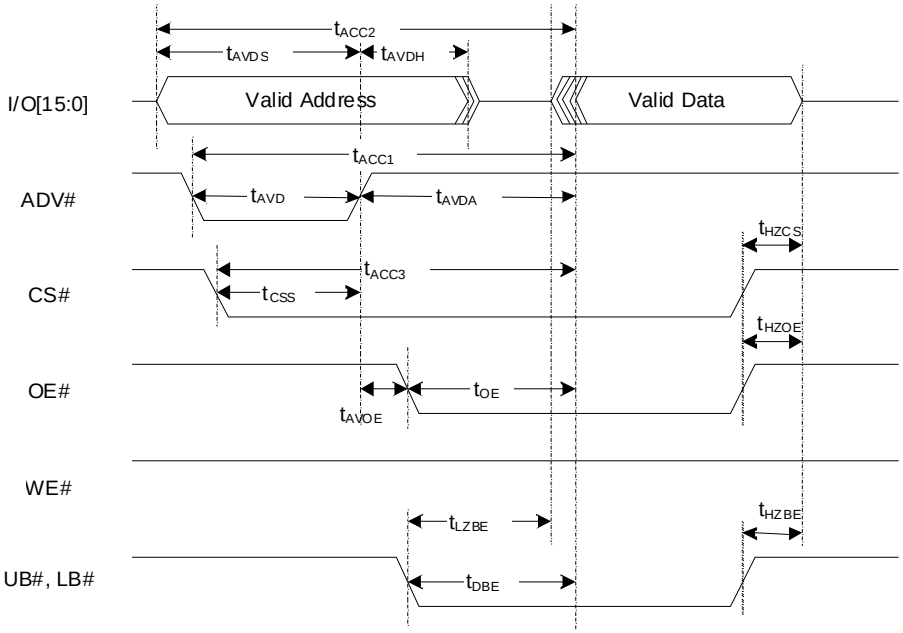


図 4. ADM ポート書き込みサイクル（いずれかのポート アクセス、WE# 制御、OE# High）

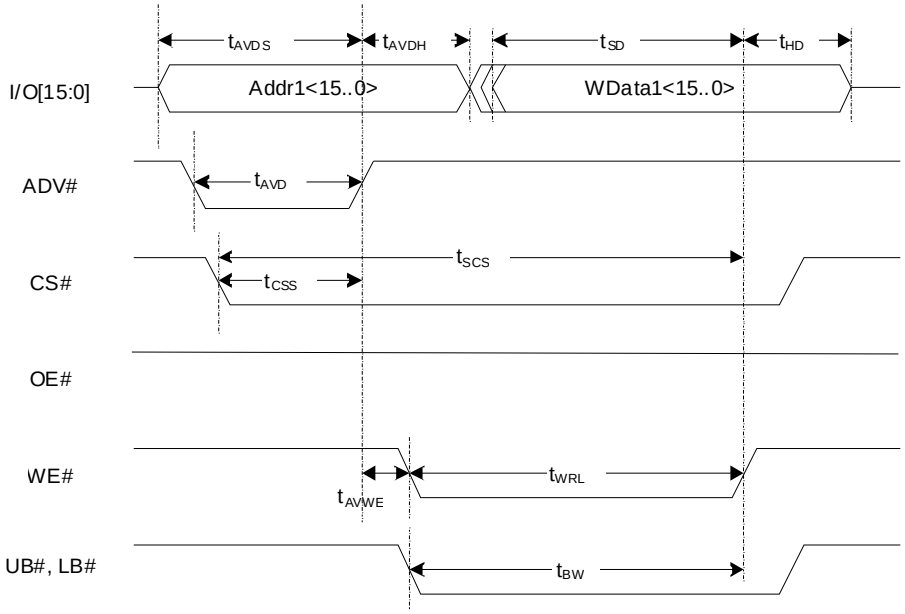


図 5. ADM ポート書き込みサイクル（いずれかのポート アクセス、CS# 制御、OE# High）

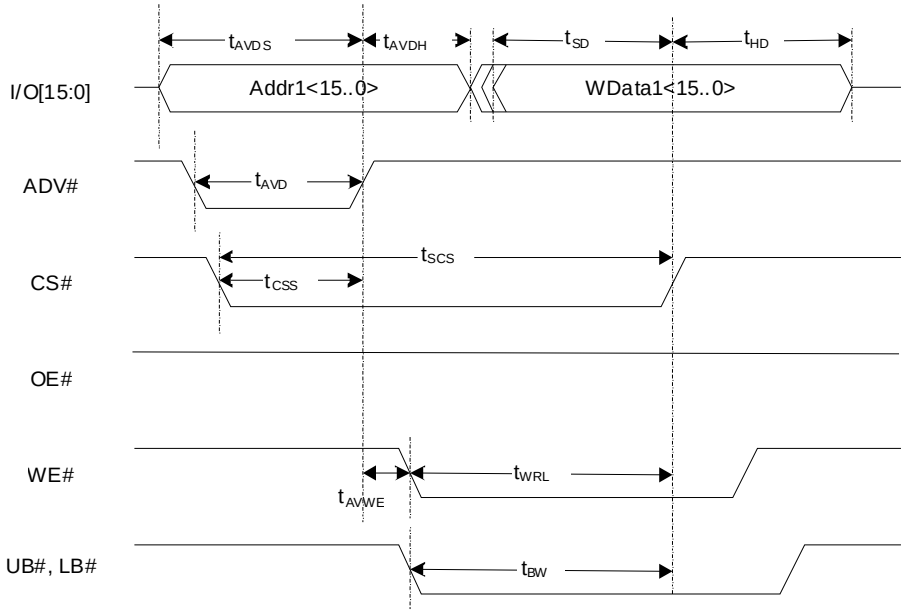


図 6. 標準ポート読み出しサイクル（右ポート アクセス、WE# High）

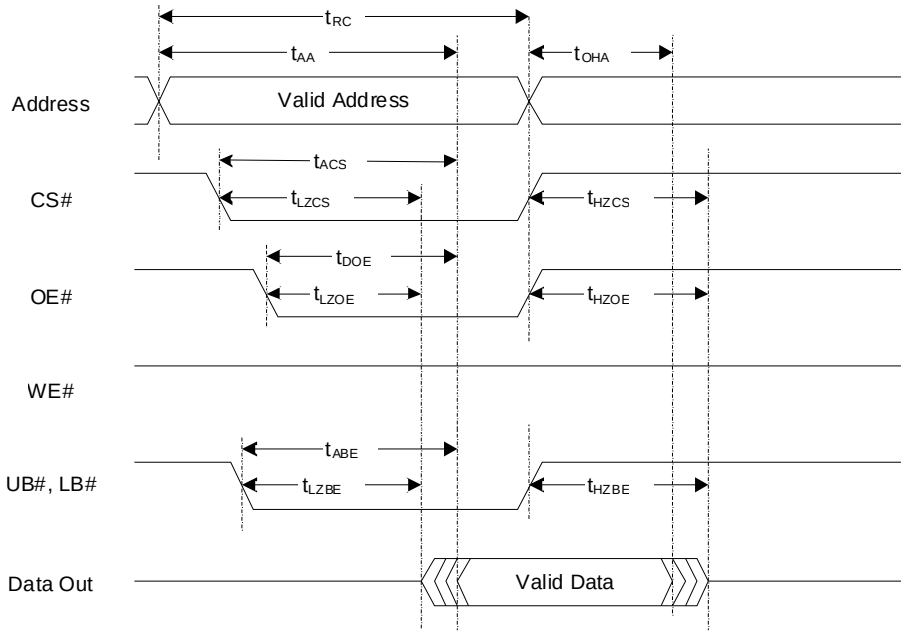


図 7. 標準ポート書き込みサイクル（右ポート アクセス、WE# 制御）

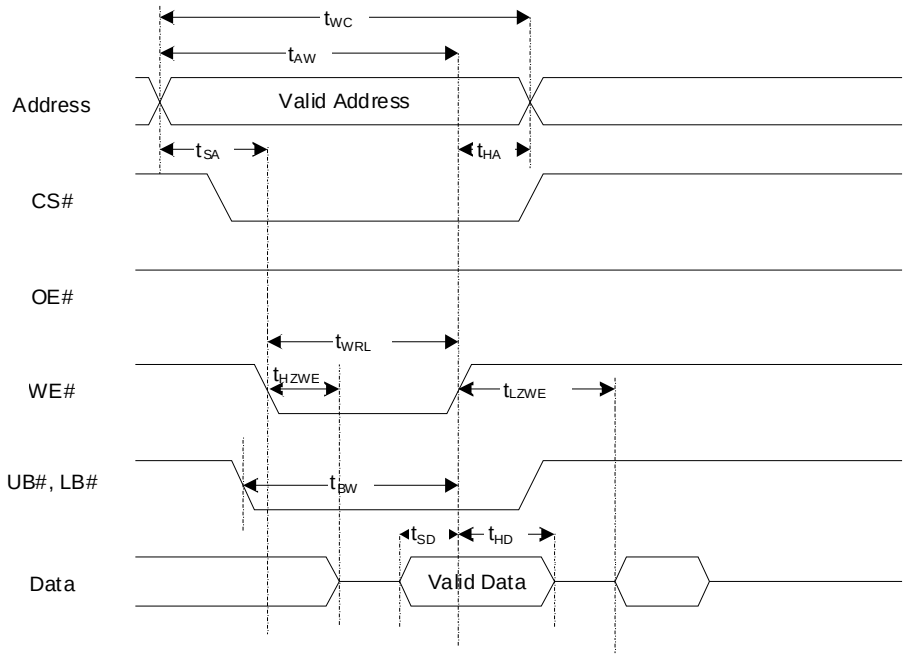


図 8. 標準ポート書き込みサイクル（右ポート アクセス、CS# 制御）

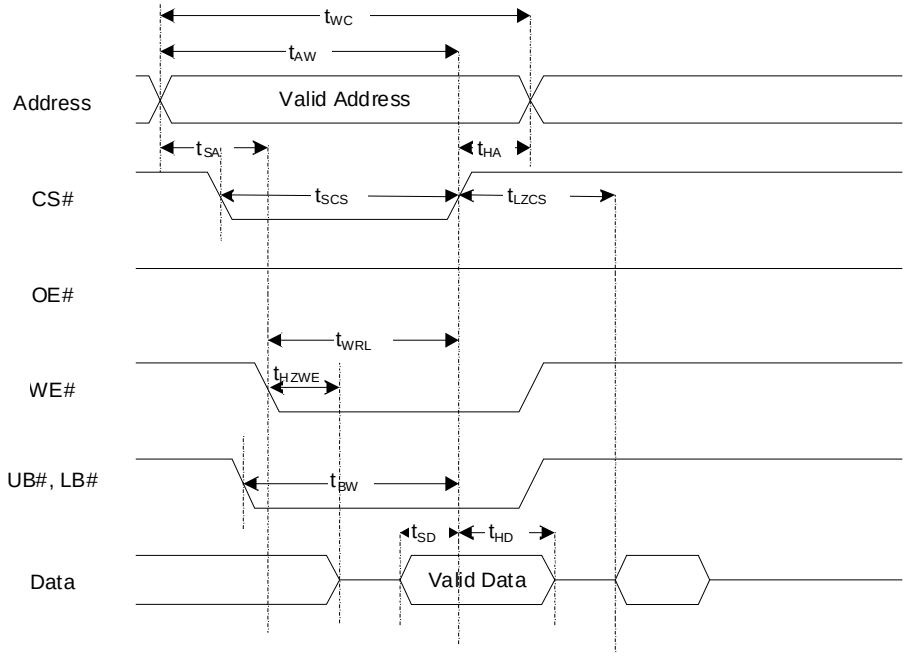


図 9. アービトレーション タイミング

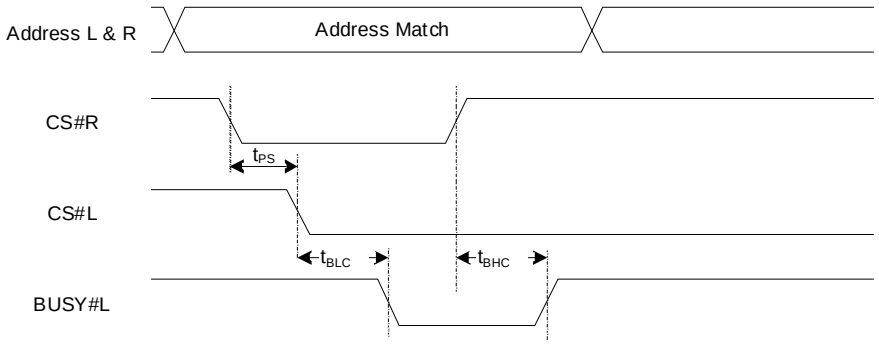


図 10. アービトレーション タイミング（左ポート ADM、右ポート標準 SRAM)

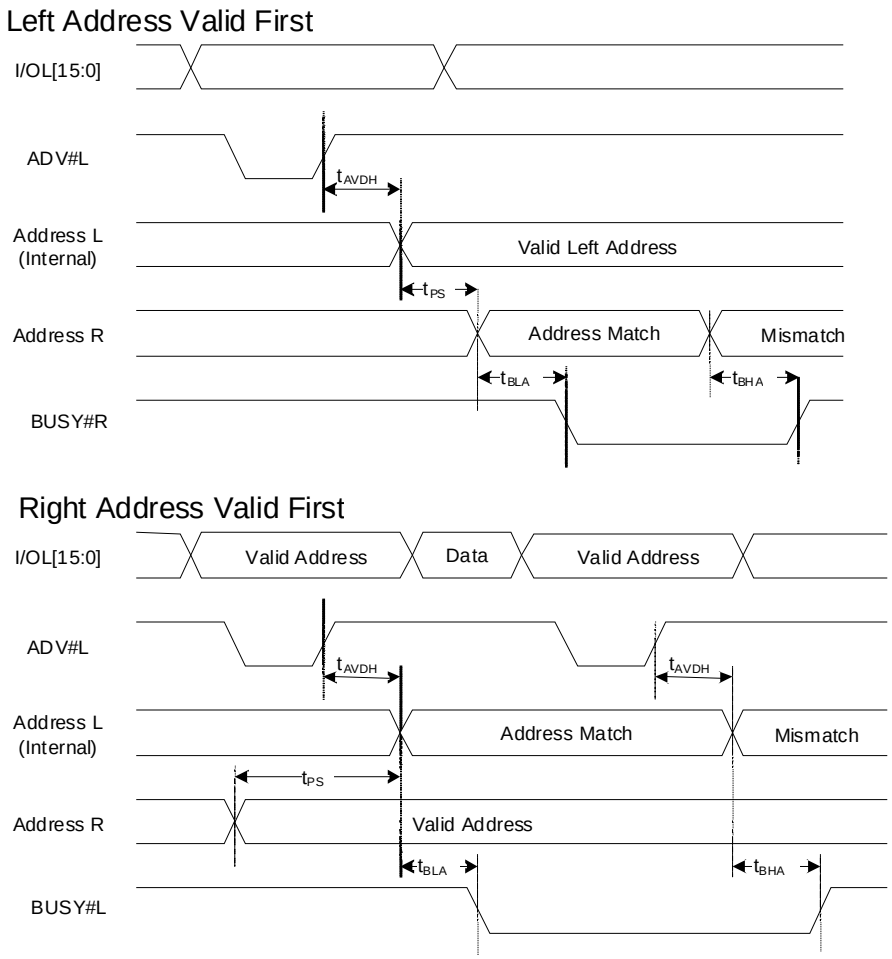


図 11. アービトレーション タイミング（左ポート ADM、右ポート ADM)

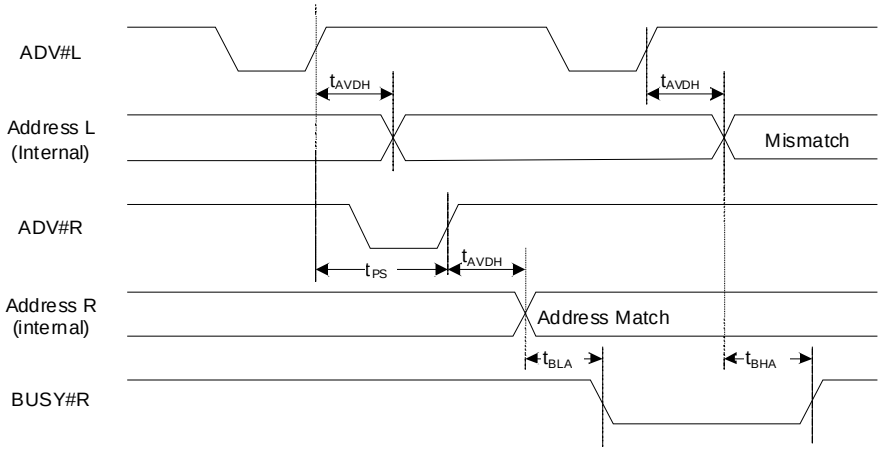


図 12. BUSY# タイミングによる読み出し

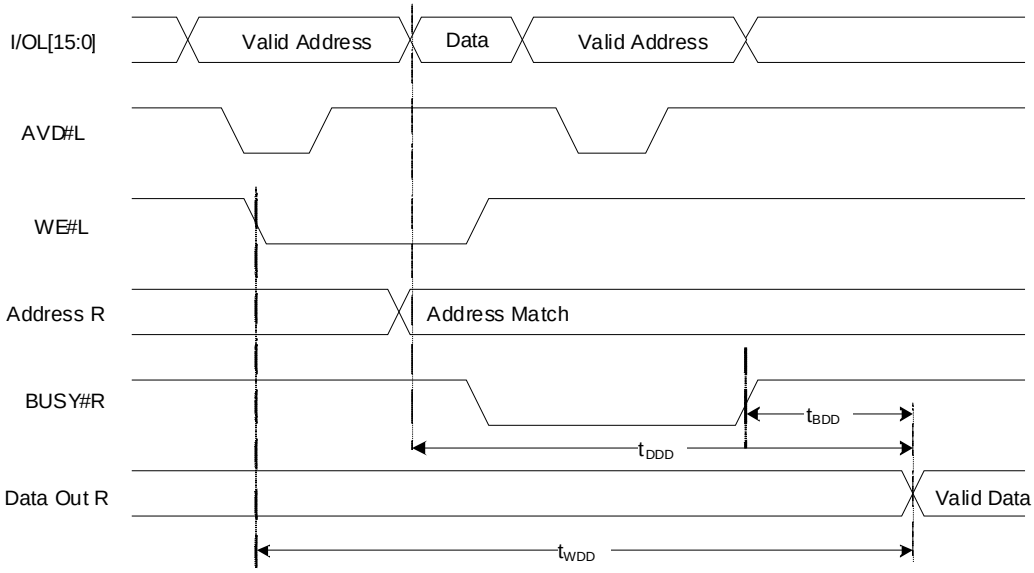
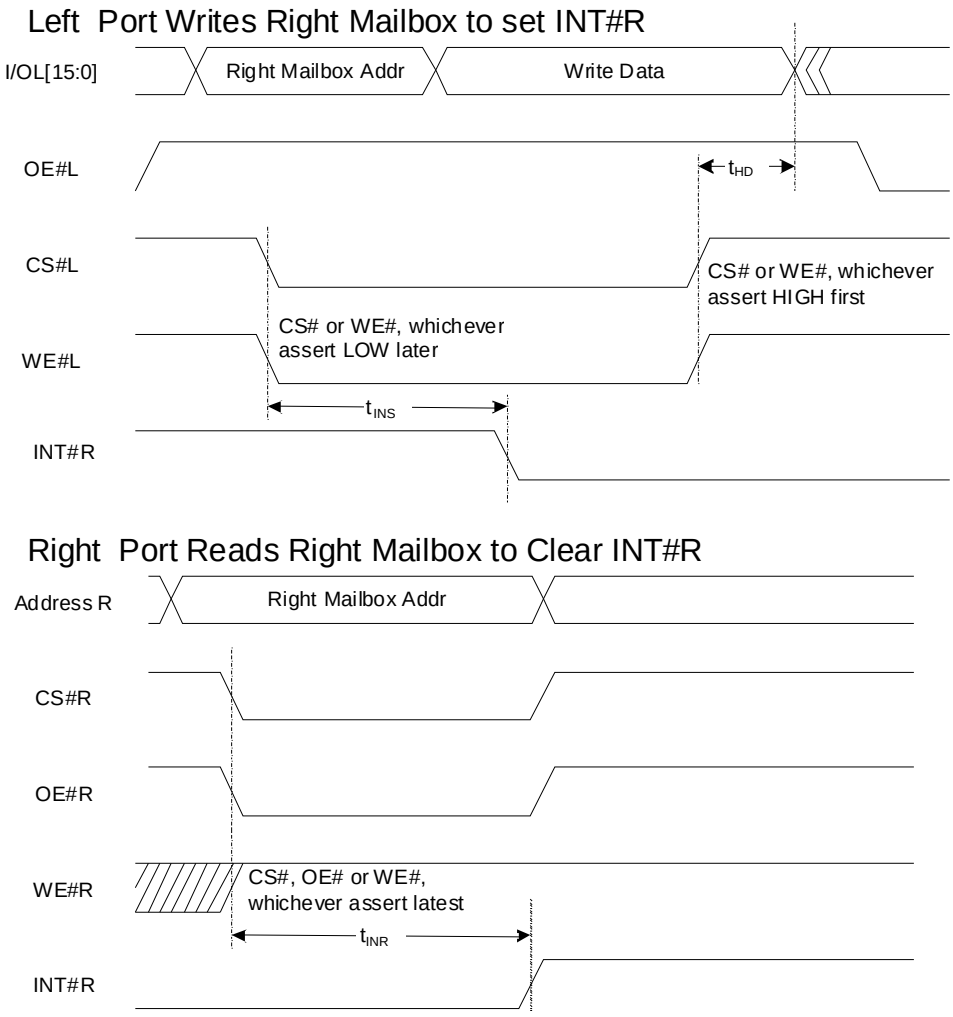


図 13. 割り込みのタイミング



オーダ情報

表 7. 16 K × 16 MoBL ADM 非同期デュアルポート SRAM

速度 (ns)	注文コード	パッケージ名	パッケージ タイプ	動作範囲
65	CYDMX256A16-65BVXI	BZ100	鉛フリー、0.5 mm ピッチ BGA（ボール端子数 100）	産業用
65	CYDMX256B16-65BVXI	BZ100	鉛フリー、0.5 mm ピッチ BGA（ボール端子数 100）	産業用
90	CYDMX256A16-90BVXI	BZ100	鉛フリー、0.5 mm ピッチ BGA（ボール端子数 100）	産業用

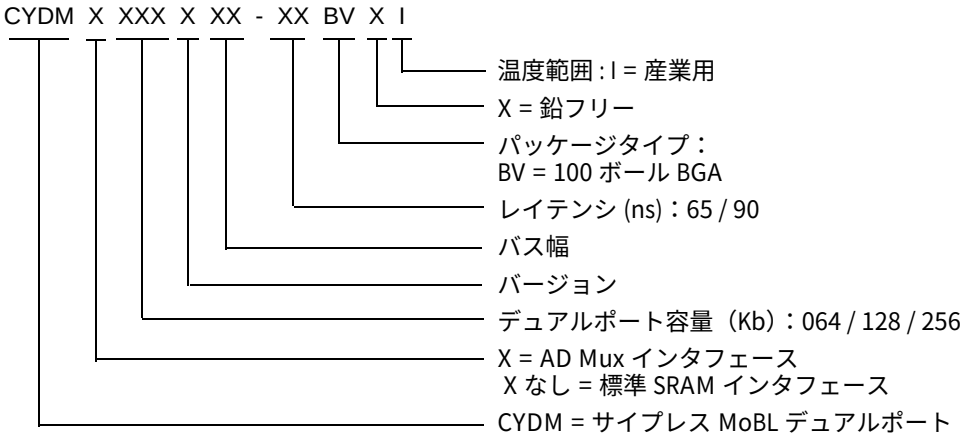
表 8. 8 K × 16 MoBL ADM 非同期デュアルポート SRAM

速度 (ns)	注文コード	パッケージ名	パッケージ タイプ	動作範囲
65	CYDMX128A16-65BVXI	BZ100	鉛フリー、0.5 mm ピッチ BGA（ボール端子数 100）	産業用
65	CYDMX128B16-65BVXI	BZ100	鉛フリー、0.5 mm ピッチ BGA（ボール端子数 100）	産業用

表 9. 4 K × 16 MoBL ADM 非同期デュアルポート SRAM

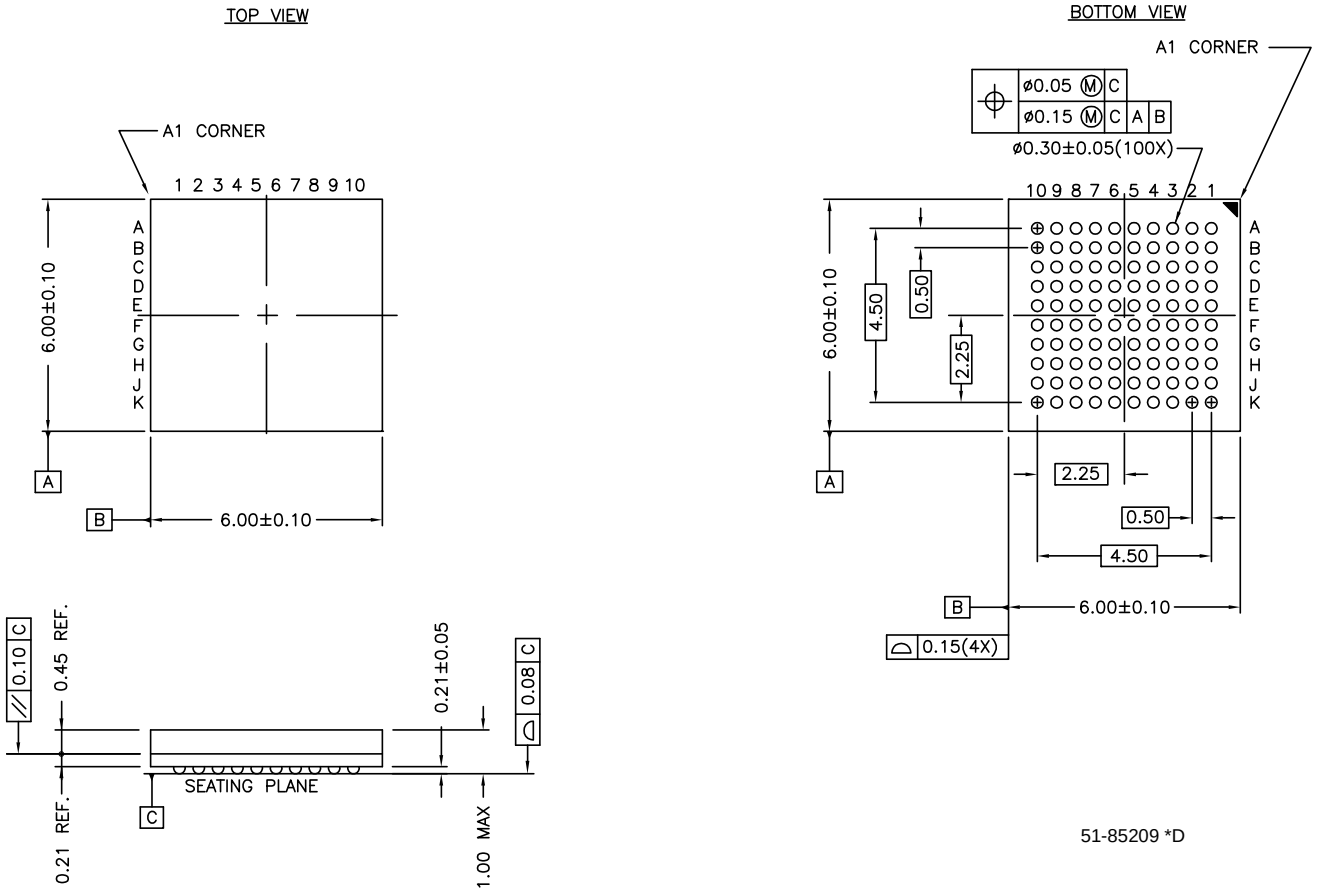
速度 (ns)	注文コード	パッケージ名	パッケージ タイプ	動作範囲
90	CYDMX064A16-90BVXI	BZ100	鉛フリー、0.5 mm ピッチ BGA（ボール端子数 100）	産業用

注文コードの定義



外形図

図 14. 100-ball VFBGA（6 x 6 x 1.0 mm）BZ100A



略号

略号	項目
BGA	ball grid array、ボールグリッドアレイ
CMOS	complementary metal oxide semiconductor、相補型金属酸化膜半導体
CS#	Chip Select、チップセレクト
I/O	input/output、入出力
LVCMOS	low voltage complementary metal oxide semiconductor、低電圧 CMOS
LVTTL	low voltage transistor-transistor logic、低電圧トランジスタ - トランジスタ ロジック
ODR	output drive register
OE#	Output Enable、出力イネーブル
SRAM	static random access memory、スタティック ランダム アクセス メモリ
TTL	トランジスタ - トランジスタ ロジック
VFBGA	Very fine-pitch ball grid array、超ファイン ピッチ ボールグリッドアレイ
WE#	Write Enable、書き込みイネーブル

本書の表記法

測定単位

記号	測定単位
%	パーセント
°C	摂氏温度
mA	ミリアンペア
MHz	メガヘルツ
mm	ミリメートル
ms	ミリ秒
mV	ミリボルト
ns	ナノ秒
pF	ピコファラッド
V	ボルト
Ω	オーム
W	ワット
µA	マイクロアンペア

改訂履歴

ドキュメントのタイトル：CYDMX256A16、CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16、CYDMX064B16、
16 K/8 K/4 K × 16 MoBL® ADM 非同期デュアルポート　スタティック RAM
文書番号：001-62665

REV.	ECN No.	担当	発行日	変更内容
**	2965699	HKH	07/01/2010	初版
*A	3556245	JMYTMP8	04/20/2012	英語版 *H の翻訳

販売、ソリューション、および法律情報

ワールドワイドな販売と設計サポート

サイプレスは、事業所、ソリューション センター、メーカー代理店、および販売代理店の世界的なネットワークを保持しています。お客様の最寄りの事業所については、サイプレスの Web サイト サイプレスのロケーションをご覧ください。

製品

自動車	cypress.com/go/automotive
クロック & バッファ	cypress.com/go/clocks
インタフェース	cypress.com/go/interface
照明 & 電源管理	cypress.com/go/powerpsoc cypress.com/go/plc
メモリ	cypress.com/go/memory
光学 & イメージ センサ	cypress.com/go/image
PSoC	cypress.com/go/psoc
タッチセンサ	cypress.com/go/touch
USB コントローラ	cypress.com/go/USB
ワイヤレス /RF	cypress.com/go/wireless

PSoC ソリューション

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 5

© Cypress Semiconductor Corporation, 2006-2012. 本文書に記載される情報は、予告なく変更される場合があります。サイプレス セミコンダクタ コーポレーションは、サイプレス 製品に組み込まれた回路以外のいかなる回路を使用することに対しても一切の責任を負いません。かつ、サイプレス セミコンダクタ コーポレーションは、特許またはその他の権利に基づくライセンスを譲渡することも、又は含意することもありません。サイプレス製品は、サイプレスとの書面による合意に基づくものでない限り、医療、生命維持、救命、重要な管理、または安全の用途のために使用することを保証するものではなく、また使用することを意図したものでもありません。さらにサイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される、生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

全てのソース コード（ソフトウェアおよび / またはファームウェア）はサイプレス セミコンダクタ コーポレーション（以下「サイプレス」）が所有し、全世界の特許権保護（米国およびその他の国）、米国の著作権法ならびに国際協定の条項により保護され、かつそれらに従います。サイプレスが本書面によりライセンシーに付与するライセンスは、個人的、非独占的かつ譲渡不能のライセンスであって、適用される契約で指定されたサイプレスの集積回路と併用されるライセンシーの製品のみをサポートするカスタム ソフトウェアおよび / またはカスタムファームウェアを作成する目的に限って、サイプレスのソース コードの派生著作物をコピー、使用、変更そして作成するためのライセンス、ならびにサイプレスのソース コードおよび派生著作物をコンパイルするためのライセンスです。上記で指定された場合を除き、サイプレスの書面による明示的な許可なくして本ソース コードを複製、変更、変換、コンパイル、または表示することは全て禁止されます。

免責条項：サイプレスは、明示的または黙示的を問わず、本資料に関するいかなる種類の保証も行いません。これには、商品性または特定目的への適合性の黙示的な保証が含まれますが、これに限定されません。サイプレスは、本文書に記載される資料に対して今後予告なく変更を加える権利を留保します。サイプレスは、本文書に記載されるいかなる製品または回路を適用または使用したことによって生ずるいかなる責任も負いません。サイプレスは、誤動作や故障によって使用者に重大な傷害をもたらすことが合理的に予想される生命維持システムの重要なコンポーネンツとしてサイプレス製品を使用することを許可していません。生命維持システムの用途にサイプレス製品を供することは、製造者がそのような使用におけるあらゆるリスクを負うことを意味し、その結果サイプレスはあらゆる責任を免除されることを意味します。

ソフトウェアの使用は、適用されるサイプレス ソフトウェア ライセンス契約によって制限され、かつ制約される場合があります。

MoBL は、Cypress Semiconductor Corporation の登録商標です。本書で言及するすべての製品名および会社名は、それぞれの所有者の商標である場合があります。