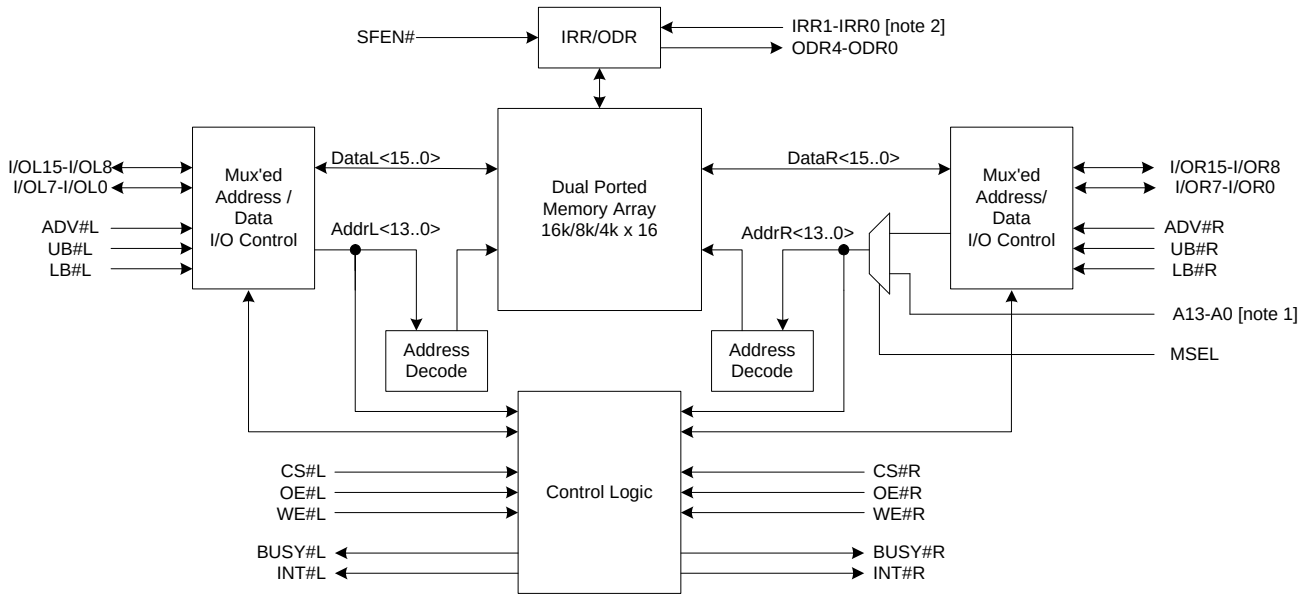
CYDMX256A16, CYDMX256B16
CYDMX128A16, CYDMX128B16
CYDMX064A16, CYDMX064B16

16 K/8 K/4 K x 16 MoBL® ADM 异步双端口静态 RAM

特性

- 真正的双端口存储器模块，允许进行同步独立访问
  - 一个带时间复用式地址和数据 (ADM) 的专用接口
  - 一个端口可配置为标准 SRAM 或时间复用式地址和数据接口
- 16 K/8 K/4 K × 16 存储器配置
- 高速访问
  - 65 ns 或 90 ns ADM 接口
  - 40 ns 或 60 ns 标准 SRAM 接口
- 完全异步操作
- 独立于端口的 1.8V、2.5V 和 3.0V IO
- 超低功耗
  - 活动：I_{CC} = 在 90 ns 时为 15 mA（典型值）
  - 活动：I_{CC} = 在 65 ns 时为 25 mA（典型值）
  - 待机：I_{SB3} = 2 µA（典型值）
- 独立于端口的断电功能
- 片上仲裁逻辑
- 邮箱中断，能够实现端口到端口通信
- 输入读和输出驱动寄存器
- 高位字节和低位字节控制
- 小尺寸封装：6 x 6 mm，100 脚无铅 BGA
- 工业级温度范围

模块框图



注
1. 如果是 CYDMX256A16 和 CYDMX256B16，则是 A13-A0；如果是 CYDMX128A16 和 CYDMX128B16，则是 A12-A0；如果是 CYDMX064A16 和 CYDMX064B16，则是 A11-A0。
2. 如果是 CYDMX256A16 和 CYDMX256B16，则没有 IRR1 和 IRR2。

目录

引脚配置 3
引脚定义 4
功能说明 4
电源 4
ADM 接口读或写操作 4
标准 SRAM 接口读或写操作 5
字节选择操作 5
芯片选择操作 5
输出使能操作 5
邮箱中断 5
仲裁逻辑 5
输入读寄存器 5
输出驱动寄存器 5
架构 6
最大额定值 8
工作范围 8
VCC = 1.8 V 时的电气特性 8
VCC = 2.5 V 时的电气特性 10
3.0 V 时的电气特性 11
电容 11
VCC = 1.8 V 时的开关特性 12
开关波形 15
订购信息 21
订购代码定义 21
封装图 22
缩略语 23
文档规范 23
测量单位 23
文档修订记录页 24
销售、解决方案和法律信息 25
全球销售和设计支持 25
产品 25
PSoC 解决方案 25

引脚配置

图 1. 100 脚无铅 0.5 mm 间距 BGA （顶视图）

	1	2	3	4	5	6	7	8	9	10	
A	A5	A8	A11	UB#R	VSS	ADV#R	I/OR15	I/OR12	I/OR10	VSS	A
B	A3	A4	A7	A9	CE#R	WE#R	OE#R	VDDIOR	I/OR9	I/OR6	B
C	A0	A1	A2	A6	LB#R	IRR1[3]	I/OR14	I/OR11	I/OR7	VSS	C
D	ODR4	ODR2	BUSY#R	INT#R	A10	A12[4]	I/OR13	I/OR8	I/OR5	I/O2R	D
E	VSS	DNU	ODR3	INT#L	VSS	VSS	I/OR4	VDDIOR	I/OR1	VSS	E
F	SFEN#	ODR1	BUSY#L	DNU	VCC	VSS	I/OR3	I/OR0	I/OL15	VDDIOL	F
G	ODR0	DNU	DNU	DNU	OE#L	I/OL3	I/OL11	I/OL12	I/OL14	I/OL13	G
H	DNU	DNU	DNU	LB#L	CE#L	I/OL1	VDDIOL	MSEL	DNU	I/OL10	H
J	DNU	DNU	DNU	IRR0[5]	VCC	VSS	I/OL4	I/OL6	I/OL8	I/OL9	J
K	DNU	DNU	DNU	UB#L	ADV#L	WE#L	I/OL0	I/OL2	I/OL5	I/OL7	K
	1	2	3	4	5	6	7	8	9	10	

.

注
3. 如果是 CYDMX256A16 和 CYDMX256B16，则此引脚为 A13。
4. 如果是 CYDMX064A16 和 CYDMX064B16，则此引脚为 DNU。
5. 如果是 CYDMX256A16 和 CYDMX256B16，则此引脚为 DNU。
6. DNU 引脚为 “ 请勿使用 ” 引脚。任何信号或带电组件都不能连接至这些引脚。

引脚定义

左端口	右端口	说明
CS#L	CS#R	芯片选择
WE#L	WE#R	读 / 写使能
OE#L	OE#R	Output Enable （输出启用）
	A0 - A13	地址 （对于 4 K 器件，为 A0 - A11 ；对于 8 K 器件，为 A0 - A12 ；对于 16 K 器件，为 A0 - A13）
	MSEL	右端口接口模式选择 （0： 标准 SRAM ； 1： 地址 / 数据 Mux）
IOL0 - IOL15	IOR0 - IOR15	地址 / 数据总线数据 / 输出
ADV#L	ADV#R	地址锁存使能；仅在 R 端口处于 ADM 模式下才使用 ADV#R
UB#L	UB#R	高位字节选择 （IO8 - IO15）
LB#L	LB#R	低位字节选择 （IO0 - IO7）
INT#L	INT#R	中断标志
BUSY#L	BUSY#R	忙标志
SFEN#		特殊功能使能信号
IRR0-IRR1		对于 CYDMX128A16、CYDMX128B16、CYDMX064A16 和 CYDMX064B16， 输入读寄存器的输入信号； 对于 CYDMX256A16 和 CYDMX256B16，IRR0 是 DNU，IRR1 是 A13。
ODR0-ODR4		输出驱动寄存器的输出信号；这些是漏极开路输出。
V_{CC}		内核电源
GND		接地
VDDIOL		左端口 IO 电源
VDDIOR		右端口 IO 电源
DNU		无连接；切勿将走线或电源组件连接到这些引脚。

功能描述

CYDMX256A16、CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16 和 CYDMX064B16 为低功耗 CMOS 16K/8K/4K x 16 双端口静态 RAM。两个端口是：一个专用的时间复用式地址和数据 (ADM) 接口，以及一个可配置的标准 SRAM 或 ADM 接口。通过这两个端口，可以对任何存储器位置进行独立的异步读写访问。每个端口都有独立的控制引脚，即 Chip Select (CS#)、Write Enable (WE#) 和 Output Enable (OE#)。每个端口上都有两个输出标志 (BUSY# 和 INT#)。当一个端口尝试访问另一个端口正在访问的同一个存储器位置时，则会触发 BUSY# 标志。Interrupt 标志 (INT#) 允许在端口或系统之间通过邮箱进行通信。断电功能在每个端口上由 Chip Select (CS#) 引脚独立控制。

CYDMX256A16、CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16 和 CYDMX064B16 均采用 100 脚 0.5 毫米间距 BGA 封装。应用领域包括处理器间设计与多处理器设计、通信状态缓冲，以及双端口视频与图形存储器。

电源

内核电压 (V_{CC}) 可以是 1.8V、2.5V 或 3.0V，只要低于或等于 IO 电压即可。每个端口均采用独立的 IO 电压。这是由 V_{DDIOL} 和 V_{DDIOR} 引脚所连接的对象决定的。支持的 IO 标准为 1.8 V 和 2.5 V LVCMOS 和 3.0 V LVTTL。

ADM 接口读或写操作

以下内容同时适用于左侧的 ADM 端口和配置为 ADM 端口的右侧端口。

ADV#、WE# 和 CS# 这三个控制信号用于执行读写操作。地址信号首先会和 CS# LOW 一起被传送至 IO 总线。在 Address Latch Enable (ADV#) 信号的上升沿，则会从 IO 总线加载地址。要正确地锁存地址，必须满足交流规范中规定的建立时间 (t_{AVDS}) 与保持时间 (t_{AVDH})，且地址信息有效。

地址信号被锁存之后，当 WE# 保持高电平时会启动一次读操作。当地址信号满足 t_{AVDH} 时，IO 总线会进入 High Z 状态。若 OE# 被置为低电平，则读数据会在 t_{OE} 之后输出到 IO 总线上，然后一直保持，直到 OE# 或 CS# 的上升沿之后再经过 t_{HZOE} 或 t_{HZCS} 的时间 （以先到达者为准）。

当 WE# 被置为低电平时会启动一次写操作。在地址满足保持时间 (t_{AVDH}) 之后，写数据会被传送至 IO 总线。写数据在 WE# 或 CS# 的上升沿 （以先到达者为准）被写入，并且满足数据建立时间 (t_{SD}) 和保持时间 (t_{HD})。

标准 SRAM 接口读或写操作

以下内容适用于配置为标准 SRAM 端口的右侧访问端口。使用标准 SRAM 接口配置时的读写操作与 ADM 端口类似，只不过地址会被传送至 A 总线。操作由 CS#、OE# 和 WE# 控制。当 WE# 被置为高电平时会启动一次读操作。当 WE# 被置为低电平时会启动一次写操作。当启动读操作时，IO 总线会成为读数据的目的地、写数据的来源。不过，当启动写操作时，写数据必须被传送至 IO。

字节选择操作

基本字大小为 16 位。每个字分为两个 8 位字节。每个端口有两个低电平有效字节使能输入，即 UB# 和 LB#。激活或取消激活字节使能输入会改变端口读写操作的结果。在写操作期间，如字节使能输入被置为高电平，则会禁止在相应的存储器位置更新相应的字节。在读操作期间，这两个字节使能输入都是异步输出使能控制逻辑的输入。当某个字节使能输入被置为高电平时，相应的数据字节会进入三态。然后，当该字节使能输入被置为低电平时，相应的数据字节会与读数据一起被输出。

芯片选择操作

每个端口都有一个低电平有效芯片选择信号，即 CS#。CS# 必须被置为低电平，相应端口才会被视为处于活动状态。要启动有效的读或写操作，则在整个读或写周期内，芯片选择输入必须被置为低电平。在写操作期间，当 CS# 被解除至高电平时，如果未满足 t_{WRL}、t_{SD} 和 t_{HD}，则不会改变相应位置的内容。

利用可通过取消激活芯片选择输入 (CS# HIGH) 来控制的自动断电功能，可让每个端口的片上电路进入一种低功耗待机模式。

输出使能操作

每个端口都有一个输出使能信号，即 OE#。当 OE# 被置为高电平时，IO 总线会在 t_{HZOE} 之后进入三态。当 OE# 被置为低电平时，将由异步输出使能逻辑 （该逻辑由输入 WE#、CS#、UB# 和 LB# 控制）控制 IO 总线。

邮箱中断

两个高位存储器位置用于消息传递。最高位存储器位置（如果是 CYDMX064A16 和 CYDMX064B16，则为 0xFFF；如果是 CYDMX128A16 和 CYDMX128B16，则为 0x1FFF；如果是 CYDMX256A16 和 CYDMX256B16，则为 0x3FFF）是右侧端口的邮箱。第二最高位存储器位置（如果是 CYDMX064A16 和 CYDMX064B16，则为 0xFFE；如果是 CYDMX128A16 和 CYDMX128B16，则为 0x1FFE；如果是 CYDMX256A16 和 CYDMX256B16，则为 0x3FFE）是左侧端口的邮箱。当一个端口写入到对立端口的邮箱时，则会为对立端口生成一个中断信号。当所有者读取自己邮箱的内容，中断会复位。写入到邮箱的消息是由用户定义的消息。

每个端口均可读取另一个端口的邮箱，但不会复位中断。某个端口的繁忙信号如处于活动状态，则该端口不仅无法为获得访问权限的端口设置中断，而且无法读取自己的邮箱以及为邮箱复位中断。

加电时，默认情况下会设置这两个中断。必须运行初始化程序，才能复位这两个中断。

如果某个应用不需要进行消息传递，则请勿将中断引脚与处理器的中断请求输入引脚相连。

仲裁逻辑

CYDMX256A16、CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16 和 CYDMX064B16 能够提供片上仲裁功能，以便解决同步存储器位置访问 （冲突）问题。如果两个端口的 CS# 信号均被置为有效，并且这两个端口内的地址互相匹配，则繁忙逻辑会决定哪个端口具有访问权限。如果未满足 t_{PS}，那么两个端口中的其中一个端口将获得对相应位置的访问权限，但无法预测具体哪个端口将获得此权限。在地址匹配 t_{BLA} 之后，或在 CS# 被置为低电平 t_{BLC} 之后，BUSY# 会被置为有效。

输入读寄存器

仅 CYDMX128A16、CYDMX128B16、CYDMX064A16 和 CYDMX064B16 器件提供输入读寄存器 (IRR) 功能。当 SFEN# = V_{IL} 时，IRR 会捕获连接至输入读 (Input Read) 引脚（IRR0 和 IRR1）的两个外部器件的状态，并送至地址位置 0x0000。当 SFEN# = V_{IL} 时，地址 0x0000 将不能用于标准存储器访问。当 SFEN# = V_{IH} 时，地址 0x0000 可用于常规存储器访问。任一端口均可通过常规读操作，从地址 0x0000 访问 IRR 的内容。在从 IRR 读取数据期间，IO<1:0> 是有效位，而 IO<15:2> 则无需关注。IRR 输入为 1.8V 和 2.5V LVCMOS 或 3.0 V LVTTL，具体取决于内核电压供应 (V_{CC})。

输出驱动寄存器

输出驱动寄存器 (ODR) 通过为外部电路提供至 V_{SS} 的路径，可以确定多达五个外部二进制状态器件的状态。这些输出为开漏输出。五个外部器件采用不同的工作电压 (1.5 V ≤ V_{DDIO} ≤ 3.5 V)，但电流总和不能超过 40 mA（每个外部器件的电流不能超过 8 mA）。ODR 位的状态是通过从任一端口对地址 0x0001 执行标准写访问设置的，并且 “1” 对应于开启，“0” 对应于关闭。要读取 ODR 位的状态，则需要对地址 0x0001 执行常规读访问。当 SFEN# = V_{IL} 时，ODR 将处于活动状态，并且地址 0x0001 将不能用于进行存储器访问。当 SFEN# = V_{IH} 时，ODR 将处于非活动状态，并且地址 0x0001 可用于进行标准访问。在对 ODR 进行读写操作期间，IO<4:0> 为有效位，而 IO<15:5> 则无需关注。

架构

CYDMX256A16、CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16 和 CYDMX064B16 包含 16 双端口 SRAM 单元、IO、地址行和控制信号（CS#、ADV#、OE# 和 WE#）的 16 K、8 K 和 4 K 字阵列。两个访问端口：一个是专用的时间复用式地址和数据接口；另一个是连接到标准 SRAM 或时间复用式地址和数据接口的引脚可选择端口。各个端口的独立控制信号允许同时访问存储器中的任何位置。要处理对同一位置进行读写操作的情况，各个端口上提供 BUSY# 引脚。要进行端口到端口通信，也可使用各个端口上的中断（INT#）引脚。

表 1. 利用字节选择操作进行 ADM 接口读 / 写操作

ADV#	CS#	WE#	OE#	UB#	LB#	IO0 - IO15	Mode （模式）
X	H	X	X	X	X	High-Z	取消选择或断电
X	X	X	H	X	X	High-Z	输出处于禁用状态
X	X	X	X	H	H	High-Z	取消选择高位和低位字节
脉冲	L	H	L	L	L	数据输出 (IO0-IO15)	读取高位和低位字节
脉冲	L	H	L	H	L	数据输出 (IO0-IO7) High Z (IO8-IO15)	仅读取低位字节
脉冲	L	H	L	L	H	High Z (IO0-IO7) 数据输出 (IO8-IO15)	仅读取高位字节
脉冲	L	L	X	L	L	数据输入 (IO0-IO15)	写入高位和低位字节
脉冲	L	L	X	H	L	数据输入 (IO0-IO7) High Z (IO8-IO15)	仅写入低位字节
脉冲	L	L	X	L	H	High Z (IO0-IO7) 数据输入 (IO8-IO15)	仅写入高位字节

表 2. 利用字节选择操作进行标准 SRAM 接口读 / 写操作

CS#	WE#	OE#	UB#	LB#	IO0-IO15	Mode （模式）
H	X	X	X	X	High-Z	取消选择或断电
X	X	H	X	X	High-Z	输出处于禁用状态
X	X	X	H	H	High-Z	取消选择高位和低位字节
L	H	L	L	L	数据输出 (IO0-IO15)	读取高位和低位字节
L	H	L	H	L	数据输出 (IO0-IO7) High Z (IO8-IO15)	仅读取低位字节
L	H	L	L	H	High Z (IO0-IO7) 数据输出 (IO8-IO15)	仅读取高位字节
L	L	X	L	L	数据输入 (IO0-IO15)	写入高位和低位字节
L	L	X	H	L	数据输入 (IO0-IO7) High Z (IO8-IO15)	仅写入低位字节
L	L	X	L	H	High Z (IO0-IO7) 数据输入 (IO8-IO15)	仅写入高位字节

表 3. 中断操作实例 （假设 BUSY#L = BUSY#R = HIGH）

函数	左端口					右端口				
	WE#L	CS#L	OE#L	AddressL	INT#L	WE#R	CS#R	OE#R	AddressR	INT#R
设置右 INT#R 标志	L	L	X	0x3FFF[7]	X	X	X	X	X	L
重置右 INT#R 标志	X	X	X	X	X	X	L	L	0x3FFF[7]	H
设置左 INT#L 标志	X	X	X	X	L	L	L	X	0x3FFE[8]	X
重置左 INT#L 标志	X	L	L	0x3FFE[8]	H	X	X	X	X	X

表 4. 赢得仲裁的端口

CS#L	CS#R	地址匹配 左 / 右端口	BUSY#L	BUSY#R	函数
X	X	无匹配	H	H	正常
H	X	匹配	H	H	正常
X	H	匹配	H	H	正常
L	L	匹配	请参见注释 [9]	请参见注释 [9]	写入禁止 [10]

表 5. 输入读寄存器操作 [11]

SFEN#	CS#	WE#	OE#	UB#	LB#	ADDR	IO_0 - IO_1	IO_2 - IO_{15}	Mode （模式）
H	L	H	L	L	L	x0000-Max	有效 [12]	有效 [12]	标准存储器访问
L	L	H	L	X	L	x0000	有效 [13]	X	IRR 读取

表 6. 输出驱动寄存器 [15]

SFEN#	CS#	WE#	OE#	UB#	LB#	ADDR	IO_0 - IO_4	IO_5 - IO_{15}	Mode （模式）
H	L	H	X[16]	L[12]	L[12]	x0000-Max	有效 [12]	有效 [12]	标准存储器访问
L	L	L	X	X	L	x0001	有效 [13]	X	ODR 写入 [17]
L	L	H	L	X	L	x0001	有效 [13]	X	ODR 读取

注
7. 如果是 CYDMX256A16 和 CYDMX256B16，则是 0x3FFF；如果是 CYDMX128A16 和 CYDMX128B16，则是 0x1FFF；如果是 CYDMX064A16 和 CYDMX064B16，则是 0xFFF。
8. 如果是 CYDMX256A16 和 CYDMX256B16，则是 0x3FFE；如果是 CYDMX128A16 和 CYDMX128B16，则是 0x1FFE；如果是 CYDMX064A16 和 CYDMX064B16，则是 0xFFE。
9. 如果它符合 tPS，则在 CS# 和对立端口的地址比当前端口先稳定时，为“L”，在 CS# 和对立端口的地址比当前端口后稳定时，为“H”。如果未满足 tPS，则在 BUSY#L 或 BUSY#R 的情况下为“L”。BUSY#L 和 BUSY#R 无法同时为“L”。
10. 当 BUSY#L 驱动到低电平时，无论引脚上的实际逻辑电平是多少，在内部忽略写入到左端口的操作；当 BUSY#R 驱动到低电平时，无论引脚上的实际逻辑电平是多少，在内部忽略写入到右端口的操作。
11. 对于 IRR 读，SFEN# = V_{IL}。
12. UB# 或 LB# = V_{IL}。如果 LB# = V_{IL}，则 IO<7:0> 有效。如果 UB# = V_{IL}，则 IO<15:8> 有效。
13. LB# 必须处于活动状态 (LB# = V_{IL})，这些位才有效。
14. 当 CS#L = V_{IL} 或 CS#R = V_{IL} 时，SFEN# 处于活动状态。当 CS#L = CS#R = V_{IH} 时，SFEN# 处于非活动状态。
15. 对于 ODR 读 / 写，SFEN# = V_{IL}。
16. 在读取以输出有效数据期间，输出使能必须是低电平 (OE# = V_{IL})。
17. 在 ODR 写期间，数据也写入到存储器中。

最大额定值

超过最大额定值 [18] 可能会缩短器件的使用寿命。用户指导未经过测试。

存放温度 ..... –65 °C 到 +150 °C

通电状态下的环境温度 ..... –55 °C 到 +125 °C

地面电位的电源电压 ..... –0.5 V 到 +3.3 V

应用于 High Z 状态下的输出的直流电压 ..... –0.5 V 到 V_{CC} + 0.5 V

直流输入电压 [19] ..... –0.5 V 到 V_{CC} + 0.5 V

输出电流到输出 （低电平） ..... 90 mA

静电放电电压 ..... > 2000 V

栓锁电流 ..... > 200 mA

工作范围

范围	环境温度	V_{CC}
工业	–40 °C 到 +85 °C	1.8 V ± 100 mV 2.5 V ± 100 mV 3.0 V ± 300 mV

V_{CC} = 1.8 V 时的电气特性

超出工作范围

参数	说明	P1 IO 电压	P2 IO 电压	CYDMX256A16 CYDMX128A16 –65 最小值	CYDMX256A16 CYDMX128A16 –65 典型值	CYDMX256A16 CYDMX128A16 –65 最大值	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 最小值	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 典型值	CYDMX256B16 CYDMX128B16 CYDMX064B16 –65 最大值	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 最小值	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 典型值	CYDMX256A16 CYDMX128A16 CYDMX064A16 –90 最大值	单位
V_{OH}	输出高电平电压 (I_{OH} = –100 µA)	1.8 V（任意端口）		V_{DDIO} – 0.2	–	–	V_{DDIO} – 0.2	–	–	V_{DDIO} – 0.2	–	–	V
	输出高电平电压 (I_{OH} = –2 mA)	2.5 V（任意端口）		2.0	–	–	2.0	–	–	2.0	–	–	V
	输出高电平电压 (I_{OH} = –2 mA)	3.0 V（任意端口）		2.1	–	–	2.1	–	–	2.1	–	–	V
V_{OL}	输出低电平电压 (I_{OL} = 100 µA)	1.8 V（任意端口）		–	–	0.2	–	–	0.2	–	–	0.2	V
	输出高电平电压 (I_{OH} = 2 mA)	2.5 V（任意端口）		–	–	0.4	–	–	0.4	–	–	0.4	V
	输出高电平电压 (I_{OH} = 2 mA)	3.0 V（任意端口）		–	–	0.4	–	–	0.4	–	–	0.4	V
V_{OL} ODR	ODR 输出低电平电压 (I_{OL} = 8 mA)	1.8 V（任意端口）		–	–	0.2	–	–	0.2	–	–	0.2	V
		2.5 V（任意端口）		–	–	0.2	–	–	0.2	–	–	0.2	V
		3.0 V（任意端口）		–	–	0.2	–	–	0.2	–	–	0.2	V
V_{IH}	输入高电平电压	1.8 V（任意端口）		1.2	–	V_{DDIO} + 0.2	1.2	–	V_{DDIO} + 0.2	1.2	–	V_{DDIO} + 0.2	V
		2.5 V（任意端口）		1.7	–	V_{DDIO} + 0.3	1.7	–	V_{DDIO} + 0.3	1.7	–	V_{DDIO} + 0.3	V
		3.0 V（任意端口）		2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	V
V_{IL}	输入低电平电压	1.8 V（任意端口）		–0.2	–	0.4	–0.2	–	0.4	–0.2	–	0.4	V
		2.5 V（任意端口）		–0.3	–	0.6	–0.3	–	0.6	–0.3	–	0.6	V
		3.0 V（任意端口）		–0.2	–	0.7	–0.2	–	0.7	–0.2	–	0.7	V
I_{OZ}	输出漏电流	1.8 V	1.8 V	–1	–	1	–1	–	1	–1	–	1	µA
		2.5 V	2.5 V	–1	–	1	–1	–	1	–1	–	1	µA
		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA
I_{CEX} ODR	ODR 输出漏电流。V_{OUT} = V_{DDIO}	1.8 V	1.8 V	–1	–	1	–1	–	1	–1	–	1	µA
		2.5 V	2.5 V	–1	–	1	–1	–	1	–1	–	1	µA
		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	µA

注
18. 在上电期间，任何输入或 IO 引脚上的电压都不可超过电源引脚电压。
19. 脉冲宽度 < 20 ns。

V_{CC} = 1.8 V 时的电气特性（续）

超出工作范围（续）

参数	说明		P1 IO 电压	P2 IO 电压	CYDMX256A16 CYDMX128A16 -65 最小值	CYDMX256A16 CYDMX128A16 -65 典型值	CYDMX256A16 CYDMX128A16 -65 最大值	CYDMX256B16 CYDMX128B16 CYDMX064B16 -65 最小值	CYDMX256B16 CYDMX128B16 CYDMX064B16 -65 典型值	CYDMX256B16 CYDMX128B16 CYDMX064B16 -65 最大值	CYDMX256A16 CYDMX128A16 CYDMX064A16 -90 最小值	CYDMX256A16 CYDMX128A16 CYDMX064A16 -90 典型值	CYDMX256A16 CYDMX128A16 CYDMX064A16 -90 最大值	单位
I_{IX}	输入漏电流		1.8 V	1.8 V	-1	-	1	-1	-	1	-1	-	1	µA
			2.5 V	2.5 V	-1	-	1	-1	-	1	-1	-	1	µA
			3.0 V	3.0 V	-1	-	1	-1	-	1	-1	-	1	µA
I_{CC}	工作电流 (V_{CC} = 最大值，I_{OUT} = 0 mA) 输出已禁用	Ind.	1.8 V	1.8 V	-	25	40	-	25	40	-	15	25	mA
I_{SB1}	待机电流（两个端口都处于 TTL 电平） CE#L 和 CE#R ≥ V_{CC} - 0.2, f = f_{MAX}	Ind.	1.8 V	1.8 V	-	2	6	-	2	6	-	2	6	µA
I_{SB2}	待机电流（一个端口处于 TTL 电平） CE#L 或 CE#R ≥ V_{IH}, f = f_{MAX}	Ind.	1.8 V	1.8 V	-	8.5	18	-	8.5	18	-	8.5	14	µA
I_{SB3}	待机电流（两个端口都处于 CMOS 电平） CE#L 和 CE#R ≥ V_{CC} – 0.2 V, f = 0	Ind.	1.8 V	1.8 V	-	2	6	-	2	6	-	2	6	µA
I_{SB4}	待机电流（两个端口都处于 CMOS 电平） CE#L 或 CE#R ≥ V_{IH}, f = f_{MAX}[20]	Ind.	1.8 V	1.8 V	-	8.5	18	-	8.5	18	-	8.5	14	µA

注

20. f_{MAX} = $1/t_{RC}$ = f = $1/t_{RC}$（除了输出使能）时为所有输入循环。f = 0 表示无地址或控制行更改。这仅应用于 CMOS 级备用 I_{SB3} 时的输入。

V_{CC} = 2.5 V 时的电气特性

超出工作范围

参数	说明		P1 IO 电压	P2 IO 电压	CYDMX256A16 CYDMX128A16 -65 最小值	CYDMX256A16 CYDMX128A16 -65 典型值	CYDMX256A16 CYDMX128A16 -65 最大值	CYDMX256B16 CYDMX128B16 CYDMX064B16 -65 最小值	CYDMX256B16 CYDMX128B16 CYDMX064B16 -65 典型值	CYDMX256B16 CYDMX128B16 CYDMX064B16 -65 最大值	CYDMX256A16 CYDMX128A16 CYDMX064A16 -90 最小值	CYDMX256A16 CYDMX128A16 CYDMX064A16 -90 典型值	CYDMX256A16 CYDMX128A16 CYDMX064A16 -90 最大值	单位
V_{OH}	输出高电平电压 (I_{OH} = -2 mA)		2.5 V（任意端口）		2.0	-	-	2.0	-	-	2.0	-	-	V
			3.0 V（任意端口）		2.1	-	-	2.1	-	-	2.1	-	-	V
V_{OL}	输出低电平电压 (I_{OL} = 2 mA)		2.5 V（任意端口）		-	-	0.4	-	-	0.4	-	-	0.4	V
			3.0 V（任意端口）		-	-	0.4	-	-	0.4	-	-	0.4	V
V_{OL} ODR	ODR 输出低电平电压 (I_{OL} = 8 mA)		2.5 V（任意端口）		-	-	0.2	-	-	0.2	-	-	0.2	V
			3.0 V（任意端口）		-	-	0.2	-	-	0.2	-	-	0.2	V
V_{IH}	输入高电平电压		2.5 V（任意端口）		1.7	-	V_{DDIO} + 0.3	1.7	-	V_{DDIO} + 0.3	1.7	-	V_{DDIO} + 0.3	V
			3.0 V（任意端口）		2.0	-	V_{DDIO} + 0.2	2.0	-	V_{DDIO} + 0.2	2.0	-	V_{DDIO} + 0.2	V
V_{IL}	输入低电平电压		2.5 V（任意端口）		-0.3	-	0.6	-0.3	-	0.6	-0.3	-	0.6	V
			3.0 V（任意端口）		-0.2	-	0.7	-0.2	-	0.7	-0.2	-	0.7	V
I_{OZ}	输出漏电流		2.5 V	2.5 V	-1	-	1	-1	-	1	-1	-	1	µA
			3.0 V	3.0 V	-1	-	1	-1	-	1	-1	-	1	µA
I_{CEX} ODR	ODR 输出漏电流。V_{OUT} = V_{CC}		2.5 V	2.5 V	-1	-	1	-1	-	1	-1	-	1	µA
			3.0 V	3.0 V	-1	-	1	-1	-	1	-1	-	1	µA
I_{IX}	输入漏电流		2.5 V	2.5 V	-1	-	1	-1	-	1	-1	-	1	µA
			3.0 V	3.0 V	-1	-	1	-1	-	1	-1	-	1	µA
I_{CC}	工作电流 (V_{CC} = 最大值，I_{OUT} = 0 mA) 输出已禁用	Ind.	2.5 V	2.5 V	-	39	55	-	39	55	-	28	40	mA
I_{SB1}	待机电流（两个端口都处于 TTL 电平） CE#L 和 CE#R ≥ V_{CC} - 0.2, f = f_{MAX}	Ind.	2.5 V	2.5 V	-	6	8	-	6	8	-	6	8	µA
I_{SB2}	待机电流（一个端口处于 TTL 电平） CE#L 或 CE#R ≥ V_{IH}, f = f_{MAX}	Ind.	2.5 V	2.5 V	-	21	30	-	21	30	-	18	25	mA
I_{SB3}	待机电流（两个端口都处于 CMOS 电平） CE#L 和 CE#R ≥ V_{CC} - 0.2 V, f = 0	Ind.	2.5 V	2.5 V	-	4	6	-	4	6	-	4	6	µA
I_{SB4}	待机电流（一个端口处于 CMOS 电平） CE#L 或 CE#R ≥ V_{IH}, f = f_{MAX}[21]	Ind.	2.5 V	2.5 V	-	21	30	-	21	30	-	18	25	mA

注

21. f_{MAX} = $1/t_{RC}$ = f = $1/t_{RC}$（除了输出使能）时为所有输入循环。f = 0 表示无地址或控制行更改。这仅应用于 CMOS 级备用 I_{SB3} 时的输入。

3.0 V 时的电气特性

超出工作范围

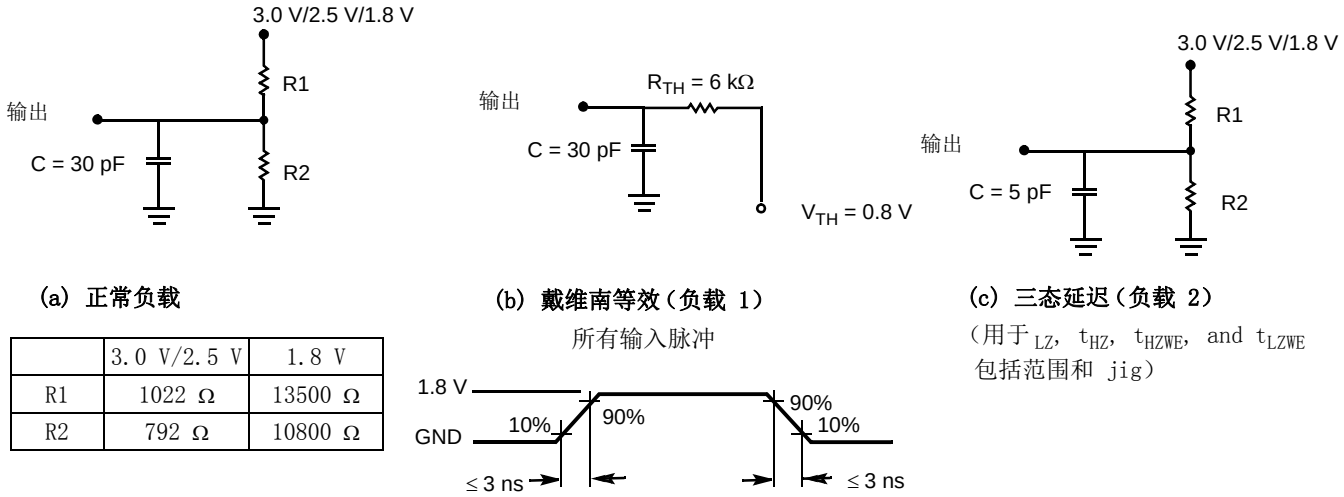
参数	说明		P1 IO 电压	P2 IO 电压	CYDMX256A16 CYDMX128A16 -65 最小值	CYDMX256A16 CYDMX128A16 -65 典型值	CYDMX256A16 CYDMX128A16 -65 最大值	CYDMX256B16 CYDMX128B16 CYDMX064B16 -65 最小值	CYDMX256B16 CYDMX128B16 CYDMX064B16 -65 典型值	CYDMX256B16 CYDMX128B16 CYDMX064B16 -65 最大值	CYDMX256A16 CYDMX128A16 CYDMX064A16 -90 最小值	CYDMX256A16 CYDMX128A16 CYDMX064A16 -90 典型值	CYDMX256A16 CYDMX128A16 CYDMX064A16 -90 最大值	单位
V_{OH}	输出高电平电压（I_{OH} = –2 mA）		3.0 V（任意端口）		2.1	–	–	2.1	–	–	2.1	–	–	V
V_{OL}	输出低电平电压（I_{OL} = 2 mA）		3.0 V（任意端口）		–	–	0.4	–	–	0.4	–	–	0.4	V
V_{OL} ODR	ODR 输出低电平电压（I_{OL} = 8 mA）		3.0 V（任意端口）		–	–	0.2	–	–	0.2	–	–	0.2	V
V_{IH}	输入高电平电压		3.0 V（任意端口）		2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	2.0	–	V_{DDIO} + 0.2	V
V_{IL}	输入低电平电压		3.0 V（任意端口）		–0.2	–	0.7	–0.2	–	0.7	–0.2	–	0.7	V
I_{OZ}	输出漏电流		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	?A
I_{CEX} ODR	ODR 输出漏电流。V_{OUT} = V_{CC}		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	?A
I_{IX}	输入漏电流		3.0 V	3.0 V	–1	–	1	–1	–	1	–1	–	1	?A
I_{CC}	工作电流（V_{CC} = 最大值，I_{OUT} = 0 mA）输出已禁用	Ind.	3.0 V	3.0 V	–	49	70	–	49	70	–	42	60	mA
I_{SB1}	待机电流（两个端口都处于 TTL 电平）CE#L 和 CE#R ≥ V_{CC} – 0.2，f = f_{MAX}	Ind.	3.0 V	3.0 V		7	10		7	10		7	10	?A
I_{SB2}		Ind.	3.0 V	3.0 V		28	40		28	40		25	35	mA
I_{SB3}	待机电流（一个端口处于 TTL 电平）CE#L 或 CE#R ≥ V_{IH}，f = f_{MAX}	Ind.	3.0 V	3.0 V		6	8		6	8		6	8	?A
I_{SB4}		Ind.	3.0 V	3.0 V		28	40		28	40		25	35	mA

电容 [22]

参数	说明	测试条件	最大值	单位
C_{IN}	输入电容	T_A = 25 °C，f = 1 MHz，V_{CC} = 3.0 V	9	pF
C_{OUT}	输出电容		10	pF

注
22. 在进行可能会影响这些参数的任何设计或工艺更改之前和之后测试。

图 2. 交流测试负载和波形



(a) 正常负载

	3.0 V/2.5 V	1.8 V
R1	1022 Ω	13500 Ω
R2	792 Ω	10800 Ω

(b) 戴维南等效(负载 1)

(c) 三态延迟(负载 2)

(用于 t_{LZ}, t_{HZ}, t_{HZWE}, and t_{LZWE} 包括范围和 jig)

V_{CC} = 1.8 V 时的开关特性

超出工作范围 [23]

参数	说明	CYDMX256A16 CYDMX128A16		CYDMX256B16 CYDMX128B16 CYDMX064B16		CYDMX256A16 CYDMX128A16 CYDMX064A16		单位
		-65		-65		-90		
		最小值	最大值	最小值	最大值	最小值	最大值	
AD Mux 端口读循环 [24]								
t_{RC}	读循环时间	65	-	65	-	90	-	ns
t_{ACC1}	从随机存取 ADV# 低到数据生效的时间	-	65	-	65	-	90	ns
t_{ACC2}	从随机存取地址到数据生效的时间	-	65	-	65	-	90	ns
t_{ACC3}	从随机存取 CS# 到数据生效的时间	-	65	-	65	-	90	ns
t_{AVDA}	从随机存取 ADV# 高到数据生效的时间	-	35	-	35	-	50	ns
t_{AVD}	ADV# 低脉冲	15	-	15	-	20	-	ns
t_{AVDS}	从地址建立到 ADV# 上升沿的时间	15	-	15	-	20	-	ns
t_{AVDH}	从 ADV# 上升沿后的地址保持时间	3	-	3	-	5	-	ns
t_{CSS}	从 CS# 建立到 ADV# 上升沿的时间	7	-	7	-	10	-	ns
t_{OE}	从 OE# 低至到数据生效的时间	-	35	-	35	-	50	ns
t_{LZOE} [25]	从 OE# 低到 IO Low Z 的时间	3	-	3	-	5	-	ns
t_{HZOE}	从 OE# 高到 IO High Z 的时间	-	15	-	15	-	25	ns
t_{HZCS}	从 CS# 高到 IO High Z 的时间	-	15	-	15	-	25	ns
t_{DBE}	从 UB#/LB# 低到 IO 生效的时间	-	35	-	35	-	50	ns
t_{LZBE}	从 UB#/LB# 低到 IO Low Z 的时间	3	-	3	-	5	-	ns
t_{HZBE}	从 UB#/LB# 高到 IO High Z 的时间	-	15	-	15	-	25	ns
t_{AVOE}	从 ADV# 高到 OE# 低的时间	0	-	0	-	0	-	ns

注
23. 所有时序参数都是用图 2 中指定的 Load 2 测量的。
24. AD Mux 端口时序应用于左 AD Mux 端口和配置为 AD Mux 端口的右端口。
25. 此参数通过未测试进行保证。

V_{CC} = 1.8 V 时的开关特性（续）

超出工作范围 [23]（续）

参数	说明	CYDMX256A16 CYDMX128A16		CYDMX256B16 CYDMX128B16 CYDMX064B16		CYDMX256A16 CYDMX128A16 CYDMX064A16		单位
		-65		-65		-90		
		最小值	最大值	最小值	最大值	最小值	最大值	
AD Mux 端口写循环 [26]								
t_{WC}	写循环时间	65	-	65	-	90	-	ns
t_{SCS}	从 CS# 低到写入结束的时间	65	-	65	-	90	-	ns
t_{AVD}	ADV# 低脉冲	15	-	15	-	20	-	ns
t_{AVDS}	从地址建立到 ADV# 上升沿的时间	15	-	15	-	20	-	ns
t_{AVDH}	从 ADV# 上升沿后的地址保持时间	3	-	3	-	5	-	ns
t_{CSS}	从 CS# 建立到 ADV# 上升沿的时间	7	-	7	-	10	-	ns
t_{WRL}	WE# 脉冲宽度	28	-	28	-	45	-	ns
t_{BW}	从 UB#/LB# 低到写入结束的时间	28	-	28	-	45	-	ns
t_{SD}	从数据建立到写入结束的时间	20	-	20	-	30	-	ns
t_{HD}	从写入结束后的数据保持时间	0	-	0	-	0	-	ns
t_{LZWE}	从 WE# 高到 IO Low Z 的时间	0	-	0	-	0	-	ns
t_{AVWE}	从 ADV# 高到 WE# 低的时间	0	-	0	-	0	-	ns
标准端口读循环 [27]								
t_{RC}	读循环时间	40	-	60	-	60	-	ns
t_{AA}	从地址到数据生效的时间	-	40	-	60	-	60	ns
t_{OHA}	从地址更改后的输出保持时间	5	-	5	-	5	-	ns
t_{ACS}	从 CS# 到数据生效的时间	-	40	-	60	-	60	ns
t_{DOE}	从 OE# 低至到数据生效的时间	-	25	-	35	-	35	ns
t_{LZOE} [28]	从 OE# 低到数据 Low Z 的时间	5	-	5	-	5	-	ns
t_{HZOE}	从 OE# 高到数据 High Z 的时间	-	10	-	30	-	30	ns
t_{LZCS}	从 CS# 低到数据 Low Z 的时间	5	-	5	-	5	-	ns
t_{HZCS}	从 CS# 高到数据 High Z 的时间	-	10	-	30	-	30	ns
t_{LZBE}	从 UB#/LB# 低到数据 Low Z 的时间	5	-	5	-	5	-	ns
t_{HZBE}	从 UB#/LB# 高到数据 High Z 的时间	-	10	-	30	-	30	ns
t_{ABE}	UB#/LB# 访问时间	-	40	-	60	-	60	ns
标准 SRAM 端口写循环								
t_{WC}	写循环时间	40	-	60	-	60	-	ns
t_{SCS}	从 CS# 低到写入结束的时间	30	-	50	-	50	-	ns
t_{AW}	从地址生效到写入结束的时间	30	-	50	-	50	-	ns
t_{HA}	写入结束后的地址保持时间	0	-	0	-	0	-	ns
t_{SA}	从地址建立到写入开始的时间	0	-	0	-	0	-	ns

注
26. AD Mux 端口时序应用于左 AD Mux 端口和配置为 AD Mux 端口的右端口。
27. 标准 SRAM 端口时序应用于配置为标准 SRAM 端口的右端口。
28. 此参数通过未测试进行保证。

V_{CC} = 1.8 V 时的开关特性（续）

超出工作范围 [23]（续）

参数	说明	CYDMX256A16 CYDMX128A16		CYDMX256B16 CYDMX128B16 CYDMX064B16		CYDMX256A16 CYDMX128A16 CYDMX064A16		单位
		-65		-65		-90		
		最小值	最大值	最小值	最大值	最小值	最大值	
t_{WRL}	写入脉冲宽度	25	-	45	-	45	-	ns
t_{SD}	从数据建立到写入结束的时间	20	-	30	-	30	-	ns
t_{HD}	从写入结束后的数据保持时间	0	-	0	-	0	-	ns
t_{HZWE}	从 WE# 低到数据 High Z 的时间	-	15	-	25	-	25	ns
t_{LZWE}	从 WE# 高到数据 Low Z 的时间	0	-	0	-	0	-	ns
仲裁时序								
t_{BLA}	从地址匹配后 BUSY# 低的时间	-	30	-	50	-	50	ns
t_{BHA}	从地址不匹配后 BUSY# 高的时间	-	30	-	50	-	50	ns
t_{BLC}	从 CS# 低后 BUSY# 低的时间	-	30	-	50	-	50	ns
t_{BHC}	从 CS# 高后 BUSY# 高的时间	-	30	-	50	-	50	ns
t_{PS} [29]	从优先级后端口设置的时间	5	-	5	-	5	-	ns
t_{BDD}	从 BUSY# 高到数据生效的时间	-	30	-	50	-	50	ns
t_{WDD}	从写入脉冲到数据延迟的时间	-	55	-	85	-	85	ns
t_{DDD}	从写入数据生效到读取数据生效的时间	-	45	-	70	-	70	ns
中断时序								
t_{INS}	INT# 设置时间	-	35	-	55	-	55	ns
t_{INR}	INT# 重置时间	-	35	-	55	-	55	ns

注
29. 如果在温度 < 0 °C 时，VCC 和 VDDIOR 为 < 1.8 V, and VDDIOL is > 2.5 V，将 2 ns 添加到此参数。

开关波形

图 3. ADM 端口读循环 （或端口访问，WE# 高）

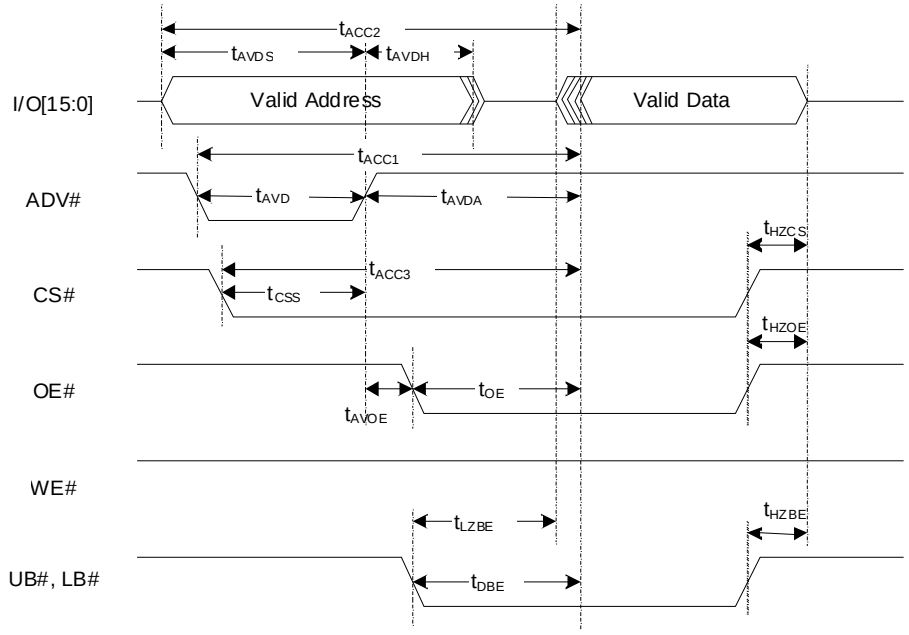


图 4. ADM 端口写循环 （或端口访问，WE# 受控，OE# 高）

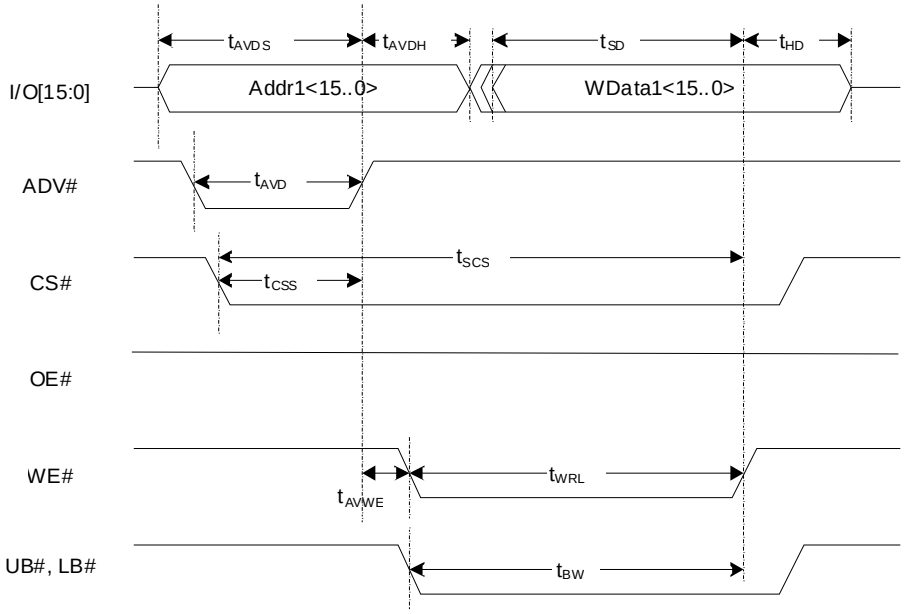


图 5. ADM 端口写循环 （或端口访问，CS# 受控，OE# 高）

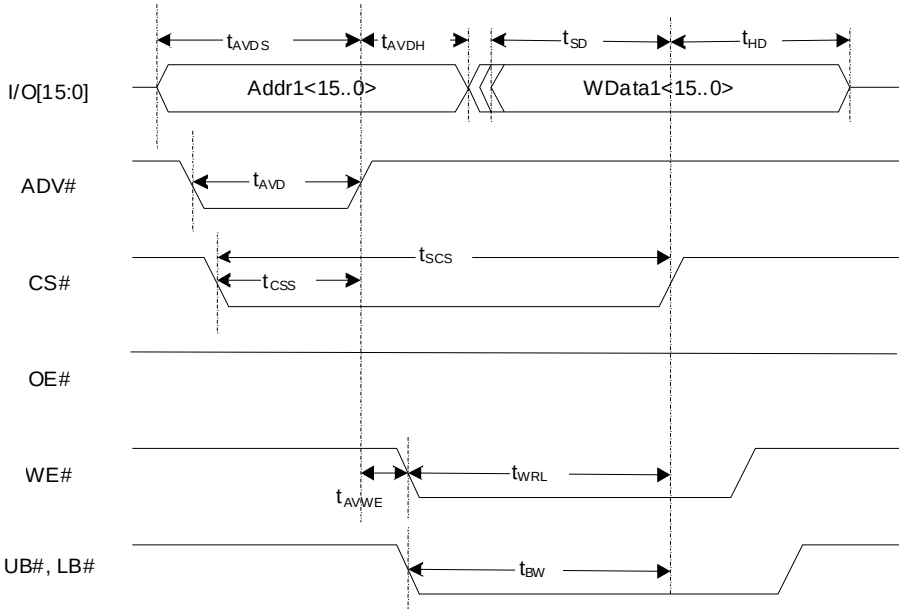


图 6. 标准端口读循环 （右端口访问，WE# 高）

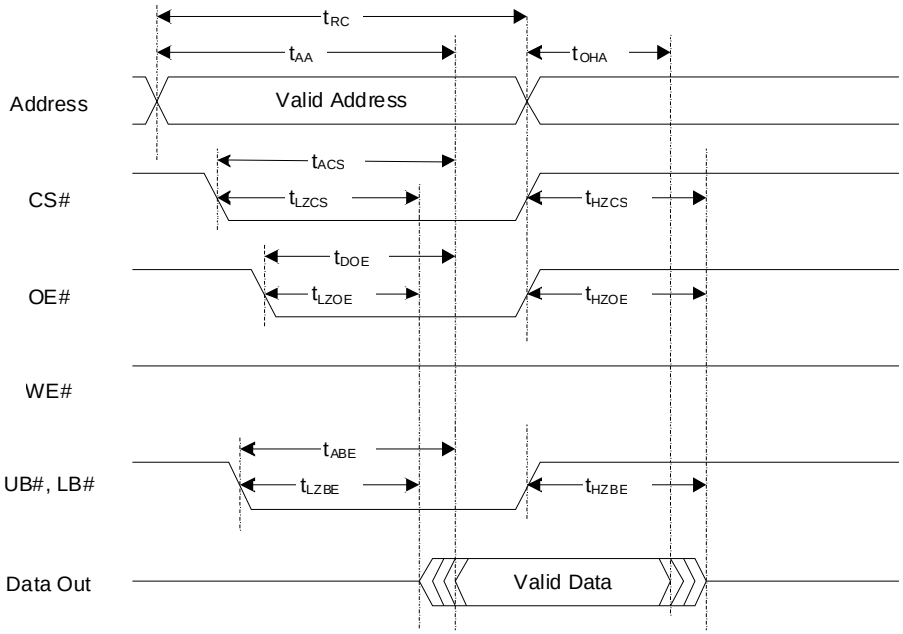


图 7. 标准端口写循环 （右端口访问，WE# 受控）

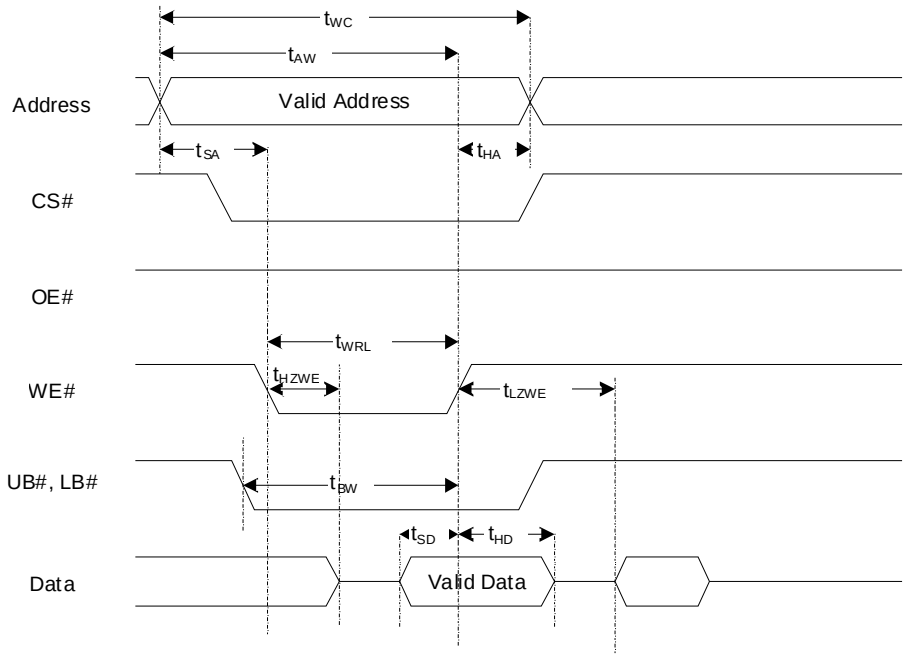


图 8. 标准端口写循环 （右端口访问，CS# 受控）

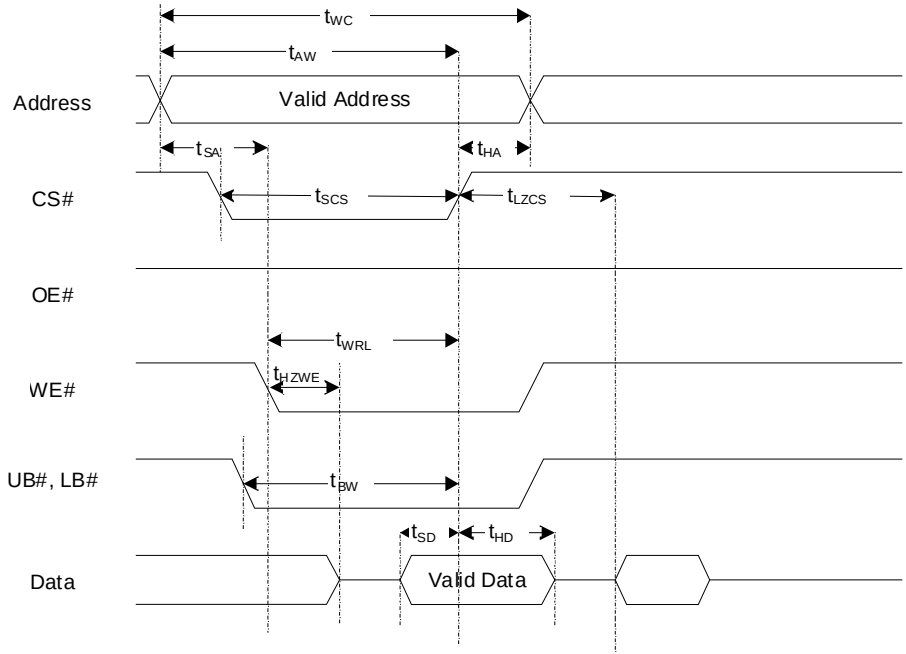


图 9. 仲裁时序

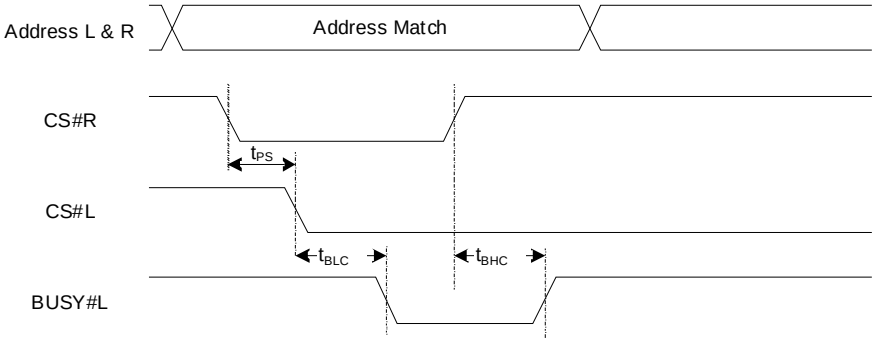


图 10. 仲裁时序 （地址受控，带左 ADM 和右标准配置）

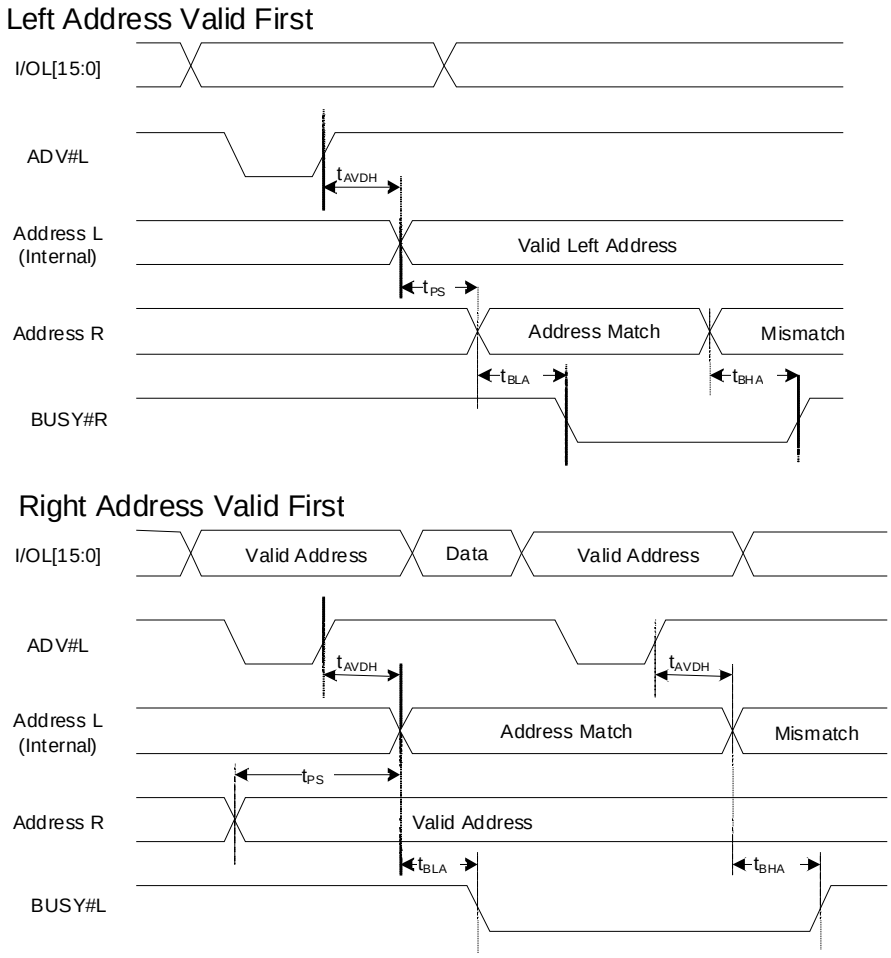


图 11. 仲裁时序 （地址受控，带左 ADM 和右 ADM 配置）

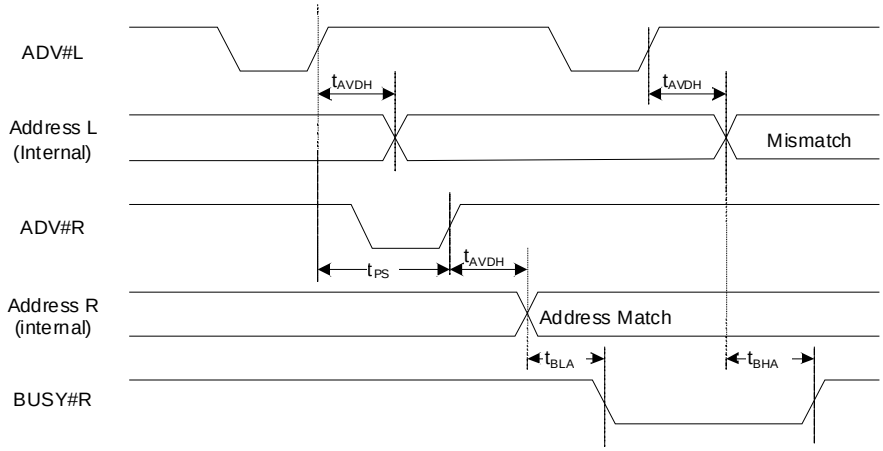


图 12. 使用 BUSY# 时序读取

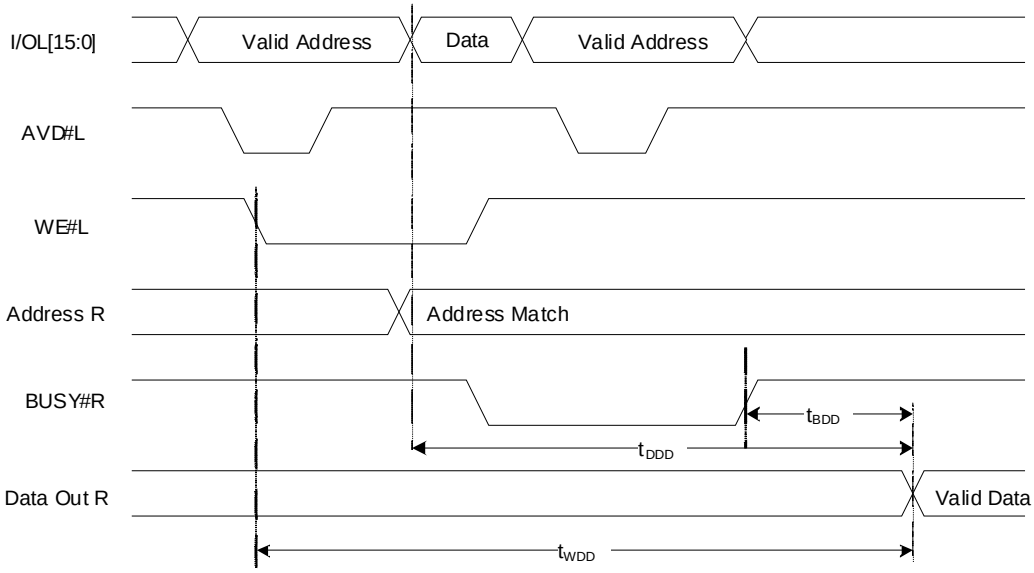
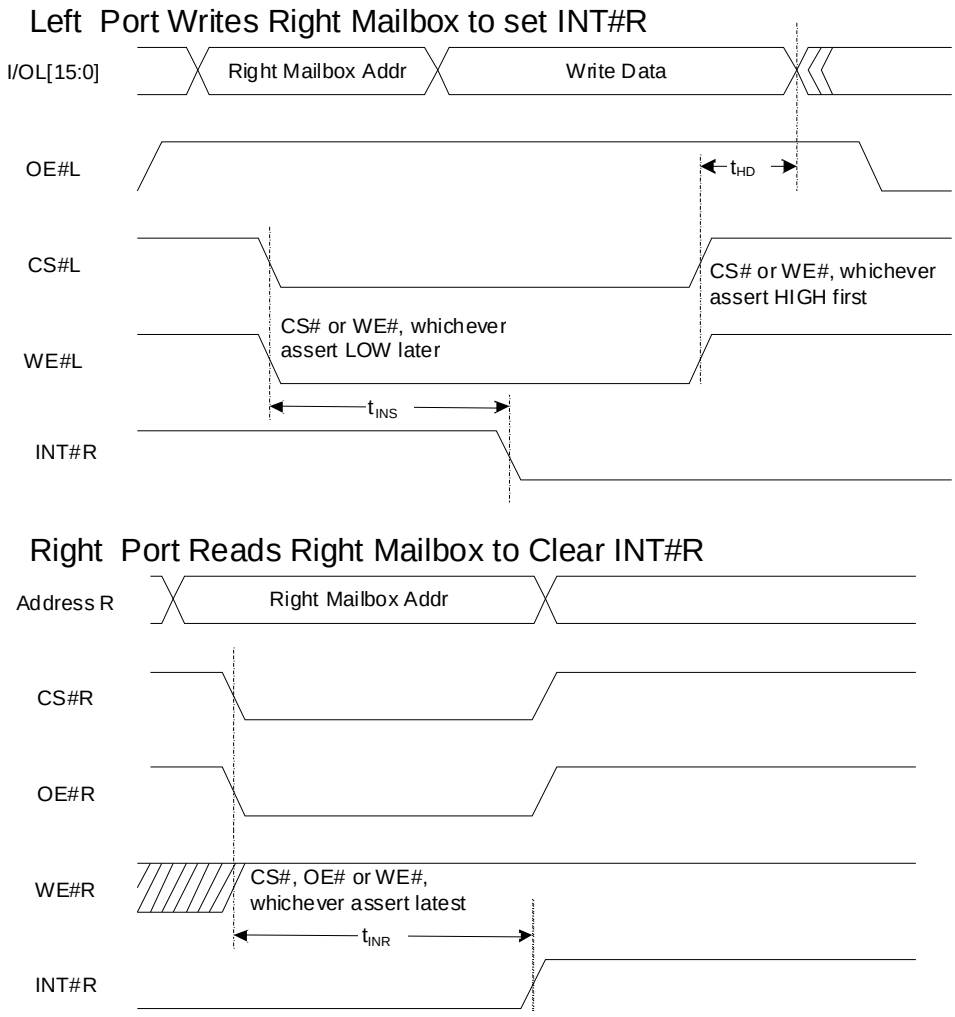


图 13. 中断时序


Left Port Writes Right Mailbox to set INT#R
I/OL[15:0]
Right Mailbox Addr
Write Data
OE#L
tHD
CS#L
CS# or WE#, whichever assert HIGH first
CS# or WE#, whichever assert LOW later
WE#L
tINS
INT#R
Right Port Reads Right Mailbox to Clear INT#R
Address R
Right Mailbox Addr
CS#R
OE#R
WE#R
CS#, OE# or WE#, whichever assert latest
tINR
INT#R

订购信息

表 7. 16 K × 16 MoBL ADM 异步双端口 SRAM

速度 (ns)	订购代码	封装名称	封装类型	工作范围
65	CYDMX256A16-65BVXI	BZ100	100 脚无铅 0.5 mm 间距 BGA	工业
65	CYDMX256B16-65BVXI	BZ100	100 脚无铅 0.5 mm 间距 BGA	工业
90	CYDMX256A16-90BVXI	BZ100	100 脚无铅 0.5 mm 间距 BGA	工业

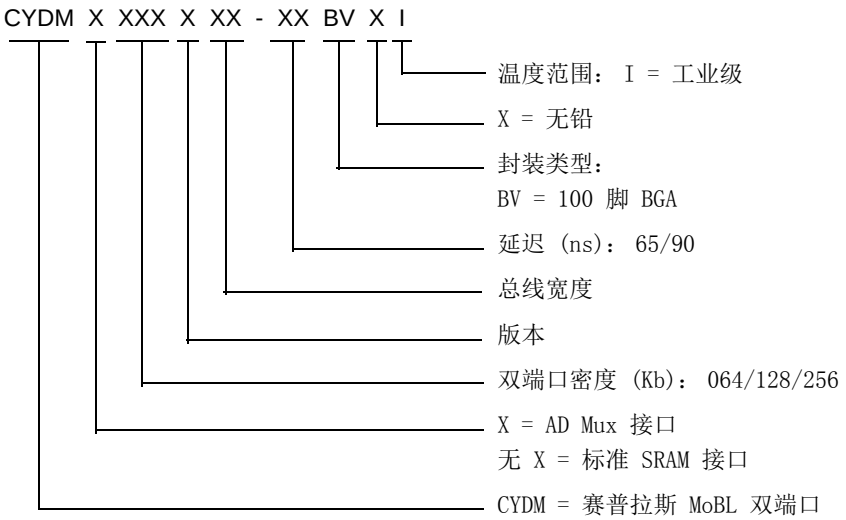
表 8. 8 K × 16 MoBL ADM 异步双端口 SRAM

速度 (ns)	订购代码	封装名称	封装类型	工作范围
65	CYDMX128A16-65BVXI	BZ100	100 脚无铅 0.5 mm 间距 BGA	工业
65	CYDMX128B16-65BVXI	BZ100	100 脚无铅 0.5 mm 间距 BGA	工业

表 9. 4 K × 16 MoBL ADM 异步双端口 SRAM

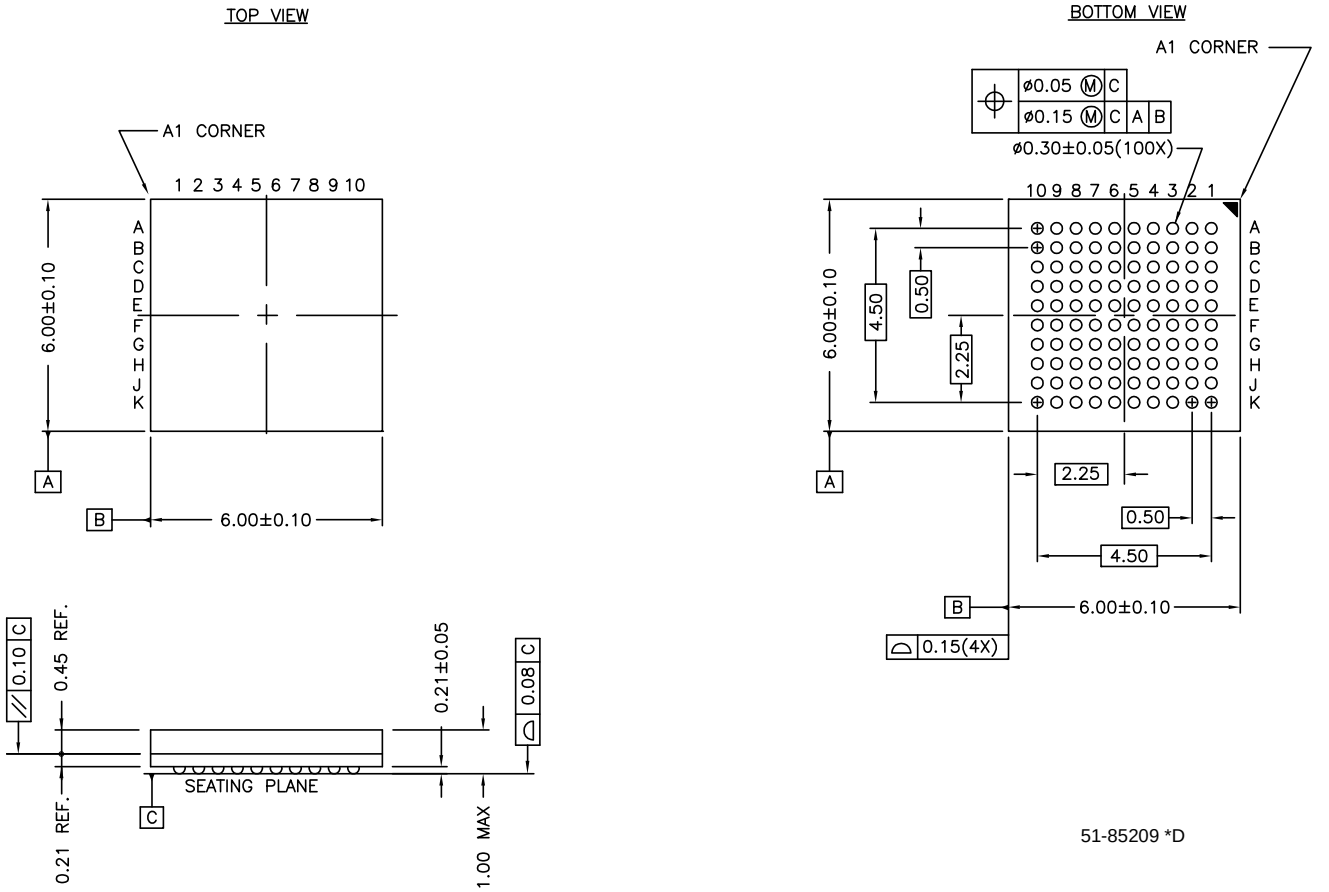
速度 (ns)	订购代码	封装名称	封装类型	工作范围
90	CYDMX064A16-90BVXI	BZ100	100 脚无铅 0.5 mm 间距 BGA	工业

订购代码定义



封装图

图 14. 100 脚 VFBGA (6 x 6 x 1.0 mm) BZ100A



缩略语

缩略语	说明
BGA	BGA
CMOS	互补金属氧化物半导体
CS#	芯片选择
I/O	输入 / 输出
LVCMOS	低压互补金属氧化物半导体
LVTTL	低压晶体管 – 晶体管逻辑
ODR	输出驱动寄存器
OE#	Output Enable （输出启用）
SRAM	静态随机存取存储器
TTL	晶体管 – 晶体管逻辑
VFBGA	小间距 BGA
WE#	写入使能

文档规范

测量单位

符号	测量单位
%	百分比
°C	摄氏度
mA	毫安
MHz	兆赫兹
mm	毫米
ms	毫秒
mV	毫伏
ns	纳秒
pF	皮法
V	伏特
Ω	欧姆
W	瓦特
µA	微安

文档修订记录页

文档标题：CYDMX256A16，CYDMX128A16、CYDMX064A16、CYDMX256B16、CYDMX128B16、CYDMX064B16、16 K/8 K/4 K × 16 MoBL® ADM 异步双端口静态 RAM 文档编号：001-63440				
修订版	ECN 编号	变更人	提交日期	变更说明
**	3002218	VLX	08/06/2010	本文档版本号为 Rev **，译自英文版 001-08090 Rev *C
*A	3602302	VLX	05/02/2012	本文档版本号为 Rev *A，译自英文版 001-08090 Rev *H
*B	4393278	SCHC	05/29/2014	No technical updates.

销售、解决方案和法律信息

全球销售和设计支持

赛普拉斯公司拥有一个由办事处、解决方案中心、工厂和经销商组成的全球性网络。要找到距您最近的办事处，请访问赛普拉斯所在地。

产品

汽车用产品	cypress.com/go/automotive
时钟与缓冲器	cypress.com/go/clocks
I 接口	cypress.com/go/interface
照明与电源控制 1	cypress.com/go/powerpsoc
	cypress.com/go/plc
存储器	cypress.com/go/memory
光学与图像传感器	cypress.com/go/image
PSoC	cypress.com/go/psoc
触摸感应产品	cypress.com/go/touch
USB 控制器	cypress.com/go/USB
无线 /RF 产品	cypress.com/go/wireless

PSoC 解决方案

psoc.cypress.com/solutions

PSoC 1 | PSoC 3 | PSoC 5

© 赛普拉斯半导体公司，2010-2014。此处所包含的信息可能会随时更改，恕不另行通知。除赛普拉斯产品的内嵌电路之外，赛普拉斯半导体公司不对任何其他电路的使用承担任何责任，也不根据专利或其他权利以明示或暗示的方式授予任何许可。除非与赛普拉斯签订明确的书面协议，否则赛普拉斯产品不保证能够用于或适用于医疗、生命支持、救生、关键控制或安全应用领域。此外，赛普拉斯不授权将其产品用作生命支持系统的关键组件，如该关键组件之运转异常和故障将会对用户造成严重伤害。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

所有源代码（软件和 / 或固件）均归赛普拉斯半导体公司（赛普拉斯）所有，并受全球专利法规（美国和美国以外的专利法规）、美国版权法以及国际条约规定的保护和约束。赛普拉斯据此向获许可者授予适用于个人的、非独占性、不可转让的许可，用以复制、使用、修改、创建赛普拉斯源代码的派生作品、编译赛普拉斯源代码和派生作品，并且其目的只能是创建自定义软件和 / 或固件，以支持获许可者仅将其获得的产品依照适用协议规定的方式与赛普拉斯集成电路配合使用。除上述指定的用途之外，未经赛普拉斯的明确书面许可，不得对此类源代码进行任何复制、修改、转换、编译或演示。

免责声明：赛普拉斯不针对此材料提供任何类型的明示或暗示保证，包括（但不仅限于）针对特定用途的适销性和适用性的暗示保证。赛普拉斯保留在不做出通知的情况下对此处所述材料进行更改的权利。赛普拉斯不对此处所述之任何产品或电路的应用或使用承担任何责任。赛普拉斯不授权将其产品用作生命支持系统的关键组件，如该关键组件之运转异常和故障将会对用户造成严重伤害。若将赛普拉斯产品用于生命支持系统中，则表示制造商将承担因此类使用而招致的所有风险，并确保赛普拉斯免于因此而受到任何指控。

产品使用可能受适用的赛普拉斯软件许可协议限制。

MoBL 是赛普拉斯半导体公司的注册商标。本文件中提及的所有产品和公司名称均为其商标各自所有者拥有。